

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6808641号  
(P6808641)

(45) 発行日 令和3年1月6日 (2021. 1. 6)

(24) 登録日 令和2年12月11日 (2020. 12. 11)

(51) Int. Cl.

F I

HO 4 L 7/033 (2006. 01)  
 HO 4 L 7/04 (2006. 01)  
 GO 6 F 13/42 (2006. 01)  
 GO 6 F 13/38 (2006. 01)

HO 4 L 7/033 1 0 0  
 HO 4 L 7/04 1 0 0  
 GO 6 F 13/42 3 5 0 B  
 GO 6 F 13/38 3 3 0 Z

請求項の数 8 (全 41 頁)

(21) 出願番号 特願2017-553088 (P2017-553088)  
 (86) (22) 出願日 平成28年3月30日 (2016. 3. 30)  
 (65) 公表番号 特表2018-516490 (P2018-516490A)  
 (43) 公表日 平成30年6月21日 (2018. 6. 21)  
 (86) 国際出願番号 PCT/US2016/025094  
 (87) 国際公開番号 W02016/167973  
 (87) 国際公開日 平成28年10月20日 (2016. 10. 20)  
 審査請求日 平成31年3月15日 (2019. 3. 15)  
 (31) 優先権主張番号 62/146, 801  
 (32) 優先日 平成27年4月13日 (2015. 4. 13)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)  
 (31) 優先権主張番号 15/084, 171  
 (32) 優先日 平成28年3月29日 (2016. 3. 29)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)

(73) 特許権者 507364838  
 クアルコム、インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 921  
 21 サン ディエゴ モアハウス ドラ  
 イブ 5775  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100163522  
 弁理士 黒田 晋平  
 (72) 発明者 仙石 祥一郎  
 アメリカ合衆国・カリフォルニア・921  
 21-1714・サン・ディエゴ・モアハ  
 ウス・ドライブ・5775  
 審査官 安藤 一道

最終頁に続く

(54) 【発明の名称】 パルススペースのマルチワイヤリンクのためのクロックおよびデータ復元

(57) 【特許請求の範囲】

【請求項 1】

マルチワイヤインターフェースに結合されている受信デバイスにおいてデータを復号する  
 方法であって、

前記受信デバイスにおいて、前記マルチワイヤインターフェースの1つまたは複数のワイ  
 ヤ上のパルスを検出するステップであって、前記マルチワイヤインターフェースが、容  
 量結合、光結合、または誘導結合される、ステップと、

複数の送信間隔の各々において、

前記マルチワイヤインターフェースの1つまたは複数のワイヤ上でパルスが検出され  
 るのに応答して、受信クロック内にエッジを生成するステップと、

前記受信クロック内の前記エッジが前記複数の送信間隔の各々において生成された後  
 に、複数の桁の数の数字を提供するステップであり、前記数字の各ビットは、対応する送信  
 間隔中に前記マルチワイヤインターフェースの1本のワイヤ上でパルスが送信されたかど  
 うかを識別する、提供するステップと、

前記複数の桁の数を取得するために、前記複数の送信間隔において生成された数字を組み合  
 わせるステップと、

受信データを得るために前記複数の桁の数をトランスコードするステップと

を含み、

前記複数の送信間隔の各々の間、前記マルチワイヤインターフェースの少なくとも1本  
 のワイヤ上でパルスが送信され、

10

20

前記マルチワイヤインターフェースはN本のワイヤを含み、かつ、前記複数桁の数は、 $(2^N-1)$ 進数として表現され、ここでNは2以上の自然数である、  
方法。

【請求項2】

データワードが前記複数桁の数に符号化される、  
請求項1に記載の方法。

【請求項3】

前記マルチワイヤインターフェースは2ワイヤインターフェースであり、かつ、前記複数桁の数は、3進数として表現される、または、

前記マルチワイヤインターフェースは3ワイヤインターフェースであり、かつ、前記複数桁の数は、7進数として表現される、  
請求項1に記載の方法。

【請求項4】

前記受信クロック内に前記エッジを生成するステップが、  
前記1つまたは複数のワイヤ上で受信されるパルスを、合成信号に組み合わせるステップと、

前記受信クロック、または前記1つまたは複数のワイヤ上で受信されるパルスを、合成信号に組み合わせることを提供するために前記合成信号を遅延させるステップとを含む、  
請求項1に記載の方法。

【請求項5】

前記受信クロック内に前記エッジを生成するステップが、  
前記1つまたは複数のワイヤ上で受信されるパルスを、合成信号に組み合わせるステップと、  
固定継続時間パルスを生成するように構成されているワンショット論理に、前記合成信号を提供するステップと、

前記受信クロック内にパルスを提供するために、前記固定継続時間パルスを遅延させるステップとを含む、

請求項1に記載の方法。

【請求項6】

クロック復元回路であって、

マルチワイヤインターフェースにおいて受信された複数の入力信号のうちの1つまたは複数において第1のパルスが複数の入力ラッチに受信されるときに第1の状態を仮定するように構成されている複数の入力ラッチであって、前記マルチワイヤインターフェースが容量結合、光結合、または誘導結合されている、入力ラッチと、

前記第1のパルスを組み合わせることによって第2のパルスを提供するように構成されている組合せ論理と、

前記第2のパルスに対して遅延される受信クロック上の第3のパルスを生成するように構成されている遅延回路と、

前記第3のパルスによってトリガされるときに前記第1の状態を捕捉するように構成されている複数の出力フリップフロップとを備え、

前記第1の状態は、前記複数の入力ラッチのうちのいずれが前記第1のパルスを受信したかを識別し、

前記第1の状態は、複数桁の数の数字として出力され、

前記複数の入力信号は、N本のワイヤを含むマルチワイヤインターフェースから受信され、かつ、前記複数桁の数は、 $(2^N-1)$ 進数として表現され、ここでNは2以上の自然数である、

クロック復元回路。

【請求項7】

前記第2のパルスの継続時間を固定するように構成されているワンショット回路をさらに備える、

請求項6に記載のクロック復元回路。

**【請求項 8】**

前記複数の入力信号は、2ワイヤインターフェースから受信され、かつ、前記複数桁の数は、3進数として表現される、または、

前記複数の入力信号は、3ワイヤインターフェースから受信され、かつ、前記複数桁の数は、7進数として表現される、

請求項 6 に記載のクロック復元回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

関連出願の相互参照

10

本出願は、その内容全体が参照により、またすべての適用可能な目的のために本明細書に組み込まれる、2015年4月13日に米国特許庁に出願された米国仮特許出願第62/146,801号および2016年3月29日に米国特許庁に出願された米国非仮出願第15/084,171号の利益を主張する。

**【0002】**

本開示は、概して、通信システムに関し、より詳細には、パルスベースのシグナリングを利用するマルチワイヤインターフェースからのクロックおよびデータ復元に関する。

**【背景技術】****【0003】**

セルラー電話などのモバイルデバイスの製造業者は、モバイルデバイスの構成要素を、異なる製造業者からの構成要素を含む様々なソースから取得し得る。たとえば、セルラー電話におけるアプリケーションプロセッサは第1の製造業者から取得されることがあり、セルラー電話のディスプレイは第2の製造業者から取得されることがある。アプリケーションプロセッサおよびディスプレイまたは別のデバイスは、規格ベースまたはプロプライエタリな物理インターフェースを使用して相互接続され得る。たとえば、ディスプレイは、モバイル業界プロセッサインターフェース(MIPI)アライアンスによって規定されたディスプレイシステムインターフェース(DSI)規格に準拠するインターフェースを有することができる。

20

**【0004】**

モバイルデバイスの能力および機能は成長し続けているため、ますます課題の増えるシグナリング環境において柔軟で信頼できる通信を提供するための新規の技法に対する需要が継続的に存在する。

30

**【発明の概要】****【課題を解決するための手段】****【0005】**

本開示の一態様において、マルチワイヤインターフェースを介して送信されるパルスベースのシグナリング、ならびに、パルスベースのシグナリングを利用するインターフェースのためのクロックおよびデータ復元に関係する方法、コンピュータプログラム製品、および装置が提供される。

**【0006】**

40

様々な態様において、装置は、クロック復元回路を含む。クロック復元回路は、複数の入力信号のうちの1つまたは複数において第1のパルスが受信されるときに、第1の状態を仮定するように構成されている複数の入力ラッチと、第1のパルスに応答して第2のパルスを与えるように構成されている組合せ論理と、第2のパルスに対して遅延される受信クロックにおいて第3のパルスを生成するように構成されている遅延回路と、第3のパルスによってトリガされるときに第1の状態を捕捉するように構成されている複数の出力フリップフロップとを含むことができる。第1の状態は、複数の入力信号のうちのいずれが入力パルスを受信しているかを識別することができる。

**【0007】**

一態様において、クロック復元回路は、第2のパルスの継続時間を固定するように構成

50

されているワンショット回路を含む。

【0008】

別の態様において、第1の状態は、複数桁の数のうちの数字として出力される。複数の入力信号は、N本のワイヤを含むマルチワイヤインターフェースから受信することができ、複数桁の数は、 $(2^N-1)$ 進数として表現される。一例において、複数の入力信号は2ワイヤインターフェースから受信され、複数桁の数は、3進数として表現される。別の例において、複数の入力信号は3ワイヤインターフェースから受信され、複数桁の数は、7進数として表現される。

【0009】

別の態様において、第1の状態は複数の入力信号の第1の部分から受信されるゼロ復帰パルス符号化信号内に符号化されている第1の情報を表す。装置は、複数の入力信号の第2の部分から受信される1つまたは複数の非ゼロ復帰信号から第2の情報を復号するように構成されている受信機回路を含むことができる。

10

【0010】

いくつかの例において、複数の入力信号は、容量結合マルチワイヤインターフェースから、または、誘導結合マルチワイヤインターフェースから受信される。他の例において、複数の入力信号は、光インターフェースから受信される。

【0011】

クロック復元回路は、受信クロックにおいて提供される連続するパルス間で発生する1つまたは複数のワイヤ上の遷移の数をカウントするように構成されているカウンタを含むことができる。

20

【0012】

様々な態様において、クロック信号を復元するための方法は、複数の送信間隔の各々においてマルチワイヤインターフェースの1つまたは複数のワイヤ上でのパルスの検出にตอบสนองして、受信クロック内にエッジを生成するステップと、複数の送信間隔の各々において受信クロック内のエッジが生成された後に、複数桁の数のうちの数字を提供するステップと、複数桁の数を得るために、複数の送信間隔において生成された複数の数字を組み合わせるステップと、受信データを得るために、複数桁の数をトランスコードするステップとを含む。数字の各ビットは、対応する送信間隔の間にマルチワイヤインターフェースの1本のワイヤ上でパルスが送信されたかどうかを識別することができる。パルスは、複数の送信間隔の各々の間、マルチワイヤインターフェースの少なくとも1本のワイヤ上に存在する。

30

【0013】

一態様において、データワードが、複数桁の数に符号化される。

【0014】

別の態様において、マルチワイヤインターフェースはN本のワイヤを含み、複数桁の数は、 $(2^N-1)$ 進数として表現される。一例において、マルチワイヤインターフェースは2ワイヤインターフェースであり、複数桁の数は、3進数として表現される。別の例において、マルチワイヤインターフェースは3ワイヤインターフェースであり、複数桁の数は、7進数として表現される。

40

【0015】

一態様において、方法は、マルチワイヤインターフェースから受信されるゼロ復帰パルス符号化信号から第1の情報を復号するステップと、マルチワイヤインターフェースから受信される1つまたは複数の非ゼロ復帰信号から第2の情報を復号するステップとを含む。

【0016】

いくつかの例において、容量結合信号または誘導結合信号が、マルチワイヤインターフェースから受信される。他の例において、光結合信号が、マルチワイヤインターフェースから受信される。

【0017】

一態様において、受信クロック内にエッジを生成するステップは、1つまたは複数のワ

50

イヤ上で受信されているパルスを作成信号に組み合わせることと、受信クロックを提供するために作成信号を遅延させることとを含む。受信クロック内にエッジを生成するステップは、1つまたは複数のワイヤ上で受信されているパルスを作成信号に組み合わせることと、作成信号のエッジに回答して固定継続時間パルスを生成するように構成されているワンショット論理に作成信号を提供することと、受信クロックにおいてパルスを提供するために固定継続時間パルスを遅延させることとを含むことができる。

【0018】

様々な態様において、方法は、データワードを複数桁の数にトランスコードするステップと、一連の送信間隔の各送信間隔について、複数のコネクタにわたってパルスの組合せを送信するステップであって、複数桁の数の各数字は、一連の送信間隔における対応する送信間隔のパルスの組合せを定義する、送信するステップとを含む。データワードがトランスコードされるとき、クロック情報が複数桁の数に埋め込まれる。クロック情報は、一連の送信間隔における各送信間隔の間に複数のコネクタのうちの少なくとも1つにおいてパルスが送信されることを保証することによって、複数桁の数に埋め込むことができる。

10

【0019】

いくつかの態様において、複数のコネクタはN個のコネクタを含み、複数桁の数は、 $(2^N - 1)$ 進数として表現される。一例において、複数のコネクタは2つのコネクタを含み、複数桁の数は、3進数として表現される。別の例において、複数のコネクタは3つのコネクタを含み、複数桁の数は、7進数として表現される。

【0020】

20

一態様において、方法は、1つまたは複数の非ゼロ復帰信号に情報を符号化するステップと、マルチワイヤ通信リンクの1つまたは複数の他のコネクタを介して1つまたは複数の非ゼロ復帰信号を送信するステップとを含む。

【0021】

いくつかの態様において、パルスの組合せが、容量結合、誘導結合、または光結合を通じて複数のコネクタに与えられる。

【0022】

様々な態様において、通信インターフェースは、データワードから複数桁の数を生成するように構成されているトランスコーダと、一連の送信間隔における1つの送信間隔の間に複数のコネクタを介して送信するためのパルスの組合せを提供するように構成されている回路とを含む。複数桁の数は、一連の送信間隔における各送信間隔の間に複数のコネクタのうちの少なくとも1つにおいてパルスが送信されることを保証することによって、埋め込みクロック情報を含むことができる。パルスの各組合せは、複数桁の数のうちの数字によって定義することができる。

30

【0023】

いくつかの態様において、複数のコネクタはN個のコネクタを含み、複数桁の数は、 $(2^N - 1)$ 進数として表現される。一例において、複数のコネクタは2つのコネクタを含み、複数桁の数は、3進数として表現される。別の例において、複数のコネクタは3つのコネクタを含み、複数桁の数は、7進数として表現される。

【0024】

40

一態様において、通信インターフェースは、1つまたは複数の非ゼロ復帰信号に情報を符号化し、通信インターフェースの1つまたは複数の他のコネクタを介して1つまたは複数の非ゼロ復帰信号を送信するように構成されている送信機回路を含む。

【0025】

通信インターフェースは、送信機を含むことができ、送信機は、当該送信機を複数のコネクタに容量結合、誘導結合、または光結合するように構成されている。

【0026】

本開示の様々な態様において、プロセッサ可読記憶媒体は、1つまたは複数のプロセッサによって実行されると、1つまたは複数のプロセッサに、本明細書において開示されている特定の方法を実施させるコードを記憶または維持している。記憶媒体は、非一時的記

50

憶媒体または一時的記憶媒体を含んでもよい。

【図面の簡単な説明】

【0027】

【図1】集積回路(IC)デバイス間でデータリンクを利用する装置を示す図である。

【図2】ICデバイス間のデータリンクを利用する装置のためのシステムアーキテクチャを示す図である。

【図3】N!マルチワイヤインターフェースの一例を示す図である。

【図4】N!マルチワイヤインターフェースにおけるデータ符号化、送信および復号を示す図である。

【図5】ICデバイス間の通信に使用されるCCleデータリンクを利用する装置のためのシステムアーキテクチャを示す図である。 10

【図6】CCleデータリンクにおけるデータ符号化、送信および復号を示す図である。

【図7】CCleデータリンクにおけるクロック生成を示す図である。

【図8】遷移符号化通信インターフェースにおいて使用され得るクロックおよびデータ復元回路を示す図である。

【図9】本明細書で開示する1つまたは複数の態様による、図8のクロックおよびデータ復元回路と関連付けられる特定の信号のタイミングを示す図である。

【図10】容量結合信号のいくつかの態様を示す図である。

【図11】データが2ワイヤシリアルリンクを介して通信されるデータであるパルス符号化インターフェースの特定の態様を示す図である。 20

【図12】パルスベースのインターフェースに使用され得るクロック復元回路の第1の例を示す図である。

【図13】図12のクロック復元回路の動作を通じて生成されるいくつかの信号を示すタイミング図である。

【図14】パルスベースのインターフェースに使用され得るクロック復元回路の第2の例を示す図である。

【図15】図12のクロック復元回路の動作を通じて生成されるいくつかの信号を示すタイミング図である。

【図16】本明細書で開示するいくつかの態様によるパルスコード化通信インターフェースの特定の構成を示す図である。 30

【図17】本明細書において開示するいくつかの態様による通信インターフェースにおいて送信され得る種々のタイプの信号を示す第1の図である。

【図18】本明細書において開示するいくつかの態様による通信インターフェースにおいて送信され得る種々のタイプの信号を示す第2の図である。

【図19】本明細書において開示するいくつかの態様による通信インターフェースにおいて送信され得る種々のタイプの信号を使用した符号化を示す図である。

【図20】本明細書において開示するいくつかの態様に従って適合することができる処理回路を使用する装置の例を示すブロック図である。

【図21】本明細書において開示される特定の態様による、マルチワイヤ通信インターフェースにおいて送信される信号からクロック信号を復元するための方法の流れ図である。 40

【図22】本明細書で開示するいくつかの態様に従って適応された処理回路を採用する受信装置のためのハードウェア実装形態の例を示す図である。

【図23】本明細書において開示される特定の態様による、マルチワイヤ通信インターフェースにおいて信号を送信するための方法の流れ図である。

【図24】本明細書で開示するいくつかの態様に従って適応された処理回路を採用する送信装置のためのハードウェア実装形態の例を示す図である。

【発明を実施するための形態】

【0028】

添付図面に関連して下で示される詳細な説明は、様々な構成の説明として意図され、本明細書で説明される概念がその中で実践され得る唯一の構成を表すことは意図されてい 50

い。詳細な説明は、種々の概念を完全に理解できるようにするための具体的な詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実践される場合があることは当業者に明らかであろう。いくつかの事例では、よく知られている構造および構成要素は、そのような概念を不明瞭にすることを避けるためにブロック図の形で示される。

#### 【0029】

次に、様々な装置および方法を参照して、通信システムのいくつかの態様について提示する。これらの装置および方法は、以下の発明を実施するための形態で説明され、様々なブロック、モジュール、構成要素、回路、ステップ、プロセス、アルゴリズムなど(「要素」と総称される)によって添付の図面に示される。これらの要素は、電子ハードウェア、コンピュータソフトウェア、またはこれらの任意の組合せを使用して実装されてもよい。そのような要素がハードウェアとして実装されるのか、それともソフトウェアとして実装されるのかは、特定の適用例および全体的なシステムに課された設計制約によって決まる。

#### 【0030】

##### 概説

本明細書において開示されている特定の態様は、デバイス間、および/または、様々なデバイスの構成要素もしくは下位構成要素間に設けられる通信リンクに関する。装置において、複数のICデバイス、または、ICデバイス内の回路が、ワイヤ、コネクタ、トレース、光媒体などを含むバスを使用して通信することができる。いくつかの事例において、ICデバイスもしくはICデバイス内の回路を結合解除すること、および/または、バスのコネクタに容量接続、誘導接続、もしくは光接続を提供することが望ましい場合がある。いくつかの例において、パルススペースのシグナリングを使用して通信する通信インターフェースが定義され得る。通信インターフェースは、プロプライエタリであってもよく、または、業界規格に基づいてもよい。受信機が、バスの1つまたは複数のワイヤ上で送信されるパルス内に符号化されている情報を捕捉および復号するために使用することができる受信クロック信号を確実に生成することを可能にする、クロックおよびデータ復元回路、システムおよび方法が開示される。

#### 【0031】

##### 通信リンクの例

本明細書において開示されている特定の態様は、通信インターフェースの動作、ならびに、マルチワイヤリンクからのクロックおよびデータ復元に関する。通信インターフェースは、規格によって規定されるリンクに基づいてもよく、または、プロプライエタリプロトコルに従って動作してもよい。通信インターフェースは、パルススペースのシグナリングを使用して通信するように適合され得る。

#### 【0032】

いくつかの態様において、通信インターフェースは、低電圧差動シグナリング(LVDS)を含む差動シグナリングを利用するか、またはそれに基づくマルチ信号データ転送システムを提供することができる。データは、マルチワイヤリンク上でのシグナリングを定義または制御するシンボル内に符号化することができる。データは、異なる符号化タイプの間でデジタル-デジタルデータ変換を実施するための1つまたは複数のトランスコーダを使用して符号化することができる。トランスコーダは、シンボル遷移がすべてのシンボル送信期間の終わりに行われることを保証することによって、一連の符号化シンボル内にクロック情報を埋め込むように適合することができる。データにクロック情報を埋め込むことによって、通信インターフェース回路および入出力(I/O)を実装するためにICデバイス上で使用されるデバイスピンカウントおよび/または半導体専有面積が対応して低減することによって、マルチワイヤ通信リンクと関連付けられる相互接続の数を低減することができる。データにクロック情報を埋め込むことによって、別個のデータレーンにおいてクロック情報を送る必要をなくすことができ、データレーンは差動送信経路に対応し得る。トランスコーディングによってクロック情報を埋め込むことは、クロックとデータ信号との間のスキューを最小限に抑えるための、ならびにクロック情報をデータ信号から復元するため

の位相ロックループ(PLL)の必要をなくすための効果的な方法である。

【 0 0 3 3 】

一例において、通信インターフェースは、MIPIアライアンス規格によって定義されるカメラ制御インターフェース(CCI)プロトコルまたはその派生物に従って動作することができる。CCIプロトコルは、マスタと1つまたは複数のスレーブとを接続するバスとして構成された2ワイヤ双方向半二重シリアルインターフェースを使用する。従来のCCIは、インター集積回路(I2C)バスの変形態態において使用されるプロトコルと互換性があり、単一のマスタを用いて、バス上で複数のスレーブを扱うことが可能である。CCIバスは、シリアルクロック(SCL)ラインおよびシリアルデータ(SDA)ラインを含む。I2Cバスを必要とするどの通信もI2Cプロトコルを使っている間、2つ以上のCCIデバイスがCCIプロトコルを使って通信することができるように、CCIデバイスおよびI2Cデバイスは、同じバス上に展開され得る。より最近のバージョンのCCIは、より高速な信号速度をサポートするために、修正されたプロトコルを使用してより高いスループットを提供する。CCI拡張(CCIe)バスは、CCleバスの動作と互換性があるデバイスにより高いデータレートを提供するために使用され得る。そのようなデバイスは、CCleデバイスと呼ばれることがあり、CCleデバイスは、SCLラインと従来のCCIバスのSDAラインの両方において送信されるシンボルとしてデータを符号化することによって、互いに通信するときに、より高いデータレートを達成することができる。CCleデバイスおよびI2Cデバイスは、同じCCleバス上で共存することができ、それによって、第1の時間間隔において、CCle符号化を使用してデータを送信することができ、I2Cシグナリング規約に従って、異なる時間間隔において他のデータを送信することができる。

10

20

【 0 0 3 4 】

通信リンクを利用するデバイスの例

図1は、ICデバイス間の通信リンクを採用し得る装置100を示す。一例では、装置100は、無線周波数(RF)通信送受信機106を通じて、無線アクセスネットワーク(RAN)、コアアクセスネットワーク、インターネットおよび/または別のネットワークと通信する通信デバイスを含み得る。通信送受信機106は、処理回路102に動作可能に結合され得る。処理回路102は、システムオンチップ(SoC)IC、1つもしくは複数の特定用途向け集積回路(ASIC)108、および/または他のICデバイスを使用して実装されてもよい。ASIC108は、論理回路、メモリ112、および、アプリケーションプロセッサ110のような1つまたは複数の処理デバイスを含んでもよい。処理回路102は、プロセッサ可読記憶装置114を含むことができ、かつ/または、当該記憶装置に結合することができる。プロセッサ可読記憶装置114は、非一時的記憶媒体を含むことができ、アプリケーションプロセッサ110または処理回路102内の別のコントローラもしくはプロセッサによって実行するためのデータおよび命令を記憶および維持するために使用することができる。処理回路102は、オペレーティングシステム、または、プロセッサ可読記憶装置114および/もしくはメモリ112内に設けられるまたは存在するソフトウェアモジュールの実行をサポートし可能にするアプリケーションプログラミングインターフェース(API)層を提供することができる他の制御プログラムのうちの1つまたは複数によって制御され得る。プロセッサ可読記憶装置114および/またはメモリ112は、読取り専用メモリ(ROM)もしくはランダムアクセスメモリ(RAM)、電気消去可能プログラマブル読取り専用メモリ(EEPROM)、フラッシュカード、または処理システム内およびコンピューティングプラットフォーム内で使用され得る任意のメモリデバイスを含み得る。いくつかの例において、プロセッサ可読記憶装置114および/またはメモリ112は、処理回路102の特定の動作モードまたは機能を構成するパラメータを維持するために使用されるレジスタを含む。処理回路102は、装置100を構成および動作させるために使用される動作パラメータおよび他の情報を維持するために、プロセッサ可読記憶装置114および/またはメモリ112を使用して実装することができるローカルデータベースにアクセスすることができる。ローカルデータベースは、データベースモジュールを使用して実装することができる。処理回路は、構成要素の中でも、アンテナ122、ディスプレイ124などの外部デバイス、ボタン128およびキーパッド126などのオペレータ制御に動作可能に結合することがで

30

40

50



きる。

【 0 0 3 5 】

図2は、様々な下位構成要素を接続するために通信リンク220を利用する移動通信デバイスなどの、装置200のアーキテクチャの一例を示す。図示されている例において、装置200は、互いに近接近して位置してもよく、または、物理的に装置200の異なる部分に位置してもよい複数のデバイスを含む。通信リンク220は、様々なICデバイスを接続するために使用することができ、たとえば、2つのICデバイス202および230が、通信リンク220を通じてデータおよび制御情報を交換することができる。一例では、通信リンク220は、ICデバイス202および230を担持するチップキャリア、基板または回路板上に設けられてもよい。別の例では、通信リンク220の一部分は、ケーブル接続または光接続を含んでもよい。いくつかの事例において、ケーブル接続または光接続は、モバイルコンピューティングデバイスのキーボード区画内に位置する第1のICデバイス202または230と、モバイルコンピューティングデバイスのディスプレイ区画内に位置する第2のICデバイス230または202とを相互接続することができる。

10

【 0 0 3 6 】

通信リンク220は、複数のチャネル222、224および226を提供し得る。1つまたは複数のチャネル226は、双方向性であってよく、半二重モードおよび/または全二重モードで動作し得る。1つまたは複数のチャネル222および224は、一方方向性であってよい。通信リンク220は、一方方向においてより高い帯域幅を提供する非対称であってよい。本明細書で説明する一例では、第1の通信チャネル222は順方向リンクと呼ばれることがあり、第2の通信チャネル224は逆方向リンクと呼ばれることがある。ICデバイス202および230の両方が通信リンク220上で送信および受信するように構成される場合でも、第1のICデバイス202はホストシステムまたは送信機として指定される場合があり、一方で第2のICデバイス230はクライアントシステムまたは受信機として指定される場合がある。一例では、第1の通信チャネル222は、第1のICデバイス202から第2のICデバイス230にデータを通信するときにより高いデータレートで動作することができ、一方で、第2の通信チャネル224は、第2のICデバイス230から第1のICデバイス202にデータを通信するときにより低いデータレートで動作することができる。

20

【 0 0 3 7 】

ICデバイス202および230は、各々、コントローラ、シーケンサ、または他のコンピューティングデバイスもしくはプロセッサ206、236を有し得る。一例では、第1のICデバイス202は、送受信機204およびアンテナ214を通じて通信することを含む、装置200のコア機能を実行することができ、一方で、第2のICデバイス230は、ディスプレイコントローラ232を管理するかまたは動作させるユーザインターフェースをサポートすることができる。この例において、第2のICデバイス230は、カメラコントローラ234を使用するカメラまたはビデオ入力デバイスの動作を制御するように適合され得る。ICデバイス202および230のうちの1つまたは複数によってサポートされる他の特徴は、キーボード、音声認識構成要素、および他の入力デバイスまたは出力デバイスに関連し得る。ディスプレイコントローラ232は、液晶ディスプレイ(LCD)パネル、タッチスクリーンディスプレイ、インジケータなどのようなディスプレイをサポートする回路およびソフトウェアドライバを含んでもよい。記憶媒体208および238は、それぞれのプロセッサ206および236、ならびに/またはICデバイス202および230の他の構成要素によって使用される命令およびデータを維持するように適合された、一時的記憶デバイスおよび/または非一時的記憶デバイスを含んでもよい。各プロセッサ206、236ならびにその対応する記憶媒体208および238と、他のモジュールおよび回路との間の通信は、それぞれ、1つまたは複数のバス212および242によって容易にされてもよい。

30

40

【 0 0 3 8 】

第2の通信チャネル224は、第1の通信チャネル222が順方向リンクとして構成されるとき、第1の通信チャネル222と同じように操作することができる逆方向リンクとして構成することができる。第1の通信チャネル222および第2の通信チャネル224は、比較可能な速度ま

50

たは異なる速度で送信することが可能であり得、速度は、データ転送速度および/またはクロック速度として表現され得る。順方向リンク上のデータレートは、逆方向リンク上のデータレートと実質的に同じであってもよく、または、対向する方向におけるデータレートは、用途に応じて数桁異なる場合がある。いくつかの応用形態では、単一の通信チャネル226が、第1のICデバイス202と第2のICデバイス230との間の通信をサポートする双方向リンクとして構成されもよい。第1の通信チャネル222および/または第2の通信チャネル224は、双方向モードで動作するように構成可能であってもよく、たとえば、順方向通信チャネル222と逆方向通信チャネル224とが同じ物理接続を共有し、半二重様式で動作してもよい。一例では、通信リンク220を、業界規格または他の規格に従って第1のICデバイス202と第2のICデバイス230との間で制御情報、コマンド情報および他の情報を通信するように動作させてもよい。

10

#### 【0039】

いくつかの事例において、順方向通信チャネル222および逆方向通信チャネル224は、ディスプレイリフレッシュのために810Mbpsでピクセルデータを配信する、フレームバッファなしで毎秒80フレームのLCDドライバICの、ワイドビデオグラフィックスアレイ(WVGA)をサポートするように構成または適合され得る。別の例では、順方向通信チャネル222および逆方向通信チャネル224は、ダブルデータレート同期型ダイナミックランダムアクセスメモリ(SDRAM)などのダイナミックランダムアクセスメモリ(DRAM)との通信を可能にするように構成または適合され得る。符号化デバイス210および/または240は、クロック遷移ごとに複数のビットを符号化するように構成することができ、ワイヤの複数のセットは、SDRAMからのデータ、制御信号、アドレス信号、および他の信号を送信および受信するために使用することができる。

20

#### 【0040】

順方向通信チャネル222および逆方向通信チャネル224は、特定用途向け業界規格に適合し得るか、または準拠し得る。一例では、特定のMIPIアライアンス規格は、アプリケーションプロセッサICデバイス202と、モバイルデバイス内のカメラまたはディスプレイをサポートするICデバイス230との間の物理レイヤインターフェースを定義する。MIPIアライアンス規格は、モバイルデバイスについてMIPIアライアンスによって定義されている規格または仕様に準拠する製品の動作特性を統制する仕様を定義することができる。いくつかの事例において、MIPIアライアンス規格または仕様は、相補型金属酸化膜半導体(CMOS)並列バスを利用するインターフェース内で実装され得る。

30

#### 【0041】

図2の通信リンク220は、(N本のワイヤとして示す)複数の信号ワイヤを含むワイヤ接続バスとして実装され得る。N本のワイヤは、シンボル中で符号化されたデータを搬送するように構成され得、ここで、クロック情報は、複数のワイヤを介して送信される一連のシンボルに埋め込まれる。連続するシンボル間の遷移を保証することによってタイミング情報を埋め込む符号化方式は、遷移符号化方式と呼ばれることがある。遷移符号化方式は、たとえば、N階乗(N!)インターフェースおよびCCleインターフェースにおいて使用され得る。

#### 【0042】

40

#### N!インターフェース

図3は、2つのデバイス302と320との間に設けられたNワイヤ通信リンク314を含むN!インターフェース300の例を示す図である。送信機302において、トランスコーダ306は、通信リンク314のN本のワイヤのセットを介して送信すべきシンボル内のデータビット304およびクロック情報を符号化するために使用されてもよい。送信機302において、クロック情報は、送信クロック312から導出され得、シグナリング状態遷移が $N!C_2$ 個の信号のうちの少なくとも1つの上の連続したシンボル間で発生することを確実にすることによって、 $N!C_2$ 個の差動信号の中で通信リンク314のN本のワイヤを介して送信される一連のシンボル内に符号化され得る。通信リンク314のN本のワイヤを駆動するためにN!符号化が使用されるとき、シンボルの各ビットは、差動ラインドライバ310のセットのうちの1つによって差動信号

50

として送信され、差動ラインドライバ310は、通信リンク314のN本のワイヤの異なるペアに結合される。通信リンク314のN本のワイヤの各ワイヤは、通信リンク314のN本のワイヤにおける他のN-1本のワイヤの各々とペアにされてもよく、ワイヤペアの利用可能な組合せの数( $_NC_2$ )は、通信リンク314のN本のワイヤを介して送信可能である信号の数を決定する。シンボル内に符号化することができるデータビット304の数は、各シンボル送信間隔に対して利用することができる、利用可能なシグナリング状態の数に基づいて算出されてもよい。

#### 【0043】

終端インピーダンス(通常は抵抗性の)は、通信リンク314のN本のワイヤの各々を、終端ネットワーク316の中の共通の中心点318に結合する。通信リンク314のN本のワイヤのシグナリング状態は、各ワイヤに結合された差動ラインドライバ310に起因する、終端ネットワーク316における電流の組合せを反映することが諒解されよう。中心点318はヌルポイントであり、それによって、終端ネットワーク316における電流は中心点318で互いに相殺することがさらに諒解されよう。一例において、4!インターフェース内の4本のワイヤの各々は、終端ネットワーク336の端子340a、340b、340c、340dに接続される。各端子340a、340b、340c、340dは、終端抵抗器によって、終端ネットワーク336の中心点338に結合される。

#### 【0044】

リンクにおける $_NC_2$ 個の信号のうちの少なくとも1つが連続したシンボルの間でリンク遷移するので、N!符号化方式は、別個のクロックチャネルおよび/または非ゼロ復帰復号を使用する必要がない。事実上、トランスコーダ306は、N本のワイヤのシグナリング状態が連続して送信されるシンボル間で異なる、一連のシンボルを生成することによって、通信リンク314のN本のワイヤ上で送信される連続するシンボルの各ペアの間で遷移が発生することを保証する。図3に示す例では、4本のワイヤが設けられ( $N=4$ )、4本のワイヤは $_4C_2=6$ 通りの差動信号を搬送することができる。トランスコーダ306は、N本のワイヤ上で送信するための未加工のシンボルを生成するためのマッピング方式を使用してもよい。トランスコーダ306は、データビット304を遷移番号のセットにマッピングすることができる。遷移番号は、選択される未加工シンボルが先行する未加工シンボルと異なるように、直前にあるシンボルの値に基づいて送信用の未加工シンボルを選択するために使用され得る。未加工シンボルは、通信リンク314のN本のワイヤを介した送信用のシンボルのシーケンスを取得するために、シリアライザ308によって直列化することができる。一例では、遷移番号は、連続した未加工のシンボルのうちの1番目を参照して、連続した未加工のシンボルのうちの2番目に対応するデータ値を検索するために使用することができる。受信機320において、トランスコーダ328は、たとえば、ルックアップテーブルを使用して、連続した未加工シンボルのペア間の差を特徴付ける遷移番号を決定するためのマッピングを利用することができる。トランスコーダ306、328は、未加工のシンボルのあらゆる連続したペアが2つの異なるシンボルを含むことに基づいて動作する。

#### 【0045】

送信機302におけるトランスコーダ306は、シンボル遷移ごとにN!-1個の利用可能なシグナリング状態の間で選択してもよい。一例では、4!のシステムは、各シンボル遷移において送信されるべき次のシンボルに対して4!-1=23通りのシグナリング状態を与える。ビットレートは、送信クロックサイクル当たりの $\log_2(\text{available\_states})$ として計算されてもよい。

#### 【0046】

本明細書で開示されるいくつかの態様によれば、ダブルデータレート(DDR)シグナリングは、送信クロック312の各期間の中で2つのシンボルを送信することによって、インターフェース帯域幅を増大させるために使用され得る。シンボル遷移は、DDRクロッキングを使用するシステムにおける送信クロックの立ち上がりエッジと立下りエッジの両方において発生する。送信クロックサイクルにおける利用可能な全状態は $(4!-1)^2=(23)^2=529$ 通りであり、シンボルごとに送信することのできるデータビット304の数は $\log_2(529)=9.047$ ビ

10

20

30

40

50

ットとして計算することができる。

【 0 0 4 7 】

受信デバイス320は、ライン受信機のセット322を使用して一連のシンボルを受信し、ここで、ライン受信機のセット322中の各受信機は、通信リンク314のN本のワイヤのうちの1つのペア上でのシグナリング状態の差を決定する。したがって、 $N C_2$ 個の受信機322が使用され、ここで、Nはワイヤの数を表す。 $N C_2$ 個の受信機322は、対応する数の未加工シンボルを出力として生成する。4ワイヤの例では、4本のワイヤ上で受信される信号は、クロックおよびデータ復元(CDR)回路324およびデシリアライザ326に与えられる未加工シンボル信号332を生成するために、6個の受信機( $4 C_2=6$ )によって処理される。未加工シンボル信号332は、通信リンク314のN本のワイヤのシグナリング状態を表し、CDR回路324は、未加工シンボル信号332を処理して、デシリアライザ326によって使用することができる受信クロック信号334を生成してもよい。

【 0 0 4 8 】

受信クロック信号334は、トランスコーダ328によって供給される出力データ330を処理するために外部回路によって使用され得るDDRクロック信号であり得る。トランスコーダ328は、各シンボルをその直前にあるものと比較することによって、デシリアライザ326からの受信シンボルのブロックを復号する。トランスコーダ328は、送信機302に与えられるデータビット304に対応する出力データ330を生成する。

【 0 0 4 9 】

図4は、送信機402における符号化、基本N!マルチワイヤ通信リンク414を介した送信、および受信機416における復号の特定の態様を示すデータフロー図である。この例においては、送信機402に与えられる2進ワード404を、16進値0xD1ACとして表現することができる。2進-5進エンコーダ406は、2進ワード404を5進遷移数408に変換するように構成することができる。この例において、遷移数408は、5進値3204201を有する。遷移数408は、一連のシンボル412を生成するラインエンコーダ410に与えられ、一連のシンボル412の各シンボルは、通信リンク414のワイヤのシグナリング状態を表す。遷移数408の各数字は、連続するシンボル遷移間隔におけるワイヤのシグナリング状態の差として符号化される。一例において、可能なシグナリング状態に対応する可能なシンボルの各々は、単一数字の5進数によってインデックス付けされ得る。現在送信されているシンボルは、インデックス値 $S_{Current}$ によって表すことができ、次のシンボルのインデックス値 $S_{Next}$ は、 $S_{Next}=S_{Current}+T(mod5)$ として計算することができ、式中、Tは遷移数の対応する数字の値を表す。

【 0 0 5 0 】

受信機416において、一連のシンボル418を、ラインデコーダ420によって5進遷移数422に変換することができる。遷移数422はその後、5進-2進デコーダ424に与えることができ、このデコーダは、出力2進データワード426を生成する。ラインデコーダ420は、差が2つの連続するシンボル間のシグナリング状態であることを観測し、送信機402によって使用される同じインデックス付け方式を使用して5進遷移数422の数字を生成することができる。

【 0 0 5 1 】

2ワイヤ遷移符号化シリアルインターフェースの例

図5は、複数のデバイス502、520、522a~522nが通信リンクによって相互接続されている装置500の特定の態様を示す図である。装置500は、移動通信デバイス、携帯電話、モバイルコンピューティングシステム、セルラー電話、ウェアラブルコンピューティングデバイス(たとえば、スマートウォッチ、ヘルストラッカまたはフィットネストラッカ、アイウェアなど)、ノートブックコンピュータ、タブレットコンピューティングデバイス、メディアプレーヤ、ゲーミングデバイス、電化製品、センサ、セキュリティデバイス、自動販売機、スマートメータ、ドローン、マルチコプタなどにおいて具現化されてもよい。装置500の複数のデバイス502、520および522a~522nは、遷移符号化を使用してCCIバスのようなシリアルバス530を介して通信するように適合することができる。シリアルバス530を介して送信されるべきデータは、シリアルバス530上で連続的な送信間隔において送信され

10

20

30

40

50

るべきシンボルを選択するために使用される3進数に符号化することができる。一例において、複数のデバイス502、520および522a~522nは、CCleプロトコルを使用して通信することができる。別の例において、複数のデバイス502、520および522a~522nは、I3Cプロトコルを使用して通信することができる。遷移符号化を使用することによって、遷移符号化を含む増強された特徴を使用するように構成されているデバイスについて、従来のCCIまたはI2Cプロトコルをサポートするシリアルバス530の機能を拡張することができる。たとえば、シリアルバス530上での遷移符号化送信は、従来のCCIバス上で達成されるビットレートよりも高いビットレートをもたらすことができる。本明細書において開示されている特定の態様によれば、CCleプロトコルは、16.7Mbps以上のビットレートをサポートするように構成または適合することができ、CCleプロトコルのいくつかのバージョンでは、少なくとも23メガビット毎秒のデータレートをサポートすることができる。

10

#### 【0052】

図5に示される例では、イメージングデバイス502は、シリアルバス530上でスレーブデバイスとして動作するように構成される。イメージングデバイス502は、たとえば、画像センサを管理するセンサ制御機能504を提供するように適合することができる。加えて、イメージングデバイス502は、構成レジスタ506または他の記憶装置と、制御論理512と、送受信機510と、ラインドライバ/受信機514aおよび514bとを含むことができる。制御論理512は、状態機械、シーケンサ、信号プロセッサまたは汎用プロセッサなどの処理回路を含むことができる。送受信機510は、受信機510aと、送信機510cと、タイミング、論理、およびストレージの回路および/またはデバイスを含む共通回路510bとを含むことができる。一例では、送信機510cは、クロック生成回路508によって与えられたタイミングに基づいて、データを符号化および送信する。

20

#### 【0053】

図6は、送信機602における遷移符号化、マルチワイヤ通信リンク614を介した送信、および受信機616における復号の特定の態様を示すデータフロー図である。この例においては、送信機602に与えられる2進ワード604を、16進値0x0801ACとして表現することができる。2進-3進エンコーダ606は、2進ワード604を3進遷移数608に変換するように構成することができる。この例において、遷移数608は、3進値2221\_2220\_2221を有する。遷移数608は、一連のシンボル612を生成するラインエンコーダ610に与えられ、一連のシンボル612の各シンボルは、通信リンク614のワイヤのシグナリング状態を表す。遷移数608の各数字は、連続するシンボル遷移間隔におけるワイヤのシグナリング状態の差として符号化される。一例において、可能なシグナリング状態に対応する可能なシンボルの各々は、単一数字の3進数によってインデックス付けされ得る。現在送信されているシンボルは、インデックス値 $S_{Current}$ によって表すことができ、次のシンボルのインデックス値 $S_{Next}$ は、 $S_{Next}=S_{Current}+T(mod3)$ として計算することができ、式中、Tは遷移数の対応する数字の値を表す。

30

#### 【0054】

受信機616において、一連のシンボル618を、ラインデコーダ620によって3進遷移数622に変換することができる。遷移数622はその後、3進-2進デコーダ624に与えることができ、当該デコーダは、出力2進データワード626を生成する。ラインデコーダ620は、差が2つの連続するシンボル間のシグナリング状態であることを観測し、送信機602によって使用される同じインデックス付け方式を使用して3進遷移数622の数字を生成することができる。たとえば、2進数と3進数との間の変換を含む数体系間の変換は、トランスコーディングと呼ばれることがある。

40

#### 【0055】

状態ベースのクロックおよびデータ復元

図7は、遷移符号化インターフェースにおけるクロック生成の一例を示す。図7~図9に示す例は、例示のみを目的として、図5の遷移符号化シリアルバス530の例に関する。本明細書において説明されている原理は、本明細書において説明されているN!インターフェースを含む、他の遷移符号化インターフェースに適用することができる。受信機702は、シ

50

リアルバス530のようなシリアルリンク内のワイヤ516、518のシグナリング状態704を検出または捕捉することができる。シグナリング状態704は、シグナリング状態704の遷移を検出するように構成されている遷移検出回路706によって監視される。遷移検出回路706は、各シンボル送信間隔中にワイヤ516、518のシグナリング状態を捕捉するために使用することができる受信クロック信号710を得るために、クロック生成回路708によって処理することができる遷移信号を生成することができる。

#### 【0056】

タイミング図720によって示されているように、ラインエンコーダ(たとえば、図6のラインエンコーダ610を参照されたい)によって生成されるシンボル番号722は、シリアルバス530のSDAワイヤ518およびSCLワイヤのシグナリング状態に対応する。遷移検出回路706は、ワイヤ516、518のシグナリング状態の検出される遷移に対応する1つまたは複数の指標724を生成することができる。これらの指標は、クロック信号710上のパルス726a~726dを生成するために処理される信号を含むことができる。

#### 【0057】

図8は、Nワイヤシステムにおいて埋め込まれたクロック情報を復元するために使用されるクロックおよびデータ復元(CDR)回路800の一例を示す。図9は、CDR回路800の動作を介して生成されるいくつかの信号を示すタイミング図900である。CDR回路800およびそのタイミング図900は、一般化された例として与えられているが、いくつかの事例においては、CDR回路800の他の変形形態および/または他のCDR回路が使用されてもよい。N本のワイヤ808から受信される信号は最初に、いくつかの受信機802によって処理され、受信機は、対応する数の未加工の信号を出力として生成する。一例において、N=4本のワイヤ808が、受信されたシンボルを表す6つの未加工の信号を含む第1の状態遷移信号(SI信号820)を生成する。 ${}_4C_2=6$ つの受信機802によって処理される。別の例において、2ワイヤ遷移符号化インターフェースのN=2本のワイヤ808を介して送信されるシンボルが、2つの受信機802によって受信されてもよい。各異なる受信機から出力される未加工の信号ごとに、シンボル $S_0$ 902と、シンボル $S_1$ 904との間の時間期間があり得、その間は、対応する信号の状態は未定義、不確定、または他の様態で不安定であり、結果として過渡またはグリッチ908がもたらされる場合がある。レベルラッチ810、比較器804、セトリセットラッチ806、遅延要素812および(バス接続された)レベルラッチ810は、SI信号820の遅延されたインスタンスを表すレベルラッチ信号(S信号822)を出力するように構成され得、ここで、更新されたS信号822を与えるためにSI信号820がレベルラッチ810によって捕捉される前の遅延は、遅延要素812を構成することによって選択され得る。

#### 【0058】

比較器804は、SI信号820をS信号822と比較し、2進比較信号(NE信号814)を出力する。セトリセットラッチ806は、NE信号814を比較器804から受信し、NE信号814のフィルタリングされたバージョンである信号(NEFLT信号816)を出力することができる。セトリセットラッチ806の動作は、NE信号814におけるいかなる過渡的な不安定性も取り除くように構成され得、ここで、過渡的な不安定性は、NE信号814におけるスパイク910として示される。セトリセットラッチ806の「リセット」入力は、NE信号814の状態にかかわらず、RXCLK信号818が高であるとき、NEFLT信号816がリセットされるように、優先され得る。

#### 【0059】

いくつかの事例では、RXCLK信号818は、外部回路構成によって、CDR回路800のデータ出力828をサンプリングするのに使うことができる。一例において、RXCLK信号818またはRXCLK信号818の派生信号を、デコードまたはデシリアライザ回路に与えることができる。いくつかの事例では、他の信号816が、外部回路構成向けのクロック信号を生成するのに使われてよい。レベルラッチ810は、SI信号820を受信するとともにS信号822を出力し、ここで、レベルラッチ810は、RXCLK信号818によってトリガされるか、または他の様態で制御される。一例では、S信号822は、CDR回路800のシンボル出力として機能し得る。他の例では、S信号822を、CDR回路800のシンボル出力として使用するために、遅延させ、ラッチし、かつ/または場合によっては条件づけるための追加回路構成が、CDR回路800中に含まれ

10

20

30

40

50

得る。

【 0 0 6 0 】

動作時、比較器804は、SI信号820を、レベルラッチ810から出力されるS信号822と比較する。比較器804は、SI信号820とS信号822とが等しいとき、NE信号814を第1の状態(たとえば、論理低)に駆動し、SI信号820とS信号822とが等しくないとき、NE信号814を第2の状態(たとえば、論理高)に駆動する。SI信号820およびS信号822が異なるシンボルを表すとき、NE信号814は第2の状態にある。したがって、第2の状態は遷移が発生していることを示す。

【 0 0 6 1 】

タイミング図900から諒解され得るように、S信号822は事実上、SI信号820の遅延され、フィルタリングされたバージョンであり、SI信号820において、SI信号820とS信号822との間の遅延914により、過渡またはグリッチ908は除去されている。SI信号820における複数の過渡またはグリッチ908は、NE信号814におけるスパイク910として反映され得るが、これらのスパイク910は、セットリセット回路の動作を通じてNEFLT信号816からマスクされる。さらに、RXCLK信号818は、フィードバック経路においてレベルラッチ810およびセットリセットラッチ806に与えられる遅延要素812の使用に基づいたシンボル遷移におけるラインスキューおよびグリッチに対して耐性があり、それによって、RXCLK信号818は、セットリセットラッチ806のリセット機能を制御する。

10

【 0 0 6 2 】

第1のシンボル値 $S_0$ 902と次のシンボル値 $S_1$ 904との間の遷移の開始916において、SI信号820は状態を変化させ始める。SI信号820の状態は、 $S_0$ 902と $S_1$ 904との間の遷移中に、過渡またはグリッチ908を含む、中間状態または不確定状態908が発生し得る可能性があるために、 $S_1$ 904とは異なり得る。これらの過渡またはグリッチ908は、たとえば、ワイヤ間スキュー、オーバーシュート/アンダーシュート、クロストークなどによって引き起こされ得る。

20

【 0 0 6 3 】

NE信号814は、比較器804がSI信号820とS信号822との間の値の差を検出するとすぐにハイになり、NE信号814の遷移ハイは、セットリセットラッチ806出力を非同期的に設定し、NEFLT信号816をハイに駆動する。NEFLT信号816は、セットリセットラッチ806がIRXCLK信号818のハイ状態によってリセットされるまで、そのハイ状態に維持される。RXCLK信号818は、NEFLT信号816の遅延されたバージョンである。

30

【 0 0 6 4 】

SI信号820上の過渡またはグリッチ908は、無効なデータを表し得る。これらの過渡またはグリッチ908は、前のシンボル値 $S_0$ 902の短い期間を含む場合があり、短い時間期間にわたってNE信号814をローに戻らせる場合がある。SI信号820の遷移は、NE信号814上でスパイク910を生成する場合がある。スパイク910は事実上除去され、NEFLT信号816には現れない。

【 0 0 6 5 】

NEFLT信号816のハイ状態は、遅延要素812によって引き起こされる遅延期間840の後、RXCLK信号818をハイに遷移させる。RXCLK信号818のハイ状態は、セットリセットラッチ806出力をリセットし、NEFLT信号816をロー状態に遷移させる。IRXCLK信号818のハイ状態はまた、レベルラッチ810をイネーブルにし、SI信号820の値がS信号822上で出力され得る。

40

【 0 0 6 6 】

比較器804は、(シンボル $S_1$ 902に対する)S信号822がSI信号820上に存在するシンボル $S_1$ 902の値と一致することを検出し、その出力(NE信号814)をローに切り替える。NEFLT信号816のロー状態は、遅延要素812によって引き起こされる遅延期間842の後、IRXCLK信号818をローにさせる。このサイクルは、SI信号820における遷移ごとに繰り返す。IRXCLK信号818の立下りエッジの後の時間において、新しいシンボル $S_2$ 906が受信される場合があり、次のシンボル $S_2$ 906に従ってSI信号820にその値を切り替えさせる場合がある。

【 0 0 6 7 】

50

図8に示すCDR回路800は、そのような回路の様々な例のうちの1つを表し、CDR回路800は、様々な通信インターフェースに使用するために適合または構成することができる。いくつかの事例において、その間受信シンボル904が安定しており、確実に捕捉することができる時間期間920に対してサンプリングエッジを遅延または先行させるように適合または構成されている他のタイプのCDR回路の使用から利益が得られる場合がある。たとえば、受信機802のそのタイプおよび/または構成は、インターフェースにおいて利用される信号符号化技法に基づいて決定することができる。第1の例において、2ワイヤCCLシリアルバスから信号を受信するために、2シングルエンド受信機構成802aを利用することができる。第2の例において、マルチワイヤインターフェースは、N個の差動受信機802bによって受信されるN個のLVDS信号を搬送することができる。第3の例において、抵抗ネットワーク830aによって終端される3ワイヤN!(3!)インターフェースから受信される信号のペアを比較するために、3受信機構成802cを利用することができる。第4の例において、抵抗ネットワーク830bによって終端される4ワイヤN!(4!)符号化インターフェース上で受信される2つの信号の異なる組合せから受信される信号のペアを比較するために、6受信機構成802dを利用することができる。

#### 【0068】

##### パルスベースの通信インターフェース

本明細書において開示されている特定の態様は、シグナリング状態またはシグナリング状態間の遷移ではなくパルスにおいてデータを符号化するインターフェースに関する。パルスベースのシグナリングは、信号が容量結合、誘導結合もしくは光結合されるとき、または、信号チャネルが情報を事象において符号化し、シグナリング状態を使用した符号化をサポートしないときに使用され得る。そのような事例において、遷移符号化状態ベースのインターフェースを、状態情報を搬送しない信号チャネルとインターフェースするために、信号変換および/またはブリッジングを実施することができる。

#### 【0069】

図10は、パルスベースの通信の特定の態様を示す簡略図1000である。パルス1020は、ラインドライバ1004に対する入力信号1002として与えることができる。ラインドライバ1004は、伝送線路1006上で対応するパルス1022を生成し、伝送線路1006と関連付けられるローパスフィルタリング効果が、より高次の周波数を除去し得る。反射および他の効果が、信号遷移に対するオーバーシュートおよび/またはアンダーシュートを導入することによって、送信パルス1022をゆがめる場合がある。キャパシタ1008が、送信パルス1022からDC成分を除去して、抵抗器1010、1012によって選択されるDCレベルを中心としたパルス1024を生成する。この電圧平衡パルス1024は、ライン受信機1016の入力1014に与えることができ、ライン受信機は、受信信号1018として受信パルス1026を生成する。

#### 【0070】

シグナリング状態ベースの符号化を使用するマルチワイヤインターフェースは、送信間隔中のパルスの有無に情報を符号化するように適合または他の状態で修正することができる。マルチワイヤインターフェースの各ワイヤは、各送信間隔中にパルスを搬送することができ、少なくとも1本のワイヤは、任意の送信間隔中にパルスを搬送する。各送信間隔において最初に検出されるパルスに対応するクロック信号上にエッジを与えることによって、クロック信号を生成することができる。

#### 【0071】

図11は、データが2ワイヤシリアルリンクを介して通信されるデータであるパルス符号化インターフェース1100の特定の態様を示す図である。送信機において、2進データがシンボルに符号化され、各シンボルは、一連の送信間隔1128のうちの1つにおけるパルスとして、通信インターフェースを通じて送信される。受信機が、各送信間隔について送信パルスパターン1102を検出する。各送信間隔のパルスパターン1102は、3進数の数字として表現することができる。各送信間隔のパルスパターン1102は、CDR1104に与えられ、CDR1104は、受信クロック信号1114を抽出し、ラインデコーダ1106が、一連の送信間隔1128中に受信されるパルスパターンを表す3進数1108を生成することを可能にする。その後、3進-2

10

20

30

40

50



進トランスコーダ1110が、2進ワード1112を出力として提供することができる。

【0072】

タイミング図1120は、2ワイヤシリアルバスの一連の送信間隔1128におけるデータワード1112の受信を示す。パルスは、SDAワイヤ1122またはSCLワイヤ1124上で送信することができる。SDAワイヤ1122またはSCLワイヤ1124のいずれかまたは両方の上でのパルスの発生に基づいて、受信クロック信号1114上に一連のクロックパルス1126a～1126dが生成される。

【0073】

タイミング図1120において、SDAワイヤ1122およびSCLワイヤ1124上のパルスは、50%のデューティサイクルを有するものとして示されている。いくつかの事例において、パルスは、50%よりも大きいまたは50%未満のデューティサイクルを有することができ、それによって、パルスは、ロー状態よりも継続時間が長いハイ状態、または、ロー状態よりも継続時間が短いハイ状態を有するものとして定義される。パルスのタイミングも、送信機における送信クロックのエッジのような、時間的基準点1130、1132に対して変化することができる。1つの例1134において、SDAワイヤ1122および/またはSCLワイヤ1124は、最初に発生する基準点1130においてはローシグナリング状態のままであり得、パルスが送信されるべきときにはハイに遷移し、それによって、ワイヤ1122または1124は、2番目に発生する基準点1132において、または、その付近で、ローに遷移する。別の例1136において、SDAワイヤ1122および/またはSCLワイヤ1124は、パルスが送信されるべきときである、最初に発生する基準点1130においてハイシグナリング状態に遷移することができ、ワイヤは、最初に発生する基準点1130と2番目に発生する基準点1132との間の中間点近くの何らかの点においてローに遷移する。別の例1138において、SDAワイヤ1122および/またはSCLワイヤ1124上のパルスは、最初に発生する基準点1130と2番目に発生する基準点1132との間の中間点近くの時点あたりに中心を置くか、または、各基準点1130、1132の前および後のいくつかの継続時間にわたってワイヤがロー状態にあるような、何らかの他の時点に中心を置いてもよい。これらの例1134、1136、1138の各々のシグナリング状態の極性は、所望に応じてまたは設計要件によって示されるように反転されてもよい。

【0074】

パルススペースのクロックおよびデータ復元

図12は、パルススペースのインターフェースに使用され得るCDR回路1200の第1の例を示す。図13は、CDR回路1200の動作を介して生成されるいくつかの信号を示すタイミング図1300である。図12に示す例は、CDR回路1200の説明を単純化するために、2ワイヤ通信リンクに関する。この動作原理は、N/2であるNワイヤリンク、および、N対のワイヤを介してN個のLVDS信号を送信する通信リンクを含む、他の通信リンクにも等しく適用される。信号1202および1204が、比較器、受信機、調整回路などを使用して通信リンクから受信される。各信号1202、1204は、対応するセットリセットラッチ1206、1208のセット(S)入力に与えられる。したがって、第1の信号1202において受信されるパルス1306が、第1のセットリセットラッチ1206を設定し、第2の信号1204において受信されるパルス1304、1308が、第2のセットリセットラッチ1208を設定する。出力SF[0]1210およびSF[1]1212がORゲート1214に与えられ、ORゲート1214は、出力信号(SFOR信号)1216を生成する。この符号化方式は、パルス1304、1306、および/または1308が各送信期間1302の間に信号1202、1204のうちの少なくとも1つにおいて送信されることを保証するため、SFOR信号1216は、各送信期間1302のパルス1310、1312を含む。

【0075】

SFOR信号1216は遅延要素1218に与えられ、遅延要素1218は、遅延されたパルス1314、1316を有するRXCLK信号1220を得るために、SFOR信号1216内のパルス1310、1312を遅延させる。遅延要素1218は、RXCLK信号1220上のパルス1314、1316の立ち上がりエッジの各々が、入力信号1202、1204が安定化されている最近の可能性のある時点の後に発生することを保証するのに十分な継続時間を有する遅延1318を生成するように構成することができる。たとえば、信号1202、1204において受信されるパルス1306、1308は、遅延1322がパルス13

10

20

30

40

50

06、1308の間に発生するように、異なる伝播時間を受け得る。遅延要素1218と関連付けられる遅延1318は、後者の例において、RXCLK信号1220上に複数のパルスまたはグリッチが発生するのを防止するように機能し得る。RXCLK信号1220は、リセット(R)入力セット(S)入力よりも優先されるセトリセットラッチ1206、1208をリセットする。

#### 【0076】

RXCLK信号1220は、各々が対応するインバータ1222、1224を通じてセトリセットラッチ1206、1208のうちの1つの出力に結合されている出力フリップフロップ1226、1228のペアをクロック制御する。出力フリップフロップ1226、1228がクロック制御されるとき、セトリセットラッチ1206または1208の出力は、パルスがその対応する入力信号1202、1204において受信されている場合はセット状態にあり、セトリセットラッチ1206または1208の出力は、パルスがその対応する入力信号1202、1204において受信されていない場合はクリア状態にある。所望のビット配向を設定するために、および/または、RXCLK信号1220によってセトリセットラッチ1206、1208をリセットすることによって引き起こされる遷移を遅延させるために、セトリセットラッチ1206、1208の反転出力を、出力フリップフロップ1226、1228に与えることができる。この例において、セトリセットラッチ1206、1208と出力フリップフロップ1226、1228との間に設けられているインバータ1222および1224は、単純な形態の「パルス-3進」デコーダとして動作することができる。

#### 【0077】

出力フリップフロップ1226、1228の出力1230、1232は、デコーダに与えることができる。出力フリップフロップ1226、1228の出力1230、1232は、3進数1320として処理することができる。

#### 【0078】

図14は、パルスベースのインターフェースに使用され得るCDR回路1400の第2の例を示す。図15は、図14のCDR回路1400の動作を介して生成されるいくつかの信号を示すタイミング図1500である。図14に示す例は、図12に示すCDR回路1200の特定の態様を増強し、同じく、CDR回路1400の説明を単純化するために、2ワイヤ通信リンクに関する。この動作原理は、N/2であるNワイヤリンク、および、N対のワイヤを介してN個のLVDS信号を送信する通信リンクを含む、他の通信リンクにも等しく適用される。信号1402および1404が、比較器、受信機、調整回路などを使用して通信リンクから受信される。各信号1402、1404は、対応するセトリセットラッチ1406、1408のセット(S)入力に与えられる。したがって、第1の信号1402において受信されるパルス1506が、第1のセトリセットラッチ1406を設定し、第2の信号1404において受信されるパルス1504、1508が、第2のセトリセットラッチ1408を設定する。出力SF[0]1410およびSF[1]1412がORゲート1414に与えられ、ORゲート1414は、出力信号(SFOR信号)1416を生成する。この符号化方式は、パルス1504、1506、および/または1508が各送信期間1502の間に信号1402、1404のうちの少なくとも1つにおいて送信されることを保証するため、SFOR信号1416は、各送信期間1502のパルスを含む。

#### 【0079】

SFOR信号1416はワンショット回路1418に与えられ、ワンショット回路1418は、その出力信号(1SHOT)1420において、固定継続時間パルス1510および1512を生成する。パルス1510および1512は、SFOR信号1416において生成されるパルスに対応する。1SHOT信号1420は遅延要素1422に与えられ、遅延要素1422は、遅延されたパルス1514、1516を有するRXCLK信号1424を得るために、1SHOT信号1420内のパルス1510、1512を遅延させる。ワンショット回路1418によって生成されるパルス1510および1512の継続時間は、異なる入力信号1402、1404において送信されるパルス1506、1508の間の最大予測遅延1522を超える継続時間を有する単一の固定長パルスを生成するように構成することができる。遅延要素1422は、RXCLK信号1424上のパルス1514、1516の立ち下がりエッジの各々が、入力信号1402、1404が安定化されている最近の可能性のある時点の後に発生することを保証するのに十分な継続時間を有する遅延1518を生成するように構成することができる。たとえば、信号1402、1404において受信されるパルス1506、1508は、遅延1522がパルス1506、1508の間に発生するように、異なる伝播時間を受け得る。1SHOT信号1420および/または遅延要素1422と関連付け

られる遅延1518は、後者の例において、RXCLK信号1424上に複数のパルスまたはグリッチが発生するのを防止するように機能し得る。RXCLK信号1424は、リセット(R)入力セット(S)入力よりも優先されるセトリセトラッチ1406、1408をリセットする。

#### 【0080】

RXCLK信号1424は、各々がセトリセトラッチ1406、1408のうちの1つの出力に結合されている出力フリップフロップ1430、1432のペアをクロック制御する。出力フリップフロップ1430、1432がクロック制御されるとき、セトリセトラッチ1406または1408の出力は、パルスがその対応する入力信号1402、1404において受信されている場合はセット状態にあり、セトリセトラッチ1406または1408の出力は、パルスがその対応する入力信号1402、1404において受信されていない場合はクリア状態にある。所望のビット配向を設定するために、および/または、RXCLK信号1424によってセトリセトラッチ1406、1408をリセットすることによって引き起こされる遷移を遅延させるために、セトリセトラッチ1406、1408の反転出力を、出力フリップフロップ1430、1432に与えることができる。この例において、セトリセトラッチ1206、1208と出力フリップフロップ1430、1432との間に設けられているインバータ1426および1428は、単純な形態の「パルス-3進」デコーダとして動作することができる。

10

#### 【0081】

出力フリップフロップ1430、1432の出力1434、1436は、デコーダに与えることができる。出力フリップフロップ1430、1432の出力1434、1436は、3進数1520として処理することができる。

20

#### 【0082】

いくつかの回路システムおよび方法の追加説明

本明細書において開示されている特定の態様は、パルス符号化信号を搬送する1つまたは複数のコネクタを含むマルチコネクタインターフェースに適用することができる。図16は、パルスコード化シグナリングの使用の特定の一般化された例を示す。第1の例1600において、マルチコネクタインターフェース上で搬送される信号1604、1606、1608の各々が、パルス符号化されている。すなわち、符号化は、一連の送信間隔1602の各々における少なくとも1つの信号1604、1606、および/または1608においてゼロ復帰パルスをもたらす。信号1604、1606、1608内のゼロ復帰パルスの有無、および/または、マルチコネクタシリアル通信リンク上で送信される信号1604、1606、1608内に与えられるゼロ復帰パルスのパターンに、データを符号化することができる。第1の例1600において、3つの信号が示されているが、マルチコネクタインターフェースは、任意の数のコネクタを含んでもよい。

30

#### 【0083】

第2の例1610において、マルチコネクタインターフェース上で搬送されている1つまたは複数の信号(ここでは、2つの信号1614、1616)がパルス符号化されており、一方で、一連の送信間隔1612の各々の間の1つまたは複数の他の信号1618のシグナリング状態に、情報が符号化されている。いくつかの事例において、パルス符号化されていない1つまたは複数の信号1618のシグナリング状態の遷移に、情報が符号化されてもよい。

#### 【0084】

いくつかの事例において、マルチコネクタインターフェースは、第1の例1600においてはデータを、信号1604、1606、および/または1608上で送信されるパルスの組合せに変換し、または第2の例1610においてはデータを、信号1614、1616および/または1618上で送信されるパルスの組合せに変換するために、トランスコーディングを利用することができる。

40

#### 【0085】

図17は、本明細書において開示するいくつかの態様によるマルチワイヤ通信インターフェースにおいて送信され得る種々のタイプの信号1702、1704、1706、1708の例の第1のセットを示すタイミング図1700である。マルチワイヤ通信インターフェースは、すべてのワイヤもしくはコネクタ上でそれらのタイプの信号1702、1704、1706、1708のうちの1つを搬送するか、または、異なるコネクタもしくはワイヤ上でそれらのタイプの信号1702、17

50

04、1706、1708の何らかの組合せを搬送するように適合することができる。いくつかの事例において、マルチワイヤ通信インターフェースは、異なる時点におけるシグナリングには異なる組合せまたはタイプの信号1702、1704、1706、1708を使用することができるように、再構成することができる。

【0086】

第1のタイプの信号1702は、(たとえば)図16の例1600に示すような、ゼロ復帰(RZ)またはパルス符号化シグナリングモードを表すことができる。パルス1712は、送信クロックエッジなどに対応し得る、開始点1710、および終点1720によって区切られる間隔内で与えることができる。図11の例1134、1136および1138に示すように、パルス1712は、開始点1710および終点1720内に位置付けられ得、または、開始点1710または終点1720と一致するエッジを有し得る。開始点1710と終点1720との間のパルス1712の有無に、情報を符号化することができる。この例においては、開始点1710と終点1720との間の期間が、単一のシンボル間隔に対応し得る。

10

【0087】

第2のタイプの信号1704は、送信クロックエッジなどに対応し得る、開始点1710、および終点1720によって区切られる間隔内に複数のパルス1714、1716、1718が与えられ得る、ゼロ復帰またはパルス符号化シグナリングモードを表し得る。1つまたは複数のパルス1714、1716、1718のエッジは、開始点1710および終点1720内に位置付けられ得、または、開始点1710および/または終点1720と一致し得る。パルス1714、1716、1718の有無、および/または、開始点1710と終点1720との間で送信されるパルス1714、1716、1718の組合せ、および/または、マルチワイヤ通信インターフェースの複数の異なるワイヤ上で送信されるパルスの組合せに、情報を符号化することができる。開始点1710および終点1720内に位置付けられるパルス1714、1716の数は、用途の需要または設計者の選好に基づいて選択されてもよい。この例においては、開始点1710と終点1720との間の期間が、3つのシンボル間隔に対応し得る。

20

【0088】

第3のタイプの信号1706は、開始点1710と終点1720との間のワイヤのシグナリング状態、および/または、マルチワイヤ通信インターフェースの複数の異なるワイヤ上に与えられる状態の組合せに情報を符号化することができる、非ゼロ復帰シグナリングモードを表すことができる。この例においては、開始点1710と終点1720との間の期間が、単一のシンボル間隔に対応し得る。いくつかの事例において、開始点1710および/または終点1720におけるシグナリング状態の遷移に情報を符号化することができる。

30

【0089】

第4のタイプの信号1708は、開始点1710と終点1720との間に複数ビットの情報を符号化することができる非ゼロ復帰シグナリングモードを表すことができる。ここで、ワイヤのシグナリング状態、および/または、マルチワイヤ通信インターフェースの1つまたは複数のワイヤ上で与えられる状態の組合せにおいて、2つ、3つまたはそれ以上のビットを送信することができる。この例においては、開始点1710と終点1720との間の期間が、3つのシンボル間隔に対応し得る。いくつかの事例において、開始点1710および終点1720との間の特定の点において発生するシグナリング状態の遷移に情報を符号化することができる。

40

【0090】

図17に示すタイプの信号1702、1704、1706、1708のうちのいくつかは、1つのシンボルサイクル内の1つ、2つ、またはそれ以上のトグルを生成することができる。CDR回路1400の遅延要素(図14参照)は、各シンボルについて単一のパルスがRXCLK信号1424上に生成されるように、複数のトグルをフィルタリングするように構成することができる。奇数のトグルが信号上の同じサイクルにおいて与えられるとき、フリップフロップ1432、1430は、先行するサイクルから反対の値を捕捉し得る。偶数のトグルが信号上の同じサイクルに発生するとき、先行するサイクルから同じ値が捕捉され得る。偶奇は、追加の帯域内情報を搬送することができる。奇数と偶数の両方のトグルが信号上の同じサイクル内に発生するとき、カウンタを設けて、トグルの数、および/または、単一のシンボル内の立ち上がり

50

もしくは立ち下がリエッジをカウントすることができる。カウンタは、追加の帯域内情報を提供することができる。

【 0 0 9 1 】

図18は、本明細書において開示するいくつかの態様によるマルチワイヤ通信インターフェースにおいて送信され得る種々のタイプの信号1810、1812、1814、1816、1818の例の第2のセットを示す図1800である。この図1800において、それらのタイプの信号1810、1812、1814、1816、1818のうちの1つを使用して、複数のワイヤ上で一連のシンボル1802を送信することができる。一連のシンボル1802の各シンボル(たとえば、シンボル1804および1806)は、継続時間 $t_{SYM}$ 1808を有するシンボル間隔を占める。

【 0 0 9 2 】

第1のタイプの信号1810は、ワイヤ上の情報がパルスの有無に符号化される単一パルスゼロ復帰(RZ)符号化を使用することができる。第2のタイプの信号1812は、シンボル間隔中に送信されるRZパルスの数にデータを符号化することができ、パルスの数は、ゼロパルスを含み得る。第3のタイプの信号1814は、単一の非ゼロ復帰(NRZ)トグルにデータを符号化することができ、たとえば、シンボル間隔の開始におけるまたはシンボル間隔中のシグナリング状態の遷移が1つの2進値を示し、シンボル間隔の開始においてまたはシンボル間隔中にシグナリング状態の遷移がないことが、別の2進値を示す。第4のタイプの信号1816は、シンボル間隔内で発生するNRZトグルの数にデータを符号化することができ、遷移の数は、ゼロ遷移を含み得る。第5のタイプの信号1818は、パルスの有無または数、および、トグルの有無を使用してデータを符号化することができる。たとえば、第5のタイプの信号1818は、何らかのデバイスを、短いパルスをフィルタリング除外する入力フィルタと結合するバスシステムにおいて使用することができる。一例において、I2Cスレーブデバイスは、シンボル間隔内の短いパルスを考慮し得ないが、シンボル間隔の終わりにおける状態遷移を認識することができる。したがって、シンボル間隔の終わりにおいて発生するトグル(またはトグルがないこと)が、スパイクフィルタを有するI2Cスレーブデバイスにとって観測可能な状態遷移情報を付加する。たとえば、パルスの数が、第1のグループのデバイス間で情報を搬送してもよく、シンボル間隔の終わりにおけるトグルを使用して与えられる状態遷移が、第2のグループのデバイス間で情報を搬送することができる。

【 0 0 9 3 】

図19は、通信インターフェース上で送信される種々のタイプの信号に適合されている符号化方式の特定の態様を示す図1900である。一連のシンボル1902は、シリアルリンクを介して送信されるべきワードに対応するシンボルのセット(ワード単位1904)を含むことができる。特定のワード単位1904は、複数(w)の下位単位1906を含むことができ、各下位単位は、複数の(s)のシンボルを含むことができる。データは、次のようにシンボルあたり複数(r)の利用可能な状態から復号することができる。

【 0 0 9 4 】

10

20

30

## 【数 1】

Example 1 (CCle)

$$s = 1, w = 12, r = 3$$

$$data = \sum_{k=0}^{11} T_k 3^k$$

Example 2 (3!)

$$s = 1, w = 7, r = 5$$

$$data = \sum_{k=0}^{11} T_k 5^k$$

10

Example 3

$$s = 2, w = 12, r = 3$$

$$sub = 0 \sim 7(\text{reserve } 1), data = sub[5:0]$$

Example 4

$$s = 3, w = 12, r = 3$$

$$sub = 0 \sim 24(\text{reserve } 2), data = \sum_{k=0}^3 T_k 25^k$$

20

Example 5

$$s = 3, w = 12, r = 3$$

$$sub = 0 \sim 24(\text{reserve } 2), data = sub[3:0]$$

Example 6

$$s = 1, w = 4, r = 7$$

$$data = \sum_{k=0}^3 T_k 7^k$$

30

Example 7

$$s = 2, w = 8, r = 7$$

$$sub = 0 \sim 31(\text{reserve } 17), data = sub[3:0]$$

## 【0095】

図20は、本明細書で開示する1つまたは複数の機能を実行するように構成されてもよい処理回路2002を利用する装置2000のためのハードウェア実装形態の簡略化された例を示す概念図である。本開示の様々な態様によれば、本明細書で開示するような要素、または要素の任意の部分、または要素の任意の組合せは、処理回路2002を使用して実装されてもよい。処理回路2002は、ハードウェアモジュールとソフトウェアモジュールの何らかの組合せによって制御される1つまたは複数のプロセッサ2004を含んでもよい。プロセッサ2004の例は、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ(DSP)、フィールドプログラマブルゲートアレイ(FPGA)、プログラマブル論理デバイス(PLD)、ステートマシン、シーケンサ、ゲート論理、個別ハードウェア回路、および本開示全体にわたって記載された様々な機能性を実施するように構成された他の適切なハードウェアを含む。1つまたは複数のプロセッサ2004は、特定の機能を実施し、ソフトウェアモジュール2016のうちの1つによって構成され、増強され、または制御されてもよい専用プロセッサを含んでもよい。1つまたは複数のプロセッサ2004は、初期化中にロードされたソフトウェアモジュール2016の組合せを通じて構成されてもよく、動作中に1つまたは複数のソフトウェアモジュール2016をロードまたはアンロードすることによってさらに構成されてもよ

40

50

い。

【 0 0 9 6 】

図示する例では、処理回路2002は、バス2010で一般的に表される、バスアーキテクチャを用いて実装され得る。バス2010は、処理回路2002の具体的な用途および全体的な設計制約に応じて、任意の数の相互接続するバスおよびブリッジを含む場合がある。バス2010は、1つまたは複数のプロセッサ2004およびストレージ2006を含む様々な回路を互いにリンクさせる。ストレージ2006は、メモリデバイスおよび大容量ストレージデバイスを含んでもよく、本明細書ではコンピュータ可読媒体および/またはプロセッサ可読媒体と呼ばれる場合がある。バス2010は、また、タイミング源、タイマー、周辺装置、電圧レギュレータ、および電力管理回路など様々な他の回路をリンクすることができる。バスインターフェース2008は、バス2010と1つまたは複数の送受信機2012との間のインターフェースを提供してもよい。送受信機2012は、処理回路によってサポートされるネットワーキング技術ごとに設けられてもよい。場合によっては、複数のネットワーキング技術が、送受信機2012の中に見出される回路または処理モジュールの一部または全部を共有してもよい。各送受信機2012は、伝送媒体を介して様々な他の装置と通信するための手段を構成する。装置の性質に応じて、ユーザインターフェース2018(たとえば、キーパッド、ディスプレイ、スピーカ、マイクロフォン、ジョイスティック)が設けられてもよく、直接またはバスインターフェース2008を通じてバス2010に通信可能に結合されてもよい。

10

【 0 0 9 7 】

プロセッサ2004は、バス2010を管理することと、ストレージ2006を含む場合があるコンピュータ可読媒体に記憶されたソフトウェアの実行を含む場合がある一般的な処理とを担ってもよい。この点で、プロセッサ2004を含む処理回路2002を用いて、本明細書において開示される方法、機能および技法のうちのいずれかを実現することができる。ストレージ2006は、ソフトウェアを実行するとき、プロセッサ2004によって操作されるデータを記憶するために使用されてもよく、ソフトウェアは、本明細書で開示する方法のうちの任意の1つを実施するように構成されてよい。

20

【 0 0 9 8 】

処理回路2002の中の1つまたは複数のプロセッサ2004は、ソフトウェアを実行してもよい。ソフトウェアは、ソフトウェア、ファームウェア、ミドルウェア、マイクロコード、ハードウェア記述言語、または他の名称で呼ばれるかどうかに関わらず、命令、命令セット、コード、コードセグメント、プログラムコード、プログラム、サブプログラム、ソフトウェアモジュール、アプリケーション、ソフトウェアアプリケーション、ソフトウェアパッケージ、ルーチン、サブルーチン、オブジェクト、実行ファイル、実行のスレッド、プロシージャ、関数、アルゴリズムなどを意味するように広く解釈されるべきである。ソフトウェアは、コンピュータ可読の形でストレージ2006の中または外部コンピュータ可読媒体の中に存在してもよい。外部コンピュータ可読媒体および/またはストレージ2006は、非一時的コンピュータ可読媒体を含んでもよい。非一時的コンピュータ可読媒体は、例として、磁気ストレージデバイス(たとえば、ハードディスク、フロッピーディスク、磁気ストリップ)、光ディスク(たとえば、コンパクトディスク(CD)またはデジタル多用途ディスク(DVD))、スマートカード、フラッシュメモリデバイス(たとえば、「フラッシュドライブ」、カード、スティック、またはキードライブ)、RAM、ROM、プログラマブル読み出し専用メモリ(PROM)、消去可能プログラマブル読み出し専用メモリ(EPROM)、EEPROM、レジスタ、リムーバブルディスク、ならびに、コンピュータによってアクセスされ読み取られる場合があるソフトウェアおよび/または命令を記憶するための任意の他の適切な媒体を含む。コンピュータ可読媒体および/またはストレージ2006は、例として、搬送波、伝送路、ならびに、コンピュータによってアクセスされ読み取られる場合があるソフトウェアおよび/または命令を送信するための任意の他の適切な媒体を含んでもよい。コンピュータ可読媒体および/またはストレージ2006は、処理回路2002中に存在するか、プロセッサ2004中に存在するか、処理回路2002の外部に存在するか、または処理回路2002を含む複数のエンティティにわたって分散されてもよい。コンピュータ可読媒体および/ま

30

40

50

たはストレージ2006は、コンピュータプログラム製品において具現化されてもよい。例として、コンピュータプログラム製品は、パッケージング材料の中のコンピュータ可読媒体を含むことができる。当業者には、特定の適用例および全体的なシステムに課された全体的な設計制約に応じて、本開示全体にわたって提示される上述の機能を最適に実施する方法が認識されよう。

【0099】

ストレージ2006は、本明細書でソフトウェアモジュール2016と呼ばれる場合がある、ロード可能なコードセグメント、モジュール、アプリケーション、プログラムなどにおいて維持および/または構成されるソフトウェアを維持してもよい。ソフトウェアモジュール2016はそれぞれ、処理回路2002にインストールまたはロードされ、1つまたは複数のプロセッサ2004によって実行されるときに、1つまたは複数のプロセッサ2004の動作を制御する実行時画像2014に寄与する命令およびデータを含むことができる。いくつかの命令は、実行されたときに、処理回路2002に、本明細書で説明するいくつかの方法、アルゴリズム、およびプロセスに従って機能を実行させてもよい。

【0100】

ソフトウェアモジュール2016のうちのいくつかは、処理回路2002の初期化中にロードされてもよく、これらのソフトウェアモジュール2016は、本明細書で開示する様々な機能の実施を可能にするように処理回路2002を構成してもよい。たとえば、いくつかのソフトウェアモジュール2016は、プロセッサ2004の内部デバイスおよび/または論理回路2022を構成することができ、たとえば送受信機2012、バスインターフェース2008、ユーザインターフェース2018、タイマー、数学的コプロセッサなどの外部デバイスへのアクセスを管理することができる。ソフトウェアモジュール2016は、割込みハンドラおよびデバイスドライバと対話し、処理回路2002によって提供される様々なリソースへのアクセスを制御する制御プログラムおよび/またはオペレーティングシステムを含んでもよい。リソースは、メモリ、処理時間、送受信機2012へのアクセス、ユーザインターフェース2018などを含んでもよい。

【0101】

処理回路2002の1つまたは複数のプロセッサ2004は、多機能であってもよく、それにより、ソフトウェアモジュール2016のうちのいくつかはロードされ、異なる機能または同じ機能の異なるインスタンスを実行するように構成される。1つまたは複数のプロセッサ2004は、さらに、たとえば、ユーザインターフェース2018、送受信機2012、およびデバイスドライバからの入力に応答して開始される背景タスクを管理するように適応され得る。複数の機能の実行をサポートするために、1つまたは複数のプロセッサ2004は、マルチタスク環境を提供するように構成されてもよく、それにより、複数の機能の各々が、必要または要望に応じて、1つまたは複数のプロセッサ2004によってサービスされるタスクのセットとして実装される。一例では、マルチタスク環境は、異なるタスク間でプロセッサ2004の制御を渡す時分割プログラム2020を使用して実装されてもよく、それにより、各タスクは、任意の未処理動作が完了すると、および/または割込みなどの入力に応答して、時分割プログラム2020に1つまたは複数のプロセッサ2004の制御を戻す。タスクが1つまたは複数のプロセッサ2004の制御を有するとき、処理回路は、事実上、制御しているタスクに関連した機能によって対処される目的に事実上特化される。時分割プログラム2020は、オペレーティングシステム、ラウンドロビンベースで制御を移すメインループ、機能の優先度付けに従って1つもしくは複数のプロセッサ2004の制御を割り振る機能、および/または、1つもしくは複数のプロセッサ2004の制御を操作関数に委ねることによって外部イベントに応答する割込み駆動のメインループを含んでもよい。

【0102】

図21は、本マルチワイヤ通信インターフェースにおいて送信される信号からクロック信号を復元するための方法の流れ図2100である。マルチワイヤインターフェースの1つまたは複数のワイヤを介して送信されるパルスの組合せまたはパターンにデータを符号化することができる。

10

20

30

40

50



## 【 0 1 0 3 】

ブロック2102において、受信デバイスにおいてマルチワイヤインターフェースの1つまたは複数のワイヤ上でパルスが検出される。

## 【 0 1 0 4 】

ブロック2104において、マルチワイヤインターフェースの1つまたは複数のワイヤ上のパルスの検出にตอบสนองして、複数の送信間隔の各々において受信クロック内にエッジが生成される。パルスは、複数の送信間隔の各々の間、マルチワイヤインターフェースの少なくとも1本のワイヤ上で送信される。マルチワイヤインターフェースは、容量結合インターフェースであってもよい。マルチワイヤインターフェースは、誘導結合インターフェースであってもよい。マルチワイヤインターフェースは、光結合インターフェースであってもよい。1つまたは複数のワイヤ上で受信されるパルスは、合成信号に組み合わせられ、受信クロックを提供するために遅延され得る。

10

## 【 0 1 0 5 】

ブロック2106において、複数の送信間隔の各々において受信クロック内のエッジが生成された後、複数桁の数の数字が与えられる。数字の各ビットは、対応する送信間隔の間にマルチワイヤインターフェースの1本のワイヤ上でパルスが送信されたかどうかを識別することができる。

## 【 0 1 0 6 】

ブロック2108において、複数桁の数を取得するために、複数の送信間隔において生成された数字を組み合わせることができる。マルチワイヤインターフェースはN本のワイヤを有することができる、複数桁の数は、 $(2^N - 1)$ 進数として表現することができる。一例において、マルチワイヤインターフェースは2ワイヤインターフェースであり、複数桁の数は、3進数として表現される。別の例において、マルチワイヤインターフェースは3ワイヤインターフェースであり、複数桁の数は、7進数として表現される。

20

## 【 0 1 0 7 】

ブロック2110において、受信データを得るために複数桁の数をトランスコードすることができる。複数桁の数にデータワードを符号化することができる。

## 【 0 1 0 8 】

いくつかの事例において、エッジは、1つまたは複数のワイヤ上で受信されているパルスを合成信号に組み合わせることと、合成信号のエッジにตอบสนองして固定継続時間パルスを生成するように構成されているワンショット論理に合成信号を提供することと、受信クロックにおいてパルスを提供するために固定継続時間パルスを遅延させることとによって、受信クロック内に生成することができる。

30

## 【 0 1 0 9 】

いくつかの例において、マルチワイヤインターフェースの第1の複数のワイヤから受信されるゼロ復帰パルス符号化信号から、第1の情報を復号することができる。たとえば、第1の情報は、送信間隔中の第1の複数のワイヤの各々の上のパルスの有無に符号化することができる。マルチワイヤインターフェースの第2の複数のワイヤから受信される非ゼロ復帰信号から、第2の情報を復号することができる。情報は、第2の複数のワイヤ上のシグナリング状態において送信することができる。一例において、各ワイヤは、2つ以上の電圧または電流状態を有する信号を搬送することができ、第2の情報は、送信間隔中の第2の複数のワイヤのシグナリング状態の組合せ、または、連続する送信間隔の間の第2の複数のワイヤのシグナリング状態の遷移に符号化することができる。

40

## 【 0 1 1 0 】

図22は、処理回路2202を使用する装置2200のためのハードウェア実装形態の簡略化された例を示す図である。処理回路は、一般に、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ、シーケンサ、およびステートマシンのうちの1つまたは複数を含む場合があるプロセッサ2216を有する。処理回路2202は、概してバス2220によって表されるバスアーキテクチャを用いて実装されてもよい。バス2220は、処理回路2202の特定の適用例および全体的な設計制約に応じて、任意の数の相互接続バスおよびブリッジを含

50

んでもよい。バス2220は、プロセッサ2216、モジュールまたは回路2204、2206、2208、および2210、コネクタまたはワイヤ2214を介して通信するように構成可能なラインインターフェース回路2212、ならびにコンピュータ可読記憶媒体2218によって表される、1つもしくは複数のプロセッサおよび/またはハードウェアモジュールを含む様々な回路を互いにリンクする。バス2220は、タイミングソース、周辺機器、電圧レギュレータ、および電力管理回路などの様々な他の回路をリンクさせることもできるが、これらの回路は当技術分野でよく知られており、したがって、これ以上は説明しない。

#### 【0111】

プロセッサ2216は、コンピュータ可読記憶媒体2218上に記憶されたソフトウェアの実行を含む全体的な処理を担当する。ソフトウェアは、プロセッサ2216によって実行されるとき、処理回路2202に、任意の特定の装置に対して上記で説明した様々な機能を実行させる。コンピュータ可読記憶媒体2218はまた、コネクタまたはワイヤ2214を介して送信されたシンボルから復号されるデータを含む、ソフトウェアを実行するときにプロセッサ2216によって操作されるデータを記憶するためにも使用され得る。処理回路2202は、モジュール2204、2206、2208、および2210のうちの少なくとも1つをさらに含む。モジュール2204、2206、2208および2210は、プロセッサ2216中で実行されている、コンピュータ可読記憶媒体2218に常駐する/記憶されるソフトウェアモジュール、プロセッサ2216に結合された1つもしくは複数のハードウェアモジュール、またはそれらの何らかの組合せであり得る。モジュール2204、2206、2208および/または2210は、マイクロコントローラ命令、状態機械構成パラメータ、それらの何らかの組合せを含み得る。

#### 【0112】

一構成において、装置2200は、マルチワイヤインターフェースのコネクタまたはワイヤ2214から受信される1つまたは複数の信号内で発生するパルスを検出するためのモジュールおよび/または回路2204と、マルチワイヤインターフェースのコネクタまたはワイヤ2214から受信される1つまたは複数の信号内でパルスが検出されるのに応答して、受信クロック信号上にパルスを与えるためのモジュールおよび/または回路2206と、マルチワイヤインターフェースの各ワイヤ2214内のパルスの有無を表す値を捕捉するためのモジュールおよび/または回路2208と、1つまたは複数の遅延回路とを含む。

#### 【0113】

一例において、装置2200は、複数の入力信号のうちの1つまたは複数において第1のパルスが受信されるときに第1の状態を仮定するように構成されている複数の入力ラッチと、第1のパルスに응答して第2のパルスを与えるように構成されている組合せ論理と、第2のパルスに対して遅延される受信クロックにおいて第3のパルスを生成するように構成されている遅延回路と、第3のパルスによってトリガされるときに第1の状態を捕捉するように構成されている複数の出力フリップフロップであって、第1の状態は複数の入力信号のうちのいずれが入力パルスを受信したかを識別する、複数の出力フリップフロップとを有する、クロック復元回路を含む。いくつかの事例において、ワンショット回路は、第2のパルスの継続時間を固定するように構成されている。

#### 【0114】

第1の状態は、複数桁の数の数字として出力することができる。複数の入力信号は、N本のワイヤを含むマルチワイヤインターフェースから受信することができる。一例において、複数桁の数は、 $(2^N - M)$ 進数として表現することができ、Mは処理効率の理由で、かつ/または、埋め込みクロック情報および/もしくは複数桁の数内の他の情報の有無に基づいて選択されてもよい。一例において、複数の入力信号は2ワイヤインターフェースから受信され、複数桁の数は、3進数として表現され得る。別の例において、複数の入力信号は3ワイヤインターフェースから受信され、複数桁の数は、7進数として表現される。

#### 【0115】

複数の入力信号は、容量結合または誘導結合マルチワイヤインターフェースから受信することができる。いくつかの事例において、複数の入力信号は、光インターフェースから受信される。

## 【0116】

図23は、マルチワイヤ通信インターフェース上で通信するための方法の流れ図2300である。NワイヤインターフェースのN本のワイヤを介して送信されるパルスの組合せまたはパターンにデータを符号化することができる。

## 【0117】

ブロック2302において、データワードを複数桁の数にトランスコードすることができる。クロック情報を、複数桁の数に埋め込むことができる。

## 【0118】

ブロック2304において、一連の送信間隔の各送信間隔について、マルチワイヤ通信リンクの第1の複数のコネクタを介してパルスの組合せを送信することができる。複数桁の数の各数字は、一連の送信間隔の対応する送信間隔のパルスの組合せを定義することができる。パルスは、一連の送信間隔の各送信間隔の間に複数のコネクタのうちの少なくとも1つの上で送信することができる。

10

## 【0119】

いくつかの事例において、パルスの組合せが、容量結合、誘導結合、または光結合を通じて第1の複数のコネクタに与えられる。

## 【0120】

第1の複数のコネクタはN個のコネクタを含み、複数桁の数は、 $(2^N - M)$ 進数として表現され、Mは処理効率の理由で、かつ/または、埋め込みクロック情報および/もしくは複数桁の数内の他の情報の有無に基づいて選択されてもよい。一例において、第1の複数のコネクタは2つのコネクタを含んでもよく、複数桁の数は、3進数として表現される。別の例において、第1の複数のコネクタは3つのコネクタを含み、複数桁の数は、7進数として表現される。

20

## 【0121】

いくつかの例において、マルチワイヤインターフェースの第1の複数のコネクタ上で送信される非ゼロ復帰パルス符号化信号に、第1の情報を符号化することができる。たとえば、第1の情報は、送信間隔中の第1の複数のコネクタの各々の上のパルスの有無に符号化することができる。第2の情報は、1つまたは複数の非ゼロ復帰信号に符号化することができる。1つまたは複数の非ゼロ復帰信号は、マルチワイヤインターフェースの第2の複数のコネクタを介して送信することができる。情報は、第2の複数のコネクタのシグナリング状態において送信することができる。一例において、1つまたは複数のワイヤは、2つ以上の電圧または電流状態を有する信号を搬送することができ、第2の情報は、送信間隔中の第2の複数のコネクタのシグナリング状態の組合せ、または、連続する送信間隔の間の第2の複数のコネクタのシグナリング状態の遷移に符号化することができる。

30

## 【0122】

図24は、処理回路2402を使用する装置2400のためのハードウェア実装形態の簡略化された例を示す図である。処理回路は、一般に、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ、シーケンサ、およびステートマシンのうちの1つまたは複数を含む場合があるプロセッサ2416を有する。処理回路2402は、概してバス2420によって表されるバスアーキテクチャを用いて実装されてもよい。バス2420は、処理回路2402の特定の適用例および全体的な設計制約に応じて、任意の数の相互接続バスおよびブリッジを含んでもよい。バス2420は、プロセッサ2416、モジュールまたは回路2404、2406、2408、および2410、コネクタまたはワイヤ2414を介して通信するように構成可能なラインインターフェース回路2412、ならびにコンピュータ可読記憶媒体2418によって表される、1つもしくは複数のプロセッサおよび/またはハードウェアモジュールを含む様々な回路を互いにリンクする。バス2420は、タイミングソース、周辺機器、電圧レギュレータ、および電力管理回路などの様々な他の回路をリンクさせることもできるが、これらの回路は当技術分野でよく知られており、したがって、これ以上は説明しない。

40

## 【0123】

プロセッサ2416は、コンピュータ可読記憶媒体2418上に記憶されたソフトウェアの実行

50

を含む全体的な処理を担当する。ソフトウェアは、プロセッサ2416によって実行されるとき、処理回路2402に、任意の特定の装置に対して上記で説明した様々な機能を実行させる。コンピュータ可読記憶媒体2418はまた、コネクタまたはワイヤ2414を介して送信されたシンボルから復号されるデータを含む、ソフトウェアを実行するときにプロセッサ2416によって操作されるデータを記憶するためにも使用され得る。処理回路2402は、モジュール2404、2406、および2408のうちの少なくとも1つをさらに含む。モジュール2404、2406、2408および2410は、プロセッサ2416中で実行されている、コンピュータ可読記憶媒体2418に常駐する/記憶されるソフトウェアモジュール、プロセッサ2416に結合された1つもしくは複数のハードウェアモジュール、またはそれらの何らかの組合せであり得る。モジュール2404、2406、および/または2408は、マイクロコントローラ命令、ステートマシン構成パラメータ、またはそれらの何らかの組合せを含み得る。

10

#### 【0124】

一構成において、装置2400は、データワードを複数桁の数にトランスコードするためのモジュールおよび/または回路2404と、マルチワイヤ通信リンクのコネクタまたはワイヤ2414上の1つまたは複数の信号内の複数桁の数から導出されるパルスのパターンを送信するためのモジュールおよび/または回路2406と、マルチワイヤ通信リンクのコネクタまたはワイヤ2414に装置を結合するためのモジュールおよび/または回路2408とを含む。

#### 【0125】

一例において、装置2400は、通信インターフェースは、データワードを、クロック情報を内部に埋め込まれている複数桁の数にトランスコードするトランスコーダと、一連の送信間隔における1つの送信間隔の間に複数のコネクタを介して送信するためのパルスの組合せを提供するように構成されている回路とを含む。各送信間隔におけるパルスの各組合せは、複数桁の数のうちの数字によって定義することができる。パルスは、一連の送信間隔の各送信間隔の間に複数のコネクタのうちの少なくとも1つの上で送信される。

20

#### 【0126】

複数のコネクタがN個のコネクタを含む場合、複数桁の数は、 $(2^N-1)$ 進数として表現することができる。一例において、複数のコネクタは2つのコネクタを含み、複数桁の数は、3進数として表現される。別の例において、複数のコネクタは3つのコネクタを含み、複数桁の数は、7進数として表現される。

#### 【0127】

マルチワイヤ通信リンクのコネクタまたはワイヤ2414に装置を結合するためのモジュールおよび/または回路2408は、複数のコネクタに送信機を容量結合するように構成されている送信機を含んでもよい。マルチワイヤ通信リンクのコネクタまたはワイヤ2414に装置を結合するためのモジュールおよび/または回路2408は、複数のコネクタに送信機を誘導結合するように構成されている送信機を含んでもよい。マルチワイヤ通信リンクのコネクタまたはワイヤ2414に装置を結合するためのモジュールおよび/または回路2408は、複数のコネクタに送信機を光結合するように構成されている送信機を含んでもよい。

30

#### 【0128】

開示されたプロセスにおけるステップの特定の順序または階層は、例示的な手法の実例であることを理解されたい。設計上の選好に基づいて、プロセスにおけるステップの特定の順序または階層が並べ替えられてもよいことを理解されたい。さらに、いくつかのステップは、組み合わせられるか、または省略される場合がある。添付の方法クレームは、種々のステップの要素を見本的な順序で提示したものであり、提示された特定の順序または階層に限定されることは意図していない。

40

#### 【0129】

前述の説明は、いかなる当業者も本明細書で説明する様々な態様を実践することを可能にするために提供される。これらの態様への様々な変更が当業者には容易に明らかになり、本明細書で定義した一般原理は他の態様に適用されてもよい。したがって、特許請求の範囲は、本明細書で示した態様に限定されるものではなく、文言通りの特許請求の範囲と一致するすべての範囲を与えられるべきであり、単数形の要素への言及は、そのように明

50

記されていない限り、「唯一無二の」ではなく、「1つまたは複数の」を意味するものとする。別段に明記されていない限り、「いくつか」という用語は、1つまたは複数を指す。当業者に知られているか、または後で知られることになる、本開示全体にわたって説明する種々の態様の要素の、すべての構造的および機能的等価物は、参照により本明細書に明確に組み込まれ、特許請求の範囲によって包含されるものとする。さらに、本明細書に開示されるものは、そのような開示が特許請求の範囲において明示的に記載されているかどうかにかかわらず、公に供されることは意図されていない。「ための手段」という句を使用して要素が明確に列挙されていない限り、いかなるクレーム要素もミーンズプラスファンクションとして解釈されるべきではない。

【符号の説明】

10

【0130】

- 100 装置
- 102 処理回路
- 106 通信送受信機
- 108 特定用途向け集積回路
- 110 アプリケーションプロセッサ
- 112 メモリ
- 114 プロセッサ可読記憶装置
- 200 装置
- 202 ICデバイス
- 204 送受信機
- 206 プロセッサ
- 208 記憶媒体
- 220 通信リンク
- 222 通信チャネル
- 224 通信チャネル
- 226 通信チャネル
- 230 ICデバイス
- 232 ディスプレイコントローラ
- 234 カメラコントローラ
- 236 プロセッサ
- 238 記憶媒体
- 300 N!インターフェース
- 302 デバイス
- 304 データビット
- 320 デバイス
- 302 送信機
- 306 トランスコーダ
- 310 差動ラインドライバ
- 312 送信クロック
- 314 ワイヤ
- 320 受信機
- 322 ライン受信機
- 324 クロックおよびデータ復元回路
- 330 出力データ
- 332 未加工シンボル信号
- 334 受信クロック信号
- 336 終端ネットワーク
- 340a 端子
- 340b 端子

20

30

40

50

340c	端子	
340d	端子	
402	送信機	
404	2進ワード	
406	2進-5進エンコーダ	
408	5進遷移数	
412	一連のシンボル	
414	基本N!マルチワイヤ通信リンク	
416	受信機	
418	一連のシンボル	10
420	線デコーダ	
422	5進遷移数	
424	5進-2進デコーダ	
426	出力2進データワード	
500	装置	
502	デバイス	
504	センサ制御機能	
506	構成レジスタ	
508	クロック生成回路	
510	送受信機	20
510a	受信機	
510b	共通回路	
510c	送信機	
512	制御論理	
514a	ラインドライバ/受信機	
514b	ラインドライバ/受信機	
516	ワイヤ	
518	ワイヤ	
520	デバイス	
522	デバイス	30
530	シリアルバス	
602	送信機	
604	2進ワード	
606	2進-3進エンコーダ	
608	3進遷移数	
610	ラインエンコーダ	
612	一連のシンボル	
614	マルチワイヤ通信リンク	
616	受信機	
618	一連のシンボル	40
620	ラインデコーダ	
622	3進遷移数	
624	3進-2進デコーダ	
626	出力2進データワード	
702	受信機	
704	シグナリング状態	
706	遷移検出回路	
710	受信クロック信号	
726a	パルス	
726d	パルス	50

800	クロックおよびデータ復元回路	
802	受信機	
804	比較器	
806	セットリセットラッチ	
808	ワイヤ	
810	レベルラッチ	
812	遅延要素	
814	NE信号	
816	NEFLT信号	
818	RXCLK信号	10
820	SI信号	
822	S信号	
828	データ出力	
900	タイミング図	
902	シンボル $S_0$	
904	シンボル $S_1$	
906	シンボル $S_2$	
908	過渡またはグリッチ	
910	スパイク	
914	スパイク遅延	20
920	時間期間	
1000	簡略図	
1002	入力信号	
1004	ラインドライバ	
1006	伝送線路	
1008	キャパシタ	
1010	抵抗器	
1012	抵抗器	
1014	入力	
1016	ライン受信機	30
1018	受信信号	
1020	パルス	
1022	送信パルス	
1024	電圧平衡パルス	
1026	受信パルス	
1100	パルス符号化インターフェース	
1102	パルスパターン	
1104	CDR	
1106	ラインデコーダ	
1108	3進数	40
1110	3進-2進トランスコーダ	
1112	2進ワード	
1114	受信クロック信号	
1120	タイミング図	
1122	SDAワイヤ	
1124	SCLワイヤ	
1126a	クロックパルス	
1126d	クロックパルス	
1128	送信間隔	
1130	時間的基準点	50

1132	時間的基準点	
1134	例	
1136	例	
1138	例	
1200	CDR回路	
1202	入力信号	
1204	入力信号	
1206	セトリセトラッチ	
1208	セトリセトラッチ	
1210	出力SF[0]	10
1212	出力SF[1]	
1216	SFOR信号	
1218	遅延要素	
1220	RXCLK信号	
1222	インバータ	
1224	インバータ	
1226	出力フリップフロップ	
1228	出力フリップフロップ	
1300	タイミング図	
1304	パルス	20
1306	パルス	
1308	パルス	
1314	パルス	
1316	パルス	
1318	遅延	
1400	CDR回路	
1402	信号	
1404	信号	
1406	セトリセトラッチ	
1408	セトリセトラッチ	30
1410	出力SF[0]	
1412	出力SF[1]	
1416	SFOR信号	
1418	ワンショット回路	
1420	1SHOT信号	
1422	遅延要素	
1424	RXCLK信号	
1426	インバータ	
1428	インバータ	
1430	出力フリップフロップ	40
1432	出力フリップフロップ	
1500	タイミング図	
1504	パルス	
1506	パルス	
1508	パルス	
1510	固定継続時間パルス	
1512	固定継続時間パルス	
1514	パルス	
1516	パルス	
1518	遅延	50

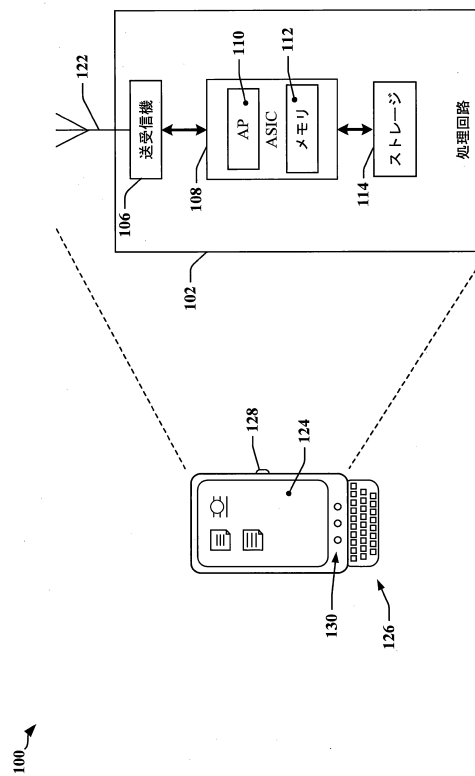


1520	3進数	
1522	最大予測遅延	
1600	第1の例	
1602	送信間隔	
1604	信号	
1606	信号	
1608	信号	
1610	第2の例	
1612	送信間隔	
1614	信号	10
1616	信号	
1618	信号	
1700	タイミング図	
1702	信号	
1704	信号	
1706	信号	
1708	信号	
1710	開始点	
1712	パルス	
1720	終点	20
1802	一連のシンボル	
1804	シンボル	
1806	シンボル	
1808	継続時間 $t_{SYM}$	
1810	信号	
1812	信号	
1814	信号	
1816	信号	
1818	信号	
1902	シンボル	30
1904	ワード単位	
1906	下位単位	
2000	装置	
2002	処理回路	
2004	プロセッサ	
2006	ストレージ	
2008	バスインターフェース	
2010	バス	
2012	送受信機	
2016	ソフトウェアモジュール	40
2018	ユーザインターフェース	
2020	時分割プログラム	
2022	内部デバイスおよび/または論理回路	
2200	装置	
2202	処理回路	
2204	モジュールまたは回路	
2206	モジュールまたは回路	
2208	モジュールまたは回路	
2210	モジュールまたは回路	
2212	ラインインターフェース回路	50

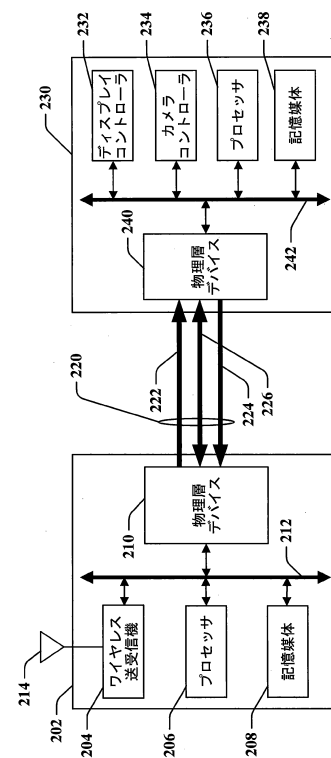
2214 コネクタまたはワイヤ  
 2216 プロセッサ  
 2218 コンピュータ可読記憶媒体  
 2220 バス  
 2400 装置  
 2402 処理回路  
 2404 モジュールまたは回路  
 2406 モジュールまたは回路  
 2408 モジュールまたは回路  
 2410 モジュールまたは回路  
 2412 ラインインターフェース回路  
 2414 コネクタまたはワイヤ  
 2416 プロセッサ  
 2418 コンピュータ可読記憶媒体  
 2420 バス

10

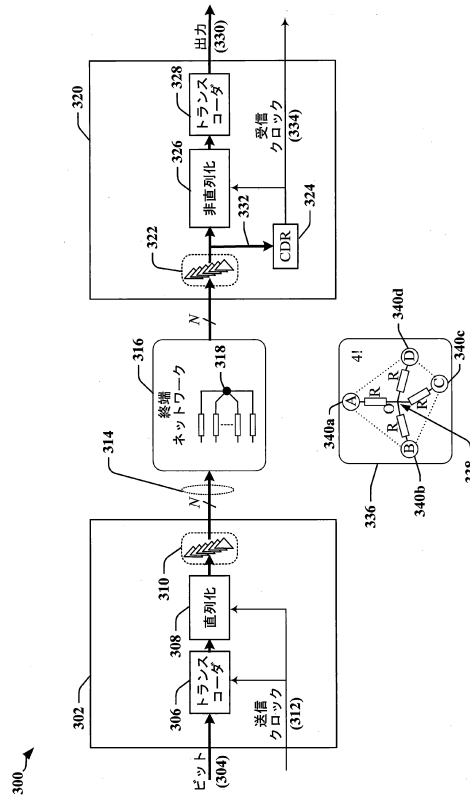
【図 1】



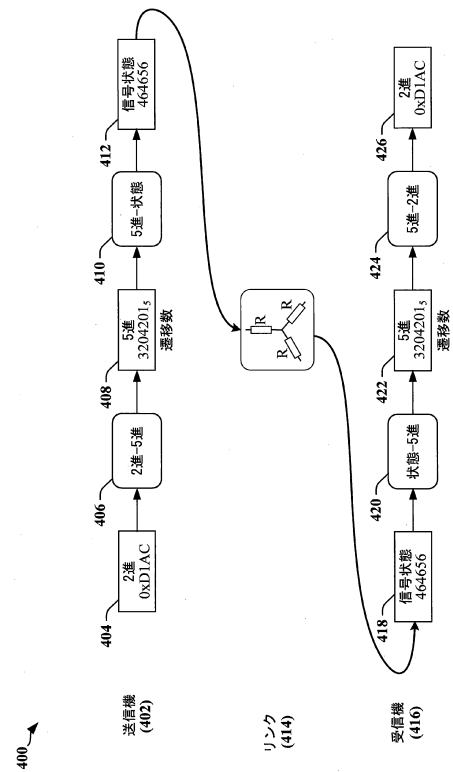
【図 2】



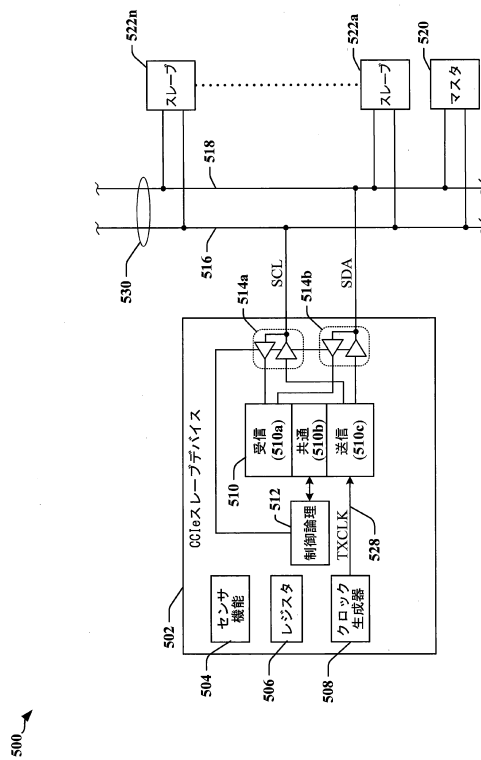
【図3】



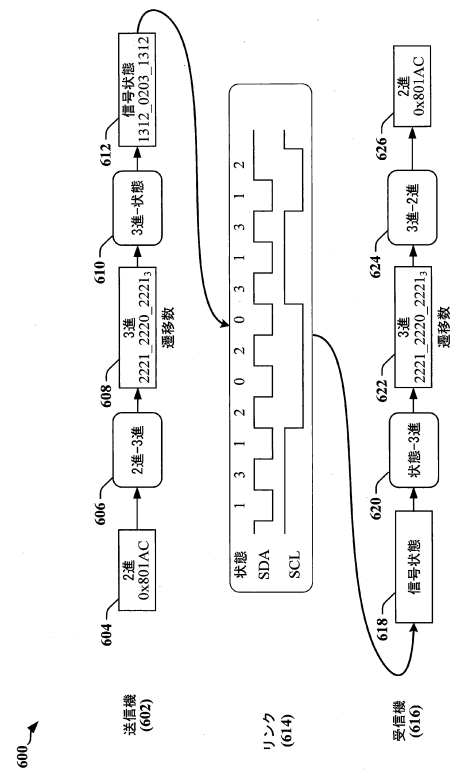
【図4】



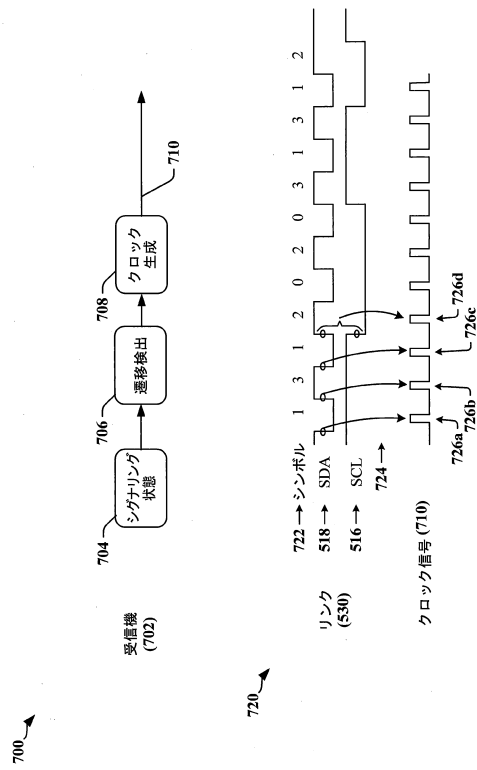
【図5】



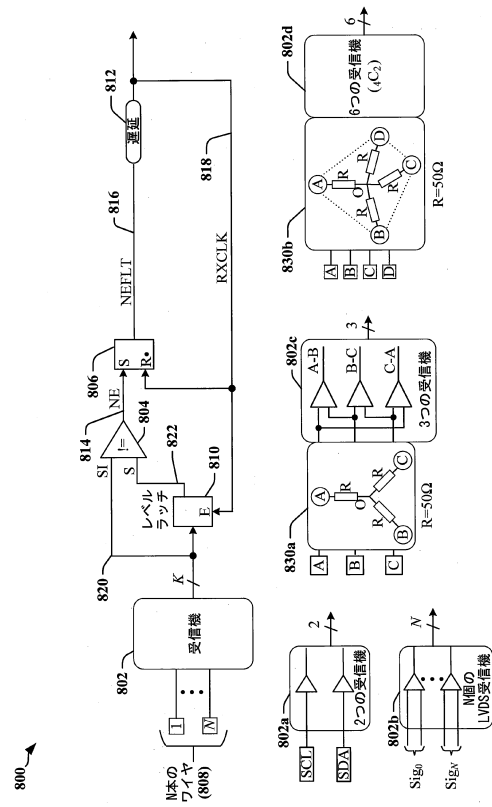
【図6】



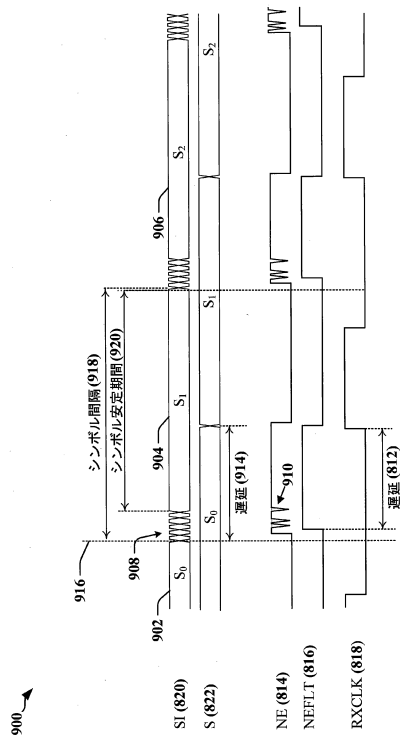
【図 7】



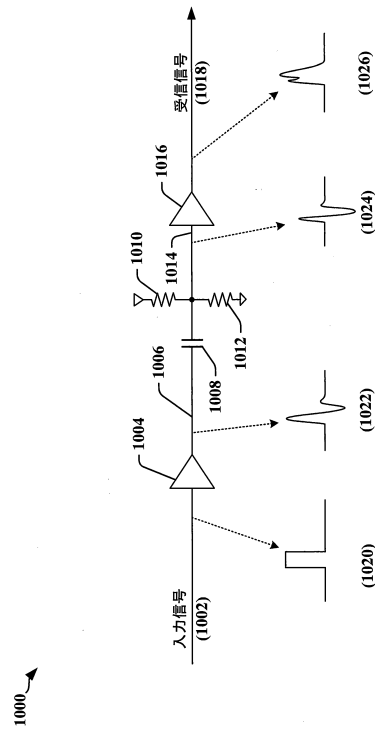
【図 8】



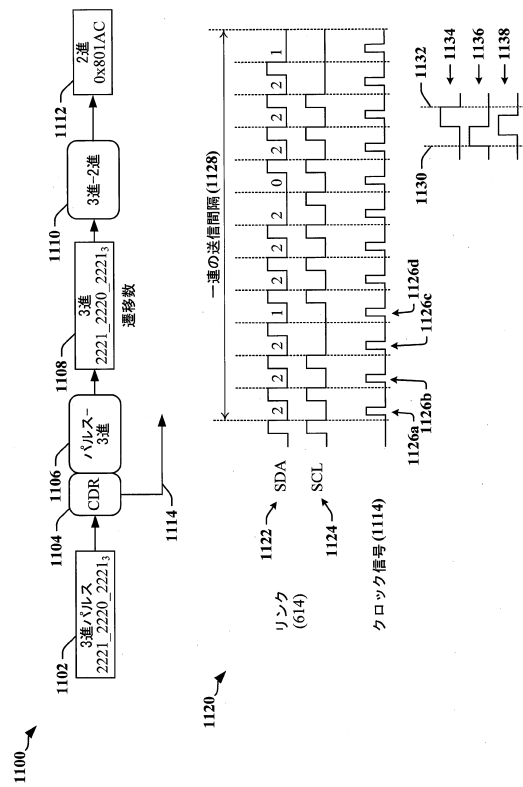
【図 9】



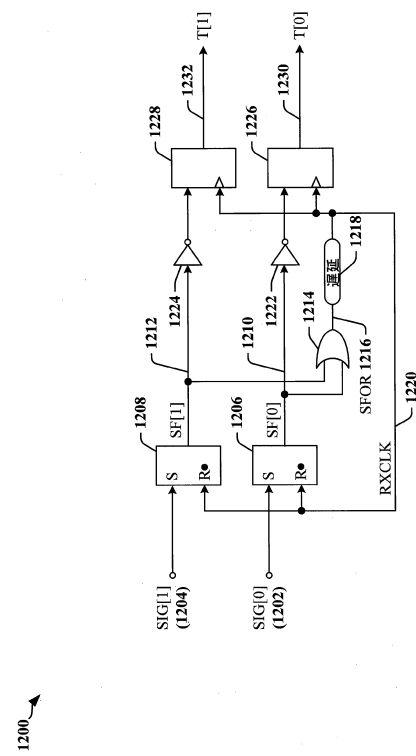
【図 10】



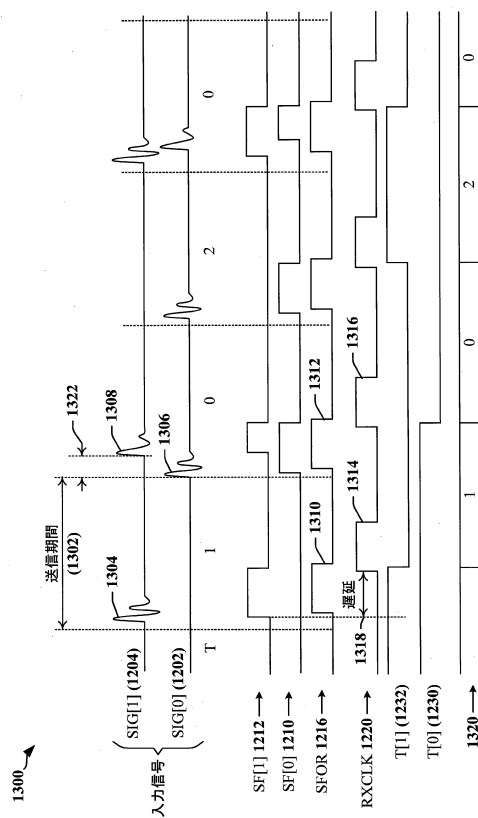
【図 1 1】



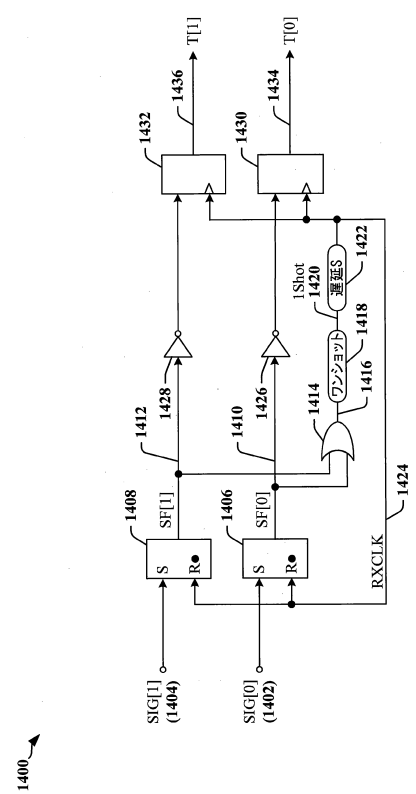
【図 1 2】



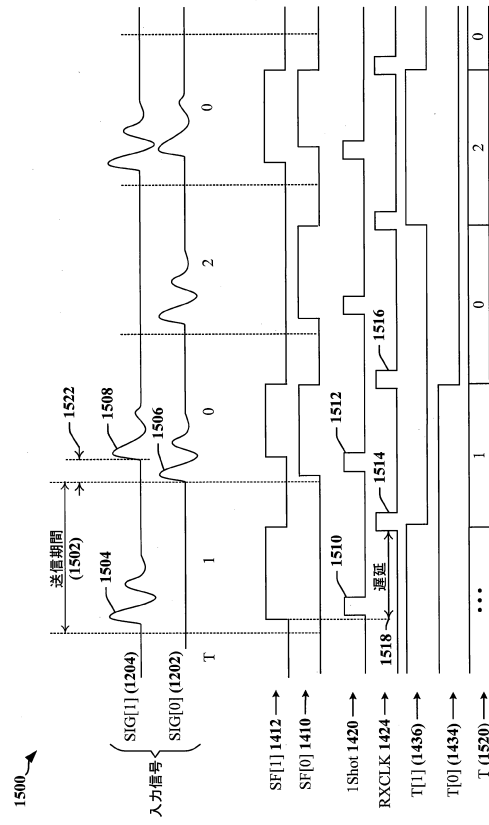
【図 1 3】



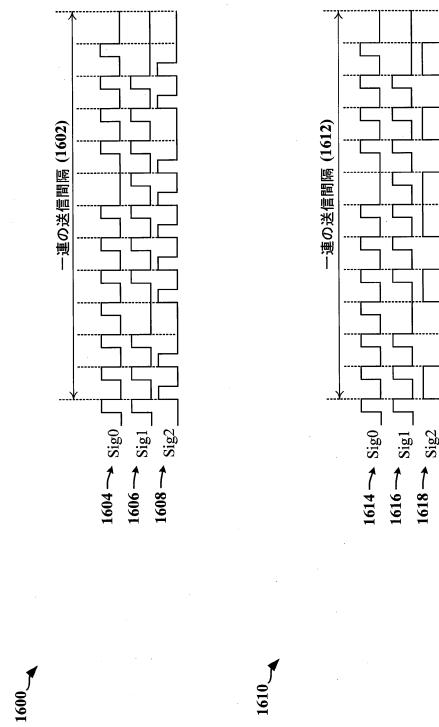
【図 1 4】



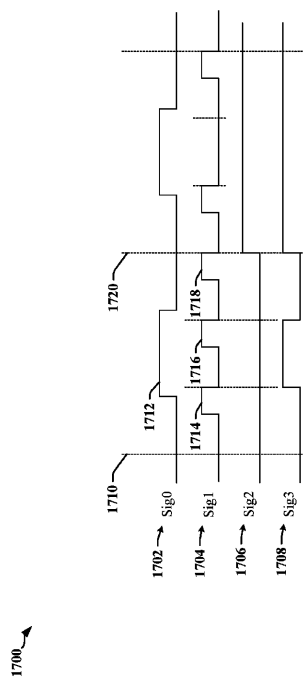
【図 15】



【図 16】



【図 17】



【図 18】

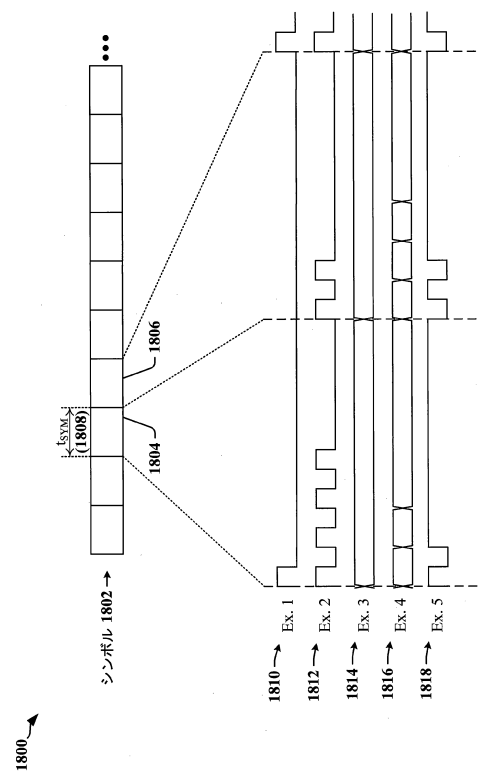
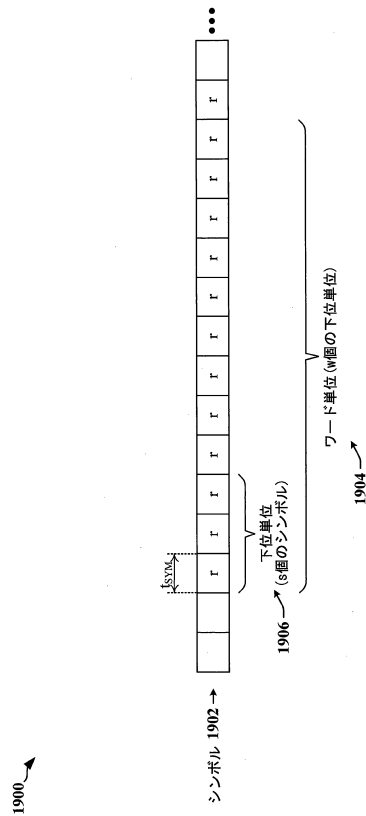
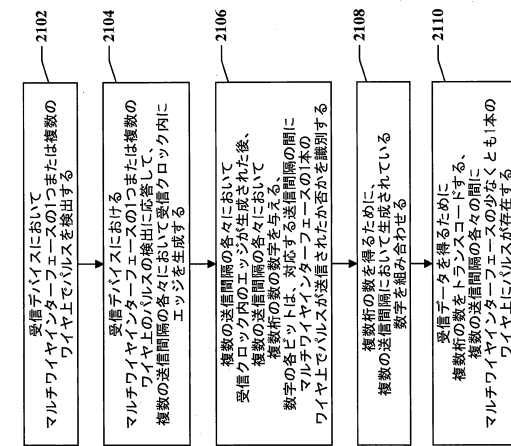


FIG. 17

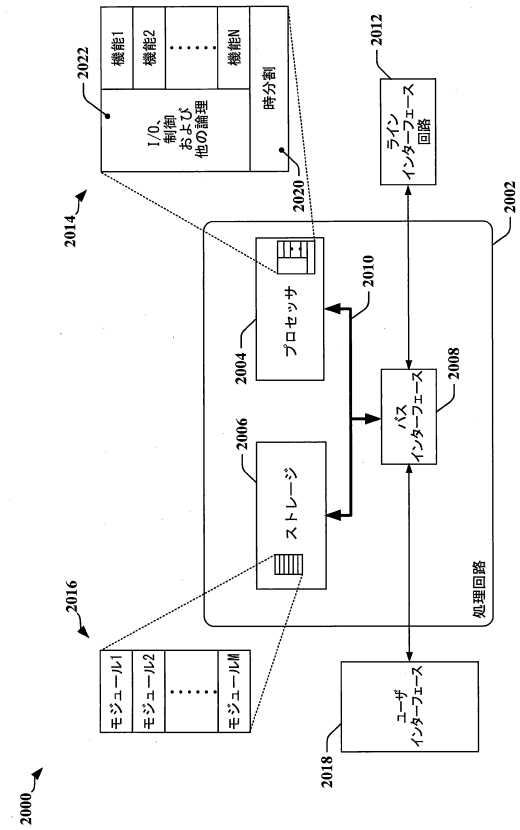
【図 19】



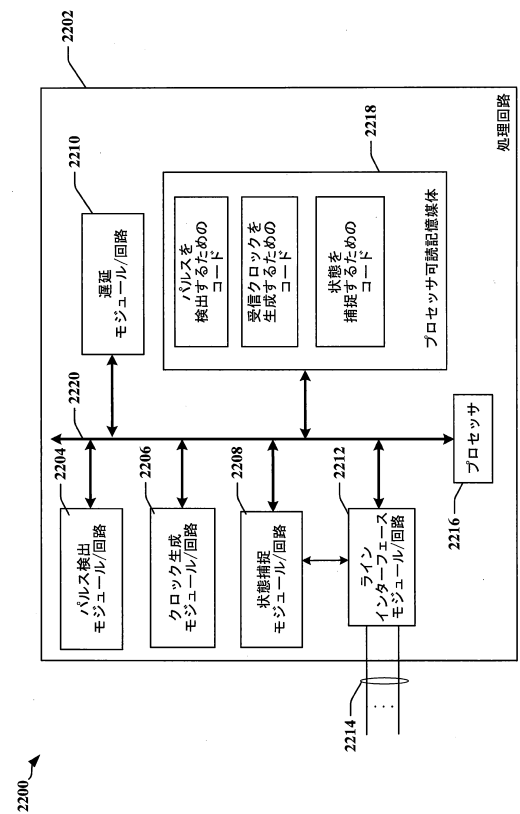
【図 21】



【図 20】



【図 22】







---

フロントページの続き

(56)参考文献 国際公開第2014/153472(WO,A1)

特開平11-088442(JP,A)

特開平09-046378(JP,A)

特開平06-054016(JP,A)

特開2014-053705(JP,A)

特開2000-307561(JP,A)

特開平07-212407(JP,A)

Hiroki Ishikuro,et al.,Wireless Proximity Interfaces with a Pulse-Based Inductive Coupling Technique,IEEE Communications Magazine,2010年10月,Vol.48, No.10,p.192-199

(58)調査した分野(Int.Cl.,DB名)

H04L 7/033

G06F 13/38

G06F 13/42

H04L 7/04