

公告本

392405

申請日期	87. 8. }
案 號	8711-7744
類 別	H04L 12/40 G08C 15/00

A4
C4

(以上各欄由本局填註)

392405

發明專利說明書

一、發明 名稱	中 文	資料匯流排
	英 文	DATA BUS
二、發明 創作人	姓 名	1. 派翠克海伊 (Patrick Heyne) 2. 狄特哈爾 (Dieter Harle) 3. 索拉夫格拉茲 (Thoralf Gratz)
	國 籍	1. 德國 2. 德國 3. 德國
	住、居所	1. 德國慕尼黑黑 D-81541 斯喬里斯街 5 號 2. 德國慕尼黑黑 D-81541 斯喬里斯街 3 號 3. 德國慕尼黑黑 D-80799 格爾根街 47 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

德國 國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

1997年08月04日 案號 19733708.2 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明 (1)

本發明係關於一種由 $n+1$ ($n \geq 2$) 條導線所構成之資料匯流排，這 $n+1$ 條導線形成 n 條唯真 (true-only) 導線以及一條控制線 (單一互補性，single complement) 且由 n 個輸入方塊連接至 n 個輸出方塊。

資料匯流排在設計原理上通常是由 "真 / 互補 - 導線" 所構成，其中為了傳送資料位元在輸入方塊和輸出方塊之間需要二條導線。在輸出方塊之後的資料需要時可以微分方式再進行處理。

當每一資料位元在匯流排上有效或無效時，則設置一種由二條導線所構成之此種配置亦可傳送資料位元。為了可靠地傳送資料，則確認各資料在匯流排上何時有效以及何時無效是很重要的。

為了進行有效性之檢查，則例如可使用二條互補之資料線之未使用狀態以便顯示：在匯流排上不存在有效之資料。這例如能以下述方式來進行，即，狀態 "高 (high)" 配屬於二條互補之資料線以顯示此種未使用狀態。現在若二條導線中之一具有另一種位準 "低 (low)"，則由此明顯可知的是：存在一種有效之資料位元。

換言之，當二條導線具有狀態 "高" 時，其所表示之意義是：在匯流排之導線上不存在有效之資料。但若二條導線具有不同之位準，即，"高" 和 "低"，則明顯可知的是：已經由這些導線而傳送一有效之資料位元。

當然亦可更換上述之電位狀態而設置一種狀態 "低" 以便顯示：在各條導線上不存在有效之資料。

五、發明說明(2)

但由於 p-通道 MOS 電晶體之電流稍微大一些，較佳方式是在時間上並不重要(critical)之預充電相位中對其進行充電且在時間上重要之切換相位中經由 n-通道 MOS 電晶體(其較 p-通道 MOS 電晶體快速)而放電。狀態"高"最好是用來顯示：在匯流排之各導線上不存在任何資料。

總之，為了傳送資料位元，須設置二條資料匯流排導線。此二條導線之狀態相同時所表示的意義是：所傳送之資料位元是無效的，而此二條導線在不同狀態時則表示：所傳送之資料位元是有效的。

在二個方塊(其分別具有二條資料位元用之導線)之間的匯流排具有較長之導線時，則需要很大之面積，因此，由於此種原因所造成之一種這樣的前提是不實用的。但若每一資料位元只設置一條導線，則若當時之資料位元被視為有效或無效時，資訊都是錯誤的。

由於上述原因，目前考慮每一個位元只設置一條導線("唯真(true only)")且另外產生一個控制信號。這樣所具有之優點是：為了傳送 n 個資料位元，此時不需二條導線而只需 n+1 條導線。在意義上就好像一個上述之控制信號被產生一樣。若控制信號由其它輔助信號導出，則必須確保：資料位元在控制信號之前是有效的，這可藉由延遲元件之使用來達成。但此種方式需要一個時間視窗，使資料傳送整體上變成較慢。

本發明之目的因此是改良本文開頭所述技藝之資料匯流排，使得當資料位元有效時允許在較小之面積需求以

五、發明說明(ㄗ)

及較簡單之構造情況下能達到快速之資料(包括上述之資訊)傳送。

依據本發明，上述目的在本文開頭所述技藝之資料匯流排中是以下述方式達成：一個輸入方塊，其位在資料匯流排之起始處且具有最長之信號傳送時間，有一條"唯真(ture-only)"導線和一條控制線配屬於此輸入方塊；NAND閘連接於該輸入方塊之後，NAND閘之輸出是與每一輸出方塊相連接。輸出方塊因此可具有三態(Tri-State)反相器，其是藉由控制信號來控制。

在本發明之資料位元中，第一輸入方塊之資料輸出(已如上所述)是"真"以及"互補(complement)"。匯流排本身是由"唯真(ture-only)"導線和一條控制線(單一互補(single-complenent)線)所構成。由於信號傳送需要時間，此種控制線是匯流排起始處之資料位元的互補導線，因此可確定：在當時資料位元之後的控制信號可到達一接收方塊。在此一接收方塊中，由第一輸入方塊所供應之控制信號經由NAND閘另外傳送至每一隨後之資料位元且在接收方塊中進行評估。只要傳送至NAND閘之信號中之一具有狀態"低"，而其它信號保持狀態"高"，則所代表之意義是：當時輸入方塊之資料位元是有效的。在匯流排起始處之資料位元的NAND閘亦可提早送出已製成之控制信號，其只需一個NAND閘之費用。NAND閘在第一資料位元中是作用於該接收方塊中且將該控制信號繼續傳導至接收方塊之其它位元。

五、發明說明(4)

本發明重要的是：直接由本來已存在之真 / 互補資料來產生上述控制信號而不需其它輔助信號，其中只需最少之電路費用(一個 NAND 閘)且只需考慮 "NAND 閘連接於匯流排起始處之輸入方塊之後" 此種情況下之信號傳送時間。不會發生由於時間視窗所造成之時間延遲，因此可確保快速之資料傳送。

本發明以下將依據圖式作詳細描述。圖式簡單說明如下：

第 1 圖具有輸入方塊和輸出方塊之本發明的資料匯流排。

此圖顯示一種由導線所構成之資料匯流排 1，其由輸入方塊 2, 3, 4 連接至輸出方塊 5, 6, 7。當然亦可設置多於三個之輸入方塊或輸出方塊。一條互補之導線 8, 9 連接於輸入方塊 2 (其具有一個位於資料匯流排 1 之起始處之資料位元 A) 之後，導線 8, 9 連接至 NAND 閘 10。若此二條導線 8, 9 是在 "高" 狀態，則其表示之意義是：在此二條導線上不存在有效之資料。只要導線 8, 9 中之一具有另一種位準 (即，"低" 位準)，則表示：已存在一有效之資料位元。

NAND 閘 10 之輸出連接至各輸出方塊 5, 6, 7 且在各方塊中連接至各別之三態反相器。於是在每一接收方塊 6, 7 中資料位元 "A" 和 "bA" 經由 NAND 閘 10 另外又傳送至每一資料位元 "B" 或 "C" 且因此可在接收方塊 6, 7 中被評估：只要導線 8, 9 上之資料位元 "A" 或 "bA" 中之一成為 "低" 狀態，則其表示之意義是：資料位元 "B" 或 "C" 被視為有效。

五、發明說明(5)

重要的是：資料位元 "A" 或 "bA" 之 NAND 閘直接位於第一輸入方塊之資料位元 "A" 之輸出端，使已形成之控制信號（即，NAND 閘 10 之輸出信號）可提早產生。以此種方式可確保該控制信號可供應至所有之輸出方塊 6, 7。

明顯的是，在本發明之資料匯流排中只需一個 NAND 閘 10，其配屬於匯流排起始處之資料位元 "A" 且繼續傳送該控制信號以用於其它之位元中。

需要時另一延遲元件（例如，二個串聯之反相器）可連接於 NAND 閘 10 之後以便達成額外之延遲作用。

（請先閱讀背面之注意事項再填寫本頁）

訂

四、中文發明摘要(發明之名稱:資料匯流排)

本發明是關於一種由 $n+1$ ($n \geq 2$) 條導線所構成之資料匯流排, 這些匯流排導線形成 n 條 "唯真 (true-only)" 導線以及一條控制線且由 n 個輸入方塊 (2, 3, 4) 連接至 n 個輸出方塊 (5, 6, 7)。輸入方塊 (2) 位在資料匯流排 (1) 之起始處且具有最長之信號傳送時間, 一條唯真導線和一條控制線配屬於輸入方塊 (2), NAND 閘 (10) 連接於輸入方塊 (10) 之後, NAND 閘 (10) 之輸出分別與每一輸出方塊 (5, 6, 7) 相連接。

英文發明摘要(發明之名稱: DATA BUS)

This invention relates to a data bus of $n+1$ ($n \geq 2$) lines, which construct n true-only-lines and a control-line and are connected from n input-blocks (2, 3, 4) to n output-blocks (5, 6, 7). A NAND-Gate (10) is connected after an input-block (2), which is located on the beginning of said data bus (1) and has the longest signal propagation time, a true-only line and said control-line are arranged to said input-block (2), the output of said NAND-Gate (10) is connected with each output-block (5, 6, 7).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

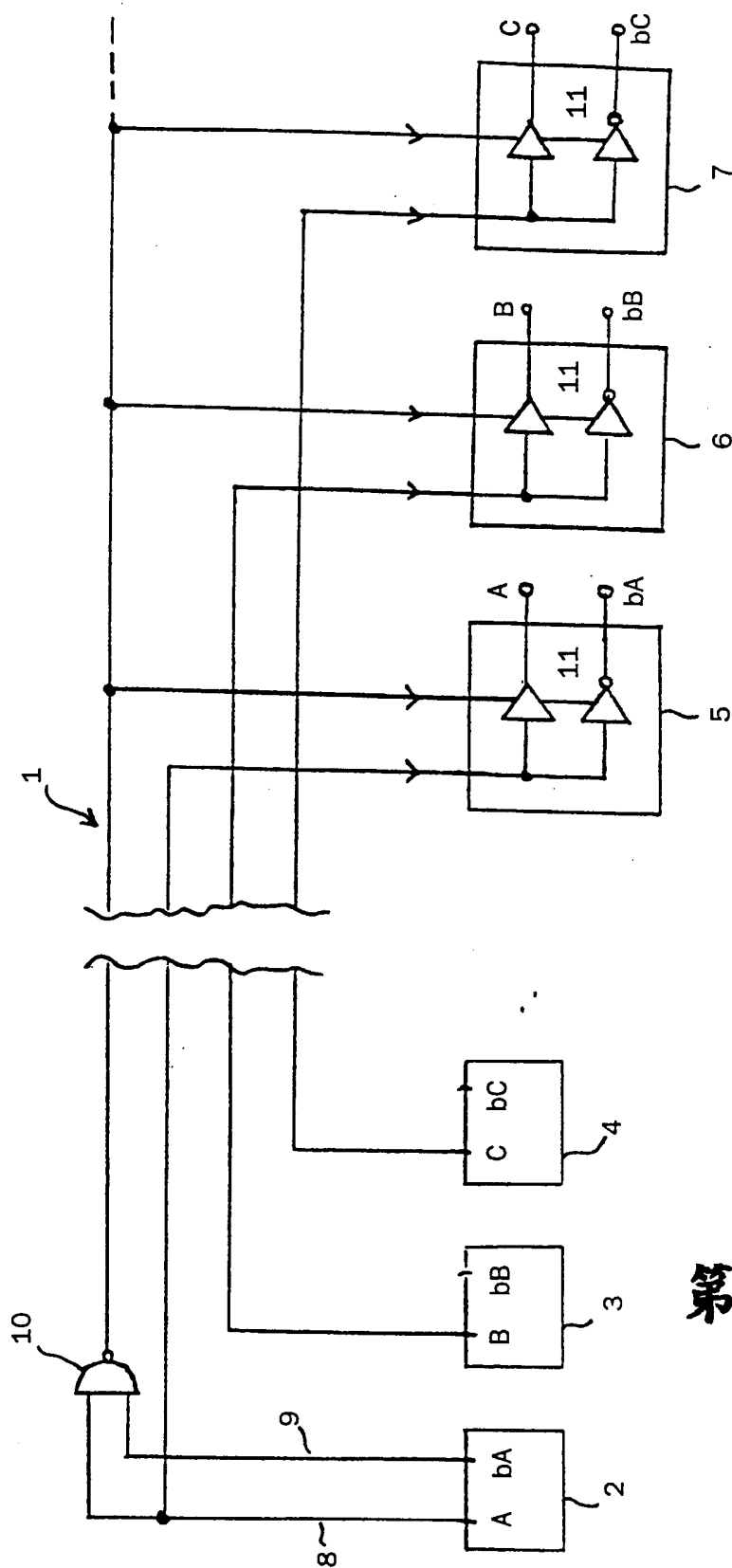
線

六、申請專利範圍

1. 一種資料匯流排，其係由 $n+1$ ($n \geq 2$) 條導線構成，這些導線形成 n 條 "唯真 (true-only)" 導線且由 n 個輸入方塊 (2, 3, 4) 連接至 n 個輸出方塊 (5, 6, 7)，其特徵為：
一個輸入方塊 (2)，其位於資料匯流排 (1) 之起始處且具有最長之信號傳送時間，一條唯真導線和一條控制線配屬於此一輸入方塊 (2)，
一個 NAND 閘 10 連接於該輸入方塊 (10) 之後，NAND 閘 10 之輸出分別與輸出方塊 (5, 6, 7) 相連接。
2. 如申請專利範圍第 1 項之資料匯流排，其中輸出方塊 (5, 6, 7) 分別具有三態反相器 (11)，其是藉由控制信號來控制。
3. 如申請專利範圍第 1 或第 2 項之資料匯流排，其中另一延遲元件，特別是二個串聯之反相器，是連接於 NAND 閘之後。

(請先閱讀背面之注意事項再填寫本頁)

訂



第1圖