

(43) 国際公開日
2012 年 8 月 2 日(02.08.2012)



(10) 国際公開番号

WO 2012/102300 A1

(51) 国際特許分類:
H04B 10/04 (2006.01) *H04B 10/14* (2006.01)
H04B 10/06 (2006.01) *H04B 10/26* (2006.01)
H04B 10/08 (2006.01) *H04B 10/28* (2006.01)

(21) 国際出願番号: PCT/JP2012/051526

(22) 国際出願日: 2012 年 1 月 25 日(25.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-012736 2011 年 1 月 25 日(25.01.2011) JP

(71) 出願人(米国を除く全ての指定国について): 日本
電信電話株式会社(NIPPON TELEGRAPH AND
TELEPHONE CORPORATION) [JP/JP]; 〒1008116
東京都千代田区大手町二丁目 3 番 1 号 Tokyo
(JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 小泉 弘
(KOIZUMI, Hiroshi) [JP/JP]; 〒1808585 東京都武蔵
野市緑町 3 丁目 9-11 NTT 知的財産セ
ンタ内 Tokyo (JP). 野河 正史(NOGAWA,
Masafumi) [JP/JP]; 〒1808585 東京都武蔵野市緑町
3 丁目 9-11 NTT 知的財産センタ内

Tokyo (JP). 大友 祐輔 (OHTOMO, Yusuke) [JP/JP];
〒1808585 東京都武蔵野市緑町3丁目9-11
N T T 知的財産センタ内 Tokyo (JP).

(74) 代理人: 山川 政樹, 外(YAMAKAWA,Masaki et al.); 〒1006104 東京都千代田区永田町 2 丁目 1 1 番 1 号 山王パークタワー 4 階 山川国際特許事務所内 Tokyo (JP).

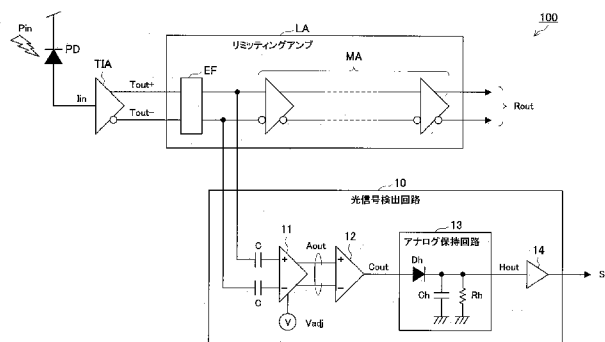
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) 発明の名称 : 光信号検出回路および光受信器

【図1】



10 Optical signal detection circuit
13 Analog-hold circuit
LA Limiting amplifier

(S7) Abstract: This optical signal detection circuit (10) includes an amplification circuit (11) for differentially amplifying an electrical signal (Tout) corresponding to a pulse sequence of an optical signal (Pin) in order to output a differential output signal (Aout), and a comparator (12) for comparing the voltage value of the positive-phase signal and the voltage value of the negative-phase signal of the differential output signal (Aout) in order to output a pulsed comparison output signal (Cout) corresponding to the comparison result. The amplification circuit (11) includes a current adding circuit (11E), and adjusts a DC load current which generates each of the positive-phase signal (Aout+) and the negative-phase signal (Aout-) of the amplified output signal (Aout) in accordance with an adjustment voltage value from an external adjustable voltage supply (Vadj) in order to adjust the DC bias of the positive-phase signal (Aout+) and the DC bias of the negative-phase signal (Aout-).

(57) 要約:

[続葉有]

WO 2012/102300 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
ML, MR, NE, SN, TD, TG).

光信号検出回路 (10) は、光信号 (Pin) のパルス列に対応する電気信号 (Tout) を差動増幅して差動出力信号 (Aout) を出力する増幅回路 (11) と、差動出力信号 (Aout) の正相信号の電圧値と逆相信号の電圧値とを比較して、その比較結果に応じたパルス状の比較出力信号 (Cout) を出力するコンパレータ (12) とを含む。増幅回路 (11) は、電流加算回路 (11E) を含み、増幅出力信号 (Aout) の正相信号 (Aout+) および逆相信号 (Aout-) をそれぞれ生成する直流負荷電流を、外部の調整電圧源 (Vadj) からの調整電圧値に応じて調整して、正相信号 (Aout+) の直流バイアスと逆相信号 (Aout-) の直流バイアスとを調整する。

明 細 書

発明の名称：光信号検出回路および光受信器

技術分野

[0001] 本発明は、光通信技術に関し、特に光信号の入力有無を的確に検出することができる光信号検出技術に関する。

背景技術

[0002] 光信号を受信して電気信号からなる受信出力を得る光受信器では、光信号がない状態において不要なノイズが光受信器から出力されるのを防ぐため、光信号の入力有無を判定する光信号検出回路（SD：Signal Detect）が用いられる。この光信号検出回路により、十分な信号強度の光信号を受信しているか否かを示す光信号検出信号を生成することによって、通信の異常検出や、無信号時にリミッティングアンプLAからノイズの出力を遮断するためのスケルチ（Squelch）制御が行われる。

[0003] 図9は、従来の光受信器の構成を示すブロック図である（例えば、特許文献1等参照）。光受信器200において、パルス列からなる光信号Pinは、フォトダイオードPDによって光電流信号Iinに光電変換される。この光電流信号Iinは、プリアンプであるトランスインピーダンスアンプTIAによって増幅されて、電気信号Toutが出力される。このトランスインピーダンスアンプTIAから出力される電気信号Toutは、ポストアンプであるリミッティングアンプLAに入力される。リミッティングアンプLAは、電気信号Toutを増幅し、様々な強度の光信号Pinに対して一定振幅の受信出力Routを出力する。リミッティングアンプLAの後段には、通常、CDR（Clock Data Recovery）などの波形整形回路やタイミング調整回路が設けられ、受信出力Routに含まれるデータ信号からクロック信号を抽出したり、信号波形をデジタル信号として扱いやすい波形に整形したりしている。

[0004] また、トランスインピーダンスアンプTIAは、光信号検出回路20にA

C結合されて、電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} は、それぞれの結合コンデンサCを介して、光信号検出回路20に入力される。光信号検出回路20は、電気信号 T_{out} を受信した場合にのみ比較出力信号 C_{out} を出力するコンパレータ21と、この比較出力信号 C_{out} を保持して、DC信号からなる光信号検出信号SDに変換するSRラッチ22を備えている。SRラッチ22は、リセット信号RESETによって、光信号検出信号SDの保持を解除する。例えばPONシステムに代表されるバースト通信では、PON制御ICが、バーストパケットの受信終了時にリセット信号RESETを出力することができる。

[0005] したがって、例えばスケルチ制御にこの光信号検出信号SDを用いて、リセット信号RESETを受信してから次のバースト信号を受信するまでの間、スケルチを閉じることによって、リミッティングアンプLAからノイズが出力されることを防ぐことができる。また、次のバースト信号を受信すると、スケルチを開いて通常の受信状態とすることができる。

[0006] 図10は、従来技術にかかる光信号検出回路で用いられるコンパレータ21の構成を示す回路図である。このコンパレータ21は、初段バイアス回路21A、初段増幅回路21B、初段エミッタフォロア回路21C、次段増幅回路21Dから構成されている。

[0007] トランスインピーダンスアンプTIAとAC結合された初段バイアス回路21Aは、電源電位 V_{cc} を分圧する抵抗 R_{21} と R_{22} および抵抗 R_{23} と R_{24} からなる。初段バイアス回路21Aによって、それぞれの結合コンデンサCによってDC成分がカットされた電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} に直流バイアスが与えられる。バイアスされた正相信号 T_{out+} および逆相信号 T_{out-} が初段増幅回路21Bの差動トランジスタ対 Q_{21} 、 Q_{22} にそれぞれ入力される。

[0008] 初段増幅回路21Bは、電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} を差動増幅して、初段エミッタフォロア回路21Cを介して次段増幅回路21Dに出力する。

ここで、初段増幅回路 21B において、差動トランジスタ対 Q21, Q22 の負荷抵抗 R25, R26 の値を互いに異なる値にすれば、初段増幅回路 21B の出力の DC レベルはオフセット電圧を有することになる。

もし初段増幅回路 21B に入力される正相信号 T_{out+} および逆相信号 T_{out-} の振幅が小さければ、このオフセット電圧のために、トランジスタ Q21 からの反転出力とトランジスタ Q22 からの非反転出力は交差しない、すなわち、初段増幅回路 21B が差動信号を形成しない。この場合は、初段増幅回路 21B からの非反転出力および反転出力を入力とする次段増幅回路 21D からパルス状の比較出力信号 C_{out} は出力されない。

[0009] 一方、入力された正相信号 T_{out+} および逆相信号 T_{out-} の振幅が十分大きければ、オフセット電圧があっても、トランジスタ Q21 からの反転出力とトランジスタ Q22 からの非反転出力が交差する。この場合は、次段増幅回路 21D から出力される比較出力信号 C_{out} には、その交差部分に応じた High レベルと Low レベルが交互に現れることになる。

この比較出力信号 C_{out} は SR ラッチ 22 で保持される。その結果、例えば光信号 P_{in} の受信開始とともに、光信号入力の有無を示す光信号検出信号 S_D として High レベルが出力される。SR ラッチ 22 の特徴は、ひとたび比較出力信号 C_{out} として High レベルが出力されればそのレベルが光信号検出信号 S_D として保持出力される。したがって、信号受信に即座に応答する高速な光信号検出回路 20 を実現できる。

先行技術文献

特許文献

[0010] 特許文献1：特開 2009-044228 号公報

発明の概要

発明が解決しようとする課題

[0011] ところで、光信号検出回路 20 においては、トランスインピーダンスアンプ TIA からの電気信号 T_{out} がある一定の値以上の振幅を持つ有意パル

スを含むときだけ、コンパレータ 21 が比較出力信号 C_{out} を出力するように、コンパレータ 21 において光信号 P_{in} の入力有無に対する検出感度を調整する必要がある。

これは、検出感度が高すぎれば、バースト信号のない区間においても、混入したノイズを有意パルスとして誤まって検出してしまい、一方、検出感度が低すぎれば、バースト信号の入力があっても、検出遅れが生じてしまうからである。

[0012] また、温度や電源電位 V_{cc} が変動すると、フォトダイオード PD やトランスインピーダンスアンプ TIA の特性が変動し、電気信号 T_{out} の振幅も変動する。その結果、温度や電源電位 V_{cc} によってコンパレータ 21 の検出感度が影響を受けることになる。したがって、温度や電源電位 V_{cc} に応じてコンパレータ 21 の検出感度を調整する必要がある。

コンパレータ 21 の検出感度を調整する構成として、コンパレータ 21 内部に設けられた増幅回路の負荷抵抗値を、温度や電源電位 V_{cc} に応じて外部から自動調整する構成が考えられる。

図 11 は、コンパレータの検出感度を調整する回路の構成例を示している。ここでは、コンパレータ 21 内の次段増幅回路 21D の負荷抵抗 R_{29} 、 R_{30} のうち負荷抵抗 R_{29} に、感度調整用の可変抵抗 R_{adj} が並列接続されている。すなわち、可変抵抗 R_{adj} の一端が次段増幅回路 21D のトランジスタ Q_{25} のコレクタ端子に接続され、他端が電源電位 V_{cc} に接続されている。このトランジスタ Q_{25} および負荷抵抗 R_{29} は、初段エミッタフォロワ回路 21C から出力された初段出力信号 F_{out} の逆相信号 F_{out-} の増幅に用いられる。

[0013] この可変抵抗 R_{adj} の抵抗値を変化させると、 R_{29} と R_{adj} の合成抵抗からなる Q_{25} の負荷抵抗値が変化して、 Q_{25} のコレクタ端子から出力される比較出力信号 C_{out} の直流レベルと振幅とが変化する。

したがって、例えば SR ラッチ 22 は、入力端子 S におけるしきい値電圧と比較出力信号 C_{out} のパルス振幅との比較結果により比較出力信号 C_{o}

u t に対するラッチ有無を判断するので、S R ラッチ 22 のしきい値電圧に対する比較出力信号 C o u t のパルス振幅を調整することによって、結果として、コンパレータ 21 の検出感度が調整される。

[0014] しかし、Q 25 の負荷抵抗値は、R 29 と R a d j の合成抵抗値であることから、R a d j と検出感度とのリニアリティが得られない。このため、光信号の検出感度を精度よく調整するのが難しいという問題点があった。

[0015] また、十分な大きさの振幅を持った比較出力信号 C o u t を得るため、前述した次段増幅回路 21 D の後段にさらに差動増幅回路を配置し、この次段増幅回路 21 D を構成するトランジスタ Q 25、Q 26 のコレクタ端子からそれぞれ得られる反転出力および非反転出力を、その後段に配置された差動増幅回路へ入力することがある。

[0016] このような回路構成に対して、図 11 の検出感度調整例を適用した場合、次段増幅回路 21 D では、逆相信号 F o u t - に対応する Q 25 からの出力信号の直流レベルのみならず振幅も調整される一方、正相信号 F o u t + に対応する Q 26 からの出力信号の振幅は調整されないため、後段に配置した差動増幅回路には、互いに振幅の異なる正相信号と逆相信号とが入力される。その結果、コンパレータ 21 の検出感度と温度や電源電位 V c c とのリニアリティが得られず、光信号の検出感度を精度よく調整するのが難しいという問題点があった。

[0017] 本発明はこのような課題を解決するためのものであり、光信号の検出感度を精度よく調整できる光信号検出技術を提供することを目的とする。

課題を解決するための手段

[0018] このような目的を達成するために、本発明にかかる光信号検出回路は、パルス列からなる光信号を光電変換して得られた差動の電気信号に基づいて、光信号の入力有無を検出する光信号検出回路であって、結合コンデンサを介して入力された電気信号を差動増幅するとともに、電気信号のうち基準値以上の振幅を持つパルスを、差動の増幅出力信号として出力する増幅回路と、増幅出力信号の正相信号と逆相信号の電圧値を比較し、その比較結果を比較

出力信号として出力するコンパレータと、比較出力信号に含まれる各パルス
を保持コンデンサで充電するとともに、充電により得られた直流電圧を放電
抵抗で放電することにより、光信号の入力有無に応じて変化する保持出力信
号を生成するアナログ保持回路とを備え、増幅回路に、増幅出力信号の正相
信号および逆相信号を差動増幅する際に用いるそれぞれの直流負荷電流を、
外部の調整電圧源からの調整電圧値に応じて調整することにより、これら正
相信号および逆相信号の直流バイアスを調整する電流加算回路を設けたもの
である。

これを換言するならば、本発明にかかる光信号検出回路は、光信号のパル
ス列に対応するパルスを含む電気信号の正相信号と逆相信号とを差動増幅し
て差動出力信号を出力する増幅回路と、前記差動出力信号の正相信号の電圧
値と逆相信号の電圧値とを比較して、その比較結果に応じたパルス状の比較
出力信号を出力するコンパレータと、前記パルス状の比較出力信号に基づい
て前記光信号の入力有無を示す光信号検出信号を出力する保持回路とを備え
、前記増幅回路は、一端がそれぞれ電源電位 V_{cc} に接続されて、前記差動
出力信号の前記正相信号および前記逆相信号をそれぞれ生成する第1および
第2の負荷抵抗と、前記第1および第2の負荷抵抗の少なくとも一方を流れ
る直流負荷電流を、外部の調整電圧源からの調整電圧値に応じて調整して、
前記差動出力信号の前記正相信号の直流バイアスと前記逆相信号の直流バイ
アスとの差を調整する電流加算回路とを含むことを特徴とする。

[0019] また、本発明にかかる光受信器は、パルス列からなる光信号を光電変換し
て光電流信号を出力する光電変換素子と、前記光電流信号を増幅して、前記
パルス列に対応するパルスを含む電気信号を出力するトランスインピーダン
スアンプと、前記電気信号を増幅して、一定振幅のパルスを含む受信出力を
出力するリミッティングアンプと、前記電気信号に基づいて前記光信号の入
力有無を検出する光信号検出回路とを備え、前記光信号検出回路は、前記電
気信号の正相信号と逆相信号とを差動増幅して差動出力信号を出力する増幅
回路と、前記差動出力信号の正相信号の電圧値と逆相信号の電圧値とを比較

して、その比較結果に応じたパルス状の比較出力信号を出力するコンパレータと、前記パルス状の比較出力信号に基づいて前記光信号の入力有無を示す光信号検出信号を出力する保持回路とを備え、前記増幅回路は、一端がそれぞれ電源電位 V_{cc} に接続されて、前記差動出力信号の前記正相信号および前記逆相信号をそれぞれ生成する第 1 および第 2 の負荷抵抗と、前記第 1 および第 2 の負荷抵抗の少なくとも一方を流れる直流負荷電流を、外部の調整電圧源からの調整電圧値に応じて調整して、前記差動出力信号の前記正相信号の直流バイアスと前記逆相信号の直流バイアスとの差を調整する電流加算回路とを含むことを特徴とする。

発明の効果

[0020] 本発明によれば、電流加算回路によって第 1 および第 2 の負荷抵抗の少なくとも一方を流れる直流負荷電流を調整して、差動出力信号の正相信号の直流バイアスと逆相信号の直流バイアスとの差、すなわちオフセット電圧を調整することができる。このとき、正相信号の直流バイアスと逆相信号の直流バイアスとの差を調整することによっては、正相信号および逆相信号の振幅は変化しないので、光信号の検出感度を精度よく調整することができる。

図面の簡単な説明

[0021] [図1]図 1 は、第 1 の実施の形態にかかる光受信器および光信号検出回路の構成を示すブロック図である。

[図2]図 2 は、第 1 の実施の形態にかかる光受信器および光信号検出回路で用いられる増幅回路およびコンパレータの構成例を示す回路図である。

[図3]図 3 は、第 1 の実施の形態にかかる光受信器および光信号検出回路で用いられる保持回路の変形例を示す図である。

[図4]図 4 は、第 1 の実施の形態にかかる光受信器および光信号検出回路で用いられる増幅回路の要部を示す回路図である。

[図5]図 5 は、第 1 の実施の形態にかかる光信号検出回路の動作を示す信号波形図である。

[図6]図 6 は、第 2 の実施の形態にかかる光信号検出回路で用いられる増幅回

路の構成例を示す回路図である。

[図7]図7は、第3の実施の形態にかかる光受信器および光信号検出回路の構成を示すブロック図である。

[図8]図8は、本発明の第4の実施の形態にかかる光信号検出回路で用いられる増幅回路の構成例を示す回路図である。

[図9]図9は、従来の光受信器の構成を示すブロック図である。

[図10]図10は、従来技術にかかる光信号検出回路で用いられるコンパレータの構成を示す回路図である。

[図11]図11は、コンパレータにおける光信号の検出感度調整例である。

発明を実施するための形態

[0022] 次に、本発明の実施の形態について図面を参照して説明する。

[第1の実施の形態]

まず、図1を参照して、本発明の第1の実施の形態にかかる光受信器および光信号検出回路について説明する。図1は、第1の実施の形態にかかる光受信器および光信号検出回路の構成を示すブロック図である。

[0023] 光受信器100は、光ファイバを介して受信した光信号を電気信号に変換して出力する通信装置である。この光受信器100は、例えばF T T H (Fiber To The Home) システムに採用されているP O N (Passive Optical Network) 方式において、局側で複数ユーザを収容するO L T (Optical Line Terminal) で用いられる。

[0024] 光受信器100は、主な回路構成として、フォトダイオードP D、トランスインピーダンスアンプT I A、リミッティングアンプL A、および光信号検出回路10を含んでいる。

フォトダイオードP Dは、パルス列からなる光信号光信号P i nを光電変換して光電流信号I i nを出力する光電変換素子である。

トランスインピーダンスアンプT I Aは、光電流信号I i nを増幅して、光信号P i nのパルス列に対応するパルスを含む電気信号T o u tを出力する。

リミッティングアンプL Aは、トランスインピーダンスアンプT I Aから出力される電気信号T o u tを増幅して、一定振幅のパルスを含む受信出力R o u tを出力する。リミッティングアンプL Aによって、様々な強度の光信号P i nに対して一定振幅の受信出力R o u tが出力される。

光信号検出回路1 0は、トランスインピーダンスアンプT I Aから出力される電気信号に基づいて光信号の入力有無を検出する。

[0025] 光受信器1 0 0において、光ファイバを介して到達したパルス列からなる光信号P i nは、フォトダイオードP Dで受信されて光電流信号I i nに変換される。この光電流信号I i nは、プリアンプであるトランスインピーダンスアンプT I Aによって増幅されて、電気信号T o u tが出力される。この電気信号T o u tは、ポストアンプであるリミッティングアンプL Aと光信号検出回路1 0とにそれぞれ入力される。

[0026] リミッティングアンプL Aは、通常、多段の増幅回路で構成されており、レベル調整のため、エミッタフォロア回路を介して前段と後段の増幅回路が接続されることが多い。したがって、入力段は増幅回路であったり、エミッタフォロア回路であったりする。図1の例では、トランスインピーダンスアンプT I Aからの電気信号T o u tが、差動のエミッタフォロア回路E Fを介して、主増幅回路群M Aへ入力されている。

トランスインピーダンスアンプT I Aの出力端子とリミッティングアンプL Aの入力端子は、A C結合である場合もあればD C結合である場合もある。

[0027] なお、図1では省略してあるが、リミッティングアンプL Aの後段には、通常、C D Rなどの波形整形回路やタイミング調整回路が設けられている。これらの回路によって受信出力R o u tに含まれるデータ信号からクロック信号を抽出したり、信号波形をデジタル信号として扱いやすい波形に整形したりする。

[0028] [光信号検出回路]

一方、光信号検出回路1 0は、トランスインピーダンスアンプT I Aに対

して、リミッティングアンプL Aと並列に接続されて、トランスインピーダンスアンプT I Aからの電気信号に基づいて、光信号P i nの入力有無を検出する回路部である。

光信号検出回路1 0は、結合コンデンサCを介してトランスインピーダンスアンプT I AにA C結合されている。

[0029] 光信号検出回路1 0は、主な回路部として、増幅回路1 1、コンパレータ1 2、アナログ保持回路1 3、および出力バッファ1 4を含む。

[0030] ここで、増幅回路1 1は、トランスインピーダンスアンプT I Aからの電気信号T o u tの正相信号T o u t +と逆相信号T o u t -とを差動増幅して、差動出力信号A o u tを出力する。後述するように、増幅回路1 1は、トランスインピーダンスアンプT I Aからの電気信号T o u tのうち、ある一定の値以上の振幅を持つ有意パルスに対応して、差動性を具備した出力信号（差動出力信号）A o u tを出力する。

[0031] トランスインピーダンスアンプT I Aからの正相信号T o u t +および逆相信号T o u t -は、A C結合用の結合コンデンサCを介して増幅回路1 1に入力される。結合コンデンサCの容量は、受信信号のビットレートに応じて最適化すればよい。例えばビットレートが1 0 G b p sであれば、概ね1 p F以下が望ましい。

[0032] コンパレータ1 2は、増幅回路1 1から出力される差動出力信号A o u tの正相信号A o u t +および逆相信号A o u t -を入力とし、差動出力信号A o u tの正相信号A o u t +の電圧値と逆相信号A o u t -の電圧値とを比較して、その比較結果に応じたパルス状の比較出力信号C o u tを出力する。この比較出力信号C o u tは、単相（シングルエンド）の信号である。比較出力信号C o u tは、トランスインピーダンスアンプT I Aからの電気信号T o u tがある一定の値以上の振幅を持つ有意パルスを含んでいるときは、パルス状の信号を含む。

なお、増幅回路1 1およびコンパレータ1 2の内部構成の詳細については、図2を参照して後述する。

[0033] [保持回路]

アナログ保持回路 13 と出力バッファ 14 とは、パルス状の比較出力信号 C_{out} に基づいて光信号 P_{in} の入力有無を示す光信号検出信号 S_D を出力する保持回路を構成する。

[0034] アナログ保持回路 13 は、コンパレータ 12 から出力されたパルス状の比較出力信号 C_{out} によって充電される保持コンデンサ C_h と、この保持コンデンサ C_h と並列に接続された放電抵抗 R_h とを含み、保持コンデンサ C_h に保持された電荷を放電抵抗 R_h で放電することにより、光信号 P_{in} の入力有無に応じて変化する保持出力信号 H_{out} を出力する。

[0035] 本実施の形態においては、アナログ保持回路 13 は、図 1 に示すように、コンパレータ 12 の出力端子に接続されたアノード端子を有するダイオード D_h を含んでいる。保持コンデンサ C_h の一端はこのダイオード D_h のカソード端子に接続され、保持コンデンサ C_h の他端は接地電位 GND に接続されている。同様に、放電抵抗 R_h の一端はダイオード D_h のカソード端子に接続され、放電抵抗 R_h の他端は接地電位 GND に接続されている。

[0036] この構成により、コンパレータ 12 から出力された比較出力信号 C_{out} に含まれる各パルスのうち、保持コンデンサ C_h の端子間電圧よりダイオード D_h の接合電圧分だけ高いパルスのみがダイオード D_h で抽出される。アナログ保持回路 13 においては、ダイオード D_h で整流されたこれらパルスによって保持コンデンサ C_h が充電される一方、保持コンデンサ C_h に充電された電荷が、放電抵抗 R_h によって放電され、互いに並列に接続された保持コンデンサ C_h および放電抵抗 R_h の端子間電圧が保持出力信号 H_{out} として出力される。

[0037] コンパレータ 12 から出力される比較出力信号 C_{out} に含まれるパルスは、パルス列からなる光信号の入力の有無に対応している。したがって、アナログ保持回路 13 の保持出力信号 H_{out} は、光信号 P_{in} の入力有無に応じて変化するアナログの直流電圧信号となる。具体的には、光信号 P_{in} が信号有り状態の場合には、コンパレータ 21 から入力されるパルスによっ

て保持コンデンサC_hが充電されて、保持出力信号H_{o u t}の電位は時間の経過とともに上昇し、光信号P_{i n}が信号断状態となった場合には、コンパレータ21からパルスの入力途絶えるので、保持コンデンサC_hが放電されて、保持出力信号H_{o u t}の電位は時間の経過とともに低下する。

[0038] 出力バッファ14は、アナログ保持回路13で生成されたアナログの直流電圧からなる保持出力信号H_{o u t}を、例えばしきい値処理することによって、一般的な論理ゲートで用いられるデジタル論理信号へ整形して、光信号P_{i n}の入力有無を示す光信号検出信号S_Dを出力する。

[0039] 本実施の形態においては、コンパレータ12から出力されるパルス状の比較出力信号C_{o u t}に基づいて光信号P_{i n}の入力有無を示す光信号検出信号S_Dを出力する保持回路を、アナログ保持回路13と出力バッファ14とから構成したことによって、光信号P_{i n}の信号断を示す光信号検出信号S_Dが自律的に出力される。

[0040] アナログ保持回路13の保持コンデンサC_hと放電抵抗R_hで決まる時定数については、電気信号T_{o u t +}、T_{o u t -}として入力されるバースト信号の先頭を検出するための応答速度と、バースト信号内に含まれる同符号連続区間を信号断と誤判定しない同符号連続耐性との兼ね合いで決定される。

[0041] アナログ保持回路13の保持出力信号H_{o u t}は、原理的には、光信号P_{i n}の受信時にトップホールドされるとともに、光信号断時にはL_{o w}レベルとなるため、光信号検出信号S_Dもこれに応じた論理とすることができる。この際、例えば、光信号検出信号S_Dにおいて信号断表示をH_{i g h}レベルで表示する場合には、保持出力信号H_{o u t}がL_{o w}レベルであるとき、光信号検出信号S_DがH_{i g h}レベルとなるような論理構成にすればよい。

[0042] なお、本実施の形態における保持回路の変形例として、図3に示すように、出力バッファ14に代えてシュミットトリガインバータ14Aを用いてもよい。

[0043] アナログ保持回路13から出力される保持出力信号H_{o u t}のレベル変化

は、比較出力信号 C_{out} の変化に比べて緩慢であるため、1つの論理レベルで出力のレベルを切り替えると、その閾値付近で出力論理レベルが振動するいわゆるチャタリングを引き起こす危険がある。

[0044] シュミットトリガインバータ 14A を用いれば、保持出力信号 H_{out} の出力レベルが充分低下しないと SD を表示せず、 SD を表示した後は充分高いレベルの電位をアナログ保持回路 13 が出力しない限り SD 表示を解除しないようにできる。

このようなヒステリシスは、オペアンプを用いたヒステリシスコンパレータによっても実現でき、シュミットトリガインバータ 14A の代わりに用いてもよい。しかし、一般にオペアンプのスルー・レート (Slew Rate : 最大応答速度) は 100 V/ms 以下と遅いため、 SD の応答性を示す Assert/Deassert 時間を増大することになり、高速応答を実現するには好ましくない。また、ヒステリシスコンパレータを用いる場合は、別途、参照電圧の入力が必要となる。

[0045] [増幅回路およびコンパレータ]

次に、図2および図4を参照して、本実施の形態にかかる光信号検出回路 10 で用いられる増幅回路 11 およびコンパレータ 12 の内部構成について詳細に説明する。

図2は、第1の実施の形態にかかる光信号検出回路 10 で用いられる増幅回路 11 およびコンパレータ 12 の構成例を示す回路図である。図4は、増幅回路 12 の要部を示す回路図である。

本発明の光信号検出回路では、正相信号と逆相信号に直流バイアスの差を与え、後段のコンパレータ回路を駆動できるか否かによって受信信号の有無を判定する。そのため、検出感度の調整のためには、増幅回路 11 において検出対象信号の直流バイアスのみを可変させることが重要である。

[0046] 増幅回路 11 は、一端がそれぞれ電源電位 V_{cc} に接続されて、差動出力信号 A_{out} の正相信号 A_{out+} および逆相信号 A_{out-} をそれぞれ生成する第1および第2の負荷抵抗 R_9 、 R_{10} と、第1および第2の負荷抵

抗 R_9 、 R_{10} の少なくとも一方を流れる直流負荷電流を、外部の調整電圧源からの調整電圧値 V_{adj} に応じて調整して、差動出力信号 A_{out} の正相信号 A_{out+} の直流バイアスと逆相信号 A_{out-} の直流バイアスとの差を調整する電流加算回路 $11E$ とを含んでいる。

具体的には、増幅回路 11 は、初段バイアス回路 $11A$ 、初段増幅回路（前側増幅回路） $11B$ 、初段エミッタフォロア回路 $11C$ 、次段増幅回路（後側増幅回路） $11D$ 、電流加算回路 $11E$ 、および次段エミッタフォロア回路 $11F$ を備えている。これらの回路は、半導体チップ上にそれぞれ集積化されている。

[0047] 初段バイアス回路 $11A$ は、電源電位 V_{cc} （第1の電源電位）にプルアップされた抵抗素子 R_1 、 R_3 と接地電位 GND （第2の電源電位）にプルダウンされた抵抗素子 R_2 、 R_4 とから構成された抵抗分圧回路を含む。初段バイアス回路 $11A$ は、結合コンデンサ C を介して入力された電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} に対して、それぞれ R_1 、 R_3 の抵抗比および R_2 、 R_4 の抵抗比に応じた直流バイアスを与える。実際には、 R_1 、 R_3 の抵抗比と R_2 、 R_4 の抵抗比とを等しくして、電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} に対して等しい直流バイアスを与える。

[0048] 初段増幅回路 $11B$ は、電気信号 T_{out} の正相信号 T_{out+} と逆相信号 T_{out-} とを差動増幅して初段出力信号を出力する増幅回路である。

このような初段増幅回路 $11B$ は、例えば、差動対をなすトランジスタ Q_1 、 Q_2 と、トランジスタ Q_1 のコレクタ端子と電源電位 V_{cc} との間に接続された抵抗素子 R_5 と、トランジスタ Q_2 のコレクタ端子と電源電位 V_{cc} との間に接続された抵抗素子 R_6 と、トランジスタ Q_1 、 Q_2 のエミッタ端子間に直列接続された抵抗素子 R_7 、 R_8 と、抵抗素子 R_7 、 R_8 の接続点と接地電位 GND との間に接続された定電流源 I_1 とで構成された差動増幅回路である。

[0049] ここで、抵抗素子 R_5 、 R_6 は、初段増幅回路 $11B$ を構成する差動増幅

回路の負荷抵抗に相当する。第1の実施の形態においては、抵抗素子R5, R6は互いに異なる抵抗値が設定されている。その結果、トランジスタQ1, Q2のコレクタ端子からそれぞれ出力される差動出力、すなわち、初段出力信号の逆相信号と正相信号との間にオフセット電圧を与えることができる。

[0050] 初段エミッタフォロア回路11Cは、初段増幅回路11Bの出力インピーダンスよりも低い出力インピーダンスを有するとともに、初段増幅回路11Bからの初段出力信号を出力するインピーダンス調整回路である。

このような初段エミッタフォロア回路11Cは、例えば、初段増幅回路11Bの差動トランジスタQ1, Q2のコレクタ端子にそれぞれ接続されたベース端子と電源電位Vccにそれぞれ接続されたコレクタ端子とを有する2つのトランジスタQ3, Q4と、これらトランジスタQ3, Q4のエミッタ端子と接地電位GNDとの間にそれぞれ接続された定電流源I2, I3とから構成することができる。

初段エミッタフォロア回路11Cは、初段増幅回路11Bの出力インピーダンスよりも低い出力インピーダンスを有するとともに、トランジスタQ3, Q4のベース端子にそれぞれ入力された初段増幅回路11Bの初段出力信号の正相信号および逆相信号を出力する。以下、初段エミッタフォロア回路11Cを介して出力される初段増幅回路11Bの初段出力信号を「初段出力信号Fout」という。

[0051] 次段増幅回路11Dは、初段出力信号Foutの正相信号Fout+と逆相信号Fout-とを差動増幅して差動出力信号Noutを出力する増幅回路である。

このような次段増幅回路11Dは、例えば、差動対をなすトランジスタQ5, Q6と、トランジスタQ5のコレクタ端子と電源電位Vccとの間に接続された抵抗素子R9（第1の負荷抵抗）と、トランジスタQ6のコレクタ端子と電源電位Vccとの間に接続された抵抗素子R10（第2の負荷抵抗）と、トランジスタQ5, Q6のエミッタ端子の接続点と接地電位GNDと

の間に接続された定電流源 I 4 とで構成された差動増幅回路である。このような次段増幅回路 1 1 D は、トランジスタ Q 5, Q 6 のベース端子に入力された、初段出力信号 F o u t の逆相信号 F o u t − と正相信号 F o u t + とを差動増幅し、次段増幅信号 N o u t を出力する。

[0052] 電流加算回路 1 1 E は、次段増幅回路 1 1 D の第 1 および第 2 の負荷抵抗 R 9, R 1 0 の少なくとも一方を流れる直流負荷電流を、外部の調整電圧源からの調整電圧値 V a d j に応じて調整して、差動出力信号 A o u t の正相信号 A o u t + の直流バイアスと逆相信号 A o u t − の直流バイアスとの差、すなわちオフセット電圧を調整する回路である。

このような電流加算回路 1 1 E は、例えば、次段増幅回路 1 1 D の第 1 の負荷抵抗 R 9 の他端、すなわち、次段増幅回路 1 1 D のトランジスタ Q 5 のコレクタ端子に接続されたコレクタ端子（第 1 の入出力端子）と、所定の電圧値 V s e t が入力されるベース端子（制御端子）とを有するトランジスタ Q 7（第 1 のトランジスタ）と、第 2 の負荷抵抗 R 1 0 の他端、すなわちトランジスタ Q 6 のコレクタ端子に接続されたコレクタ端子と、調整電圧値 V a d j が入力されるベース端子と、第 1 のトランジスタ Q 7 のエミッタ端子（第 2 の入出力端子）と接続されたエミッタ端子とを備え、第 1 のトランジスタ Q 7 と差動対をなす第 2 のトランジスタ Q 8 と、第 1 のトランジスタ Q 7 のエミッタ端子（第 2 の入出力端子）と第 2 のトランジスタ Q 8 のエミッタ端子との接続点に接続された定電流源 I 5 とを含む。

より具体的には、このような電流加算回路 1 1 E は、コレクタ端子がトランジスタ Q 5 のコレクタ端子（正相信号 N o u t +）に接続されたトランジスタ Q 7（第 1 のトランジスタ）と、このトランジスタ Q 7 と差動対をなし、コレクタ端子がトランジスタ Q 6 のコレクタ端子（逆相信号 N o u t −）に接続されたトランジスタ Q 8（第 2 のトランジスタ）と、Q 7, Q 8 のエミッタ端子の接続点と接地電位 G N D との間に接続された定電流源 I 5 と、Q 7 のベース端子と接地電位 G N D との間に接続された設定電圧源 V s e t と、Q 8 のベース端子と接地電位 G N D との間に外部接続された調整電圧源

V_{adj} とから構成することができる。

[0053] この電流加算回路 11 E は、調整電圧源 V_{adj} と設定電圧源 V_{set} との差に応じた電流を、次段増幅回路 11 D の負荷抵抗 R_9 , R_{10} を流れる直流負荷電流にそれぞれ加算する。電流加算回路 11 E により、次段増幅回路 11 D の負荷抵抗 R_9 , R_{10} に流れる直流負荷電流が増加すると、次段増幅信号 N_{out} の正相信号 N_{out+} と逆相信号 N_{out-} の直流バイアスが低下する。

この電流加算回路 11 E においては、差動対をなすトランジスタ Q_7 , Q_8 のエミッタ端子に定電流源 I_5 が共通接続されているので、トランジスタ Q_7 , Q_8 に引き込まれる合計電流の大きさは一定であり、かつ、そのトランジスタ Q_7 , Q_8 のそれぞれに引き込まれる電流は、設定電圧源 V_{set} と調整電圧源 V_{adj} との電圧差に応じて分配される。

したがって、調整電圧源 V_{adj} を調整することによって、次段増幅信号 N_{out} の正相信号 N_{out+} の直流バイアスの低下量と逆相信号 N_{out-} の直流バイアスの低下量との差、すなわちオフセット電圧の大きさを調整することができる。

[0054] 次段エミッタフォロア回路 11 F は、それぞれのエミッタ端子が電源電位 V_{cc} に接続されたトランジスタ Q_9 , Q_{10} と、これら Q_9 , Q_{10} のコレクタ端子と接地電位 GND との間にそれぞれ接続された定電流源 I_5 , I_6 とからなるインピーダンス調整回路である。この次段エミッタフォロア回路 11 F によって、トランジスタ Q_9 , Q_{10} のベース端子にそれぞれ入力された次段増幅回路 11 D の次段増幅信号 N_{out} の逆相信号 N_{out-} と正相信号 N_{out+} とは、逆相信号 A_{out-} と正相信号 A_{out+} とからなる差動出力信号 A_{out} としてそれぞれ低インピーダンスで出力される。

なお、初段エミッタフォロア回路 11 C および次段エミッタフォロア回路 11 F は、出力インピーダンスの調整という、回路実装上の要請から設けられるものであり、本発明の目的を達成するために不可欠なものではない。

[0055] コンパレータ 12 は、例えば、それぞれのドレイン端子が電源電位 V_{cc}

に接続され、互いのゲート端子が接続された差動対をなす2つのMOSFET M1, M2と、ゲート端子に正相信号Aout+が入力され、ドレイン端子がM1のソース端子およびM1, M2のゲート端子に接続されたMOSFET M3と、ゲート端子に逆相信号Aout-が入力され、ドレイン端子がM2のソース端子に接続されたMOSFET M4と、M3, M4のソース端子の接続点と接地電位GNDとの間に接続された定電流源I8とから構成された電圧比較回路である。

このコンパレータ12によって、増幅回路11の次段エミッタフォロア回路11Fから出力された差動出力信号Aoutの正相信号Aout+の電圧値と逆相信号Aout-の電圧値とが比較され、M4のドレイン端子からその比較結果を示す単相（シングルエンド）の比較出力信号Coutが出力される。

[0056] なお、第1の実施の形態においては、増幅回路11をバイポーラトランジスタで構成し、コンパレータ12をCMOSFETで構成した、いわゆるBiCMOS回路技術を用いた場合を例として説明したが、これに限定されるものではない。例えば、増幅回路11の一部あるいはすべてをMOSFETで構成してもよい。

[0057] [第1の実施の形態にかかる光信号検出回路の動作]

次に、図1～図4を参照して、本実施の形態にかかる光信号検出回路10の動作について説明する。

トランスインピーダンスアンプTIAから入力されたバースト信号（電気信号Tout）は、結合コンデンサCを介して微分波形となって増幅回路11に入力され、初段増幅回路11Bで差動増幅される。この際、抵抗素子R5, R6の抵抗値として、基準値に応じた互いに異なる抵抗値が予め設定されているため、初段出力信号Foutのうち逆相信号Fout-の直流バイアスと正相信号Fout+の直流バイアスとの間には、基準値に相当するオフセット電圧が与えられる。

[0058] このようにして得られた初段出力信号Foutは、初段エミッタフォロア

回路 11C を介して次段増幅回路 11D へ入力されて差動増幅される。

[0059] 次段増幅回路 11D において、抵抗素子 R9（第 1 の負荷抵抗）と抵抗素子 R10（第 2 の負荷抵抗）の直流負荷電流には、電流加算回路 11E により、設定電圧源 Vset と調整電圧源 Vadj との電圧差に応じた電流が加算されている。例えば、設定電圧源 Vset の設定電圧値より調整電圧源 Vadj の調整電圧値を下げると、両電圧値の差に応じて抵抗素子 R10 に流れる直流負荷電流の増加量より抵抗素子 R9 に流れる直流負荷電流の増加量の方が大きくなる。したがって、正相信号 Nout+ の直流バイアスが逆相信号 Nout- の直流バイアスよりも低下する。

[0060] このように電流加算回路 11E により直流バイアスが調整された次段増幅信号 Nout は、次段エミッタフォロワ回路 11F を介して差動出力信号 Aout として出力される。

差動出力信号 Aout の正相信号 Aout+ と逆相信号 Aout- とのオフセット電圧、すなわち両者の重なり具合は、電流加算回路 11E の設定電圧源 Vset と調整電圧源 Vadj の電圧差に応じて変化する。

[0061] この後、差動出力信号 Aout は、コンパレータ 12 において、その交差期間が検出され、その交差期間に対応するパルスを持つ比較出力信号 Cout がコンパレータ 12 からアナログ保持回路 13 へ出力される。

このとき、差動出力信号 Aout の振幅がオフセット電圧に比較して十分な大きさを有する場合は差動出力信号 Aout の正相信号 Aout+ と逆相信号 Aout- が交差するので、正相信号 Aout+ の電位と逆相信号 Aout- の電位が逆転している期間に応じて、コンパレータ 12 からはパルス状の比較出力信号 Cout が出力される。

逆に、差動出力信号 Aout の振幅がオフセット電圧と比較して十分な大きさを有しない場合は、差動出力信号 Aout の正相信号 Aout+ と逆相信号 Aout- が交差しないので、コンパレータ 12 からパルス状の比較出力信号 Cout は出力されない。

[0062] このように、第 1 の実施の形態にかかる光信号検出回路によれば、電流加

算回路 11E の調整電圧源 V_{adj} の調整電圧値を調整することにより、差動出力信号 A_{out} の正相信号 A_{out+} の直流バイアスと逆相信号 A_{out-} の直流バイアスとの差、すなわちオフセット電圧を変化させることができる。これにより、両信号の重なり具合が変化して、両信号の交差期間が変化する。したがって、結果として、光信号 P_{in} の検出感度を調整することができる。

すなわち、調整電圧源 V_{adj} の調整電圧値を調整することによって、光信号 P_{in} の検出感度を調整することができる。したがって、電気信号 T_{out} がある一定の値以上の振幅を持つ有意パルスを含むときには、コンパレータ 21 がパルス状の比較出力信号 C_{out} を出力する一方、バースト信号のない区間においてこの値に満たない振幅をもつノイズが混入しても、これを有意パルスとして誤まって検出することを避けることができる。

[0063] この際、正相信号 A_{out+} の直流バイアスと逆相信号 A_{out-} の直流バイアスは、調整電圧源 V_{adj} の調整電圧値に対してリニアに変化する。また、この調整電圧値を変化させた場合、正相信号 A_{out+} の直流バイアスと逆相信号 A_{out-} の直流バイアスとが変化しても、これらの信号の振幅は変化しない。このため、温度や電源電位 V_{cc} に応じて外部から自動調整する場合、正相信号 A_{out+} と逆相信号 A_{out-} との直流バイアスを正確に調整することができる。

[0064] このようにして、コンパレータ 12 で生成された比較出力信号 C_{out} は、アナログ保持回路 13 へ入力されて、比較出力信号 C_{out} に含まれる各パルスのうち、保持コンデンサ C_h の直流電圧よりダイオード接合電圧分だけ高い信号区間のみがダイオード D_h で抽出されて、保持コンデンサ C_h に充電される。

[0065] これにより、保持コンデンサ C_h の直流電圧、すなわち保持出力信号 H_{out} は、光信号 P_{in} のバースト信号のうち、基準値以上の振幅を持つパルスにより充電されて電圧値が上昇し、バースト信号のない信号断区間、バースト信号のうちパルス信号のない同符号連続区間、および基準値に満たない

振幅のパルス区間については、放電抵抗 R_h により放電されて電圧値が低下する。なお、バースト信号のない信号断区間において、保持出力信号 H_{out} が接地電位 GND まで低下しないのは、比較出力信号 C_{out} に直流バイアスが印加されているからである。

[0066] 上述したように、保持コンデンサ C_h と放電抵抗 R_h の時定数は、バースト信号の先頭を検出するための応答速度と、バースト信号内に含まれる同符号連続区間を信号断と誤判定しない同符号連続耐性との兼ね合いで決定されている。

[0067] これにより、バースト信号が入力された際、このバースト信号に含まれるパルスによって、応答時間として規定された 100 ns 以下の所要時間で、保持出力信号 H_{out} がバースト信号のない Low レベルからバースト信号有りを示す $High$ レベルまで充電される。また、バースト信号に含まれる同符号連続区間が到来した際、このパルス断により保持出力信号 H_{out} が放電されても、最大同符号連続区間である約 13 nsec だけ、バースト信号有りを示す $High$ レベル、すなわちしきい値 H_{th} 以上に保持される。

[0068] したがって、バースト信号が入力された際には、所定の応答時間内に光信号 P_{in} の検出を示す光信号検出信号 SD を出力することができ、バースト信号内に同符号連続区間が含まれている場合でも、誤って信号断を示す光信号検出信号 SD を出力することなく、光信号 P_{in} の検出を示す光信号検出信号 SD を保持出力することができる。

[0069] 図5は、第1の実施の形態にかかる光信号検出回路の動作を示す信号波形図である。

ここでは、光信号検出回路10を含む光受信器100が適用されるシステムとして、 $10G-EPON$ を想定しており、バースト信号として入力される電気信号 T_{out} は、ビットレートが $10Gbps$ で、 $PN7$ 段の信号から構成されている。このバースト信号は、約 10 mV の振幅（差動で約 20 mV の振幅）を持っている。この 10 mV という振幅は、一般的なトランスインピーダンスアンプ TIA における最小受信感度（ -30 dBm 程度）の

ときの出力振幅に相当する。ここでは、信号断区間において、バースト信号へのノイズ混入を想定し、約2 mVの振幅があるものとした。

[0070] このバースト信号には、例えば130 bit、すなわち約13 nsecの連続同符号区間が含まれるものとし、バースト信号の先頭検出に対する応答時間は100 ns以下としている。これにより、アナログ保持回路13の保持コンデンサC_hの容量値を1 pFとし、放電抵抗R_hの抵抗値を25 kΩとした。なお、電源電位V_{cc}は3.3 Vであり、接地電位GNDは0 Vである。

次段増幅信号N_{out}の正相信号N_{out+}と逆相信号N_{out-}には、約0.2 V程度の直流オフセットが加えられている。また、図3に示すように、出力バッファ14に代えてシュミットトリガインバータ14Aが用いられている。

[0071] 図5に示されているように、同符号連続期間は、コンパレータ12からの比較出力信号C_{out}が停止するが、アナログ保持回路13のドループ（放電）時間により、保持出力信号H_{out}は、シュミットトリガインバータ14Aの論理を反転させるまでには至らない。したがって、光信号検出信号SDは、Lowレベルを維持し、信号検出状態を表示し続けている。

この後、バーストOFF状態になると、アナログ保持回路13の保持出力信号H_{out}は低下を開始し、開始から約55 ns後に光信号検出信号SDがHighレベルとなり、信号断が表示されている。

[0072] シュミットトリガインバータ14Aを用いた場合、光信号検出信号SDがLowレベルからHighレベルに変化するのは、保持出力信号H_{out}が約0.76 Vになった時点であるが、逆に、Highレベルから再びLowレベルに変化するのは保持出力信号H_{out}が約1.76 Vとなったときである。

このように、光信号検出信号SDの判定論理に1 Vものヒステリシスを付与することで、連続同符号やノイズ入力に対して誤動作を防止することができる。

[0073] 従来技術によれば、光信号断 (LOS : Loss of Signal) の検出に数百 ns ~ 数 ms の応答時間が必要であった。これに対し、本実施の形態にかかる光信号検出回路 10 によれば、10 Gbps という高速信号にもかかわらず、約 55 ns で光信号検出信号 SD が光信号断を表示している。また、信号検出はさらに速く、約 18 ns で検出表示している。

この応答の俊敏さは、光信号検出回路 10 をアラームではなくセンサとして用いるために重要な特性となる。例えば 10 G-EPON の物理層におけるプリアンプル長の国際標準規格は 1200 ns である。これに比べて 18 ns の応答時間は充分短いため、スリープ状態から自律的に信号受信を検出し、回路を起動するトリガの発出などに用いることができる。

[0074] [第 1 の実施の形態の効果]

このように、本実施の形態は、光信号検出回路 10 において、結合コンデンサ C を介して入力された電気信号 T_{out} の正相信号 T_{out}⁺ と逆相信号 T_{out}⁻ とを差動増幅して差動出力信号 A_{out} を出力する増幅回路 11 に電流加算回路 11E を設けて、差動出力信号 A_{out} の正相信号 A_{out}⁺ および逆相信号 A_{out}⁻ をそれぞれ生成する第 1 および第 2 の負荷抵抗 R₉, R₁₀ を流れる直流負荷電流を、外部の調整電圧源 V_{adj} からの調整電圧値に応じて調整することにより、これら正相信号 A_{out}⁺ の直流バイアスと逆相信号 A_{out}⁻ の直流バイアスとの差を調整するようにしたものである。

[0075] より具体的には、電流加算回路 11E に、コレクタ端子が差動出力信号 A_{out} のうち正相信号 A_{out}⁺ の増幅に用いる第 1 の負荷抵抗 R₉ の一端に接続され、ベース端子に設定電圧源 V_{set} からの設定電圧値が入力される第 1 のトランジスタ Q₇ と、この第 1 のトランジスタと差動対をなし、コレクタ端子が差動出力信号 A_{out} のうち逆相信号 A_{out}⁻ の増幅に用いる第 2 の負荷抵抗 R₁₀ の一端に接続され、ベース端子に調整電圧源 V_{adj} からの調整電圧値が入力される第 2 のトランジスタ Q₈ と、これら第 1 および第 2 のトランジスタ Q₇, Q₈ のエミッタ端子の接続点に接続された定

電流源 I 5 とを設けたものである。

[0076] これにより、差動出力信号 A o u t の正相信号 A o u t + の直流バイアスと逆相信号 A o u t - の直流バイアスとは、調整電圧源 V a d j の調整電圧値に対してリニアに変化する。また、この調整電圧値を変化させた場合、正相信号 A o u t + と逆相信号 A o u t - との直流バイアスが調整されるものの、これら信号の振幅は変化しない。このため、温度や電源電位 V c c に応じて外部から自動調整する場合、正相信号 A o u t + と逆相信号 A o u t - との直流バイアスを正確に調整することができる。これにより、高い精度で光信号 P i n を検出することができる。

[0077] また、本実施の形態では、光信号検出回路 1 0 において、増幅回路 1 1 で、結合コンデンサを介して入力された差動のトランスインピーダンスアンプ T I A からの電気信号 T o u t のうち、ある一定の値以上の振幅を持つ有意パルスを差動出力信号 A o u t として出力し、コンパレータ 1 2 で差動出力信号 A o u t の正相信号 A o u t + と逆相信号 A o u t - の電圧値を比較し、その比較結果を比較出力信号 C o u t として出力し、アナログ保持回路 1 3 で、比較出力信号 C o u t に含まれる各パルスを保持コンデンサで充電するとともに、充電により得られた直流電圧を放電抵抗で放電することにより、光信号の入力有無に応じて変化する保持出力信号 H o u t を生成するようにしたので、リセット信号などの外部からの制御信号を必要とすることなく自律的に動作して、光信号の入力有無を的確に検出することができる。

[0078] したがって、光信号検出回路 1 0 の外部から、リセット信号などの制御信号の入力を必要としないため、このような制御信号を出力する機能を持たない光受信器にも容易に適用でき、高い汎用性が得られる。また、光受信器から、このような制御信号を出力する回路部を削除することができ、低コスト化を実現できる。

[0079] また、本実施の形態では、アナログ保持回路 1 3 でバースト信号に含まれるパルスを充電することにより、光信号の入力有無を検出しているため、光信号 P i n の信号断時にノイズ入力があった場合でも、これによる誤動作を

回避でき、安定した光信号検出動作を実現できる。

[0080] また、本実施の形態では、比較出力信号 C_{out} に含まれる各パルスを整流するダイオード D_h と、整流されたこれらパルスを充電する保持コンデンサ C_h と、充電により得られた直流電圧を放電する放電抵抗 R_h とからアナログ保持回路 13 を構成しているため、極めて小さい回路規模で、光信号の入力有無に応じて変化する保持出力信号を生成することができる。この際、 C_h と R_h の時定数については、対象となる F T T H システムに応じて、バースト信号の先頭を検出するための応答速度と、バースト信号内に含まれる同符号連続区間を信号断と誤判定しない同符号連続耐性との兼ね合いで決定することができ、高速応答性を確保しつつ、十分なノイズ耐性を得ることができる。

[0081] また、本実施の形態では、増幅回路 11 に、カスケード接続された 2 つの差動増幅回路を設け、これら差動増幅回路のうち前段に位置する初段増幅回路 11 B で、逆相信号 F_{out-} および正相信号 F_{out+} のそれぞれに対応した 2 つの負荷抵抗 R_5 、 R_6 であって、かつ基準値に応じた互いに異なる抵抗値を有する負荷抵抗 R_5 、 R_6 を用いて、これら逆相信号および正相信号を差動増幅することにより、当該逆相信号の直流バイアスと当該正相信号の直流バイアスとの間に基準値に応じたオフセット電圧を印加して出力し、初段増幅回路 11 B より後側に位置する次段増幅回路 11 D で、逆相信号 F_{out-} と正相信号 F_{out+} とを差動増幅して差動出力信号として出力するようにしたので、光信号 P_{in} の信号断時にノイズ入力があった場合でも、基準値に満たない振幅のパルスについては除去することができる。

なお、本発明においては、初段増幅回路 11 B の 2 つの負荷抵抗 R_5 、 R_6 を同じ抵抗値としてもよい。この場合であっても、電流加算回路 11 E による直流負荷電流の調整によって感度を調整することができる。

[0082] また、本実施の形態において、出力バッファ 14 の代わりにラッチ回路を接続しても良い。これにより、ラッチ回路をコンパレータ出力に直接接続する構成と比較して、ラッチ回路においてノイズの影響を受けにくくする効果

が期待できる。ただし、保持出力信号 H_{out} が Low レベルになってもラッチ出力は変化しないため、別途リセット信号が必要である。ラッチ回路を用いると別途リセット信号が必要となるが、判定結果が定まらない「チャタリング動作」は回避することができる。

[0083] [第2の実施の形態]

次に、図6を参照して、本発明の第2の実施の形態にかかる光信号検出回路10について説明する。図6は、第2の実施の形態にかかる光信号検出回路で用いられる増幅回路の構成例を示す回路図である。

[0084] 第1の実施の形態では、増幅回路11の初段バイアス回路11Aにおいて、抵抗素子 $R_1 \sim R_4$ を用いた抵抗分圧回路で生成した直流バイアスを、電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} のそれぞれに与える場合について説明した。

本実施の形態では、増幅回路11に次段バイアス回路11Gを設け、初段エミッタフォロワ回路11Cと次段増幅回路11Dとを直流的に遮断する場合について説明する。

なお、増幅回路11以外の回路については、第1の実施の形態と同一なので、これらの回路については同一の符号を用いて、その詳細な説明は省略する。

[0085] 図6に示すように、本実施の形態にかかる光信号検出回路で用いられる増幅回路11は、電気信号 T_{out} の正相信号 T_{out+} と逆相信号 T_{out-} とに直流バイアスを与える初段バイアス回路11Aと、バイアスされた正相信号 T_{out+} と逆相信号 T_{out-} とを差動増幅して初段出力信号 F_{out} を出力する初段増幅回路11Bと、初段増幅回路11Bの出力インピーダンスよりも低い出力インピーダンスを有するとともに、初段増幅回路からの初段出力信号 F_{out} を出力する初段エミッタフォロワ回路11Cと、初段エミッタフォロワ回路11Cと結合コンデンサ C_{11} 、 C_{12} によってAC結合され、結合コンデンサ C_{11} 、 C_{12} を介して入力される初段出力信号 F_{out} の逆相信号 F_{out-} および正相信号 F_{out+} のそれぞれに直

流バイアスを与えて出力する次段バイアス回路 11G と、次段バイアス回路 11G によって直流バイアスされた初段出力信号 F_{out} の正相信号 F_{out+} と逆相信号 F_{out-} とを差動増幅して差動出力信号 A_{out} を出力する次段増幅回路 11E と、次段増幅回路 11E の負荷抵抗 R_9 , R_{10} を流れる直流負荷電流を、外部の調整電圧源 V_{adj} からの調整電圧値に応じて調整して、差動出力信号 A_{out} の正相信号 A_{out+} の直流バイアスと逆相信号 A_{out-} の直流バイアスとの差、すなわちオフセット電圧を調整する電流加算回路 11E を含む。

[0086] 本実施の形態において、初段バイアス回路 11A は、電源電位 V_{cc} にプルアップされた抵抗素子 R_{11} と接地電位 GND にプルダウンされた抵抗素子 R_{12} と、これら R_{11} , R_{12} からなる抵抗分圧回路の midpoint とトランジスタ Q_1 のベース端子との間に接続された抵抗素子 R_{13} と、同じく midpoint とトランジスタ Q_2 のベース端子との間に接続された抵抗素子 R_{14} とから構成されている。初段バイアス回路 11A によって、結合コンデンサ C を介して入力された、トランスインピーダンスアンプ TIA からの電気信号 T_{out+} , T_{out-} に対して、 R_{11} , R_{12} の抵抗比に応じた直流バイアスがそれぞれ与えられる。

[0087] また、次段バイアス回路 11G は、電源電位 V_{cc} にプルアップされた抵抗素子 R_{15} と接地電位 GND にプルダウンされた抵抗素子 R_{16} と、これら R_{15} , R_{16} からなる抵抗分圧回路の midpoint とトランジスタ Q_5 のベース端子との間に接続された抵抗素子 R_{17} と、同じく midpoint とトランジスタ Q_6 のベース端子との間に接続された抵抗素子 R_{18} と、トランジスタ Q_4 のエミッタ端子とトランジスタ Q_5 のベース端子との間に接続された結合コンデンサ C_{11} と、トランジスタ Q_3 のエミッタ端子とトランジスタ Q_6 のベース端子との間に接続された結合コンデンサ C_{12} とから構成されている。この次段バイアス回路 11G によって、結合コンデンサ C_{11} , C_{12} を介して入力された、初段エミッタフォロウ回路からの初段出力信号 F_{out} の逆相信号 F_{out-} および正相信号 F_{out+} に対して、分圧抵抗 R_{15} , R

16の抵抗比に応じた直流バイアスがそれぞれ与えられる。

[0088] 光信号検出回路10の増幅回路11は微弱な信号を増幅するため、電気信号 T_{out} の正相信号 T_{out+} の直流バイアスと逆相信号 T_{out-} の直流バイアスとの差、すなわちオフセット電圧の大小が検出精度に強く影響する。したがって、抵抗分圧回路を構成する抵抗素子の抵抗値にバラツキがあると、電気信号 T_{out} の正相信号 T_{out+} の直流バイアスと逆相信号 T_{out-} の直流バイアスとのバランスが崩れることがある。

[0089] 本実施の形態では、図6に示すように、初段バイアス回路11Aでは、1組の R_{11} 、 R_{12} からなる抵抗分圧回路によって発生させた直流バイアス電圧を、 R_{13} 、 R_{14} を介して電気信号 T_{out+} 、 T_{out-} のそれぞれに与えている。これにより、抵抗素子のバラツキによる電気信号 T_{out} の正相信号 T_{out+} の直流バイアスと逆相信号 T_{out-} の直流バイアスとのバランス崩れを抑制することができる。なお、この回路構成では、電気信号 T_{out} の正相信号 T_{out+} および逆相信号 T_{out-} が R_{13} 、 R_{14} を介して短絡されるため、 R_{13} 、 R_{14} の抵抗値は、充分大きな抵抗値、例えば $10\text{ k}\Omega$ 以上の抵抗値とすることが望ましい。

[0090] また、本実施の形態では、次段バイアス回路11Gで、初段エミッタフォロワ回路11Cと次段増幅回路11DとをAC結合し、初段バイアス回路11Aと同様に、1組の R_{15} 、 R_{16} からなる1つの抵抗分圧回路によって発生させた直流バイアス電圧を、 R_{17} 、 R_{18} を介して、初段出力信号 F_{out} の逆相信号 F_{out-} 、正相信号 F_{out+} のそれぞれに与えている。

[0091] これにより、初段増幅回路11Bにおいて生じた初段出力信号 F_{out} の正相信号 F_{out+} の直流バイアスと逆相信号 F_{out-} の直流バイアスとのバランス崩れを抑制することができる。なお、この回路構成では、初段出力信号 F_{out} の逆相信号 F_{out-} 、正相信号 F_{out+} がそれぞれ R_{17} 、 R_{18} を介して短絡されるため、 R_{17} 、 R_{18} の抵抗値は、充分大きな抵抗値、例えば $10\text{ k}\Omega$ 以上の抵抗値とすることが望ましい。

[0092] [第2の実施の形態の効果]

このように、本実施の形態は、初段エミッタフォロフ回路11Cと次段増幅回路11Dとの間に次段バイアス回路11Gを設け、初段エミッタフォロフ回路11Cからの初段出力信号 F_{out} の逆相信号 F_{out-} および正相信号 F_{out+} をそれぞれ結合コンデンサC11およびC12を介して次段増幅回路11Dへ入力するものである。

これにより、初段増幅回路11Bを構成する素子にバラツキがあっても、次段増幅回路11Dに入力される初段出力信号 F_{out} の正相信号 F_{out+} と逆相信号のDC成分が除去されるので、素子のバラツキにより生じた初段出力信号 F_{out} の正相信号 F_{out+} の直流バイアスと逆相信号 F_{out-} の直流バイアスとのバランス崩れを抑制することができる。

さらに、初段バイアス回路11Aおよび次段バイアス回路11Gにおいて、それぞれ1つの抵抗分割回路（ブリーダ抵抗）を用い、この抵抗分割回路で分圧した電圧を高抵抗を介して入力信号の正相信号および逆相信号にそれぞれ与えている。

これにより、バイアス回路においてオフセットの発生を抑えることができるので、初段増幅回路11Aの利得を大きくしても、安定しかつ精度の高い感度調整が可能となる。

[0093] [第3の実施の形態]

次に、図7を参照して、本発明の第3の実施の形態にかかる光信号検出回路10について説明する。

[0094] 第1および第2の実施の形態では、光信号検出回路10において、コンパレータ12から出力されるパルス状の比較出力信号 C_{out} を、アナログ保持回路13で保持し、その保持出力信号 H_{out} に基づき出力バッファ14で光信号検出信号SDを生成する場合を例として説明した。本実施の形態では、比較出力信号に基づいて光信号Pinの入力有無を示す光信号検出信号SDを出力する保持回路として、アナログ保持回路13および出力バッファ14に代えて、ラッチ回路13Aを用いる例について説明する。

なお、ラッチ回路 13 A によって保持回路を構成することを除き、光信号検出回路 10 A および光受信器 100 A を構成する他の回路は、第 1 の実施の形態と同一なので、これらの回路については同一の符号を用い、その詳細な説明は省略する。

[0095] 本実施の形態において、光信号検出回路 10 A には、コンパレータ 12 の後段に、ラッチ回路 13 A が設けられている。ラッチ回路 13 A は、例えば S R ラッチからなり、コンパレータ 12 から出力されるパルス状の比較出力信号 C_{out} を保持して光信号検出信号 S_D として出力する。この光信号検出信号 S_D は、外部から入力されたリセット信号 R_{SET} により解除される。

コンパレータ 12 で得られたパルス状の比較出力信号 C_{out} に含まれるパルス信号を保持したラッチ回路 13 A は、リセット信号 R_{SET} が入力されるまで比較出力信号 C_{out} として H_{igh} レベルが出力され続ける。したがって、ラッチ回路 13 A は、例えば光信号 P_{in} の受信開始直後から、比較出力信号 C_{out} として H_{igh} レベルを出力し続ける。

[0096] 本実施の形態にかかる光信号検出回路 10 A を構成する増幅回路 11 およびコンパレータ 12 の構成については、第 1 の実施の形態と同様である。

したがって、第 1 の実施の形態と同様に、光信号検出回路 10 A の増幅回路 11 に電流加算回路 11 E が設けられて、差動出力信号 A_{out} の正相信号 A_{out+} および逆相信号 A_{out-} を差動増幅する際に用いるそれぞれの直流負荷電流が、外部の調整電圧源 V_{adj} からの調整電圧値に応じて調整されて、これら正相信号 A_{out+} の直流バイアスおよび逆相信号 A_{out-} の直流バイアスが調整される。

[0097] このため、比較出力信号 C_{out} をアナログ保持回路 13 で保持する回路構成と同様に、比較出力信号 C_{out} をラッチ回路 13 A でラッチする回路構成であっても、温度や電源電位 V_{cc} に応じて外部から自動調整する場合、正相信号 A_{out+} と逆相信号 A_{out-} との直流バイアスを正確に調整することができる。これにより、高い精度で光信号 P_{in} を検出することが

できる。

[0098] [第4の実施の形態]

次に、図8を参照して、本発明の第4の実施の形態にかかる光信号検出回路について説明する。

光信号検出回路は、第1の実施の形態と同様に、増幅回路11とコンパレータ12を含む。図8に示すように、増幅回路11は、初段バイアス回路11A、初段増幅回路11B、初段エミッタフォロフ回路11C、次段増幅回路11D、電流加算回路11H、次段エミッタフォロフ回路11Fを含む。

ここで、第1の実施の形態においては、光信号検出回路10Bの増幅回路11に設けられる電流加算回路11Eは、差動対をなす2つのトランジスタQ7、Q8を含み、これらのトランジスタQ7、Q8のコレクタ端子が次段増幅回路11Dの差動トランジスタQ5、Q6のコレクタ端子に接続されていた。これに対し、本実施の形態にかかる光信号検出回路で用いられる増幅回路11の電流加算回路11Hは、次段増幅回路11Dの差動トランジスタQ5、Q6のいずれか一方のコレクタ端子に接続され、外部の調整電圧源V_{adj}からの調整電圧値に応じて電流値が制御される電流源I9を含む。

なお、電流加算回路11H以外の回路は、第1の実施の形態と同一なので、同一の符号を用い、その詳細な説明は省略する。

[0099] 本実施の形態において、電流加算回路11Hを構成する電流源I9は、次段増幅回路11DのトランジスタQ6のコレクタ端子に接続されている。この電流源I9によって、次段増幅回路11Dの負荷抵抗R9、R10のうち、一方のR10を流れる直流負荷電流にのみ、一定の電流が加算される。したがって、次段増幅回路の差動出力信号A_{out}の正相信号A_{out}⁺および逆相信号A_{out}⁻のうち、負荷抵抗R10によって生成される逆相信号A_{out}⁻の直流バイアスが低下する。

負荷抵抗R10を流れる直流負荷電流に加算される電流の大きさは、外部の調整電圧源V_{adj}からの調整電圧値に応じて調整できるので、逆相信号A_{out}⁻の直流バイアスを調整して、正相信号A_{out}⁺と逆相信号A_{out}⁻

u t − との差、すなわちオフセット電圧を変化させることができる。

[0100] [実施の形態の拡張]

以上、実施形態を参照して本発明を説明したが、本発明は上記実施形態に限定されるものではない。本発明の構成や詳細には、本発明のスコープ内で当業者が理解しうる様々な変更をすることができる。また、これら実施の形態は、任意に組み合わせて実施してもよい。

符号の説明

[0101] 100…光受信器、PD…フォトダイオード、TIA…トランスインピーダンスアンプ、LA…リミッティングアンプ、EF…エミッタフォロア回路、MA…主増幅回路群、10…光信号検出回路、11…増幅回路、11A…初段バイアス回路、11B…初段増幅回路、11C…初段エミッタフォロワ回路、11D…次段増幅回路、11E、11H…電流加算回路、11F…次段エミッタフォロワ回路、11G…次段バイアス回路、12…コンパレータ、13…アナログ保持回路、13A…ラッチ回路、14…出力バッファ、C、C11、C12…結合コンデンサ、Dh…ダイオード、Ch…保持コンデンサ、Rh…放電抵抗、Rs…可変抵抗、Q1～Q10…トランジスタ、R1～R18…抵抗素子、I1～I9…定電流源、Pin…光信号、Lin…光電流信号、Tout…電気信号、Tout+…正相信号、Tout−…逆相信号、Fout…初段出力信号、Fout+…正相信号、Fout−…逆相信号、Nout…次段増幅信号、Nout+…正相信号、Nout−…逆相信号、Aout…差動出力信号、Aout+…正相信号、Aout−…逆相信号、Cout…比較出力信号、Hout…保持出力信号、SD…光信号検出信号、Rout…受信出力、電源電位Vcc…電源電位Vcc、接地電位GND…接地電位、Vset…設定電圧源、Vadj…調整電圧源。

請求の範囲

- [請求項1] 光信号のパルス列に対応するパルスを含む電気信号の正相信号と逆相信号とを差動増幅して差動出力信号を出力する増幅回路と、
前記差動出力信号の正相信号の電圧値と逆相信号の電圧値とを比較して、その比較結果に応じたパルス状の比較出力信号を出力するコンパレータと、
前記パルス状の比較出力信号に基づいて前記光信号の入力有無を示す光信号検出信号を出力する保持回路と
を備え、
前記増幅回路は、
一端がそれぞれ電源電位に接続されて、前記差動出力信号の前記正相信号および前記逆相信号をそれぞれ生成する第1および第2の負荷抵抗と、
前記第1および第2の負荷抵抗の少なくとも一方を流れる直流負荷電流を、外部の調整電圧源からの調整電圧値に応じて調整して、前記差動出力信号の前記正相信号の直流バイアスと前記逆相信号の直流バイアスとの差を調整する電流加算回路とを含む
ことを特徴とする光信号検出回路。
- [請求項2] 請求項1に記載の光信号検出回路において、
前記電流加算回路は、
前記第1および第2の負荷抵抗のいずれか一方の他端に接続され、
前記調整電圧値に応じて電流値が制御される電流源を含む
ことを特徴とする光信号検出回路。
- [請求項3] 請求項1に記載の光信号検出回路において、
前記電流加算回路は、
前記第1および第2の負荷抵抗のいずれか一方の他端に接続された第1の入出力端子と、前記調整電圧値が入力される制御端子とを有する第1のトランジスタと、

前記第 1 および第 2 の負荷抵抗のいずれか他方の他端に接続された第 1 の入出力端子と、所定の電圧値が入力される制御端子と、前記第 1 のトランジスタの第 2 の入出力端子と接続された第 2 の入出力端子とを備え、前記第 1 のトランジスタと差動対をなす第 2 のトランジスタと、

前記第 1 のトランジスタの第 2 の入出力端子と前記第 2 のトランジスタの第 2 の入出力端子との接続点に接続された定電流源とを含むことを特徴とする光信号検出回路。

[請求項 4] 請求項 1 に記載の光信号検出回路において、
前記保持回路は、

前記パルス状の比較出力信号によって充電される保持コンデンサと、前記保持コンデンサと並列に接続された放電抵抗とを含み、前記保持コンデンサに保持された電荷を前記放電抵抗で放電することにより、前記光信号の入力有無に応じて変化する保持出力信号を出力するアナログ保持回路と、

前記保持出力信号をデジタル論理信号へ整形して前記光信号検出信号を出力する出力バッファとを含むことを特徴とする光信号検出回路。

[請求項 5] 請求項 4 に記載の光信号検出回路において、
前記出力バッファは、

前記アナログ保持回路で得られた前記保持出力信号を、ヒステリシス特性に基づいて整形出力するシュミットトリガインバータであることを特徴とする光信号検出回路。

[請求項 6] 請求項 1 に記載の光信号検出回路において、

前記保持回路は、前記パルス状の比較出力信号をラッチして前記光信号検出信号を出力するラッチ回路であることを特徴とする光信号検出回路。

[請求項 7] 請求項 1 に記載の光信号検出回路において、

前記増幅回路は、

前記電気信号の正相信号と逆相信号とを差動増幅して初段出力信号を出力する初段増幅回路と、

前記初段増幅回路の出力インピーダンスよりも低い出力インピーダンスを有するとともに、前記初段増幅回路からの前記初段出力信号を出力するインピーダンス調整回路と、

前記インピーダンス調整回路と結合コンデンサによってAC結合され、前記結合コンデンサを介して入力される前記初段出力信号の正相信号および逆相信号のそれぞれに直流バイアスを与えて出力する次段バイアス回路と、

前記次段バイアス回路によって直流バイアスされた前記初段出力信号の正相信号と逆相信号とを差動増幅して前記差動出力信号を出力する次段増幅回路と

をさらに含み、

前記次段増幅回路は、

前記差動出力信号の前記正相信号および前記逆相信号をそれぞれ生成する前記第1および第2の負荷抵抗を含む

ことを特徴とする光信号検出回路。

[請求項8]

パルス列からなる光信号を光電変換して光電流信号を出力する光電変換素子と、

前記光電流信号を増幅して、前記パルス列に対応するパルスを含む電気信号を出力するトランスインピーダンスアンプと、

前記電気信号を増幅して、一定振幅のパルスを含む受信出力を出力するリミッティングアンプと、

前記電気信号に基づいて前記光信号の入力有無を検出する光信号検出回路と

を備え、

前記光信号検出回路は、

前記電気信号の正相信号と逆相信号とを差動増幅して差動出力信号を出力する増幅回路と、

前記差動出力信号の正相信号の電圧値と逆相信号の電圧値とを比較して、その比較結果に応じたパルス状の比較出力信号を出力するコンパレータと、

前記パルス状の比較出力信号に基づいて前記光信号の入力有無を示す光信号検出信号を出力する保持回路と

を備え、

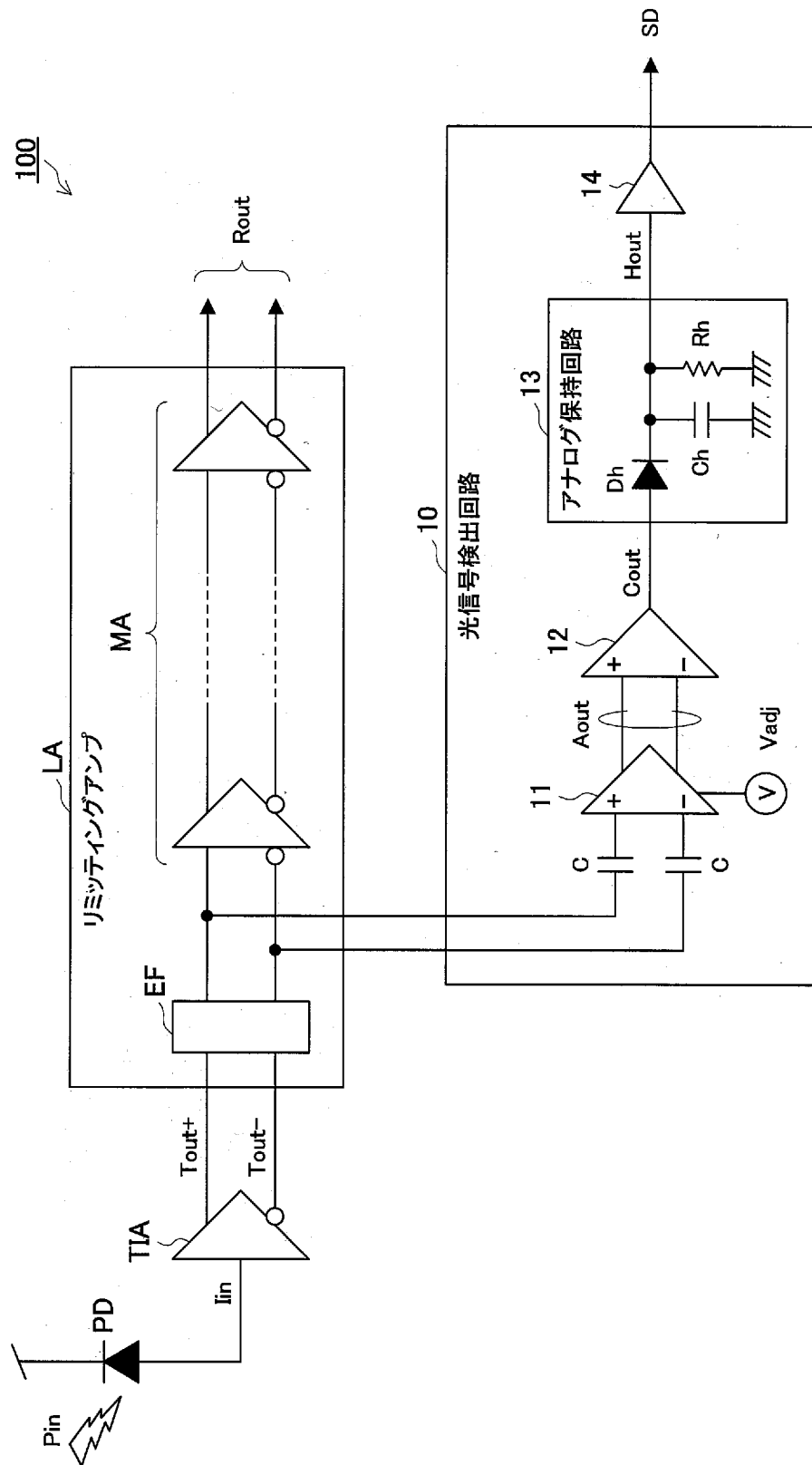
前記増幅回路は、

一端がそれぞれ電源電位に接続されて、前記差動出力信号の前記正相信号および前記逆相信号をそれぞれ生成する第1および第2の負荷抵抗と、

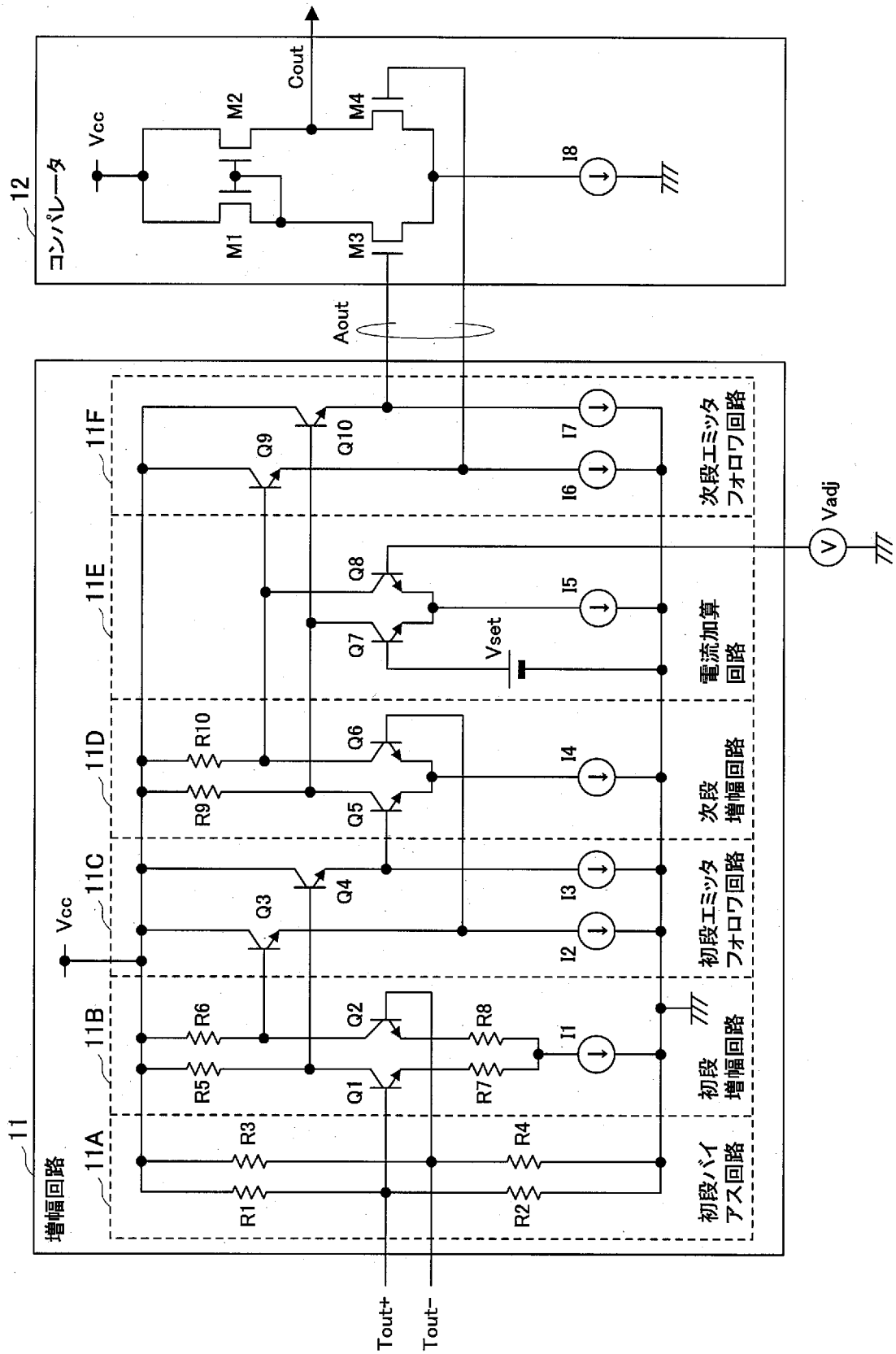
前記第1および第2の負荷抵抗の少なくとも一方を流れる直流負荷電流を、外部の調整電圧源からの調整電圧値に応じて調整して、前記差動出力信号の前記正相信号の直流バイアスと前記逆相信号の直流バイアスとの差を調整する電流加算回路とを含む

ことを特徴とする光受信器。

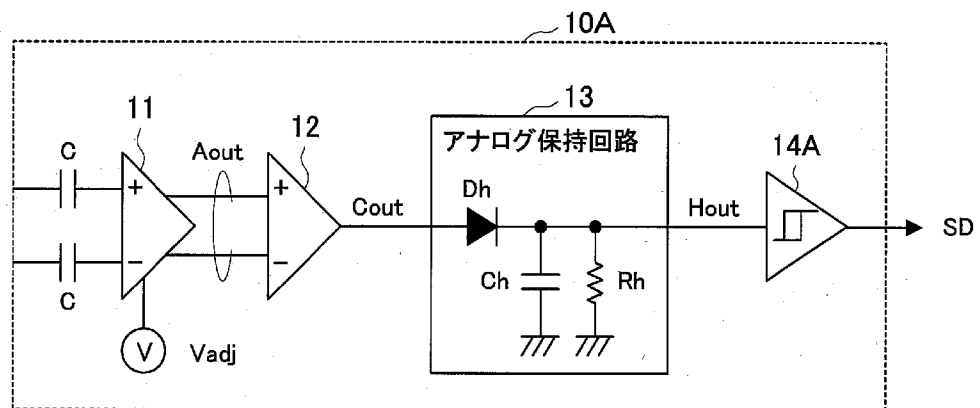
[図1]



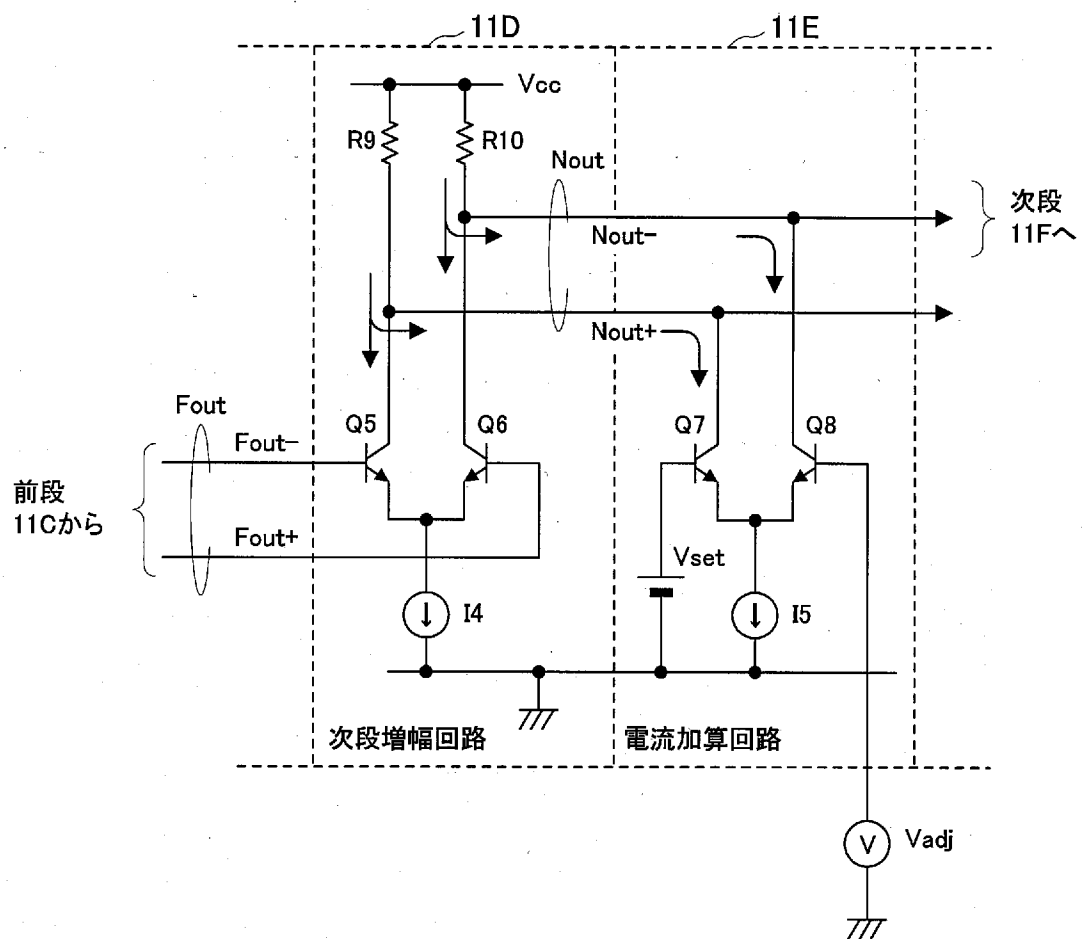
[図2]



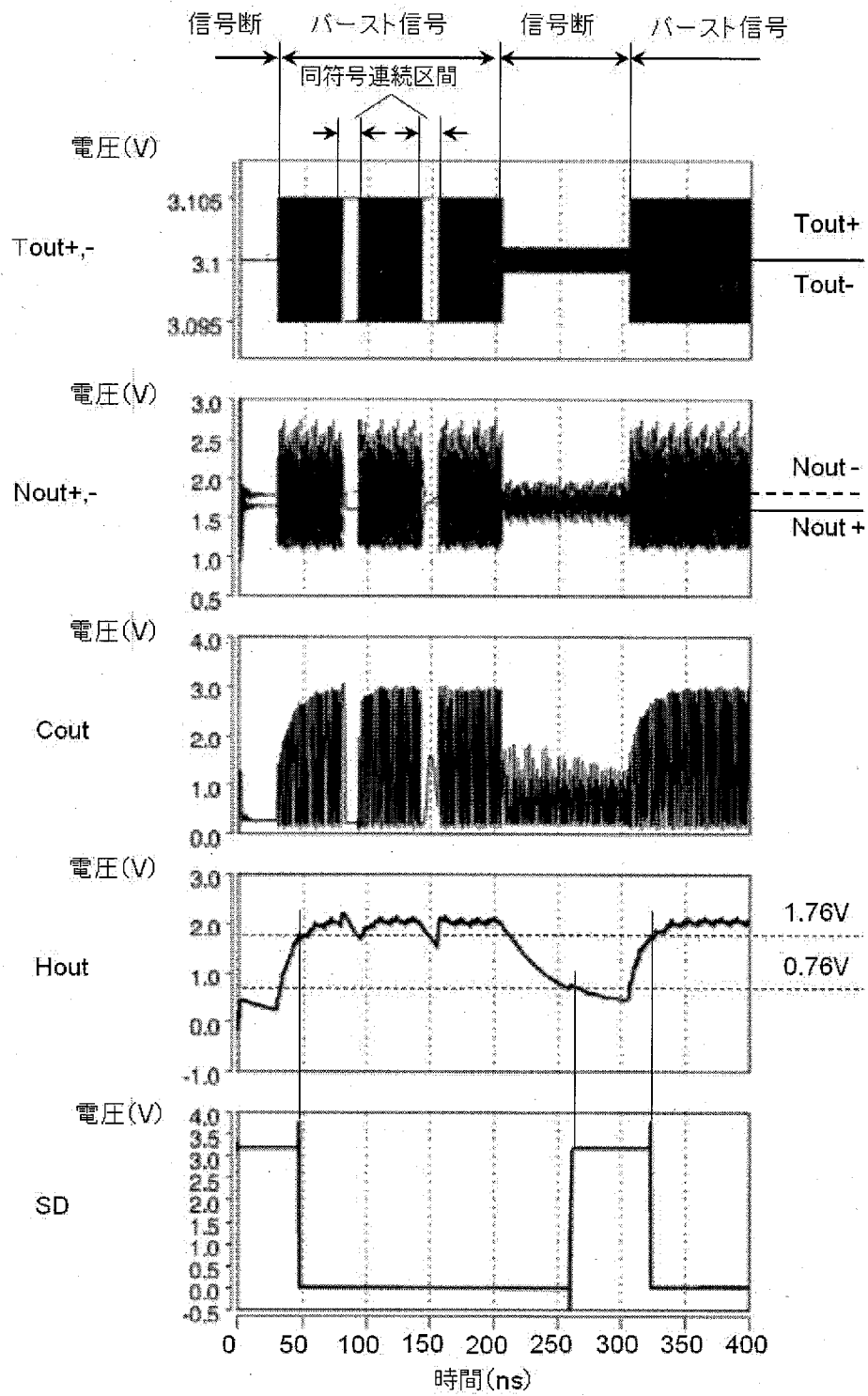
[図3]



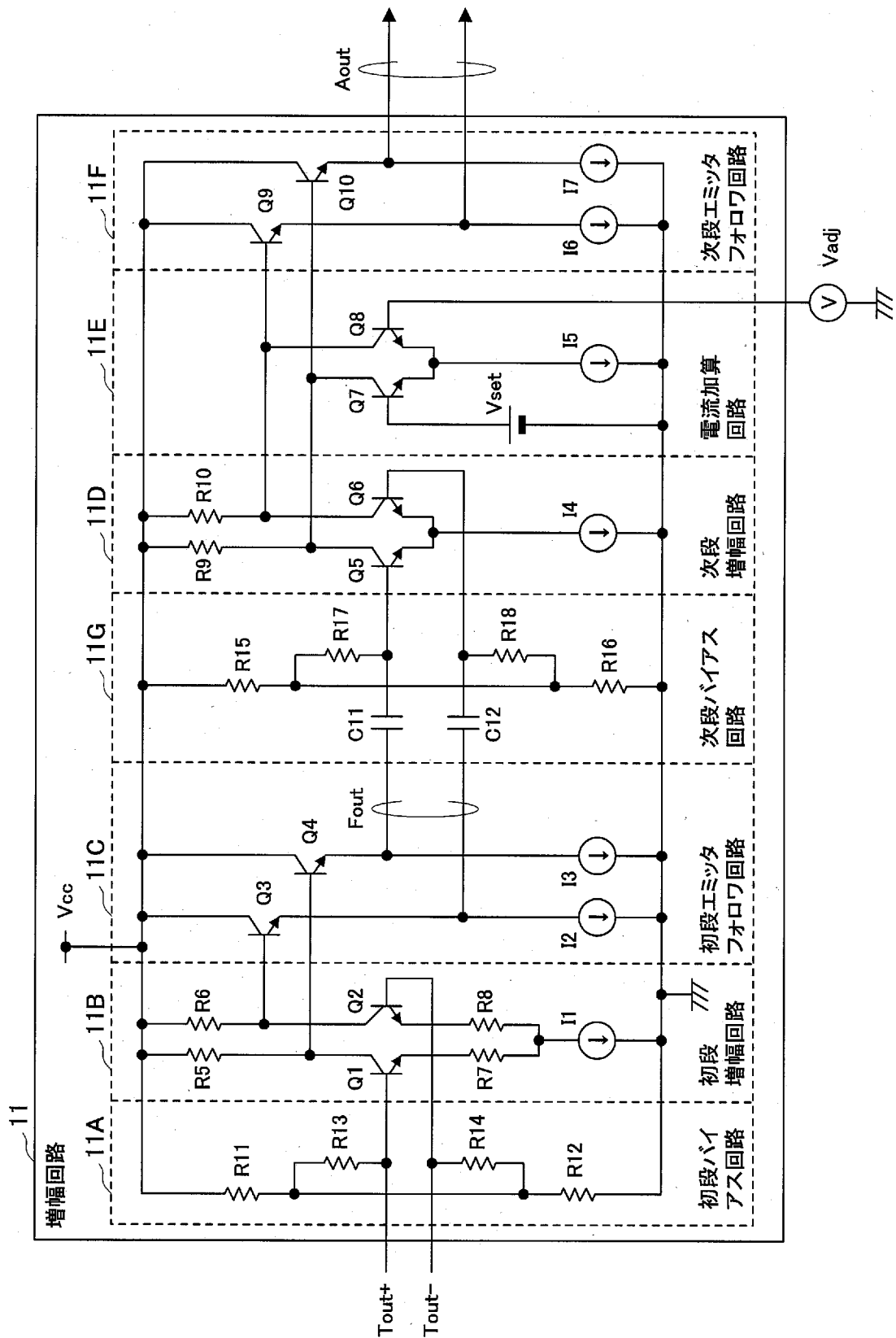
[図4]



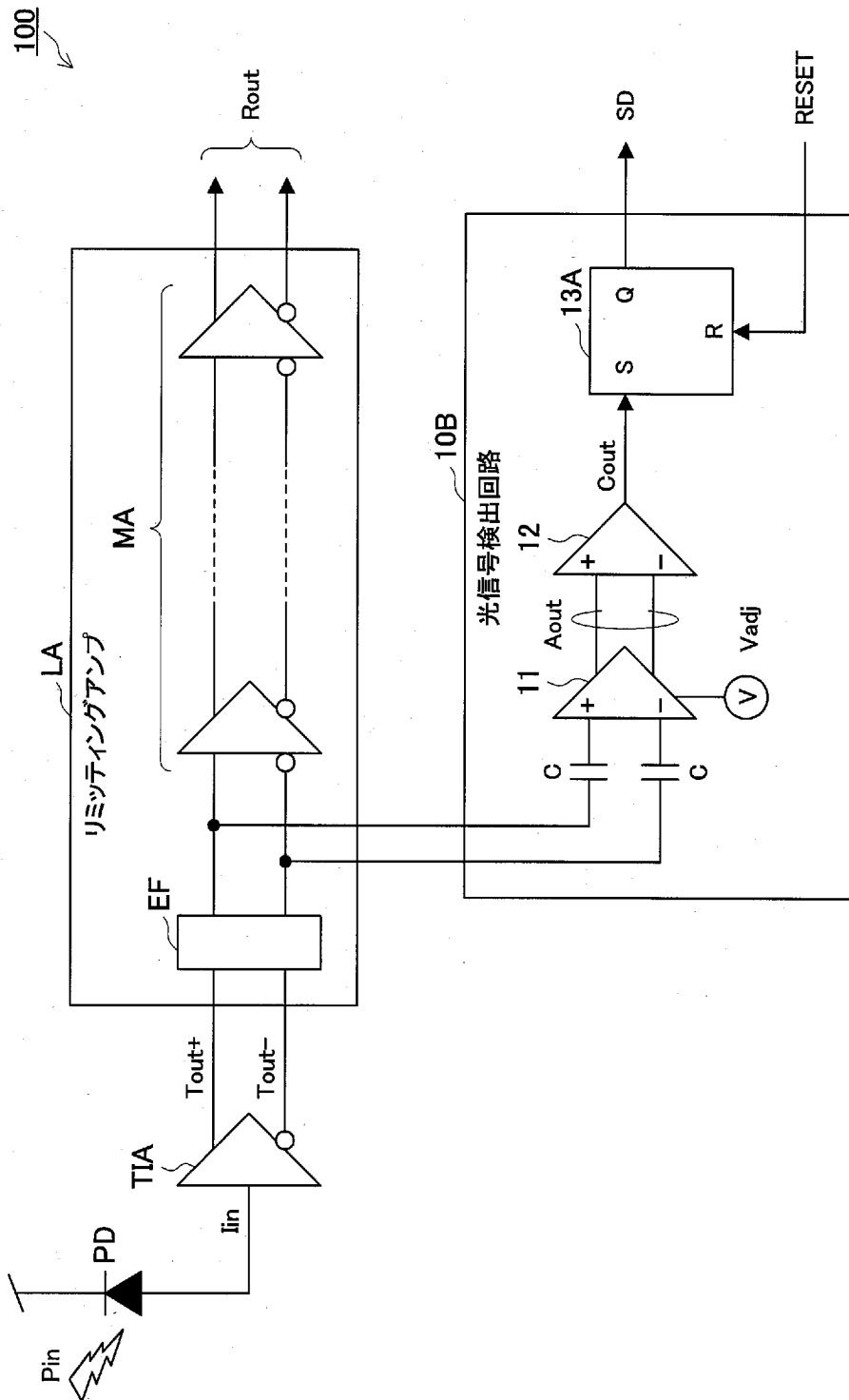
[図5]



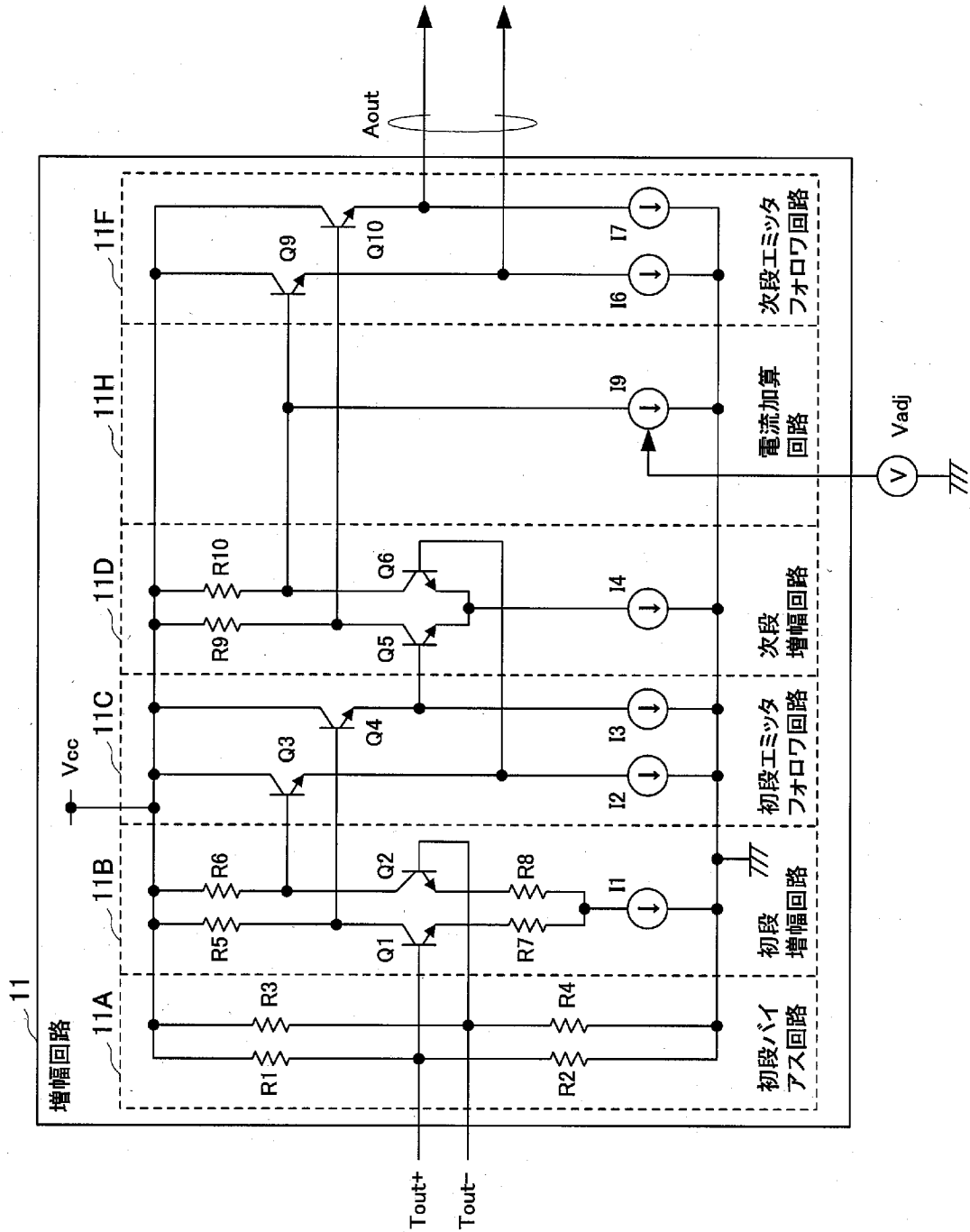
[図6]



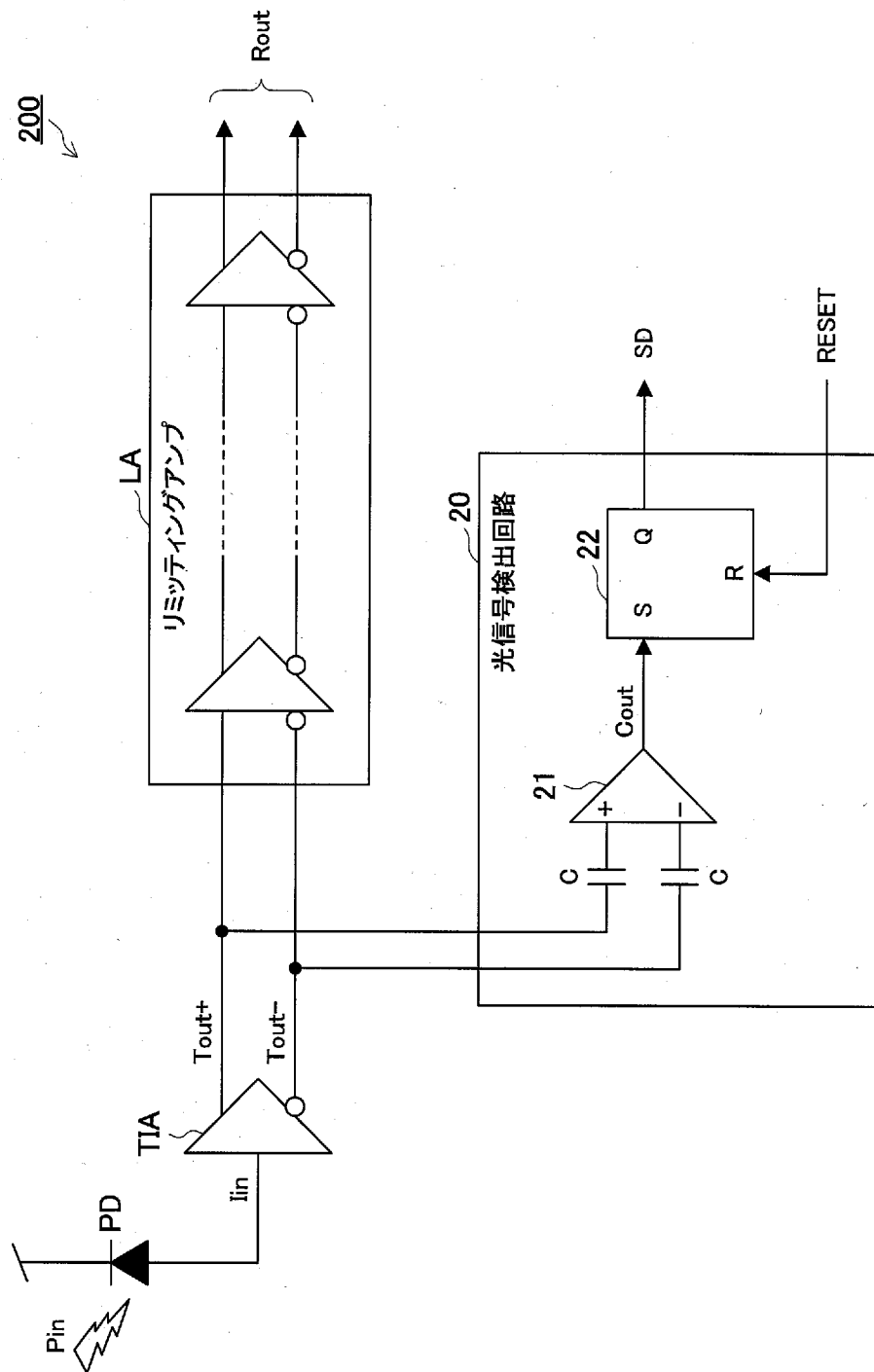
[図7]



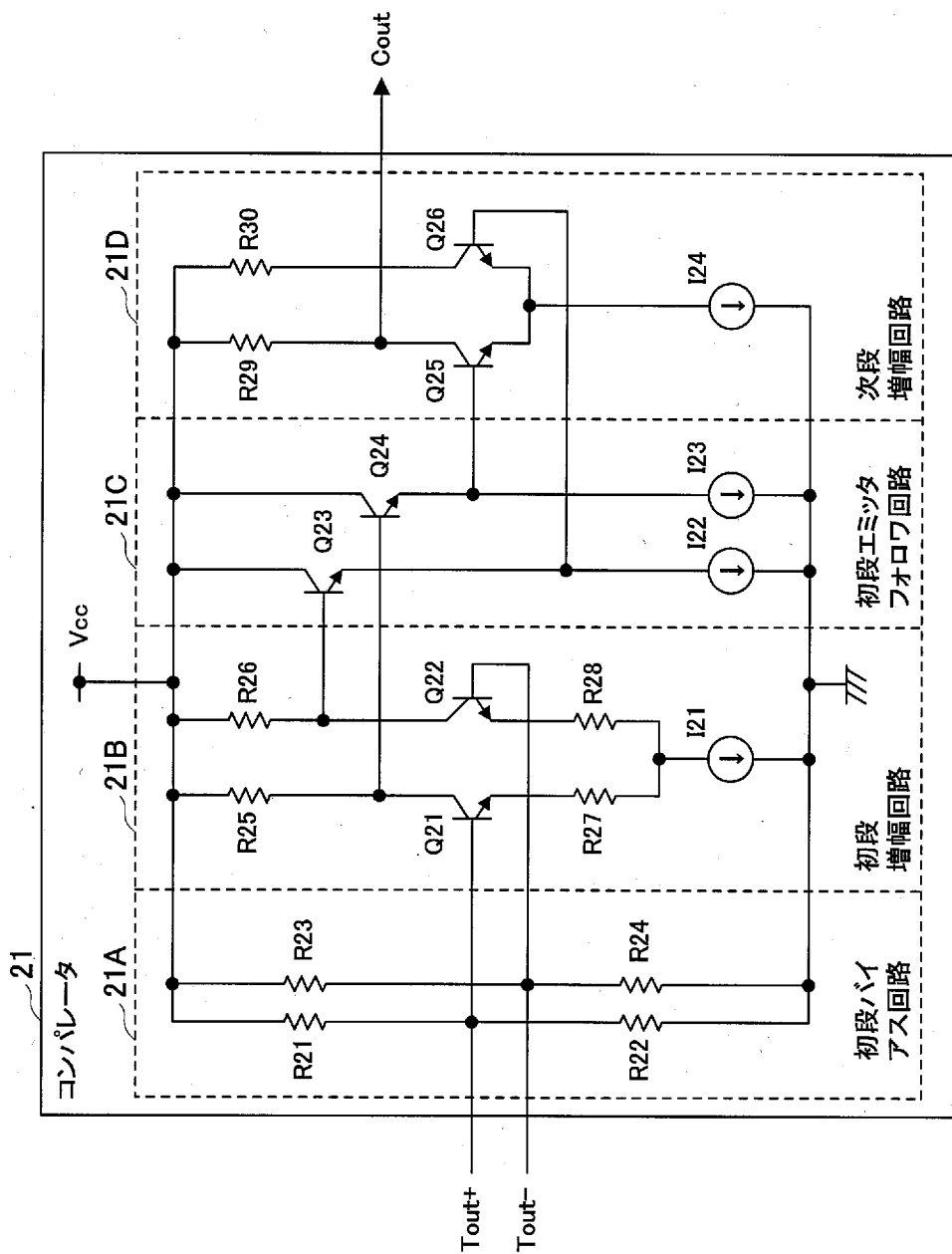
[図8]



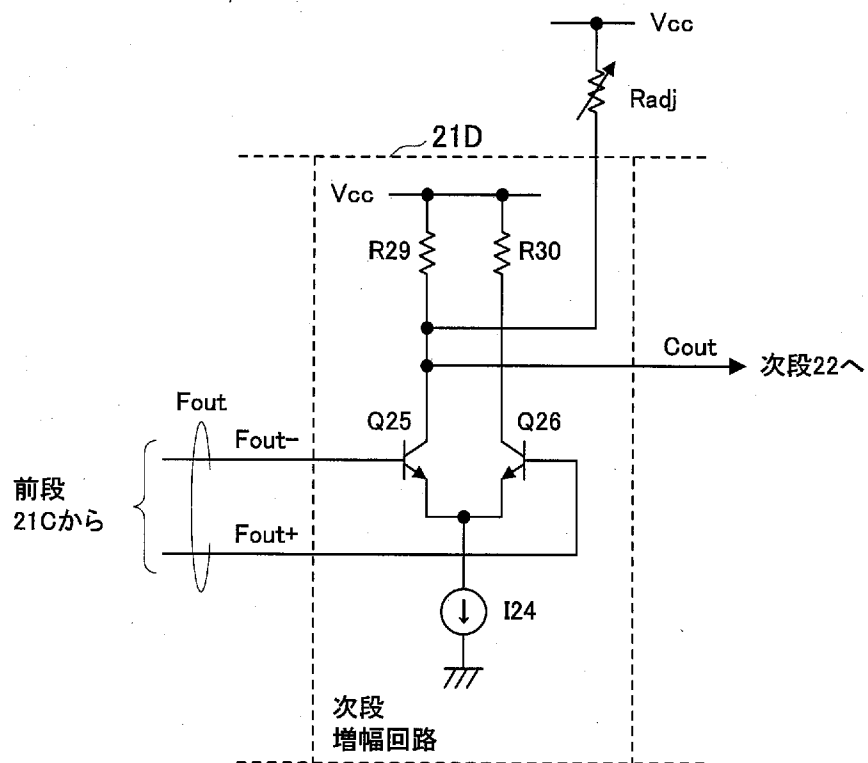
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051526

A. CLASSIFICATION OF SUBJECT MATTER

H04B10/04(2006.01)i, H04B10/06(2006.01)i, H04B10/08(2006.01)i, H04B10/14(2006.01)i, H04B10/26(2006.01)i, H04B10/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B10/04, H04B10/06, H04B10/08, H04B10/14, H04B10/26, H04B10/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-44228 A (NTT Electronics Corp.), 26 February 2009 (26.02.2009), paragraphs [0015] to [0039]; fig. 1 to 4 (Family: none)	1, 3, 6-8 2, 4-5
Y A	JP 8-70223 A (Oki Electric Industry Co., Ltd.), 12 March 1996 (12.03.1996), paragraph [0007]; fig. 1 (Family: none)	1-3, 6-8 4-5
P, Y	JP 2011-166659 A (Nippon Telegraph and Telephone Corp.), 25 August 2011 (25.08.2011), paragraphs [0069] to [0074]; fig. 5 to 7 (Family: none)	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 February, 2012 (24.02.12)

Date of mailing of the international search report
06 March, 2012 (06.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051526

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-5968 A (Nippon Telegraph and Telephone Corp.), 11 January 2007 (11.01.2007), paragraphs [0011] to [0030]; fig. 1 to 5 (Family: none)	1-8
A	JP 2007-81599 A (Fujikura Ltd.), 29 March 2007 (29.03.2007), paragraphs [0003] to [0006], [0016] to [0031]; fig. 1 to 12 (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H04B10/04(2006.01)i, H04B10/06(2006.01)i, H04B10/08(2006.01)i, H04B10/14(2006.01)i, H04B10/26(2006.01)i, H04B10/28(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H04B10/04, H04B10/06, H04B10/08, H04B10/14, H04B10/26, H04B10/28			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 2 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 2 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 2 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2009-44228 A（N T Tエレクトロニクス株式会社） 2009.02.26, 段落【0015】 - 【0039】, 図 1-4	1, 3, 6-8	
A	(ファミリーなし)	2, 4-5	
Y	JP 8-70223 A（沖電気工業株式会社） 1996.03.12, 段落【0007】, 図 1	1-3, 6-8	
A	(ファミリーなし)	4-5	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 4 . 0 2 . 2 0 1 2		国際調査報告の発送日 0 6 . 0 3 . 2 0 1 2	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 後澤 瑞征 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 4	5 J 4 5 4 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, Y	JP 2011-166659 A (日本電信電話株式会社) 2011.08.25, 段落【0069】 - 【0074】, 図 5-7 (ファミリーなし)	2
A	JP 2007-5968 A (日本電信電話株式会社) 2007.01.11, 段落【0011】 - 【0030】, 図 1-5 (ファミリーなし)	1-8
A	JP 2007-81599 A (株式会社フジクラ) 2007.03.29, 段落【0003】 - 【0006】, 【0016】 - 【0031】, 図 1-12 (ファミリーなし)	1-8