

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-9701

(P2012-9701A)

(43) 公開日 平成24年1月12日(2012.1.12)

(51) Int.Cl.

**HO 1 L** 21/8247 (2006.01)  
**HO 1 L** 29/788 (2006.01)  
**HO 1 L** 29/792 (2006.01)  
**HO 1 L** 27/115 (2006.01)

F 1

HO 1 L 29/78 371  
HO 1 L 27/10 434

### テーマコード（参考）

5F083  
5F101

審査請求 未請求 請求項の数 9 O.L. (全 33 頁)

(21) 出願番号  
(22) 出願日

特願2010-145454 (P2010-145454)  
平成22年6月25日 (2010. 6. 25)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

100108062

弁理士 目向寺 雅彦

田中 啓安  
東京都港区芝浦一丁目1番1号 株式会社

東芝内

勝又 竜太  
東京都港区芝浦一丁目1番1号 株式会社  
東芝内

Fターム(参考)	5F083	EP17	EP32	EP76	ER22	GA10
	KA05	KA11	LA12	LA20	PR43	
	PR44	PR53	PR54	ZA28		
	5F101	BA41	BD16	BD22	BD34	

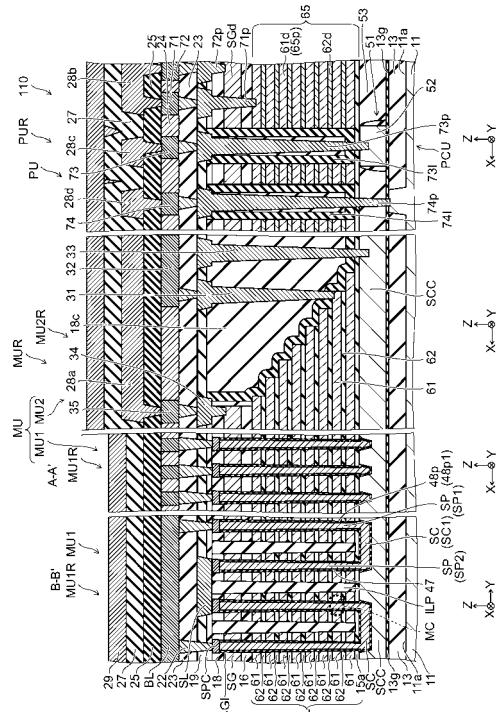
(54) 【発明の名称】不揮発性半導体記憶装置

(57) 【要約】

【課題】より安定した動作を実現する一括加工型3次元積層型の不揮発性半導体記憶装置を提供する。

【解決手段】実施形態によれば、メモリ部M Uと、メモリ部に併設された非メモリ部P Uと、を備えた不揮発性半導体記憶装置が提供される。メモリ部は、積層された複数の電極膜6 1と、複数の電極膜どうしの間に設けられた電極間絶縁膜6 2と、を含む積層構造体M Lと、積層構造体と積層された選択ゲート電極S Gと、積層構造体及び選択ゲート電極を貫通する半導体ピラーS Pと、電極膜と半導体ピラーとの間に設けられた記憶層4 8と、を含む。非メモリ部は、複数の電極膜の少なくとも1つと同層の部分を含むダミー導電膜6 5と、選択ゲート電極と同層のダミー選択ゲート電極S G dと、ダミー導電膜に接続されたコンタクト電極と、ダミー選択ゲート電極に接続されたコンタクト電極と、を含む。

### 【選択図】図 1



**【特許請求の範囲】****【請求項 1】**

情報を格納するメモリ部と、  
前記メモリ部に併設され、情報を格納しない非メモリ部と、  
を備え、  
前記メモリ部は、

第1方向に積層された複数の第1電極膜と、前記複数の第1電極膜どうしの間に設けられた第1電極間絶縁膜と、を含む第1積層構造体と、

前記第1積層構造体と前記第1方向に沿って積層された第1選択ゲート電極と、

前記第1積層構造体及び前記第1選択ゲート電極を前記第1方向に沿って貫通する第1半導体ピラーと、

前記複数の第1電極膜と前記第1半導体ピラーとの間に設けられた第1ピラー部記憶層と、

を含み、

前記非メモリ部は、

前記複数の第1電極膜の少なくとも1つと同層の部分を含むダミー導電膜と、

前記選択ゲート電極と同層のダミー選択ゲート電極と、

前記ダミー導電膜に電気的に接続され前記第1方向に沿って延在する第1非メモリ部コンタクト電極と、

前記ダミー選択ゲート電極に電気的に接続され前記第1方向に沿って延在する第2非メモリ部コンタクト電極と、

を含むことを特徴とする不揮発性半導体記憶装置。

**【請求項 2】**

前記ダミー導電膜は、

前記複数の第1電極膜のそれぞれと同層の複数の第1ダミー膜と、

前記電極膜と同層の第2ダミー膜と、

を含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

**【請求項 3】**

前記複数の第1ダミー膜は導電性であり、前記第2ダミー膜は導電性であることを特徴とする請求項2記載の不揮発性半導体記憶装置。

**【請求項 4】**

前記複数の第1ダミー膜のそれぞれに用いられる材料は、前記複数の電極膜のそれぞれに用いられる材料と同じであることを特徴とする請求項2または3に記載の不揮発性半導体記憶装置。

**【請求項 5】**

前記ダミー導電膜の前記第1方向に沿った幅は、前記第1積層構造体の前記第1方向に沿った幅と実質的に同じであることを特徴とする請求項1～4のいずれか1つに記載の不揮発性半導体記憶装置。

**【請求項 6】**

前記第1非メモリ部コンタクト電極と前記第2非メモリ部コンタクト電極とは電気的に接続されていることを特徴とする請求項1～5のいずれか1つに記載の不揮発性半導体記憶装置。

**【請求項 7】**

前記第1非メモリ部コンタクト電極は、前記第1方向に沿ってみたときに、前記第2非メモリ部コンタクト電極と重なる部分を有することを特徴とする請求項1～6のいずれか1つに記載の不揮発性半導体記憶装置。

**【請求項 8】**

前記メモリ部と前記非メモリ部とが設けられる基板をさらに備え、

前記非メモリ部は、前記基板と前記ダミー導電膜との間に設けられた周辺回路トランジスタを含む周辺回路部をさらに含み、

10

20

30

40

50

前記第1非メモリ部コンタクト電極の電位、及び、前記第2非メモリ部コンタクト電極の電位は、前記周辺回路トランジスタに与えられる印加電圧の最小値以上、前記印加電圧の最大値以下であることを特徴とする請求項1～7のいずれか1つに記載の不揮発性半導体記憶装置。

【請求項9】

前記メモリ部と前記非メモリ部とが設けられる基板をさらに備え、  
前記非メモリ部は、前記基板と前記ダミー導電膜との間に設けられた周辺回路トランジスタを含む周辺回路部をさらに含み、

前記第1非メモリ部コンタクト電極の電位、及び、前記第2非メモリ部コンタクト電極の電位は、前記周辺回路トランジスタに与えられる印加電圧の最小値と、前記印加電圧の最大値と、の中間の電位であることを特徴とする請求項1～7のいずれか1つに記載の不揮発性半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来の不揮発性半導体記憶装置においては、シリコン基板上の2次元平面内に素子を集積してきた。メモリの記憶容量を増加させるには1つの素子の寸法を微細化するが、近年その微細化もコスト的、技術的に困難になってきた。

20

【0003】

これに対し、一括加工型3次元積層メモリが提案されている。この一括加工型3次元積層メモリにおいては、交互に積層された絶縁膜と電極膜とを有する積層構造体と、積層構造体を貫通するシリコンピラーと、シリコンピラーと電極膜との間の電荷蓄積層（記憶層）と、が設けられ、これにより、シリコンピラーと各電極膜との交差部にメモリセルが設けられる。さらに、2本のシリコンピラーを基板の側で接続したU字形状のメモリストリシングを用いる構成も提案されている。

【0004】

このような一括加工型3次元積層メモリにおいて、メモリセルを形成する際にメモリセルの周辺の周辺回路領域に導電膜が形成され、この導電膜の電位が不安定であると、メモリの動作が不安定になることがある。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-146954号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の実施形態は、より安定した動作を実現する一括加工型3次元積層型の不揮発性半導体記憶装置を提供する。

40

【課題を解決するための手段】

【0007】

本発明の実施形態によれば、情報を格納するメモリ部と、前記メモリ部に併設され、情報を格納しない非メモリ部と、を備えた不揮発性半導体記憶装置が提供される。前記メモリ部は、第1方向に積層された複数の第1電極膜と、前記複数の第1電極膜どうしの間に設けられた第1電極間絶縁膜と、を含む第1積層構造体と、前記第1積層構造体と前記第1方向に沿って積層された第1選択ゲート電極と、前記第1積層構造体及び前記第1選択ゲート電極を前記第1方向に沿って貫通する第1半導体ピラーと、前記複数の第1電極膜と前記第1半導体ピラーとの間に設けられた第1ピラー部記憶層と、を含む。前記非メモリ部は、第1方向に積層された複数の第2電極膜と、前記複数の第2電極膜どうしの間に設けられた第2電極間絶縁膜と、を含む第2積層構造体と、前記第2積層構造体と前記第1方向に沿って積層された第2選択ゲート電極と、前記第2積層構造体及び前記第2選択ゲート電極を前記第1方向に沿って貫通する第2半導体ピラーと、前記複数の第2電極膜と前記第2半導体ピラーとの間に設けられた第2ピラー部記憶層と、を含む。

50

リ部は、前記複数の第1電極膜の少なくとも1つと同層の部分を含むダミー導電膜と、前記選択ゲート電極と同層のダミー選択ゲート電極と、前記ダミー導電膜に電気的に接続され前記第1方向に沿って延在する第1非メモリ部コンタクト電極と、前記ダミー選択ゲート電極に電気的に接続され前記第1方向に沿って延在する第2非メモリ部コンタクト電極と、を含む。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

【図2】第1の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

【図3】第1の実施形態に係る不揮発性半導体記憶装置の一部の構成を例示する模式的断面図である。

【図4】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図5】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図6】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図7】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図8】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図9】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図10】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図11】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図12】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図13】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図14】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図15】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図16】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図17】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図18】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図19】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図20】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図21】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図22】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模

10

20

30

40

50

式的断面図である。

【図23】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図24】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図25】第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図26】第1の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的平面図である。

【図27】第1の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的断面図である。 10

【図28】第1の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

【図29】第1の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

【図30】第2の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

【図31】第3の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。 20

#### 【発明を実施するための形態】

##### 【0009】

以下に、本発明の各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

##### 【0010】

###### (第1の実施の形態)

図1は、第1の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。 30

図2は、第1の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

なお、図2においては、図を見易くするために、導電部分のみを示し、絶縁部分は図示を省略している。

図3は、第1の実施形態に係る不揮発性半導体記憶装置の一部の構成を例示する模式的断面図である。

##### 【0011】

図1に表したように、本実施形態に係る不揮発性半導体記憶装置110は、情報を格納するメモリ部MUと、情報を格納しない非メモリ部PUと、を備える。

##### 【0012】

メモリ部MUは、第1方向に交互に積層された複数の電極膜61と複数の電極間絶縁膜62と、を含む積層構造体MLを含む。

##### 【0013】

なお、本願明細書において、「積層」とは、複数の層が直接重ねられる場合の他、複数の層の間に他の要素が挿入されて重ねられる場合も含む。

積層構造体MLにおける電極膜61及び電極間絶縁膜62の積層方向をZ軸方向(第1方向)とする。Z軸方向に対して垂直な1つの方向をY軸方向(第2方向)とする。そして、Z軸方向とY軸方向とに対して垂直な方向をX軸方向(第3方向)とする。

##### 【0014】

10

20

30

40

50

不揮発性半導体記憶装置 110 は、メモリ部 MU と非メモリ部 PU とが設けられる基板 11 をさらに備えることができる。基板 11 には、例えばシリコン基板などが用いられる。

【0015】

Z 軸方向は、基板 11 の正面 11a に対して垂直な方向である。基板 11 の正面 11a の上に、メモリ部 MU 及び非メモリ部 PU が設けられる。

【0016】

すなわち、非メモリ部 PU は、Z 軸方向に直交する方向において、メモリ部 MU に併設される。非メモリ部 PU は、例えば、X-Y 平面内において、メモリ部 MU に併設される。非メモリ部 PU は、例えば、メモリ部 MU に対して X 軸方向において併設される。非メモリ部 PU は、例えば、メモリ部 MU に対して Y 軸方向において併設される。1 つのメモリ部 MU に対して複数の非メモリ部 PU が設けられても良い。

10

【0017】

メモリ部 MU においては、不揮発性半導体記憶装置 110 のメモリセル MC が設けられる。非メモリ部 PU は、メモリ部 MU の例えば周辺に設けられ、不揮発性半導体記憶装置 110 の周辺回路を含むことができる。

【0018】

基板 11 において、メモリ部 MU が設けられる領域をメモリ領域 MUR とし、非メモリ領域 PUR が設けられる領域を非メモリ領域 PUR とする。

20

【0019】

メモリ部 MU は、例えば、3 次元マトリクス状に配列したメモリセルトランジスタを有するマトリクスメモリセル部 MU1 と、マトリクスメモリセル部 MU1 の配線を接続する配線接続部 MU2 と、を有する。基板 11 において、マトリクスメモリセル部 MU1 が設けられる領域をマトリクスメモリセル領域 MU1R とし、配線接続部 MU2 が設けられる領域を配線接続領域 MU2R とする。

【0020】

図 2 は、マトリクスメモリセル部 MU1 の構成を例示している。

図 1 においては、マトリクスメモリセル部 MU1 として、図 2 の A-A' 線断面の一部と、図 2 の B-B' 線断面の一部が例示されている。

30

【0021】

図 1 及び図 2 に表したように、マトリクスメモリセル部 MU1 においては、基板 11 の正面 11a 上に、積層構造体 ML が設けられる。

【0022】

不揮発性半導体記憶装置 110 は、選択ゲート電極 SG をさらに備える。選択ゲート電極 SG は、積層構造体 ML と Z 軸方向に沿って積層される。

【0023】

本具体例においては、電極膜 61 は、X 軸方向に沿って延在する帯状の部分を有している。また、選択ゲート電極 SG も、X 軸方向に沿って延在する帯状の部分を有している。

【0024】

そして、積層構造体 ML 及び選択ゲート電極 SG を Z 軸方向に沿って貫通する半導体ピラー SP が設けられる。この半導体ピラー SP は、例えば、積層構造体 ML 及び選択ゲート電極を Z 軸方向に沿って貫通する貫通ホール TH の中に半導体を埋め込むことによって形成される。半導体ピラー SP は、Z 軸方向に延在する筒状（例えば円筒状）または、柱状（例えば円柱状）である。すなわち、半導体ピラー SP の内部が中空でも良く、半導体ピラー SP の内側に例えば絶縁層などが設けられても良い。

40

【0025】

後述するように、不揮発性半導体記憶装置 110 のメモリ部 MU においては、電極膜 61 と半導体ピラー SP とが交差する部分において、記憶層を有するメモリセルトランジスタが形成される。メモリセルトランジスタは 3 次元マトリクス状に配列され、この記憶層に電荷を蓄積させることにより、各メモリセルトランジスタが情報（データ）を記憶する

50

メモリセルMCとして機能する。

【0026】

すなわち、メモリ部MUは、複数の電極膜61と半導体ピラーSPとの間に設けられピラー部記憶層48pをさらに含む。

【0027】

一方、非メモリ部PUは、ダミー導電膜65と、ダミー選択ゲート電極SGdと、第1非メモリ部コンタクト電極71pと、第2非メモリ部コンタクト電極72pと、を含む。

【0028】

ダミー導電膜65は、複数の電極膜61(第1電極膜61a)の少なくとも1つと同層の部分65pを含む。すなわち、ダミー導電膜65の上記の部分65pは、複数の電極膜61の少なくとも1つのZ軸方向に対して垂直な面に沿って配置される。例えば、ダミー導電膜65の上記の部分65pと、基板11とのZ軸方向に沿った距離は、複数の電極膜61のその少なくとも1つと、基板11とのZ軸方向に沿った距離と等しい。

10

【0029】

ダミー選択ゲート電極SGdは、選択ゲート電極SG(第1選択ゲート電極SG1)と同層である。すなわち、ダミー選択ゲート電極SGdのZ軸方向に対して垂直な面は、選択ゲート電極SGのZ軸方向に対して垂直な面が含まれる面内に配置される。例えば、ダミー選択ゲート電極SGdと基板11とのZ軸方向に沿った距離は、選択ゲート電極SGと基板11とのZ軸方向に沿った距離と等しい。

20

【0030】

第1非メモリ部コンタクト電極71pは、ダミー導電膜65に電気的に接続され、Z軸方向に沿って延在する。第2非メモリ部コンタクト電極72pは、ダミー選択ゲート電極SGdに電気的に接続されZ軸方向に沿って延在する。

【0031】

例えば、ダミー導電膜65は、複数の電極膜61のそれぞれと同層の複数の第1ダミー膜61dと、複数の電極間絶縁膜62と同層の複数の第2ダミー膜62dと、含むことができる。

【0032】

第1ダミー膜61dは、基板11からみて、電極膜61と同じ高さに配置される。第1ダミー膜61dには、例えば、電極膜61に用いられる材料と同じ材料を用いることができる。

30

【0033】

第2ダミー膜62dは、基板11からみて、電極間絶縁膜62と同じ高さに配置される。第2ダミー膜62dには、例えば、電極間絶縁膜62に用いられる材料と同じ材料を用いることができる。または、第2ダミー膜62dには、電極間絶縁膜62に用いられる材料とは異なる材料が用いられる。

【0034】

本具体例では、第2ダミー膜62dには導電膜が用いられており、第2ダミー膜62dに、電極間絶縁膜62に用いられる材料とは異なる材料が用いられる例である。

40

【0035】

第1ダミー膜61dが導電膜であり、第2ダミー膜62dが絶縁膜である場合は、第1ダミー膜61dと第2ダミー膜62dとの境界は比較的明確である。一方、第1ダミー膜61d及び第2ダミー膜62dが共に導電膜である場合は、第1ダミー膜61dと第2ダミー膜62dとの境界は不明確である場合がある。このように、第1ダミー膜61dと第2ダミー膜62dとが、比較的明確に区別できる場合と、明確に区別できない場合がある。

【0036】

例えば、第1ダミー膜61dが、ダミー導電膜65のうちの、上記の、複数の電極膜61の少なくとも1つと同層の部分65pとなる。

【0037】

50

また、ダミー導電膜 6 5 の Z 軸方向に沿った幅は、積層構造体 M L ( 例えば第 1 積層構造体 M L 1 ) の Z 軸方向に沿った幅と実質的に同じとすることができる。

【 0 0 3 8 】

後述するように、非メモリ部 P U のダミー導電膜 6 5 は、例えば、メモリ部 M U の電極膜 6 1 を形成する際に電極膜 6 1 と一緒に形成される。そして、非メモリ部 P U のダミー選択ゲート電極 S G d は、例えば、メモリ部 M U の選択ゲート電極 S G を形成する際に選択ゲート電極 S G と一緒に形成される。

【 0 0 3 9 】

第 1 非メモリ部コンタクト電極 7 1 p は、配線 7 1 に接続される。第 2 非メモリ部コンタクト電極 7 2 p は、配線 7 2 に接続される。これにより、ダミー導電膜 6 5 は、第 1 非メモリ部コンタクト電極 7 1 p 及び配線 7 1 を介して、所定の電位に設定される。そして、ダミー選択ゲート電極 S G d は、第 2 非メモリ部コンタクト電極 7 2 p 及び配線 7 2 を介して、所定の電位に設定される。

【 0 0 4 0 】

これにより、不揮発性半導体記憶装置 1 1 0 内の導電層どうしの電気的な干渉が抑制され、より安定した動作が実現できる。

【 0 0 4 1 】

以下では、メモリ部 M U の構成の例について詳しく説明する。

図 1 に例示したように、不揮発性半導体記憶装置 1 1 0 においては、基板 1 1 の主面 1 1 a の上に層間絶縁膜 1 3 が設けられ、層間絶縁膜 1 3 の上に絶縁膜 1 3 g が設けられる。なお、絶縁膜 1 3 g は、後述する周辺回路トランジスタ 5 1 のゲート絶縁膜として機能する絶縁膜である。さらに、絶縁膜 1 3 g の上に、後述の接続部導電層 S C C が設けられ、接続部導電層 S C C の上に積層構造体 M L が設けられる。

【 0 0 4 2 】

なお、図 1 においては電極膜 6 1 が 8 枚描かれているが、積層構造体 M L において、設けられる電極膜 6 1 の数は任意である。なお、図 2 においては、図を見やすくするために、電極膜 6 1 の一部は省略されている。

【 0 0 4 3 】

なお、半導体ピラー S P のうち、積層構造体 M L を貫通する部分と、選択ゲート電極 S G を貫通する部分と、は、連続して形成された半導体層でも良く、半導体ピラー S P のうちの積層構造体 M L を貫通する部分と、半導体ピラー S P のうちの選択ゲート電極 S G を貫通する部分と、が、別の工程で形成され、これらの部分が電気的に接続されていても良い。

【 0 0 4 4 】

なお、図 1 に表したように、積層構造体 M L の最下部 ( 例えば、基板 1 1 に最も近い側 ) の電極膜 6 1 の下に絶縁膜 1 5 a を設けることができ、この絶縁膜 1 5 a も積層構造体 M L に含まれることができる。また、積層構造体 M L の最上部 ( 例えば、基板 1 1 から最も遠い側 ) の電極膜 6 1 の上にさらに絶縁膜を設けることができ、この絶縁膜も積層構造体 M L に含まれることができる。なお、これらの絶縁膜には、例えば酸化シリコンを用いることができる。ただし、実施形態はこれに限らず、これらの絶縁膜の材料は任意である。

【 0 0 4 5 】

積層構造体 M L と選択ゲート電極 S G との間には、層間絶縁膜 1 6 が設けられている。また、電極膜 6 1 どうしを Y 軸方向に沿って分断する層間絶縁膜 I L P が設けられている。層間絶縁膜 I L P は、X 軸方向に沿って延在する。本具体例では、この層間絶縁膜 I L P は、さらに選択ゲート電極 S G どうしを Y 軸方向に沿って分断する。

【 0 0 4 6 】

そして、選択ゲート電極 S G 及び層間絶縁膜 I L P の上に層間絶縁膜 1 8 が設けられ、その上に、ソース線 S L ( 第 2 配線 W R 2 ) とコンタクト電極 2 2 とが設けられている。ソース線 S L の周りには層間絶縁膜 1 9 が設けられている。本具体例では、ソース線 S L

10

20

30

40

50

は、X軸方向に沿った帯状の形状を有している。

【0047】

そして、ソース線S Lの上に層間絶縁膜2 3が設けられ、その上にビット線B L(第1配線W R 1)が設けられている。ビット線B Lは、例えば、Y軸方向に沿った帯状の形状を有している。

【0048】

その上にビット線B Lの上に、層間絶縁膜2 5、層間絶縁膜2 7及びパッシベーション膜2 9が設けられる。

【0049】

なお、層間絶縁膜1 3、1 6、1 7、1 8、1 9、2 3、2 5及び2 7、例えば酸化シリコンを用いることができる。また、絶縁膜1 3 gにも酸化シリコンが用いられる。パッシベーション膜2 9には、例えば窒化シリコンが用いられる。

【0050】

そして、本具体例においては、2本ずつの半導体ピラーS Pは、基板1 1の側で接続されている。

すなわち、不揮発性半導体記憶装置1 1 0は、第1半導体ピラーS P 1と第2半導体ピラーS P 2とを基板1 1の側で電気的に接続する半導体接続部S Cをさらに備える。半導体接続部S Cには、半導体ピラーS Pとなる材料を用いることができる。

【0051】

ただし、後述するように、半導体ピラーS Pのそれぞれが独立し、半導体ピラーS Pどうしが接続されていなくても良い。以下では、2本ずつの半導体ピラーS Pが接続される場合について説明する。

【0052】

このように、不揮発性半導体記憶装置1 1 0において半導体ピラーは複数設けられており、半導体ピラーの全体または任意の半導体ピラーを指す場合には、「半導体ピラーS P」と言い、特定の半導体ピラーペアの関係を説明する際などにおいて、特定の半導体ピラーを指す場合に、「第n半導体ピラーS P n」(nは1以上の任意の整数)と言うこととする。他の構成要素も同様に、例えば、半導体接続部の全体または任意の半導体接続部を指す場合には、「半導体接続部S C」と言い、特定の半導体接続部を指す場合に「第n半導体接続部S C n」(nは1以上の任意の整数)と言う。

【0053】

図2に表したように、第1半導体接続部S C 1によって接続された第1半導体ピラーS P 1及び第2半導体ピラーS P 2がペアとなって1つのU字形状のNANDストリングとなり、第2半導体接続部S C 2によって接続された第3半導体ピラーS P 3及び第4半導体ピラーS P 4がペアとなって別のU字形状のNANDストリングとなる。

【0054】

図1に例示したように、配線接続部M U 2においては、X軸方向における一方の端において、電極膜6 1は、メモリ部コンタクト電極3 1によってワード配線3 2に接続され、例えば基板1 1に設けられる駆動回路と電気的に接続される。Z軸方向に積層された各電極膜6 1のX軸方向における長さが階段状に変化させられ、X軸方向の一方の端で電極膜6 1が駆動回路と電気的に接続される。これにより、基板1 1からの距離が同じ電極膜6 1において、ペアとなる第1半導体ピラーS P 1及び第2半導体ピラーS P 2とで異なる電位が設定できる。これにより、第1半導体ピラーS P 1と第2半導体ピラーS P 2とに対応する同層のメモリセルM Cは互いに独立して動作できる。第3半導体ピラーS P 3及び第4半導体ピラーS P 4に関しても同様である。

【0055】

また、接続部導電層S C Cは、例えば、メモリ部コンタクト電極3 3によって接続部導電層のための配線に接続される。

選択ゲート電極S Gは、例えば、メモリ部コンタクト配線3 4によって、選択ゲート電極のための配線3 5に接続される。配線3 5の上には、層間絶縁膜2 5が設けられ、層間

10

20

30

40

50

絶縁膜 25 の上には、配線 35 に接続されるメタル配線 28a が設けられている。

なお、メモリ部コンタクト電極 31 及びメモリ部コンタクト配線 34 の側面は層間絶縁膜 18c で覆われている。

【0056】

図 1 及び図 2 に表したように、半導体ピラー SP の半導体接続部 SC とは反対の端のそれぞれが、ピット線 BL またはソース線 SL に接続され、半導体ピラー SP のそれぞれに、選択ゲート電極 SG ( 第 1 ~ 第 4 選択ゲート電極 SG1 ~ SG4 ) が設けられることにより、任意の半導体ピラー SP の任意のメモリセル MC に所望のデータを書き込み、また読み出すことができる。

【0057】

なお、各電極膜 61 に設けられる半導体ピラー SP の数は任意である。

【0058】

図 3 は、マトリクスメモリセル部 MU1 の構成を例示しており、例えば図 1 の B1 - B2 線断面の一部に相当する断面図である。

図 3 に表したように、不揮発性半導体記憶装置 110において、メモリ部 MU は、第 1 積層構造体 ML1 と、第 1 選択ゲート電極 SG1 と、第 1 半導体ピラー SP1 と、第 1 ピラー部記憶層 48p1 と、を含む。

【0059】

第 1 積層構造体 ML1 は、Z 軸方向に積層された複数の第 1 電極膜 61a と、複数の第 1 電極膜 61a どうしの間に設けられた第 1 電極間絶縁膜 62a と、を含む。第 1 選択ゲート電極 SG1 は、第 1 積層構造体 ML1 と Z 軸方向に沿って積層される。第 1 半導体ピラー SP1 は、第 1 積層構造体 ML1 及び第 1 選択ゲート電極 SG1 を Z 軸方向に沿って貫通する。第 1 ピラー部記憶層 48p1 は、複数の第 1 電極膜 61a と第 1 半導体ピラー SP1 との間に設けられる。

【0060】

さらに、メモリ部 MU は、第 1 ピラー部外側絶縁膜 43p1 と、第 1 ピラー部内側絶縁膜 42p1 と、を含む。第 1 ピラー部外側絶縁膜 43p1 は、第 1 ピラー部記憶層 48p1 と複数の第 1 電極膜 61a との間に設けられる。第 1 ピラー部内側絶縁膜 42p1 は、第 1 ピラー部記憶層 48p1 と第 1 半導体ピラー SP1 との間に設けられる。

【0061】

さらに、メモリ部 MU は、第 2 積層構造体 ML2 と、第 2 選択ゲート電極 SG2 と、第 2 半導体ピラー SP2 と、第 2 ピラー部記憶層 48p2 と、半導体接続部 SC ( 第 1 半導体接続部 SC1 ) と、を含む。

【0062】

第 2 積層構造体 ML2 は、Z 軸方向に対して垂直な Y 軸方向において第 1 積層構造体 ML と隣接する。第 2 積層構造体 ML2 は、Z 軸方向に積層された複数の第 2 電極膜 61b と、複数の第 2 電極膜 61b どうしの間に設けられた第 2 電極間絶縁膜 62b と、を含む。第 2 選択ゲート電極 SG2 は、第 2 積層構造体 ML2 と Z 軸方向に沿って積層される。第 2 半導体ピラー SP2 は、第 2 積層構造体 ML2 及び第 2 選択ゲート電極 SG2 を Z 軸方向に沿って貫通する。第 2 ピラー部記憶層 48p2 は、複数の第 2 電極膜 61b と第 2 半導体ピラー SP2 との間に設けられる。

半導体接続部 SC は、第 1 半導体ピラー SP1 の一端と、第 2 半導体ピラー SP2 の一端と、を接続する。

【0063】

さらに、メモリ部 MU は、第 2 ピラー部外側絶縁膜 43p2 と、第 2 ピラー部内側絶縁膜 42p2 と、を含む。第 2 ピラー部外側絶縁膜 43p2 は、第 2 ピラー部記憶層 48p2 と複数の第 2 電極膜 61b との間に設けられる。第 2 ピラー部内側絶縁膜 42p2 は、第 2 ピラー部記憶層 48p2 と第 2 半導体ピラー SP2 との間に設けられる。

【0064】

さらに、メモリ部 MU は、半導体接続部 SC ( 第 1 半導体接続部 SC1 ) に対向する接

10

20

30

40

50

続部導電層 S C C を含む。

【0065】

さらに、メモリ部 M U は、第1接続部記憶層 4 8 c 1 と、第1接続部外側絶縁膜 4 3 c 1 と、第1接続部内側絶縁膜 4 2 c 1 と、を含むことができる。第1接続部記憶層 4 8 c 1 は、接続部導電層 S C C と半導体接続部 S C (第1半導体接続部 S C 1)との間に設けられる。第1接続部外側絶縁膜 4 3 c 1 は、第1接続部記憶層 4 8 c 1 と接続部導電層 S C C との間に設けられる。第1接続部内側絶縁膜 4 2 c 1 は、第1接続部記憶層 4 8 c 1 と第1半導体接続部 S C 1 との間に設けられる。

【0066】

ここで、第1ピラー部外側絶縁膜 4 3 p 1 、第1ピラー部記憶層 4 8 p 1 及び第1ピラー部内側絶縁膜 4 2 p 1 の積層膜を、積層絶縁膜 4 7 とする。積層絶縁膜 4 7 は、第2ピラー部外側絶縁膜 4 3 p 2 、第2ピラー部記憶層 4 8 p 2 及び第2ピラー部内側絶縁膜 4 2 p 2 の積層膜ともなる。また、積層絶縁膜 4 7 は、第1接続部外側絶縁膜 4 3 c 1 、第1接続部記憶層 4 8 c 1 及び第1接続部内側絶縁膜 4 2 c 1 の積層膜ともなる。

10

【0067】

なお、複数の第1電極膜 6 1 a のそれぞれと、複数の第2電極膜 6 1 b のそれぞれと、は、同層である。すなわち、基板 1 1 と、複数の第1電極膜 6 1 a のそれぞれと、の距離は、基板 1 1 と、複数の第2電極膜 6 1 b のそれぞれと、の距離と、同じである。なお、基板 1 1 と、複数の第1電極間絶縁膜 6 2 a のそれぞれと、の距離は、基板 1 1 と、複数の第2電極間絶縁膜 6 2 b のそれぞれと、の距離と、同じである。

20

【0068】

電極膜 6 1 (第1電極膜 6 1 a 及び第2電極膜 6 1 b) と、半導体ピラー S P (第1半導体ピラー S P 1 及び第2半導体ピラー S P 2) と、が交差する部分に、メモリセルトランジスタが形成され、このメモリセルトランジスタのそれぞれがメモリセル M C となる。

【0069】

電極膜 6 1 には所定の電気信号が印加され、電極膜 6 1 は、不揮発性半導体記憶装置 1 1 0 のワード電極として機能する。

【0070】

メモリセル M C のそれぞれにおいて、記憶層 4 8 (第1ピラー部記憶層 4 8 p 1 及び第2ピラー部記憶層 4 8 p 1) は、半導体ピラー S P と電極膜 6 1 との間に印加される電界によって電荷を蓄積または放出し、情報を記憶する部分として機能する。すなわち、記憶層 4 8 (第1ピラー部記憶層 4 8 p 1 及び第2ピラー部記憶層 4 8 p 2) は、電荷蓄積層として機能する。

30

【0071】

内側絶縁膜 4 2 (第1ピラー部内側絶縁膜 4 2 p 1 及び第2ピラー部内側絶縁膜 4 2 p 2) は、メモリセル M C のそれぞれにおいてトンネル絶縁膜として機能する。

【0072】

外側絶縁膜 4 3 (第1ピラー部外側絶縁膜 4 3 p 1 及び第2ピラー部外側絶縁膜 4 3 p 2) は、メモリセル M C のそれぞれにおいてブロック絶縁膜として機能する。

40

【0073】

接続部記憶層 4 8 c (第1接続部記憶層 4 8 c 1) には、第1ピラー部記憶層 4 8 p 1 及び第2ピラー部記憶層 4 8 p 2 に用いられる材料と同じ材料を用いることができる。接続部記憶層 4 8 c (第1接続部記憶層 4 8 c 1) は、第1ピラー部記憶層 4 8 p 1 及び第2ピラー部記憶層 4 8 p 2 と同時に形成されることができる。

【0074】

第1接続部内側絶縁膜 4 2 c 1 には、第1ピラー部内側絶縁膜 4 2 p 1 及び第2ピラー部内側絶縁膜 4 2 p 2 に用いられる材料と同じ材料を用いることができる。第1接続部内側絶縁膜 4 2 c 1 は、第1ピラー部内側絶縁膜 4 2 p 1 及び第2ピラー部内側絶縁膜 4 2 p 2 と同時に形成されることがある。

【0075】

50

第1接続部外側絶縁膜43c1には、第1ピラー部外側絶縁膜43p1及び第2ピラー部外側絶縁膜43p2に用いられる材料と同じ材料を用いることができる。第1接続部外側絶縁膜43c1は、第1ピラー部外側絶縁膜43p1及び第2ピラー部外側絶縁膜43p2と同時に形成されることができる。

## 【0076】

接続部導電層S C Cに与えられる電圧によって、半導体接続部S C（第1半導体接続部S C 1）により、第1半導体ピラーS P 1と第2半導体ピラーS P 2とが電気的に接続される。

## 【0077】

接続部導電層S C Cと第1半導体接続部S C 1とが対向する部分を、第1接続部記憶層48c1を電荷蓄積層として含むメモリセルM Cとして利用しても良い。すなわち、接続部記憶層48c（第1接続部記憶層48c1）は、半導体接続部S Cと接続部導電層S C Cとの間に印加される電界によって電荷を蓄積または放出し、情報を記憶する部分として機能することができる。

## 【0078】

電極膜61（第1電極膜61a及び第2電極膜61b）及び接続部導電層S C Cには、任意の導電材料を用いることができ、例えば、不純物が導入されて導電性が付与されたアモルファスシリコン（非晶質シリコン）、または、不純物が導入されて導電性が付与されたポリシリコン（多結晶シリコン）などを用いることができ、また、金属及び合金なども用いることができる。

10

20

30

40

50

## 【0079】

電極間絶縁膜62（第1電極間絶縁膜62a及び第2電極間絶縁膜62b）、内側絶縁膜42（第1ピラー部内側絶縁膜42p1、第2ピラー部内側絶縁膜42p2及び第1接続部内側絶縁膜42c1）、及び、外側絶縁膜43（第1ピラー部外側絶縁膜43p1、第2ピラー部外側絶縁膜43p2及び第1接続部外側絶縁膜43c1）には、例えば酸化シリコンを用いることができる。これらの膜は、単層膜でも良く、また積層膜でも良い。

## 【0080】

記憶層48（第1ピラー部記憶層48p1、第2ピラー部記憶層48p2及び第1接続部記憶層48c1）には、例えば窒化シリコンを用いることができる。記憶層48は単層膜でも良く、また積層膜でも良い。

## 【0081】

なお、電極間絶縁膜62、内側絶縁膜42、外側絶縁膜43及び記憶層48には、上記に例示した材料に限らず、任意の材料を用いることができる。

## 【0082】

選択ゲート電極S G（第1選択ゲート電極S G 1及び第2選択ゲート電極S G 2）には、任意の導電材料を用いることができ、例えば、不純物が導入されて導電性が付与されたアモルファスシリコン（非晶質シリコン）、または、不純物が導入されて導電性が付与されたポリシリコン（多結晶シリコン）などを用いることができ、また、金属及び合金なども用いることができる。

## 【0083】

選択ゲート電極S Gと半導体ピラーS Pとの間に選択ゲート絶縁膜S G Iが設けられる。

## 【0084】

選択ゲート絶縁膜S G I（第1選択ゲート絶縁膜S G I 1及び第2選択ゲート絶縁膜S G I 2）には、内側絶縁膜42、記憶層48及び外側絶縁膜43の積層膜を用いても良く、また、内側絶縁膜42、記憶層48及び外側絶縁膜43の積層膜とは異なる絶縁膜を用いても良い。選択ゲート絶縁膜S G Iは、単層膜でも良く、積層膜でも良い。

## 【0085】

不揮発性半導体記憶装置110は、第1配線W R 1（ビット線B L）と、第2配線W R 2（ソース線S L）と、をさらに備えることができる。

## 【0086】

ビット線 B L は、第1半導体ピラー S P 1 の他端（半導体接続部 S C すなわち第1半導体接続部 S C 1 とは反対の側の端）に電気的に接続される。

本具体例では、ビット線 B L は、第1選択ゲート電極 S G 1 の側のコンタクト電極 2 2 a と、ビット線 B L の側のコンタクト電極 2 4 a と、を介して、第1半導体ピラー S P 1 の他端と電気的に接続される。コンタクト電極 2 2 a 及びコンタクト電極 2 4 a が、図2に例示したコンタクト電極 2 2（図1に例示したコンタクト電極 V A 1）に相当する。

## 【0087】

ソース線 S L は、第2半導体ピラー S P 2 の他端（半導体接続部 S C すなわち第1半導体接続部 S C 1 とは反対の側の端）に電気的に接続される。

本具体例では、ソース線 S L は、コンタクト電極 2 2 b を介して、第2半導体ピラー S P 2 の他端と電気的に接続される。

## 【0088】

本具体例では、第1電極膜 6 1 a 及び第2電極膜 6 1 b は、第1方向（Z軸方向）と第2方向（Y軸方向）とに対して垂直な第3方向（X軸方向）に延在する。ビット線 B L は、Y軸方向に沿って延在する。一方、ソース線 S L は、X軸方向に沿って延在している。

## 【0089】

さらに、第1選択ゲート電極 S G 1 及び第2選択ゲート電極 S G 2 は、X軸方向に沿って延在する。すなわち、第1選択ゲート電極 S G 1 及び第2選択ゲート電極 S G 2 は、第1電極膜 6 1 a 及び第2電極膜 6 1 b の延在方向に対して平行な方向に沿って延在する。

## 【0090】

第1選択ゲート電極 S G 1 と第1半導体ピラー S P 1 とが交差する部分に第1選択ゲートトランジスタ S G T 1 が形成され、第2選択ゲート電極 S G 2 と第2半導体ピラー S P 2 とが交差する部分に第2選択ゲートトランジスタ S G T 2 が形成される。選択ゲート絶縁膜 S G I は、これらの選択ゲートトランジスタのゲート絶縁膜として機能する。これらの選択ゲートトランジスタは、半導体ピラー S P を選択する機能を有する。

## 【0091】

図2に例示したように、不揮発性半導体記憶装置 110 は、第3半導体ピラー S P 3 と、第4半導体ピラー S P 4 と、第2半導体接続部 S C 2 と、をさらに備えることができる。

## 【0092】

第3半導体ピラー S P 3 は、Y軸方向において、第2半導体ピラー S P 2 の第1半導体ピラー S P 1 とは反対の側で第2半導体ピラー S P 2 と隣接する。第4半導体ピラー S P 4 は、Y軸方向において、第3半導体ピラー S P 3 の第2半導体ピラー S P 2 とは反対の側で第3半導体ピラー S P 3 と隣接する。

## 【0093】

第3半導体ピラー S P 3 、第4半導体ピラー S P 4 及び第2半導体接続部 S C 2 には、第1半導体ピラー S P 1 、第2半導体ピラー S P 2 及び第1半導体接続部 S C 1 に関して説明した構成のそれぞれを適用できる。

## 【0094】

すなわち、第3半導体ピラー S P 3 は、第3積層構造体をZ軸方向に沿って貫通する。第4半導体ピラー S P 4 は、第4積層構造体をZ軸方向に沿って貫通する。第2半導体接続部 S C 2 は、第3半導体ピラー S P 3 の一端と、第4半導体ピラー S P 4 の一端とを電気的に接続する。

## 【0095】

第1配線（ビット線 B L ）は、例えば第4半導体ピラー S P 4 の第2半導体接続部 S C 2 とは反対の側の他端とさらに接続される。第2配線（ソース線 S L ）は、第3半導体ピラー S P 3 の第2半導体接続部 S C 2 とは反対の側の他端とさらに接続される。

## 【0096】

なお、図1に例示したように、第1半導体ピラー S P 1 は、コンタクト電極 V A 1 によ

ってビット線 B L に接続され、第 4 半導体ピラー S P 4 は、コンタクト電極 V A 2 によってビット線 B L に接続される。

【0097】

以下、非メモリ部 P U の例について説明する。

図 1 に表したように、非メモリ部 P U は、すでに説明したダミー導電膜 6 5 、ダミー選択ゲート電極 S G d 、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p に加え、周辺回路部 P C U をさらに含む。周辺回路部 P C U は、基板 1 1 とダミー導電膜 6 5 との間に設けられた周辺回路トランジスタ 5 1 を含む。

【0098】

すなわち、基板 1 1 ( 例えはシリコン基板 ) の正面 1 1 a の側に素子分離絶縁層 ( S T I : Shallow Trench Isolation ) として層間絶縁膜 1 3 が設けられ、層間絶縁膜 1 3 によって、基板 1 1 ( シリコン基板 ) の正面 1 1 a の側の部分が分断される。 S T I によって分断された基板 1 1 の上に、絶縁膜 1 3 g が設けられ、その上に周辺回路ゲート電極 5 2 が設けられる。周辺回路ゲート電極 5 2 に対向する絶縁膜 1 3 g が、周辺回路トランジスタ 5 1 のゲート絶縁膜となり、周辺回路ゲート電極 5 2 が、周辺回路トランジスタ 5 1 のゲート電極となる。

【0099】

周辺回路ゲート電極 5 2 は、例えは、メモリ部 M U の接続部導電層 S C C と同層であり、周辺回路ゲート電極 5 2 には、例えは、メモリ部 M U の接続部導電層 S C C となる材料と同じ材料が用いられる。

【0100】

周辺回路ゲート電極 5 2 は、例えは、コンタクト電極 7 3 p を介して、配線 7 3 に接続される。

【0101】

基板 1 1 ( シリコン基板 ) のうちの、周辺回路部 P C U の別の一部となる部分が、コンタクト電極 7 4 p を介して配線 7 4 に接続される。

【0102】

コンタクト電極 7 3 p 及びコンタクト電極 7 4 p は、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d を Z 軸方向に沿って貫通する。

【0103】

コンタクト電極 7 3 p とダミー導電膜 6 5 との間、及び、コンタクト電極 7 3 p とダミー選択ゲート電極 S G d との間には層間絶縁膜 7 3 I が設けられる。コンタクト電極 7 4 p とダミー導電膜 6 5 との間、及び、コンタクト電極 7 4 p とダミー選択ゲート電極 S G d との間には層間絶縁膜 7 4 I が設けられる。

【0104】

このように、非メモリ部 P U は、周辺回路コンタクト電極 ( コンタクト電極 7 3 p ) と、周辺回路コンタクト層間絶縁膜 ( 層間絶縁膜 7 3 I ) と、をさらに含む。周辺回路コンタクト電極 ( コンタクト電極 7 3 p ) は、周辺回路トランジスタ 5 1 のゲート電極 ( 周辺回路ゲート電極 5 2 ) に電気的に接続され、Z 軸方向に沿って延在する。周辺回路コンタクト層間絶縁膜 ( 層間絶縁膜 7 3 I ) は、周辺回路コンタクト電極 ( コンタクト電極 7 3 p ) と、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d と、の間に設けられる。

【0105】

さらに、非メモリ部 P U は、周辺回路基板コンタクト電極 ( コンタクト電極 7 4 p ) と、周辺回路基板コンタクト層間絶縁膜 ( 層間絶縁膜 7 4 I ) と、をさらに含むことができる。周辺回路基板コンタクト電極 ( コンタクト電極 7 4 p ) は、基板 1 1 に電気的に接続され、Z 軸方向に沿って延在する。周辺回路基板コンタクト層間絶縁膜 ( 層間絶縁膜 7 4 I ) は、周辺回路基板コンタクト電極 ( コンタクト電極 7 4 p ) と、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d と、の間に設けられる。

【0106】

なお、周辺回路部 P C U には、このような構成を有する周辺回路トランジスタ 5 1 を複

10

20

30

40

50

数設けることができる。周辺回路部 P C U は、例えば、メモリ部 M U に含まれる種々の導電層の電位の制御及び導電層への電流の供給などを行ふことができる。

【 0 1 0 7 】

周辺回路トランジスタ 5 1 の周囲には、層間絶縁膜 5 3 が設けられる。層間絶縁膜 5 3 の上に、既に説明したダミー導電膜 6 5 、ダミー選択ゲート電極 S G d 、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p が設けられる。

【 0 1 0 8 】

なお、ダミー選択ゲート電極 S G d の上に層間絶縁膜 1 8 、層間絶縁膜 1 9 及び層間絶縁膜 2 3 が設けられ、層間絶縁膜 2 3 の上に、配線 7 1 、配線 7 2 、配線 7 3 及び配線 7 4 が設けられる。配線 7 1 、配線 7 2 、配線 7 3 及び配線 7 4 の相互の間には、層間絶縁膜 2 4 が設けられている。配線 7 1 、配線 7 2 、配線 7 3 及び配線 7 4 の上には、層間絶縁膜 2 5 が設けられている。層間絶縁膜 2 5 の上には、例えば配線 7 1 及び配線 7 2 に接続されたメタル配線 2 8 b 、配線 7 3 に接続されたメタル配線 2 8 c 、並びに、配線 7 4 に接続されたメタル配線 2 8 d が設けられる。メタル配線 2 8 b 、メタル配線 2 8 c 及びメタル配線 2 8 d の周囲に層間絶縁膜 2 7 が設けられ、層間絶縁膜 2 7 の上にパッシベーション膜 2 9 が設けられる。

10

【 0 1 0 9 】

このような構成を有する不揮発性半導体記憶装置 1 1 0 においては、メモリ部 M U の電極膜 6 1 の形成の際に形成される非メモリ部 P U のダミー導電膜 6 5 、及び、メモリ部 M U の選択ゲート電極 S G の形成の際に形成される非メモリ部 P U のダミー選択ゲート電極 S G d が、所定の電位に設定されることから、異なる電位をもつノード間の干渉が抑制される。

20

【 0 1 1 0 】

例えば、もし、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が浮遊状態とされると、周辺回路トランジスタ 5 1 の動作のために所定の電位に制御されるべきコンタクト電極 7 3 p 及びコンタクト電極 7 4 p が、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d を介して電気的に干渉することがある。その結果、コンタクト電極 7 3 p の電位及びコンタクト電極 7 4 p の電位が不安定になることがある。このように、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が浮遊状態とされると、非メモリ部 P U に含まれる種々の導電層の電位が不安定になることがある。さらに、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が浮遊状態とされると、メモリ部 M U に含まれる種々の導電層の電位が不安定になることがある。

30

【 0 1 1 1 】

これに対し、本実施形態においては、非メモリ部 P U のダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が所定の電位に設定されるので、異なる電位をもつノード間の干渉が抑制され、安定した動作が実現できる。すなわち、不揮発性半導体記憶装置 1 1 0 によれば、より安定した動作を実現できる。

【 0 1 1 2 】

例えば、第 1 非メモリ部コンタクト電極 7 1 p の電位、及び、第 2 非メモリ部コンタクト電極 7 2 p の電位は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値以上で、印加電圧の最大値以下とすることができる。これにより、例えば静電誘導などによって周辺回路トランジスタ 5 1 、コンタクト電極 7 3 p 及びコンタクト電極 7 4 p に発生する電圧が、周辺回路トランジスタ 5 1 の印加電圧の範囲を超えないことで、周辺回路トランジスタ 5 1 の損傷や不安定な動作がより抑制できる。そして、層間絶縁膜のストレスを減らすことが可能となる。これにより、例えば信頼性が向上する。

40

【 0 1 1 3 】

第 1 非メモリ部コンタクト電極 7 1 p の電位、及び、第 2 非メモリ部コンタクト電極 7 2 p の電位は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値よりも高く、印加電圧の最大値よりも低いことがさらに望ましい。これにより、周辺回路トランジスタ 5 1 の損傷や不安定な動作がさらに抑制できる。

50

## 【0114】

第1非メモリ部コンタクト電極71pの電位、及び、第2非メモリ部コンタクト電極72pの電位は、周辺回路トランジスタ51に与えられる印加電圧の最小値と、印加電圧の最大値と、の中間の電位であることがさらに望ましい。

## 【0115】

すなわち、第1非メモリ部コンタクト電極71pの電位と印加電圧の最小値との差と、第1非メモリ部コンタクト電極71pの電位と印加電圧の最大値との差と、は実質的に等しく設定することができる。例えば、第1非メモリ部コンタクト電極71pに印加する電圧は、周辺回路トランジスタ51に与えられる印加電圧の最小値と、印加電圧の最大値と、の中間の値に対して、プラスマイナス10%以内の値とされる。

10

また、第2非メモリ部コンタクト電極72pの電位と印加電圧の最小値との差と、第2非メモリ部コンタクト電極72pの電位と印加電圧の最大値との差と、は実質的に等しく設定することができる。例えば、第2非メモリ部コンタクト電極72pに印加する電圧は、周辺回路トランジスタ51に与えられる印加電圧の最小値と、印加電圧の最大値と、の中間の値に対して、プラスマイナス10%以内の値とされる。

これにより、周辺回路トランジスタ51の損傷や不安定な動作がさらに抑制できる。

## 【0116】

また、第1非メモリ部コンタクト電極71p及び第2非メモリ部コンタクト電極72pは、基板11の電位よりも低い電位に設定されることがある。これにより、例えば素子分離耐圧を改善することができる。これにより、より安定した動作が実現できる。また、信頼性がより向上できる。

20

## 【0117】

なお、第1非メモリ部コンタクト電極71pの電位と、第2非メモリ部コンタクト電極72pの電位と、は、互いに同じでも良く、また異なっていても良い。例えば、第1非メモリ部コンタクト電極71pと第2非メモリ部コンタクト電極72pとは電気的に接続されることができる。

## 【0118】

以下、不揮発性半導体記憶装置110の製造方法の例について説明する。

図4～図25は、第1の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

30

なお、これらの図においては、メモリ領域MUR（マトリクスマモリセル領域MU1R及び配線接続領域MU2R）と、非メモリ領域PURと、が示される。

## 【0119】

図4に表したように、シリコン基板などの基板11の主面11aの上に、周辺回路トランジスタ51を含む周辺回路部PCUを形成する。すなわち、例えば、基板11の主面11aにSTIとなる層間絶縁膜13を形成し、これにより、基板11の主面11aの側において分断された半導体層が形成される。半導体層の表面に絶縁膜13gを形成し、その上に導電膜を形成する。この導電膜は、周辺回路ゲート電極52及び接続部導電層SCCとなる。この導電膜には、例えばポリシリコンが用いられる。

40

## 【0120】

非メモリ領域PURにおいて、この導電膜を所定の形状に加工し、周辺回路ゲート電極52を形成する。周辺回路ゲート電極52を介して半導体層に不純物をドープして、拡散領域を形成する。これにより、周辺回路トランジスタ51が形成される。そして、周辺回路トランジスタ51を覆うように、層間絶縁膜53を形成する。

## 【0121】

一方、マトリクスマモリセル領域MU1Rにおいては、上記の導電膜によって接続部導電層SCCが形成される。接続部導電層SCCのうち、半導体接続部SCが形成される領域に溝を形成し、この溝の中に埋め込み犠牲膜SCsfを埋め込む。埋め込み犠牲膜SCsfには、例えば窒化シリコンが用いられる。

## 【0122】

50

次に、図 5 に表したように、接続部導電層 S C C、犠牲膜 S C s f、周辺回路トランジスタ 5 1 及び層間絶縁膜 5 3 の上に、絶縁膜 1 5 a を形成する。絶縁膜 1 5 a には例えば酸化シリコンが用いられる。

【0123】

さらに、層間絶縁膜 5 3 の上に、例えば、不純物が添加されたドープト・ポリシリコン膜 6 1 f と、不純物が添加されていないノンドープ・ポリシリコン膜 6 2 f と、を交互に繰り返して堆積して、積層構造体 M L の母体となる積層膜を形成する。さらに、この積層膜の上に、層間絶縁膜 1 6 を形成し、その上に選択ゲート電極 S G となる選択ゲート電極膜 S G f を形成し、その上に、層間絶縁膜 1 8 を形成する。選択ゲート電極膜 S G f には、例えば、不純物が添加されたポリシリコンを用いることができる。

10

【0124】

次に、図 6 に表したように、ドープト・ポリシリコン膜 6 1 f 及びノンドープ・ポリシリコン膜 6 2 f を含む積層膜、層間絶縁膜 1 6、選択ゲート電極膜 S G f、及び、層間絶縁膜 1 8 に、リソグラフィ法と R I E (Reactive Ion Etching) 法により、溝 T R 1 を形成する。これにより、積層膜、層間絶縁膜 1 6、選択ゲート電極膜 S G f、及び、層間絶縁膜 1 8 はライン状に加工される。

20

【0125】

次に、図 7 に表したように、溝 T R 1 に絶縁膜 T R 1 f を埋め込む。絶縁膜 T R 1 f には、例えば窒化シリコンまたは酸化シリコンが用いられる。絶縁膜 T R 1 f は、電極膜 6 1 どうしを分断する層間絶縁膜 I L P となる。

20

【0126】

次に、図 8 に表したように、ドープト・ポリシリコン膜 6 1 f 及びノンドープ・ポリシリコン膜 6 2 f を含む積層膜、層間絶縁膜 1 6、選択ゲート電極膜 S G f、及び、層間絶縁膜 1 8 に、リソグラフィ法と R I E 法により、貫通ホール T H を形成する。

【0127】

次に、図 9 に表したように、例えば、熱磷酸溶液を用い、貫通ホール T H を介して、埋め込み犠牲膜 S C s f を除去する。これにより、2つの貫通ホール T H の下部が連通する。

【0128】

次に、図 10 に表したように、メモリ領域 M U R におけるノンドープ・ポリシリコン膜 6 2 f を除去する。これには、例えば、アルカリ系の薬液が用いることができる。なお、積層されている複数のドープト・ポリシリコン膜 6 1 f は、絶縁膜 T R 1 f (層間絶縁膜 I L P) で支持される。

30

【0129】

一方、このとき、非メモリ領域 P U R におけるノンドープ・ポリシリコン膜 6 2 f は除去せず、そのまま残す。非メモリ領域 P U R におけるドープト・ポリシリコン膜 6 1 f が、ダミー導電膜 6 5 の第 1 ダミー膜 6 1 d になり、非メモリ領域 P U R におけるノンドープ・ポリシリコン膜 6 2 f が、ダミー導電膜 6 5 の第 2 ダミー膜 6 2 d になる。すなわち、ダミー導電膜 6 5 が形成される。

40

【0130】

そして、本具体例では、ドープト・ポリシリコン膜 6 1 f に含まれる不純物が、工程中の熱処理などによってノンドープ・ポリシリコン膜 6 2 f に拡散し、ドープト・ポリシリコン膜 6 1 f (第 1 ダミー膜 6 1 d) と、ノンドープ・ポリシリコン膜 6 2 f (第 2 ダミー膜 6 2 d) と、は、例えば一体化する。すなわち、本具体例では、ダミー導電膜 6 5 は、一体化した導電膜となり、第 1 ダミー膜 6 1 d と第 2 ダミー膜 6 2 d との境界が不明確になる場合がある。

【0131】

なお、非メモリ領域 P U R における選択ゲート電極膜 S G f が、ダミー選択ゲート電極 S G d となる。

【0132】

50

次に、図11に表したように、複数のドープト・ポリシリコン膜61fどうしの間に、例えば、シリコン酸化膜を例えればCVD (Chemical Vapor Deposition) 法により形成する。このシリコン酸化膜が電極間絶縁膜62になり、ドープト・ポリシリコン膜61fが電極膜61となる。これにより、積層構造体MLが形成される。

## 【0133】

なお、このとき、複数のドープト・ポリシリコン膜61fどうしの間隔（ノンドープ・ポリシリコン膜62fの厚さ）を、貫通ホールTHの径よりも小さく設定することで、貫通ホールTHが閉塞することなく、複数のドープト・ポリシリコン膜61fどうしの間を、シリコン酸化膜で埋めることができる。

## 【0134】

その後、例えば、希フッ酸処理により、貫通ホールTHの内部の側面に堆積したシリコン酸化膜を除去する。

## 【0135】

次に、図12に表したように、上記の希フッ酸処理に連続して、積層絶縁膜47を形成し、さらに、積層絶縁膜47の形成に連続して、半導体ピラーSPとなる半導体ピラー膜SPfを形成する。すなわち、積層絶縁膜47として、第1ピラー部外側絶縁膜43p1、第2ピラー部外側絶縁膜43p2及び第1接続部外側絶縁膜43c1となる、例えばシリコン酸化膜を形成し、第1ピラー部記憶層48p1、第2ピラー部記憶層48p2及び第1接続部記憶層48c1となる、例えばシリコン窒化膜を形成し、さらに、第1ピラー部内側絶縁膜42p1、第2ピラー部内側絶縁膜42p2及び第1接続部内側絶縁膜42c1となる、例えばシリコン酸化膜を形成する。そして、半導体ピラー膜SPfとして、例えばポリシリコン膜を形成する。

## 【0136】

なお、例えば、積層絶縁膜47の形成の後、積層絶縁膜47の表面上に前処理等を施すことなく、半導体ピラー膜SPfが形成される。

## 【0137】

そして、層間絶縁膜18の表面に形成された、シリコン酸化膜（電極間絶縁膜62となる膜）、積層絶縁膜47及び半導体ピラー膜SPfを、例えばRIE法により除去する。

## 【0138】

次に、図13に表したように、貫通ホールTHに埋め込まれている半導体ピラー膜SPfの一部を例えばRIE法により後退させた後に、貫通ホールTHの上部の空間に、半導体ピラーコンタクト部SPCとなるポリシリコン膜（例えば不純物が添加されたポリシリコン膜）で埋め込み、平坦化する。これにより、U字形状を有するメモリストリミングが形成される。

## 【0139】

次に、図14に表したように、配線接続領域MURにおいて、層間絶縁膜16、選択ゲート電極膜SGf及び層間絶縁膜18を、リソグラフィ法とRIE法を用いて除去し、積層構造体MLの上面を露出させる。

## 【0140】

次に、図15に表したように、層間絶縁膜18aを形成する。この層間絶縁膜18aには、例えば酸化シリコンを用いることができる。

## 【0141】

次に、図16に表したように、配線接続領域MURにおいて、レジスト膜のスリミングとRIEとを繰り返すことにより、電極膜61の端部を階段状に加工する。

## 【0142】

次に、図17に表したように、コンタクト電極73pが形成される部分の積層膜（層間絶縁膜18a、層間絶縁膜18、ダミー選択ゲート電極SGd、層間絶縁膜16及びダミー導電膜65）に開口部73oを形成し、コンタクト電極74pが形成される部分の積層膜（層間絶縁膜18a、層間絶縁膜18、ダミー選択ゲート電極SGd、層間絶縁膜16及びダミー導電膜65）に開口部74oを形成する。

10

20

30

40

50

## 【0143】

次に、図18に表したように、開口部73o及び開口部74oの内壁面にストップ膜18bとして、例えば窒化シリコン膜を形成する。ストップ膜18bは、層間絶縁膜18a及び、配線接続領域M U 2 Rにおいて露出している電極膜61の上にも形成される。その後、さらに、ストップ膜18bの上に層間絶縁膜18cを形成し、平坦化する。これにより、ストップ膜18bの上面の一部が露出する。層間絶縁膜18cには、例えば、酸化シリコンが用いられる。

## 【0144】

次に、図19に表したように、例えばRIE法により、表面のストップ膜18b及び、層間絶縁膜18cの表面部分を除去する。

10

## 【0145】

次に、図20に表したように、例えばプラズマCVD法を用い層間絶縁膜19となるシリコン酸化膜を形成した後、配線接続領域M U 2 Rにおいては、電極膜61に接続されるメモリ部コンタクト電極31のためのコンタクトホール31o、及び、接続部導電層SCCに接続されるメモリ部コンタクト電極33のためのコンタクトホール33oを形成する。さらに、非メモリ領域PURにおいては、ダミー導電膜65に接続される第1非メモリ部コンタクト電極71pのための開口部71o、及び、ダミー選択ゲート電極SGdに接続される第2非メモリ部コンタクト電極72pのための開口部72oを形成する。

## 【0146】

次に、図21に表したように、層間絶縁膜19及び層間絶縁膜18aのうちのソース線SLとなる部分に溝SLtを形成する。そして、層間絶縁膜19及び層間絶縁膜18aのうちの選択ゲート電極SGと接続されるメモリ部コンタクト配線34となる部分に溝34tを形成する。そして、層間絶縁膜19及び層間絶縁膜18aのうちの、メモリ部コンタクト電極31、メモリ部コンタクト電極33、第1非メモリ部コンタクト電極71p、第2非メモリ部コンタクト電極72p、コンタクト電極73p、及び、コンタクト電極74pのそれぞれの接続部分となる部分に、それぞれ、溝31t、溝33t、溝71t、溝72t、溝73t、溝74tを形成する。

20

## 【0147】

次に、図22に表したように、溝SLt、溝34t、溝31t、溝33t、溝71t、溝72t、溝73t、溝74t、コンタクトホール31o、コンタクトホール33o、開口部71o、開口部72o、開口部73oの残余の空間、及び、開口部74oの残余の空間に導電膜を埋め込む。この導電膜には、例えば、Ti膜-TiN膜-W膜の積層膜が用いられる。そして、導電膜の上面をCMP(Chemical Mechanical Polishing)法により除去する。このように、デュアルダマシン工程により、コンタクトプラグと配線とが同時に形成される。

30

## 【0148】

すなわち、ソース線SL、メモリ部コンタクト配線34、メモリ部コンタクト電極31の接続部31c、メモリ部コンタクト電極33の接続部33c、第1非メモリ部コンタクト電極71pの接続部71c、第2非メモリ部コンタクト電極72pの接続部72c、コンタクト電極73pの接続部73c、コンタクト電極74pの接続部74c、メモリ部コンタクト電極31、メモリ部コンタクト電極33、第1非メモリ部コンタクト電極71p、第2非メモリ部コンタクト電極72p、コンタクト電極73p、コンタクト電極74p、が同時に形成される。

40

## 【0149】

なお、コンタクト電極73pと、ダミー導電膜65及びダミー選択電極SGdと、の間に、ストップ膜18b及び層間絶縁膜18cが挿入されている。このストップ膜18b及び層間絶縁膜18cが、層間絶縁膜73Iとなる。これにより、コンタクト電極73pと、ダミー導電膜65及びダミー選択ゲート電極SGdと、が電気的に遮断される。

## 【0150】

また、コンタクト電極74pと、ダミー導電膜65及びダミー選択電極SGdと、の間

50

に、ストップ膜 18b 及び層間絶縁膜 18c が挿入されている。このストップ膜 18b 及び層間絶縁膜 18c が、層間絶縁膜 74I となる。これにより、コンタクト電極 74p と、ダミー導電膜 65 及びダミー選択ゲート電極 SGd と、が電気的に遮断される。

#### 【0151】

このように、周辺回路コンタクト層間絶縁膜（層間絶縁膜 73I）は、シリコン窒化膜とシリコン酸化膜との積層膜を含むことができる。これにより、コンタクト電極 73p と、ダミー導電膜 65 及びダミー選択電極 SGd と、の間の高い絶縁性が実現できる。そして、周辺回路基板コンタクト層間絶縁膜（層間絶縁膜 74I）は、シリコン窒化膜とシリコン酸化膜との積層膜を含むことができる。これにより、コンタクト電極 74p と、ダミー導電膜 65 及びダミー選択電極 SGd と、の間の高い絶縁性が実現できる。

10

#### 【0152】

次に、図 23 に表したように、層間絶縁膜 23 を形成し、リソグラフィ法と RIE 法により開孔を形成し、その開口の内部に導電膜を埋め込む。この導電膜には、例えば、TiN 膜 - TiN 膜 - W 膜の積層膜を用いることができる。さらにその導電膜の上部を CMP により除去する。これにより、ソース線 SL のレベルの導電層への接続部が形成される。そして、それと同時に、ビット線 BL に接続される半導体ピラー SP（第 1 半導体ピラ - SP1 及び第 4 半導体ピラー SP4 など）の上部にコンタクトプラグ（コンタクト電極 VA1 及び VA2 の一部）が形成される。

#### 【0153】

次に、図 24 に表したように、層間絶縁膜 24 を形成し、リソグラフィ法と RIE 法により、ビット線 BL に相当する分部に溝を形成した後、その溝の内部に導電膜を埋め込む。この導電膜には、例えば Ta 膜 - TaN 膜 - Cu 膜の積層膜が用いられる。そして、この導電膜の上部を CMP によって除去する。これにより、ビット線 BL、及び、ビット線 BL と同層の配線（ワード配線 32、配線 35、配線 71、配線 72、配線 73 及び配線 74）が形成される。

20

#### 【0154】

次に、図 25 に表したように、層間絶縁膜 25 を形成し、層間絶縁膜 25 のレベルの配線へのコンタクトプラグとなる開孔部を形成し、この開口部に導電膜を埋め込む。この導電膜には、例えば Ti 膜 - TiN 膜 - AlCu 膜の積層膜が用いられる。そして、この積層膜を所定の形状に加工する。これにより、メタル配線 28a、メタル配線 28b、メタル配線 28c 及びメタル配線 28d が形成される。また、図示しない配線層やボンディングパッドが形成される。

30

#### 【0155】

さらに、その上に、デバイス保護のための層間絶縁膜 27（例えばシリコン酸化膜）及びパッシベーション膜 29（例えばシリコン窒化膜）を形成し、さらに、これらの膜のボンディングパッドに対応する部分に開口を形成する。

以上の工程を経て、不揮発性半導体記憶装置 110 が製造される。

#### 【0156】

図 26 は、第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的平面図である。

40

すなわち、同図は、不揮発性半導体記憶装置 110 における、第 1 非メモリ部コンタクト電極 71p 及び第 2 非メモリ部コンタクト電極 72p の配置を例示している。同図は、第 1 非メモリ部コンタクト電極 71p 及び第 2 非メモリ部コンタクト電極 72p を Z 軸方向に沿ってみたときの平面図である。

#### 【0157】

図 26 に表したように、不揮発性半導体記憶装置 110 においては、ダミー導電膜 65 に接続される第 1 非メモリ部コンタクト電極 71p と、ダミー選択ゲート電極 SGd に接続される第 2 非メモリ部コンタクト電極 72p と、が連続しておらず、互いに独立している。すなわち、第 1 非メモリ部コンタクト電極 71p は、Z 軸方向に沿ってみたときに、第 2 非メモリ部コンタクト電極 72p と重なる部分を有していない。

50

## 【0158】

ただし、実施形態はこれに限らず、第1非メモリ部コンタクト電極71p及び第2非メモリ部コンタクト電極72pの配置は任意である。

## 【0159】

図27は、第1の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的断面図である。

すなわち、同図は、本実施形態に係る別の不揮発性半導体記憶装置111における非メモリ部PUの構成を例示している。

## 【0160】

図28は、第1の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。10

すなわち、同図は、不揮発性半導体記憶装置111における、第1非メモリ部コンタクト電極71p及び第2非メモリ部コンタクト電極72pの配置（Z軸方向に沿ってみたときの配置）を例示している。

不揮発性半導体記憶装置111におけるメモリ部MUの構成は、不揮発性半導体記憶装置110のメモリ部MUの構成と同様とすることができるので説明を省略する。

## 【0161】

図27及び図28に例示したように、不揮発性半導体記憶装置111においては、第1非メモリ部コンタクト電極71pのX-Y平面における位置と、第2非メモリ部コンタクト電極72pにおける位置とは実質的に同じである。すなわち、第1非メモリ部コンタクト電極71pと第2非メモリ部コンタクト電極72pとは電気的に接続される。これにより、第1非メモリ部コンタクト電極71pの電位の設定と、第2非メモリ部コンタクト電極72pの電位の設定とが、小さい面積で実施でき、有利となる。20

## 【0162】

本具体例では、第2非メモリ部コンタクト電極72pのX-Y平面における外周の中に、第1非メモリ部コンタクト電極71pのX-Y平面における外周が含まれる例である。また、このような構成により、工程削減ができ、また、チップ面積の縮小が可能となる。なお、第1非メモリ部コンタクト電極71pのX-Y平面における外周の中に、第2非メモリ部コンタクト電極72pのX-Y平面における外周が含まれても良い。

## 【0163】

図29は、第1の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

すなわち、同図は、本実施形態に係る別の不揮発性半導体記憶装置112における非メモリ部PUの構成を例示している。不揮発性半導体記憶装置111におけるメモリ部MUの構成は、不揮発性半導体記憶装置110のメモリ部MUの構成と同様とすることができるので説明を省略する。

## 【0164】

図29に例示したように、不揮発性半導体記憶装置112においても、第1非メモリ部コンタクト電極71pと第2非メモリ部コンタクト電極72pとが連続しており、互いに電気的に接続される。

## 【0165】

本具体例では、第2非メモリ部コンタクト電極72pのX-Y平面における外周と、第1非メモリ部コンタクト電極71pのX-Y平面における外周と、が、互いに重なる。

## 【0166】

不揮発性半導体記憶装置111及び112のように、第1非メモリ部コンタクト電極71pは、Z軸方向に沿ってみたときに、第2非メモリ部コンタクト電極72pと重なる部分を有することができる。このような構成により、チップ面積の縮小が可能となる。

## 【0167】

（第2の実施の形態）

図30は、第2の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面

10

20

30

40

40

50

図である。

図30に表したように、本実施形態に係る不揮発性半導体記憶装置120も、メモリ部MUと、非メモリ部PUと、を備える。メモリ部MUの構成は、例えば不揮発性半導体記憶装置110と同様とすることができるので説明を省略する。

【0168】

図30に表したように、不揮発性半導体記憶装置120の非メモリ部PUにおけるダミー導電膜65の構成が不揮発性半導体記憶装置110とは異なる。

すなわち、不揮発性半導体記憶装置120においても、ダミー導電膜65は、複数の電極膜61のそれぞれと同層の複数の第1ダミー膜61dと、複数の電極間絶縁膜62と同層の複数の第2ダミー膜62dと、含む。本具体例では、第2ダミー膜62dが絶縁膜である。

【0169】

すなわち、第2ダミー膜62dには、例えば、電極間絶縁膜62に用いられる材料と同じ材料が用いられている。また、第1ダミー膜61dには、例えば、電極膜61に用いられる材料と同じ材料が用いられている。

この場合も、ダミー導電膜65に含まれる第1ダミー膜61dが、ダミー導電膜65のうちの、複数の電極膜61の少なくとも1つと同層の部分65pとなる。

なお、この場合、図30に例示したように、第1非メモリ部コンタクト電極71pは、一番下層の第1ダミー膜61dに到達する。

【0170】

このような構成を有する不揮発性半導体記憶装置120においても、非メモリ部PUのダミー導電膜65及びダミー選択ゲート電極SGdが所定の電位に設定されるので、異なる電位をもつノード間の干渉が抑制され、安定した動作が実現できる。

【0171】

なお、不揮発性半導体記憶装置120においても、第1非メモリ部コンタクト電極71pは、Z軸方向に沿ってみたときに、第2非メモリ部コンタクト電極72pと重なる部分を有することができ、また、有さないことができる。

【0172】

(第3の実施の形態)

図31は、第3の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

なお、図31においては、図を見易くするために、導電部分のみを示し、絶縁部分は図示を省略している。

すなわち、図31には、本実施形態に係る不揮発性半導体記憶装置130におけるマトリクスメモリセル部MU1が例示されている。

【0173】

不揮発性半導体記憶装置130における非メモリ部PU、及び、メモリ部MUの配線接続部MU2の構成は不揮発性半導体記憶装置110、111、112及び120と同様とすることができるので説明を省略する。

【0174】

図31に表したように、本実施形態に係る不揮発性半導体記憶装置130においては、半導体接続部SCが設けられず、半導体ピラーSPのそれぞれが独立している。すなわち、不揮発性半導体記憶装置130においては、直線状のNANDストリングが設けられる。

【0175】

不揮発性半導体記憶装置130におけるメモリ部MU(マトリクスメモリセル部MU1)は、積層構造体ML(第1積層構造体ML1)と、選択ゲート電極SG(第1選択ゲート電極SG1)と、半導体ピラーSP(第1半導体ピラーSP1)と、記憶層48(第1ピラー部記憶層48p1)と、外側絶縁膜43(第1ピラー部外側絶縁膜43p1)と、内側絶縁膜42(第1ピラー部内側絶縁膜42p1)と、を含む。積層構造体MLと、半

10

20

30

40

50

導体ピラー S P、記憶層 4 8、外側絶縁膜 4 3 及び内側絶縁膜 4 2 の構成は第 1 の実施形態と同様とすることができるので説明を省略する。

【 0 1 7 6 】

不揮発性半導体記憶装置 1 3 0 のメモリ部 M U においては、積層構造体 M L の上に上部選択ゲート電極 U S G ( 第 1 選択ゲート電極 S G 1 であり、例えばドレイン側選択ゲート電極 S G D となる ) が設けられ、積層構造体 M L の下に下部選択ゲート電極 L S G ( 第 2 選択ゲート電極 S G 2 であり、例えばソース側選択ゲート電極 S G S となる ) が設けられている。

【 0 1 7 7 】

上部選択ゲート電極 U S G と半導体ピラー S P との間には上部選択ゲート絶縁膜 U S G I ( 図示しない ) が設けられ、下部選択ゲート電極 L S G と半導体ピラー S P との間には、下部選択ゲート絶縁膜 L S G I ( 図示しない ) が設けられる。

選択ゲート絶縁膜 S G I ( 図示しない ) ( 上部選択ゲート絶縁膜 U S G I 及び下部選択ゲート絶縁膜 L S G I ) には、上記の内側絶縁膜 4 2、記憶層 4 8 及び外側絶縁膜 4 3 の積層膜を用いても良く、また、内側絶縁膜 4 2、記憶層 4 8 及び外側絶縁膜 4 3 の積層膜とは異なる絶縁膜を用いても良い。選択ゲート絶縁膜 S G I は、単層膜でも良く、積層膜でも良い。

【 0 1 7 8 】

そして、下部選択ゲート電極 L S G の下側に、ソース線 S L ( 例えば第 2 配線 W R 2 ) が設けられている。ソース線 S L の下に層間絶縁膜 ( 図示しない ) が設けられ、ソース線 S L と下部選択ゲート電極 L S G との間に層間絶縁膜 ( 図示しない ) が設けられている。

【 0 1 7 9 】

下部選択ゲート電極 L S G の下方において半導体ピラー S P はソース線 S L に接続され、上部選択ゲート電極 U S G の上方において半導体ピラー S P はビット線 B L ( 例えば第 1 配線 W R 1 ) に接続されている。そして、上部選択ゲート電極 U S G と下部選択ゲート電極 L S G との間の積層構造体 M L において、メモリセル M C が形成される。半導体ピラー S P が、直線状の 1 つのメモリストリングとして機能する。

【 0 1 8 0 】

上部選択ゲート電極 U S G は、層間絶縁膜 ( 図示しない ) によって Y 軸方向に分断されており、X 軸方向に沿って延在する帯状の形状を有している。下部選択ゲート電極 L S G は、層間絶縁膜 ( 図示しない ) によって Y 軸方向に分断されており、X 軸方向に沿って延在する帯状の形状を有している。

【 0 1 8 1 】

一方、半導体ピラー S P の上部に接続されるビット線 B L 、及び、半導体ピラー S P の下部に接続されるソース線 S L は、Y 軸方向に延在する帯状の形状を有している。

そして、本具体例では、電極膜 6 1 は、X - Y 平面に平行な板状の導電膜である。

【 0 1 8 2 】

このような構成を有する不揮発性半導体記憶装置 1 3 0 においても、非メモリ部 P U のダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が所定の電位に設定されるので、異なる電位をもつノード間の干渉が抑制され、安定した動作が実現できる。

【 0 1 8 3 】

なお、不揮発性半導体記憶装置 1 3 0 においても、第 1 非メモリ部コンタクト電極 7 1 p は、Z 軸方向に沿ってみたときに、第 2 非メモリ部コンタクト電極 7 2 p と重なる部分を有することができ、また、有さないことができる。

【 0 1 8 4 】

以上、実施形態によれば、より安定した動作を実現する一括加工型 3 次元積層型の不揮発性半導体記憶装置が提供される。

【 0 1 8 5 】

なお、上記においては、記憶層 4 8 として窒化シリコンを用いる場合について説明したが、実施形態はこれに限らず、記憶層 4 8 には、窒化シリコン、酸窒化シリコン、酸化ア

10

20

30

40

50

ルミニウム、酸窒化アルミニウム、ハフニア、ハフニウム・アルミネート、窒化ハフニア、窒化ハフニウム・アルミネート、ハフニウム・シリケート、窒化ハフニウム・シリケート、酸化ランタン及びランタン・アルミネートよりなる群から選択されたいずれかの単層膜、または、前記群から選択された複数からなる積層膜を用いることができる。

〔 0 1 8 6 〕

また、電極間絶縁膜 6 2、内側絶縁膜 4 2 及び外側絶縁膜 4 3 には、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、ハフニア、ハフニウム・アルミネート、窒化ハフニア、窒化ハフニウム・アルミネート、ハフニウム・シリケート、窒化ハフニウム・シリケート、酸化ランタン及びランタン・アルミネートよりなる群から選択されたいずれかの单層膜、または、前記群から選択された複数からなる積層膜を用いることができる。

10

〔 0 1 8 7 〕

なお、本願明細書において、「垂直」及び「平行」は、厳密な垂直及び厳密な平行だけではなく、例えば製造工程におけるばらつきなどを含むものであり、実質的に垂直及び実質的に平行であれば良い。

〔 0 1 8 8 〕

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、不揮発性半導体記憶装置に含まれる電極膜、電極間絶縁膜、選択ゲート電極、半導体ピラー、半導体接続部、接続部導電膜、記憶層、内側絶縁膜、外側絶縁膜、絶縁膜、導電膜、層間絶縁膜、ソース線、ビット線、配線、ダミー導電膜、ダミー電極、コンタクト電極などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【 0 1 8 9 】

その他、本発明の実施の形態として上述した不揮発性半導体記憶装置を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性半導体記憶装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

【 0 1 9 0 】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

30

〔 0 1 9 1 〕

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したのであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

40

## 【第五章】

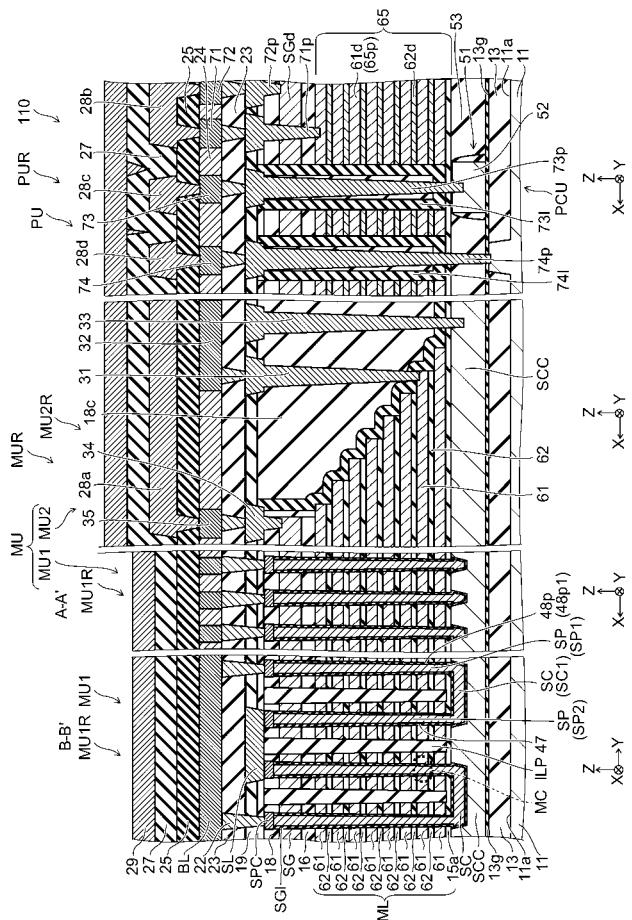
100 与 09 听

【0192】 1 1 ... 基板、 1 1 a ... 主面、 1 3 ... 層間絶縁膜、 1 3 g ... 絶縁膜、 1 5 a ... 絶縁膜、 1 6、 1 8、 1 8 a、 1 8 c ... 層間絶縁膜、 1 8 b ... ストップ膜、 1 9 ... 層間絶縁膜、 2 2、 2 2 a、 2 2 b ... コンタクト電極、 2 3、 2 4 ... 層間絶縁膜、 2 4 a ... コンタクト電極、 2 5、 2 7 ... 層間絶縁膜、 2 8 a、 2 8 b、 2 8 c、 2 8 d ... メタル配線、 2 9 ... パッシベーション膜、 3 1 ... メモリ部コンタクト電極、 3 1 c ... 接続部、 3 1 o ... コンタクトホール、 3 1 t ... 溝、 3 2 ... ワード配線、 3 3 ... メモリ部コンタクト電極、 3 3 c ... 接続部、 3 3 o ... コンタクトホール、 3 3 t 溝 3 4 ... メモリ部コンタクト配線 3 4 t 溝 3 5 配線 4 2 内側絶

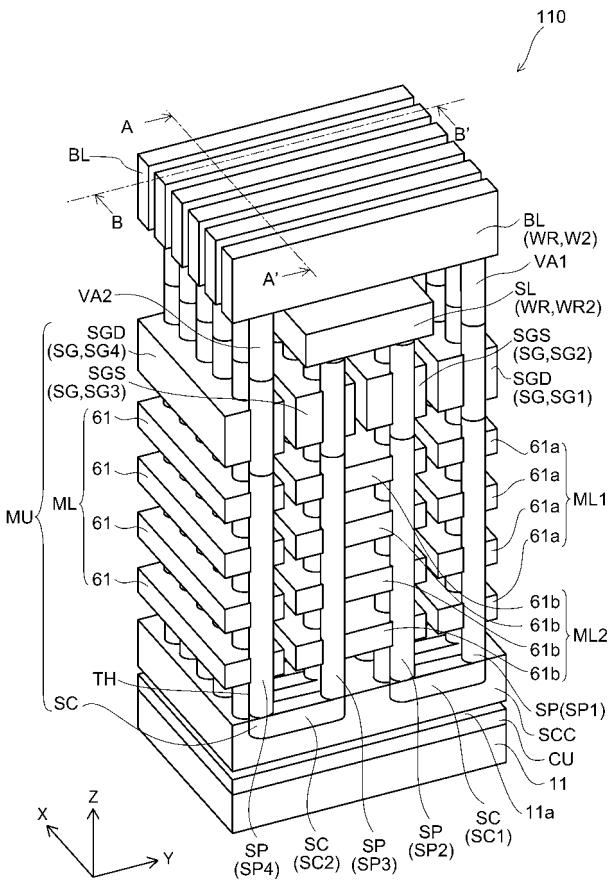
50

縁膜、 4 2 c ... 接続部内側絶縁膜、 4 2 c 1 ... 第1接続部内側絶縁膜、 4 2 p 1、 4 2 p 2 ... 第1及び第2ピラー部内側絶縁膜、 4 3 ... 外側絶縁膜、 4 3 c ... 接続部外側絶縁膜、 4 3 c 1 ... 第1接続部外側絶縁膜、 4 3 p 1、 4 3 p 2 ... 第1及び第2ピラー部外側絶縁膜、 4 7 ... 積層絶縁膜、 4 8 ... 記憶層、 4 8 c ... 接続部記憶層、 4 8 c 1 ... 第1接続部記憶層、 4 8 p ... ピラー部記憶層、 4 8 p 1、 4 8 p 2 ... 第1及び第2ピラー部記憶層、 5 1 ... 周辺回路トランジスタ、 5 2 ... 周辺回路ゲート電極、 5 3 ... 層間絶縁膜、 6 1 ... 電極膜、 6 1 a、 6 1 b ... 第1及び第2電極膜、 6 1 d ... 第1ダミー電極、 6 1 f ... ドープト・ポリシリコン膜、 6 2 ... 電極間絶縁膜、 6 2 a、 6 2 b ... 第1及び第2電極間絶縁膜、 6 2 d ... 第2ダミー膜、 6 2 f ... ノンドープ・ポリシリコン膜、 6 5 ... ダミー導電膜、 6 5 p ... 部分、 7 1 ... 配線、 7 1 c ... 接続部、 7 1 o ... 開口部、 7 1 p ... 第1非メモリ部コントラクト電極、 7 1 t ... 溝、 7 2 ... 配線、 7 2 c ... 接続部、 7 2 o ... 開口部、 7 2 p ... 第2非メモリ部コントラクト電極、 7 2 t ... 溝、 7 3 ... 配線、 7 3 I ... 層間絶縁膜、 7 3 c ... 接続部、 7 3 o ... 開口部、 7 3 p ... コントラクト電極、 7 3 t ... 溝、 7 4 ... 配線、 7 4 I ... 層間絶縁膜、 7 4 c ... 接続部、 7 4 o ... 開口部、 7 4 p ... コントラクト電極、 7 4 t ... 溝、 1 1 0、 1 1 1、 1 1 2、 1 2 0、 1 3 0 ... 不揮発性半導体記憶装置、 B L ... ピット線、 I L P ... 層間絶縁膜、 L S G ... 下部選択ゲート電極、 M C ... メモリセル、 M L ... 積層構造体、 M L 1、 M L 2 ... 第1及び第2積層構造体、 M U ... メモリ部、 M U 1 ... マトリクスメモリセル部、 M U 1 R ... マトリクスメモリセル領域、 M U 2 ... 配線接続部、 M U 2 R ... 配線接続領域、 M U R ... メモリ領域、 P C U ... 周辺回路部、 P U ... 非メモリ部、 P U R ... 非メモリ領域、 S C、 S C n ... 半導体接続部、 S C 1、 S C 2 ... 第1及び第2半導体接続部、 S C C ... 接続部導電層、 S C s f ... 犠牲膜、 S G ... 選択ゲート電極、 S G 1 ~ S G 4 ... 第1 ~ 第4選択ゲート電極、 S G D ... ドレイン側選択ゲート電極、 S G I ... 選択ゲート絶縁膜、 S G I 1、 S G I 2 ... 第1及び第2選択ゲート絶縁膜、 S G S ... ソース側選択ゲート電極、 S G T 1、 S G T 2 ... 第1及び第2選択ゲートトランジスタ、 S G d ... ダミー選択ゲート電極、 S G f ... 選択ゲート電極膜、 S L ... ソース線、 S L t ... 溝、 S P、 S P n ... 半導体ピラー、 S P 1 ~ S P 4 ... 第1 ~ 第4半導体ピラー、 S P C ... 半導体ピラーコンタクト部、 S P f ... 半導体ピラー膜、 T H ... 貫通ホール、 T R 1 ... 溝、 T R 1 f ... 絶縁膜、 U S G ... 上部選択ゲート電極、 V A 1、 V A 2 ... コントラクト電極、 W R 1、 W R 2 ... 第1及び第2配線

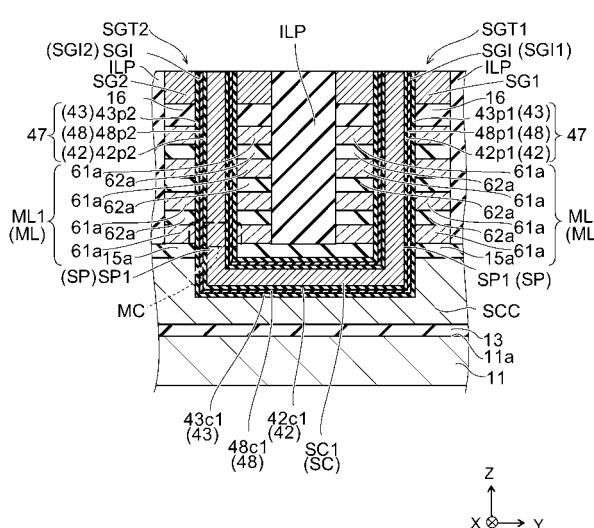
【 図 1 】



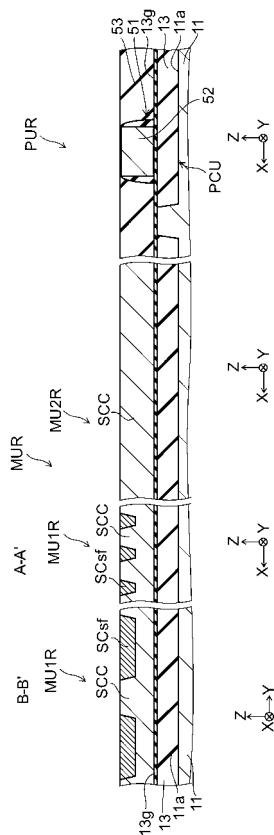
【 図 2 】



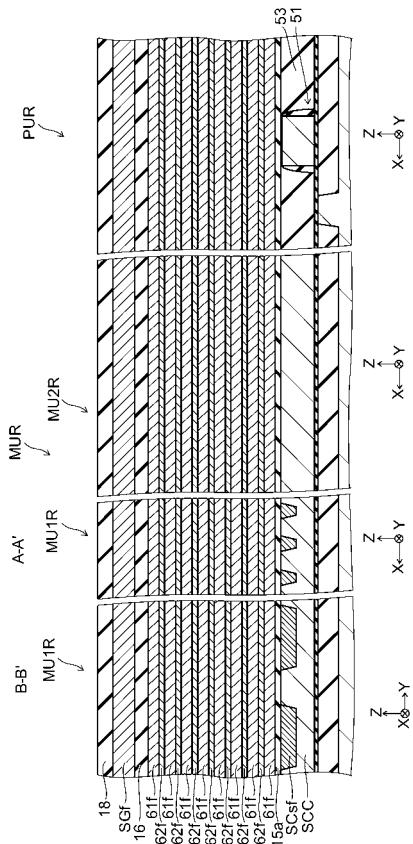
【 3 】



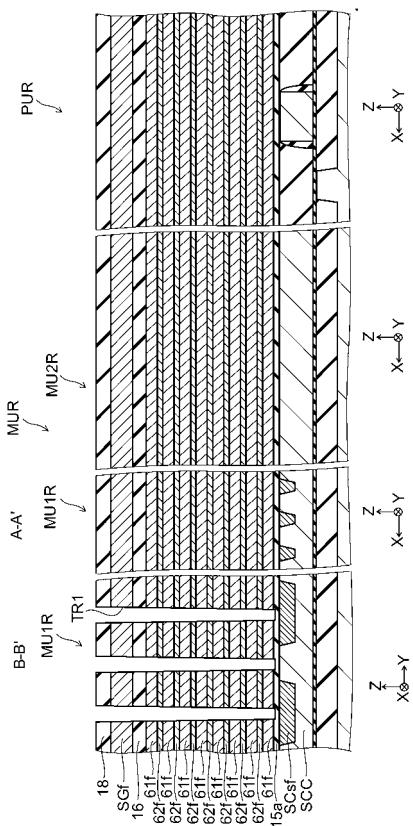
【 図 4 】



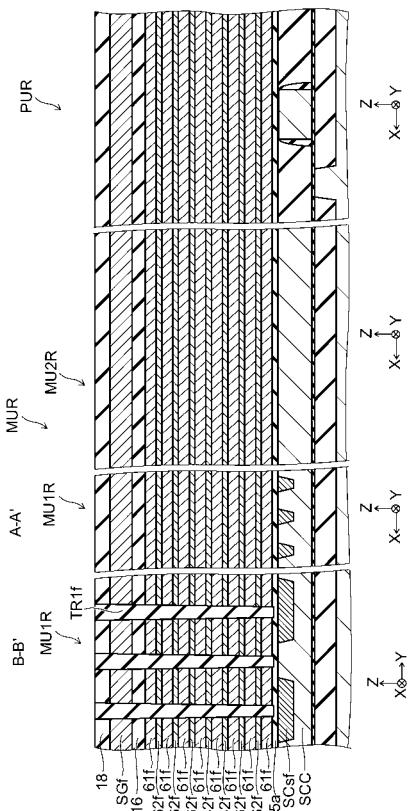
【 図 5 】



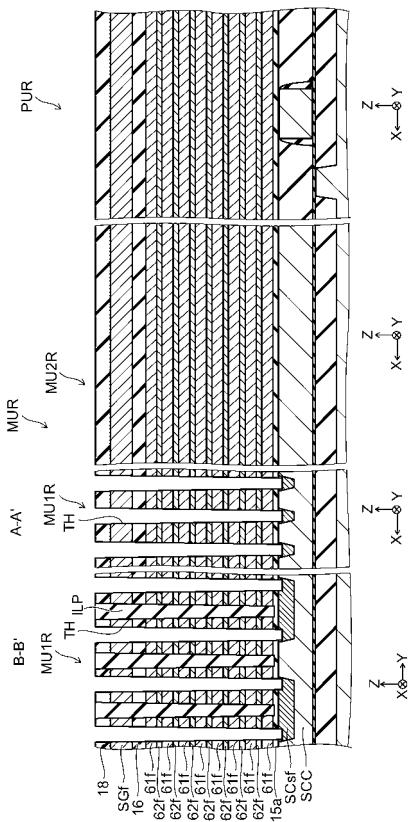
〔 四 6 〕



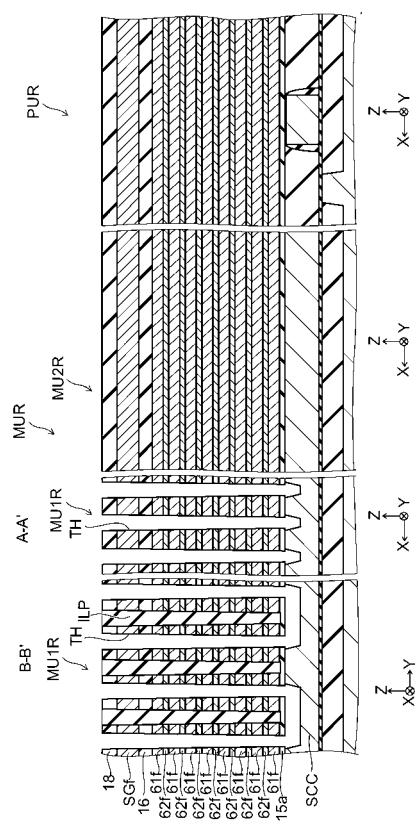
【 义 7 】



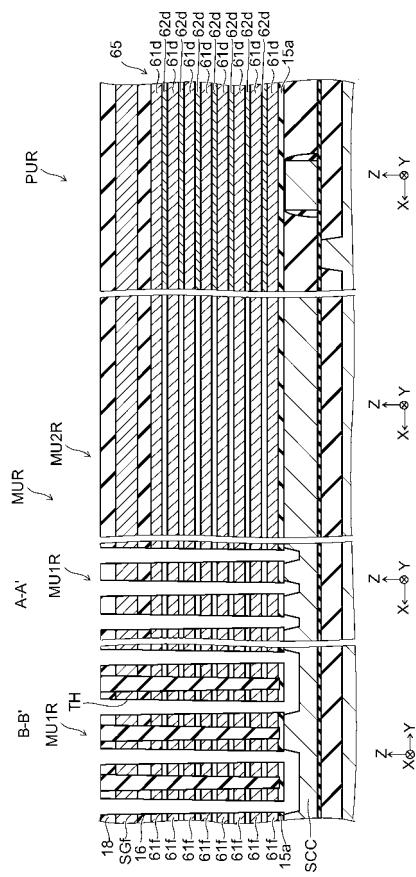
【 8 】



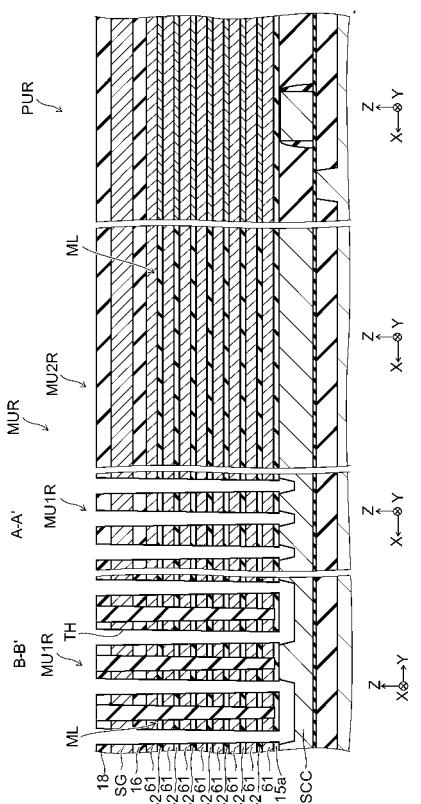
【図9】



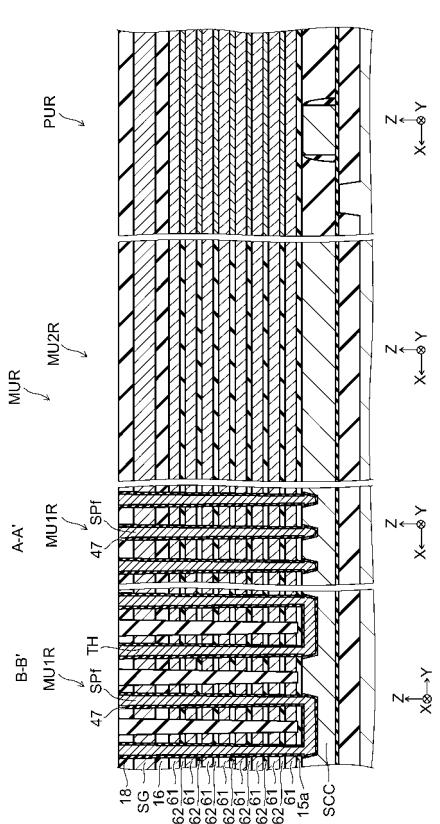
【図10】



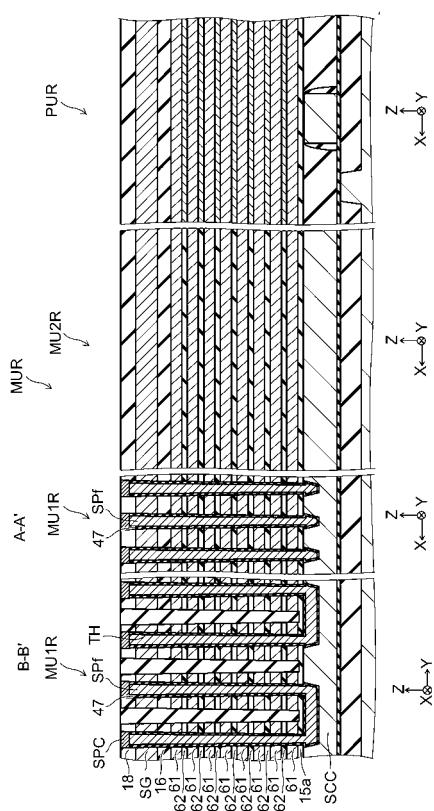
【図11】



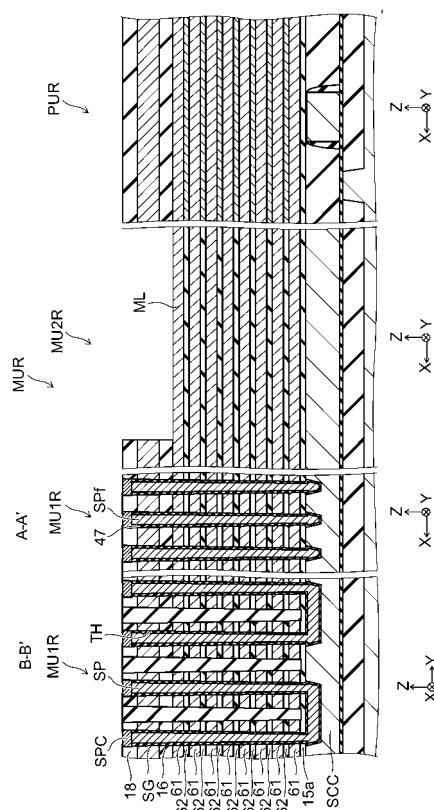
【図12】



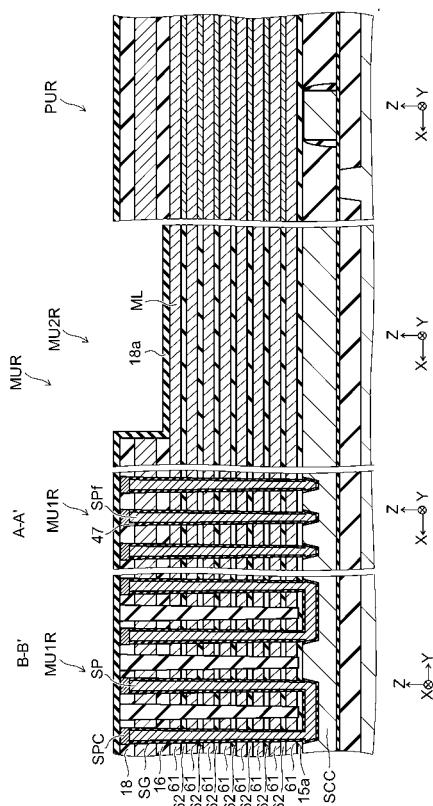
【 図 1 3 】



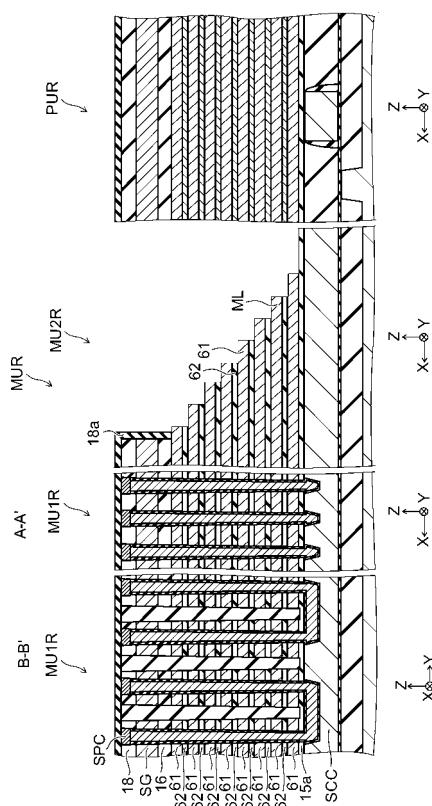
【 図 1 4 】



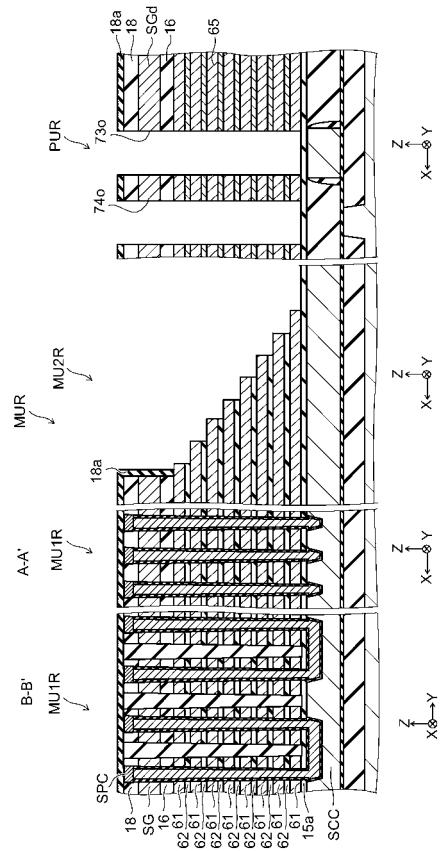
【 図 15 】



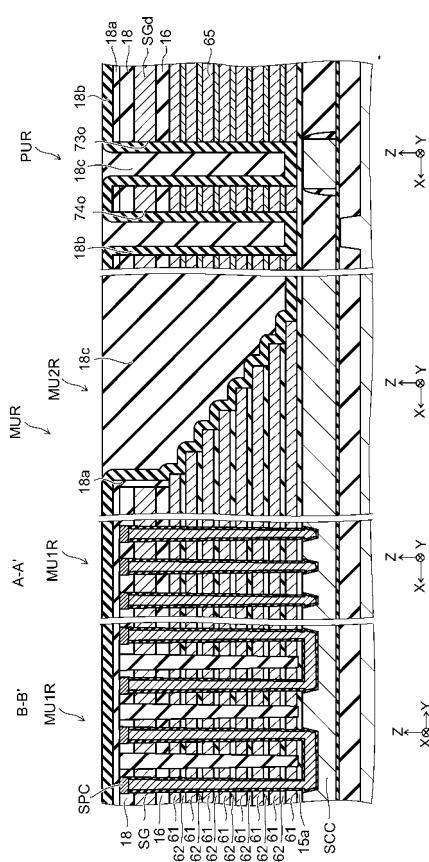
【 図 1 6 】



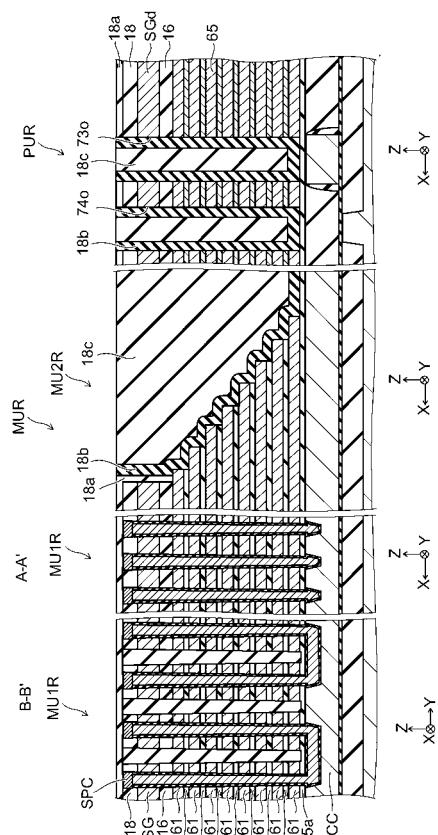
【図17】



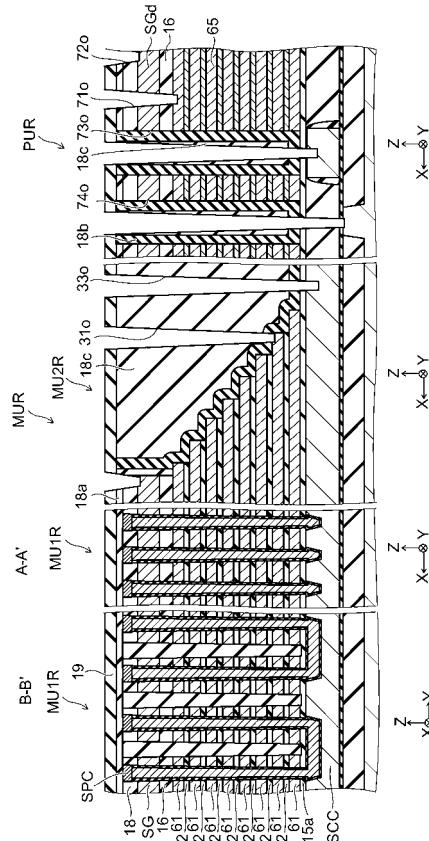
【図18】



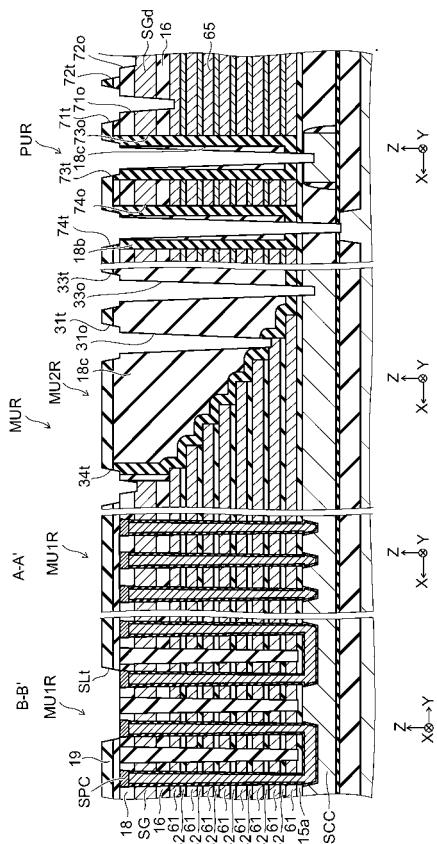
【図19】



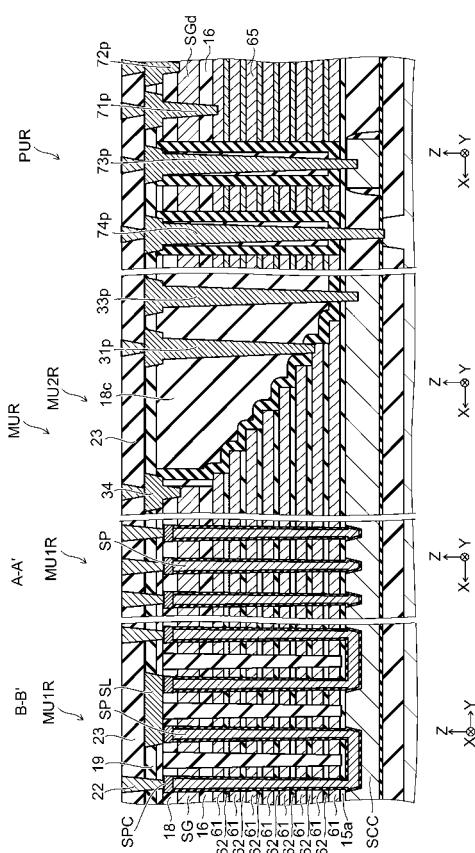
【図20】



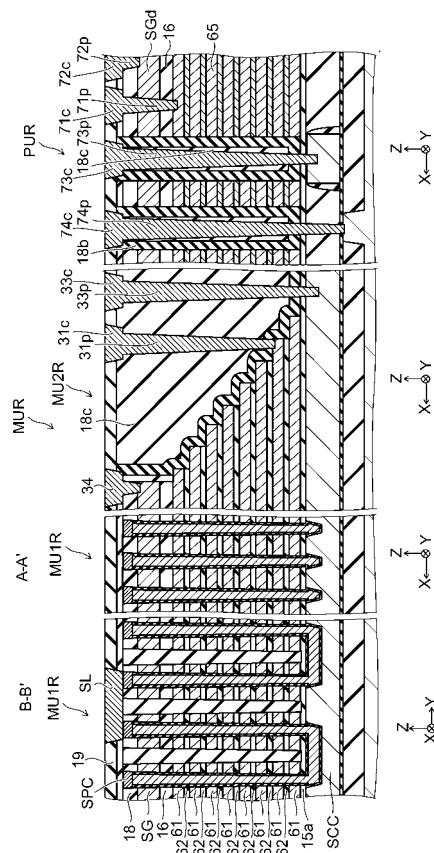
【 図 2 1 】



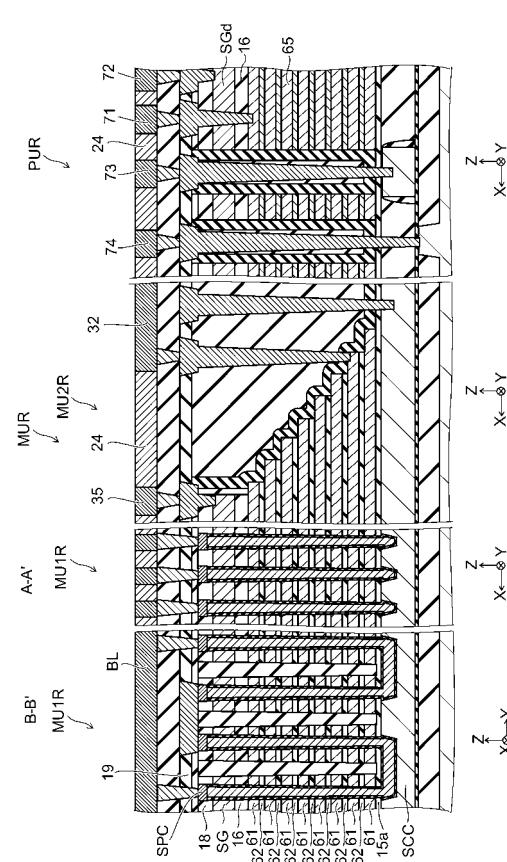
【 図 2 3 】



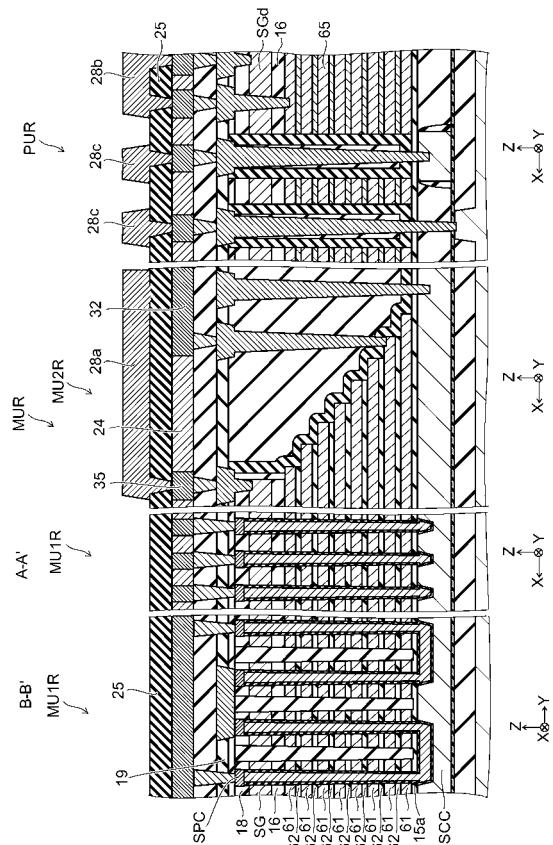
【 図 2 2 】



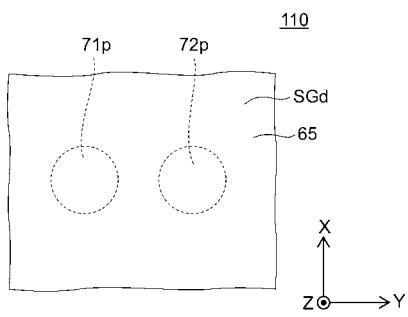
【 図 2 4 】



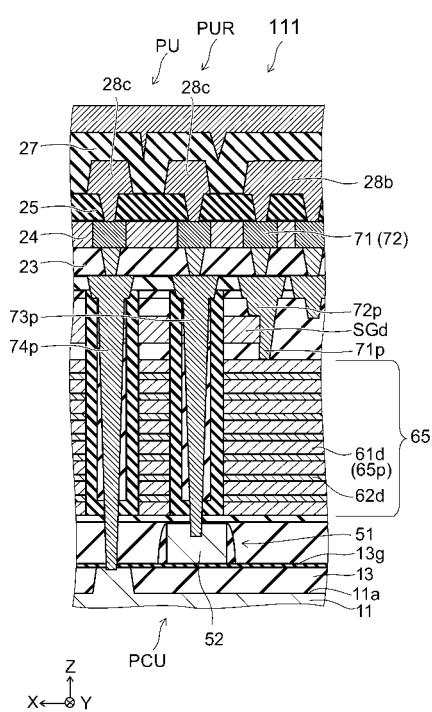
【図25】



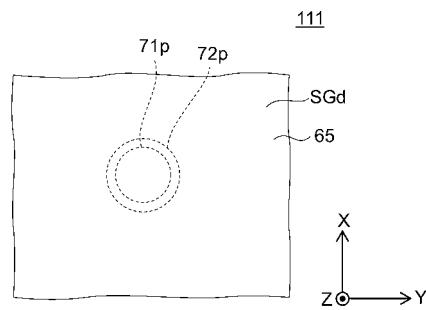
【図26】



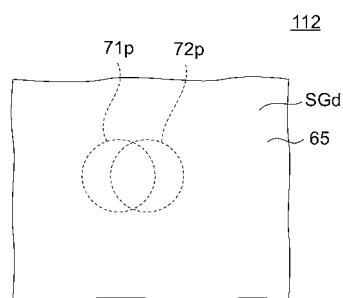
【図27】



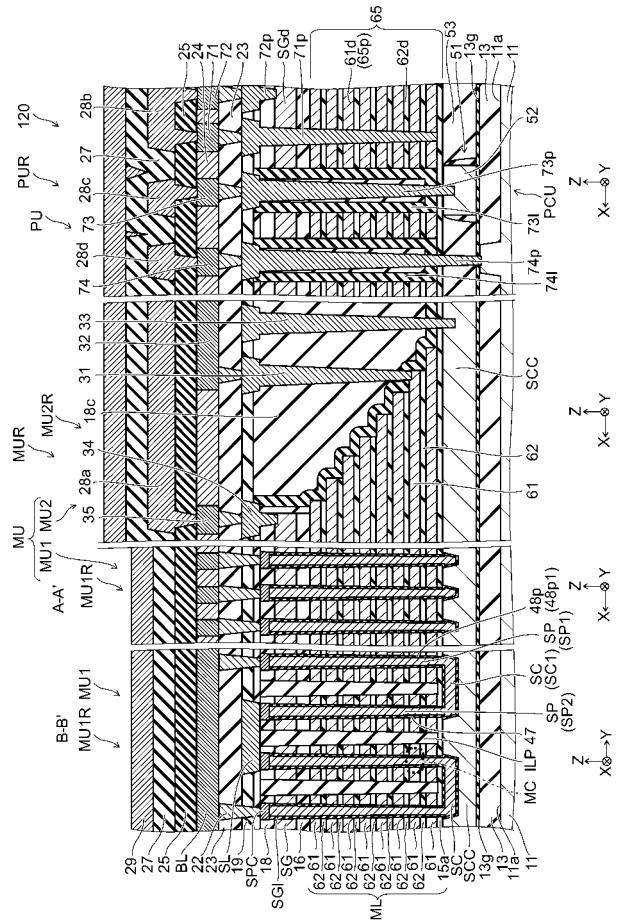
【図28】



【図29】



【図30】



【図31】

