

【特許請求の範囲】**【請求項 1】**

情報を格納するメモリ部と、
前記メモリ部に併設され、情報を格納しない非メモリ部と、
を備え、
前記メモリ部は、
第 1 方向に積層された複数の第 1 電極膜と、前記複数の第 1 電極膜どうしの間に設けられた第 1 電極間絶縁膜と、を含む第 1 積層構造体と、
前記第 1 積層構造体と前記第 1 方向に沿って積層された第 1 選択ゲート電極と、
前記第 1 積層構造体及び前記第 1 選択ゲート電極を前記第 1 方向に沿って貫通する第 1 半導体ピラーと、
前記複数の第 1 電極膜と前記第 1 半導体ピラーとの間に設けられた第 1 ピラー部記憶層と、
を含み、
前記非メモリ部は、
前記複数の第 1 電極膜の少なくとも 1 つと同層の部分を含むダミー導電膜と、
前記選択ゲート電極と同層のダミー選択ゲート電極と、
前記ダミー導電膜に電氣的に接続され前記第 1 方向に沿って延在する第 1 非メモリ部コンタクト電極と、
前記ダミー選択ゲート電極に電氣的に接続され前記第 1 方向に沿って延在する第 2 非メモリ部コンタクト電極と、
を含むことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記ダミー導電膜は、
前記複数の第 1 電極膜のそれぞれと同層の複数の第 1 ダミー膜と、
前記電極膜と同層の第 2 ダミー膜と、
を含むことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記複数の第 1 ダミー膜は導電性であり、前記第 2 ダミー膜は導電性であることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記複数の第 1 ダミー膜のそれぞれに用いられる材料は、前記複数の電極膜のそれぞれに用いられる材料と同じであることを特徴とする請求項 2 または 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記ダミー導電膜の前記第 1 方向に沿った幅は、前記第 1 積層構造体の前記第 1 方向に沿った幅と実質的に同じであることを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 6】

前記第 1 非メモリ部コンタクト電極と前記第 2 非メモリ部コンタクト電極とは電氣的に接続されていることを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 1 非メモリ部コンタクト電極は、前記第 1 方向に沿って見たときに、前記第 2 非メモリ部コンタクト電極と重なる部分を有することを特徴とする請求項 1 ~ 6 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 8】

前記メモリ部と前記非メモリ部とが設けられる基板をさらに備え、
前記非メモリ部は、前記基板と前記ダミー導電膜との間に設けられた周辺回路トランジスタを含む周辺回路部をさらに含み、

10

20

30

40

50

前記第 1 非メモリ部コンタクト電極の電位、及び、前記第 2 非メモリ部コンタクト電極の電位は、前記周辺回路トランジスタに与えられる印加電圧の最小値以上、前記印加電圧の最大値以下であることを特徴とする請求項 1 ~ 7 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 9】

前記メモリ部と前記非メモリ部とが設けられる基板をさらに備え、

前記非メモリ部は、前記基板と前記ダミー導電膜との間に設けられた周辺回路トランジスタを含む周辺回路部をさらに含み、

前記第 1 非メモリ部コンタクト電極の電位、及び、前記第 2 非メモリ部コンタクト電極の電位は、前記周辺回路トランジスタに与えられる印加電圧の最小値と、前記印加電圧の最大値と、の中間の電位であることを特徴とする請求項 1 ~ 7 のいずれか 1 つに記載の不揮発性半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来の不揮発性半導体記憶装置においては、シリコン基板上の 2 次元平面内に素子を集積してきた。メモリの記憶容量を増加させるには 1 つの素子の寸法を微細化するが、近年その微細化もコスト的、技術的に困難になってきた。

20

【0003】

これに対し、一括加工型 3 次元積層メモリが提案されている。この一括加工型 3 次元積層メモリにおいては、交互に積層された絶縁膜と電極膜とを有する積層構造体と、積層構造体を貫通するシリコンピラーと、シリコンピラーと電極膜との間の電荷蓄積層（記憶層）と、が設けられ、これにより、シリコンピラーと各電極膜との交差部にメモリセルが設けられる。さらに、2 本のシリコンピラーを基板の側で接続した U 字形状のメモリストリングを用いる構成も提案されている。

【0004】

このような一括加工型 3 次元積層メモリにおいて、メモリセルを形成する際にメモリセルの周辺の周辺回路領域に導電膜が形成され、この導電膜の電位が不安定であると、メモリの動作が不安定になることがある。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2009 - 146954 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の実施形態は、より安定した動作を実現する一括加工型 3 次元積層型の不揮発性半導体記憶装置を提供する。

40

【課題を解決するための手段】

【0007】

本発明の実施形態によれば、情報を格納するメモリ部と、前記メモリ部に併設され、情報を格納しない非メモリ部と、を備えた不揮発性半導体記憶装置が提供される。前記メモリ部は、第 1 方向に積層された複数の第 1 電極膜と、前記複数の第 1 電極膜どうしの間に設けられた第 1 電極間絶縁膜と、を含む第 1 積層構造体と、前記第 1 積層構造体と前記第 1 方向に沿って積層された第 1 選択ゲート電極と、前記第 1 積層構造体及び前記第 1 選択ゲート電極を前記第 1 方向に沿って貫通する第 1 半導体ピラーと、前記複数の第 1 電極膜と前記第 1 半導体ピラーとの間に設けられた第 1 ピラー部記憶層と、を含む。前記非メモ

50

り部は、前記複数の第 1 電極膜の少なくとも 1 つと同層の部分を含むダミー導電膜と、前記選択ゲート電極と同層のダミー選択ゲート電極と、前記ダミー導電膜に電氣的に接続され前記第 1 方向に沿って延在する第 1 非メモリ部コンタクト電極と、前記ダミー選択ゲート電極に電氣的に接続され前記第 1 方向に沿って延在する第 2 非メモリ部コンタクト電極と、を含む。

【図面の簡単な説明】

【0008】

【図 1】第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

【図 2】第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

10

【図 3】第 1 の実施形態に係る不揮発性半導体記憶装置の一部の構成を例示する模式的断面図である。

【図 4】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 5】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 6】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 7】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

20

【図 8】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 9】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 10】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 11】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 12】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

30

【図 13】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 14】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 15】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 16】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 17】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

40

【図 18】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 19】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 20】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 21】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 22】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模

50

式的断面図である。

【図 2 3】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 2 4】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 2 5】第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

【図 2 6】第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的平面図である。

【図 2 7】第 1 の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的断面図である。

【図 2 8】第 1 の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

【図 2 9】第 1 の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

【図 3 0】第 2 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

【図 3 1】第 3 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

【発明を実施するための形態】

【0009】

以下に、本発明の各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0010】

(第 1 の実施の形態)

図 1 は、第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面図である。

図 2 は、第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

なお、図 2 においては、図を見易くするために、導電部分のみを示し、絶縁部分は図示を省略している。

図 3 は、第 1 の実施形態に係る不揮発性半導体記憶装置の一部の構成を例示する模式的断面図である。

【0011】

図 1 に表したように、本実施形態に係る不揮発性半導体記憶装置 110 は、情報を格納するメモリ部 MU と、情報を格納しない非メモリ部 PU と、を備える。

【0012】

メモリ部 MU は、第 1 方向に交互に積層された複数の電極膜 61 と複数の電極間絶縁膜 62 と、を含む積層構造体 ML を含む。

【0013】

なお、本願明細書において、「積層」とは、複数の層が直接重ねられる場合の他、複数の層の間に他の要素が挿入されて重ねられる場合も含む。

積層構造体 ML における電極膜 61 及び電極間絶縁膜 62 の積層方向を Z 軸方向 (第 1 方向) とする。Z 軸方向に対して垂直な 1 つの方向を Y 軸方向 (第 2 方向) とする。そして、Z 軸方向と Y 軸方向とに対して垂直な方向を X 軸方向 (第 3 方向) とする。

【0014】

不揮発性半導体記憶装置 110 は、メモリ部 MU と非メモリ部 PU とが設けられる基板 11 をさらに備えることができる。基板 11 には、例えばシリコン基板などが用いられる。

【0015】

Z 軸方向は、基板 11 の主面 11a に対して垂直な方向である。基板 11 の主面 11a の上に、メモリ部 MU 及び非メモリ部 PU が設けられる。

【0016】

すなわち、非メモリ部 PU は、Z 軸方向に直交する方向において、メモリ部 MU に併設される。非メモリ部 PU は、例えば、X - Y 平面内において、メモリ部 MU に併設される。非メモリ部 PU は、例えば、メモリ部 MU に対して X 軸方向において併設される。非メモリ部 PU は、例えば、メモリ部 MU に対して Y 軸方向において併設される。1 つのメモリ部 MU に対して複数の非メモリ部 PU が設けられても良い。

10

【0017】

メモリ部 MU においては、不揮発性半導体記憶装置 110 のメモリセル MC が設けられる。非メモリ部 PU は、メモリ部 MU の例えば周辺に設けられ、不揮発性半導体記憶装置 110 の周辺回路を含むことができる。

【0018】

基板 11 において、メモリ部 MU が設けられる領域をメモリ領域 MUR とし、非メモリ領域 PUR が設けられる領域を非メモリ領域 PUR とする。

【0019】

20

メモリ部 MU は、例えば、3 次元マトリクス状に配列したメモリセルトランジスタを有するマトリクスメモリセル部 MU1 と、マトリクスメモリセル部 MU1 の配線を接続する配線接続部 MU2 と、を有する。基板 11 において、マトリクスメモリセル部 MU1 が設けられる領域をマトリクスメモリセル領域 MU1R とし、配線接続部 MU2 が設けられる領域を配線接続領域 MU2R とする。

【0020】

図 2 は、マトリクスメモリセル部 MU1 の構成を例示している。

図 1 においては、マトリクスメモリセル部 MU1 として、図 2 の A - A' 線断面の一部と、図 2 の B - B' 線断面の一部が例示されている。

【0021】

30

図 1 及び図 2 に表したように、マトリクスメモリセル部 MU1 においては、基板 11 の主面 11a 上に、積層構造体 ML が設けられる。

【0022】

不揮発性半導体記憶装置 110 は、選択ゲート電極 SG をさらに備える。選択ゲート電極 SG は、積層構造体 ML と Z 軸方向に沿って積層される。

【0023】

本具体例においては、電極膜 61 は、X 軸方向に沿って延在する帯状の部分を有している。また、選択ゲート電極 SG も、X 軸方向に沿って延在する帯状の部分を有している。

【0024】

40

そして、積層構造体 ML 及び選択ゲート電極 SG を Z 軸方向に沿って貫通する半導体ピラー SP が設けられる。この半導体ピラー SP は、例えば、積層構造体 ML 及び選択ゲート電極を Z 軸方向に沿って貫通する貫通ホール TH の中に半導体を埋め込むことによって形成される。半導体ピラー SP は、Z 軸方向に延在する筒状（例えば円筒状）または、柱状（例えば円柱状）である。すなわち、半導体ピラー SP の内部が中空でも良く、半導体ピラー SP の内側に例えば絶縁層などが設けられても良い。

【0025】

後述するように、不揮発性半導体記憶装置 110 のメモリ部 MU においては、電極膜 61 と半導体ピラー SP とが交差する部分において、記憶層を有するメモリセルトランジスタが形成される。メモリセルトランジスタは 3 次元マトリクス状に配列され、この記憶層に電荷を蓄積させることにより、各メモリセルトランジスタが情報（データ）を記憶する

50

メモリセルMCとして機能する。

【0026】

すなわち、メモリ部MUは、複数の電極膜61と半導体ピラーSPとの間に設けられピラー部記憶層48pをさらに含む。

【0027】

一方、非メモリ部PUは、ダミー導電膜65と、ダミー選択ゲート電極SGdと、第1非メモリ部コンタクト電極71pと、第2非メモリ部コンタクト電極72pと、を含む。

【0028】

ダミー導電膜65は、複数の電極膜61(第1電極膜61a)の少なくとも1つと同層の部分65pを含む。すなわち、ダミー導電膜65の上記の部分65pは、複数の電極膜61の少なくとも1つのZ軸方向に対して垂直な面に沿って配置される。例えば、ダミー導電膜65の上記の部分65pと、基板11と、のZ軸方向に沿った距離は、複数の電極膜61のその少なくとも1つと、基板11と、のZ軸方向に沿った距離と等しい。

10

【0029】

ダミー選択ゲート電極SGdは、選択ゲート電極SG(第1選択ゲート電極SG1)と同層である。すなわち、ダミー選択ゲート電極SGdのZ軸方向に対して垂直な面は、選択ゲート電極SGのZ軸方向に対して垂直な面が含まれる面内に配置される。例えば、ダミー選択ゲート電極SGdと基板11とのZ軸方向に沿った距離は、選択ゲート電極SGと基板11とのZ軸方向に沿った距離と等しい。

【0030】

20

第1非メモリ部コンタクト電極71pは、ダミー導電膜65に電氣的に接続され、Z軸方向に沿って延在する。第2非メモリ部コンタクト電極72pは、ダミー選択ゲート電極SGdに電氣的に接続されZ軸方向に沿って延在する。

【0031】

例えば、ダミー導電膜65は、複数の電極膜61のそれぞれと同層の複数の第1ダミー膜61dと、複数の電極間絶縁膜62と同層の複数の第2ダミー膜62dと、含むことができる。

【0032】

第1ダミー膜61dは、基板11からみて、電極膜61と同じ高さに配置される。第1ダミー膜61dには、例えば、電極膜61に用いられる材料と同じ材料を用いることができる。

30

【0033】

第2ダミー膜62dは、基板11からみて、電極間絶縁膜62と同じ高さに配置される。第2ダミー膜62dには、例えば、電極間絶縁膜62に用いられる材料と同じ材料を用いることができる。または、第2ダミー膜62dには、電極間絶縁膜62に用いられる材料とは異なる材料が用いられる。

【0034】

本具体例では、第2ダミー膜62dには導電膜が用いられており、第2ダミー膜62dに、電極間絶縁膜62に用いられる材料とは異なる材料が用いられる例である。

【0035】

40

第1ダミー膜61dが導電膜であり、第2ダミー膜62dが絶縁膜である場合は、第1ダミー膜61dと第2ダミー膜62dとの境界は比較的明確である。一方、第1ダミー膜61d及び第2ダミー膜62dが共に導電膜である場合は、第1ダミー膜61dと第2ダミー膜62dとの境界は不明確である場合がある。このように、第1ダミー膜61dと第2ダミー膜62dとが、比較的明確に区別できる場合と、明確に区別できない場合とがある。

【0036】

例えば、第1ダミー膜61dが、ダミー導電膜65のうちの、上記の、複数の電極膜61の少なくとも1つと同層の部分65pとなる。

【0037】

50

また、ダミー導電膜 65 の Z 軸方向に沿った幅は、積層構造体 M L (例えば第 1 積層構造体 M L 1) の Z 軸方向に沿った幅と実質的に同じとすることができる。

【0038】

後述するように、非メモリ部 P U のダミー導電膜 65 は、例えば、メモリ部 M U の電極膜 61 を形成する際に電極膜 61 と一緒に形成される。そして、非メモリ部 P U のダミー選択ゲート電極 S G d は、例えば、メモリ部 M U の選択ゲート電極 S G を形成する際に選択ゲート電極 S G と一緒に形成される。

【0039】

第 1 非メモリ部コンタクト電極 71 p は、配線 71 に接続される。第 2 非メモリ部コンタクト電極 72 p は、配線 72 に接続される。これにより、ダミー導電膜 65 は、第 1 非メモリ部コンタクト電極 71 p 及び配線 71 を介して、所定の電位に設定される。そして、ダミー選択ゲート電極 S G d は、第 2 非メモリ部コンタクト電極 72 p 及び配線 72 を介して、所定の電位に設定される。

【0040】

これにより、不揮発性半導体記憶装置 110 内の導電層どうしの電氣的な干渉が抑制され、より安定した動作が実現できる。

【0041】

以下では、メモリ部 M U の構成の例について詳しく説明する。

図 1 に例示したように、不揮発性半導体記憶装置 110 においては、基板 11 の主面 11 a の上に層間絶縁膜 13 が設けられ、層間絶縁膜 13 の上に絶縁膜 13 g が設けられる。なお、絶縁膜 13 g は、後述する周辺回路トランジスタ 51 のゲート絶縁膜として機能する絶縁膜である。さらに、絶縁膜 13 g の上に、後述の接続部導電層 S C C が設けられ、接続部導電層 S C C の上に積層構造体 M L が設けられる。

【0042】

なお、図 1 においては電極膜 61 が 8 枚描かれているが、積層構造体 M L において、設けられる電極膜 61 の数は任意である。なお、図 2 においては、図を見やすくするために、電極膜 61 の一部は省略されている。

【0043】

なお、半導体ピラー S P のうち、積層構造体 M L を貫通する部分と、選択ゲート電極 S G を貫通する部分と、は、連続して形成された半導体層でも良く、半導体ピラー S P のうちの積層構造体 M L を貫通する部分と、半導体ピラー S P のうちの選択ゲート電極 S G を貫通する部分と、が、別の工程で形成され、これらの部分が電氣的に接続されていても良い。

【0044】

なお、図 1 に表したように、積層構造体 M L の最下部 (例えば、基板 11 に最も近い側) の電極膜 61 の下に絶縁膜 15 a を設けることができ、この絶縁膜 15 a も積層構造体 M L に含まれることができる。また、積層構造体 M L の最上部 (例えば、基板 11 から最も遠い側) の電極膜 61 の上にさらに絶縁膜を設けることができ、この絶縁膜も積層構造体 M L に含まれることができる。なお、これらの絶縁膜には、例えば酸化シリコンを用いることができる。ただし、実施形態はこれに限らず、これらの絶縁膜の材料は任意である。

【0045】

積層構造体 M L と選択ゲート電極 S G との間には、層間絶縁膜 16 が設けられている。また、電極膜 61 どうしを Y 軸方向に沿って分断する層間絶縁膜 I L P が設けられている。層間絶縁膜 I L P は、X 軸方向に沿って延在する。本具体例では、この層間絶縁膜 I L P は、さらに選択ゲート電極 S G どうしを Y 軸方向に沿って分断する。

【0046】

そして、選択ゲート電極 S G 及び層間絶縁膜 I L P の上に層間絶縁膜 18 が設けられ、その上に、ソース線 S L (第 2 配線 W R 2) とコンタクト電極 22 とが設けられている。ソース線 S L の周りには層間絶縁膜 19 が設けられている。本具体例では、ソース線 S L

10

20

30

40

50

は、X軸方向に沿った帯状の形状を有している。

【0047】

そして、ソース線SLの上に層間絶縁膜23が設けられ、その上にビット線BL（第1配線WR1）が設けられている。ビット線BLは、例えば、Y軸方向に沿った帯状の形状を有している。

【0048】

その上にビット線BLの上に、層間絶縁膜25、層間絶縁膜27及びパッシベーション膜29が設けられる。

【0049】

なお、層間絶縁膜13、16、17、18、19、23、25及び27、例えば酸化シリコンを用いることができる。また、絶縁膜13gにも酸化シリコンが用いられる。パッシベーション膜29には、例えば窒化シリコンが用いられる。

【0050】

そして、本具体例においては、2本ずつの半導体ピラーSPは、基板11の側で接続されている。

すなわち、不揮発性半導体記憶装置110は、第1半導体ピラーSP1と第2半導体ピラーSP2とを基板11の側で電氣的に接続する半導体接続部SCをさらに備える。半導体接続部SCには、半導体ピラーSPとなる材料を用いることができる。

【0051】

ただし、後述するように、半導体ピラーSPのそれぞれが独立し、半導体ピラーSPどうしが接続されていなくても良い。以下では、2本ずつの半導体ピラーSPが接続される場合について説明する。

【0052】

このように、不揮発性半導体記憶装置110において半導体ピラーは複数設けられており、半導体ピラーの全体または任意の半導体ピラーを指す場合には、「半導体ピラーSP」と言い、特定の半導体ピラーどうしの関係を説明する際などにおいて、特定の半導体ピラーを指す場合には、「第n半導体ピラーSPn」（nは1以上の任意の整数）と言うことにする。他の構成要素も同様に、例えば、半導体接続部の全体または任意の半導体接続部を指す場合には、「半導体接続部SC」と言い、特定の半導体接続部を指す場合に「第n半導体接続部SCn」（nは1以上の任意の整数）と言う。

【0053】

図2に表したように、第1半導体接続部SC1によって接続された第1半導体ピラーSP1及び第2半導体ピラーSP2がペアとなって1つのU字形状のNANDストリングとなり、第2半導体接続部SC2によって接続された第3半導体ピラーSP3及び第4半導体ピラーSP4がペアとなって別のU字形状のNANDストリングとなる。

【0054】

図1に例示したように、配線接続部MU2においては、X軸方向における一方の端において、電極膜61は、メモリ部コンタクト電極31によってワード配線32に接続され、例えば基板11に設けられる駆動回路と電氣的に接続される。Z軸方向に積層された各電極膜61のX軸方向における長さが階段状に変化させられ、X軸方向の一方の端で電極膜61が駆動回路と電氣的に接続される。これにより、基板11からの距離が同じ電極膜61において、ペアとなる第1半導体ピラーSP1及び第2半導体ピラーSP2とで異なる電位が設定できる。これにより、第1半導体ピラーSP1と第2半導体ピラーSP2とに対応する同層のメモリセルMCは互いに独立して動作できる。第3半導体ピラーSP3及び第4半導体ピラーSP4に関しても同様である。

【0055】

また、接続部導電層SCCは、例えば、メモリ部コンタクト電極33によって接続部導電層のための配線に接続される。

選択ゲート電極SGは、例えば、メモリ部コンタクト配線34によって、選択ゲート電極のための配線35に接続される。配線35の上には、層間絶縁膜25が設けられ、層間

10

20

30

40

50

絶縁膜 25 の上には、配線 35 に接続されるメタル配線 28a が設けられている。

なお、メモリ部コンタクト電極 31 及びメモリ部コンタクト配線 34 の側面は層間絶縁膜 18c で覆われている。

【0056】

図 1 及び図 2 に表したように、半導体ピラー SP の半導体接続部 SC とは反対の端のそれぞれが、ビット線 BL またはソース線 SL に接続され、半導体ピラー SP のそれぞれに、選択ゲート電極 SG (第 1 ~ 第 4 選択ゲート電極 SG1 ~ SG4) が設けられることにより、任意の半導体ピラー SP の任意のメモリセル MC に所望のデータを書き込み、また読み出すことができる。

【0057】

なお、各電極膜 61 に設けられる半導体ピラー SP の数は任意である。

【0058】

図 3 は、マトリクスメモリセル部 MU1 の構成を例示しており、例えば図 1 の B1 - B2 線断面の一部に相当する断面図である。

図 3 に表したように、不揮発性半導体記憶装置 110 において、メモリ部 MU は、第 1 積層構造体 ML1 と、第 1 選択ゲート電極 SG1 と、第 1 半導体ピラー SP1 と、第 1 ピラー部記憶層 48p1 と、を含む。

【0059】

第 1 積層構造体 ML1 は、Z 軸方向に積層された複数の第 1 電極膜 61a と、複数の第 1 電極膜 61a どうしの間に設けられた第 1 電極間絶縁膜 62a と、を含む。第 1 選択ゲート電極 SG1 は、第 1 積層構造体 ML1 と Z 軸方向に沿って積層される。第 1 半導体ピラー SP1 は、第 1 積層構造体 ML1 及び第 1 選択ゲート電極 SG1 を Z 軸方向に沿って貫通する。第 1 ピラー部記憶層 48p1 は、複数の第 1 電極膜 61a と第 1 半導体ピラー SP1 との間に設けられる。

【0060】

さらに、メモリ部 MU は、第 1 ピラー部外側絶縁膜 43p1 と、第 1 ピラー部内側絶縁膜 42p1 と、を含む。第 1 ピラー部外側絶縁膜 43p1 は、第 1 ピラー部記憶層 48p1 と複数の第 1 電極膜 61a との間に設けられる。第 1 ピラー部内側絶縁膜 42p1 は、第 1 ピラー部記憶層 48p1 と第 1 半導体ピラー SP1 との間に設けられる。

【0061】

さらに、メモリ部 MU は、第 2 積層構造体 ML2 と、第 2 選択ゲート電極 SG2 と、第 2 半導体ピラー SP2 と、第 2 ピラー部記憶層 48p2 と、半導体接続部 SC (第 1 半導体接続部 SC1) と、を含む。

【0062】

第 2 積層構造体 ML2 は、Z 軸方向に対して垂直な Y 軸方向において第 1 積層構造体 ML1 と隣接する。第 2 積層構造体 ML2 は、Z 軸方向に積層された複数の第 2 電極膜 61b と、複数の第 2 電極膜 61b どうしの間に設けられた第 2 電極間絶縁膜 62b と、を含む。第 2 選択ゲート電極 SG2 は、第 2 積層構造体 ML2 と Z 軸方向に沿って積層される。第 2 半導体ピラー SP2 は、第 2 積層構造体 ML2 及び第 2 選択ゲート電極 SG2 を Z 軸方向に沿って貫通する。第 2 ピラー部記憶層 48p2 は、複数の第 2 電極膜 61b と第 2 半導体ピラー SP2 との間に設けられる。

半導体接続部 SC は、第 1 半導体ピラー SP1 の一端と、第 2 半導体ピラー SP2 の一端と、を接続する。

【0063】

さらに、メモリ部 MU は、第 2 ピラー部外側絶縁膜 43p2 と、第 2 ピラー部内側絶縁膜 42p2 と、を含む。第 2 ピラー部外側絶縁膜 43p2 は、第 2 ピラー部記憶層 48p2 と複数の第 2 電極膜 61b との間に設けられる。第 2 ピラー部内側絶縁膜 42p2 は、第 2 ピラー部記憶層 48p2 と第 2 半導体ピラー SP2 との間に設けられる。

【0064】

さらに、メモリ部 MU は、半導体接続部 SC (第 1 半導体接続部 SC1) に対向する接

10

20

30

40

50

続部導電層 S C C を含む。

【 0 0 6 5 】

さらに、メモリ部 M U は、第 1 接続部記憶層 4 8 c 1 と、第 1 接続部外側絶縁膜 4 3 c 1 と、第 1 接続部内側絶縁膜 4 2 c 1 と、を含むことができる。第 1 接続部記憶層 4 8 c 1 は、接続部導電層 S C C と半導体接続部 S C (第 1 半導体接続部 S C 1) との間に設けられる。第 1 接続部外側絶縁膜 4 3 c 1 は、第 1 接続部記憶層 4 8 c 1 と接続部導電層 S C C との間に設けられる。第 1 接続部内側絶縁膜 4 2 c 1 は、第 1 接続部記憶層 4 8 c 1 と第 1 半導体接続部 S C 1 との間に設けられる。

【 0 0 6 6 】

ここで、第 1 ピラー部外側絶縁膜 4 3 p 1、第 1 ピラー部記憶層 4 8 p 1 及び第 1 ピラー部内側絶縁膜 4 2 p 1 の積層膜を、積層絶縁膜 4 7 とする。積層絶縁膜 4 7 は、第 2 ピラー部外側絶縁膜 4 3 p 2、第 2 ピラー部記憶層 4 8 p 2 及び第 2 ピラー部内側絶縁膜 4 2 p 2 の積層膜ともなる。また、積層絶縁膜 4 7 は、第 1 接続部外側絶縁膜 4 3 c 1、第 1 接続部記憶層 4 8 c 1 及び第 1 接続部内側絶縁膜 4 2 c 1 の積層膜ともなる。

【 0 0 6 7 】

なお、複数の第 1 電極膜 6 1 a のそれぞれと、複数の第 2 電極膜 6 1 b のそれぞれと、は、同層である。すなわち、基板 1 1 と、複数の第 1 電極膜 6 1 a のそれぞれと、の距離は、基板 1 1 と、複数の第 2 電極膜 6 1 b のそれぞれと、の距離と、同じである。なお、基板 1 1 と、複数の第 1 電極間絶縁膜 6 2 a のそれぞれと、の距離は、基板 1 1 と、複数の第 2 電極間絶縁膜 6 2 b のそれぞれと、の距離と、同じである。

【 0 0 6 8 】

電極膜 6 1 (第 1 電極膜 6 1 a 及び第 2 電極膜 6 1 b) と、半導体ピラー S P (第 1 半導体ピラー S P 1 及び第 2 半導体ピラー S P 2) と、が交差する部分に、メモリセルトランジスタが形成され、このメモリセルトランジスタのそれぞれがメモリセル M C となる。

【 0 0 6 9 】

電極膜 6 1 には所定の電気信号が印加され、電極膜 6 1 は、不揮発性半導体記憶装置 1 1 0 のワード電極として機能する。

【 0 0 7 0 】

メモリセル M C のそれぞれにおいて、記憶層 4 8 (第 1 ピラー部記憶層 4 8 p 1 及び第 2 ピラー部記憶層 4 8 p 2) は、半導体ピラー S P と電極膜 6 1 との間に印加される電界によって電荷を蓄積または放出し、情報を記憶する部分として機能する。すなわち、記憶層 4 8 (第 1 ピラー部記憶層 4 8 p 1 及び第 2 ピラー部記憶層 4 8 p 2) は、電荷蓄積層として機能する。

【 0 0 7 1 】

内側絶縁膜 4 2 (第 1 ピラー部内側絶縁膜 4 2 p 1 及び第 2 ピラー部内側絶縁膜 4 2 p 2) は、メモリセル M C のそれぞれにおいてトンネル絶縁膜として機能する。

【 0 0 7 2 】

外側絶縁膜 4 3 (第 1 ピラー部外側絶縁膜 4 3 p 1 及び第 2 ピラー部外側絶縁膜 4 3 p 2) は、メモリセル M C のそれぞれにおいてブロック絶縁膜として機能する。

【 0 0 7 3 】

接続部記憶層 4 8 c (第 1 接続部記憶層 4 8 c 1) には、第 1 ピラー部記憶層 4 8 p 1 及び第 2 ピラー部記憶層 4 8 p 2 に用いられる材料と同じ材料を用いることができる。接続部記憶層 4 8 c (第 1 接続部記憶層 4 8 c 1) は、第 1 ピラー部記憶層 4 8 p 1 及び第 2 ピラー部記憶層 4 8 p 2 と同時に形成されることができる。

【 0 0 7 4 】

第 1 接続部内側絶縁膜 4 2 c 1 には、第 1 ピラー部内側絶縁膜 4 2 p 1 及び第 2 ピラー部内側絶縁膜 4 2 p 2 に用いられる材料と同じ材料を用いることができる。第 1 接続部内側絶縁膜 4 2 c 1 は、第 1 ピラー部内側絶縁膜 4 2 p 1 及び第 2 ピラー部内側絶縁膜 4 2 p 2 と同時に形成されることができる。

【 0 0 7 5 】

第1接続部外側絶縁膜43c1には、第1ピラー部外側絶縁膜43p1及び第2ピラー部外側絶縁膜43p2に用いられる材料と同じ材料を用いることができる。第1接続部外側絶縁膜43c1は、第1ピラー部外側絶縁膜43p1及び第2ピラー部外側絶縁膜43p2と同時に形成されることができる。

【0076】

接続部導電層SCCに与えられる電圧によって、半導体接続部SC(第1半導体接続部SC1)により、第1半導体ピラーSP1と第2半導体ピラーSP2とが電氣的に接続される。

【0077】

接続部導電層SCCと第1半導体接続部SC1とが対向する部分を、第1接続部記憶層48c1を電荷蓄積層として含むメモリセルMCとして利用しても良い。すなわち、接続部記憶層48c(第1接続部記憶層48c1)は、半導体接続部SCと接続部導電層SCCとの間に印加される電界によって電荷を蓄積または放出し、情報を記憶する部分として機能することができる。

【0078】

電極膜61(第1電極膜61a及び第2電極膜61b)及び接続部導電層SCCには、任意の導電材料を用いることができ、例えば、不純物が導入されて導電性が付与されたアモルファスシリコン(非晶質シリコン)、または、不純物が導入されて導電性が付与されたポリシリコン(多結晶シリコン)などを用いることができ、また、金属及び合金なども用いることができる。

【0079】

電極間絶縁膜62(第1電極間絶縁膜62a及び第2電極間絶縁膜62b)、内側絶縁膜42(第1ピラー部内側絶縁膜42p1、第2ピラー部内側絶縁膜42p2及び第1接続部内側絶縁膜42c1)、及び、外側絶縁膜43(第1ピラー部外側絶縁膜43p1、第2ピラー部外側絶縁膜43p2及び第1接続部外側絶縁膜43c1)には、例えば酸化シリコンを用いることができる。これらの膜は、単層膜でも良く、また積層膜でも良い。

【0080】

記憶層48(第1ピラー部記憶層48p1、第2ピラー部記憶層48p2及び第1接続部記憶層48c1)には、例えば窒化シリコンを用いることができる。記憶層48は単層膜でも良く、また積層膜でも良い。

【0081】

なお、電極間絶縁膜62、内側絶縁膜42、外側絶縁膜43及び記憶層48には、上記に例示した材料に限らず、任意の材料を用いることができる。

【0082】

選択ゲート電極SG(第1選択ゲート電極SG1及び第2選択ゲート電極SG2)には、任意の導電材料を用いることができ、例えば、不純物が導入されて導電性が付与されたアモルファスシリコン(非晶質シリコン)、または、不純物が導入されて導電性が付与されたポリシリコン(多結晶シリコン)などを用いることができ、また、金属及び合金なども用いることができる。

【0083】

選択ゲート電極SGと半導体ピラーSPとの間に選択ゲート絶縁膜SGIが設けられる。

【0084】

選択ゲート絶縁膜SGI(第1選択ゲート絶縁膜SGI1及び第2選択ゲート絶縁膜SGI2)には、内側絶縁膜42、記憶層48及び外側絶縁膜43の積層膜を用いても良く、また、内側絶縁膜42、記憶層48及び外側絶縁膜43の積層膜とは異なる絶縁膜を用いても良い。選択ゲート絶縁膜SGIは、単層膜でも良く、積層膜でも良い。

【0085】

不揮発性半導体記憶装置110は、第1配線WR1(ビット線BL)と、第2配線WR2(ソース線SL)と、をさらに備えることができる。

10

20

30

40

50

【 0 0 8 6 】

ビット線 B L は、第 1 半導体ピラー S P 1 の他端（半導体接続部 S C すなわち第 1 半導体接続部 S C 1 とは反対の側の端）に電氣的に接続される。

本具体例では、ビット線 B L は、第 1 選択ゲート電極 S G 1 の側のコンタクト電極 2 2 a と、ビット線 B L の側のコンタクト電極 2 4 a と、を介して、第 1 半導体ピラー S P 1 の他端と電氣的に接続される。コンタクト電極 2 2 a 及びコンタクト電極 2 4 a が、図 2 に例示したコンタクト電極 2 2（図 1 に例示したコンタクト電極 V A 1）に相当する。

【 0 0 8 7 】

ソース線 S L は、第 2 半導体ピラー S P 2 の他端（半導体接続部 S C すなわち第 1 半導体接続部 S C 1 とは反対の側の端）に電氣的に接続される。

本具体例では、ソース線 S L は、コンタクト電極 2 2 b を介して、第 2 半導体ピラー S P 2 の他端と電氣的に接続される。

【 0 0 8 8 】

本具体例では、第 1 電極膜 6 1 a 及び第 2 電極膜 6 1 b は、第 1 方向（Z 軸方向）と第 2 方向（Y 軸方向）とに対して垂直な第 3 方向（X 軸方向）に延在する。ビット線 B L は、Y 軸方向に沿って延在する。一方、ソース線 S L は、X 軸方向に沿って延在している。

【 0 0 8 9 】

さらに、第 1 選択ゲート電極 S G 1 及び第 2 選択ゲート電極 S G 2 は、X 軸方向に沿って延在する。すなわち、第 1 選択ゲート電極 S G 1 及び第 2 選択ゲート電極 S G 2 は、第 1 電極膜 6 1 a 及び第 2 電極膜 6 1 b の延在方向に対して平行な方向に沿って延在する。

【 0 0 9 0 】

第 1 選択ゲート電極 S G 1 と第 1 半導体ピラー S P 1 とが交差する部分に第 1 選択ゲートトランジスタ S G T 1 が形成され、第 2 選択ゲート電極 S G 2 と第 2 半導体ピラー S P 2 とが交差する部分に第 2 選択ゲートトランジスタ S G T 2 が形成される。選択ゲート絶縁膜 S G I は、これらの選択ゲートトランジスタのゲート絶縁膜として機能する。これらの選択ゲートトランジスタは、半導体ピラー S P を選択する機能を有する。

【 0 0 9 1 】

図 2 に例示したように、不揮発性半導体記憶装置 1 1 0 は、第 3 半導体ピラー S P 3 と、第 4 半導体ピラー S P 4 と、第 2 半導体接続部 S C 2 と、をさらに備えることができる。

【 0 0 9 2 】

第 3 半導体ピラー S P 3 は、Y 軸方向において、第 2 半導体ピラー S P 2 の第 1 半導体ピラー S P 1 とは反対の側で第 2 半導体ピラー S P 2 と隣接する。第 4 半導体ピラー S P 4 は、Y 軸方向において、第 3 半導体ピラー S P 3 の第 2 半導体ピラー S P 2 とは反対の側で第 3 半導体ピラー S P 3 と隣接する。

【 0 0 9 3 】

第 3 半導体ピラー S P 3、第 4 半導体ピラー S P 4 及び第 2 半導体接続部 S C 2 には、第 1 半導体ピラー S P 1、第 2 半導体ピラー S P 2 及び第 1 半導体接続部 S C 1 に関して説明した構成のそれぞれを適用できる。

【 0 0 9 4 】

すなわち、第 3 半導体ピラー S P 3 は、第 3 積層構造体を Z 軸方向に沿って貫通する。第 4 半導体ピラー S P 4 は、第 4 積層構造体を Z 軸方向に沿って貫通する。第 2 半導体接続部 S C 2 は、第 3 半導体ピラー S P 3 の一端と、第 4 半導体ピラー S P 4 の一端とを電氣的に接続する。

【 0 0 9 5 】

第 1 配線（ビット線 B L）は、例えば第 4 半導体ピラー S P 4 の第 2 半導体接続部 S C 2 とは反対の側の他端とさらに接続される。第 2 配線（ソース線 S L）は、第 3 半導体ピラー S P 3 の第 2 半導体接続部 S C 2 とは反対の側の他端とさらに接続される。

【 0 0 9 6 】

なお、図 1 に例示したように、第 1 半導体ピラー S P 1 は、コンタクト電極 V A 1 によ

10

20

30

40

50

ってビット線 B L に接続され、第 4 半導体ピラー S P 4 は、コンタクト電極 V A 2 によってビット線 B L に接続される。

【 0 0 9 7 】

以下、非メモリ部 P U の例について説明する。

図 1 に表したように、非メモリ部 P U は、すでに説明したダミー導電膜 6 5 、ダミー選択ゲート電極 S G d 、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p に加え、周辺回路部 P C U をさらに含む。周辺回路部 P C U は、基板 1 1 とダミー導電膜 6 5 との間に設けられた周辺回路トランジスタ 5 1 を含む。

【 0 0 9 8 】

すなわち、基板 1 1 (例えばシリコン基板)の主面 1 1 a の側に素子分離絶縁層 (S T I : Shallow Trench Isolation) として層間絶縁膜 1 3 が設けられ、層間絶縁膜 1 3 によって、基板 1 1 (シリコン基板)の主面 1 1 a の側の部分が分断される。S T I によって分断された基板 1 1 の上に、絶縁膜 1 3 g が設けられ、その上に周辺回路ゲート電極 5 2 が設けられる。周辺回路ゲート電極 5 2 に対向する絶縁膜 1 3 g が、周辺回路トランジスタ 5 1 のゲート絶縁膜となり、周辺回路ゲート電極 5 2 が、周辺回路トランジスタ 5 1 のゲート電極となる。

【 0 0 9 9 】

周辺回路ゲート電極 5 2 は、例えば、メモリ部 M U の接続部導電層 S C C と同層であり、周辺回路ゲート電極 5 2 には、例えば、メモリ部 M U の接続部導電層 S C C となる材料と同じ材料が用いられる。

【 0 1 0 0 】

周辺回路ゲート電極 5 2 は、例えば、コンタクト電極 7 3 p を介して、配線 7 3 に接続される。

【 0 1 0 1 】

基板 1 1 (シリコン基板)のうちの、周辺回路部 P C U の別の一部となる部分が、コンタクト電極 7 4 p を介して配線 7 4 に接続される。

【 0 1 0 2 】

コンタクト電極 7 3 p 及びコンタクト電極 7 4 p は、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d を Z 軸方向に沿って貫通する。

【 0 1 0 3 】

コンタクト電極 7 3 p とダミー導電膜 6 5 との間、及び、コンタクト電極 7 3 p とダミー選択ゲート電極 S G d との間には層間絶縁膜 7 3 I が設けられる。コンタクト電極 7 4 p とダミー導電膜 6 5 との間、及び、コンタクト電極 7 4 p とダミー選択ゲート電極 S G d との間には層間絶縁膜 7 4 I が設けられる。

【 0 1 0 4 】

このように、非メモリ部 P U は、周辺回路コンタクト電極 (コンタクト電極 7 3 p) と、周辺回路コンタクト層間絶縁膜 (層間絶縁膜 7 3 I) と、をさらに含む。周辺回路コンタクト電極 (コンタクト電極 7 3 p) は、周辺回路トランジスタ 5 1 のゲート電極 (周辺回路ゲート電極 5 2) に電氣的に接続され、Z 軸方向に沿って延在する。周辺回路コンタクト層間絶縁膜 (層間絶縁膜 7 3 I) は、周辺回路コンタクト電極 (コンタクト電極 7 3 p) と、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d と、の間に設けられる。

【 0 1 0 5 】

さらに、非メモリ部 P U は、周辺回路基板コンタクト電極 (コンタクト電極 7 4 p) と、周辺回路基板コンタクト層間絶縁膜 (層間絶縁膜 7 4 I) と、をさらに含むことができる。周辺回路基板コンタクト電極 (コンタクト電極 7 4 p) は、基板 1 1 に電氣的に接続され、Z 軸方向に沿って延在する。周辺回路基板コンタクト層間絶縁膜 (層間絶縁膜 7 4 I) は、周辺回路基板コンタクト電極 (コンタクト電極 7 4 p) と、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d と、の間に設けられる。

【 0 1 0 6 】

なお、周辺回路部 P C U には、このような構成を有する周辺回路トランジスタ 5 1 を複

10

20

30

40

50

数設けることができる。周辺回路部 P C U は、例えば、メモリ部 M U に含まれる種々の導電層の電位の制御及び導電層への電流の供給などを行うことができる。

【 0 1 0 7 】

周辺回路トランジスタ 5 1 の周囲には、層間絶縁膜 5 3 が設けられる。層間絶縁膜 5 3 の上に、既に説明したダミー導電膜 6 5 、ダミー選択ゲート電極 S G d 、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p が設けられる。

【 0 1 0 8 】

なお、ダミー選択ゲート電極 S G d の上に層間絶縁膜 1 8 、層間絶縁膜 1 9 及び層間絶縁膜 2 3 が設けられ、層間絶縁膜 2 3 の上に、配線 7 1 、配線 7 2 、配線 7 3 及び配線 7 4 が設けられる。配線 7 1 、配線 7 2 、配線 7 3 及び配線 7 4 の相互の間には、層間絶縁膜 2 4 が設けられている。配線 7 1 、配線 7 2 、配線 7 3 及び配線 7 4 の上には、層間絶縁膜 2 5 が設けられる。層間絶縁膜 2 5 の上には、例えば配線 7 1 及び配線 7 2 に接続されたメタル配線 2 8 b 、配線 7 3 に接続されたメタル配線 2 8 c 、並びに、配線 7 4 に接続されたメタル配線 2 8 d が設けられる。メタル配線 2 8 b 、メタル配線 2 8 c 及びメタル配線 2 8 d の周囲に層間絶縁膜 2 7 が設けられ、層間絶縁膜 2 7 の上にパッシベーション膜 2 9 が設けられる。

10

【 0 1 0 9 】

このような構成を有する不揮発性半導体記憶装置 1 1 0 においては、メモリ部 M U の電極膜 6 1 の形成の際に形成される非メモリ部 P U のダミー導電膜 6 5 、及び、メモリ部 M U の選択ゲート電極 S G の形成の際に形成される非メモリ部 P U のダミー選択ゲート電極 S G d が、所定の電位に設定されることから、異なる電位をもつノード間の干渉が抑制される。

20

【 0 1 1 0 】

例えば、もし、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が浮遊状態とされると、周辺回路トランジスタ 5 1 の動作のために所定の電位に制御されるべきコンタクト電極 7 3 p 及びコンタクト電極 7 4 p が、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d を介して電氣的に干渉することがある。その結果、コンタクト電極 7 3 p の電位及びコンタクト電極 7 4 p の電位が不安定になることがある。このように、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が浮遊状態とされると、非メモリ部 P U に含まれる種々の導電層の電位が不安定になることがある。さらに、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が浮遊状態とされると、メモリ部 M U に含まれる種々の導電層の電位が不安定になることがある。

30

【 0 1 1 1 】

これに対し、本実施形態においては、非メモリ部 P U のダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が所定の電位に設定されるので、異なる電位をもつノード間の干渉が抑制され、安定した動作が実現できる。すなわち、不揮発性半導体記憶装置 1 1 0 によれば、より安定した動作を実現できる。

【 0 1 1 2 】

例えば、第 1 非メモリ部コンタクト電極 7 1 p の電位、及び、第 2 非メモリ部コンタクト電極 7 2 p の電位は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値以上で、印加電圧の最大値以下とすることができる。これにより、例えば静電誘導などによって周辺回路トランジスタ 5 1 、コンタクト電極 7 3 p 及びコンタクト電極 7 4 p に発生する電圧が、周辺回路トランジスタ 5 1 の印加電圧の範囲を超えないことで、周辺回路トランジスタ 5 1 の損傷や不安定な動作がより抑制できる。そして、層間絶縁膜のストレスを減らすことが可能となる。これにより、例えば信頼性が向上する。

40

【 0 1 1 3 】

第 1 非メモリ部コンタクト電極 7 1 p の電位、及び、第 2 非メモリ部コンタクト電極 7 2 p の電位は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値よりも高く、印加電圧の最大値よりも低いことがさらに望ましい。これにより、周辺回路トランジスタ 5 1 の損傷や不安定な動作がさらに抑制できる。

50

【 0 1 1 4 】

第 1 非メモリ部コンタクト電極 7 1 p の電位、及び、第 2 非メモリ部コンタクト電極 7 2 p の電位は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値と、印加電圧の最大値と、の中間の電位であることがさらに望ましい。

【 0 1 1 5 】

すなわち、第 1 非メモリ部コンタクト電極 7 1 p の電位と印加電圧の最小値との差と、第 1 非メモリ部コンタクト電極 7 1 p の電位と印加電圧の最大値との差と、は実質的に等しく設定することができる。例えば、第 1 非メモリ部コンタクト電極 7 1 p に印加する電圧は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値と、印加電圧の最大値と、の中間の値に対して、プラスマイナス 1 0 % 以内の値とされる。

10

また、第 2 非メモリ部コンタクト電極 7 2 p の電位と印加電圧の最小値との差と、第 2 非メモリ部コンタクト電極 7 2 p の電位と印加電圧の最大値との差と、は実質的に等しく設定することができる。例えば、第 2 非メモリ部コンタクト電極 7 2 p に印加する電圧は、周辺回路トランジスタ 5 1 に与えられる印加電圧の最小値と、印加電圧の最大値と、の中間の値に対して、プラスマイナス 1 0 % 以内の値とされる。

これにより、周辺回路トランジスタ 5 1 の損傷や不安定な動作がさらに抑制できる。

【 0 1 1 6 】

また、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p は、基板 1 1 の電位よりも低い電位に設定されることができる。これにより、例えば素子分離耐圧を改善することができる。これにより、より安定した動作が実現できる。また、信頼性がより向上できる。

20

【 0 1 1 7 】

なお、第 1 非メモリ部コンタクト電極 7 1 p の電位と、第 2 非メモリ部コンタクト電極 7 2 p の電位と、は、互いに同じでも良く、また異なっても良い。例えば、第 1 非メモリ部コンタクト電極 7 1 p と第 2 非メモリ部コンタクト電極 7 2 p とは電氣的に接続されることができる。

【 0 1 1 8 】

以下、不揮発性半導体記憶装置 1 1 0 の製造方法の例について説明する。

図 4 ~ 図 2 5 は、第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を例示する工程順模式的断面図である。

30

なお、これらの図においては、メモリ領域 M U R (マトリクスメモリセル領域 M U 1 R 及び配線接続領域 M U 2 R) と、非メモリ領域 P U R と、が示される。

【 0 1 1 9 】

図 4 に表したように、シリコン基板などの基板 1 1 の主面 1 1 a の上に、周辺回路トランジスタ 5 1 を含む周辺回路部 P C U を形成する。すなわち、例えば、基板 1 1 の主面 1 1 a に S T I となる層間絶縁膜 1 3 を形成し、これにより、基板 1 1 の主面 1 1 a の側において分断された半導体層が形成される。半導体層の表面に絶縁膜 1 3 g を形成し、その上に導電膜を形成する。この導電膜は、周辺回路ゲート電極 5 2 及び接続部導電層 S C C となる。この導電膜には、例えばポリシリコンが用いられる。

【 0 1 2 0 】

40

非メモリ領域 P U R において、この導電膜を所定の形状に加工し、周辺回路ゲート電極 5 2 を形成する。周辺回路ゲート電極 5 2 を介して半導体層に不純物をドーピングして、拡散領域を形成する。これにより、周辺回路トランジスタ 5 1 が形成される。そして、周辺回路トランジスタ 5 1 を覆うように、層間絶縁膜 5 3 を形成する。

【 0 1 2 1 】

一方、マトリクスメモリセル領域 M U 1 R においては、上記の導電膜によって接続部導電層 S C C が形成される。接続部導電層 S C C のうち、半導体接続部 S C が形成される領域に溝を形成し、この溝の中に埋め込み犠牲膜 S C s f を埋め込む。埋め込み犠牲膜 S C s f には、例えば窒化シリコンが用いられる。

【 0 1 2 2 】

50

次に、図 5 に表したように、接続部導電層 S C C、犠牲膜 S C s f、周辺回路トランジスタ 5 1 及び層間絶縁膜 5 3 の上に、絶縁膜 1 5 a を形成する。絶縁膜 1 5 a には例えば酸化シリコンが用いられる。

【 0 1 2 3 】

さらに、層間絶縁膜 5 3 の上に、例えば、不純物が添加されたドーフト・ポリシリコン膜 6 1 f と、不純物が添加されていないノンドープ・ポリシリコン膜 6 2 f と、を交互に繰り返して堆積して、積層構造体 M L の母体となる積層膜を形成する。さらに、この積層膜の上に、層間絶縁膜 1 6 を形成し、その上に選択ゲート電極 S G となる選択ゲート電極膜 S G f を形成し、その上に、層間絶縁膜 1 8 を形成する。選択ゲート電極膜 S G f には、例えば、不純物が添加されたポリシリコンを用いることができる。

10

【 0 1 2 4 】

次に、図 6 に表したように、ドーフト・ポリシリコン膜 6 1 f 及びノンドープ・ポリシリコン膜 6 2 f を含む積層膜、層間絶縁膜 1 6、選択ゲート電極膜 S G f、及び、層間絶縁膜 1 8 に、リソグラフィ法と R I E (Reactive Ion Etching) 法により、溝 T R 1 を形成する。これにより、積層膜、層間絶縁膜 1 6、選択ゲート電極膜 S G f、及び、層間絶縁膜 1 8 はライン状に加工される。

【 0 1 2 5 】

次に、図 7 に表したように、溝 T R 1 に絶縁膜 T R 1 f を埋め込む。絶縁膜 T R 1 f には、例えば窒化シリコンまたは酸化シリコンが用いられる。絶縁膜 T R 1 f は、電極膜 6 1 どうしを分断する層間絶縁膜 I L P となる。

20

【 0 1 2 6 】

次に、図 8 に表したように、ドーフト・ポリシリコン膜 6 1 f 及びノンドープ・ポリシリコン膜 6 2 f を含む積層膜、層間絶縁膜 1 6、選択ゲート電極膜 S G f、及び、層間絶縁膜 1 8 に、リソグラフィ法と R I E 法により、貫通ホール T H を形成する。

【 0 1 2 7 】

次に、図 9 に表したように、例えば、熱燐酸溶液を用い、貫通ホール T H を介して、埋め込み犠牲膜 S C s f を除去する。これにより、2 つの貫通ホール T H の下部が連通する。

【 0 1 2 8 】

次に、図 1 0 に表したように、メモリ領域 M U R におけるノンドープ・ポリシリコン膜 6 2 f を除去する。これには、例えば、アルカリ系の薬液が用いることができる。なお、積層されている複数のドーフト・ポリシリコン膜 6 1 f は、絶縁膜 T R 1 f (層間絶縁膜 I L P) で支持される。

30

【 0 1 2 9 】

一方、このとき、非メモリ領域 P U R におけるノンドープ・ポリシリコン膜 6 2 f は除去せず、そのまま残す。非メモリ領域 P U R におけるドーフト・ポリシリコン膜 6 1 f が、ダミー導電膜 6 5 の第 1 ダミー膜 6 1 d になり、非メモリ領域 P U R におけるノンドープ・ポリシリコン膜 6 2 f が、ダミー導電膜 6 5 の第 2 ダミー膜 6 2 d になる。すなわち、ダミー導電膜 6 5 が形成される。

【 0 1 3 0 】

そして、本具体例では、ドーフト・ポリシリコン膜 6 1 f に含まれる不純物が、工程中の熱処理などによってノンドープ・ポリシリコン膜 6 2 f に拡散し、ドーフト・ポリシリコン膜 6 1 f (第 1 ダミー膜 6 1 d) と、ノンドープ・ポリシリコン膜 6 2 f (第 2 ダミー膜 6 2 d) と、は、例えば一体化する。すなわち、本具体例では、ダミー導電膜 6 5 は、一体化した導電膜となり、第 1 ダミー膜 6 1 d と第 2 ダミー膜 6 2 d との境界が不明確になる場合がある。

40

【 0 1 3 1 】

なお、非メモリ領域 P U R における選択ゲート電極膜 S G f が、ダミー選択ゲート電極 S G d となる。

【 0 1 3 2 】

50

次に、図 1 1 に表したように、複数のドーフト・ポリシリコン膜 6 1 f どうしの間に、例えば、シリコン酸化膜を例えば C V D (Chemical Vapor Deposition) 法により形成する。このシリコン酸化膜が電極間絶縁膜 6 2 になり、ドーフト・ポリシリコン膜 6 1 f が電極膜 6 1 となる。これにより、積層構造体 M L が形成される。

【 0 1 3 3 】

なお、このとき、複数のドーフト・ポリシリコン膜 6 1 f どうしの間隔 (ノンドーフ・ポリシリコン膜 6 2 f の厚さ) を、貫通ホール T H の径よりも小さく設定することで、貫通ホール T H が閉塞することなく、複数のドーフト・ポリシリコン膜 6 1 f どうしの間を、シリコン酸化膜で埋めることができる。

【 0 1 3 4 】

その後、例えば、希フッ酸処理により、貫通ホール T H の内部の側面に堆積したシリコン酸化膜を除去する。

【 0 1 3 5 】

次に、図 1 2 に表したように、上記の希フッ酸処理に連続して、積層絶縁膜 4 7 を形成し、さらに、積層絶縁膜 4 7 の形成に連続して、半導体ピラー S P となる半導体ピラー膜 S P f を形成する。すなわち、積層絶縁膜 4 7 として、第 1 ピラー部外側絶縁膜 4 3 p 1、第 2 ピラー部外側絶縁膜 4 3 p 2 及び第 1 接続部外側絶縁膜 4 3 c 1 となる、例えばシリコン酸化膜を形成し、第 1 ピラー部記憶層 4 8 p 1、第 2 ピラー部記憶層 4 8 p 2 及び第 1 接続部記憶層 4 8 c 1 となる、例えばシリコン窒化膜を形成し、さらに、第 1 ピラー部内側絶縁膜 4 2 p 1、第 2 ピラー部内側絶縁膜 4 2 p 2 及び第 1 接続部内側絶縁膜 4 2 c 1 となる、例えばシリコン酸化膜を形成する。そして、半導体ピラー膜 S P f として、例えばポリシリコン膜を形成する。

【 0 1 3 6 】

なお、例えば、積層絶縁膜 4 7 の形成の後、積層絶縁膜 4 7 の表面に前処理等を施すことなく、半導体ピラー膜 S P f が形成される。

【 0 1 3 7 】

そして、層間絶縁膜 1 8 の表面に形成された、シリコン酸化膜 (電極間絶縁膜 6 2 となる膜)、積層絶縁膜 4 7 及び半導体ピラー膜 S P f を、例えば R I E 法により除去する。

【 0 1 3 8 】

次に、図 1 3 に表したように、貫通ホール T H に埋め込まれている半導体ピラー膜 S P f の一部を例えば R I E 法により後退させた後に、貫通ホール T H の上部の空間に、半導体ピラーコンタクト部 S P C となるポリシリコン膜 (例えば不純物が添加されたポリシリコン膜) で埋め込み、平坦化する。これにより、U 字形状を有するメモリストリングが形成される。

【 0 1 3 9 】

次に、図 1 4 に表したように、配線接続領域 M U 2 R において、層間絶縁膜 1 6、選択ゲート電極膜 S G f 及び層間絶縁膜 1 8 を、リソグラフィ法と R I E 法を用いて除去し、積層構造体 M L の上面を露出させる。

【 0 1 4 0 】

次に、図 1 5 に表したように、層間絶縁膜 1 8 a を形成する。この層間絶縁膜 1 8 a には、例えば酸化シリコンを用いることができる。

【 0 1 4 1 】

次に、図 1 6 に表したように、配線接続領域 M U 2 R において、レジスト膜のスリミングと R I E とを繰り返すことにより、電極膜 6 1 の端部を階段状に加工する。

【 0 1 4 2 】

次に、図 1 7 に表したように、コンタクト電極 7 3 p が形成される部分の積層膜 (層間絶縁膜 1 8 a、層間絶縁膜 1 8、ダミー選択ゲート電極 S G d、層間絶縁膜 1 6 及びダミー導電膜 6 5) に開口部 7 3 o を形成し、コンタクト電極 7 4 p が形成される部分の積層膜 (層間絶縁膜 1 8 a、層間絶縁膜 1 8、ダミー選択ゲート電極 S G d、層間絶縁膜 1 6 及びダミー導電膜 6 5) に開口部 7 4 o を形成する。

10

20

30

40

50

【 0 1 4 3 】

次に、図 1 8 に表したように、開口部 7 3 o 及び開口部 7 4 o の内壁面にストッパ膜 1 8 b として、例えば窒化シリコン膜を形成する。ストッパ膜 1 8 b は、層間絶縁膜 1 8 a 、及び、配線接続領域 M U 2 R において露出している電極膜 6 1 の上にも形成される。その後、さらに、ストッパ膜 1 8 b の上に層間絶縁膜 1 8 c を形成し、平坦化する。これにより、ストッパ膜 1 8 b の上面の一部が露出する。層間絶縁膜 1 8 c には、例えば、酸化シリコンが用いられる。

【 0 1 4 4 】

次に、図 1 9 に表したように、例えば R I E 法により、表面のストッパ膜 1 8 b 、及び、層間絶縁膜 1 8 c の表面部分を除去する。

10

【 0 1 4 5 】

次に、図 2 0 に表したように、例えばプラズマ C V D 法を用い層間絶縁膜 1 9 となるシリコン酸化膜を形成した後、配線接続領域 M U 2 R においては、電極膜 6 1 に接続されるメモリ部コンタクト電極 3 1 のためのコンタクトホール 3 1 o 、及び、接続部導電層 S C C に接続されるメモリ部コンタクト電極 3 3 のためのコンタクトホール 3 3 o を形成する。さらに、非メモリ領域 P U R においては、ダミー導電膜 6 5 に接続される第 1 非メモリ部コンタクト電極 7 1 p のための開口部 7 1 o 、及び、ダミー選択ゲート電極 S G d に接続される第 2 非メモリ部コンタクト電極 7 2 p のための開口部 7 2 o を形成する。

【 0 1 4 6 】

次に、図 2 1 に表したように、層間絶縁膜 1 9 及び層間絶縁膜 1 8 a のうちのソース線 S L となる部分に溝 S L t を形成する。そして、層間絶縁膜 1 9 及び層間絶縁膜 1 8 a のうちの選択ゲート電極 S G と接続されるメモリ部コンタクト配線 3 4 となる部分に溝 3 4 t を形成する。そして、層間絶縁膜 1 9 及び層間絶縁膜 1 8 a のうちの、メモリ部コンタクト電極 3 1 、メモリ部コンタクト電極 3 3 、第 1 非メモリ部コンタクト電極 7 1 p 、第 2 非メモリ部コンタクト電極 7 2 p 、コンタクト電極 7 3 p 、及び、コンタクト電極 7 4 p のそれぞれの接続部分となる部分に、それぞれ、溝 3 1 t 、溝 3 3 t 、溝 7 1 t 、溝 7 2 t 、溝 7 3 t 、溝 7 4 t を形成する。

20

【 0 1 4 7 】

次に、図 2 2 に表したように、溝 S L t 、溝 3 4 t 、溝 3 1 t 、溝 3 3 t 、溝 7 1 t 、溝 7 2 t 、溝 7 3 t 、溝 7 4 t 、コンタクトホール 3 1 o 、コンタクトホール 3 3 o 、開口部 7 1 o 、開口部 7 2 o 、開口部 7 3 o の残余の空間、及び、開口部 7 4 o の残余の空間に導電膜を埋め込む。この導電膜には、例えば、T i 膜 - T i N 膜 - W 膜の積層膜が用いられる。そして、導電膜の上面を C M P (Chemical Mechanical Polishing) 法により除去する。このように、デュアルダマシン工程により、コンタクトプラグと配線とが同時に形成される。

30

【 0 1 4 8 】

すなわち、ソース線 S L 、メモリ部コンタクト配線 3 4 、メモリ部コンタクト電極 3 1 の接続部 3 1 c 、メモリ部コンタクト電極 3 3 の接続部 3 3 c 、第 1 非メモリ部コンタクト電極 7 1 p の接続部 7 1 c 、第 2 非メモリ部コンタクト電極 7 2 p の接続部 7 2 c 、コンタクト電極 7 3 p の接続部 7 3 c 、コンタクト電極 7 4 p の接続部 7 4 c 、メモリ部コンタクト電極 3 1 、メモリ部コンタクト電極 3 3 、第 1 非メモリ部コンタクト電極 7 1 p 、第 2 非メモリ部コンタクト電極 7 2 p 、コンタクト電極 7 3 p 、コンタクト電極 7 4 p 、が同時に形成される。

40

【 0 1 4 9 】

なお、コンタクト電極 7 3 p と、ダミー導電膜 6 5 及びダミー選択電極 S G d と、の間に、ストッパ膜 1 8 b 及び層間絶縁膜 1 8 c が挿入されている。このストッパ膜 1 8 b 及び層間絶縁膜 1 8 c が、層間絶縁膜 7 3 I となる。これにより、コンタクト電極 7 3 p と、ダミー導電膜 6 5 及びダミー選択ゲート電極 S G d と、が電氣的に遮断される。

【 0 1 5 0 】

また、コンタクト電極 7 4 p と、ダミー導電膜 6 5 及びダミー選択電極 S G d と、の間

50

に、ストッパ膜 18b 及び層間絶縁膜 18c が挿入されている。このストッパ膜 18b 及び層間絶縁膜 18c が、層間絶縁膜 74I となる。これにより、コンタクト電極 74p と、ダミー導電膜 65 及びダミー選択ゲート電極 SGd と、が電氣的に遮断される。

【0151】

このように、周辺回路コンタクト層間絶縁膜（層間絶縁膜 73I）は、シリコン窒化膜とシリコン酸化膜との積層膜を含むことができる。これにより、コンタクト電極 73p と、ダミー導電膜 65 及びダミー選択電極 SGd と、の間の高い絶縁性が実現できる。そして、周辺回路基板コンタクト層間絶縁膜（層間絶縁膜 74I）は、シリコン窒化膜とシリコン酸化膜との積層膜を含むことができる。これにより、コンタクト電極 74p と、ダミー導電膜 65 及びダミー選択電極 SGd と、の間の高い絶縁性が実現できる。

10

【0152】

次に、図 23 に表したように、層間絶縁膜 23 を形成し、リソグラフィ法と RIE 法とにより開孔を形成し、その開口の内部に導電膜を埋め込む。この導電膜には、例えば、TiN 膜 - TiN 膜 - W 膜の積層膜を用いることができる。さらにその導電膜の上部を CMP により除去する。これにより、ソース線 SL のレベルの導電層への接続部が形成される。そして、それと同時に、ビット線 BL に接続される半導体ピラー SP（第 1 半導体ピラー SP1 及び第 4 半導体ピラー SP4 など）の上部にコンタクトプラグ（コンタクト電極 VA1 及び VA2 の一部）が形成される。

【0153】

次に、図 24 に表したように、層間絶縁膜 24 を形成し、リソグラフィ法と RIE 法とにより、ビット線 BL に相当する分部に溝を形成した後、その溝の内部に導電膜を埋め込む。この導電膜には、例えば Ta 膜 - TaN 膜 - Cu 膜の積層膜が用いられる。そして、この導電膜の上部を CMP によって除去する。これにより、ビット線 BL、及び、ビット線 BL と同層の配線（ワード配線 32、配線 35、配線 71、配線 72、配線 73 及び配線 74）が形成される。

20

【0154】

次に、図 25 に表したように、層間絶縁膜 25 を形成し、層間絶縁膜 25 のレベルの配線へのコンタクトプラグとなる開孔部を形成し、この開口部に導電膜を埋め込む。この導電膜には、例えば Ti 膜 - TiN 膜 - AlCu 膜の積層膜が用いられる。そして、この積層膜を所定の形状に加工する。これにより、メタル配線 28a、メタル配線 28b、メタル配線 28c 及びメタル配線 28d が形成される。また、図示しない配線層やボンディングパッドが形成される。

30

【0155】

さらに、その上に、デバイス保護のための層間絶縁膜 27（例えばシリコン酸化膜）及びパッシベーション膜 29（例えばシリコン窒化膜）を形成し、さらに、これらの膜のボンディングパッドに対応する部分に開口を形成する。

以上の工程を経て、不揮発性半導体記憶装置 110 が製造される。

【0156】

図 26 は、第 1 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的平面図である。

40

すなわち、同図は、不揮発性半導体記憶装置 110 における、第 1 非メモリ部コンタクト電極 71p 及び第 2 非メモリ部コンタクト電極 72p の配置を例示している。同図は、第 1 非メモリ部コンタクト電極 71p 及び第 2 非メモリ部コンタクト電極 72p を Z 軸方向に沿って見たときの平面図である。

【0157】

図 26 に表したように、不揮発性半導体記憶装置 110 においては、ダミー導電膜 65 に接続される第 1 非メモリ部コンタクト電極 71p と、ダミー選択ゲート電極 SGd に接続される第 2 非メモリ部コンタクト電極 72p と、が連続しておらず、互いに独立している。すなわち、第 1 非メモリ部コンタクト電極 71p は、Z 軸方向に沿って見たときに、第 2 非メモリ部コンタクト電極 72p と重なる部分を有していない。

50

【 0 1 5 8 】

ただし、実施形態はこれに限らず、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p の配置は任意である。

【 0 1 5 9 】

図 2 7 は、第 1 の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的断面図である。

すなわち、同図は、本実施形態に係る別の不揮発性半導体記憶装置 1 1 1 における非メモリ部 P U の構成を例示している。

【 0 1 6 0 】

図 2 8 は、第 1 の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

すなわち、同図は、不揮発性半導体記憶装置 1 1 1 における、第 1 非メモリ部コンタクト電極 7 1 p 及び第 2 非メモリ部コンタクト電極 7 2 p の配置（Z 軸方向に沿って見たときの配置）を例示している。

不揮発性半導体記憶装置 1 1 1 におけるメモリ部 M U の構成は、不揮発性半導体記憶装置 1 1 0 のメモリ部 M U の構成と同様とすることができるので説明を省略する。

【 0 1 6 1 】

図 2 7 及び図 2 8 に例示したように、不揮発性半導体記憶装置 1 1 1 においては、第 1 非メモリ部コンタクト電極 7 1 p の X - Y 平面における位置と、第 2 非メモリ部コンタクト電極 7 2 p における位置とは実質的に同じである。すなわち、第 1 非メモリ部コンタクト電極 7 1 p と第 2 非メモリ部コンタクト電極 7 2 p とは電氣的に接続される。これにより、第 1 非メモリ部コンタクト電極 7 1 p の電位の設定と、第 2 非メモリ部コンタクト電極 7 2 p の電位の設定とが、小さい面積で実施でき、有利となる。

【 0 1 6 2 】

本具体例では、第 2 非メモリ部コンタクト電極 7 2 p の X - Y 平面における外周の中に、第 1 非メモリ部コンタクト電極 7 1 p の X - Y 平面における外周が含まれる例である。また、このような構成により、工程削減ができ、また、チップ面積の縮小が可能となる。なお、第 1 非メモリ部コンタクト電極 7 1 p の X - Y 平面における外周の中に、第 2 非メモリ部コンタクト電極 7 2 p の X - Y 平面における外周が含まれても良い。

【 0 1 6 3 】

図 2 9 は、第 1 の実施形態に係る別の不揮発性半導体記憶装置の構成を例示する模式的平面図である。

すなわち、同図は、本実施形態に係る別の不揮発性半導体記憶装置 1 1 2 における非メモリ部 P U の構成を例示している。不揮発性半導体記憶装置 1 1 1 におけるメモリ部 M U の構成は、不揮発性半導体記憶装置 1 1 0 のメモリ部 M U の構成と同様とすることができるので説明を省略する。

【 0 1 6 4 】

図 2 9 に例示したように、不揮発性半導体記憶装置 1 1 2 においても、第 1 非メモリ部コンタクト電極 7 1 p と第 2 非メモリ部コンタクト電極 7 2 p とが連続しており、互いに電氣的に接続される。

【 0 1 6 5 】

本具体例では、第 2 非メモリ部コンタクト電極 7 2 p の X - Y 平面における外周と、第 1 非メモリ部コンタクト電極 7 1 p の X - Y 平面における外周と、が、互いに重なる。

【 0 1 6 6 】

不揮発性半導体記憶装置 1 1 1 及び 1 1 2 のように、第 1 非メモリ部コンタクト電極 7 1 p は、Z 軸方向に沿って見たときに、第 2 非メモリ部コンタクト電極 7 2 p と重なる部分を有することができる。このような構成により、チップ面積の縮小が可能となる。

【 0 1 6 7 】

（第 2 の実施の形態）

図 3 0 は、第 2 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的断面

10

20

30

40

50

図である。

図 30 に表したように、本実施形態に係る不揮発性半導体記憶装置 120 も、メモリ部 MU と、非メモリ部 PU と、を備える。メモリ部 MU の構成は、例えば不揮発性半導体記憶装置 110 と同様とすることができるので説明を省略する。

【0168】

図 30 に表したように、不揮発性半導体記憶装置 120 の非メモリ部 PU におけるダミー導電膜 65 の構成が不揮発性半導体記憶装置 110 とは異なる。

すなわち、不揮発性半導体記憶装置 120 においても、ダミー導電膜 65 は、複数の電極膜 61 のそれぞれと同層の複数の第 1 ダミー膜 61 d と、複数の電極間絶縁膜 62 と同層の複数の第 2 ダミー膜 62 d と、含む。本具体例では、第 2 ダミー膜 62 d が絶縁膜である。

10

【0169】

すなわち、第 2 ダミー膜 62 d には、例えば、電極間絶縁膜 62 に用いられる材料と同じ材料が用いられている。また、第 1 ダミー膜 61 d には、例えば、電極膜 61 に用いられる材料と同じ材料が用いられている。

この場合も、ダミー導電膜 65 に含まれる第 1 ダミー膜 61 d が、ダミー導電膜 65 のうちの、複数の電極膜 61 の少なくとも 1 つと同層の部分 65 p となる。

なお、この場合、図 30 に例示したように、第 1 非メモリ部コンタクト電極 71 p は、一番下層の第 1 ダミー膜 61 d に到達する。

【0170】

20

このような構成を有する不揮発性半導体記憶装置 120 においても、非メモリ部 PU のダミー導電膜 65 及びダミー選択ゲート電極 SG d が所定の電位に設定されるので、異なる電位をもつノード間の干渉が抑制され、安定した動作が実現できる。

【0171】

なお、不揮発性半導体記憶装置 120 においても、第 1 非メモリ部コンタクト電極 71 p は、Z 軸方向に沿って見たときに、第 2 非メモリ部コンタクト電極 72 p と重なる部分を有することができ、また、有さないことができる。

【0172】

(第 3 の実施の形態)

図 31 は、第 3 の実施形態に係る不揮発性半導体記憶装置の構成を例示する模式的斜視図である。

30

なお、図 31 においては、図を見易くするために、導電部分のみを示し、絶縁部分は図示を省略している。

すなわち、図 31 には、本実施形態に係る不揮発性半導体記憶装置 130 におけるマトリクスメモリセル部 MU1 が例示されている。

【0173】

不揮発性半導体記憶装置 130 における非メモリ部 PU、及び、メモリ部 MU の配線接続部 MU2 の構成は不揮発性半導体記憶装置 110、111、112 及び 120 と同様とすることができるので説明を省略する。

【0174】

40

図 31 に表したように、本実施形態に係る不揮発性半導体記憶装置 130 においては、半導体接続部 SC が設けられず、半導体ピラー SP のそれぞれが独立している。すなわち、不揮発性半導体記憶装置 130 においては、直線状の NAND ストリングが設けられる。

【0175】

不揮発性半導体記憶装置 130 におけるメモリ部 MU (マトリクスメモリセル部 MU1) は、積層構造体 ML (第 1 積層構造体 ML1) と、選択ゲート電極 SG (第 1 選択ゲート電極 SG1) と、半導体ピラー SP (第 1 半導体ピラー SP1) と、記憶層 48 (第 1 ピラー部記憶層 48p1) と、外側絶縁膜 43 (第 1 ピラー部外側絶縁膜 43p1) と、内側絶縁膜 42 (第 1 ピラー部内側絶縁膜 42p1) と、を含む。積層構造体 ML と、半

50

導体ピラー S P、記憶層 4 8、外側絶縁膜 4 3 及び内側絶縁膜 4 2 の構成は第 1 の実施形態と同様とすることができるので説明を省略する。

【0176】

不揮発性半導体記憶装置 130 のメモリ部 M U においては、積層構造体 M L の上に上部選択ゲート電極 U S G (第 1 選択ゲート電極 S G 1 であり、例えばドレイン側選択ゲート電極 S G D となる) が設けられ、積層構造体 M L の下に下部選択ゲート電極 L S G (第 2 選択ゲート電極 S G 2 であり、例えばソース側選択ゲート電極 S G S となる) が設けられている。

【0177】

上部選択ゲート電極 U S G と半導体ピラー S P との間には上部選択ゲート絶縁膜 U S G I (図示しない) が設けられ、下部選択ゲート電極 L S G と半導体ピラー S P との間には、下部選択ゲート絶縁膜 L S G I (図示しない) が設けられる。

選択ゲート絶縁膜 S G I (図示しない) (上部選択ゲート絶縁膜 U S G I 及び下部選択ゲート絶縁膜 L S G I) には、上記の内側絶縁膜 4 2、記憶層 4 8 及び外側絶縁膜 4 3 の積層膜を用いても良く、また、内側絶縁膜 4 2、記憶層 4 8 及び外側絶縁膜 4 3 の積層膜とは異なる絶縁膜を用いても良い。選択ゲート絶縁膜 S G I は、単層膜でも良く、積層膜でも良い。

【0178】

そして、下部選択ゲート電極 L S G の下側に、ソース線 S L (例えば第 2 配線 W R 2) が設けられている。ソース線 S L の下に層間絶縁膜 (図示しない) が設けられ、ソース線 S L と下部選択ゲート電極 L S G との間に層間絶縁膜 (図示しない) が設けられている。

【0179】

下部選択ゲート電極 L S G の下方において半導体ピラー S P はソース線 S L に接続され、上部選択ゲート電極 U S G の上方において半導体ピラー S P はビット線 B L (例えば第 1 配線 W R 1) に接続されている。そして、上部選択ゲート電極 U S G と下部選択ゲート電極 L S G との間の積層構造体 M L において、メモリセル M C が形成される。半導体ピラー S P が、直線状の 1 つのメモリストリングとして機能する。

【0180】

上部選択ゲート電極 U S G は、層間絶縁膜 (図示しない) によって Y 軸方向に分断されており、X 軸方向に沿って延在する帯状の形状を有している。下部選択ゲート電極 L S G は、層間絶縁膜 (図示しない) によって Y 軸方向に分断されており、X 軸方向に沿って延在する帯状の形状を有している。

【0181】

一方、半導体ピラー S P の上部に接続されるビット線 B L、及び、半導体ピラー S P の下部に接続されるソース線 S L は、Y 軸方向に延在する帯状の形状を有している。

そして、本具体例では、電極膜 6 1 は、X - Y 平面に平行な板状の導電膜である。

【0182】

このような構成を有する不揮発性半導体記憶装置 130 においても、非メモリ部 P U のダミー導電膜 6 5 及びダミー選択ゲート電極 S G d が所定の電位に設定されるので、異なる電位をもつノード間の干渉が抑制され、安定した動作が実現できる。

【0183】

なお、不揮発性半導体記憶装置 130 においても、第 1 非メモリ部コンタクト電極 7 1 p は、Z 軸方向に沿って見たときに、第 2 非メモリ部コンタクト電極 7 2 p と重なる部分を有することができ、また、有さないことができる。

【0184】

以上、実施形態によれば、より安定した動作を実現する一括加工型 3 次元積層型の不揮発性半導体記憶装置が提供される。

【0185】

なお、上記においては、記憶層 4 8 として窒化シリコンを用いる場合について説明したが、実施形態はこれに限らず、記憶層 4 8 には、窒化シリコン、酸窒化シリコン、酸化ア

10

20

30

40

50

ルミニウム、酸窒化アルミニウム、ハフニア、ハフニウム・アルミネート、窒化ハフニア、窒化ハフニウム・アルミネート、ハフニウム・シリケート、窒化ハフニウム・シリケート、酸化ランタン及びランタン・アルミネートよりなる群から選択されたいずれかの単層膜、または、前記群から選択された複数からなる積層膜を用いることができる。

【0186】

また、電極間絶縁膜62、内側絶縁膜42及び外側絶縁膜43には、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸窒化アルミニウム、ハフニア、ハフニウム・アルミネート、窒化ハフニア、窒化ハフニウム・アルミネート、ハフニウム・シリケート、窒化ハフニウム・シリケート、酸化ランタン及びランタン・アルミネートよりなる群から選択されたいずれかの単層膜、または、前記群から選択された複数からなる積層膜を用いることができる。

10

【0187】

なお、本願明細書において、「垂直」及び「平行」は、厳密な垂直及び厳密な平行だけではなく、例えば製造工程におけるばらつきなどを含むものであり、実質的に垂直及び実質的に平行であれば良い。

【0188】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、不揮発性半導体記憶装置に含まれる電極膜、電極間絶縁膜、選択ゲート電極、半導体ピラー、半導体接続部、接続部導電膜、記憶層、内側絶縁膜、外側絶縁膜、絶縁膜、導電膜、層間絶縁膜、ソース線、ビット線、配線、ダミー導電膜、ダミー電極、コンタクト電極などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

20

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0189】

その他、本発明の実施の形態として上述した不揮発性半導体記憶装置を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性半導体記憶装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0190】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

30

【0191】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

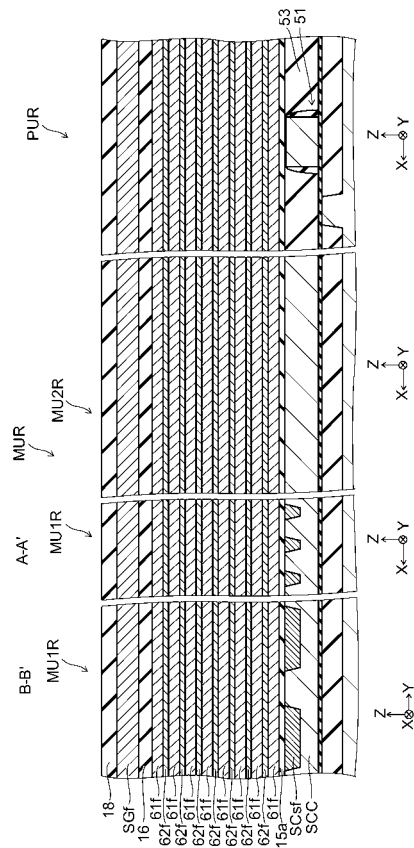
【0192】

11...基板、11a...主面、13...層間絶縁膜、13g...絶縁膜、15a...絶縁膜、16、18、18a、18c...層間絶縁膜、18b...ストッパ膜、19...層間絶縁膜、22、22a、22b...コンタクト電極、23、24...層間絶縁膜、24a...コンタクト電極、25、27...層間絶縁膜、28a、28b、28c、28d...メタル配線、29...パッシベーション膜、31...メモリ部コンタクト電極、31c...接続部、31o...コンタクトホール、31t...溝、32...ワード配線、33...メモリ部コンタクト電極、33c...接続部、33o...コンタクトホール、33t...溝、34...メモリ部コンタクト配線、34t...溝、35...配線、42...内側絶

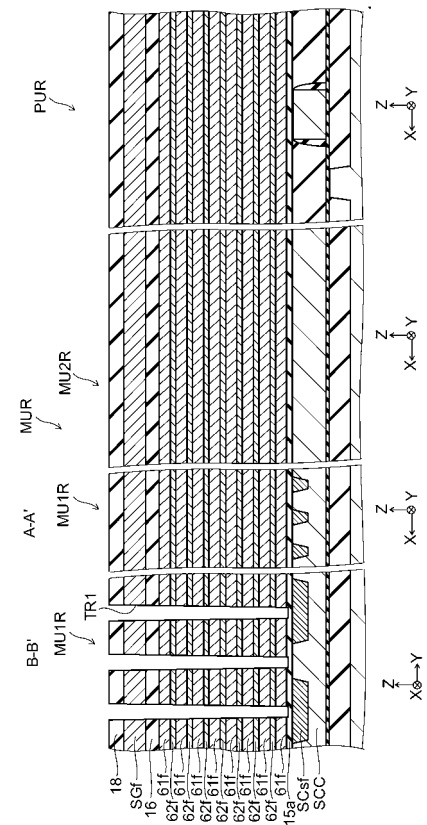
50

縁膜、 4 2 c ... 接続部内側絶縁膜、 4 2 c 1 ... 第 1 接続部内側絶縁膜、 4 2 p 1、
 4 2 p 2 ... 第 1 及び第 2 ピラー部内側絶縁膜、 4 3 ... 外側絶縁膜、 4 3 c ... 接続部外
 側絶縁膜、 4 3 c 1 ... 第 1 接続部外側絶縁膜、 4 3 p 1、 4 3 p 2 ... 第 1 及び第 2 ピ
 ラー部外側絶縁膜、 4 7 ... 積層絶縁膜、 4 8 ... 記憶層、 4 8 c ... 接続部記憶層、
 4 8 c 1 ... 第 1 接続部記憶層、 4 8 p ... ピラー部記憶層、 4 8 p 1、 4 8 p 2 ... 第 1
 及び第 2 ピラー部記憶層、 5 1 ... 周辺回路トランジスタ、 5 2 ... 周辺回路ゲート電極
 、 5 3 ... 層間絶縁膜、 6 1 ... 電極膜、 6 1 a、 6 1 b ... 第 1 及び第 2 電極膜、 6
 1 d ... 第 1 ダミー電極、 6 1 f ... ドープ・ポリシリコン膜、 6 2 ... 電極間絶縁膜、
 6 2 a、 6 2 b ... 第 1 及び第 2 電極間絶縁膜、 6 2 d ... 第 2 ダミー膜、 6 2 f ... ノ
 ンドープ・ポリシリコン膜、 6 5 ... ダミー導電膜、 6 5 p ... 部分、 7 1 ... 配線、 10
 7 1 c ... 接続部、 7 1 o ... 開口部、 7 1 p ... 第 1 非メモリ部コンタクト電極、 7 1
 t ... 溝、 7 2 ... 配線、 7 2 c ... 接続部、 7 2 o ... 開口部、 7 2 p ... 第 2 非メモリ
 部コンタクト電極、 7 2 t ... 溝、 7 3 ... 配線、 7 3 I ... 層間絶縁膜、 7 3 c ... 接
 続部、 7 3 o ... 開口部、 7 3 p ... コンタクト電極、 7 3 t ... 溝、 7 4 ... 配線、
 7 4 I ... 層間絶縁膜、 7 4 c ... 接続部、 7 4 o ... 開口部、 7 4 p ... コンタクト電極
 、 7 4 t ... 溝、 1 1 0、 1 1 1、 1 1 2、 1 2 0、 1 3 0 ... 不揮発性半導体記憶装置
 、 B L ... ビット線、 I L P ... 層間絶縁膜、 L S G ... 下部選択ゲート電極、 M C ...
 メモリセル、 M L ... 積層構造体、 M L 1、 M L 2 ... 第 1 及び第 2 積層構造体、 M U
 ... メモリ部、 M U 1 ... マトリクスメモリセル部、 M U 1 R ... マトリクスメモリセル領
 域、 M U 2 ... 配線接続部、 M U 2 R ... 配線接続領域、 M U R ... メモリ領域、 P C 20
 U ... 周辺回路部、 P U ... 非メモリ部、 P U R ... 非メモリ領域、 S C、 S C n ... 半導
 体接続部、 S C 1、 S C 2 ... 第 1 及び第 2 半導体接続部、 S C C ... 接続部導電層、
 S C s f ... 犠牲膜、 S G ... 選択ゲート電極、 S G 1 ~ S G 4 ... 第 1 ~ 第 4 選択ゲート
 電極、 S G D ... ドレイン側選択ゲート電極、 S G I ... 選択ゲート絶縁膜、 S G I 1
 、 S G I 2 ... 第 1 及び第 2 選択ゲート絶縁膜、 S G S ... ソース側選択ゲート電極、 S
 G T 1、 S G T 2 ... 第 1 及び第 2 選択ゲートトランジスタ、 S G d ... ダミー選択ゲート
 電極、 S G f ... 選択ゲート電極膜、 S L ... ソース線、 S L t ... 溝、 S P、 S P n
 ... 半導体ピラー、 S P 1 ~ S P 4 ... 第 1 ~ 第 4 半導体ピラー、 S P C ... 半導体ピラー
 コンタクト部、 S P f ... 半導体ピラー膜、 T H ... 貫通ホール、 T R 1 ... 溝、 T R
 1 f ... 絶縁膜、 U S G ... 上部選択ゲート電極、 V A 1、 V A 2 ... コンタクト電極、 30
 W R 1、 W R 2 ... 第 1 及び第 2 配線

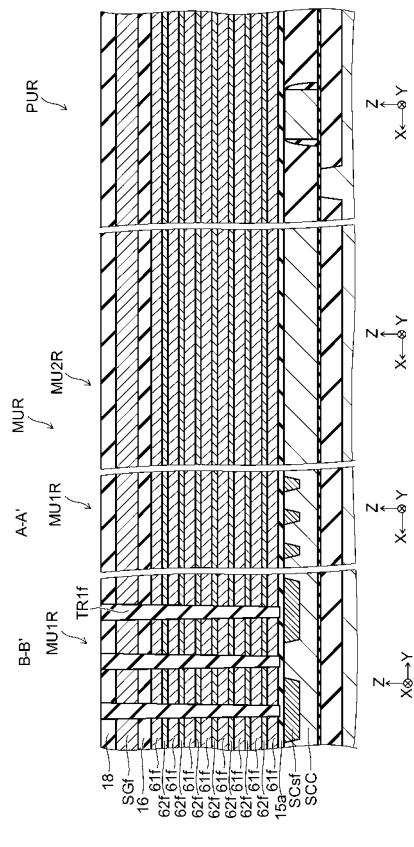
【図 5】



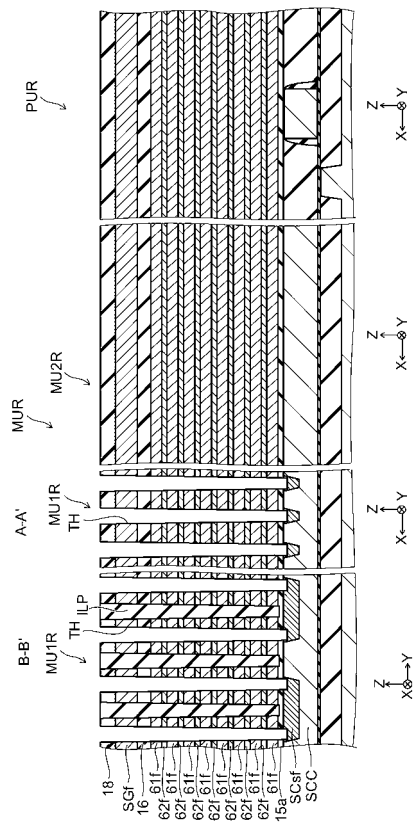
【図 6】



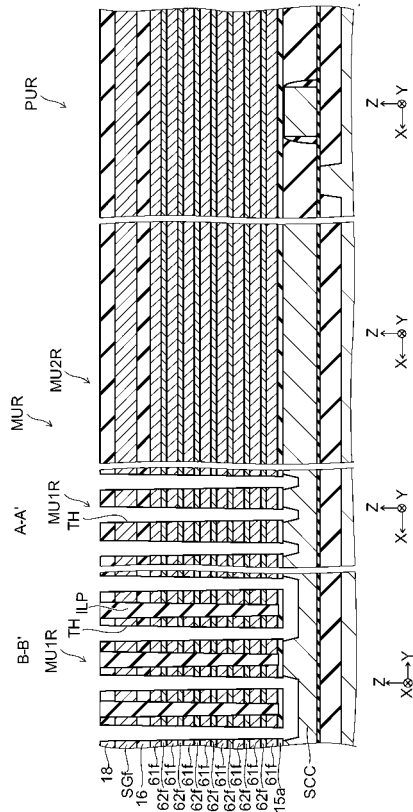
【図 7】



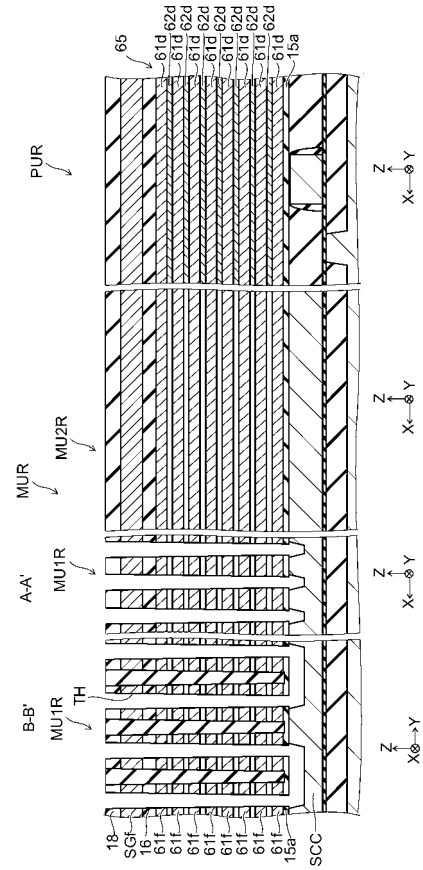
【図 8】



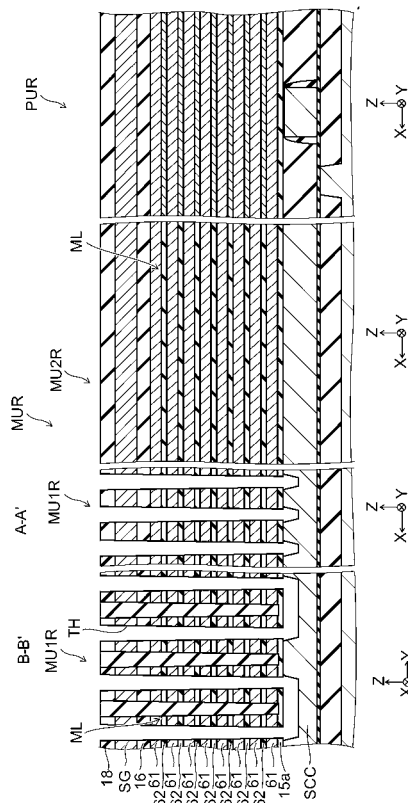
【 図 9 】



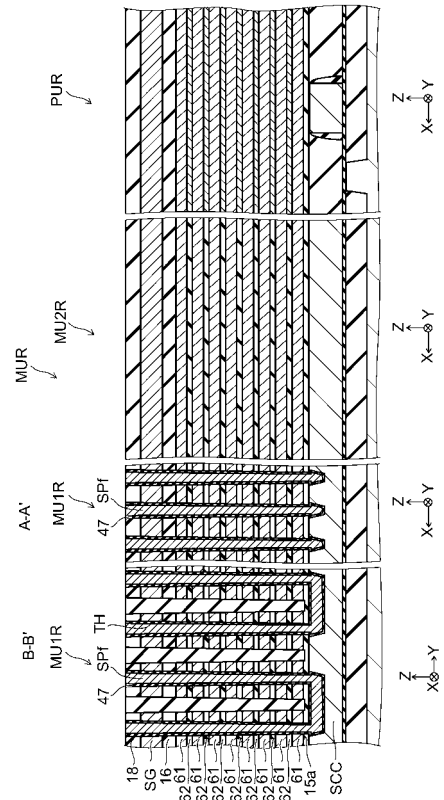
【 図 1 0 】



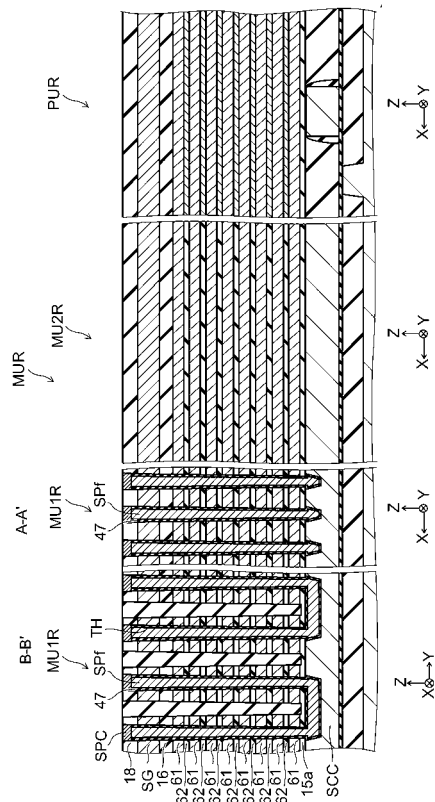
【 図 1 1 】



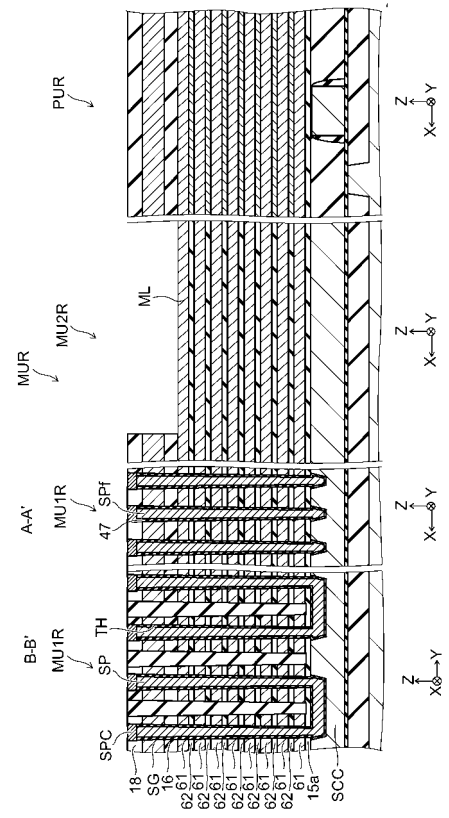
【 図 1 2 】



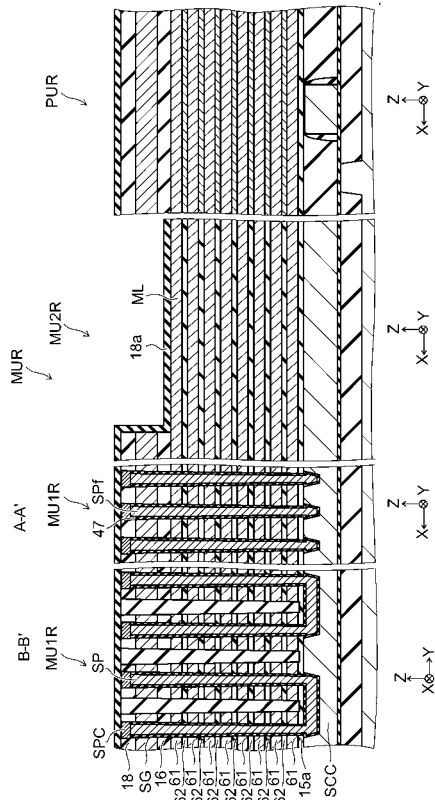
【図 13】



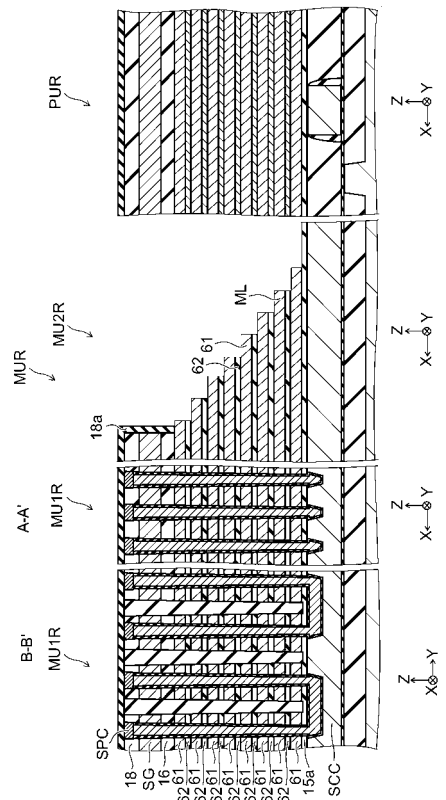
【図 14】



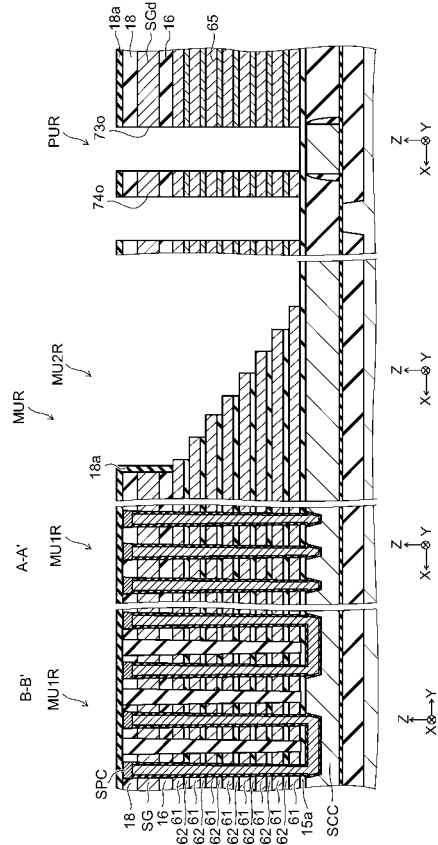
【図 15】



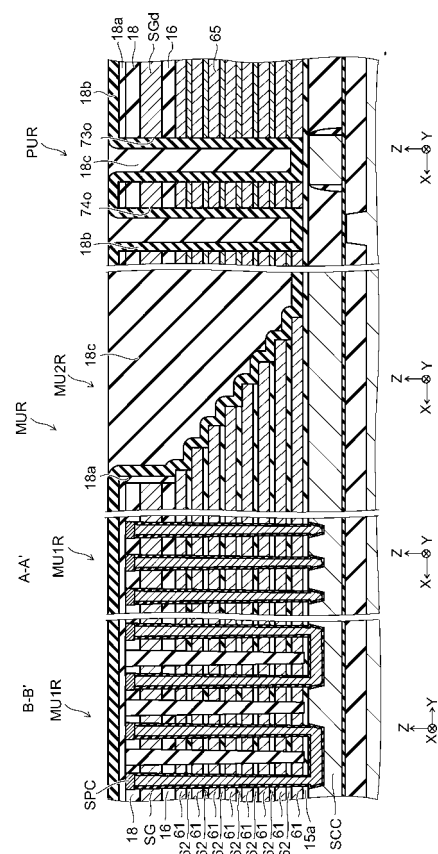
【図 16】



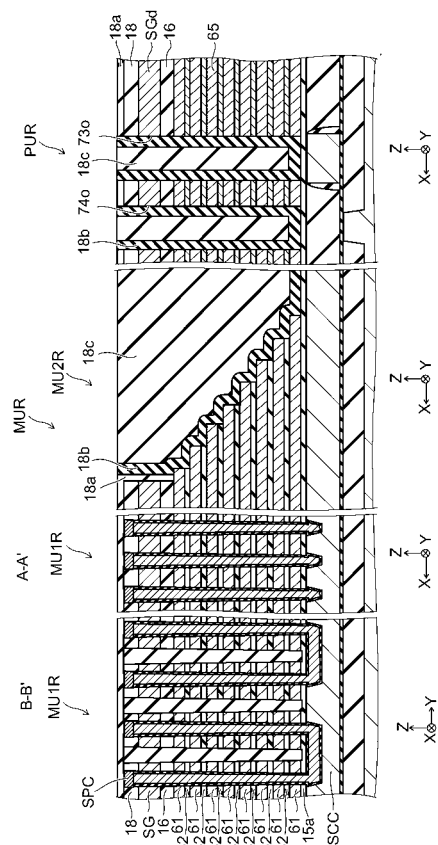
【 図 1 7 】



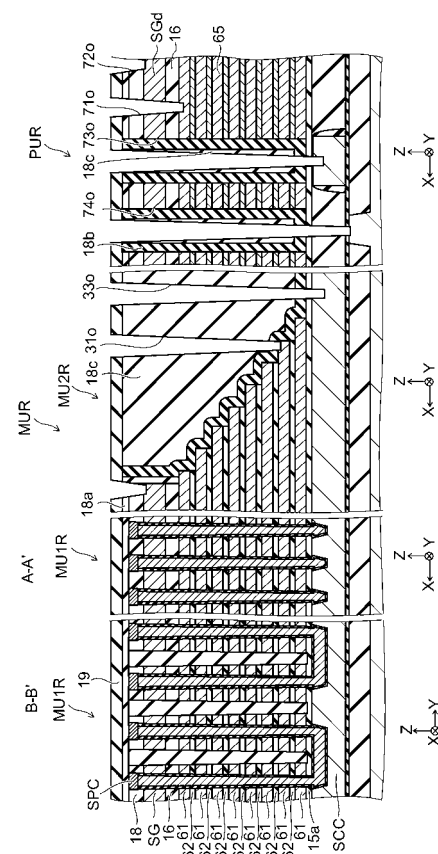
【 図 1 8 】



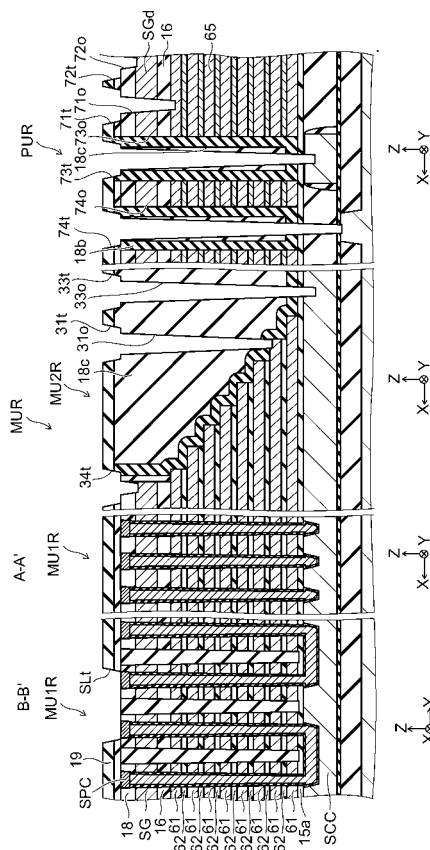
【 図 1 9 】



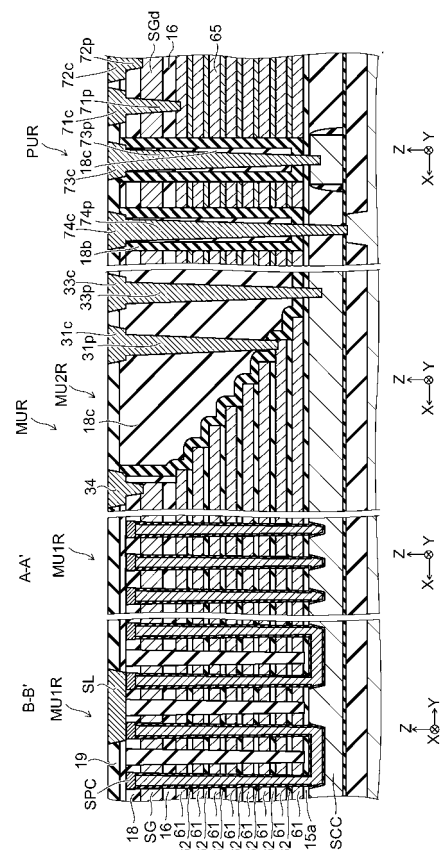
【 図 2 0 】



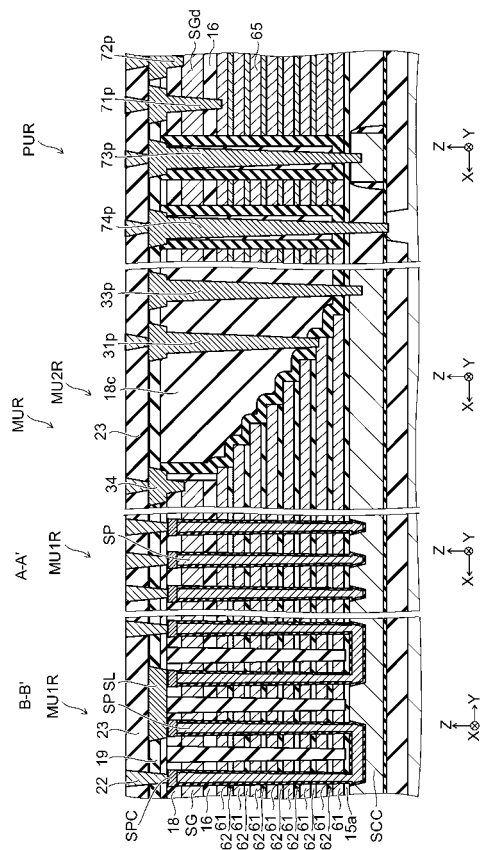
【 図 2 1 】



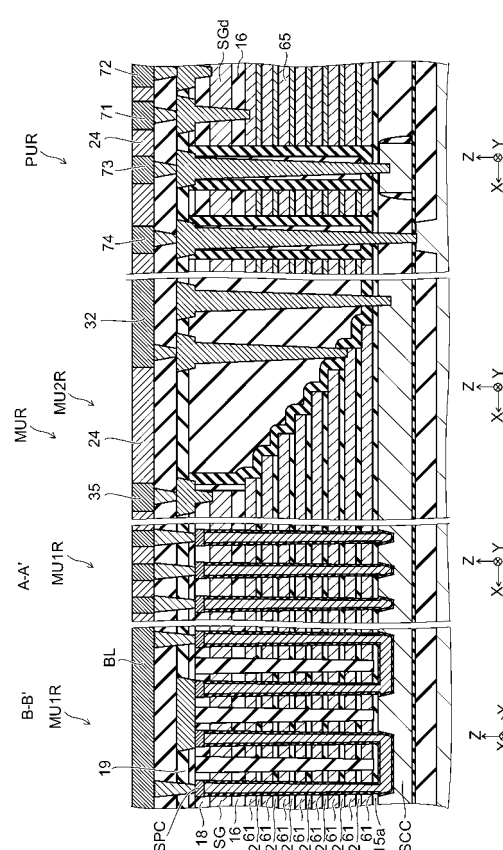
【 図 2 2 】



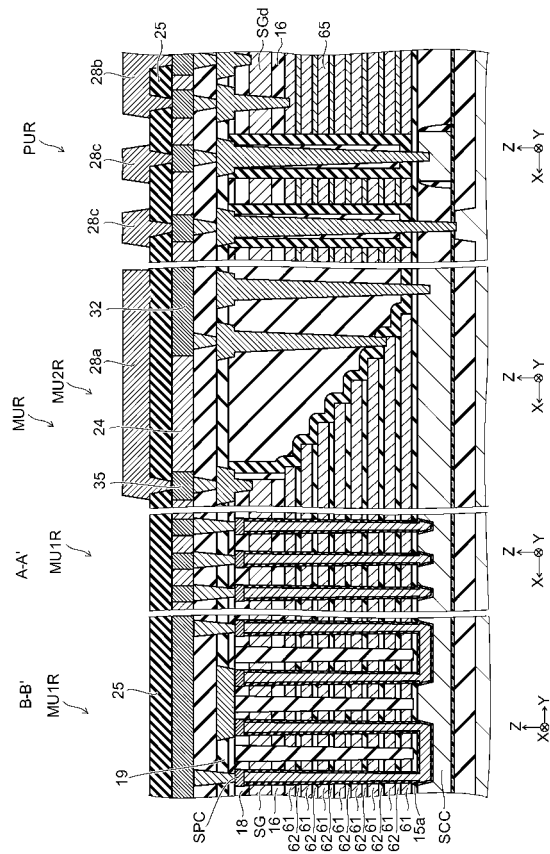
【 図 2 3 】



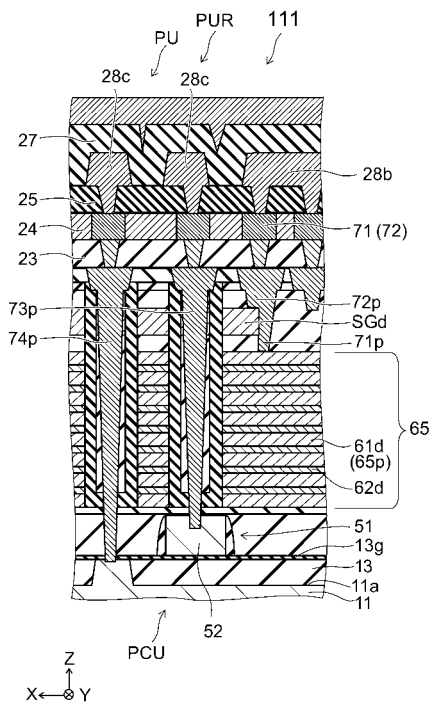
【 図 2 4 】



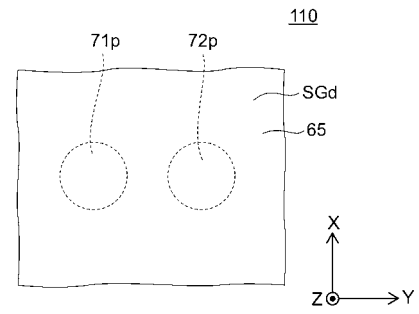
【図 25】



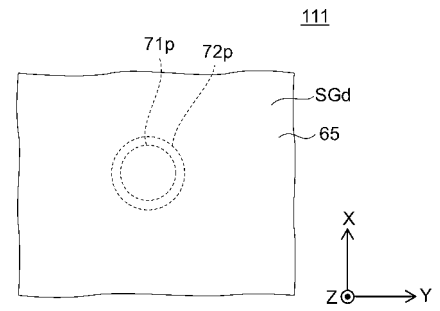
【図 27】



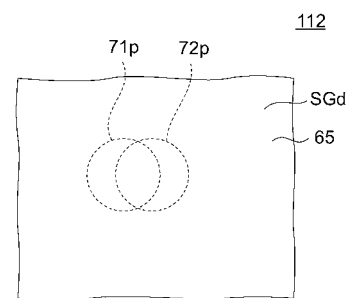
【図 26】



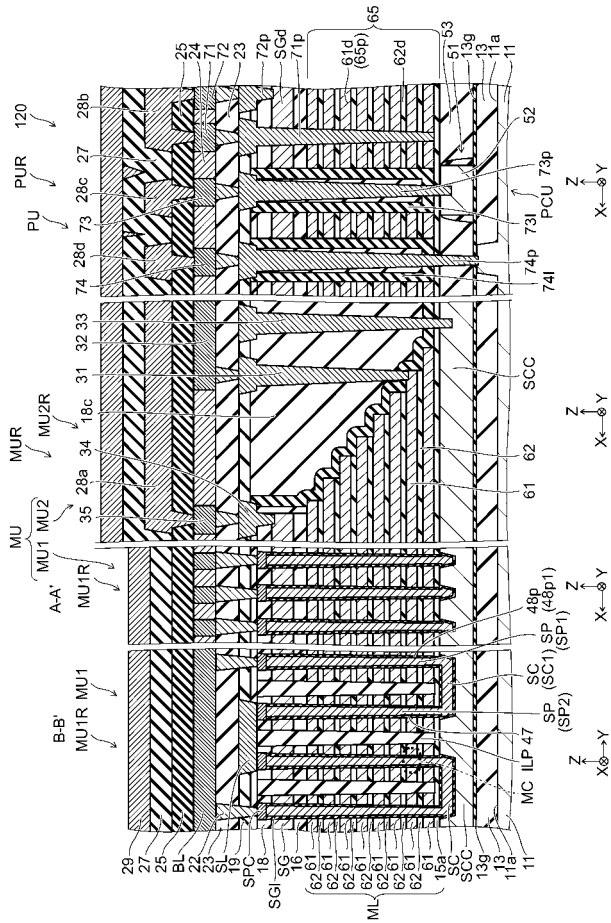
【図 28】



【図 29】



【図 30】



【図 31】

