

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4023953号  
(P4023953)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int.C1.

F 1

G 11 C 16/02 (2006.01)

G 11 C 17/00 64 1

請求項の数 13 (全 78 頁)

(21) 出願番号 特願平11-176027  
 (22) 出願日 平成11年6月22日(1999.6.22)  
 (65) 公開番号 特開2001-6375(P2001-6375A)  
 (43) 公開日 平成13年1月12日(2001.1.12)  
 審査請求日 平成17年12月16日(2005.12.16)

早期審査対象出願

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100096781  
 弁理士 堀井 豊  
 (74) 代理人 100098316  
 弁理士 野田 久登  
 (74) 代理人 100109162  
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】不揮発性半導体記憶装置

## (57) 【特許請求の範囲】

## 【請求項 1】

不揮発性半導体装置であって、  
 複数のメモリセルが配置されたメモリセルアレイを備え、  
 各メモリセルは、しきい電圧が第1～第4のしきい値レベルのうちのいずれかのしきい値レベルに選択的に設定されて、互いに異なる4つのデータコードのうちのいずれかのデータコードを記憶し、各データコードは第1および第2のデータを含み、

前記第1のしきい値レベルは第1の判定レベルよりも低く、第2のしきい値レベルは前記第1の判定レベルよりも高く第2の判定レベルよりも低く、第3のしきい値レベルは前記第2の判定レベルよりも高く第3の判定レベルよりも低く、前記第4のしきい値レベルは前記第3の判定レベルよりも高く、

前記第1～第4のしきい値レベルは、前記4つのデータコードを、  
 i) 第1のステップでは、各データコードの第1のデータが第1および第2の論理のうちのいずれの論理であるかに応じて2つのグループに分けて並べ替え、

ii) 第2のステップでは、各グループの2つのデータコードを、さらに、各データコードの第2のデータが第1および第2の論理のうちのいずれの論理であるかに応じて並べ替える、

という手順に相当する手続きで並べ替えたものとそれぞれ対応し、

前記第1および第2のしきい値レベルに対応する各データコードの第1のデータは第1の論理であり、前記第3および第4のしきい値レベルに対応する各データコードの第1の

10

20

データは第2の論理であり、

データコードの第1のデータが第1の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも低いしきい値レベルに対応し、

データコードの第1のデータが第2の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも高いしきい値レベルに対応し、

アドレス信号に応じて、前記メモリセルアレイの前記複数のメモリセルのうちのいずれかm個（ただし、mは2以上の整数である）のメモリセルを一括して選択するセル選択回路と、

前記第1～第3の判定レベルに基づいて、前記セル選択回路によって選択されたm個のメモリセルに対してm個のデータコードの読み出し/書き込み動作を行なうデータ読み出し/書き込み回路と、

前記不揮発性半導体装置の外部と前記データ読み出し/書き込み回路との間で、前記m個のデータコードの第1および第2のデータをkビット（ただし、kは自然数である）ごとにk個の入出力ノードを介して授受するデータ入出力回路とをさらに備え、

各データコードの第1および第2のデータは、それぞれ異なるタイミングで同一の前記入出力ノードを介して授受され、

前記データ読み出し/書き込み回路は、

前記m個のメモリセルのしきい値電圧と前記第2の判定レベルとを比較する第1の読み出ステップと、

前記m個のメモリセルのしきい値電圧と前記第1の判定レベルとを比較する第2の読み出ステップと、

前記m個のメモリセルのしきい値電圧と前記第3の判定レベルとを比較する第3の読み出ステップとを実行し、

前記第1の読み出ステップの比較結果である前記m個のデータコードの第1のデータを保持する第1の読み出データ保持回路と、

前記第2の読み出ステップの比較結果であるmビットの第1の判定データを保持する第2の読み出データ保持回路と、

前記第3の読み出ステップの比較結果であるmビットの第2の判定データを保持する第3の読み出データ保持回路と、

前記第2の読み出データ保持回路に保持された前記mビットの第1の判定データと前記第3の読み出データ保持回路に保持された前記mビットの第2の判定データとに基づいて前記m個のデータコードの第2のデータを生成する読み出データ変換回路とを含み、

前記データ読み出し/書き込み回路は、前記第1の読み出ステップの後に前記第2および第3の読み出ステップを実行し、前記第1の読み出データ保持回路に保持された前記mビットの第1のデータが前記データ入出力回路によって前記外部に出力されている期間中に、前記第2または第3の読み出ステップを実行する、不揮発性半導体記憶装置。

### 【請求項2】

前記データ読み出し/書き込み回路は、前記mビットの第1のデータが前記データ入出力回路によって前記外部に出力されている期間中に、前記第2および第3の読み出ステップを完了する、請求項1に記載の不揮発性半導体記憶装置。

### 【請求項3】

不揮発性半導体装置であって、

複数のメモリセルが配置されたメモリセルアレイを備え、

各メモリセルは、しきい電圧が第1～第4のしきい値レベルのうちのいずれかのしきい値レベルに選択的に設定されて、互いに異なる4つのデータコードのうちのいずれかのデータコードを記憶し、各データコードは第1および第2のデータを含み、

前記第1のしきい値レベルは第1の判定レベルよりも低く、第2のしきい値レベルは前記第1の判定レベルよりも高く第2の判定レベルよりも低く、第3のしきい値レベルは前記第2の判定レベルよりも高く第3の判定レベルよりも低く、第4のしきい値レベルは前記第3の判定レベルよりも高く第4の判定レベルよりも低く、

10

20

30

40

50

記第2の判定レベルよりも高く第3の判定レベルよりも低く、前記第4のしきい値レベルは前記第3の判定レベルよりも高く、

前記第1～第4のしきい値レベルは、前記4つのデータコードを、

i) 第1のステップでは、各データコードの第1のデータが第1および第2の論理のうちのいずれの論理であるかに応じて2つのグループに分けて並べ替え、

ii) 第2のステップでは、各グループの2つのデータコードを、さらに、各データコードの第2のデータが第1および第2の論理のうちのいずれの論理であるかに応じて並べ替える、

という手順に相当する手続きで並べ替えたものとそれぞれ対応し、

前記第1および第2のしきい値レベルに対応する各データコードの第1のデータは第1の論理であり、前記第3および第4のしきい値レベルに対応する各データコードの第1のデータは第2の論理であり、

データコードの第1のデータが第1の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも低いしきい値レベルに対応し、

データコードの第1のデータが第2の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも高いしきい値レベルに対応し、

アドレス信号に応じて、前記メモリセルアレイの前記複数のメモリセルのうちのいずれかm個（ただし、mは2以上の整数である）のメモリセルを一括して選択するセル選択回路と、

前記第1～第3の判定レベルに基づいて、前記セル選択回路によって選択されたm個のメモリセルに対してm個のデータコードの読出／書き動作を行なうデータ読出／書き回路と、

前記不揮発性半導体装置の外部と前記データ読出／書き回路との間で、前記m個のデータコードの第1および第2のデータをkビット（ただし、kは自然数である）ごとにk個の入出力ノードを介して授受するデータ入出力回路とをさらに備え、

各データコードの第1および第2のデータは、それぞれ異なるタイミングで同一の前記入出力ノードを介して授受され、

前記データ読出／書き回路は、

前記m個のメモリセルのしきい値電圧と前記第2の判定レベルとを比較する第1の読出ステップと、

前記m個のメモリセルのしきい値電圧と前記第1の判定レベルとを比較する第2の読出ステップと、

前記m個のメモリセルのしきい値電圧と前記第3の判定レベルとを比較する第3の読出ステップとを実行し、

前記第1の読出ステップの比較結果である前記m個のデータコードの第1のデータを保持する第1の読出データ保持回路と、

前記第2の読出ステップの比較結果であるmビットの第1の判定データを保持する第2の読出データ保持回路と、

前記第3の読出ステップの比較結果であるmビットの第2の判定データを保持する第3の読出データ保持回路と、

前記第2の読出データ保持回路に保持された前記mビットの第1の判定データと前記第3の読出データ保持回路に保持された前記mビットの第2の判定データとに基づいて前記m個のデータコードの第2のデータを生成する読出データ変換回路とを含み、

前記データ読出／書き回路は、前記第2および第3の読出ステップの後に前記第1の読出ステップを実行し、前記読出データ変換回路によって生成されたmビットの第2のデータが前記データ入出力回路によって前記外部に出力されている期間中に、前記第1の読出ステップを実行する、不揮発性半導体記憶装置。

前記データ読出／書き回路は、前記mビットの第2のデータが前記データ入出力回路によって前記外部に出力されている期間中に、前記第1の読み出ステップを完了する、請求項3に記載の不揮発性半導体記憶装置。

**【請求項5】**

前記データ読出／書き回路は、前記セル選択回路によって選択されたm個のメモリセルの各々のしきい値レベルを1方向に変更することによって書き込み動作を行なう、請求項1から請求項4までのいずれかに記載の不揮発性半導体記憶装置。

**【請求項6】**

前記第1のしきい値レベルは消去状態に対応し、  
前記データ読出／書き回路は、前記m個のメモリセルの各々のしきい値レベルを上げることによって書き込み動作を行なう、請求項5に記載の不揮発性半導体記憶装置。 10

**【請求項7】**

前記メモリセルアレイの前記複数のメモリセルは複数行複数列に配置され、  
前記メモリセルアレイは、それぞれ前記複数行に対応して設けられ、各々が対応の行に属する各メモリセルに接続される複数のワード線を含み、

前記セル選択回路は、前記アドレス信号に応じて、前記複数のワード線のうちのいずれかのワード線を選択的に活性化し、

前記第1～第3の読み出データ保持回路の各々は、各ワード線が活性化されるごとに選択されるm個のメモリセルのデータを一括して保持可能である、請求項1から請求項6までのいずれかに記載の不揮発性半導体記憶装置。 20

**【請求項8】**

前記データ読出／書き回路は、前記セル選択回路によって一括して選択されるm個のメモリセルに書き込まれるべき、前記データ入出力回路から順次与えられるmビットの第1のデータおよびmビットの第2のデータのうち、最初のmビットの第1のデータが与えられた時点で、書き込まれるべき第1のデータが第2の論理である各メモリセルのしきい値電圧を前記第3のしきい値レベルにする、請求項1から請求項7までのいずれかに記載の不揮発性半導体記憶装置。

**【請求項9】**

前記データ読出／書き回路は、前記データ入出力回路からmビットの第2のデータが与えられたことに応じて、書き込まれるべき第1および第2のデータがそれぞれ第1および第2の論理である各メモリセルのしきい値電圧を前記第2のしきい値レベルにするとともに、書き込まれるべき第1および第2のデータがそれぞれ第2および第1の論理である各メモリセルのしきい値電圧を前記第4のしきい値レベルにする、請求項8に記載の不揮発性半導体記憶装置。 30

**【請求項10】**

前記データ読出／書き回路は、  
前記mビットの第1のデータを保持する第1の書き込みデータ保持回路と、  
前記mビットの第2のデータを保持する第2の書き込みデータ保持回路と、  
前記mビットの第1のデータと前記mビットの第2のデータとに基づいて、それぞれm個のメモリセルにデータ書き込み実行するか否かを示すmビットの書き込み変換データを生成する書き込みデータ変換回路とを含む、請求項9に記載の不揮発性半導体記憶装置。 40

**【請求項11】**

前記メモリセルは、フローティングゲートトランジスタを含み、  
前記データ読出／書き回路は、mビットの第2のデータに応答して行なうデータ書き込みを一括して行なうために、前記m個のメモリセルのフローティングゲートトランジスタのドレインの各々に複数の電位レベルのうちのいずれかの電位レベルを選択的に供給する、請求項10に記載の不揮発性半導体記憶装置。

**【請求項12】**

不揮発性半導体装置であって、  
複数のメモリセルが配置されたメモリセルアレイを備え、 50

各メモリセルは、しきい電圧が第1～第4のしきい値レベルのうちのいずれかのしきい値レベルに選択的に設定されて、互いに異なる4つのデータコードのうちのいずれかのデータコードを記憶し、各データコードは第1および第2のデータを含み、

前記第1のしきい値レベルは第1の判定レベルよりも低く、第2のしきい値レベルは前記第1の判定レベルよりも高く第2の判定レベルよりも低く、第3のしきい値レベルは前記第2の判定レベルよりも高く第3の判定レベルよりも低く、前記第4のしきい値レベルは前記第3の判定レベルよりも高く、

前記第1～第4のしきい値レベルは、前記4つのデータコードを、

i) 第1のステップでは、各データコードの第1のデータが第1および第2の論理のうちのいずれの論理であるかに応じて2つのグループに分けて並べ替え、 10

ii) 第2のステップでは、各グループの2つのデータコードを、さらに、各データコードの第2のデータが第1および第2の論理のうちのいずれの論理であるかに応じて並べ替える、

という手順に相当する手続きで並べ替えたものとそれぞれ対応し、

前記第1および第2のしきい値レベルに対応する各データコードの第1のデータは第1の論理であり、前記第3および第4のしきい値レベルに対応する各データコードの第1のデータは第2の論理であり、

データコードの第1のデータが第1の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも低いしきい値レベルに対応し、 20

データコードの第1のデータが第2の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも高いしきい値レベルに対応し、前記不揮発性半導体記憶装置はさらに、

アドレス信号に応じて、前記メモリセルアレイの前記複数のメモリセルのうちのいずれかm個（ただし、mは2以上の整数である）のメモリセルを一括して選択するセル選択回路と、

前記第1～第3の判定レベルに基づいて、前記セル選択回路によって選択されたm個のメモリセルからm個のデータコードを読み出すデータ読出回路と、

前記データ読出回路によって読み出されたm個のデータコードの第1および第2のデータを、kビット（ただし、kは自然数である）ごとにk個の出力ノードを介して前記不揮発性半導体記憶装置の外部に出力するデータ出力回路とを備え、 30

各データコードの第1および第2のデータは、それぞれ異なるタイミングで同一の前記出力ノードを介して出力され、

前記データ読出回路は、

前記m個のメモリセルのしきい値電圧と前記第2の判定レベルとを比較する第1の読出ステップと、

前記m個のメモリセルのしきい値電圧と前記第1の判定レベルとを比較する第2の読出ステップと、

前記m個のメモリセルのしきい値電圧と前記第3の判定レベルとを比較する第3の読出ステップとを実行し、 40

前記第1の読出ステップの比較結果である前記m個のデータコードの第1のデータを保持する第1の読出データ保持回路と、

前記第2の読出ステップの比較結果であるmビットの第1の判定データを保持する第2の読出データ保持回路と、

前記第3の読出ステップの比較結果であるmビットの第2の判定データを保持する第3の読出データ保持回路と、

前記第2の読出データ保持回路に保持された前記mビットの第1の判定データと前記第3の読出データ保持回路に保持された前記mビットの第2の判定データとに基づいて前記m個のデータコードの第2のデータを生成する読出データ変換回路とを含み、

前記データ読出回路は、前記第1の読出ステップの後に前記第2および第3の読出ステ 50

ップを実行し、前記第1の読出データ保持回路に保持された前記mビットの第1のデータが前記データ出力回路によって前記外部に出力されている期間中に、前記第2または第3の読出ステップを実行する、不揮発性半導体記憶装置。

【請求項13】

不揮発性半導体装置であって、  
複数のメモリセルが配置されたメモリセルアレイを備え、  
各メモリセルは、しきい電圧が第1～第4のしきい値レベルのうちのいずれかのしきい値レベルに選択的に設定されて、互いに異なる4つのデータコードのうちのいずれかのデータコードを記憶し、各データコードは第1および第2のデータを含み、

前記第1のしきい値レベルは第1の判定レベルよりも低く、第2のしきい値レベルは前記第1の判定レベルよりも高く第2の判定レベルよりも低く、第3のしきい値レベルは前記第2の判定レベルよりも高く第3の判定レベルよりも低く、前記第4のしきい値レベルは前記第3の判定レベルよりも高く、

前記第1～第4のしきい値レベルは、前記4つのデータコードを、  
i) 第1のステップでは、各データコードの第1のデータが第1および第2の論理のうちのいずれの論理であるかに応じて2つのグループに分けて並べ替え、  
ii) 第2のステップでは、各グループの2つのデータコードを、さらに、各データコードの第2のデータが第1および第2の論理のうちのいずれの論理であるかに応じて並べ替える、  
という手順に相当する手続きで並べ替えたものとそれ対応し、

前記第1および第2のしきい値レベルに対応する各データコードの第1のデータは第1の論理であり、前記第3および第4のしきい値レベルに対応する各データコードの第1のデータは第2の論理であり、

データコードの第1のデータが第1の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも低いしきい値レベルに対応し、

データコードの第1のデータが第2の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも高いしきい値レベルに対応し、前記不揮発性半導体記憶装置はさらに、

アドレス信号に応じて、前記メモリセルアレイの前記複数のメモリセルのうちのいずれかm個（ただし、mは2以上の整数である）のメモリセルを一括して選択するセル選択回路と、

前記第1～第3の判定レベルに基づいて、前記セル選択回路によって選択されたm個のメモリセルからm個のデータコードを読み出すデータ読出回路と、

前記データ読出回路によって読み出されたm個のデータコードの第1および第2のデータを、kビット（ただし、kは自然数である）ごとにk個の出力ノードを介して前記不揮発性半導体記憶装置の外部に出力するデータ出力回路とを備え、

各データコードの第1および第2のデータは、それぞれ異なるタイミングで同一の前記出力ノードを介して出力され、

前記データ読出回路は、  
前記m個のメモリセルのしきい値電圧と前記第2の判定レベルとを比較する第1の読出ステップと、

前記m個のメモリセルのしきい値電圧と前記第1の判定レベルとを比較する第2の読出ステップと、

前記m個のメモリセルのしきい値電圧と前記第3の判定レベルとを比較する第3の読出ステップとを実行し、

前記第1の読出ステップの比較結果である前記m個のデータコードの第1のデータを保持する第1の読出データ保持回路と、

前記第2の読出ステップの比較結果であるmビットの第1の判定データを保持する第2の読出データ保持回路と、

10

20

30

40

50

前記第3の読み出ステップの比較結果であるmビットの第2の判定データを保持する第3の読み出データ保持回路と、

前記第2の読み出データ保持回路に保持された前記mビットの第1の判定データと前記第3の読み出データ保持回路に保持された前記mビットの第2の判定データとに基づいて前記m個のデータコードの第2のデータを生成する読み出データ変換回路とを含み、

前記データ読み出回路は、前記第2および第3の読み出ステップの後に前記第1の読み出ステップを実行し、前記読み出データ変換回路によって生成されたmビットの第2のデータが前記データ出力回路によって前記外部に出力されている期間中に、前記第1の読み出ステップを実行する、不揮発性半導体記憶装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置、特に1つのメモリセルに4値以上の情報（2ビット分以上の情報）を記憶可能な不揮発性半導体記憶装置の構成に関する。より特定的には、たとえば、フラッシュメモリなどの電気的書換可能な不揮発性半導体記憶装置の構成に関する。

【0002】

20

【従来の技術】

フラッシュメモリ等の不揮発性半導体記憶装置の記憶容量の増大に対応するために、1つのメモリセルにおいて、2値のデータを超える多値のデータを記憶可能な構成が開発されている。

【0003】

図118は従来のAND型フラッシュメモリ8000の全体的な構成を示す概略ブロック図である。

【0004】

メモリセルアレイ100は、フローティングゲートとコントロールゲートを備えた多数のメモリセルを有する。図118においては、メモリセルアレイ100は、2つのメモリセルブロック100Rと100Lとに分割されている。

【0005】

メモリセルのコントロールゲートはワード線WLに、メモリセルのドレインはビット線BLに、メモリセルのソースは図示しないソース線SCLに接続される。

【0006】

ワード線WLおよびビット線BLは代表的に、それぞれ1本ずつ示されている。ロウデコーダ110は、外部から与えられるアドレス信号に基づいてワード線を選択的に駆動する。ビット線BLの一端側には、センスラッチ回路120が設けられる。またビット線BLはカラムデコーダ130から出力される選択信号に基づいて選択され、選択されたビット線との間で読み出データ、書き込みデータの授受が行なわれる。

【0007】

図118において、図示しないが、センスラッチ回路120は、カラムデコーダ130からの選択信号に基づいて、ビット線を選択するためのカラムスイッチ回路を含んでいる。

40

【0008】

カラムデコーダ130およびロウデコーダ110には、アドレスバッファ140からアドレス信号が供給される。

【0009】

チップコントロール部200は、図示しないアクセス制御信号やクロック信号を外部から受け、これに従ってメモリセルの書き込み制御や読み出制御のために、フラッシュメモリの内部回路を全体的に制御する。消去、書き込み、読み出などの動作モードに応じて、ワード線の電位を駆動するワードドライバ（図示せず）等の動作電圧の切換は、チップコントロール部200が電源発生部150を制御することにより行なわれる。

【0010】

50

データラッチ回路 D L - L および D L - R は、データの書き込み、読み出動作において授受されるデータを一時保持するデータバッファである。

【0011】

フラッシュメモリの動作モードは、特に制限されないが、外部からチップコントロール部 200 に供給されるアクセス制御信号、またはデータバスなどを介して供給されるコマンドデータによって指示され、データの書換（消去および書き込み）やデータの読み出モードを有する。

【0012】

図 118 に示される従来のAND型4値フラッシュメモリにおいては、1つのメモリセルの情報記憶状態は、消去状態、第1の書き込み状態、第2の書き込み状態、第3の書き込み状態の中から選ばれた1つの状態とされている。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態に対応する。すなわち、2ビットのデータを1つのメモリセルで記憶することが可能である。

10

【0013】

そのために、フラッシュメモリ 8000 は、書き込み動作時にワード線に印加する書きベリファイ電圧を相互に異なる3種類設定し、これらを順次切換えて、3回に分けて書き込み動作を行なう。

【0014】

これら各書き込み動作において、チップコントロール部 200 は、書き込みを行なうメモリセルに接続されたセンスラッチ SL（センスラッチ回路 120 に含まれるセンスラッチ SL）に保持される2値（1ビット）の書き込みデータ“0”または“1”（“L”または“H”）の書き込み動作を、全上記3回に分けた書き込み動作の各書き込み動作ごとに、対応する書きベリファイ電圧を設定して制御する。このような構成により、後に詳しく説明するように、1つのメモリセルに4値（2ビット）の情報を書き込むことが可能となる。

20

【0015】

また、フラッシュメモリ 8000 は、読み出動作時にワード線の印加するワード線選択レベルとして電圧を3種類設定し、3回の読み出動作でメモリセルから読み出される2値（1ビット）のデータをセンスラッチ回路 120 を介して読み込み、3回の読み出動作終了後に、チップコントロール部 200 は、4値（2ビット）の情報に変換する。

【0016】

30

以下、書き込み動作および読み出動作について概要を述べる。

書き込み動作においては、書き込まれるべき2値（1ビット）のデータ列はデータ入出力端子群 10 から、アドレス信号はアドレス信号入力端子 12 からそれぞれアドレスバッファ / データ入出力バッファ 140 に取り込まれる。

【0017】

チップコントロール回路 200 は、書き込む2値（1ビット）へのデータ列を、上位ビットのデータ列と下位ビットのデータ列（あるいは、奇数ビットのデータ列と、偶数ビットのデータ列）に分離して、メモリセルアレイ 100 中の非選択のメモリセルに接続されるデータラッチ DL - L および DL - R（以下非選択選択ラッチと呼ぶ）に信号線 20 を通してそれぞれ転送し、一時的にラッチさせる。

40

【0018】

そして、チップコントロール部 200 は、「書き込み 1（第1の書き込み状態を得るために書き込み動作）」、「書き込み 2（第2の書き込み状態を得るために書き込み動作）」、「書き込み 3（第3の書き込み状態を得るために書き込み動作）」の各動作ごとに、データラッチ DL - L および DL - R が保持しているデータを信号線 20 を通して読み込み、それを、「書き込み 1」、「書き込み 2」、「書き込み 3」に応じて、選択されたメモリセルに書き込む4値（2ビット）のデータに対応した2値（1ビット）のデータ“0”または“1”に変換する。さらに、チップコントロール部 200 は、変換したデータを信号線 18 を通して、選択されたメモリセルに接続されたセンスラッチ回路 120 中のセンスラッチ SL に転送し、この選択されたセンスラッチ SL にラッチされた2値データに従って、上記「書き込み 1」、「書き込み 2」、「書き込み 3」の各書き込み動作を行なう。

50

動作が行なわれる。

【0019】

このようにして、上位ビット列、下位ビット列に分けられた2値のデータを、データラッチDL-LおよびDL-Rに一時的に保持させて、ベリファイ電圧の異なる3回の書込動作「書込1」～「書込3」ごとに、チップコントロール部200が2値(1ビット)への書込データを構成し、ベリファイ電圧がそれぞれ異なる書込動作を行なうことによって、1つのメモリセルに4値(2ビット)の情報を書込むことができる。

【0020】

読み出動作では、異なる3種類の電圧が順番に、選択された同一のワード線WLに印加され、各3回の読み出動作によって、メモリセルアレイ100中のメモリセルから選択センスラッチに読み出される2値(1ビット)の情報“0”または“1”は、それぞれデータラッチDL-LおよびDL-Rに転送されて、一時的に保持される。3回の読み出動作によって読み出され、データラッチDL-LおよびDL-Rに保持されたデータ列と選択センスラッチにラッチされたデータ列とにおける3種類の2値(1ビット)のデータ“0”または“1”は、信号線18および20を通してチップコントロール回路200に転送される。

10

【0021】

チップコントロール回路200は、そのようにして転送されたデータに基づいて、4値(2ビット)のデータの上位ビット、下位ビットを合成する。チップコントロール回路200は、合成された上位ビットおよび下位ビットをデータ入出力バッファ140を経由して、データ入出力端子群10から出力させる。

20

【0022】

以下、上に述べた書込動作、読み出動作について、さらに詳細を説明する。

[従来の4値データの書込動作]

図119は、従来の2値AND型フラッシュメモリの書込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。書込み動作および読み出動作においては、判定レベルVj01を基準として、データの書込みおよび読み出しが行なわれる。

【0023】

図120は、従来の4値AND型フラッシュメモリ8000の書込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。書込み動作および読み出動作においては、3つの判定レベルVj1, Vj2, Vj3を基準として、データの書込みおよび読み出しが行なわれる。

30

【0024】

上述のとおり、従来の4値AND型フラッシュメモリ8000は、図119のように、2値AND型フラッシュメモリでは書込後のメモリセルトランジスタのしきい値(Vth)を“0”と“1”的2種に分割していたのに対し、図120に示すように書込み後のしきい値を4種に分割するものである。

【0025】

したがって、各々のレベルを判定するのに、3種類の判定値Vj1, Vj2, Vj3を必要とする。

【0026】

図121～図126は、書込み動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび書込み後のメモリセルのしきい値を示す概念図である。

40

【0027】

図121は、書込み動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図122は、書込み動作の第1の処理ステップにおけるメモリセルのしきい値を示す。

【0028】

図123は、書込み動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図124は、書込み動作の第2の処理ステップにおけるメモリセルのしきい値を示す

50

。

## 【0029】

図125は、書込み動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図126は、書込み動作の第3の処理ステップにおけるメモリセルのしきい値を示す。

## 【0030】

まず、書込み動作の開始前に、メモリセルのしきい値を判定レベル $V_{j1}$ 以下とする処理が行なわれる。

## 【0031】

次に、図121および122を参照して、書込動作の第1ステップでは、データ入出力端子群10うちの端子I/O0～7から入力された1バイト分のデータDQ0～7のうち、データDQ0～3をデータラッチDL-Rに、データDQ4～7をデータラッチDL-Lに格納する。図121の例では、入力された1バイトのデータは、16進数表示でC9hであるものとする。

## 【0032】

データは、1セクタ(1ワード線に対応するデータ)すべてについて、端子I/O0～3からの入力データDQ0～3はデータラッチDL-Rに、端子I/O4～7からの入力データDQ4～7はデータラッチDL-Lにそれぞれラッチされる。

## 【0033】

以下では、データラッチDL-Lに保持されるデータDQ4～7のうちの1つを上位ビットとし、データラッチDL-Rに保持されるデータDQ0～3の1つを下位ビットとする2ビットのデータ、(DQ4、DQ0)、(DQ5、DQ1)、(DQ6、DQ2)、(DQ7、DQ3)をそれぞれ1組のデータとして考えることにする。

## 【0034】

チップコントロール部200は、まずデータラッチDL-R、DL-Lに含まれる上記のようなデータの組を演算することで、データラッチDL-Lに保持される上位ビットが“0”であって、データラッチDL-Rに保持される下位ビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

## 【0035】

図121に示すとおり、このような演算を行なった後には、センスラッチSLには、上位から“0111”というデータが保持されている。このようにしてセンスラチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC1～MC4にデータの書きが行なわれる。ここで、メモリセルMC1～MC4は、同一のワード線WLに接続している。さらに、ベリファイ動作の判定値としては第3番目の判定値 $V_{j3}$ を用いる。

## 【0036】

このとき、センスラッチ中のデータ“0”に対応するメモリセルに対してデータの書きが行なわれる。したがって、センスラッチの最上位ビットに対応するメモリセルMC4に対してレベル4のデータ(データ“01”に対応する)の書きが行なわれる。

## 【0037】

実際のデータの書きは、ワード線WLに高電圧を印加することで、FN(ファウラー・ノルドハイム)トンネル電流を利用して書き込まれる。

## 【0038】

センスラッチSLのビットデータが“1”的ビットに対応するビット線BLにはワード線WLから印加される電圧を緩和するために、ワード線電圧以下の電圧が印加される。結果的に、センスラッチに保持されるビットデータが“0”に対応するビット線BLに接続するメモリセルにだけデータの書きが行なわれる。

## 【0039】

次に、図123および124を参照して、書込動作の第2ステップでは、データラッチDL-R、DL-Lに保持されたデータの演算を行ない、データラッチDL-Lに保持され

10

20

30

40

50

た上位ビットが“0”であり、データラッチDL-Rに保持された下位ビットが“0”であるデータの組に対応するセンスラッチSLのビットには“0”が書込まれる。ベリファイ動作における判定値をVj2に変えたうえで、データ書込においては、データDQ5およびDQ1に対応するビット線に接続するメモリセルにのみデータの書込が行なわれる。

【0040】

次に、図125および126を参照して、書込動作の第3ステップでは、データラッチDL-R、DL-Lに保持されたデータの演算を行ない、データラッチDL-Lに保持された上位ビットが“1”であり、データラッチDL-Rに保持された下位ビットが“0”であるデータの組に対応するセンスラッチSLのビットには“0”が書込まれる。ベリファイ動作における判定値をVj1に変えたうえで、データ書込においては、データDQ6およびDQ2に対応するビット線に接続するメモリセルにのみデータの書込が行なわれる。

10

【0041】

以上のようにして、書込むデータをすべて入力後、3回の演算と書込処理を経て書込動作が終了する。

【0042】

[従来の4値データの読出動作]

次に、読出動作について説明する。

【0043】

図127～図132は、読出動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

20

【0044】

図127は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図128は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0045】

図129は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図130は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0046】

30

図131は、読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図132は、読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0047】

まず、図127および128を参照して、読出動作の第1の処理ステップにおいては、第1の判定レベルVj1で読出を行ない、結果をセンスラッチSLに格納する。そのデータをデータラッチDL-Rに転送し、センスラッチSLをクリアする。

【0048】

次に、図129および130を参照して、読出動作の第2の処理ステップにおいては、第2の判定レベルVj2で読出を行ない、結果をセンスラッチSLに格納する。そのデータをデータラッチDL-Lに転送し、再びセンスラッチSLをクリアする。

40

【0049】

最後に、図131および132を参照して、読出動作の第3の処理ステップにおいては、第3の判定レベルVj3でデータの読出を行ない、読出結果をセンスラチSLに格納する。チップコントロール回路200は、そのセンスラチSLに格納されたデータとデータラッチDL-Rのデータがともに“0”であるビット位置においてのみ、データラッチDL-Rのデータを“1”にする。

【0050】

データラッチDL-LからDQ4～7、データラッチDL-RからDQ0～3が順次出力される。

50

**【0051】**

このように読み出動作においても、3回の読み出動作のすべてが確定してからデータ出力が行なわれている。

**【0052】**

多値メモリのより詳しい構成については、たとえば、特開平9-297996号公報等にもその一例が開示されている。ただし、読み出および書き込み動作において、複数回の処理ステップの動作を行なうことが必要となる点は、以上説明した多値メモリの構成と同様である。

**【0053】**

【発明が解決しようとする課題】 10

以上説明したとおり、従来のAND型4値フラッシュメモリ8000では、書き込み、読み出とも通常の2値フラッシュメモリに比べて、複数回の処理ステップの動作を行なうことによる遅延が、チップの読み出および書き込み動作の速度を劣化させている。また、さらに多値化が進むほど、この速度の劣化は深刻になる。

**【0054】**

この発明は、上記のような問題点を解決するためになされたもので、その目的は、1メモリセルに多値データを保持させる場合でも、速度の劣化を抑えることが可能な不揮発性半導体記憶装置を提供することである。

**【0055】**

【課題を解決するための手段】 20

この発明に係る不揮発性半導体記憶装置は、複数のメモリセルが配置されたメモリセルアレイを備える。各メモリセルは、しきい電圧が第1～第4のしきい値レベルのうちのいずれかのしきい値レベルに選択的に設定されて、互いに異なる4つのデータコードのうちのいずれかのデータコードを記憶し、各データコードは第1および第2のデータを含む。第1のしきい値レベルは第1の判定レベルよりも低く、第2のしきい値レベルは第1の判定レベルよりも高く第2の判定レベルよりも低く、第3のしきい値レベルは第2の判定レベルよりも高く第3の判定レベルよりも低く、第4のしきい値レベルは第3の判定レベルよりも高い。第1～第4のしきい値レベルは、4つのデータコードを、i) 第1のステップでは、各データコードの第1のデータが第1および第2の論理のうちのいずれの論理であるかに応じて2つのグループに分けて並べ替え、ii) 第2のステップでは、各グループの2つのデータコードを、さらに、各データコードの第2のデータが第1および第2の論理のうちのいずれの論理であるかに応じて並べ替える、という手順に相当する手続きで並べ替えたものとそれぞれ対応する。第1および第2のしきい値レベルに対応する各データコードの第1のデータは第1の論理であり、第3および第4のしきい値レベルに対応する各データコードの第1のデータは第2の論理である。データコードの第1のデータが第1の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも低いしきい値レベルに対応する。データコードの第1のデータが第2の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも高いしきい値レベルに対応する。この不揮発性半導体記憶装置は、アドレス信号に応じて、メモリセルアレイの複数のメモリセルのうちのいずれかm個（ただし、mは2以上の整数である）のメモリセルを一括して選択するセル選択回路と、第1～第3の判定レベルに基づいて、セル選択回路によって選択されたm個のメモリセルに対してm個のデータコードの読み出／書き込み動作を行なうデータ読み出／書き込み回路と、不揮発性半導体装置の外部とデータ読み出／書き込み回路との間で、m個のデータコードの第1および第2のデータをkビット（ただし、kは自然数である）ごとにk個の入出力ノードを介して授受するデータ入出力回路とをさらに備える。各データコードの第1および第2のデータは、それぞれ異なるタイミングで同一の入出力ノードを介して授受される。また、データ読み出／書き込み回路は、m個のメモリセルのしきい値電圧と第2の判定レベルとを比較する第1の読み出ステップと、m個のメモリセルのしきい値電圧と第1の判定レベルとを比較する第2の読み出ステップと、 30

40

50

m個のメモリセルのしきい値電圧と第3の判定レベルとを比較する第3の読み出ステップとを実行し、第1の読み出ステップの比較結果であるm個のデータコードの第1のデータを保持する第1の読み出データ保持回路と、第2の読み出ステップの比較結果であるmビットの第1の判定データを保持する第2の読み出データ保持回路と、第3の読み出ステップの比較結果であるmビットの第2の判定データを保持する第3の読み出データ保持回路と、第2の読み出データ保持回路に保持されたmビットの第1の判定データと第3の読み出データ保持回路に保持されたmビットの第2の判定データとに基づいてm個のデータコードの第2のデータを生成する読み出データ変換回路とを含む。また、データ読み出／書き回路は、第1の読み出ステップの後に第2および第3の読み出ステップを実行し、第1の読み出データ保持回路に保持されたmビットの第1のデータがデータ入出力回路によって外部に出力されている期間中に、第2または第3の読み出ステップを実行する。

また、この発明に係る他の不揮発性半導体記憶装置では、データ読み出／書き回路は、第2および第3の読み出ステップの後に第1の読み出ステップを実行し、読み出データ変換回路によって生成されたmビットの第2のデータがデータ入出力回路によって外部に出力されている期間中に、第1の読み出ステップを実行する。

#### 【0056】

また、この発明に係るさらに他の不揮発性半導体記憶装置は、複数のメモリセルが配置されたメモリセルアレイを備える。各メモリセルは、しきい電圧が第1～第4のしきい値レベルのうちのいずれかのしきい値レベルに選択的に設定されて、互いに異なる4つのデータコードのうちのいずれかのデータコードを記憶し、各データコードは第1および第2のデータを含む。第1のしきい値レベルは第1の判定レベルよりも低く、第2のしきい値レベルは第1の判定レベルよりも高く第2の判定レベルよりも低く、第3のしきい値レベルは第2の判定レベルよりも高く第3の判定レベルよりも低く、第4のしきい値レベルは第3の判定レベルよりも高い。第1～第4のしきい値レベルは、4つのデータコードを、i) 第1のステップでは、各データコードの第1のデータが第1および第2の論理のうちのいずれの論理であるかに応じて2つのグループに分けて並べ替え、ii) 第2のステップでは、各グループの2つのデータコードを、さらに、各データコードの第2のデータが第1および第2の論理のうちのいずれの論理であるかに応じて並べ替える、という手順に相当する手続きで並べ替えたものとそれぞれ対応する。第1および第2のしきい値レベルに対応する各データコードの第1のデータは第1の論理であり、第3および第4のしきい値レベルに対応する各データコードの第1のデータは第2の論理である。データコードの第1のデータが第1の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも低いしきい値レベルに対応する。データコードの第1のデータが第2の論理であるグループにおいては、第2のデータが第1の論理であるデータコードの方が第2のデータが第2の論理であるデータコードよりも高いしきい値レベルに対応する。不揮発性半導体記憶装置はさらに、アドレス信号に応じて、メモリセルアレイの複数のメモリセルのうちのいずれかm個（ただし、mは2以上の整数である）のメモリセルを一括して選択するセル選択回路と、第1～第3の判定レベルに基づいて、セル選択回路によって選択されたm個のメモリセルからm個のデータコードを読み出すデータ読み出回路と、データ読み出回路によって読み出されたm個のデータコードの第1および第2のデータを、kビット（ただし、kは自然数である）ごとにk個の出力ノードを介して不揮発性半導体記憶装置の外部に出力するデータ出力回路とを備える。各データコードの第1および第2のデータは、それぞれ異なるタイミングで同一の出力ノードを介して出力される。また、データ読み出回路は、m個のメモリセルのしきい値電圧と第2の判定レベルとを比較する第1の読み出ステップと、m個のメモリセルのしきい値電圧と第3の判定レベルとを比較する第2の読み出ステップと、m個のメモリセルのしきい値電圧と第1の判定レベルとを比較する第3の読み出ステップとを実行し、第1の読み出ステップの比較結果であるm個のデータコードの第1のデータを保持する第1の読み出データ保持回路と、第2の読み出ステップの比較結果であるmビットの第1の判定データを保持する第2の読み出データ保持回路と、第3の読み出ステップの比較結果であるmビット

10

20

30

40

50

の第2の判定データを保持する第3の読出データ保持回路と、第2の読出データ保持回路に保持されたmビットの第1の判定データと第3の読出データ保持回路に保持されたmビットの第2の判定データとに基づいてm個のデータコードの第2のデータを生成する読出データ変換回路とを含む。また、データ読出回路は、第1の読出ステップの後に第2および第3の読出ステップを実行し、第1の読出データ保持回路に保持されたmビットの第1のデータがデータ出力回路によって外部に出力されている期間中に、第2または第3の読出ステップを実行する。

また、この発明に係るさらに他の不揮発性半導体記憶装置では、データ読出回路は、第2および第3の読出ステップの後に第1の読出ステップを実行し、読出データ変換回路によって生成されたmビットの第2のデータがデータ出力回路によって外部に出力されている期間中に、第1の読出ステップを実行する。

【0067】

【発明の実施の形態】

[実施の形態1]

図1は、本発明の実施の形態1の不揮発性半導体記憶装置であるフラッシュメモリ1000の構成を示す概略ブロック図である。

【0068】

メモリセルアレイ100は、フローティングゲートとコントロールゲートを備えた多数のメモリセルを有する。図1においても、メモリセルアレイ100は、2つのメモリセルブロック100Rと100Lとに分割されている。

【0069】

メモリセルのコントロールゲートはワード線WLに、メモリセルのドレインはビット線BLに、メモリセルのソースは図示しないソース線SCLに接続される。

【0070】

ワード線WLおよびビット線BLは代表的に、それぞれ2本ずつ示されている。

【0071】

ロウデコーダ110は、外部からアドレス信号入力端子群12およびアドレスバッファ146を介して与えられるアドレス信号A0-Akに基づいてワード線を選択的に駆動する。ビット線BLの一端側には、センスラッチ回路120が設けられる。また、ビット線BLはカラムデコーダ130からアドレス信号A0-Akに応じて出力される選択信号に基づいて選択され、選択されたビット線との間で読出データ、書き込みデータの授受が行なわれる。

【0072】

図1において、図示しないが、センスラッチ回路120は、カラムデコーダ130からの選択信号に基づいて、ビット線を選択するためのカラムスイッチ回路を含んでいる。

【0073】

チップコントロール部200は、制御信号入力端子群14からコマンドバッファ回路144を介して与えられるアクセス制御信号やクロック信号を外部から受け、これに従ってメモリセルの書き込み制御や読出制御のために、フラッシュメモリの内部回路を全体的に制御する制御回路210を含む。消去、書き込み、読出などの動作モードに応じて、ワード線の電位を駆動するワードドライバ(図示せず)等の動作電圧の切換は、制御回路210が電源発生部150を制御することにより行なわれる。

【0074】

データラッチ回路DL-LおよびDL-Rは、データの書き込み、読出動作において授受されるデータを一時保持するデータバッファである。

【0075】

チップコントロール部200は、さらに、後に説明するように、制御回路210に制御されて、読出し動作においてデータラッチ回路DL-LおよびDL-Rならびにセンスラッチ回路120に保持されたデータを演算して、読出しデータを生成する読出しデータ変換回路220と、制御回路210に制御されて、書き込み動作においてデータラッチ回路DL

10

20

30

40

50

- L および D L - R ならびにセンスラッチ回路 120 に保持されたデータを演算して、書き込みデータを生成する書き込みデータ変換回路 230 とを含む。

【0076】

フラッシュメモリ 1000 の動作モードは、特に制限されないが、外部からチップコントロール部 200 に供給されるアクセス制御信号、またはデータバスなどを介して供給されるコマンドデータによって指示され、データの書換（消去および書き込み）やデータの読み出モードを有する。

【0077】

図 1 に示される A N D 型 4 値フラッシュメモリ 1000 においても、1 つのメモリセルの情報記憶状態は、消去状態、第 1 の書き込み状態、第 2 の書き込み状態、第 3 の書き込み状態の中から選ばれた 1 つの状態とされている。 10

【0078】

そのために、フラッシュメモリ 1000 も、書き込み動作時にワード線に印加する書き込みベリファイ電圧を相互に異なる 3 種類設定し、これらを順次切換えて、3 回に分けて書き込み処理を行なう。ただし、後に説明するように、上記 4 つの情報記憶状態に対応する 2 ビットデータの配列と、これら 3 回の書き込み処理の順序とを工夫することにより、書き込み時間および読み出し時間の短縮を可能とする。

【0079】

これら各書き込み動作において、制御回路 210 は、書き込みデータ変換回路 230 を制御して、データラッチ D L - L および D L - R に保持された書き込みデータに基づいて、各書き込み動作において、センスラッチ S L（センスラッチ回路 120 に含まれるセンスラッチ S L）に保持させるべき 2 値（1 ビット）のラッチデータ“0”または“1”（“L”または“H”）の演算を行わせる。制御回路 210 は、上記 3 回に分けた書き込み動作の各書き込み動作ごとに、対応する書き込みベリファイ電圧を設定して書き込み動作を制御する。 20

【0080】

ここで、従来のフラッシュメモリ 8000 の構成では、データラッチ回路 D L - L および D L - R にそれぞれ保持されるのは、同一のタイミングでデータ入出力端子群 10 に与えられたデータ列を分割した 2 つのデータ列であった。 30

【0081】

これに対して、本願のフラッシュメモリ 1000 では、従来のフラッシュメモリ 8000 の構成と異なり、データラッチ回路 D L - L および D L - R にそれぞれ保持されるのは、後に説明するように、異なったタイミングでデータ入出力端子群 10 に与えられ、同一のワード線に結合する同一のメモリセル群に与えられる 2 組のデータ列、または同一のワード線に結合するが異なったビット線と結合するメモリセル群に与えられる 2 組のデータ列である。このような構成により、1 つのメモリセルに 4 値（2 ビット）の情報を書き込むことが可能となる。

【0082】

また、フラッシュメモリ 1000 も、読み出動作時にワード線の印加するワード線選択レベルとして電圧を 3 種類設定し、3 回の読み出動作でメモリセルから読み出される 2 値（1 ビット）のデータをセンスラッチ回路 120 を介してデータラッチ回路 D L - L および D L - R に取り込む。3 回の読み出動作中に順次、読み出しだけ変換回路 220 は、これらラッチ回路に保持されたデータを 4 値（2 ビット）の情報を変換し、制御回路 210 はデータ入出力端子群 10 から出力させる。 40

【0083】

以下、上に述べた書き込み動作、読み出動作について、さらに詳細を説明する。

【4 値データの読み出動作】

実施の形態 1 におけるフラッシュメモリ 1000 では、上述のとおり、入出力データのデータラッチ D L - L および D L - R の格納方法が従来のフラッシュメモリ 8000 とは異なる。

【0084】

1つのメモリセルに格納されるデータは、従来の多値フラッシュメモリ8000では、同じタイミングでデータ入出力端子群10から入力された1バイトのデータのうち、データDQ0とDQ4、データDQ1とDQ5のように、同一バイト内のデータで構成されている。本発明の4値フラッシュメモリ1000では、1つのメモリセルに格納されるデータは、従来の2値フラッシュメモリと異なり、異なるワード線の同じYアドレスであって、かつ同じI/Oのビットに対応していたデータか、あるいは同一セクタ(同一ワード線)のYアドレスがどこか異なっていた同一I/Oのデータ(同一セクタの異なるYアドレスの同一I/Oに対応するデータ)に相当するデータである。

【0085】

図2～7は、本発明の実施の形態1の動作説明図であり、読み出動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび読み出時のメモリセルのしきい値と判定レベルを示す概念図である。

10

【0086】

図2は、読み出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図3は、読み出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0087】

図4は、読み出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図5は、読み出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

20

【0088】

図6は、読み出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図7は、読み出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0089】

まず、図2および図3を参照して、読み出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセル、たとえば、1kByte分のメモリセルから、第2の判定レベルVj2で一括して読み出を行ない、その結果をセンスラッチ回路120に格納する。

【0090】

30

図2では、センスラッチ回路120中において、1セクタ分の読み出動作で、最初にデータ入出力端子群10から出力される1バイト分のデータを保持するセンスラッチSLと、これに対応するデータラッチDL-LおよびDL-Rを抜き出して示す。1セクタ分の読み出動作で、この1バイト分のデータに続いてデータ入出力端子群10から読み出されるデータについても、以下に説明するのと同様の処理が並行して行なわれている。

【0091】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0～MC7には、それぞれデータ“11”，“01”，“00”，“10”，“01”，“00”，“10”，“11”が保持されているものとする。したがって、図2において、センスラッチ回路120の1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

40

【0092】

第2の判定レベルVj2で一括して読み出されたデータは、センスラッチSLからデータラッチDL-Lに格納される。この時点で、制御回路210の制御により、データラッチDL-Lに格納されたデータが、順次1バイトずつデータ入出力端子群10から出力される。この時点でデータラッチ回路DL-Lに格納されているデータは、従来の2値フラッシュメモリの読み出動作における1セクタ分のデータの半分に相当する。

【0093】

このように、読み出動作の第1の処理ステップにおいて、第2の判定レベルVj2で読み出動作をまず行なうのは、図3に示すとおり、このレベルで読み出すことにより、メモリセル内

50

の4種のデータが、“0”または“1”のうちのいずれであるかが確定するからである。すなわち、メモリセルMC0～MC7に格納されるデータの上位のビットの0または1が確定することになる。

#### 【0094】

次に、図4および図5を参照して、読み出動作の第2の処理ステップにおいては、第1の処理ステップでセンスラッチSLからデータラッチDL-Lにデータを格納し、センスラッチSLがクリアされた時点で、第1の判定レベルVj1で読み出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。つまり、データラッチ回路DL-Lからはデータ出力を行なっている途中で、センスラッチSLからデータラッチDL-Rにデータ転送を行なう。データラッチDL-Rへのデータ転送後、センスラッチ回路120はクリアされる。10

#### 【0095】

次に、図6および図7を参照して、読み出動作の第3の処理ステップにおいては、第3の判定レベルVj3で読み出動作を行ない、センスラッチ回路120にデータを格納する。読み出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rのビットデータを“1”に変更する。

#### 【0096】

データラッチDL-Lのデータ出力が終了した後、制御回路210は、データラッチDL-Rからデータ入出力端子群10へデータ出力を開始する。20

#### 【0097】

従来の4値フラッシュメモリ8000では、セクタサイズは、たとえば、2KBbyteであって、1Byte当たり50nsで出力動作を行なっている。したがって、セクタの半分である1KBbyteを出力するのに50μsだけの時間が必要となっている。

#### 【0098】

また、従来の4値フラッシュメモリ8000でも、つまり3回読み出動作を行なった後にはじめてデータ出力を開始する場合でも、出力直前までの時間（ファーストアクセス時間と呼ぶ）は50μsで完了するため、本願発明の4値フラッシュメモリ1000において、1/2セクタ分のデータを出力している間に、上記第1の判定レベルから第3の判定レベルまでのアクセス動作を完了させることは可能である。30

#### 【0099】

したがって、4値フラッシュメモリ1000では、読み出コマンドの入力後、データが出力されるようになるまでには、第2の判定レベルVj2の判定結果が出るまでの時間だけ経過すればよい。これは、2値の読み出時間と同等であるため、メモリセルに記憶されるデータが4値化されたことによる速度の劣化が生じないことを意味する。

#### 【0100】

もしも、出力速度が非常に速く（またはファーストアクセス時間が非常に長く）データラッチDL-Rのデータが確定する前に、データラッチDL-Lの出力が終了する場合には、データラッチDL-LとデータラッチDL-Rからのデータ出力の間に待ち時間が生じることになる。しかしながら、この場合でも、データ値DL-Lの出力時間分だけ従来のデータ読み出動作よりも読み出速度が改善されることになる。40

#### 【0101】

ただし、通常は、このような待ち時間が生じないようにセクタサイズを調整する。つまり、読み出時間（ファーストアクセス時間）でセクタサイズ（1ワード線に接続されるメモリセルから出力されるデータ量）を決めればよいことになる。

#### 【0102】

このような条件を満たすためには、セクタサイズは以下の式を満足する必要がある。

{セクタサイズ(Byte) × (1Byte当たりの出力時間) × 1/2} × {1回の読み出時間 × 2} … (1)

図8は、実施の形態1のフラッシュメモリ1000の読み出動作を説明するためのタイミン50

グチャートである。

【0103】

図8を参照して、時刻t1において、まず、第2の判定レベルV<sub>j</sub>2での読み出動作が行なわれ、センスラッチ回路120に格納される。

【0104】

続いて、時刻t2において、センスラッチ回路120に保持されたデータは、データラッチDL-Lに転送され、センスラッチ回路120はクリアされる。

【0105】

時刻t3において、第1の判定レベルV<sub>j</sub>1に基づく読み出動作が開始される。

一方、時刻t4において、制御回路210の制御により、データラッチDL-Lに保持されている1/2セクタ分のデータの出力が開始される。 10

【0106】

時刻t5において、第1の判定レベルV<sub>j</sub>1に基づいて読み出され、センスラッチ回路120に保持されているデータが、データラッチDL-Rに格納される。一方、センスラッチ回路120は、クリアされる。

【0107】

時刻t6において、第3の判定レベルV<sub>j</sub>3に基づく読み出動作が開始され、センスラッチ回路120に読み出データが格納される。

【0108】

第3の判定レベルV<sub>j</sub>3に基づく読み出動作の完了後、時刻t7において、制御回路210により制御されて、読み出データ変換回路220は、センスラッチ回路120に保持されたデータと、データラッチ回路DL-Rに保持されたデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rに保持されるビットデータを“1”に変更する。 20

【0109】

時刻t9において、データラッチ回路DL-Rに保持されている残り1/2セクタ分のデータの出力が開始される。時刻t10において、1セクタ分のデータ出力が完了する。

【0110】

以上説明したとおり、時刻t1において読み出されたデータ列の出力が行なわれている期間中に、このデータ列に続いて出力されるべきデータ列の読み出動作が完了しているために、4値メモリセルからの読み出データを出力する際の遅延時間を削減することが可能である。 30

【0111】

[実施の形態1の変形例1]

実施の形態1では、図2および3で示される処理を行なった後、データラッチDL-Lに保持されたデータを出力中に、図4および5で示される処理と、図6および7で示される処理を行なう構成であった。しかしながら、本願発明は、必ずしも、このような処理の順番に制限されるわけではなく、たとえば、図4および5で示される処理と、図6および7で示される処理を行なった後に、言いかえると、第1の判定レベルV<sub>j</sub>1で読み出を行ない、読み出結果をデータラッチDL-Rに格納し、続いて、第3の判定レベルV<sub>j</sub>3で読み出を行ない、センスラッチSLに格納されたデータと、データラッチDL-Rに格納されたデータとの間で演算を行なった後にデータラッチDL-Rからのデータ出力を行なっている間に、図2および3で示される処理を行なう構成としてもよい。この場合、データラッチDL-Rからのデータ出力が終了後に、第2の判定レベルで読み出され、データデータラッチDL-Lに格納されているデータの出力が開始されることになる。 40

【0112】

実施の形態1に比べて、読み出動作時間の短縮効果は小さいものの、従来の4値フラッシュメモリ8000よりも、短い時間でデータ読み出を行なうことが可能である。

【0113】

もちろん、上記のように第1～第3の読み出処理を連続して行なう必要も必ずしもなく、メ 50

モリセルMC0～MC7に保持されているデータを、上位ビット、または下位ビットの1ビットずつ読み出す構成とすることも可能である。

【0114】

[実施の形態1の変形例2]

上述のとおり、実施の形態1では、読み出動作の第1の処理ステップにおいては、第2の判定レベルVj2で読み出動作をまず行なうことにより、メモリセル内の4種のデータが、“0”または“1”のうちのいずれであるかが確定するように、書き込みレベルと書き込みデータを対応付けていた。

【0115】

図9～図12は、逆に、このように1回の読み出動作では、上位ビットおよび下位ビットのいずれも確定できないような書き込みレベルと書き込みデータを対応付けの例をそれぞれ示す。また、これら、図9～図12のそれぞれの場合において、“0”と“1”とを置換したデータの配列としたときも、1回の読み出動作では、上位ビットおよび下位ビットのいずれも確定できない。

【0116】

これに対して、実施の形態1の変形例2の読み出動作では、実施の形態1と同様に読み出時間の削減が可能な書き込みデータと書き込みレベルの別の対応関係の例を与える。

【0117】

図13は、実施の形態1の変形例2の読み出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図14は、実施の形態1の変形例2の読み出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0118】

つまり、図14に示すように、図3に示したデータ配置において、データ“00”とデータ“01”とを入れ換えたデータ配置においても、実施の形態1と同様の処理で、読み出時間を短縮することが可能である。

【0119】

この場合、まず、読み出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセルから、第2の判定レベルVj2で一括して読み出を行ない、その結果をセンスラッチ回路120に格納する。

【0120】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0～MC7には、それぞれデータ“11”，“00”，“01”，“10”，“00”，“01”，“10”，“11”が保持されているものとする。したがって、データラッチ回路DL-Lの1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

【0121】

第2の判定レベルVj2で一括して読み出されたデータは、センスラッチSLからデータラッチDL-LおよびDL-Rの双方に格納される。この時点で、制御回路210の制御により、データラッチDL-Lに格納されたデータが、順次1バイトずつデータ入出力端子群10から出力される。この時点でデータラッチ回路DL-LおよびDL-Rに格納されているデータは、従来の2値フラッシュメモリの読み出動作における1セクタ分のデータの半分に相当する。

【0122】

このように、実施の形態1の変形例2の読み出動作の第1の処理ステップにおいても、第2の判定レベルVj2で読み出動作をまず行なうことにより、メモリセル内の4種のデータの上位ビットが、“0”または“1”のうちのいずれであるかが確定する。

【0123】

次に、図13および図14を参照して、読み出動作の第2の処理ステップにおいては、第1の処理ステップでセンスラッチSLからデータラッチDL-LおよびDL-Rにデータを格納し、センスラッチSLがクリアされた時点で、第1の判定レベルVj1で読み出動作を

10

20

30

40

50

行ない、読み出されたデータをセンスラッチ回路120に格納する。データラッチDL-Lからのデータ出力が行なわれている間に、読み出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、センスラッチSLのビットデータが“0”であり、かつ、データラッチDL-Rの対応するビットデータが“1”となっている場合は、データラッチDL-Rの上記対応するビットデータを“0”とし、それ以外の場合は、データラッチDL-Rのビットデータを“1”に変更する。データラッチDL-Rのデータ変更後、センスラッチ回路120はクリアされる。

【0124】

次に、読み出動作の第3の処理ステップにおいては、第3の判定レベルV<sub>j3</sub>で読み出動作を行ない、センスラッチ回路120にデータを格納する。読み出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、ともに“0”的ビットデータのところだけ、データラッチDL-Rのビットデータを“1”に変更する。

【0125】

データラッチDL-Lのデータ出力が終了した後、制御回路210は、データラッチDL-Rからデータ入出力端子群10へデータ出力を開始する。

【0126】

図15は、実施の形態1の変形例2のフラッシュメモリの読み出動作を説明するためのタイミングチャートである。

【0127】

図15を参照して、時刻t1において、まず、第2の判定レベルV<sub>j2</sub>での読み出動作を行なわれ、センスラッチ回路120に格納される。

【0128】

続いて、時刻t2において、センスラッチ回路120に保持されたデータは、データラッチDL-LおよびDL-Rに転送され、センスラッチ回路120はクリアされる。

【0129】

時刻t3において、第1の判定レベルV<sub>j1</sub>に基づく読み出動作が開始される。一方、時刻t4において、制御回路210の制御により、データラッチDL-Lに保持されている1/2セクタ分のデータの出力が開始される。

【0130】

時刻t5において、読み出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を開始し、時刻t6から、センスラッチSLのビットデータが“0”であり、かつ、データラッチDL-Rの対応するビットデータが“1”となっている場合は、データラッチDL-Rの上記対応するビットデータを“0”とし、それ以外の場合は、データラッチDL-Rのビットデータを“1”に変更する。

【0131】

時刻t7において、センスラッチ回路120は、クリアされる。

時刻t8において、第3の判定レベルV<sub>j3</sub>に基づく読み出動作が開始され、センスラッチ回路120に読み出データが格納される。

【0132】

第3の判定レベルV<sub>j3</sub>に基づく読み出動作の完了後、時刻t9において、制御回路210により制御されて、読み出データ変換回路220は、センスラッチ回路120に保持されたデータと、データラッチ回路DL-Rに保持されたデータとの間で演算を開始し、時刻t10から、ともに“0”的ビットデータのところだけ、データラッチDL-Rに保持されるビットデータを“1”に変更する。

【0133】

時刻t11において、データラッチ回路DL-Rに保持されている残り1/2セクタ分のデータの出力が開始される。

10

20

30

40

50

## 【0134】

時刻  $t_{12}$  において、1セクタ分のデータ出力が完了する。

以上の読み出動作によっても、実施の形態1の読み出動作と同様の効果が奏される。

## 【0135】

## [実施の形態2]

図16は、実施の形態2のフラッシュメモリのセンスラッチ回路120とビット線との接続の切り換え方式の概念を示す図であり、図16(a)は、センスラッチ回路120中にあいて1ビットのデータに対応するセンスラッチSLに対して、ビット線BL1が接続されている場合を示し、図16(b)は、上記センスラッチSLに対して、ビット線BL2が接続されている場合を示す。

10

## 【0136】

実施の形態2のフラッシュメモリの構成は、図16に示す構成と制御回路210の制御動作以外は、基本的に実施の形態1のフラッシュメモリ1000の構成と同様である。

## 【0137】

図16に示すような構成とすることで、1つのワード線WLが選択されている状態で、ビット線からのセンスラッチ回路120へのデータの取りこみが、隣接するメモリセル列について分割して行なわれる場合、各メモリセル列からのデータの読み出ごとに、第1～第3の処理ステップを分割して並行に処理することが可能となり、以下に説明するように、さらに高速化を図ることが可能となる。

## 【0138】

20

図17は、図16において示した概念を具体的に実現するための回路構成を示す図である。図17では、センスラッチ回路120中の各ビットデータに対応するセンスラッチのうち2つに関する構成を代表として抜き出して示す。

## 【0139】

図17を参照して、たとえば、1つのワード線WLnに接続するゲートを有するメモリセルトランジスタMC1nm、MC2nm、MC1nm+1、MC2nm+1のドレインは、それぞれサブビット線SBL1m、SBL2m、SBL1m+1、SBL2m+1に接続されている。メモリセルトランジスタは、コントロールゲートとフローティングゲートを有する、いわゆるフローティングゲートトランジスタである。

## 【0140】

30

サブビット線SBL1m、SBL2mは、それぞれ、トランジスタTr1m、Tr2mを介してメインビット線MBLmに接続している。トランジスタTr1mのゲートは信号BSS1により制御され、トランジスタTr2mのゲートは信号BSS2により制御される。

## 【0141】

サブビット線SBL1m+1、SBL2m+1は、それぞれ、トランジスタTr1m+1、Tr2m+1を介してメインビット線MBLm+1に接続している。トランジスタTr1m+1のゲートは信号BSS1により制御され、トランジスタTr2m+1のゲートは信号BSS2により制御される。

## 【0142】

40

メインビット線MBLmは、ゲート電位が信号STGにより制御されるゲートトランジスタTGMを介して、センスラッチ回路120中の1ビットデータに対応するラッチ回路SLmと接続する。メインビット線MBLm+1は、ゲート電位が信号STGにより制御されるゲートトランジスタTGM+1を介して、センスラッチ回路120中の他の1ビットデータに対応するラッチ回路SLm+1と接続する。

## 【0143】

なお、1つのメインビット線に接続されるサブビット線の本数は、図17のように2本に限定されるわけではなく、さらに多くてもよい。

## 【0144】

図18～29は、本発明の実施の形態2の動作説明図であり、読み出動作の第1～第6の処

50

理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

【0145】

図18は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図19は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0146】

図20は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図21は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

10

【0147】

図22は、読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図23は、読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0148】

図24は、読出動作の第4の処理ステップにおける各ラッチに保持されるデータを示し、図25は、読出動作の第4の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0149】

20

図26は、読出動作の第5の処理ステップにおける各ラッチに保持されるデータを示し、図27は、読出動作の第5の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0150】

図28は、読出動作の第6の処理ステップにおける各ラッチに保持されるデータを示し、図29は、読出動作の第6の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0151】

まず、図18および図19を参照して、読出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセル、たとえば、1kByte分のメモリセルから、第2の判定レベルVj2で一括して読出を行ない、その結果をセンスラッチ回路120に格納する。

30

【0152】

図18では、センスラッチ回路120中において、1セクタ分の読出動作で、最初にデータ入出力端子群10から出力される1バイト分のデータを保持するセンスラッチSLと、これに対応するデータラッチDL-LおよびDL-Rを抜き出して示す。1セクタ分の読出動作で、この1バイト分のデータに続いてデータ入出力端子群10から読み出されるデータについても、以下に説明するのと同様の処理が並行して行なわれている。

【0153】

図17のサブビット線のうち信号BSS1により選択されるサブビット線SBL1m、SBL1m+1等に接続し、かつ、データ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC1n0～MC1n7には、それぞれデータ“11”，“01”，“00”，“10”，“01”，“00”，“10”，“11”が保持されているものとする。したがって、図18において、センスラッチ回路120の1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

40

【0154】

第2の判定レベルVj2で一括して読出されたデータは、センスラッチSLからデータラッチDL-Lに格納される。この時点で、制御回路210の制御により、データラッチDL-Lに格納されたデータが、順次1バイトずつデータ入出力端子群10から出力される。この時点でデータラッチ回路DL-Lに格納されているデータは、従来の2値フラッシュ

50

ユメモリの読出動作における 1 セクタ分のデータの 1 / 4 に相当する。

【 0 1 5 5 】

このように、読出動作の第 1 の処理ステップにおいて、第 2 の判定レベル  $V_{j2}$  で読出動作をまず行なうのも、図 19 に示すとおり、このレベルで読出すことにより、メモリセル内の 4 種のデータが、“0”または“1”のうちのいずれであるかが確定するからである。すなわち、メモリセル  $MC1n0 \sim MC1n7$  に格納されるデータの上位のビットの 0 または 1 が確定することになる。

【 0 1 5 6 】

次に、図 20 および図 21 を参照して、読出動作の第 2 の処理ステップにおいては、第 1 の処理ステップでセンスラッチ  $SL$  からデータラッチ  $DL-L$  にデータを格納し、センスラッチ  $SL$  がクリアされた時点で、第 2 の判定レベル  $V_{j2}$  で、図 17 のサブビット線のうち信号  $BSS2$  により選択されるサブビット線  $SBL2m$ 、 $SBL2m+1$  等に接続するメモリセル列  $MC2n0 \sim MC2n7$  から読出動作を行ない、読み出されたデータをセンスラッチ回路  $120$  に格納する。

【 0 1 5 7 】

メモリセル列  $MC2n0 \sim MC2n7$  にも、それぞれデータ“11”，“01”，“00”，“10”，“01”，“00”，“10”，“11”が保持されているものとする。したがって、図 20 において、センスラッチ回路  $120$  の 1 バイト分の領域に保持されるデータも、16進数表示で、 $C9h$  である。

【 0 1 5 8 】

つまり、データラッチ回路  $DL-L$  からはデータ出力を行なっている途中で、センスラッチ  $SL$  からデータラッチ  $DL-R$  にデータ転送を行なう。データラッチ  $DL-L$  からのデータ出力に引き続いだ、データラッチ  $DL-R$  からのデータ出力を行う。

【 0 1 5 9 】

同一のワード線に接続し、メモリセル列  $MC2n0 \sim MC2n7$  以外のメモリセルであって、図 17 のサブビット線のうち信号  $BSS2$  により選択されるサブビット線に接続するメモリセルについても、同様の処理が並行して行なわれている。

【 0 1 6 0 】

次に、図 22 および図 23 を参照して、読出動作の第 3 の処理ステップにおいては、第 2 の処理ステップでセンスラッチ  $SL$  からデータラッチ  $DL-L$  にデータを格納し、センスラッチ  $SL$  がクリアされた時点で、第 1 の判定レベル  $V_{j1}$  で読出動作を行ない、読み出されたデータをセンスラッチ回路  $120$  に格納する。

【 0 1 6 1 】

つづいて、データラッチ回路  $DL-R$  からはデータ出力を行なっている途中で、センスラッチ  $SL$  からデータラッチ  $DL-L$  にデータ転送を行なう。データラッチ  $DL-L$  へのデータ転送後、センスラッチ回路  $120$  はクリアされる。

【 0 1 6 2 】

次に、図 24 および図 25 を参照して、読出動作の第 4 の処理ステップにおいては、第 3 の判定レベル  $V_{j3}$  で、メモリセル  $MC1n0 \sim MC1n7$  から読出動作を行ない、センスラッチ回路  $120$  にデータを格納する。

【 0 1 6 3 】

読出データ変換回路  $220$  は、センスラッチ  $SL$  に保持されるデータとデータラッチ  $DL-L$  に保持されるデータとの間で演算を行ない、ともに“0”的ビットデータのところだけ、データラッチ  $DL-L$  のビットデータを“1”に変更する。このとき、データラッチ  $DL-R$  からはデータ出力中である。

【 0 1 6 4 】

データラッチ  $DL-R$  からのデータ出力が終了した後、制御回路  $210$  は、データラッチ  $DL-L$  からデータ入出力端子群  $10$  へデータ出力を開始する。

【 0 1 6 5 】

次に、図 26 および図 27 を参照して、読出動作の第 5 の処理ステップにおいては、第 4

10

20

30

40

50

の処理ステップでセンスラッチ S L からデータラッチ D L - L にデータを格納し、センスラッチ S L がクリアされた時点で、第 1 の判定レベル V j 1 で、メモリセル M C 2 n 0 ~ M C 2 n 7 から読み出動作を行ない、読み出されたデータをセンスラッチ回路 1 2 0 に格納する。

【 0 1 6 6 】

つづいて、データラッチ回路 D L - L からはデータ出力を行なっている途中で、センスラッチ S L からデータラッチ D L - R にデータ転送を行なう。データラッチ D L - R へのデータ転送後、センスラッチ回路 1 2 0 はクリアされる。

【 0 1 6 7 】

次に、図 2 8 および図 2 9 を参照して、読み出動作の第 6 の処理ステップにおいては、第 3 の判定レベル V j 3 で、メモリセル M C 2 n 0 ~ M C 2 n 7 から読み出動作を行ない、センスラッチ回路 1 2 0 にデータを格納する。

【 0 1 6 8 】

読み出データ変換回路 2 2 0 は、センスラッチ S L に保持されるデータとデータラッチ D L - R に保持されるデータとの間で演算を行ない、ともに“0”的ビットデータのところだけ、データラッチ D L - R のビットデータを“1”に変更する。このとき、データラッチ D L - L からはデータ出力中である。

【 0 1 6 9 】

データラッチ D L - L からのデータ出力が終了した後、制御回路 2 1 0 は、データラッチ D L - R からデータ入出力端子群 1 0 へデータ出力を開始する。

【 0 1 7 0 】

したがって、実施の形態 2 の 4 値フラッシュメモリ 1 0 0 0 では、読み出コマンドの入力後、データが出力されるようになるまでには、1/4 セクタ分のデータに対して第 2 の判定レベル V j 2 の判定結果が出るまでの時間だけ経過すればよい。したがって、実施の形態 1 の場合よりもさらに読み出し時間を削減することが可能である。

【 0 1 7 1 】

図 3 0 は、実施の形態 2 のフラッシュメモリの読み出動作を説明するためのタイミングチャートである。

【 0 1 7 2 】

図 3 0 を参照して、時刻 t 1 において、まず、第 2 の判定レベル V j 2 でメモリセル M C 1 n 0 ~ M C 1 n 7 等からの読み出動作が行なわれ、センスラッチ回路 1 2 0 に格納される。

【 0 1 7 3 】

続いて、時刻 t 2 において、センスラッチ回路 1 2 0 に保持されたデータは、データラッチ D L - L に転送され、センスラッチ回路 1 2 0 はクリアされる。

【 0 1 7 4 】

時刻 t 3 において、第 2 の判定レベル V j 2 でメモリセル M C 2 n 0 ~ M C 2 n 7 等からの読み出動作が開始され、センスラッチ回路 1 2 0 に読み出しだすデータが格納される。

【 0 1 7 5 】

続いて、時刻 t 4 において、データラッチ D L - L からのデータ出力が開始される。

【 0 1 7 6 】

時刻 t 5 において、メモリセル M C 2 n 0 ~ M C 2 n 7 等からの第 2 の判定レベル V j 2 での読み出しだすデータが、データラッチ D L - R に格納される。

【 0 1 7 7 】

時刻 t 6 において、第 1 の判定レベル V j 1 に基づいて、メモリセル M C 1 n 0 ~ M C 1 n 7 等から読み出動作が開始される。一方、時刻 t 7 において、制御回路 2 1 0 の制御により、データラッチ D L - R に保持されている 1/4 セクタ分のメモリセル M C 2 n 0 ~ M C 2 n 7 等からの読み出しだすデータの出力が開始される。

【 0 1 7 8 】

時刻 t 8 において、第 1 の判定レベル V j 1 に基づいて読み出され、センスラッチ回路 1

10

20

30

40

50

20に保持されているデータが、データラッチDL-Lに格納される。一方、センスラッチ回路120は、クリアされる。

【0179】

時刻t9において、第3の判定レベルVj3に基づいて、メモリセルMC1n0～MC1n7等から読出動作が開始され、センスラッチ回路120に読出データが格納される。

【0180】

メモリセルMC1n0～MC1n7等からの第3の判定レベルVj3に基づく読出データに基づいて、時刻t10において、制御回路210により制御されて、読出データ変換回路220は、センスラッチ回路120に保持されたデータと、データラッチ回路DL-Lに保持されたデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Lに保持されるビットデータを“1”に変更する。

10

【0181】

一方、時刻t11において、第1の判定レベルVj1に基づいて、メモリセルMC2n0～MC2n7等から読出動作が開始される。一方、時刻t12において、制御回路210の制御により、データラッチDL-Lに保持されている1/4セクタ分のメモリセルMC1n0～MC1n7等からの読出データの出力が開始される。

20

【0182】

時刻t13において、第1の判定レベルVj1に基づいて読み出され、センスラッチ回路120に保持されているデータが、データラッチDL-Rに格納される。一方、センスラッチ回路120は、クリアされる。

【0183】

時刻t14において、第3の判定レベルVj3に基づいて、メモリセルMC2n0～MC2n7等から読出動作が開始され、センスラッチ回路120に読出データが格納される。

【0184】

メモリセルMC2n0～MC2n7等からの第3の判定レベルVj3に基づく読出データに基づいて、時刻t15において、制御回路210により制御されて、読出データ変換回路220は、センスラッチ回路120に保持されたデータと、データラッチ回路DL-Rに保持されたデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rに保持されるビットデータを“1”に変更する。

30

【0185】

時刻t16において、データラッチ回路DL-Rに保持されている1/4セクタ分のデータの出力が開始される。時刻t17において、1セクタ分のデータ出力が完了する。

【0186】

以上説明したとおり、時刻t1およびt3において読み出されたデータ列の出力が行なわれている期間中に、このデータ列に続いて出力されるべきデータ列の読出動作が完了しているために、4値メモリセルからの読出データを出力する際の遅延時間を削減することが可能である。

【0187】

[実施の形態3]

つぎに、実施の形態1のフラッシュメモリ1000の構成におけるデータの書き込み動作の1例を実施の形態3として説明する。

40

【0188】

図31～36は、本発明の実施の形態3の動作説明図であり、書込動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび書込時のメモリセルのしきい値と判定レベルを示す概念図である。

【0189】

図31は、書込動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図32は、書込動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

50

## 【0190】

図33は、書込動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図34は、書込動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0191】

図35は、書込動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図36は、書込動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0192】

まず、書込動作が行われるメモリセルブロックについては、全てのメモリセルについてデータ“11”に対応するしきい値とされる。 10

## 【0193】

次に、図31および図32を参照して、書込動作の第1の処理ステップにおいては、入力されたデータ(1/2セクタ分:16進表現でC9h)をデータラッチDL-Lに格納し、センスラッチSLに転送する。第2の判定レベルVj2に基づいて、レベル3に相当するしきい値までの書き込みを行う。この第2の判定レベルVj2での書き込み動作中に、残りの1/2セクタ分のデータ(16進表現で93h)がデータラッチDL-Rに格納される。

## 【0194】

次に、図33および図34を参照して、書込動作の第2の処理ステップにおいては、書込データ変換回路230は、データラッチDL-R、DL-Lに含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-Lに保持されるビットが“0”であって、データラッチDL-Rに保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。 20

## 【0195】

図33に示すとおり、このような演算を行なった後には、センスラッチSLには、“10110111”というデータが保持されている。このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC7にデータの書き込みが行なわれる。ここで、メモリセルMC0～MC7は、同一のワード線WLに接続している。さらに、ベリファイ動作の判定値としては第3番目の判定値Vj3を用いる。 30

## 【0196】

このとき、センスラッチ中のデータ“0”に対応するメモリセルに対してデータの書き込みが行なわれる。したがって、センスラッチの第1ビットと第4ビットに対応するメモリセルMC1およびMC4に対してレベル4のデータ(データ“01”に対応する)の書き込みが行なわれる。

## 【0197】

データの書き込みは、ワード線WLに高電圧を印加することで、FN(ファウラー・ノルドハイム)トンネル電流を利用して書き込まれる。

## 【0198】

センスラッチSLのビットデータが“1”的ビットに対応するビット線BLにはワード線WLから印加される電圧を緩和するために、ワード線電圧以下の電圧が印加される。結果的に、センスラッチに保持されるビットデータが“0”に対応するビット線BLに接続するメモリセルにだけデータの書き込みが行なわれる。 40

## 【0199】

次に、図35および36を参照して、書込動作の第3ステップでは、書き込みデータ変換回路230は、データラッチDL-R、DL-Lに保持されたデータの演算を行ない、データラッチDL-Lに保持されたビットデータが“1”であり、データラッチDL-Rに保持されたビットデータが“0”であるデータの組に対応するセンスラッチSLのビットには“0”が書き込まれる。ベリファイ動作における判定値を第1の判定レベルVj1に変え 50

たうえで、メモリセルMC3およびMC6にのみデータの書き込みが行なわれる。

【0200】

以上の説明から明らかなように、図31および図32の書き込みでは、本来レベル4としてデータが書き込まれるべきメモリセルに対しても、一旦、レベル3としてデータの書き込みが行われている。図33および図34で、レベル4としての書き込みが行われるメモリセルは、すべて図31および図32において、レベル3として書き込みが行われたメモリセルに含まれる。

【0201】

同様に、図35および図36において、レベル2としての書き込みが行われるメモリセルも、その直前まで、レベル1のしきい値を有していたメモリセルの中に含まれている。

10

【0202】

つまり、図31および図32の書き込みを行う時点で、レベル4および3の書き込みが行われるメモリセルと、メモリ2および1の書き込みが行われるメモリセルとが分離されていることになる。

【0203】

したがって、実施の形態3の4値フラッシュメモリでは、書き込みコマンドの入力後、データラッチDL-Rへの1/2セクタ分のデータの入力時間中にすでに書き込み動作が開始されているため、書き込み時間を短縮することが可能である。

【0204】

特に、以下の式(2)の条件を満たす場合は、短縮の効果が大きい。

20

{セクタサイズ(Byte) × (1Byte当たりの入力時間) × 1/2} < {レベル3の書き込み時間} ... (2)

図37は、実施の形態3のフラッシュメモリ1000の書き込み動作を説明するためのタイミングチャートである。

【0205】

図37を参照して、時刻t1において、まず、1/2セクタ分のデータ(上位ビットのデータ)の入力が開始され、時刻t2からデータラッチDL-Lへの格納が始まる。

【0206】

時刻t3において、前半の1/2セクタ分のデータの入力が終了すると、データラッチDL-Lに格納されているデータは、センスラッチSLに転送される。

30

【0207】

一方、時刻t3において、1/2セクタ分のデータ(下位ビットのデータ)の入力が開始され、時刻t4からデータラッチDL-Rへの格納が始まる。

【0208】

時刻t5において、センスラッチSLに格納されたデータに基づいて、第2の判定レベルVj2に応じて、書き込み動作が行なわれる。

【0209】

時刻t6において、第2の判定レベルでの書き込み動作が終了すると、センスラッチSLはクリアされる。

【0210】

40

時刻t7において、書き込みデータ変換回路230は、データラッチDL-R、DL-Lに含まれるデータについて、対応するビットデータの組について演算を開始し、時刻t8から、データラッチDL-Lに保持されるビットが“0”であって、データラッチDL-Rに保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとしていく。

【0211】

時刻t9において、センスラッチSLに格納されたデータに基づいて、第3の判定レベルVj3に応じて、書き込み動作が行なわれる。

【0212】

時刻t10において、第3の判定レベルでの書き込み動作が終了すると、センスラッチSL

50

Lはクリアされる。

【0213】

時刻t11において、書き込みデータ変換回路230は、データラッチDL-R、DL-Lに保持されたデータの演算を開始し、時刻t12から、データラッチDL-Lに保持されたビットデータが“1”であり、データラッチDL-Rに保持されたビットデータが“0”であるデータの組に対応するセンスラッチSLのビットに“0”を書き込んでいく。

【0214】

時刻t13において、センスラッチSLに格納されたデータに基づいて、第1の判定レベルVj1に応じて、書き込み動作が行なわれる。

【0215】

以上説明したとおり、時刻t1において入力されたデータ列の書き込みが行なわれている期間中に、このデータ列に続いて書き込まれるべきデータ列の格納動作が完了しているために、4値メモリセルへデータを書き込む際の遅延時間を削減することが可能である。

【0216】

[実施の形態3の変形例]

実施の形態3の書き込み動作では、書き込み時間の短縮を可能とした。一方で、書き込み動作時に使用されるデータラッチの個数を削減することも可能である。

【0217】

図38および39は、本発明の実施の形態3変形例の動作説明図であり、書き込み動作の第2の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび読み出時のメモリセルのしきい値と判定レベルを示す概念図である。

【0218】

図38は、書き込み動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図39は、書き込み動作の第2の処理ステップにおける読み出し動作のメモリセルのしきい値と判定レベルを示す。

【0219】

まず、図31および図32と同様に、書き込み動作の第1の処理ステップで、メモリセルにデータを書き込む。

【0220】

つづいて、書き込み動作の第2の処理ステップで、残りの1/2セクタ分のデータを再び、データラッチDL-Lに取り込む。一方、第2の判定レベルVj2で第1の処理ステップでメモリセルに書き込んだデータを読み出し、センスラッチSLに格納する。書き込みデータ変換回路230は、データラッチDL-Lに保持されたデータとセンスラッチSLに保持されたデータとの間で、図33および図34におけるのと同様の演算を行い、センスラッチSLの内容を書き換える。このセンスラッチSLのデータに基づいて、第3の判定レベルVj3に応じた書き込み動作を実行する。

【0221】

つづいて、同様に、再び、第2の判定レベルVj2でメモリセルに書き込んだデータを読み出し、センスラッチSLに格納する。書き込みデータ変換回路230は、データラッチDL-Lに保持されたデータとセンスラッチSLに保持されたデータとの間で、図35および図36におけるのと同様の演算を行い、センスラッチSLの内容を書き換える。このセンスラッチSLのデータに基づいて、第1の判定レベルVj1に応じた書き込み動作を実行する。

【0222】

以上のような動作により、データ書き込みに必要となるデータラッチの個数を削減することが可能となる。

【0223】

[実施の形態4]

実施の形態4の書き込み動作では、実施の形態3の書き込み動作に要する時間をさらに削減す

10

20

30

40

50

るためには、実施の形態3において、図33および図34で説明した判定値レベルV<sub>j</sub>3での書き込みと、図35および図36で説明した判定値レベルV<sub>j</sub>1での書き込みとを同時に行うことが可能な書き込み処理を提供する。

【0224】

実施の形態3の書き込み処理では、判定値レベルV<sub>j</sub>3でのしきい値レベル4への書き込み、判定値レベルV<sub>j</sub>2でのしきい値レベル3への書き込み、判定値レベルV<sub>j</sub>1でのしきい値レベル2への書き込み処理においては、表1に示すように、データの書き込みを行わないメモリセルのドレインには、書き込み阻止電圧を印加している。

【0225】

【表1】

書き込みモード		ゲート電圧 (ワード線電圧)	ドレイン電圧	ソース電圧
レベル4の書き込み	書き込みビット	VW4(例えば17V)	V1(例えば0V)	開放
	書き込み阻止ビット	VW4(例えば17V)	V3(例えば6V)	開放
レベル3の書き込み	書き込みビット	VW3(例えば16V)	V1(例えば0V)	開放
	書き込み阻止ビット	VW3(例えば16V)	V3(例えば6V)	開放
レベル2の書き込み	書き込みビット	VW2(例えば15V)	V1(例えば0V)	開放
	書き込み阻止ビット	VW2(例えば15V)	V3(例えば6V)	開放

【0226】

図40および41は、本発明の実施の形態4の動作説明図であり、書き込み動作の第2の処理 50

10

20

30

40

ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび書込時のメモリセルのしきい値と判定レベルを示す概念図である。

【0227】

図40は、書込動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図41は、書込動作の第2の処理ステップにおける書き込み動作のメモリセルのしきい値と判定レベルを示す。

【0228】

まず、図31および図32と同様に、書き込み動作の第1の処理ステップで、メモリセルに第2の判定レベルVj2に基づいてデータを書込む。

【0229】

つづいて、書き込み動作の第2の処理ステップで、残りの1/2セクタ分のデータを、データラッチDL-Rに取り込む。書き出データ変換回路230は、データラッチDL-R、DL-Lに含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-Lに保持されるビットデータと、データラッチDL-Rに保持されるビットデータとが異なっている場合にのみ、対応するセンスラッチSLのビットデータを“0”レベルとする。これは、データラッチDL-RとDL-Lに保持される各ビットデータの排他的論理演算結果の反転処理を行うことに相当する。

10

【0230】

このようにして書き換えられたセンスラッチSLの値に基づいて、以下の表2の条件を満たすように、メモリセルにデータを書き込む。すなわち、データの書き込みを行うメモリセルに対しては、書き込むデータが“01”であるか、“10”であるかに応じて、表2のとおりにドレイン電圧を変化させる。

20

【0231】

【表2】

書き込みモード		ゲート電圧 (ワード線電圧)	ドライン電圧	ソース電圧
レベル4の書き込み	書き込みビット センスラッチ: “0” データラッチ: DL-Lが “0” また[よ DL-Rが “1”	VW4 (例えば 17 V)	V1 (例えば 0 V)	開放
レベル2の書き込み	書き込みビット センスラッチ: “0” データラッチ: DL-Lが “1” また[よ DL-Rが “0”	VW4 (例えば 17 V) VW4 (例えば 17 V)	V3 (例えば 6 V) V2 (例えば 2 V)	開放
	書き込みビット	VW4 (例えば 17 V)	V3 (例えば 6 V)	開放

表2においては、電圧V1 < 電圧V2 < 電圧V3の関係が成り立つ。メモリセルトランジスタのしきい値電圧の設定値異なる場合は、電圧V1、V2、V3はこの関係を維持しつつ、電圧V2、V3の値を変化させればよい。

【0233】

以上のような動作により、データ書き込みに必要となる時間を一層削減することが可能となる。

【0234】

[実施の形態5]

以上の説明では、1つのメモリセルに保持されるデータが、2ビット、つまり、4値の場合において、データの読み出、書き込みの動作について説明した。

10

【0235】

より一般的に、 $n = m + 1$ 、 $m = 0$ 、 $n, m$ は自然数とするとき、1つのメモリセルに保持されるデータが $2^n$ 値の場合は、書き込みデータと書き込みデータに対応するメモリセルトランジスタのしきい値のレベルとの対応づけに一定の関係をおくとき、各メモリセルに保持される $n$ ビットデータのうち、第 $2^{n-1}$ の判定レベルでの読み出で、 $n$ ビットのうちの1ビット（たとえば、最上位の1ビット）が確定するようになる。

【0236】

さらに、第 $2^{n-2}$ の判定レベルと第 $(2^{n-1} + 2^{n-2})$ の判定レベルの2つでの読み出処理により、 $n$ ビットのうちのさらに1ビットが確定するようになる。

20

【0237】

さらに、第 $(2^{n-1-m} + Y)$ の判定レベル（ $Y$ は、 $Y$ について $Y = 0$ から $Y = m$ までの和： $m = 0$ 、 $n = m + 1$ ）等の $2^m$ 個の判定レベルでの読み出処理により、 $n$ ビットのうちのさらに1ビットが確定するようになる。

【0238】

最終的に、第1の判定レベル、第3の判定レベル、第5の判定レベル、…、第 $2^{n-1}$ の判定レベルでの読み出処理により、 $n$ ビットのうちのさらに1ビットが確定するようになる。

【0239】

図42は、3ビット、すなわち、8値のデータを1つのメモリセルに書き込む場合に、上述の要領で読み出が可能なときの書き込みデータと書き込みデータに対応するメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

30

【0240】

第4の判定レベルでの読み出で最上位ビットが確定し、第2および第6の判定レベルでの読み出で中位ビットが確定し、第1、3、5、7の判定レベルでの読み出で最下位ビットが確定する。

【0241】

これに対して、図43は、3ビット、すなわち、8値のデータを1つのメモリセルに書き込む場合に、上述の要領で読み出ができないときの書き込みデータと書き込みデータに対応するメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

【0242】

40

第4の判定レベルでの読み出で最上位ビットが確定するものの、第2および第6の判定レベルでの読み出では中位ビットは確定しない。

【0243】

[16値データの読み出動作]

以下では、 $16 (= 2^n : n = 4)$ 値の場合を例にとって、読み出動作を説明する。以下に説明するとおり、データラッチ回路が、回路DL-LとDL-Rの2系統から、回路DL-1～4の4系統となり、制御回路210の動作が異なる以外は、本実施の形態のフラッシュメモリの構成は、実施の形態1のフラッシュメモリ1000の構成と同様である。

【0244】

図44～81は、本発明の実施の形態5の動作説明図であり、読み出動作の第1～第19の

50

処理ステップにおいて、データラッチDL-1～DL-4ならびにセンスラッチSLに保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

【0245】

図44は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図45は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0246】

まず、図44および図45を参照して、読出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセル、たとえば、1kByte分のメモリセルから、第8( $=2^{n-1}$ :  $n=4$ )の判定レベルVj8で一括して読出を行ない、その結果をセンスラッチ回路120に格納する。

10

【0247】

図44では、センスラッチ回路120中において、1セクタ分の読出動作で、最初にデータ入出力端子群10から出力される2バイト分のデータを保持するセンスラッチSLと、これに対応するデータラッチDL-1～DL-4を抜き出して示す。1セクタ分の読出動作で、この2バイト分のデータに続いてデータ入出力端子群10から読み出されるデータについても、以下に説明するのと同様の処理が並行して行なわれている。

【0248】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0～MC15には、それぞれデータ“0111”，“0110”，“0100”，“0101”，“0001”，“0000”，“0010”，“0011”，“1011”，“1010”，“1000”，“1001”，“1101”，“1100”，“1110”，“1111”が保持されているものとする。

20

【0249】

図45に示すように、メモリセルのしきい値の高い側のレベル16から低い側のレベル1までのレベルにそれぞれ対応する書き込みデータは、“0111”，“0110”，“0100”，“0101”，“0001”，“0000”，“0010”，“0011”，“1011”，“1010”，“1000”，“1001”，“1101”，“1100”，“1110”，“1111”であるものとする。

【0250】

30

したがって、図44において、センスラッチ回路120の2バイト分の領域に保持されるデータは、16進数表示で、00hとFFhである。

【0251】

第8の判定レベルVj8で一括して読出されたデータは、センスラッチSLからデータラッチDL-1に格納される。この時点で、制御回路210の制御により、データラッチDL-1に格納されたデータが、順次1バイトずつ(または2バイトずつ)データ入出力端子群10から出力される。

【0252】

このように、読出動作の第1の処理ステップにおいて、第8の判定レベルVj2で読出動作をまず行なうのは、図45に示すとおり、このレベルで読出することにより、メモリセル内の16種のデータが、“0”または“1”のうちのいずれであるかが確定するからである。すなわち、メモリセルMC0～MC15に格納されるデータの最上位のビットの0または1が確定することになる。

40

【0253】

図46は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図47は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0254】

次に、図46および図47を参照して、読出動作の第2の処理ステップにおいては、第1の処理ステップでセンスラッチSLからデータラッチDL-1にデータを格納し、センス

50

ラッチSLがクリアされた時点で、第4( $=2^{n-2}$ : $n=4$ )の判定レベルVj4で読み出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。つまり、データラッチ回路DL-1からはデータ出力を行なっている途中で、センスラッチSLからデータラッチDL-2にデータ転送を行なう。データラッチDL-2へのデータ転送後、センスラッチ回路120はクリアされる。

【0255】

図48は、読み出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図49は、読み出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0256】

次に、図48および図49を参照して、読み出動作の第3の処理ステップにおいては、第12( $=2^{n-1}+2^{n-2}$ : $n=4$ )の判定レベルVj12で読み出動作を行ない、センスラッチ回路120にデータを格納する。読み出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-2に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL2内のデータビットを変更する。

【0257】

図50は、読み出動作の第4の処理ステップにおける各ラッチに保持されるデータを示し、図51は、読み出動作の第4の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0258】

次に、図50および図51を参照して、読み出動作の第4の処理ステップにおいては、第3の処理ステップでセンスラッチSLからデータラッチDL-1にデータを格納し、センスラッチSLがクリアされた時点で、第2( $=2^{n-3}$ : $n=4$ )の判定レベルVj2で読み出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。データラッチ回路DL-1からはデータ出力を行ない、その出力後にはデータラッチ回路DL-2からデータ出力を行なっている間に、センスラッチSLからデータラッチDL-3にデータ転送を行なう。データラッチDL-3へのデータ転送後、センスラッチ回路120はクリアされる。

【0259】

図52は、読み出動作の第5の処理ステップにおける各ラッチに保持されるデータを示し、図53は、読み出動作の第5の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0260】

次に、図52および図53を参照して、読み出動作の第5の処理ステップにおいては、第6( $=2^{n-2}+2^{n-3}$ : $n=4$ )の判定レベルVj6で読み出動作を行ない、センスラッチ回路120にデータを格納する。読み出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-3に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL3内のデータビットを変更する。

【0261】

図54は、読み出動作の第6の処理ステップにおける各ラッチに保持されるデータを示し、図55は、読み出動作の第6の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0262】

次に、図54および図55を参照して、読み出動作の第6の処理ステップにおいては、第5の処理ステップでセンスラッチSLからデータラッチDL-3にデータを格納し、センスラッチSLがクリアされた時点で、第10( $=2^{n-1}+2^{n-3}$ : $n=4$ )の判定レベルVj10で読み出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。データラッチ回路DL-1からはデータ出力を行ない、その出力後にはデータラッチ回路DL-2からデータ出力を行なっている間に、センスラッチSLからデータラッチDL-4にデータ転送を行なう。データラッチDL-4へのデータ転送後、センスラッチ回路12

10

20

30

40

50

0はクリアされる。

【0263】

図56は、読出動作の第7の処理ステップにおける各ラッチに保持されるデータを示し、図57は、読出動作の第7の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0264】

次に、図56および図57を参照して、読出動作の第7の処理ステップにおいては、第14( $=2^{n-1} + 2^{n-2} + 2^{n-3}$ :  $n = 4$ )の判定レベルVj14で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-4に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL4内のデータビットを変更する。

10

【0265】

図58は、読出動作の第8の処理ステップにおける各ラッチに保持されるデータを示し、図59は、読出動作の第8の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0266】

次に、図58と図59を参照して、読出データ変換回路220は、データラッチDL-3とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-3に格納する。

20

【0267】

図60は、読出動作の第9の処理ステップにおける各ラッチに保持されるデータを示し、図61は、読出動作の第9の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0268】

次に、図60と図61を参照して、データラッチDL-2からのデータ出力中において、第1( $=2^{n-4}$ :  $n = 4$ )の判定レベルVj1で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータをデータラッチDL-4に転送する。なお、読出データ変換回路220は、データラッチDL-2からのデータ出力が終了後、データラッチDL-3に保持されるデータの反転データをデータ入出力端子に出力する。

30

【0269】

図62は、読出動作の第10の処理ステップにおける各ラッチに保持されるデータを示し、図63は、読出動作の第10の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0270】

次に、図62および図63を参照して、読出動作の第10の処理ステップにおいては、第3( $=2^{n-3} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj3で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-4に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL4内のデータビットを変更する。

40

【0271】

図64は、読出動作の第11の処理ステップにおける各ラッチに保持されるデータを示し、図65は、読出動作の第11の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0272】

次に、図64と図65を参照して、データラッチDL-2からのデータ出力中において、第5( $=2^{n-2} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj5で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータをデータラッチDL-1に転送する。

50

## 【0273】

図66は、読出動作の第12の処理ステップにおける各ラッチに保持されるデータを示し、図67は、読出動作の第12の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0274】

次に、図66および図67を参照して、読出動作の第12の処理ステップにおいては、第7( $= 2^{n-2} + 2^{n-3} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj7で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL1内のデータビットを変更する。

10

## 【0275】

図68は、読出動作の第13の処理ステップにおける各ラッチに保持されるデータを示し、図69は、読出動作の第13の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0276】

次に、図68と図69を参照して、読出データ変換回路220は、データラッチDL-1とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-4に格納する。

20

## 【0277】

図70は、読出動作の第14の処理ステップにおける各ラッチに保持されるデータを示し、図71は、読出動作の第14の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0278】

次に、図70と図71を参照して、データラッチDL-2またはDL3からのデータ出力中において、第9( $= 2^{n-1} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj9で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータはデータラッチDL-1に転送される。

## 【0279】

図72は、読出動作の第15の処理ステップにおける各ラッチに保持されるデータを示し、図73は、読出動作の第15の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

30

## 【0280】

次に、図72および図73を参照して、読出動作の第15の処理ステップにおいては、第11( $= 2^{n-1} + 2^{n-3} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj11で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL1内のデータビットを変更する。

## 【0281】

40

図74は、読出動作の第16の処理ステップにおける各ラッチに保持されるデータを示し、図75は、読出動作の第16の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0282】

次に、図74と図75を参照して、読出データ変換回路220は、データラッチDL-1とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-4に格納する。

## 【0283】

図76は、読出動作の第17の処理ステップにおける各ラッチに保持されるデータを示し、図77は、読出動作の第17の処理ステップにおけるメモリセルのしきい値と判定レベ

50

ルを示す。

【0284】

次に、図76と図77を参照して、データラッチDL-2またはDL3からのデータ出力中において、第13( $=2^{n-1} + 2^{n-2} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj13で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータはデータラッチDL-1に転送される。

【0285】

図78は、読出動作の第18の処理ステップにおける各ラッチに保持されるデータを示し、図79は、読出動作の第18の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

10

【0286】

次に、図78および図79を参照して、読出動作の第18の処理ステップにおいては、第15( $=2^{n-1} + 2^{n-2} + 2^{n-3} + 2^{n-4}$ :  $n = 4$ )の判定レベルVj15で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL1内のデータビットを変更する。

【0287】

図80は、読出動作の第19の処理ステップにおける各ラッチに保持されるデータを示し、図81は、読出動作の第19の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

20

【0288】

次に、図80と図81を参照して、読出データ変換回路220は、データラッチDL-1とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-4に格納する。

【0289】

データラッチDL-3のデータ出力が終了した後、制御回路210は、データラッチDL-4に保持されるデータの反転データをデータ入出力端子群10へ出力を開始する。

【0290】

以上のような動作により、16値のデータを保持できるメモリセルからのデータ読出時間を短縮することが可能である。

30

【0291】

なお、以上の説明では、判定レベルの低い方から2つずつ組にして、各組の上位の判定レベル値を反転し、2つの判定結果をNOR処理し、最後に各組の結果をOR処理している。この発明は、このような構成に限られるわけではなく、たとえば、判定レベルの高い方から2つずつ組にしても良い。

【0292】

[16値データの書き込み動作]

つぎに、データの書き込み動作について説明する。

【0293】

図82～87は、書き動作の第1～第7の処理ステップにおいて、データラッチDL-1～DL-4ならびにセンスラッチSLに保持されるデータおよび書き時のメモリセルのしきい値と判定レベルを示す概念図である。

40

【0294】

図82は、書き動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図83は、書き動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0295】

図84は、書き動作の第2および3の処理ステップにおける各ラッチに保持されるデータを示し、図85は、書き動作の第2および3の処理ステップにおけるメモリセルのしきい

50

値と判定レベルを示す。

【0296】

図86は、書込動作の第4～7の処理ステップにおける各ラッチに保持されるデータを示し、図87は、書込動作の第4～7の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0297】

まず、書込動作が行われるメモリセルブロックについては、全てのメモリセルについてデータ“1111”に対応するしきい値とされる。

【0298】

次に、図82および図83を参照して、書込動作の第1の処理ステップにおいては、入力されたデータ（16進表現で00hとFFh）をデータラッチDL-1に格納し、センスラッチSLに転送する。第8の判定レベルVj8に基づいて、レベル9に相当するしきい値までの書込みを行う。この第8の判定レベルVj8での書込み動作中に、残りのデータのうち2バイト分のデータがさらにデータラッチDL-2に格納される。

10

【0299】

次に、図84および図85を参照して、書込動作の第2の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“1”であって、データラッチDL-2に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

20

【0300】

このようにしてセンスラチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書込が行なわれる。ここで、メモリセルMC0～MC15は、同一のワード線WLに接続している。さらに、ベリファイ動作の判定値としては第4番目の判定値Vj4を用い、しきい値レベル5まで書込みを行なう。

【0301】

このとき、センスラッチ中のデータ“0”に対応するメモリセルに対してデータの書込みが行なわれる。

【0302】

30

データの書込は、ワード線WLに高電圧を印加することで、FN（ファウラー・ノルドハイム）トンネル電流を利用して書込まれる。

【0303】

センスラッチSLのビットデータが“1”的ビットに対応するビット線BLにはワード線WLから印加される電圧を緩和するために、ワード線電圧以下の電圧が印加される。結果的に、センスラッチに保持されるビットデータが“0”に対応するビット線BLに接続するメモリセルにだけデータの書込が行なわれる。

【0304】

さらに、図84および図85を参照して、書込動作の第3の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-2に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

40

【0305】

このようにしてセンスラチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書込が行なわれる。ここで、ベリファイ動作の判定値としては第12番目の判定値Vj12を用い、しきい値レベルのレベル13まで書込みが行なわれる。

【0306】

この第12の判定レベルVj12での書込み動作中に、残りの1/4セクタ分のデータが

50

データラッチDL-3に格納される。

【0307】

次に、図86および図87を参照して、書込動作の第4の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2、DL-3に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“1”、データラッチDL-2に保持されるビットが“1”であって、データラッチDL-3に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0308】

このようにしてセンスラチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書きが行なわれる。ここで、ベリファイ動作の判定値としては第2番目の判定値Vj2を用い、しきい値レベルのレベル3にまで書きが行なわれる。

10

【0309】

さらに、図86および図87を参照して、書込動作の第5の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2およびDL-3に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“1”、データラッチDL-2に保持されるビットが“0”、であって、データラッチDL-3に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

20

【0310】

このようにしてセンスラチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書きが行なわれる。ここで、ベリファイ動作の判定値としては第6番目の判定値Vj6を用い、しきい値レベルのレベル7にまで書きが行なわれる。

【0311】

以下同様にして、書込動作の第6の処理ステップにおいては、データラッチDL-1、DL-2、DL-3に保持されるデータのビットデータの組が、(0, 0, 0)に相当するセンスラッチのビットデータが“0”とされる。その上で、ベリファイ動作の判定値としては第10番目の判定値Vj10を用い、しきい値レベルのレベル11にまで書きが行なわれる。

30

【0312】

書込動作の第7の処理ステップにおいては、データラッチDL-1、DL-2、DL-3に保持されるデータのビットデータの組が、(0, 1, 1)に相当するセンスラッチのビットデータが“0”とされる。その上で、ベリファイ動作の判定値としては第14番目の判定値Vj14を用い、しきい値レベルのレベル15にまで書きが行なわれる。このレベル15までの書き動作期間中に、データラッチ回路DL-4に、さらに残りの2バイトのデータが格納される。

【0313】

さらに、図示しないが、書込動作の第8～15の処理ステップにおいては、それぞれ、データラッチDL-1、DL-2、DL-3、DL-4に保持されるデータのビットデータの組が、(1, 1, 1, 0)、(1, 1, 0, 1)、(1, 0, 0, 0)、(1, 0, 1, 1)、(0, 0, 1, 0)、(0, 0, 0, 1)、(0, 1, 0, 0)、(0, 1, 1, 1)に相当するセンスラッチのビットデータが“0”とされる。その上で、ベリファイ動作の判定値としては第1, 3, 5, 7, 9, 11, 13, 15番目の判定値を用い、それぞれのステップに対応するしきい値レベルまで書きが行なわれる。

40

【0314】

以上説明した通り、実施の形態5の16値フラッシュメモリでは、書き込みコマンドの入力後、複数のデータラッチ回路のうちの少なくとも1つへのデータの入力時間中にすでに書き込み動作が開始されているため、書き込み時間を短縮することが可能である。

50

## 【0315】

## [実施の形態6]

以上の説明では、データラッチ回路を4つとしたが、データラッチ回路の個数としては、データ出力用に1つ、データをNOR演算するために1つ、各ビット間でのOR演算を行なうための1つの計3つあれば、十分である。

## 【0316】

以下では、16値のメモリセルへのデータの書き込みにあたり、3個のデータラッチ回路DL-1～DL-3でデータ書き込みを行なう場合の処理の流れを説明する。

## 【0317】

図88～117は、書き動作の第1～第15の処理ステップにおいて、データラッチDL-1～DL-3ならびにセンスラッチSLに保持されるデータおよび書き時のメモリセルのしきい値と判定レベルを示す概念図である。 10

## 【0318】

図88は、書き動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図89は、書き動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0319】

まず、書き動作が行われるメモリセルブロックについては、全てのメモリセルについてデータ“1111”に対応するしきい値とされる。

## 【0320】

次に、図88および図89を参照して、書き動作の第1の処理ステップにおいては、入力されたデータ(16進表現で00hとFFh)をデータラッチDL-1に格納し、センスラッチSLに転送する。第8の判定レベルVj8に基づいて、レベル9に相当するしきい値までの書き込みを行う。この後、データラッチDL-1はクリアされる。この第8の判定レベルVj8での書き込み動作中に、残りのデータのうち2バイト分のデータがさらにデータラッチDL-2に格納される。 20

## 【0321】

ここで、再び、第8の判定レベルVj8で読み出を行ない、読み出データをセンスラッチSLに格納する。

## 【0322】

図90は、書き動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図91は、書き動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。 30

## 【0323】

次に、図90および図91を参照して、書き動作の第2の処理ステップにおいては、書きデータ変換回路230は、センスラッチSLとデータラッチDL-2に含まれるデータについて、対応するビットデータの組について演算することで、センスラッチSLに保持されるビットが“1”であって、データラッチDL-2に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

## 【0324】

このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書きが行なわれる。ここで、ベリファイ動作の判定値としては第4番目の判定値Vj4を用い、しきい値レベルのレベル1からレベル5まで書き込みを行なう。 40

## 【0325】

さらに、図90および図91を参照して、書き動作の第2の処理ステップにおいても、第8の判定レベルVj8で読み出を行ない、読み出データをセンスラッチSLに格納する。書きデータ変換回路230は、センスラッチ回路SL、DL-2に含まれるデータについて、対応するビットデータの組について演算することで、センスラッチSLに保持されるビットが“0”であって、データラッチDL-2に保持されるビットが“1”となっているデ 50

ータに対応するセンスラッチ S L のビットデータのみを“0”レベルとする。

【0326】

このようにしてセンスラッチ S L に保持されたデータに基づいて、センスラッチ S L の各ビットにそれぞれ対応するメモリセル M C 0 ~ M C 15 に、第 12 の判定レベル V j 12 に応じてしきい値レベルのレベル 9 からレベル 13 まで書き込みが行なわれる。

【0327】

一方、レベル 13 までのデータの書き込みが行なわれている期間中に、データラッチ D L - 3 に残りの 2 バイトのデータがさらに格納される。

【0328】

なお、上記書き込み動作の第 2 の処理ステップまでの動作では、判定レベル V j 8 での読み出動作をその都度行なう代わりに、データラッチ D L - 1 をクリアせずにデータを保持し、読み出動作でセンスラッチ S L に保持されるデータの代わりに、データラッチ D L - 1 中のデータを用いても良い。ただし、以上の説明では、以下の手続きとの整合をとるために、判定レベル V j 8 での読み出動作を行なうこととしている。

【0329】

図 92 は、書き込み動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示し、図 93 は、書き込み動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0330】

図 92 および図 93 を参照して、書き込み動作の第 3 の処理ステップにおいては、まず、第 8 の判定レベル V j 8 でデータの読み出しが行なわれ、読み出されたデータがセンスラッチ S L に格納される。制御回路 210 は、センスラッチ S L の反転データをデータラッチ D L - 1 に転送する。

【0331】

図 94 は、書き込み動作の第 4 の処理ステップにおける各ラッチに保持されるデータを示し、図 95 は、書き込み動作の第 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0332】

書き込み動作の第 4 の処理ステップにおいては、まず、第 4 の判定レベル V j 4 でデータの読み出しが行なわれ、読み出されたデータがセンスラッチ S L に格納される。

【0333】

書き込みデータ変換回路 230 は、センスラッチ S L とデータラッチ D L - 1 に含まれるデータについて、対応するビットデータの組について OR 演算した結果をデータラッチ D L - 1 に格納する。

【0334】

図 96 は、書き込み動作の第 5 の処理ステップにおける各ラッチに保持されるデータを示し、図 97 は、書き込み動作の第 5 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0335】

書き込みデータ変換回路 230 は、データラッチ D L - 3 とセンスラッチ S L とに含まれるデータについて、対応するビットデータの組について演算し、データラッチ D L - 3 に保持されるビットが“1”であって、センスラッチ S L に保持されるビットが“1”となっているデータに対応するセンスラッチ S L のビットデータのみを“0”レベルとする。

【0336】

このようにしてセンスラッチ S L に保持されたデータに基づいて、判定レベル V j 2 をベリファイ電圧として、センスラッチ S L の各ビットにそれぞれ対応するメモリセル M C 0 ~ M C 15 に、しきい値レベルのレベル 1 からレベル 3 へデータの書き込みが行なわれる。

【0337】

この第 2 の判定レベル V j 2 での書き込み動作中に、残りの 2 バイトのデータがデータラッチ D L - 2 に格納される。

10

20

30

40

50

## 【0338】

図98は、書込動作の第6の処理ステップにおける各ラッチに保持されるデータを示し、図99は、書込動作の第6の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0339】

書込みデータ変換回路230は、データラッチDL-1とデータラッチDL-3とに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-3に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

10

## 【0340】

このようにしてセンスラチSLに保持されたデータに基づいて、判定レベルVj6をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル5からレベル7へデータの書きが行なわれる。

## 【0341】

図100は、書込動作の第7の処理ステップにおける各ラッチに保持されるデータを示し、図101は、書込動作の第7の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0342】

書込み動作の第7の処理ステップでは、第8の判定レベルVj8でデータを読み出し、センスラッチSLに格納後、制御回路210は、センスラッチSLからデータラッチDL-1にデータを転送する。

20

## 【0343】

図102は、書込動作の第8の処理ステップにおける各ラッチに保持されるデータを示し、図103は、書込動作の第8の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0344】

書込み動作の第8の処理ステップでは、第12の判定レベルVj12でデータを読み出し、センスラッチSLに格納する。

## 【0345】

書込みデータ変換回路230は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1とに含まれるデータについて、対応するビットデータの組についてOR演算し、演算結果をデータラッチDL-1に格納する。

30

## 【0346】

図104は、書込動作の第9の処理ステップにおける各ラッチに保持されるデータを示し、図105は、書込動作の第9の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0347】

書込みデータ変換回路230は、データラッチDL-1とデータラッチDL-3とに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-3に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

40

## 【0348】

このようにしてセンスラチSLに保持されたデータに基づいて、判定レベルVj10をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル9からレベル11のデータの書きが行なわれる。

## 【0349】

図106は、書込動作の第10の処理ステップにおける各ラッチに保持されるデータを示し、図107は、書込動作の第10の処理ステップにおけるメモリセルのしきい値と判定

50

レベルを示す。

【0350】

書込み動作の第10の処理ステップでは、第12の判定レベルVj12でデータが読出され、センスラッチSLに格納される。

【0351】

書込みデータ変換回路230は、センスラッチSLとデータラッチDL-3とに含まれるデータについて、対応するビットデータの組について演算し、センスラッチに保持されるビットが“0”であって、データラッチDL-3に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0352】

図108は、書込動作の第11の処理ステップにおける各ラッチに保持されるデータを示し、図109は、書込動作の第11の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0353】

書込動作の第11の処理ステップにおいて、センスラチSLに保持されたデータに基づいて、判定レベルVj14をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル13からレベル15のデータの書込が行なわれる。

【0354】

図110は、書込動作の第12の処理ステップにおける各ラッチに保持されるデータを示し、図111は、書込動作の第12の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0355】

書込み動作の第12の処理ステップでは、第2の判定レベルVj2でデータが読出され、センスラッチSLに格納される。制御回路210は、センスラッチSLのデータをデータラッチDL1へ転送する。

【0356】

書込みデータ変換回路230は、センスラッチSLとデータラッチDL-2とに含まれるデータについて、対応するビットデータの組について演算し、センスラッチに保持されるビットが“1”であって、データラッチDL-2に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0357】

図112は、書込動作の第13の処理ステップにおける各ラッチに保持されるデータを示し、図113は、書込動作の第13の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0358】

書込動作の第13の処理ステップにおいて、センスラチSLに保持されたデータに基づいて、判定レベルVj1をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル1からレベル2へのデータの書込が行なわれる。

【0359】

図114は、書込動作の第14の処理ステップにおける各ラッチに保持されるデータを示し、図115は、書込動作の第14の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0360】

書込み動作の第14の処理ステップでは、第4の判定レベルVj4でデータが読出され、センスラッチSLに格納される。

【0361】

書込みデータ変換回路230は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1とに含まれるデータについて、対応するビットデータの組についてO

10

20

30

40

50

R演算し、演算結果をデータラッチDL-1に格納する。

【0362】

図116は、書込動作の第15の処理ステップにおける各ラッチに保持されるデータを示し、図117は、書込動作の第15の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0363】

書込みデータ変換回路230は、データラッチDL1とデータラッチDL-2とに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-2に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0364】

このようにしてセンスラチSLに保持されたデータに基づいて、判定レベルVj3をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル3からレベル4へのデータの書込が行なわれる。

【0365】

以下同様にして、レベル6、8、10、12、14、16への書込みを行なう。

【0366】

すなわち、2値に識別できる判定レベルでの書込みを行ない、以下、各処理レベルにおいて、4値、8値、…、 $2^n$ 値に識別できるレベルでの書込みを行なう。各処理レベルでは、先に書込みを行なった判定レベル（たとえば、4値の処理レベルから8値の処理レベルになった場合には、4値を判別できる3つの判定レベル）のうちから2つずつ（上下端では1つ）を選んで読出を行ない、その処理レベルで書込みを行なうべきビットデータを確定し、書込みを行なう。

【0367】

以上説明した通り、実施の形態6の16値フラッシュメモリでは、データラッチ回路の個数を削減して、16値のデータを保持するメモリセルからのデータ書込みを行なう事が可能である。

【0368】

以上の説明では、判定レベルの低い方からデータの書込みを行なうこととしているが、逆に、判定レベルの高い方からデータの書込みを行なうこととしてもよい。

【0369】

なお、実施の形態4の4値メモリセルへの書込みと同様に、しきい値レベルのレベル5とレベル13までの書込み、レベル3とレベル11までの書込み、レベル7とレベル15までの書込み、レベル2とレベル10までの書込み、レベル4とレベル12までの書込み、レベル6とレベル14までの書込み、レベル8とレベル16までの書込みを、それぞれ同時にに行なうことも可能である。これらの組合せでは、どれもしきい値電圧の上げ幅も、各々の組のレベル差（しきい値電圧差）も等しいため、同様のドレイン電圧の組を用いることが可能である。

【0370】

以上の説明では、16値のデータを格納するメモリセルを例として示したが、より一般に、 $2^n$ 値のデータを格納するメモリセルにも本発明を適用することが可能である。

【0371】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0372】

【発明の効果】

以上のように、この発明によれば、1つのメモリセルに格納される多値データが、異な

10

20

30

40

50

るタイミングで授受されるデータから生成されるので、読み出動作では、各ビットデータの確定するごとにデータ出力を行なうことが可能で、データ出力時間を短縮できる。

【0373】

また、1つのメモリセルに格納される多値データが、異なるタイミングで授受されるデータから生成されるので、書き込み動作では、各ビットデータの確定するごとにデータ書き込みを行なうことが可能で、データ入力時間を短縮できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の不揮発性半導体記憶装置であるフラッシュメモリ1000の構成を示す概略ブロック図である。

【図2】 読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示す図である。 10

【図3】 読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図4】 読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図5】 読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図6】 読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図7】 読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 20

【図8】 実施の形態1のフラッシュメモリ1000の読み出動作を説明するためのタイミングチャートである。

【図9】 1回の読み出処理で、上位および下位ビットのいずれも確定できないような書き込みレベルと書き込みデータの対応付けの第1の例を示す図である。

【図10】 1回の読み出処理で、上位および下位ビットのいずれも確定できないような書き込みレベルと書き込みデータの対応付けの第2の例を示す図である。

【図11】 1回の読み出処理で、上位および下位ビットのいずれも確定できないような書き込みレベルと書き込みデータの対応付けの第3の例を示す図である。

【図12】 1回の読み出処理で、上位および下位ビットのいずれも確定できないような書き込みレベルと書き込みデータの対応付けの第4の例を示す図である。 30

【図13】 実施の形態1の変形例2の読み出動作の第2の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図14】 実施の形態1の変形例2の読み出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図15】 実施の形態1の変形例2のフラッシュメモリの読み出動作を説明するためのタイミングチャートである。

【図16】 センスラッチ回路120とビット線との接続の切り換え方式の概念を示す図である。

【図17】 図16において示した概念を具体的に実現するための回路構成を示す図である。 40

【図18】 読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図19】 読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図20】 読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図21】 読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図22】 読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示す 50

図である。

【図 2 3】 読出動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 2 4】 読出動作の第 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 2 5】 読出動作の第 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 2 6】 読出動作の第 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 2 7】 読出動作の第 5 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 10

【図 2 8】 読出動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 2 9】 読出動作の第 6 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である

【図 3 0】 実施の形態 2 のフラッシュメモリの読み出動作を説明するためのタイミングチャートである。

【図 3 1】 書込動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 3 2】 書込動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 20

【図 3 3】 書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 3 4】 書込動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 3 5】 書込動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 3 6】 書込動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 3 7】 実施の形態 3 のフラッシュメモリ 1000 の書き出動作を説明するためのタイミングチャートである。 30

【図 3 8】 書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 3 9】 書込動作の第 2 の処理ステップにおける読み出動作のメモリセルのしきい値と判定レベルを示す図である。

【図 4 0】 書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 4 1】 書込動作の第 2 の処理ステップにおける書き出動作のメモリセルのしきい値と判定レベルを示す図である。

【図 4 2】 実施の形態 1 の手順で書き出可能な書き出データとメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。 40

【図 4 3】 実施の形態 1 の手順で書き出できない書き出データとメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

【図 4 4】 実施の形態 5 の読み出動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 4 5】 実施の形態 5 の読み出動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 4 6】 実施の形態 5 の読み出動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 4 7】 実施の形態 5 の読み出動作の第 2 の処理ステップにおけるメモリセルのしきい 50

値と判定レベルを示す図である。

【図 4 8】 実施の形態 5 の読み出動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 4 9】 実施の形態 5 の読み出動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 0】 実施の形態 5 の読み出動作の第 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 1】 実施の形態 5 の読み出動作の第 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 2】 実施の形態 5 の読み出動作の第 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。 10

【図 5 3】 実施の形態 5 の読み出動作の第 5 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 4】 実施の形態 5 の読み出動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 5】 実施の形態 5 の読み出動作の第 6 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 6】 実施の形態 5 の読み出動作の第 7 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 7】 実施の形態 5 の読み出動作の第 7 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 20

【図 5 8】 実施の形態 5 の読み出動作の第 8 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 9】 実施の形態 5 の読み出動作の第 8 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 6 0】 実施の形態 5 の読み出動作の第 9 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 6 1】 実施の形態 5 の読み出動作の第 9 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 6 2】 実施の形態 5 の読み出動作の第 10 の処理ステップにおける各ラッチに保持されるデータを示す図である。 30

【図 6 3】 実施の形態 5 の読み出動作の第 10 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 6 4】 実施の形態 5 の読み出動作の第 11 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 6 5】 実施の形態 5 の読み出動作の第 11 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 6 6】 実施の形態 5 の読み出動作の第 12 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 6 7】 実施の形態 5 の読み出動作の第 12 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 40

【図 6 8】 実施の形態 5 の読み出動作の第 13 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 6 9】 実施の形態 5 の読み出動作の第 13 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 7 0】 実施の形態 5 の読み出動作の第 14 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 7 1】 実施の形態 5 の読み出動作の第 14 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 7 2】 実施の形態 5 の読み出動作の第 15 の処理ステップにおける各ラッチに保持さ 50

れるデータを示す図である。

【図73】 実施の形態5の読み出動作の第15の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図74】 実施の形態5の読み出動作の第16の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図75】 実施の形態5の読み出動作の第16の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図76】 実施の形態5の読み出動作の第17の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図77】 実施の形態5の読み出動作の第17の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 10

【図78】 実施の形態5の読み出動作の第18の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図79】 実施の形態5の読み出動作の第18の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図80】 実施の形態5の読み出動作の第19の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図81】 実施の形態5の読み出動作の第19の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図82】 実施の形態5の書き動作の第1の処理ステップにおける各ラッチに保持されるデータを示す図である。 20

【図83】 実施の形態5の書き動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図84】 実施の形態5の書き動作の第2および3の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図85】 実施の形態5の書き動作の第2および3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図86】 実施の形態5の書き動作の第4～7の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図87】 実施の形態5の書き動作の第4～7の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 30

【図88】 実施の形態6の書き動作の第1の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図89】 実施の形態6の書き動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図90】 実施の形態6の書き動作の第2の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図91】 実施の形態6の書き動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図92】 実施の形態6の書き動作の第3の処理ステップにおける各ラッチに保持されるデータを示す図である。 40

【図93】 実施の形態6の書き動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図94】 実施の形態6の書き動作の第4の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図95】 実施の形態6の書き動作の第4の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図96】 実施の形態6の書き動作の第5の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図97】 実施の形態6の書き動作の第5の処理ステップにおけるメモリセルのしきい 50

値と判定レベルを示す図である。

【図 9 8】 実施の形態 6 の書き動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 9 9】 実施の形態 6 の書き動作の第 6 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 0】 実施の形態 6 の書き動作の第 7 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 1】 実施の形態 6 の書き動作の第 7 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 2】 実施の形態 6 の書き動作の第 8 の処理ステップにおける各ラッチに保持されるデータを示す図である。 10

【図 1 0 3】 実施の形態 6 の書き動作の第 8 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 4】 実施の形態 6 の書き動作の第 9 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 5】 実施の形態 6 の書き動作の第 9 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 6】 実施の形態 6 の書き動作の第 1 0 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 7】 実施の形態 6 の書き動作の第 1 0 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 20

【図 1 0 8】 実施の形態 6 の書き動作の第 1 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 9】 実施の形態 6 の書き動作の第 1 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 0】 実施の形態 6 の書き動作の第 1 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 1 1】 実施の形態 6 の書き動作の第 1 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 2】 実施の形態 6 の書き動作の第 1 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。 30

【図 1 1 3】 実施の形態 6 の書き動作の第 1 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 4】 実施の形態 6 の書き動作の第 1 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 1 5】 実施の形態 6 の書き動作の第 1 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 6】 実施の形態 6 の書き動作の第 1 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 1 7】 実施の形態 6 の書き動作の第 1 5 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 40

【図 1 1 8】 従来のAND型フラッシュメモリ8000の全体的な構成を示す概略プロック図である。

【図 1 1 9】 従来の2値AND型フラッシュメモリの書き込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。

【図 1 2 0】 従来の4値AND型フラッシュメモリ8000の書き込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。

【図 1 2 1】 従来の書き込み動作の第1の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 2 2】 従来の書き込み動作の第1の処理ステップにおけるメモリセルのしきい値を 50

示す図である。

【図123】 従来の書き込み動作の第2の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図124】 従来の書き込み動作の第2の処理ステップにおけるメモリセルのしきい値を示す図である。

【図125】 従来の書き込み動作の第3の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図126】 従来の書き込み動作の第3の処理ステップにおけるメモリセルのしきい値を示す図である。

【図127】 従来の読み出動作の第1の処理ステップにおける各ラッチに保持されるデータを示す図である。 10

【図128】 従来の読み出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図129】 従来の読み出動作の第2の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図130】 従来の読み出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

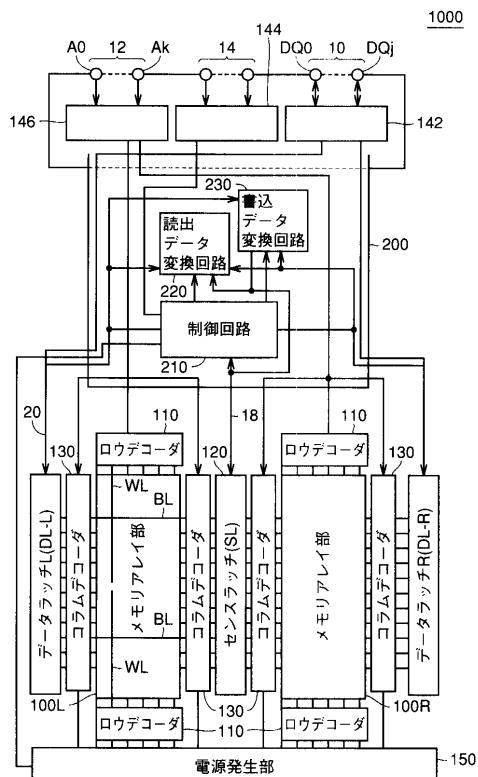
【図131】 従来の読み出動作の第3の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図132】 従来の読み出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。 20

【符号の説明】

10 データ入出力端子、 12 アドレス信号入力端子、 14 コマンド信号入力端子、  
18、 20 信号線、 100 メモリセルアレイ、 110 ロウデコーダ、 120  
センスラッチ回路、 130 コラムデコーダ、 142 データ入出力バッファ、 144  
コマンド信号入力バッファ、 146 アドレス信号入力バッファ、 150 電源発生部、  
200 チップコントロール回路、 210 制御回路、 220 読出データ変換回路、 23  
0 書込みデータ変換回路、 1000 不揮発性半導体記憶回路。

【図1】

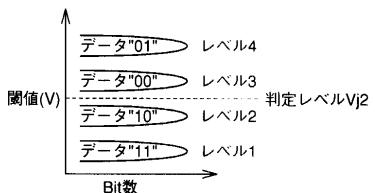


【図2】

Cell内データ	I/Oデータ		I/Oデータ
	SL	DL-L	DL-R
MC0 "11"	1	0	0
MC1 "01"	0	1	1
MC2 "00"	0	2	0
MC3 "10"	1	3	1
MC4 "01"	0	4	0
MC5 "00"	0	5	0
MC6 "10"	1	6	1
MC7 "11"	1	7	1

出力(C9h)

【図3】

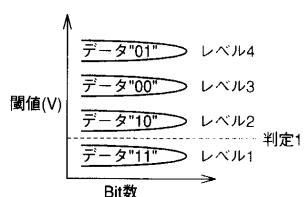


【図4】

データ	I/Oデータ		I/Oデータ
	SL	DL-L	DL-R
0	0	1	0
1	1	0	1
2	2	0	2
3	3	1	3
4	4	0	4
5	5	0	5
6	6	1	6
7	7	1	7

出力中(C9h)

【図5】

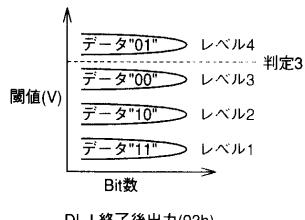


【図6】

データ	I/Oデータ		I/Oデータ
	SL	DL-L	DL-R
0	0	1	0
1	1	0	1
2	2	0	2
3	3	1	3
4	4	0	4
5	5	0	5
6	6	1	6
7	7	1	7

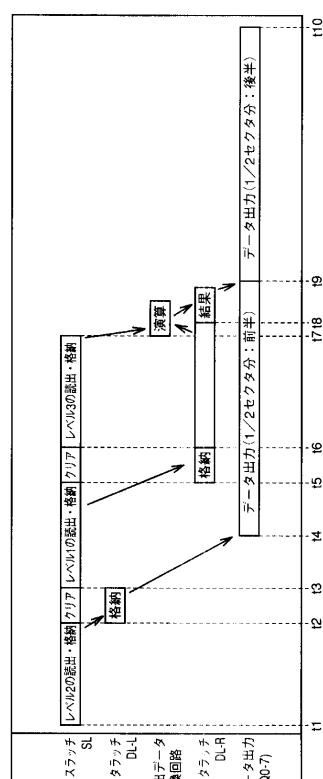
出力中(C9h)

【図7】

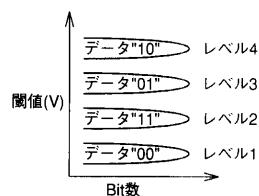


DL-L終了後出力(93h)

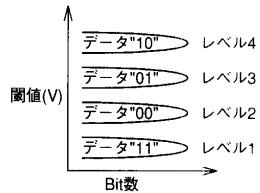
【図8】



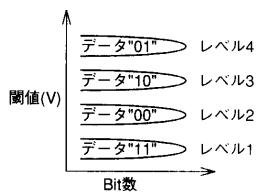
【図9】



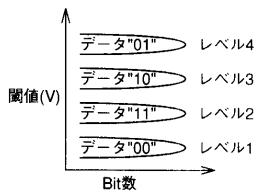
【図10】



【図11】



【図12】

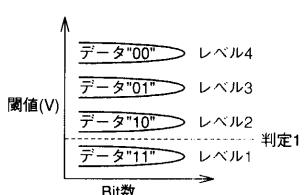


【図13】

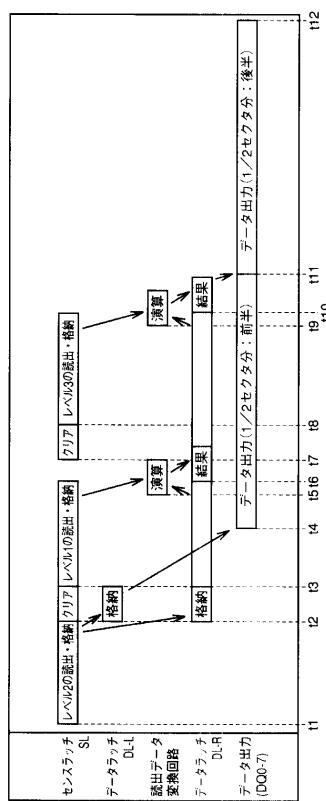
Cell内 データ	I/O データ	I/O データ
"11" 1	0 1	0 1
"00" 0	1 0	1 1
"01" 0	2 0	2 1
"10" 0	3 1	3 0
"00" 0	4 0	4 1
"01" 0	5 0	5 1
"10" 0	6 1	6 0
"11" 1	7 1	7 1

SL DL-L DL-R  
出力中(C9h)

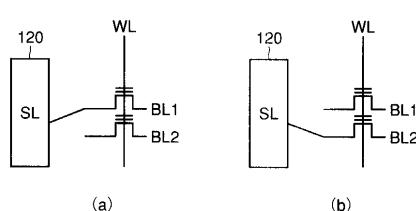
【図14】



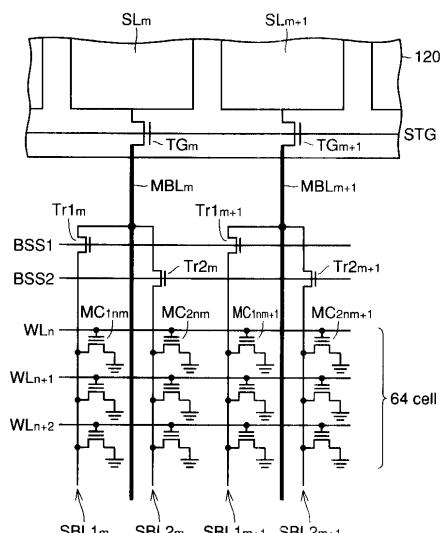
【図15】



【図16】



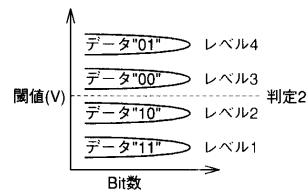
【図17】



【図18】

データ	I/Oデータ	I/Oデータ
MC1n0 1	0 1	0
MC1n1 0	1 0	1 0
MC1n2 0	2 0	2 0
MC1n3 1	3 1	3
MC1n4 0	4 0	4
MC1n5 0	5 0	5
MC1n6 1	6 1	6
MC1n7 1	7 1	7
SL	DL-L	DL-R
出力中(C9h)		

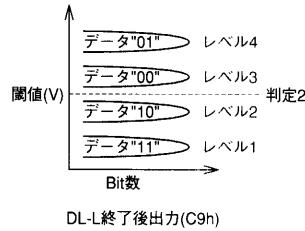
【図19】



【図20】

データ	I/Oデータ	I/Oデータ
1	0 1	0 1
0	1 0	1 0
0	2 0	2 0
1	3 1	3 1
0	4 0	4 0
0	5 0	5 0
1	6 1	6 1
1	7 1	7 1
SL	DL-L	DL-R
出力中(C9h)		

【図21】



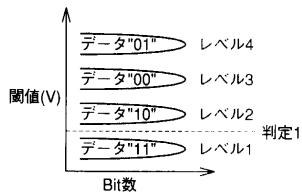
【図22】

データ	I/Oデータ	I/Oデータ
1	0 1	0 1
0	1 0	1 0
0	2 0	2 0
0	3 0	3 1
0	4 0	4 0
0	5 0	5 0
0	6 0	6 1
1	7 1	7 1
SL	DL-L	DL-R
出力中(C9h)		

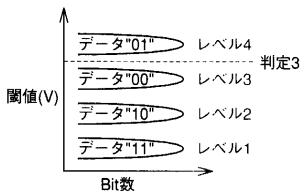
【図24】

データ	I/Oデータ	I/Oデータ
1	0 1	0 1
0	1 1	1 0
1	2 0	2 0
1	3 0	3 1
0	4 1	4 0
1	5 0	5 0
1	6 0	6 1
1	7 1	7 1
SL	DL-L	DL-R
DL-L 終了後出力(93h)		
出力中(C9h)		

【図23】



【図25】



【図26】

データ	I/Oデータ	I/Oデータ
1	0 1	0 1
0	1 1	1 0
0	2 0	2 0
0	3 0	3 0
0	4 1	4 0
0	5 0	5 0
0	6 0	6 0
1	7 1	7 1

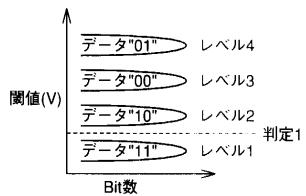
SL DL-L DL-R  
出力中(93h)

【図28】

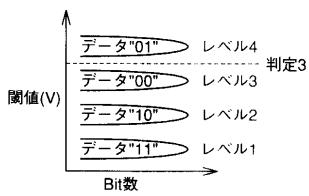
データ	I/Oデータ	I/Oデータ
1	0 1	0 1
0	1 1	1 1
1	2 0	2 0
1	3 0	3 0
0	4 1	4 1
1	5 0	5 0
1	6 0	6 0
1	7 1	7 1

SL DL-L DL-R  
演算  
出力中(93h) DL-L終了後出力(93h)

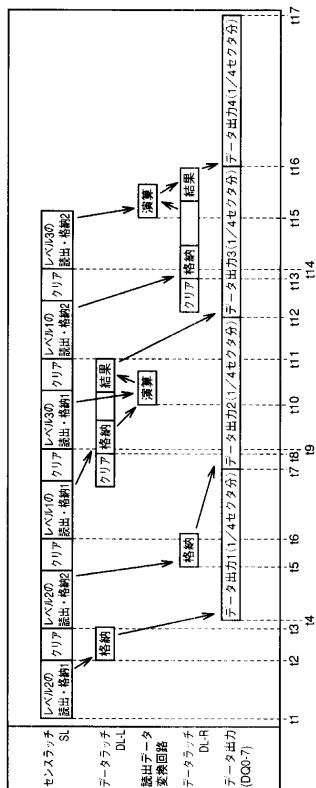
【図27】



【図29】



【図30】

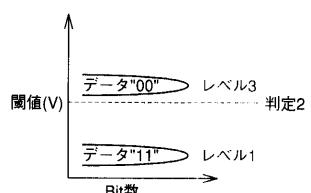


【図31】

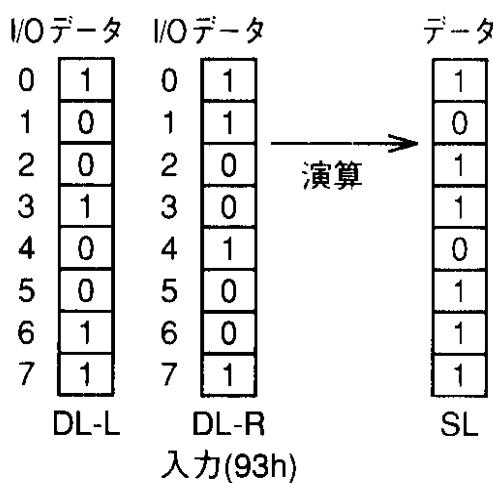
I/Oデータ	I/Oデータ	データ
0	1	1
1	0	0
2	0	0
3	1	1
4	0	0
5	0	0
6	1	1
7	1	1

DL-L DL-R SL  
入力(C9h)

【図32】



【図33】

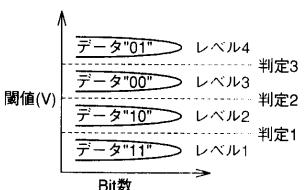


【図35】

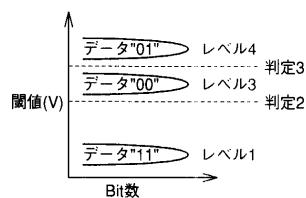
I/Oデータ	I/Oデータ	データ
0 1	0 1	1
1 0	1 1	0
2 0	2 0	1
3 1	3 0	1
4 0	4 1	0
5 0	5 0	1
6 1	6 0	1
7 1	7 1	1

DL-L DL-R SL

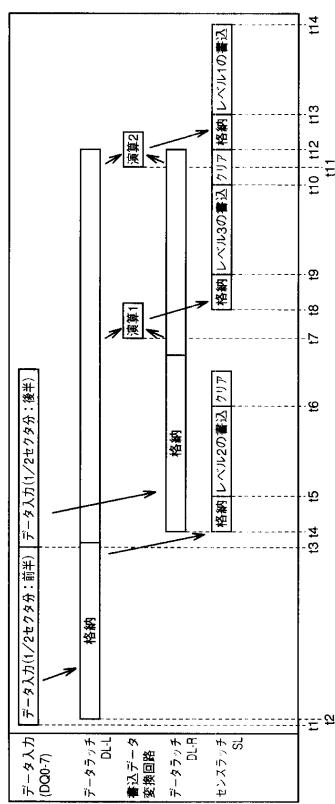
【図36】



【図34】



【図37】



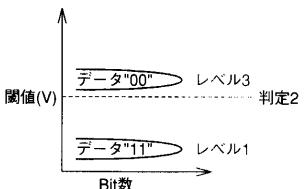
【図38】

I/Oデータ	データ
0 1	1
1 1	0
2 0	0
3 0	1
4 1	0
5 0	0
6 0	1
7 1	1

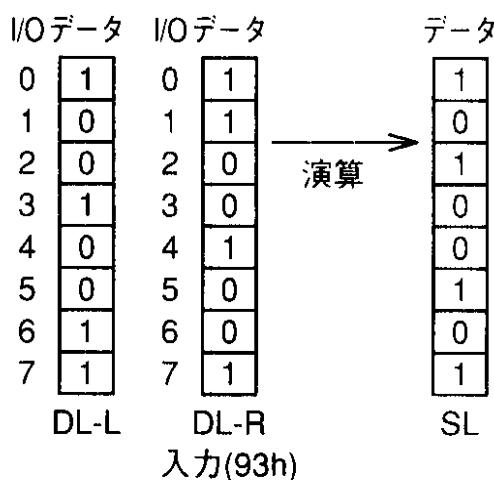
DL-L SL

入力(93h) 判定2でREAD

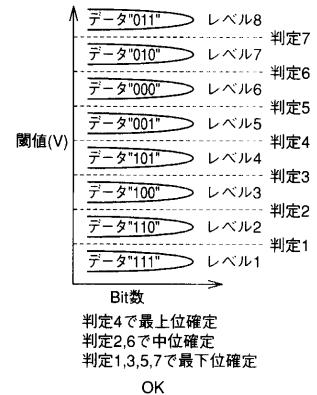
【図39】



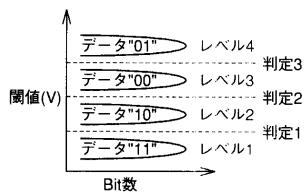
【図40】



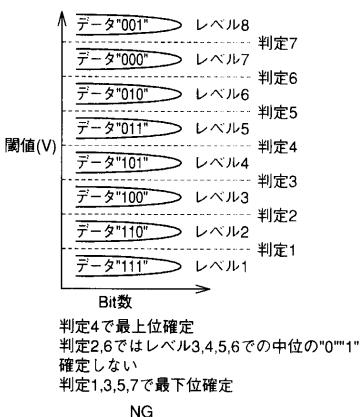
【図42】



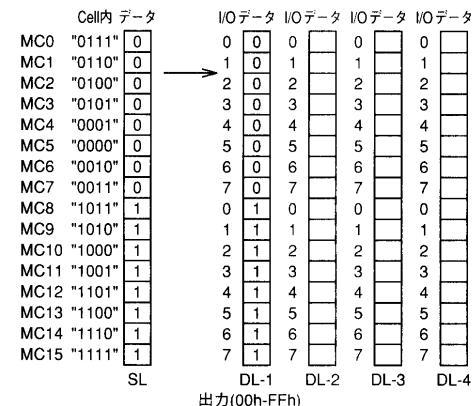
【図41】



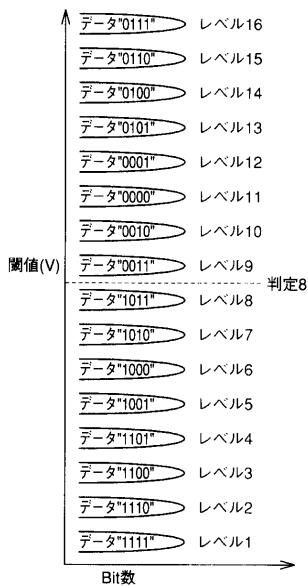
【図43】



【図44】



【図4.5】



【図4.6】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0 0	0 0	0	0
0	1 0	1 0	1	1
0	2 0	2 0	2	2
0	3 0	3 0	3	3
0	4 0	4 0	4	4
0	5 0	5 0	5	5
0	6 0	6 0	6	6
0	7 0	7 0	7	7
0	0 1	0 0	0	0
0	1 1	1 0	1	1
0	2 1	2 0	2	2
0	3 1	3 0	3	3
1	4 1	4 1	4	4
1	5 1	5 1	5	5
1	6 1	6 1	6	6
1	7 1	7 1	7	7
SL	DL-1	DL-2	DL-3	DL-4

出力中(00h-FFh)

【図4.7】

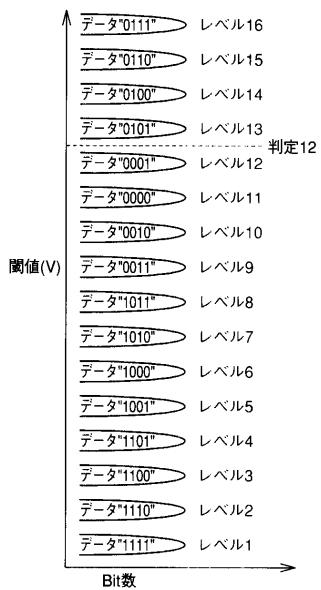


【図4.8】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0 0	0 0	0	0
0	1 0	1 0	1	1
0	2 0	2 0	2	2
0	3 0	3 0	3	3
0	4 0	4 1	4	4
1	5 0	5 1	5	5
1	6 0	6 1	6	6
1	7 0	7 1	7	7
1	0 1	0 1	0	0
1	1 1	1 1	1	1
1	2 1	2 1	2	2
1	3 1	3 1	3	3
1	4 1	4 0	4	4
1	5 1	5 0	5	5
1	6 1	6 0	6	6
1	7 1	7 0	7	7
SL	DL-1	DL-2	DL-3	DL-4

出力中 DL1後出力  
(00h-FFh) (00h-F0h)

【図49】



【図50】

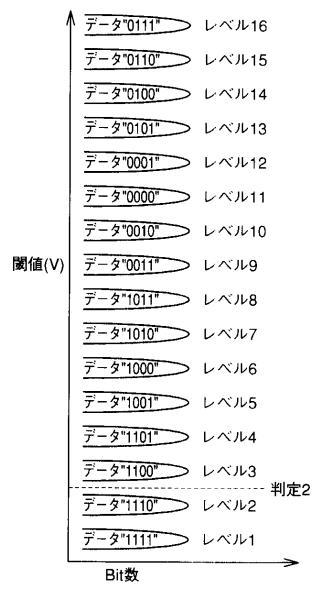
Table showing the output data for DL3. The columns are labeled I/Oデータ (I/O data) and the rows are labeled SL (Select Line). The output is mapped to four lines (DL-1 to DL-4) as follows:

SL	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
1	0	1	0	1
2	0	2	0	2
3	0	3	0	3
4	1	4	1	4
5	1	5	1	5
6	0	6	0	6
7	0	7	1	7
0	1	0	1	0
1	1	1	1	0
2	1	2	1	2
3	1	3	1	3
4	1	4	0	4
5	1	5	0	5
6	1	6	0	6
7	1	7	0	7

DL-1 DL-2 DL-3 DL-4

出力中 DL1後出力  
(00h-FFh) (0Fh-F0h)

【図51】



【図52】

Table showing the output data for DL3. The columns are labeled I/Oデータ (I/O data) and the rows are labeled SL (Select Line). The output is mapped to four lines (DL-1 to DL-4) as follows:

SL	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
1	0	1	0	1
2	0	2	0	2
3	0	3	0	3
4	0	4	1	4
5	0	5	1	5
6	0	6	1	6
7	0	7	1	7
0	1	0	1	0
1	1	1	1	0
2	1	2	1	2
3	1	3	1	3
4	1	4	0	4
5	1	5	0	5
6	1	6	0	6
7	1	7	0	7

DL-1 DL-2 DL-3 DL-4

出力中 DL1後出力  
(00h-FFh) (0Fh-F0h)

【図 5 3】



【図 5 4】

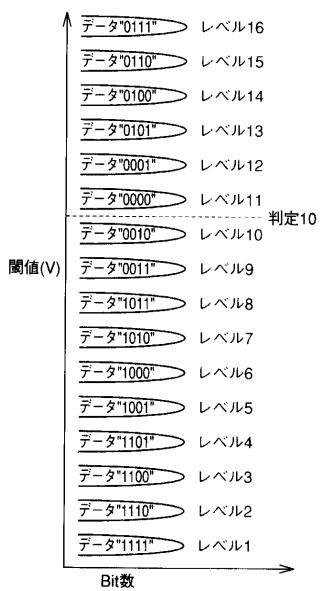
Table showing the output of the decision table from Figure 5-3. The output is 00h-FFh (0Fh-F0h).

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	0
0	3	0	3	0
0	4	1	4	0
0	5	0	5	0
0	6	1	6	0
1	7	0	7	0
1	0	1	0	0
1	1	1	1	0
1	2	1	2	1
1	3	1	3	1
1	4	1	4	0
1	5	1	5	1
1	6	1	6	0
1	7	0	7	0

SL DL-1 DL-2 DL-3 DL-4

出力中 DL1後出力 (00h-FFh) (0Fh-F0h)

【図 5 5】



【図 5 6】

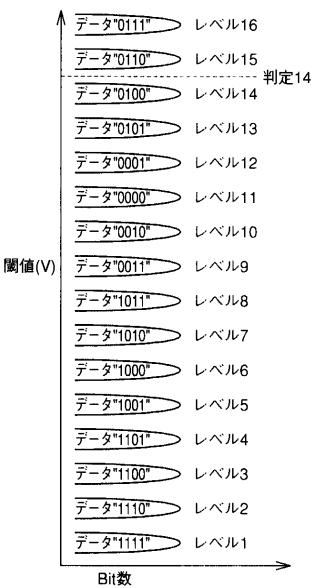
Table showing the output of the decision table from Figure 5-5. The output is 00h-FFh (0Fh-F0h).

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
1	2	0	2	0
1	3	0	3	0
1	4	0	4	0
1	5	0	5	0
1	6	0	6	0
1	7	0	7	0
1	0	1	0	0
1	1	1	1	0
1	2	1	2	1
1	3	1	3	1
1	4	1	4	0
1	5	1	5	0
1	6	1	6	0
1	7	1	7	0

SL DL-1 DL-2 DL-3 DL-4

出力中 DL1後出力 (00h-FFh) (0Fh-F0h)

【図 5 7】



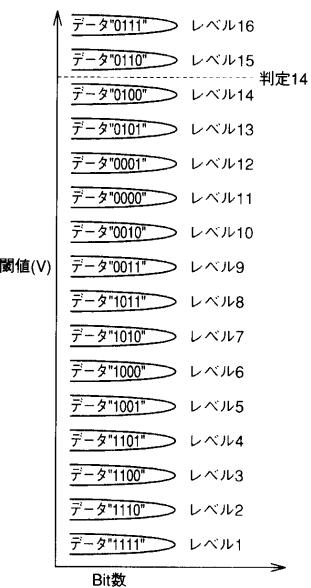
【図 5 8】

データ	I/O データ	I/O データ	I/O データ	I/O データ
0	0	0	0	0
1	0	1	0	1
2	0	2	0	2
3	0	3	0	3
4	0	4	1	4
5	0	5	1	5
6	0	6	1	6
7	0	7	1	7
0	1	0	1	0
1	1	1	1	0
2	1	2	1	2
3	1	3	1	3
4	1	4	0	4
5	1	5	0	5
6	1	6	0	6
7	1	7	0	7

SL DL-1 DL-2 DL-3 DL-4

出力中 DL1後出力 DL3とDL4  
(00h-FFh) (0Fh-F0h) ORしてDL3へ

【図 5 9】



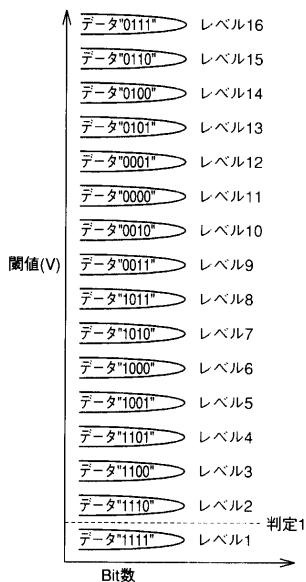
【図 6 0】

データ	I/O データ	I/O データ	I/O データ	I/O データ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	0
0	3	0	3	0
0	4	1	4	1
0	5	1	5	1
0	6	1	6	0
0	7	1	7	0
0	0	1	0	0
1	1	1	1	0
2	2	1	2	1
3	3	1	3	1
4	4	0	4	1
5	5	0	5	1
6	6	0	6	0
7	7	0	7	1

SL DL-1 DL-2 DL-3 DL-4

出力中 DL2後反転出力  
(0Fh-F0h) (3Ch-3Ch)

【図 6 1】



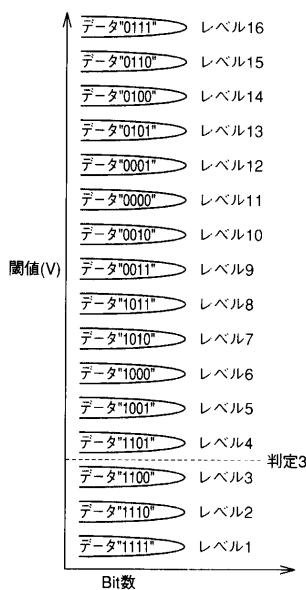
【図 6 2】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	1
0	3	0	3	1
0	4	1	4	1
0	5	1	5	1
0	6	1	6	0
0	7	1	7	0
0	0	0	0	0
0	1	1	1	0
0	2	1	2	1
0	3	1	3	1
0	4	0	4	1
0	5	0	5	1
0	6	0	6	1
0	7	0	7	0
SL	DL-1	DL-2	DL-3	DL-4

SL反転して DL4と NOR DL4へ

出力中 DL2後反転出力 (00h-FFh) (00h-FFh)

【図 6 3】



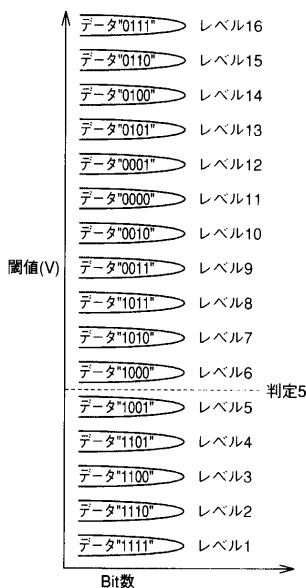
【図 6 4】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	1
0	3	0	3	1
0	4	0	4	1
0	5	0	5	1
0	6	0	6	0
0	7	0	7	0
0	0	0	0	0
0	1	0	1	0
0	2	0	2	1
0	3	1	3	1
0	4	1	4	1
0	5	1	5	1
0	6	1	6	0
0	7	1	7	0
SL	DL-1	DL-2	DL-3	DL-4

DL1へ

出力中 DL2後反転出力 (0Fh-F0h) (3Ch-3Ch)

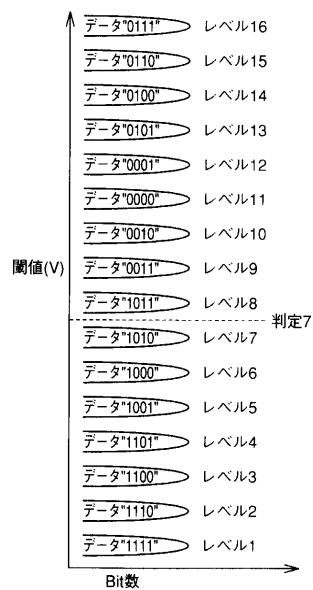
【図 6 5】



【図 6 6】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0 0	0 0	0 0	0 0
0	1 0	1 0	1 0	1 0
0	2 0	2 0	2 1	2 0
SL	SL反転	→		
0	3 0	3 0	3 1	3 0
0	4 0	4 1	4 1	4 0
0	5 0	5 1	5 1	5 0
0	6 0	6 1	6 0	6 0
0	7 0	7 1	7 0	7 0
0	0 0	0 1	0 0	0 0
1	1 1	1 1	1 0	1 0
1	2 1	2 1	2 1	2 0
1	3 0	3 1	3 1	3 0
1	4 0	4 0	4 1	4 0
1	5 0	5 0	5 1	5 1
1	6 0	6 0	6 0	6 1
1	7 0	7 0	7 0	7 0
SL	DL-1	DL-2	DL-3	DL-4
	出力中	DL2後反転出力		
	(00h-FFh)	(00h-FFh)		

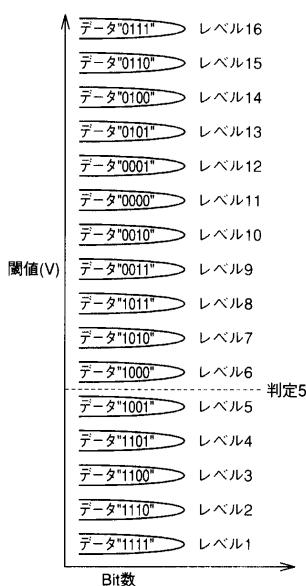
【図 6 7】



【図 6 8】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0 0	0 0	0 0	0 0
1	0 1	1 0	1 0	1 0
2	0 2	2 0	2 1	2 0
3	0 3	3 0	3 1	3 0
4	0 4	4 1	4 1	4 0
5	0 5	5 1	5 1	5 0
6	0 6	6 1	6 0	6 0
7	0 7	7 1	7 0	7 0
0	0 0	0 1	0 0	0 0
1	1 1	1 1	1 0	1 1
2	1 2	2 1	2 1	2 1
3	0 3	3 1	3 1	3 0
4	0 4	4 0	4 1	4 0
5	0 5	5 0	5 1	5 1
6	0 6	6 0	6 0	6 1
7	0 7	7 0	7 0	7 0
SL	DL-1	DL-2	DL-3	DL-4
	出力中	DL2後反転出力		
	(0Fh-F0h)	(3Ch-3Ch)		

【図 6 9】



【図 7 0】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	1
0	3	0	3	1
0	4	0	4	1
0	5	0	5	1
0	6	0	6	0
1	7	1	7	0
1	0	1	0	0
1	1	1	1	0
1	2	1	2	1
1	3	1	3	1
1	4	1	4	1
1	5	1	5	1
1	6	1	6	0
1	7	1	7	0
SL	DL-1	DL-2	DL-3	DL-4

出力中 DL2後反転出力  
(00h-FFh) (00h-FFh)

【図 7 1】

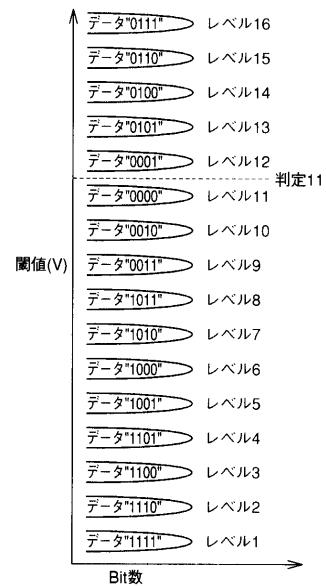


【図 7 2】

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	1
0	3	0	3	1
0	4	0	4	1
1	5	1	5	1
1	6	1	6	0
1	7	0	7	0
1	0	0	1	0
1	1	0	1	0
1	2	0	2	1
1	3	0	3	1
1	4	0	4	1
1	5	0	5	1
1	6	0	6	0
1	7	0	7	0
SL	DL-1	DL-2	DL-3	DL-4

出力中 DL2後反転出力  
(00h-FFh) (00h-FFh)

【図7-3】



【図7-4】

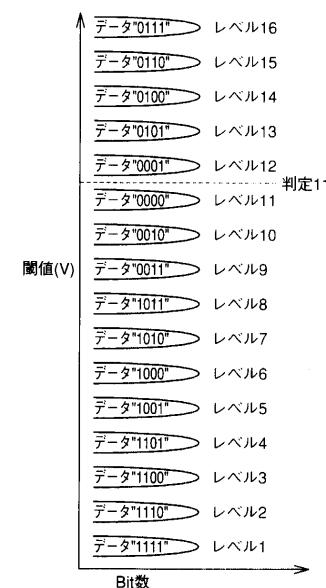
DL1とDL4をOR DL4へ

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
1	0	1	0	1
2	0	2	0	2
3	0	3	0	3
4	0	4	1	4
5	1	5	1	5
6	1	6	1	6
7	0	7	1	7
0	0	0	1	0
1	0	1	1	1
2	0	2	1	2
3	0	3	1	3
4	0	4	0	4
5	0	5	0	5
6	0	6	0	6
7	0	7	0	7

SL DL-1 DL-2 DL-3 DL-4

出力中 DL2後反転出力  
(0Fh-F0h) (3Ch-3Ch)

【図7-5】



【図7-6】

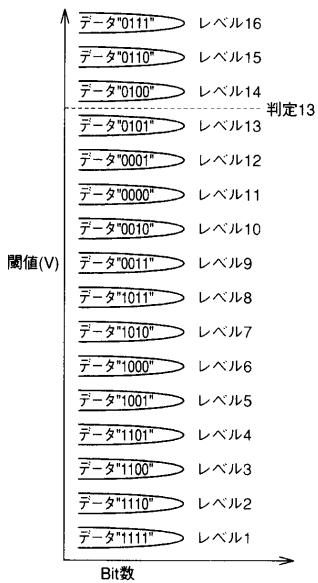
DL1へ

データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0	0	0	0
0	1	0	1	0
0	2	0	2	0
1	3	1	3	0
1	4	1	4	0
1	5	1	5	1
1	6	1	6	1
1	7	1	7	0
1	0	1	0	0
1	1	1	1	1
1	2	1	2	1
1	3	1	3	0
1	4	0	4	0
1	5	0	5	1
1	6	0	6	1
1	7	0	7	0

SL DL-1 DL-2 DL-3 DL-4

出力中 DL2後反転出力  
(00h-FFh) (00h-FFh)

【図 7 7】

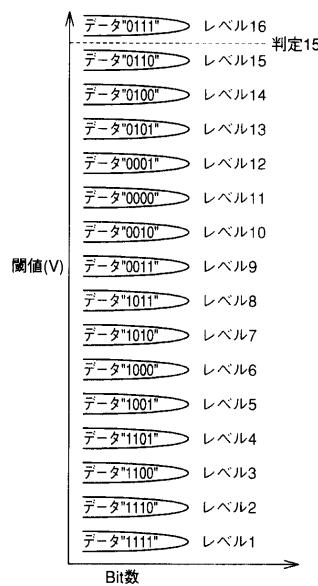


【図 7 8】

データ	DL1とDL4をOR DL4へ			
	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0 0	0 0	0 0	0 0
1	1 1	1 0	1 0	1 0
1 SL反転と	2 1	2 0	2 1	2 0
1 DL1を	3 0	3 0	3 1	3 0
1 NOR	4 0	4 1	4 1	4 0
1 DL1へ	5 0	5 1	5 1	5 1
1	6 0	6 1	6 0	6 1
1	7 0	7 1	7 0	7 0
1	0 0	0 1	0 0	0 0
1	1 0	1 1	1 0	1 1
1	2 0	2 1	2 1	2 1
1	3 0	3 1	3 1	3 0
1	4 0	4 0	4 1	4 0
1	5 0	5 0	5 1	5 1
1	6 0	6 0	6 0	6 1
1	7 0	7 0	7 0	7 0
SL	DL-1	DL-2	DL-3	DL-4

出力中 DL2後反転出力  
(0Fh-F0h) (3Ch-3Ch)

【図 7 9】

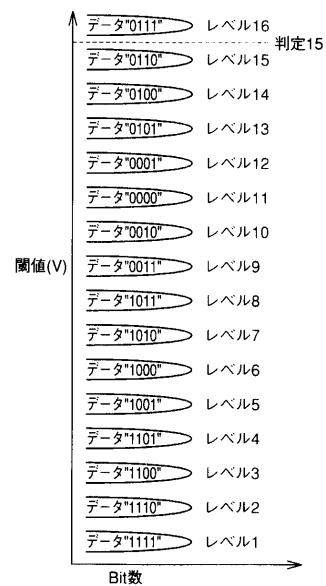


【図 8 0】

データ	DL1とDL4をOR DL4へ			
	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0	0 0	0 0	0 0	0 0
1	1 1	1 0	1 0	1 1
1 DL1と	2 1	2 0	2 1	2 1
DL4を	3 0	3 0	3 1	3 0
OR	4 0	4 1	4 1	4 0
DL4へ	5 0	5 1	5 1	5 1
6	6 0	6 1	6 0	6 1
7	7 0	7 1	7 0	7 0
0	0 0	0 1	0 0	0 0
1	1 0	1 1	1 0	1 1
2	2 0	2 1	2 1	2 1
3	3 0	3 1	3 1	3 0
4	4 0	4 0	4 1	4 0
5	5 0	5 0	5 1	5 1
6	6 0	6 0	6 0	6 1
7	7 0	7 0	7 0	7 0
SL	DL-1	DL-2	DL-3	DL-4

出力中 DL2後反転出力  
(0Fh-F0h) (3Ch-3Ch)

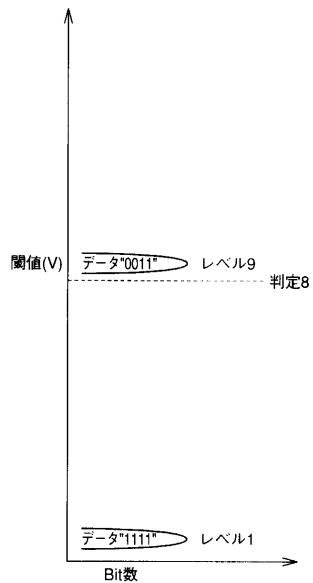
【図81】



【図82】

I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ	データ
0 0	0	0	0	0
1 0	1	1	1	0
2 0	2	2	2	0
3 0	3	3	3	0
4 0	4	4	4	0
5 0	5	5	5	0
6 0	6	6	6	0
7 0	7	7	7	0
0 1	0	0	0	1
1 1	1	1	1	1
2 1	2	2	2	1
3 1	3	3	3	1
4 1	4	4	4	1
5 1	5	5	5	1
6 1	6	6	6	1
7 1	7	7	7	1
DL-1	DL-2	DL-3	DL-4	SL

【図83】



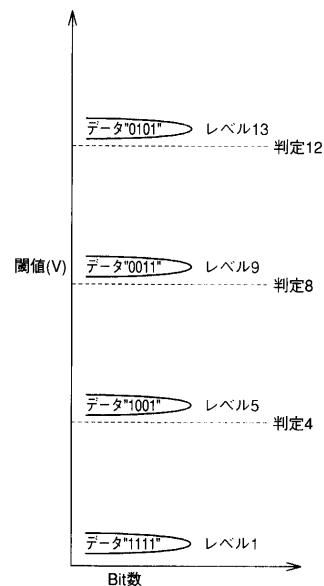
【図84】

I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ	データ
0 0	0 1	0	0	1
1 0	1 1	1	1	0
2 0	2 1	2	2	1
3 0	3 1	3	3	0
4 0	4 0	4	4	1
5 0	5 0	5	5	1
6 0	6 0	6	6	1
7 0	7 0	7	7	1
0 1	0 0	0	0	0
1 1	1 0	1	1	0
2 1	2 0	2	2	0
3 1	3 0	3	3	0
4 1	4 1	4	4	1
5 1	5 1	5	5	1
6 1	6 1	6	6	1
7 1	7 1	7	7	1
DL-1	DL-2	DL-3	DL-4	SL

↓ レベル5 のとき  
 ↓ レベル13 のとき

↑ DL1と  
 DL2 演算から

【図 8 5】



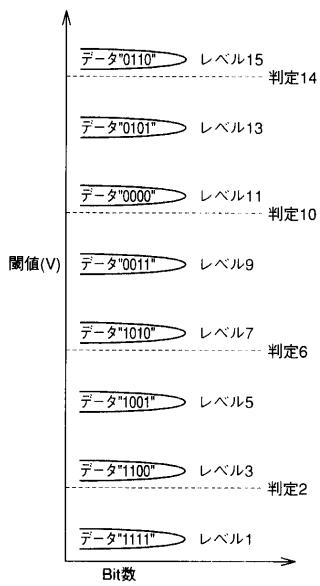
【図 8 6】

I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ	データ
0 0	0 1	0 1	0	1 1
1 0	1 1	1 1	1	1 1
2 0	2 1	2 0	2	1 1
3 0	3 1	3 0	3	1 1
4 0	4 0	4 0	4	1 1
5 0	5 0	5 0	5	1 1
6 0	6 0	6 1	6	1 1
7 0	7 0	7 1	7	1 1
0 1	0 0	0 1	0	1 0
1 1	1 0	1 1	1	1 0
2 1	2 0	2 0	2	1 1
3 1	3 0	3 0	3	1 1
4 1	4 1	4 0	4	0 1
5 1	5 1	5 0	5	0 1
6 1	6 1	6 1	6	1 1
7 1	7 1	7 1	7	1 1

DL-1 DL-2 DL-3 DL-4 SL SL SL SL

レベル3 レベル7 レベル11 レベル15  
のとき のとき のとき のとき

【図 8 7】



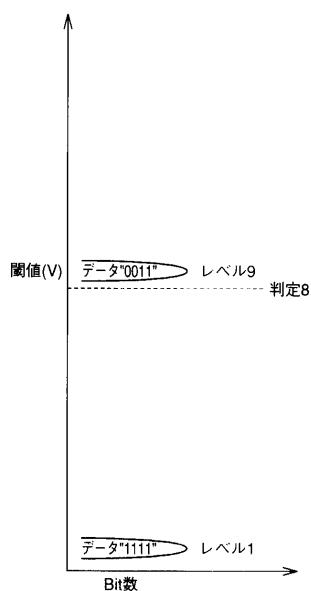
【図 8 8】

I/Oデータ	I/Oデータ	I/Oデータ	データ
0	0 1	0	0
1	1 1	1	0
2	2 1	2	0
3	3 1	3	0
4	4 0	4	0
5	5 0	5	0
6	6 0	6	0
7	7 0	7	0
0	0 0	0	1
1	1 0	1	1
2	2 0	2	1
3	3 0	3	1
4	4 1	4	1
5	5 1	5	1
6	6 1	6	1
7	7 1	7	1

DL-1 DL-2 DL-3 SL

DL-1から  
入力中

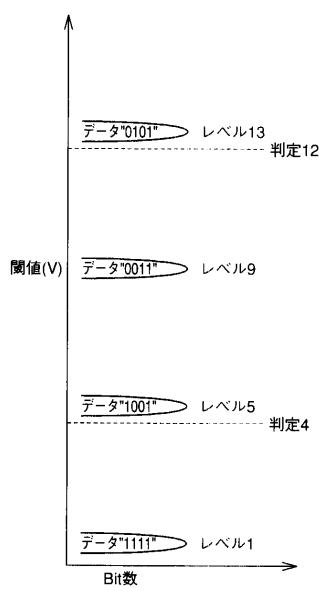
【 図 8 9 】



【 図 9 0 】

I/Oデータ	I/Oデータ	I/Oデータ	データ
0	0	0	1
1	1	1	1
2	2	1	2
3	3	1	3
4	4	0	4
5	5	0	5
6	6	0	6
7	7	0	7
0	0	0	1
1	1	0	1
2	2	0	2
3	3	0	3
4	4	1	4
5	5	1	5
6	6	1	6
7	7	1	7
DL-1	DL-2	DL-3	SL レベル13 入力中 レベル5

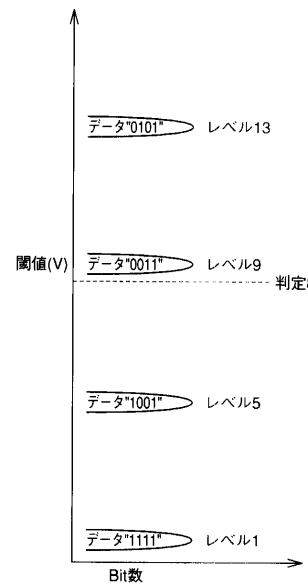
【 図 9 1 】



【 図 9 2 】

	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	1	0	1	0
1	1	1	0	0
2	1	2	0	0
3	1	3	1	0
4	1	4	1	0
5	1	5	0	0
6	1	6	0	0
7	1	7	1	0
0	0	0	1	1
1	0	1	0	1
2	0	2	0	1
3	0	3	1	1
4	0	4	1	1
5	0	5	0	1
6	0	6	0	1
7	0	7	1	1
DL-1		DL-2	DL-3	SL
判定8でRead				

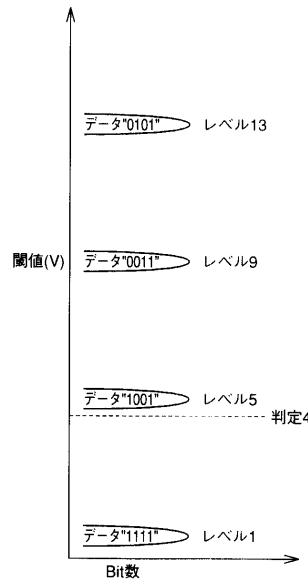
【図9-3】



【図9-4】

	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	1	0	1	0
1	1	1	0	0
2	1	2	0	0
3	1	3	1	0
4	1	4	1	0
5	1	5	0	0
6	1	6	0	0
7	1	7	1	0
0	0	0	1	0
1	0	1	0	0
2	0	1	1	0
3	0	2	0	0
4	1	3	1	1
5	1	4	1	1
6	1	5	0	1
7	1	6	0	1
DL-1	DL-2	DL-3	SL	判定4でRead
			入力中	

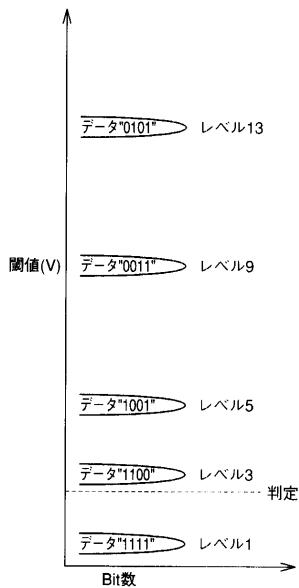
【図9-5】



【図9-6】

	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	1	0	1	1
1	1	1	0	1
2	1	2	0	1
3	1	3	1	1
4	1	4	1	1
5	1	5	0	1
6	1	6	0	1
7	1	7	1	1
0	0	0	1	1
1	0	1	0	1
2	0	2	0	1
3	0	3	1	1
4	1	4	1	0
5	1	5	0	0
6	1	6	0	1
7	1	7	1	1
DL-1	DL-2	DL-3	SL	レベル3書き込み
			入力中	

【図97】



【図98】

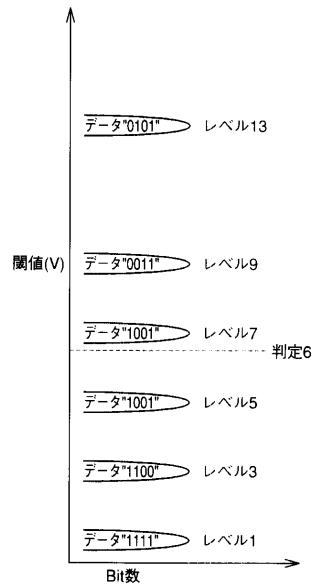
DL1とDL3を  
演算  
SLへ

DL-1 DL-2 DL-3  
入力中

SL レベル7書き込み

I/Oデータ	I/Oデータ	I/Oデータ	データ
0 1	0 1	0 1	1
1 1	1 0	1 1	1
2 1	2 0	2 0	1
3 1	3 1	3 0	1
4 1	4 1	4 0	1
5 1	5 0	5 0	1
6 1	6 0	6 1	1
7 1	7 1	7 1	1
0 0	0 1	0 1	0
1 0	1 0	1 1	0
2 0	2 0	2 0	1
3 0	3 1	3 0	1
4 1	4 1	4 0	1
5 1	5 0	5 0	1
6 1	6 0	6 1	1
7 1	7 1	7 1	1

【図99】



【図100】

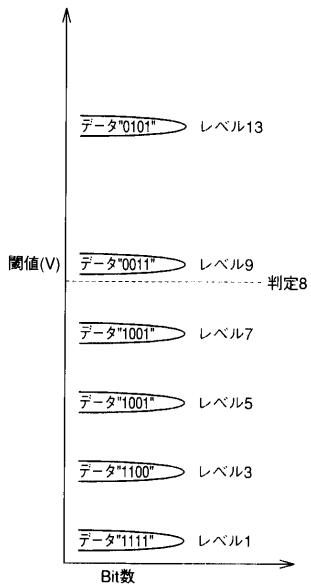
SLをDL1へ

DL-1 DL-2 DL-3  
入力中

SL 判定8でRead

I/Oデータ	I/Oデータ	I/Oデータ	データ
0 0	0 1	0 1	0
1 0	1 0	1 1	0
2 0	2 0	2 0	0
3 0	3 1	3 0	0
4 0	4 1	4 0	1
5 0	5 0	5 0	0
6 0	6 0	6 1	0
7 0	7 1	7 1	0
0 1	0 1	0 1	1
1 1	1 0	1 1	1
2 1	2 0	2 0	1
3 1	3 1	3 0	1
4 1	4 1	4 0	1
5 1	5 0	5 0	1
6 1	6 0	6 1	1
7 1	7 1	7 1	1

【図101】



【図102】

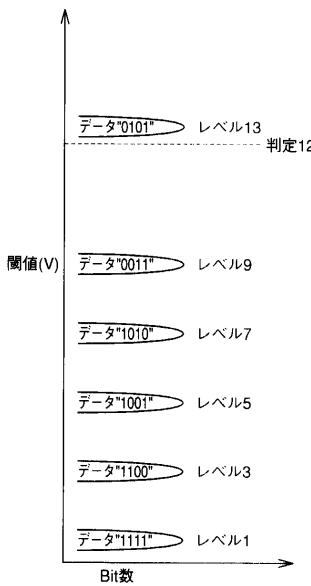
【図102】

	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	1	0	1	0
1	1	1	0	0
2	1	2	0	0
3	1	3	1	0
4	0	4	1	1
5	0	5	0	1
6	0	6	0	1
7	0	7	1	1
0	1	0	1	1
1	1	1	0	1
2	1	2	0	1
3	1	3	1	1
4	1	4	1	1
5	1	5	0	1
6	1	6	0	1
7	1	7	1	1

SLの反転とDL1をORし、DL-1へ

DL-1 DL-2 DL-3 SL 判定12Read

【図103】



【図104】

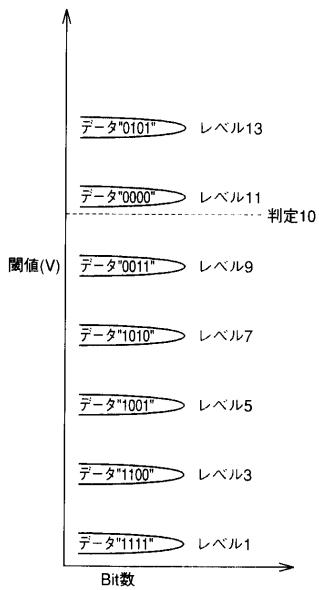
【図104】

	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	1	0	1	1
1	1	1	0	1
2	1	2	0	0
3	1	3	1	1
4	0	4	1	0
5	0	5	0	0
6	0	6	0	1
7	0	7	1	1
0	1	0	1	1
1	1	1	0	1
2	1	2	0	0
3	1	3	1	1
4	1	4	1	1
5	1	5	0	1
6	1	6	0	1
7	1	7	1	1

DL1とDL3演算 SLへ

DL-1 DL-2 DL-3 SL レベル11書き込み

【図105】



【図106】

I/Oデータ I/Oデータ I/Oデータ データ

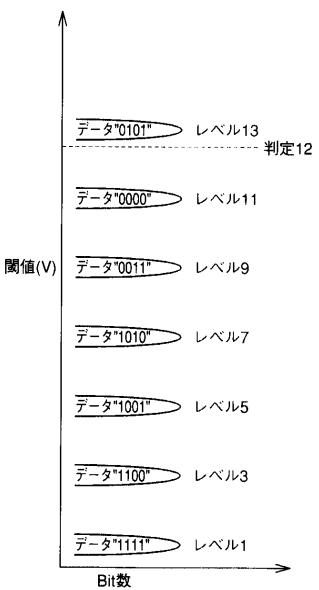
0	1	0	1	0
1	1	1	0	1
2	1	2	0	2
3	1	3	1	3
4	0	4	1	4
5	0	5	0	5
6	0	6	0	6
7	0	7	1	7
0	0	0	1	0
1	0	1	0	1
2	0	2	0	2
3	0	3	1	3
4	1	4	1	4
5	1	5	0	5
6	1	6	0	6
7	1	7	1	7

DL-1 DL-2 DL-3 SL

DL1とDL3を演算 SLへ

入力中 判定12Read

【図107】



【図108】

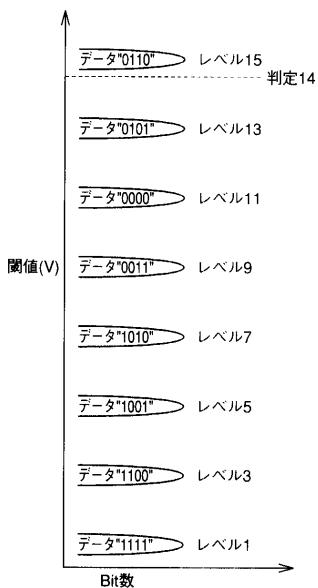
I/Oデータ I/Oデータ I/Oデータ データ

0		0	1	0
1		1	0	1
2		2	0	2
3		3	1	3
4		4	1	4
5		5	0	5
6		6	0	6
7		7	1	7
0		0	1	0
1		1	0	1
2		2	0	2
3		3	1	3
4		4	1	4
5		5	0	5
6		6	0	6
7		7	1	7

DL-1 DL-2 DL-3 SL

入力中 レベル15書き込み

【図109】



【図110】

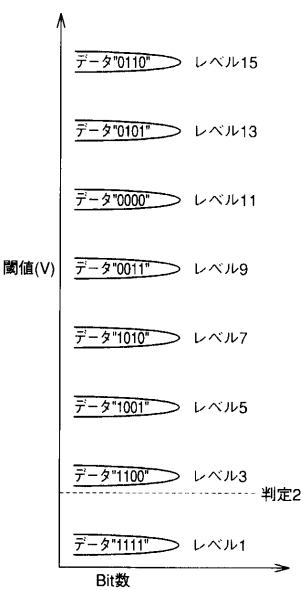
	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	0	0	1	0
1	0	1	0	0
2	0	2	0	1
3	0	3	1	0
4	0	4	1	0
5	0	5	0	0
6	0	6	0	0
7	0	7	1	0
0	0	0	1	0
1	0	1	0	0
2	0	2	0	0
3	0	3	1	0
4	0	4	1	0
5	0	5	0	0
6	1	6	0	1
7	1	7	1	1

DL-1      DL-2      DL-3      SL

↔  
SLをDL1へ  
SLとDL2の演算  
SLへ

判定2Read

【図111】



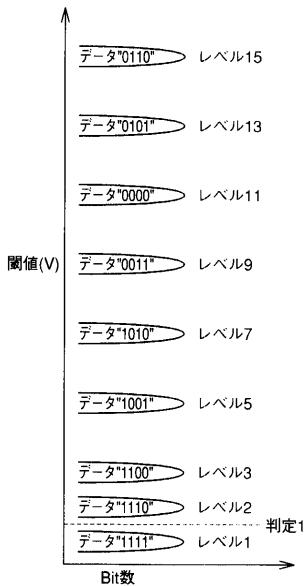
【図112】

	I/Oデータ	I/Oデータ	I/Oデータ	データ
0	0	0	1	0
1	0	1	0	1
2	0	2	0	1
3	0	3	1	1
4	0	4	1	1
5	0	5	0	1
6	0	6	0	1
7	0	7	1	1
0	0	0	1	1
1	0	1	0	1
2	0	2	0	1
3	0	3	1	1
4	0	4	1	1
5	0	5	0	1
6	1	6	0	0
7	1	7	1	1

DL-1      DL-2      DL-3      SL

レベル2書き込み

【図113】



【図114】

【図114】

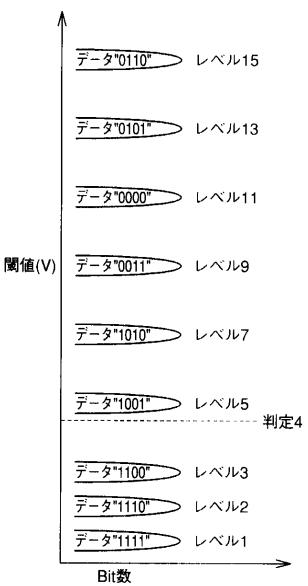
I/Oデータ	I/Oデータ	I/Oデータ	データ
0 1	0 1	0	0
1 1	1 0	1	0
2 1	2 0	2	0
3 1	3 1	3	0
4 1	4 1	4	0
5 1	5 0	5	0
6 1	6 0	6	0
7 1	7 1	7	0
0 1	0 1	0	0
1 1	1 0	1	0
2 1	2 0	2	0
3 1	3 1	3	0
4 0	4 1	4	1
5 0	5 0	5	1
6 1	6 0	6	1
7 1	7 1	7	1

DL-1 DL-2 DL-3 SL

SL反転とDL1をOR DL1へ

判定4Read

【図115】



【図116】

【図116】

I/Oデータ	I/Oデータ	I/Oデータ	データ
0 1	0 1	0	1
1 1	1 0	1	1
2 1	2 0	2	1
3 1	3 1	3	1
4 1	4 1	4	1
5 1	5 0	5	1
6 1	6 0	6	1
7 1	7 1	7	1
0 1	0 1	0	1
1 1	1 0	1	1
2 1	2 0	2	1
3 1	3 1	3	1
4 0	4 1	4	0
5 0	5 0	5	1
6 1	6 0	6	1
7 1	7 1	7	1

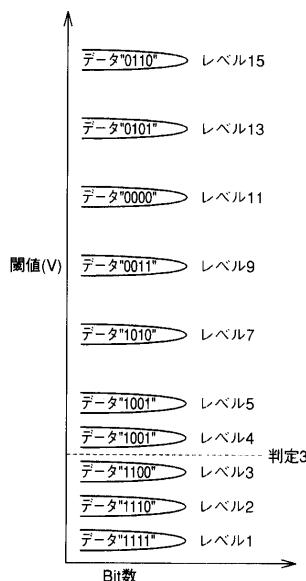
DL-1 DL-2 DL-3 SL

DL1とDL2演算 SLへ

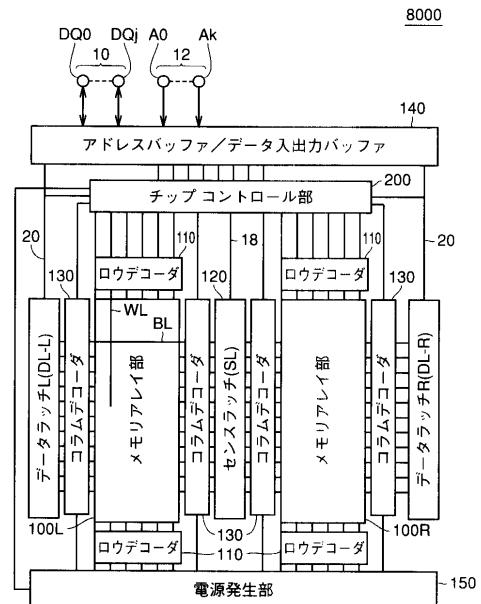
SL

レベル4書き込み

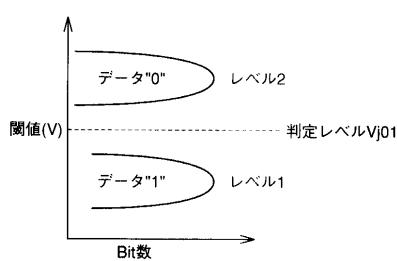
【図117】



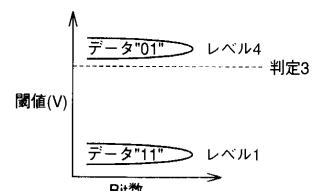
【図118】



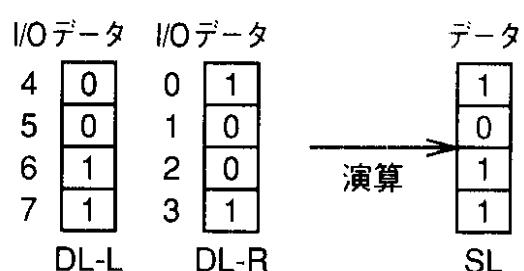
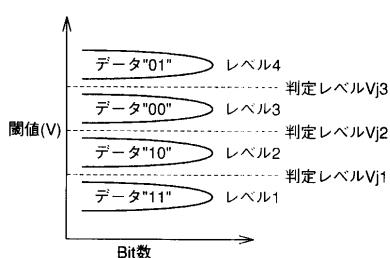
【図119】



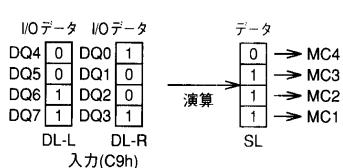
【図122】



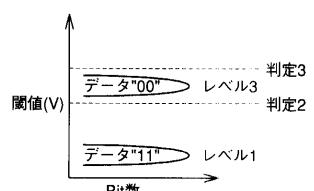
【図120】



【図121】

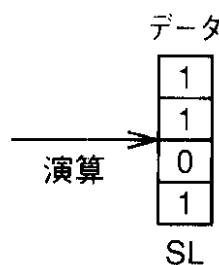


【図124】



【図125】

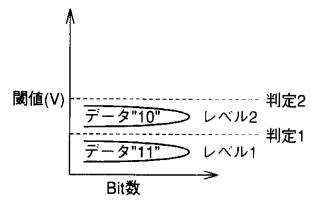
I/Oデータ	I/Oデータ
4 0	0 1
5 0	1 0
6 1	2 0
7 1	3 1
DL-L	DL-R



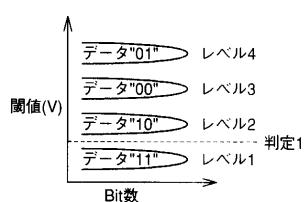
【図127】

データ	データ	I/Oデータ	I/Oデータ
1	1	4 0	0 0
0	0	5 0	1 0
0	0	6 0	2 0
1	1	7 1	3 1
SL	SL	DL-L	DL-R

【図126】



【図128】



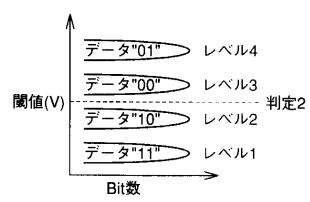
【図129】

データ	I/Oデータ	I/Oデータ
0	4 0	0 0
0	5 0	1 0
1	6 1	2 0
1	7 1	3 1
SL	DL-L	DL-R

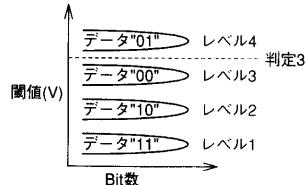
【図131】

データ	I/Oデータ	I/Oデータ	出力(C9h)
0	4 0	0 1	
1	5 0	1 0	
1	6 1	2 0	
1	7 1	3 1	
SL	DL-L	DL-R	

【図130】



【図132】



---

フロントページの続き

(72)発明者 九ノ里 勇一  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 滝谷 亮一

(56)参考文献 特開平09-251785 (JP, A)  
特開平10-003792 (JP, A)  
特開平09-198882 (JP, A)  
特開平10-011982 (JP, A)  
特開平09-251787 (JP, A)  
特開平10-092186 (JP, A)  
米国特許第05450363 (US, A)  
特開平11-154394 (JP, A)  
特開平11-283386 (JP, A)  
特開平11-317086 (JP, A)  
特開2000-339975 (JP, A)  
特開2001-325796 (JP, A)  
特開平07-234823 (JP, A)