

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|--|---------------------------|----------------------------|
| (51) Int. Cl. ⁶ G11B 20/18 | (45) 공고일자 1999년06월 15일 | (11) 등록번호 10-0200052 |
| (21) 출원번호 10-1996-0009247 | (24) 등록일자 1999년03월09일 | (65) 공개번호 특1997-0067270 |
| (22) 출원일자 1996년03월29일 | (43) 공개일자 1997년10월13일 | |

| | |
|-----------|------------------------------------|
| (73) 특허권자 | 현대전자산업주식회사 김영환 |
| (72) 발명자 | 경기도 이천시 부발읍 아미리 산 136-1 김한균 |
| (74) 대리인 | 서울특별시 동대문구 전농3동 46-81호 14/4 김학제 |

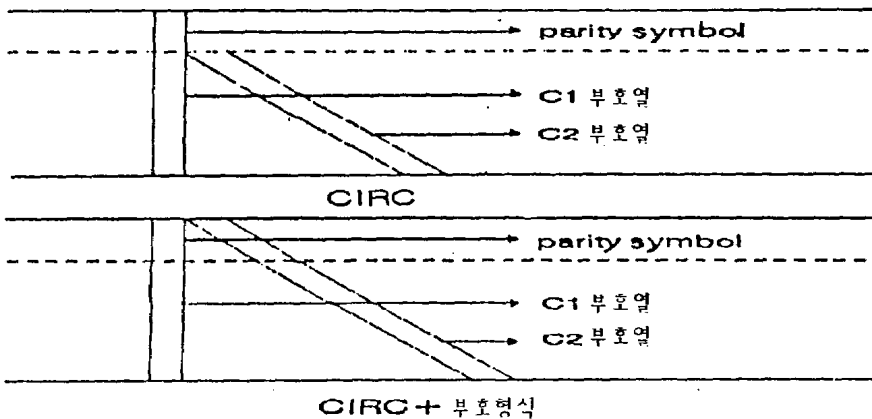
심사관 : 서호선

(54) 고밀도 콤팩트 디스크용 오류정정 복호기

요약

본 발명은 오류정정 복호기에 관한 것으로, C1부호에 의하여 오류를 검출,정정하는 2개의 C1디코더와, C2 부호에 의하여 오류를 검출,정정하는 1개의 C2디코더 및 데이터의 부호열을 재구성하는 2개의 디인터리버로 구성되는 CIRC+ 오류정정 복호기를 설계하여, DVD중 HDCD용 오류정 방식인 CIRC+을 구현하였다.

대표도



명세서

[발명의 명칭]

고밀도 콤팩트 디스크용 오류정정 복호기

[도면의 간단한 설명]

제1도는 본 발명의 참고 도면으로, CIRC 및 CIRC+의 부호 형식을 나타내는 도면.

제2도는 본 발명의 CIRC+ 오류정정 복호기의 전체 구성도.

제3도는 제2도에서 디인터리버의 구성도.

제4도는 제3도에서 주소 발생기의 구성도.

제5도는 제3도에서 메모리에 리드,라이트 하는 방법을 나타내는 도면.

제6도는 제4도의 주소 발생기의 동작 과정을 나타내는 순서도로,

제6도 (a)는 라이트 주소 발생기의 동작 과정을 나타내는 순서도.

제6도 (b)는 리드 주소 발생기의 동작 과정을 나타내는 순서도.

제7도는 제3도의 메모리 제어기의 구성도이다.

* 도면의 주요부분에 대한 부호의 설명

의 C1디코더(C1, C1')와, C2부호에 의하여 오류를 검출,정정하는 1개의 C2디코더(C2) 및 데이터의 부호열을 재구성하는 2개의 디인터리버(D1,D2)로 구성된다.

참고로 상기에서 C1디코더는 P패리티에 의하여 데이터와 Q패리티 심볼들을 오류정정하고, C2디코더는 Q패리티에 의하여 데이터와 P패리티 심볼들을 오류정정한다.

상기 구성의 동작을 상세히 설명하면 아래와 같다.

데이터의 부호열이 C1디코더(C1)로 입력되면 C1디코더(C1)에서 C1부호에 의하여 데이터의 오류를 검출,정정하고, 검출,정정한 C1부호열을 제 1디인터리버(D1)로 입력하면, 제 1 디인터리버(D1)에서 입력된 C1부호열의 연접 오류와 정정할 수 없는 오류들을 정해진 규칙에 의해 C2 부호열로 재구성하여 C2디코더(C2)로 입력하고, C2디코더(C2)에서는 상기 제 1 디인터리버(D1)에서 출력된 C2부호열을 C2부호에 의해 오류를 검출, 정정하여, 검출, 정정한 C2부호열을 제 2 디인터리버(D2)로 입력하고, 제 2 디인터리버(D2)에서는 상기 C2디코더(C2)에서 입력된 C2부호열을 제 1 디인터리버(D1)와 대칭적인 규칙에 의하여 원래의 C1부호열로 재구성하여 다음 단계의 C1디코더(C1')로 입력하며, C1디코더(C1')에서는 상기 제 2 디인터리버(D2)에서 출력되는 C1부호열을 한번 더 C1부호에 의해 오류를 검출,정정하고, 오류 검출,정정을 완료한 데이터를 출력한다.

제3도는 상기에서 디인터리버(D1, D2)의 구성을 나타내는 도면으로, 데이터 리드,라이트 신호와 데이터를 리드,라이트할 메모리(M1, M2)의 주소를 발생시키는 주소 발생기(A)와, 디코더(C1, C1', C2)에 입력되는 데이터 부호열의 패리티 심볼의 순서를 바꾸는 2개의 P/Q컨버터(P/Q1, P/Q2)와, 주소 발생기(A)에서 발생하는 신호에 의해 메모리(M1, M2)를 제어하는 메모리 제어부(MC) 및, 데이터를 저장하는 메모리(M1, M2)로 구성된다.

상기 구성의 동작을 상세히 설명하면 아래와 같다.

제 1 디인터리버(D1)에서는 C1디코더(C1)에서 제 1 디인터리버(D1)로 데이터가 입력되면, 제 1 P/Q컨버터(P/Q1)에서 입력된 데이터의 패리티 순서를 C2디코더(C2)에서 사용하는 패리티 순서로 변환하고, 주소 발생기(A)에서 입력된 데이터를 라이트할 메모리(M1, M2)의 주소와 라이트 신호를 메모리 제어기(MC)로 입력하며, 메모리 제어기(MC)에서 상기 제 1 P/Q컨버터(P/Q1)에서 패리티 순서가 바뀐 데이터를 상기 주소 발생기(A)에서 입력된 신호에 의하여 메모리(M1,M2)에 라이트하고, 주소 발생기(A)에서 메모리(M1,M2)에 저장된 데이터를 리드할 메모리(M1,M2)의 주소와 리드 신호를 메모리 제어기(MC)로 입력하면, 메모리 제어기(MC)에서는 상기 주소 발생기(A)에서 입력된 신호에 의하여 메모리(M1,M2)에 저장된 데이터를 리드하여 C2디코더(C2)로 입력한다.

제 2 디인터리버(D2)에서는 C2디코더(C2)에서는 제 2 디인터리버(D2)로 데이터가 입력되면, 주소 발생기(A)에서 입력된 데이터를 라이트할 메모리(M1,M2)의 주소와 라이트 신호를 메모리 제어기(MC)로 입력하며, 메모리 제어기(MC)에서는 주소 발생기(A)에서 입력된 신호에 의하여 입력된 데이터를 메모리(M1,M2)에 라이트하고, 다시 주소 발생기(A)에서 메모리(M1,M2)에 저장된 데이터를 리드할 메모리(M1,M2)의 주소와 리드신호를 메모리 제어기(MC)로 입력하면, 메모리 제어기(MC)에서는 상기 주소 발생기(A)에서 입력된 신호에 의하여 메모리(M1,M2)에 기 저장된 데이터를 리드하여 제 2 P/Q 컨버터(P/Q2)로 입력하고, 제 2 P/Q컨버터(P/Q2)에서는 입력된 데이터의 패리티 순서를 C1디코더(C1)에서 사용하는 패리티 순서로 변환하여 C1디코더(C1)로 입력한다.

디인터리버(D1,D2)에서는 상기와 같은 동작 과정을 통해 데이터 부호열을 재구성한다.

상기에서 주소 발생기(A)는 제4도와 같이 데이터를 라이트할 메모리(M1,M2)의 주소와 라이트 신호를 발생시키는 라이트 주소 발생기(A1)와, 데이터를 리드할 메모리(M1,M2)의 주소와 리드 신호를 발생시키는 리드 주소 발생기(A2)로 구성되며, 상기 각각의 주소 발생기(A1,A2)의 동작은 제6도의 순서도에 따라 이루어진다.

제5도는 상기에서 메모리(M1,M2)에 데이터를 리드,라이트 하는 방법을 나타내는 도면으로, 메모리(M1,M2)에 데이터를 라이트할 때는 입력 부호열의 각 프레임(1 프레임 = 170 심볼)들의 최상위 심볼을 0번지부터 57629번지까지 순차적으로 라이트하며, 디인터리버(D1, D2)에서 데이터를 재배열할 때 프레임 단위의 지연에 의하여 재배열하기 때문에, 데이터를 메모리(M1,M2)에 리드할 때 각 프레임의 심볼들을 프레임만큼 지연시키기 위하여, 데이터를 메모리(M1, M2)에 라이트할 때는 각 프레임의 최상위 심볼부터 라이트하고, 메모리(M1, M2)에 저장된 데이터를 리드할 때는 각 프레임 지연양에 해당하는 주소에 의하여 제 5도와 같이 대각선 방향으로 리드한다.

제6도 (a)는 상기에서 라이트 주소 발생기(A1)의 동작 과정을 나타내는 순서도로, 라이트 주소 발생기(A1)로 리셋 신호가 입력되어 라이트 주소 발생기(A1)가 리셋되면, 라이트 주소 발생기(A1)에 입력되는 인에이블 신호가 1이 되었나를 물어, 1이 되지 않았으면 본 과정을 반복 수행하는 제 1 단계(S1)와; 상기 제 1 단계(S1)에서 주소 발생기(A1)에 입력되는 인에이블 신호가 1이 되었으면, 프레임 등기에 해당하는 프레임스타트인 신호가 1이 되었나를 물어, 1이 되지 않았을 경우에 본 과정을 반복 수행하는 제 2 단계(S2)와; 상기 제 2 단계(S2)에서 프레임 스타트인 신호가 1이 되었을 경우에 데이터를 라이트할 메모리(M1,M2)의 주소를 1증가시키고, 라이트 신호를 출력하는 제 3 단계(S3)와; 상기 제 3 단계(S3)에서 출력되는 메모리 주소가 28899인지를 물어, 28899이면 리드 주소 발생 인에이블 신호를 1로 셋팅하고 상기 제 3 단계(S3)의 과정을 반복 수행하는 제 4 단계(S4)와; 상기 제 4단계(S4)에서 메모리 주소가 28899가 아니면, 메모리 주소가 57629인지를 물어서 57629이면 메모리 주소를 0으로 셋팅하고 상기 제 3 단계(S3)의 과정을 반복 수행하는 제 5 단계(S5)와; 상기 제 3, 4, 5 단계(S5)를 거친 후 프레임스타트인 신호가 1인지를 물어 1이면 데이터를 라이트할 메모리(M1, M2)의 주소를 보정시킨 후 상기 제 3 단계의 과정을 반복하고, 1이 아니면 상기 제 3 단계(S3)의 과정을 반복 수행하는 제 6 단계(S6)로 이루어져 순차 동작한다.

상기와 같이 순차 동작하는 제어 프로그램의 제 2 단계(S2)에서 프레임스타트인 신호는 각 디인터리버의 앞단 디코더(C1,C2)에서 출력되는 신호로, 오류정정된 각 부호열의 최상위 심볼이 출력될 때만 1이 되고,

프레임스타트인 신호가 1이 되면 라이트할 메모리(M1,M2) 주소가 발생되며, 제 4 단계(S4)에서는 데이터의 입력 부호열(170프레임 : 메모리 주소가 28899)이 모두 메모리(M1,M2)에 라이트되면, 그때부터 데이터를 리드할 메모리(M1,M2) 주소가 발생되기 시작하며, 제 5 단계(S5)에서는 리드할 메모리(M1,M2) 주소를 위하여 170프레임의 여유를 두어 64Kbyte의 메모리(M1, M2)를 사용하였기 때문에 생성되는 메모리(M1,M2) 주소가 57629번지가 되면 다시 0번지로 돌아가고, 제 6 단계(S6)에서는 예기치 않은 외부의 영향에 의해 주소 생성이 잘못되었을 경우, 프레임스타트인 신호에 의해 각 부호열의 최상위 심볼에 해당하는 주소를 재생성하여 보정하기 위해 라이트할 메모리(M1, M2) 주소를 보정하고, 상기로 인해 에러의 전달을 방지하였다.

제6도 (b)는 상기에서 리드 주소 발생기(A2)의 동작 과정을 나타내는 순서도로, 리드 주소 발생기(A2)로 리셋 신호가 입력되어 리드 주소 발생기(A2)가 리셋되면, 리드 주소 발생기(A2)에 입력되는 인에이블 신호가 1이 되었나를 물어, 1이 되지 않았으면 본 과정을 반복 수행하는 제 1 단계(S11)와; 상기 제 1 단계(S11)에서 리드 주소 발생기(A2)에 입력되는 인에이블 신호가 1이 되었으면, 라이트 주소 발생기에 대한 리드 주소 발생 인에이블 신호가 1이 되었나를 물어서, 1이 되지 않았을 경우에 본 과정을 반복 수행하는 제 2 단계(S12)와; 상기 제 2 단계(S12)에서 리드 주소 발생 인에이블 신호가 1이 되었을 경우에 데이터를 리드할 메모리(M1,M2)의 주소를 171증가시키고, 리드 신호를 출력하며 심볼카운터를 1증가시키는 제 3 단계(S13)와; 상기 제 3 단계(S13)에서 출력되는 메모리(M1,M2) 주소가 57629인지를 물어서 57629이면 메모리(M1,M2) 주소를 0으로 셋팅하고 상기 제 3 단계(S13)의 과정을 반복 수행하는 제 4 단계(S14)와; 상기 제 4 단계(S14)에서 메모리(M1, M2) 주소가 57629가 아니면, 프레임스타트인 신호가 1인지를 물어 1이면 데이터를 리드할 메모리(M1,M2)의 주소를 셋팅시키고, 1이 아니면 상기 제 3 단계의 과정을 반복 수행하는 제 5 단계(S15)와; 상기 제 3, 4, 5 단계를 거친 후 심볼 카운터가 169이면 프레임 스타트 아웃을 1로 하고 심볼 카운터를 0으로 하며, 169가 아니면 바로 제 3 단계(S13)의 과정을 반복 수행하는 제 6 단계(S16)로 이루어져 순차 동작한다.

상기와 같이 순차 동작하는 제어 프로그램의 제 3 단계(S13)에서는 데이터를 리드할 때 각 프레임의 지연을 위하여 대각선으로 리드하기 때문에, 리드할 데이터의 메모리(M1,M2) 주소를 171증가 시키고, 제 6 단계(S16)에서는 다음 디코더에서 사용하기 위한 프레임 스타트 아웃 신호를 생성하고, 다른 단계는 상기 라이트 주소 발생기(A1)와 같다.

제7도는 상기의 디인터리버(D1,D2)에서 메모리 제어기(MC)의 구성도로, 멀티플렉서(MUX1, MUX2, MUX1', MUX2')와 데이터 제어기(DC)를 제어하는 제어기(C)와, 주소 발생기(A)에서 출력한 리드,라이트신호를 메모리(M1,M2)에 입력하는 2개의 멀티플렉서(MUX1, MUX1')와, 주소 발생기(A)에서 출력한 메모리(M1, M2) 주소를 메모리(M1,M2) 2개를 메모리(M1,M2)에 입력하는 2개의 멀티플렉서(MUX2,MUX2') 및, 메모리(M1,M2)에 데이터를 리드,라이트하는 것을 제어하는 데이터 제어기(DC)로 구성된다.

상기 구성의 동작을 표1을 이용하여 상세히 설명하면 다음과 같다.

[표 1]

| se1 | se2 | data-out | M1 | M2 | mode |
|-----|-----|----------|----------|----------|--------------|
| 0 | 0 | Z | write | write | initial mode |
| 0 | 1 | data2 | write | read | nomal mode |
| 1 | 0 | data1 | read | write | nomal mode |
| 1 | 1 | undefine | undefine | undefine | undefine |

표1에서와 같이 제어기(C)에서 출력되는 se1신호가 (0,0)일 때는 제1 멀티플렉서(MUX1)와 제 2 멀티플렉서(MUX1')에서 주소 발생기(A)에서 출력된 데이터를 라이트할 메모리(M1,M2) 주소를 메모리(M1,M2)로 입력하고, 제 3 멀티플렉서(MUX2)와 제 4 멀티플렉서(MUX2')에서 주소 발생기(A)에서 출력된 라이트 신호를 메모리(M1,M2)로 입력하며, 데이터 제어기(DC)에서 입력된 데이터를 메모리(M1,M2)에 라이트한다. 제어기(C)에서 출력되는 se1신호가 (0,1)일 때는 제 1 멀티플렉서(MUX1)에서는 주소 발생기(A)에서 출력된 데이터가 라이트할 메모리(M1,M2) 주소를 제 1 메모리(M1)로 입력하고, 제 2 멀티플렉서(MUX1')에서는 주소 발생기(A)에서 출력된 데이터를 리드할 메모리(M1,M2) 주소를 제 2 메모리(M2)로 입력하고, 제 3 멀티플렉서(MUX2)에서는 주소 발생기(A)에서 출력된 라이트 신호를 제 1 메모리(M1)로 입력하고, 제 4 멀티플렉서(MUX2')에서는 주소 발생기(A)에서 출력된 리드 신호를 제 2 메모리(M2)로 입력하며, 데이터 제어기(DC)에서는 입력된 데이터를 제 1 메모리(M1)에 라이트하고 제 2 메모리(M2)에 저장된 데이터를 리드하여 출력한다. 제어기(C)에서 출력되는 se1신호가 (1,0)일 때에는 제 1 멀티플렉서(MUX1)에서는 주소 발생기(A)에서 출력된 데이터를 리드할 메모리(M1,M2) 주소를 제 1 메모리(M1)로 입력하고, 제2멀티플렉서(MUX1')에서는 주소 발생기(A)에서 출력된 데이터를 라이트할 메모리(M1,M2) 주소를 제 2 메모리(M2)로 입력하고, 제3 멀티플렉서(MUX2)에서는 주소 발생기(A)에서 출력된 리드 신호를 제1 메모리(M1)로 입력하고, 제 4 멀티플렉서(MUX2')에서는 주소 발생기(A)에서 출력된 라이트 신호를 제 2 메모리(M2)로 입력하며, 데이터 제어기(DC)에서는 입력된 데이터를 제 2 메모리(M2)에 라이트하고 제 1 메모리(M1)에 저장된

데이터를 리드하여 출력한다. 제어기(C)에서 출력되는 se1신호가 (1,1)일 때는 메모리 제어기(MC)가 동작하지 않는다. 상기에서와 같이 제 1 메모리(M1)가 리드 상태이면 제 2 메모리(M2)가 라이트 상태이고, 제 2 메모리(M2)가 리드 상태이면 제 1 메모리(M1)가 라이트 상태가 되어, 데이터를 메모리(M1,M2)에 라이트하고 리드하는 과정이 동시에 수행될 수 있다.

본 발명은 상기와 같은 CIRC+ 오류정정 복호기를 설계하여, 하드웨어적으로 구현함으로써 DVD 시스템의 주요 기술을 확보하였다.

(57) 청구의 범위

청구항 1

C1부호에 의하여 오류를 검출,정정하는 2개의 C1디코더(C1,C1')와, C2부호에 의하여 오류를 검출,정정하는 1개의 C2디코더(C2) 및 데이터의 부호열을 재구성하는 2개의 디인터리버(D1,D2)로 구성되는 HDCD용 CIRC+ 방식을 구현하기 위한 오류 정정 복호기에 있어서,

디인터리버(D1,D2)는 데이터 리드, 라이트 신호와 데이터를 리드,라이트할 메모리(M1,M2)의 주소를 발생시키는 주소 발생기(A)와, 디코더(C1,C1',C2)에 입력되는 데이터 부호열의 패리티 심볼의 순서를 바꾸는 2개의 P/Q컨버터(P/Q1,P/Q2)와, 주소 발생기(A)에서 발생하는 신호에 의해 메모리(M1, M2)를 제어하는 메모리 제어부(MC) 및, 데이터를 저장하는 메모리(M1,M2)로 구성됨을 특징으로 하는 고밀도 콤팩트 디스크용 오류 정정 복호기.

청구항 2

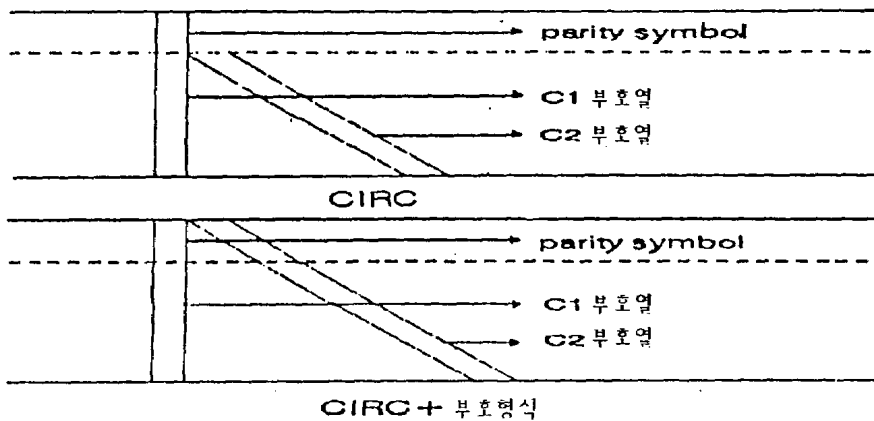
제1항에 있어서, 주소 발생기(A)는 데이터를 라이트할 메모리(M1,M2)의 주소와 라이트 신호를 발생시키는 라이트 주소 발생기(A1)와, 데이터를 리드할 메모리(M1, M2)의 주소와 리드 신호를 발생시키는 리드 주소 발생기(A2)로 구성됨을 특징으로 하는 오류정정 복호기.

청구항 3

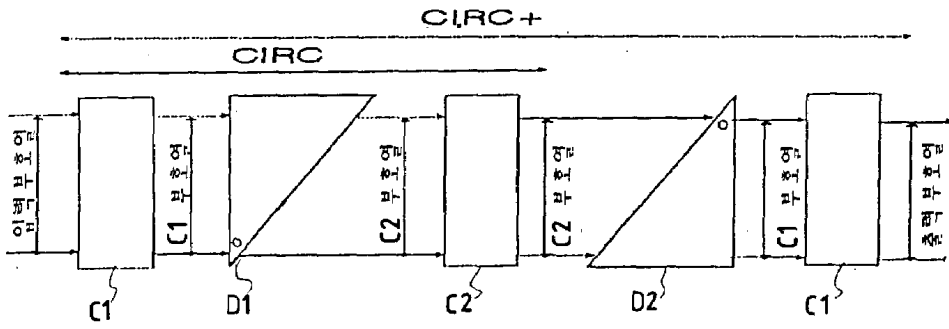
제1항에 있어서, 메모리 제어기(MC)는 멀티플렉서(MUX1,MUX1',MUX2,MUX2')와 데이터 제어기(DC)를 제어하는 제어기(C)와, 주소 발생기(A)에서 출력한 리드,라이트신호를 메모리(M1,M2)에 입력하는 2개의 멀티플렉서(MUX2,MUX2')와, 주소 발생기(A)에서 출력한 메모리(M1, M2) 주소를 메모리(M1,M2)에 입력하는 2개의 멀티플렉서(MUX1,MUX1') 및, 메모리(M1,M2)에 데이터를 리드,라이트하는 것을 제어하는 데이터 제어기(DC)로 구성됨을 특징으로 하는 고밀도 콤팩트 디스크용 오류정정 복호기.

도면

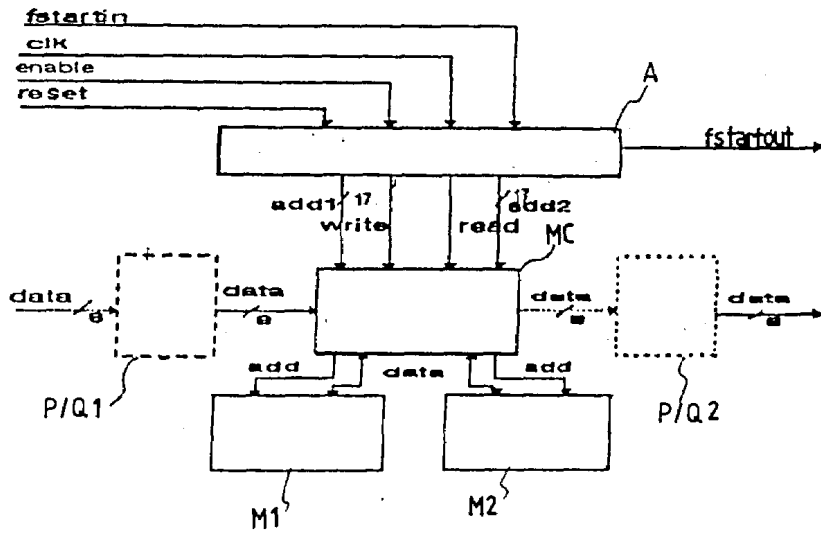
도면1



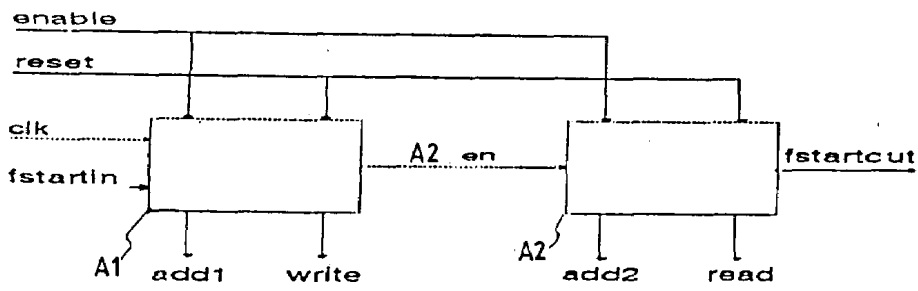
도면2



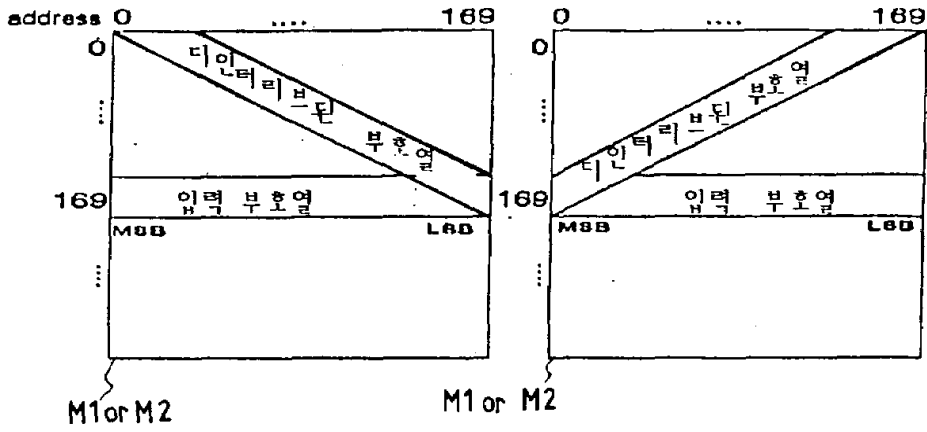
도면3



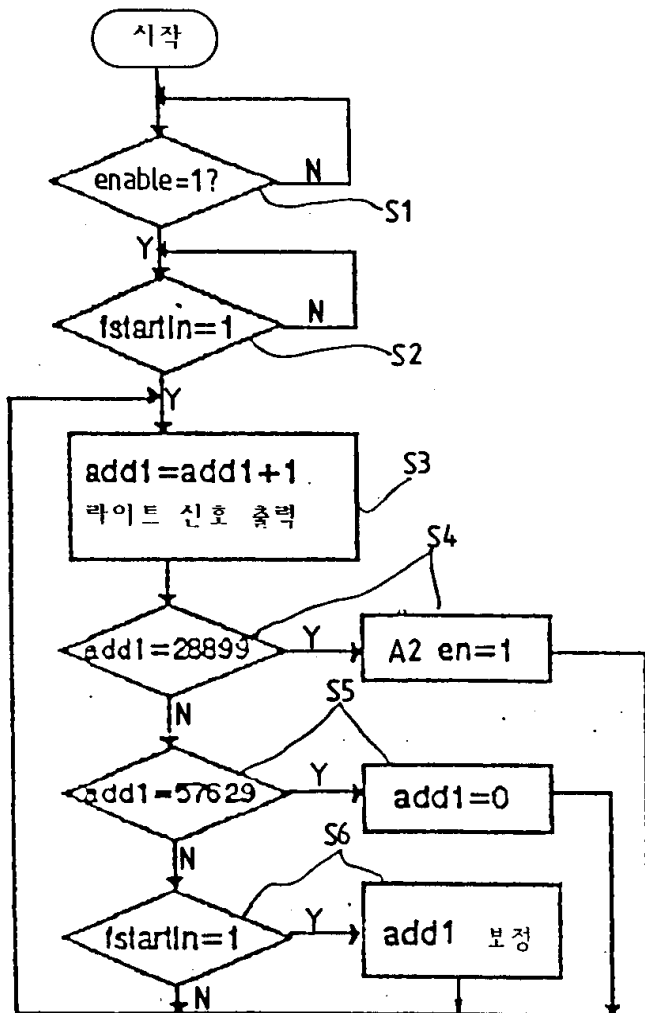
도면4



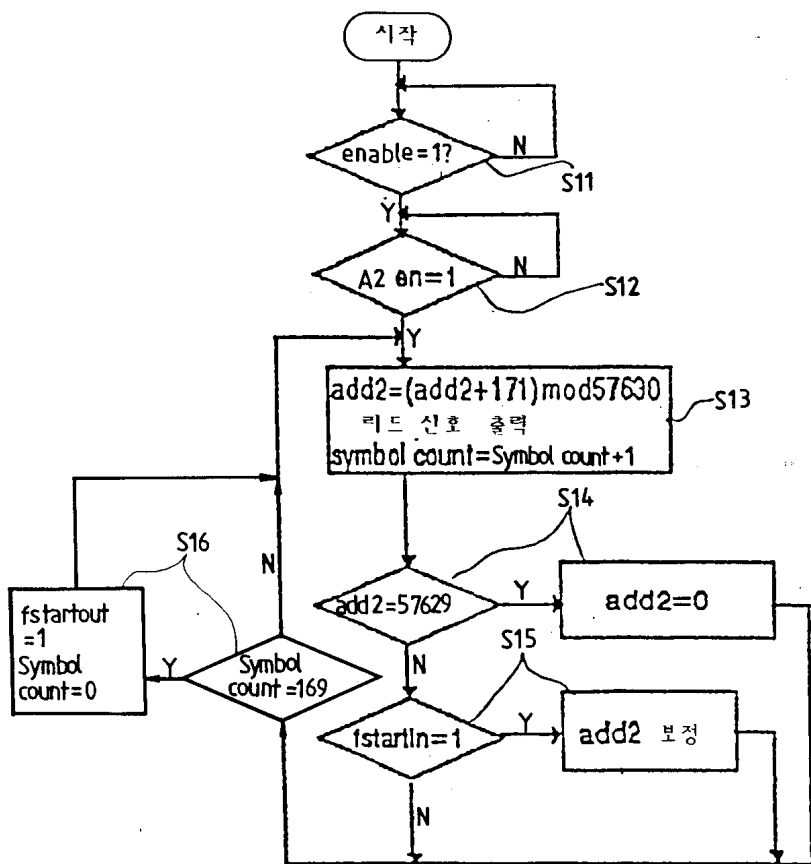
도면5



도면6a



도면6b



도면7

