



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2016年2月5日に出願された日本特許出願番号2016-20942号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、例えばダイヤモンドなどのワイドギャップ半導体を用いた半導体装置に関するものである。

背景技術

[0003] 従来より、ワイドギャップ半導体が用いられたMISFETを備えた半導体装置として、例えば反転型のトレンチゲート構造の縦型MISFETを備えたものが知られている（例えば、非特許文献1参照）。

[0004] 縦型MISFETは、例えば図6に示す構成とされている。具体的には、 n^+ 型基板J1上に n 型ドリフト層J2と p 型ボディ層J3が順に形成されており、 p 型ボディ層J3の下方にはトレンチゲート構造を挟むように p 型デュープ層J5が形成されている。 p 型ボディ層J3の表層部には n^+ 型ソース領域J6が形成され、 n^+ 型ソース領域J6と p 型ボディ層J3を貫通するようにトレンチJ7が形成されている。このトレンチJ7の表面にゲート絶縁膜J8を介してゲート電極J9が備えられることでトレンチゲート構造が構成されている。そして、 n^+ 型基板J1などの表面側には、 n^+ 型ソース領域J6などに電氣的に接続されたソース電極J10が備えられ、 n^+ 型基板J1の裏面側には、 n^+ 型基板J1に電氣的に接続されたドレイン電極J11が備えられている。このような構造によって、トレンチゲート構造の縦型MISFETが構成されている。

[0005] このように構成される縦型MISFETのオン抵抗の合計抵抗値 R_{TOTAL} は、縦型MISFETの電流経路となる各部の抵抗成分の抵抗値を合計した値と

なり、次式で表される。なお、 R_{SC} は、ソース電極 J 1 0 と n^+ 型ソース領域 J 6 とのコンタクト抵抗である。 R_s は、 n^+ 型ソース領域 J 6 の内部抵抗である。 R_{CH} は、 p 型ボディ層 J 3 に形成されるチャネル領域でのチャネル抵抗である。 R_{JFET} は、 p 型ディープ層 J 5 の間に構成される J F E T 部での J F E T 抵抗である。 R_{DRIFT} は、 n 型ドリフト層 J 2 の内部抵抗、つまりドリフト抵抗である。 R_{SUB} は、 n^+ 型基板 J 1 の内部抵抗である。 R_{DC} は、 n^+ 型基板 J 1 とドレイン電極 J 1 1 とのコンタクト抵抗である。

[0006] (数 1)

$$R_{TOTAL} = R_{SC} + R_s + R_{CH} + R_{JFET} + R_{DRIFT} + R_{SUB} + R_{DC}$$

先行技術文献

非特許文献

[0007] 非特許文献1：第 6 0 回応用物理学会春季学術講演会 講演予稿集（2 0 1 3 春 神奈川工科大学）、27p-G22-4、低オン抵抗 S i C トレンチパワー M O S F E T の開発、Development of SiC Trench MOSFET with Ultra Low ON Resistance、ローム株式会社、中村 孝、中野 佑紀、花田 俊雄著

発明の概要

[0008] 上記したワイドギャップ半導体で構成される縦型 M I S F E T では、ゲート絶縁膜の信頼性確保と短絡耐量および遮断耐量の向上のために、トレンチゲートの両側に深い p 型ディープ層 J 5 を形成している。

[0009] 具体的には、トレンチゲート構造よりも深く p 型ディープ層 J 5 を形成すると、阻止状態において p 型ディープ層 J 5 と n 型ドリフト層 J 2 との P N 接合に電界を分担させられるため、その分、ゲート絶縁膜 J 8 の電界強度を弱めることができる。すなわち、トレンチゲート構造の底部へ高電界が入り込むことを p 型ディープ層 J 5 によって抑制することができる。これにより、ゲート絶縁膜 J 8 に高電界が掛かることが抑制され、ゲート絶縁膜 J 8 の信頼性を確保することが可能になる。

[0010] また、ゲート絶縁膜 J 8 の近傍の電界が強くなってアバランシェブレークダウンが発生した場合は、発生したホールが n^+ 型ソース領域 J 6 の下の p 型

ボディ層 J 3 に流れた後にソース電極 J 1 0 に入る。このため、p 型ボディ層 J 3 の内部抵抗による電圧降下に基づいて p 型ボディ層 J 3 と n 型ドリフト層 J 2 とによる内蔵ダイオードの P N 接合に正バイアスが掛かり、寄生 P N P トランジスタがオンする。トランジスタは一度オンすると正帰還が掛かり、オンした箇所に電流が集中するため破壊に至る。また、電界の強い位置が内蔵ダイオードの P N 接合部になると、アバランシェ発生個所が P N 接合に移る。よって、ホールは n^+ 型ソース領域 J 6 の下を通らず直接ソース電極 J 1 0 に入るようになるため、寄生 P N P トランジスタがオンしない。これにより、縦型 M I S F E T の遮断耐量および L 負荷耐量を向上させることができる。さらに、内蔵ダイオードのリカバリ時においても、n 型ドリフト層 J 2 に蓄積されたホールは n^+ 型ソース領域 J 6 の下を通らず直接ソース電極 J 1 0 に入るため、縦型 M I S F E T が誤オンしない。これにより、縦型 M I S F E T のリカバリ耐量も向上させることができる。

[0011] しかしながら、そもそも深い p 型ディープ層 J 5 を形成する幅が必要になるため、p 型ディープ層 J 5 が無い場合に比べて単位セルサイズを小さくできない。よって、チャンネル幅 W_{CH} を増やすことができず、チャンネル抵抗 R_{CH} を低減させられない。更には、p 型ディープ層 J 5 および n 型ドリフト層 J 2 の P N 接合による J F E T が寄生的に形成される。よって、p 型ディープ層 J 5 の間隔を狭くすると J F E T 抵抗 R_{JFET} が大きくなる。したがって、p 型ディープ層 J 5 の間隔が狭くできないため、セルサイズが小さくならず、チャンネル抵抗 R_{CH} を低減させられない。すなわち、導通損失を決める合計抵抗値 R_{TOTAL} の下限値に限界がある。

[0012] 本開示は、ワイドギャップ半導体を用いた半導体装置において、遮断耐量の向上を実現しつつ、導通損失の低減を図ることを可能とすることを第 1 の目的とする。さらに、M I S F E T のゲート絶縁膜の信頼性の向上を図ることを第 2 の目的とする。

[0013] 本開示の 1 つの観点における半導体装置は、裏面側に備えられた高不純物濃度のワイドギャップ半導体で構成される第 1 導電型の裏面層と、表面側に

備えられると共に裏面層よりも低不純物濃度とされたワイドギャップ半導体にて構成される第1導電型のドリフト層と、を有する半導体基板と、ドリフト層の上に形成されたワイドギャップ半導体にて構成される第2導電型のボディ層と、ボディ層の上層部に形成され、ドリフト層よりも高不純物濃度のワイドギャップ半導体にて構成される第1導電型のソース領域と、ソース領域の表面からボディ層よりも深くまで形成されたトレンチ内に形成され、該トレンチの内壁面に形成されたゲート絶縁膜と、ゲート絶縁膜の上に形成されたゲート電極と、を有して構成されたトレンチゲート構造と、ソース領域に電氣的に接続されるソース電極と、半導体基板の裏面側における裏面層と電氣的に接続されるドレイン電極と、を有する縦型MISFETを備え、ゲート絶縁膜は、ボディ層の少数キャリアに対して障壁を有し、かつ、ドリフト層の少数キャリアに対して障壁の無い材料で構成されている。

[0014] このように、ゲート絶縁膜を、ボディ層の少数キャリアに対して障壁を持ち、ドリフト層の少数キャリアに対して障壁の無い材料によって構成している。これにより、ワイドギャップ半導体を用いた半導体装置において、遮断耐量の向上を実現しつつ、導通損失の低減を図ることが可能となる。

[0015] また、本開示の上記観点における半導体装置において、ゲート絶縁膜は、ワイドギャップ半導体よりも誘電率の大きな材料で構成可能である。

[0016] このような構成とすると、オフ中に、ゲート絶縁膜中の電界強度が小さくなる。このため、ゲート絶縁膜の信頼性の向上を図ることが可能となる。

図面の簡単な説明

[0017] [図1]第1実施形態にかかるワイドギャップ半導体で構成される半導体装置の断面図である。

[図2]図1中のII-II線上のエネルギーバンド構造を示した図である。

[図3]図1中のIII-III線上のエネルギーバンド構造を示した図である。

[図4]第2実施形態にかかる半導体装置を含む回路の構成を示した図である。

[図5]第3実施形態にかかる半導体装置を含む回路の構成を示した図である。

[図6]参考例として示したワイドギャップ半導体で構成される半導体装置の断

面図である。

[図7]図6中のVII-VII線上のエネルギーバンド構造を示した図である。

[図8]図6中のVIII-VIII線上のエネルギーバンド構造を示した図である。

発明を実施するための形態

[0018] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0019] (第1実施形態)

第1実施形態について説明する。本実施形態では、ワイドギャップ半導体を用いたトレンチゲート構造のMISFETを有する半導体装置として、反転型の縦型MISFETを有する半導体装置を例に挙げて説明する。

[0020] 図1に示す半導体装置は、ワイドギャップ半導体としてダイヤモンドを用いて形成されたものであり、半導体チップ中におけるセル領域にトレンチゲート構造の縦型MISFET100が形成された構造とされている。

[0021] 半導体装置は、高不純物濃度のp型ダイヤモンドからなるp⁺型基板1の表面側に、p⁺型基板1よりも低不純物濃度のp型ダイヤモンドからなるp型ドリフト層2が形成された半導体基板を用いて形成されている。

[0022] p型ドリフト層2の上層部にはn型ボディ層3が形成されている。本実施形態の場合、n型ボディ層3は、p型ドリフト層2よりも高不純物濃度のn型ダイヤモンドで構成されている。n型ボディ層3は、平坦面となっているp型ドリフト層2の上に成膜されるか、もしくはp型ドリフト層2の表層部に対してn型不純物をイオン注入することによって形成されている。

[0023] さらに、n型ボディ層3の上層部分にはp⁺型ソース領域4が形成されている。p⁺型ソース領域4も、平坦面となっているn型ボディ層3の上に成膜されるか、もしくはn型ボディ層3の表層部に対してp型不純物をイオン注入することによって形成されている。

[0024] p⁺型ソース領域4は、図1の断面において、後述するトレンチゲート構造の両側に配置されている。同様に、n型ボディ層3も、図1の断面において

、トレンチゲート構造の両側に配置されている。なお、本実施形態では、 n 型ボディ層3を後述するソース電極9と電氣的接続が行われるコンタクト領域としても用いているが、 n 型ボディ層3のうちソース電極9と接触する部分に部分的に高濃度とされたコンタクト領域を別途備えるようにしても良い。

[0025] また、 n 型ボディ層3および p^+ 型ソース領域4を貫通して p 型ドリフト層2に達するように、紙面垂直方向を長手方向とするトレンチ6が形成されている。このトレンチ6の側面と接するように上述した n 型ボディ層3および p^+ 型ソース領域4が配置されている。

[0026] さらに、 n 型ボディ層3のうち p^+ 型ソース領域4と p 型ドリフト層2との間に位置する部分の表面部、つまり p 型ボディ層3のうちトレンチ6に接する部分をチャネル領域として、このチャネル領域を含むトレンチ6の内壁面にはゲート絶縁膜7が形成されている。そして、ゲート絶縁膜7の表面にはドーパドPolysilにて構成されたゲート電極8が形成されており、これらゲート絶縁膜7およびゲート電極8によってトレンチ6内が埋め尽くされている。

[0027] このようにして、トレンチ6内にゲート絶縁膜7およびゲート電極8が配置されたトレンチゲート構造が構成されている。このトレンチゲート構造は、図1の紙面垂直方向を長手方向として延設されており、複数のトレンチゲート構造が図1中の左右方向に並べられることでストライプ状とされている。また、上述した p^+ 型ソース領域4および n 型ボディ層3もトレンチゲート構造の長手方向に沿って延設されたレイアウト構造とされている。

[0028] また、 p^+ 型ソース領域4および n 型ボディ層3の表面やゲート電極8の表面には、ソース電極9や図示しないゲート配線が形成されている。ソース電極9およびゲート配線は、複数の金属、例えばNi/AI等にて構成されている。そして、複数の金属のうち少なくとも p 型ダイヤモンド、具体的には p^+ 型ソース領域4と接触する部分は p 型ダイヤモンドとオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくとも n 型ダイヤモ

ンド、具体的にはn型ボディ層3と接触する部分はn型ダイヤモンドとオーミック接触可能な金属で構成されている。なお、これらソース電極9およびゲート配線は、層間絶縁膜10上に形成されることで電氣的に絶縁されている。そして、層間絶縁膜10に形成されたコンタクトホールを通じて、ソース電極9はp⁺型ソース領域4およびn型ボディ層3と電氣的に接触させられ、ゲート配線はゲート電極8と電氣的に接触させられている。

[0029] さらに、p⁺型基板1の裏面側にはp⁺型基板1と電氣的に接続されたドレイン電極11が形成されている。このような構造により、pチャネルタイプの反転型のトレンチゲート構造の縦型MISFET100が備えられた半導体装置が構成されている。

[0030] このような構造において、本実施形態では、ゲート絶縁膜7の誘電率をワイドギャップ半導体として用いられているn型ダイヤモンドやp型ダイヤモンドよりも大きな誘電率を有する材料によって構成している。例えば、ゲート絶縁膜7として、Al₂O₃、HfSiO、HfO、HfO₂、HfAlONおよびY₂O₃のうちのいずれか1つ若しくは複数層の積層体、またはこれら絶縁膜の元素の組成比を変化させたものの一つ若しくは複数層の積層体を適用することができる。このようなゲート絶縁膜7とすることで、ゲート絶縁膜7は、n型ボディ層3の少数キャリアに対して障壁を持ち、p型ドリフト層2の少数キャリアに対して障壁の無いものとなる。例えば、図1中のII-II線上、つまりゲート電極8からゲート絶縁膜7を通じてn型ボディ層3に至る部分でのMISゲートのエネルギーバンド構造は図2に示す状態となる。すなわち、ゲート絶縁膜7により、n型ボディ層3の少数キャリア、ここではホールに対してゲート電極8側からn型ボディ層3への移動の障壁を有している。また、図中III-III線上、つまりゲート電極8からゲート絶縁膜7を通じてp型ドリフト層2に至る部分でのMISゲートのエネルギーバンド構造は図3に示す状態となる。すなわち、ゲート絶縁膜7により、p型ドリフト層2の少数キャリア、ここでは電子に対してゲート電極8側からn型ボディ層3への移動の障壁を有していない。

[0031] なお、参考として、図6に示した従来のSiCにて構成される縦型MISFETでは、図6中のVII-VII線上、つまりゲート電極J9からゲート絶縁膜J8を通じてp型ボディ層J3に至る部分でのMISゲートのエネルギーバンド構造は図7に示す状態となる。すなわち、ゲート絶縁膜J8により、p型ボディ層J3の少数キャリア、ここでは電子に対してゲート電極J9側からp型ボディ層J3への移動の障壁を有している。また、図中VIII-VIII線上、つまりゲート電極J9からゲート絶縁膜J8を通じてn型ドリフト層J2に至る部分でのMISゲートのエネルギーバンド構造は図8に示す状態となる。すなわち、ゲート絶縁膜J8により、n型ドリフト層J2の少数キャリア、ここではホールに対してゲート電極J9側からp型ボディ層J3への移動の障壁を有している。

[0032] 続いて、上記のように構成された半導体装置における反転型のトレンチゲート構造の縦型MISFET100の動作について説明する。

[0033] 縦型MISFET100は、ゲート電極8にゲート電圧を印加すると、n型ボディ層3のうちトレンチ6に接している表面にチャネルが形成される。これにより、ドレイン電極11から注入されたホールがp⁺型基板1やp型ドリフト層2からn型ボディ層3に形成されたチャネルを通った後、p型ドリフト層2に到達し、ソース電極9とドレイン電極11との間に電流を流すという動作が行われる。

[0034] 一方、ターンオフ中には、ゲート絶縁膜7の誘電率が各部の半導体層を構成しているダイヤモンドよりも高くしてあることから、ゲート絶縁膜7中の電界強度が小さくなる。このため、ゲート絶縁膜7の信頼性を向上することが可能となる。

[0035] また、ターンオフ中に、ドレイン電圧が上昇してアバランシェブレークダウンが発生する場合、アバランシェはp型ドリフト層2のうちのゲート電極8の先端部の位置で発生する。このとき、ゲート絶縁膜7に障壁がないため、アバランシェで発生した電子電流はp⁺型ソース領域4とn型ボディ層3およびp型ドリフト層2によって構成される寄生pnptランジスタのベース

に流れず、ゲート電極 8 に流れる。このため、寄生 pnp トランジスタがオンしないようにでき、縦型 $MISFET$ 100 の遮断耐量の向上を図ることが可能となる。

[0036] さらに、ゲート電極 8 を電子電流が流れる際に、ゲート電極 8 自身に抵抗があるため、電子電流によってゲート電位が上昇し、トレンチゲート構造の側面の n 型ボディ層 3 にチャネルが形成され、縦型 $MISFET$ 100 のゲートがオンする。そして、ゲートがオンすると、ドレイン電圧が減少するため、アバランシェが抑制される。すなわち、アバランシェが発生すると、縦型 $MISFET$ 100 がオン状態に移行することで破壊に至ることを防止することが可能となる。

[0037] このように、 n 型ボディ層 3 の少数キャリアに対して障壁を持ち、 p 型ドリフト層 2 の少数キャリアに対して障壁の無い材料をゲート絶縁膜 7 の材料として選択している。これにより、上記の通り、ゲート絶縁膜 7 の信頼性を確保しつつ、遮断耐量の向上を図ることが可能となる。そして、これらの効果を図 6 に示した従来の構造のように p 型ディープ層 J 5 を備えていなくても得ることができることから、 p 型ディープ層 J 5 が備えられていることによって寄生的に形成される $JFET$ を無くせる。したがって、 $JFET$ 抵抗 R_{JFET} を無くすことができ、合計抵抗値 R_{TOTAL} の下限値を更に低下させることが可能となる。

[0038] よって、ワイドギャップ半導体を用いた半導体装置において、遮断耐量の向上およびゲート絶縁膜の信頼性の確保を実現しつつ、導通損失の低減を図ることが可能となる。

[0039] 参考として、図 6 に示した従来構造の縦型 $MISFET$ の場合は、ゲート絶縁膜 J 8 により、 n 型ドリフト層 J 2 の少数キャリアに対してゲート電極 J 9 側から p 型ボディ層 J 3 への移動の障壁を有している。このため、仮に p 型ディープ層 J 5 を形成していないと、アバランシェが発生したときに、図 6 中に矢印で示した経路でホールが流れ、寄生 NPN トランジスタがオンしてしまうため、オンした箇所に電流が集中して破壊に至ることになる。

[0040] なお、上記のように構成された縦型MISFET100をインバータなどの上下アームに備えられるスイッチング素子として適用する場合、ダイオードモードでの使用は行わず、ダイオードをオンさせないようにすることが好ましい。すなわち、リバースリカバリーモードで電子がゲート電極8を抜けると縦型MISFET100がオンしてしまい、上下アーム短絡が起こる。これを防ぐためには、p型ドリフト層2とn型ボディ層3とのPN接合によるボディダイオードをダイオードモードとして使用せずに、別途、還流ダイオード（以下、FWDという）を併用することが必要になる。その場合、FWDのオン時の順方向電圧 V_f は、ボディダイオードのビルトイン電圧よりも小さくすることが必要であり、これによりFWDがボディダイオードよりも優先的にオンさせることが可能となる。

[0041] 以上説明したように、本実施形態では、ゲート絶縁膜7を、n型ボディ層3の少数キャリアに対して障壁を持ち、p型ドリフト層2の少数キャリアに対して障壁の無い材料によって構成している。これにより、ワイドギャップ半導体を用いた半導体装置において、遮断耐量の向上およびゲート絶縁膜の信頼性の確保を実現しつつ、導通損失の低減を図ることが可能となる。

[0042] （第2実施形態）

第2実施形態について説明する。本実施形態は、第1実施形態に示した半導体装置を含む回路について説明する。なお、半導体装置の基本的な構成については第1実施形態と同様であるため、第1実施形態と異なる回路部分についてのみ説明する。

[0043] 図4に示すように、本実施形態にかかる半導体装置を含む回路は、縦型MISFET100のゲートに対してゲート抵抗20を接続した構成とされている。このように、縦型MISFET100のゲートに対してゲート抵抗20を接続することで、ゲート電極8に対して大き過ぎる電流が流れることを抑制することができる。したがって、少量のゲート電流によって縦型MISFET100がターンオンし、ゲート電極8の保護を図ることが可能となる。

[0044] なお、ここでいうゲート抵抗20については、外付けの抵抗とすることができるが、半導体装置の内蔵抵抗であっても良い。ゲート抵抗20を内蔵抵抗とする場合、本実施形態で説明した半導体装置を含む回路を半導体装置内において構成することができる。

[0045] (第3実施形態)

第3実施形態について説明する。本実施形態も、第1実施形態に示した半導体装置を含む回路について説明する。なお、半導体装置の基本的な構成については第1実施形態と同様である。また、ここでは第2実施形態で説明したゲート抵抗20についても備えた回路としている。したがって、本実施形態のうち、第1、第2実施形態と異なる部分についてのみ説明する。

[0046] 図5に示すように、本実施形態にかかる半導体装置を含む回路は、縦型MISFET100のソースドレイン間にFWD30を接続している。この回路は、例えば、縦型MISFET100をインバータなどの上下アームに備えられるスイッチング素子として適用する場合に適用される。

[0047] FWD30は、外付けのダイオード部品であり、順方向電圧 V_f が縦型MISFET100におけるp型ドリフト層2とn型ボディ層3とのPN接合によるボディダイオードのビルトイン電圧よりも小さくなっている。

[0048] このような構成のFWD30を備えると、オフ時にFWD30をボディダイオードよりも優先的にオンさせることが可能となる。したがって、ボディダイオードをオンさせないようにできる。このため、リバースリカバリーモードで電子がゲート電極8を抜けないようにでき、縦型MISFET100がオンして上下アーム短絡が起こることを防ぐことが可能となる。

[0049] (他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

- [0050] 例えば、上記各実施形態では、ワイドギャップ半導体としてダイヤモンドを例に挙げて説明したが、他のワイドギャップ半導体、例えばSiCなどを使用した半導体装置としても良い。
- [0051] さらに、上記各実施形態では、裏面側が高不純物濃度の裏面層、表面側がそれよりも低不純物濃度なドリフト層とされた半導体基板として、p⁺型基板1の表面にp型ドリフト層2を形成した構造を例に挙げて説明した。しかしながら、これは半導体基板の一例を示したに過ぎず、例えばp型ドリフト層2にて構成される基板の裏面側にp型ドーパントをイオン注入すること、もしくはエピタキシャル成長によって裏面層を構成した半導体基板であっても良い。
- [0052] また、上記各実施形態では、第1導電型をp型、第2導電型をn型としたpチャネルタイプのMISFETを例に挙げて説明したが、各構成要素の導電型を反転させたnチャネルタイプのMISFETに対しても本開示を適用することができる。

請求の範囲

[請求項1]

ワイドギャップ半導体を用いた半導体装置であって、

裏面側に備えられた高不純物濃度の前記ワイドギャップ半導体で構成される第1導電型の裏面層(1)と、表面側に備えられると共に前記裏面層よりも低不純物濃度とされた前記ワイドギャップ半導体にて構成される第1導電型のドリフト層(2)と、を有する前記半導体基板(1、2)と、

前記ドリフト層の上に形成された前記ワイドギャップ半導体にて構成される第2導電型のボディ層(3)と、

前記ボディ層の上層部に形成され、前記ドリフト層よりも高不純物濃度の前記ワイドギャップ半導体にて構成される第1導電型のソース領域(4)と、

前記ソース領域の表面から前記ボディ層よりも深くまで形成されたトレンチ(6)内に形成され、該トレンチの内壁面に形成されたゲート絶縁膜(7)と、前記ゲート絶縁膜の上に形成されたゲート電極(8)と、を有して構成されたトレンチゲート構造と、

前記ソース領域に電氣的に接続されるソース電極(9)と、

前記半導体基板の裏面側における前記裏面層と電氣的に接続されるドレイン電極(11)と、を有する縦型MISFET(100)を備え、

前記ゲート絶縁膜は、前記ボディ層の少数キャリアに対して障壁を有し、かつ、前記ドリフト層の少数キャリアに対して障壁の無い材料で構成されている半導体装置。

[請求項2]

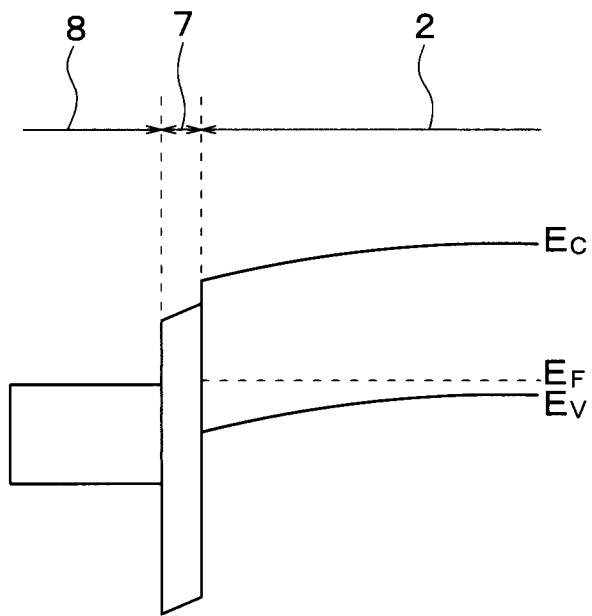
前記ゲート絶縁膜は、前記ワイドギャップ半導体よりも誘電率の大きな材料で構成されている請求項1に記載の半導体装置。

[請求項3]

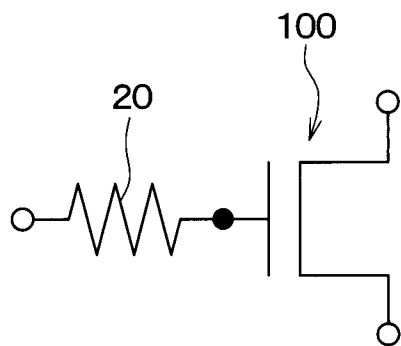
前記第1導電型はp型であり、前記第2導電型はn型であり、前記ワイドギャップ半導体はダイヤモンドである請求項1または2に記載の半導体装置。

- [請求項4] 請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置を含む回路であって、
 前記ゲート電極にゲート抵抗（20）が接続されている半導体装置を含む回路。
- [請求項5] 前記ソース電極と前記ドレイン電極との間に還流ダイオード（30）が備えられている請求項 4 に記載の半導体装置を含む回路。
- [請求項6] 請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置を含む回路であって、
 前記ソース電極と前記ドレイン電極との間に還流ダイオード（30）が備えられている半導体装置を含む回路。

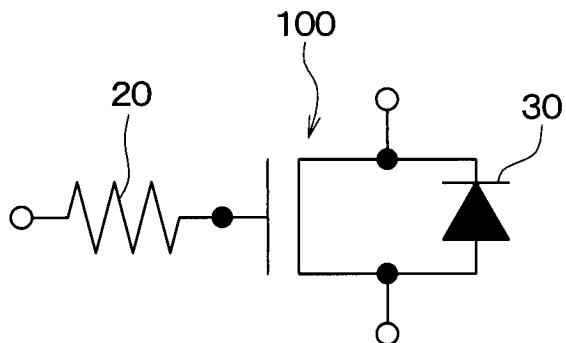
[図3]



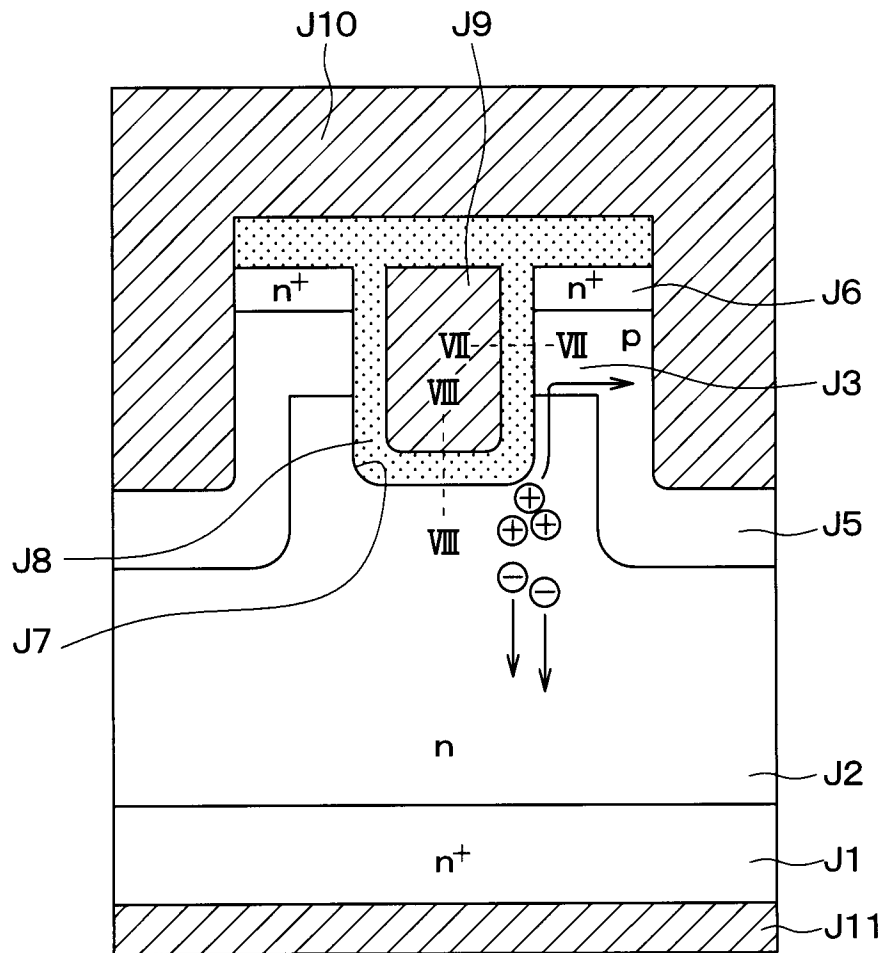
[図4]



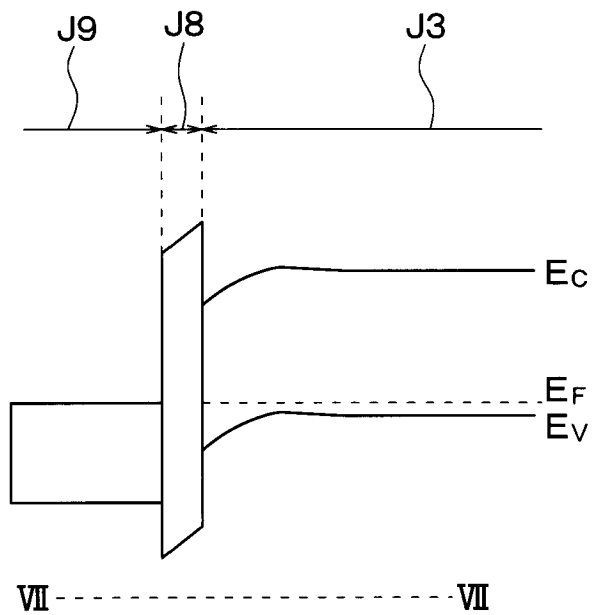
[図5]



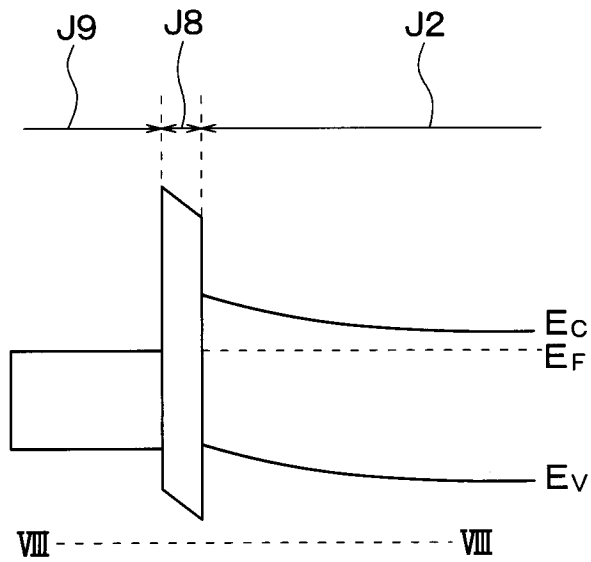
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/084094

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i, H01L29/16(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L27/04, H01L29/12, H01L29/16, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/105611 A1 (Rohm Co., Ltd.), 09 August 2012 (09.08.2012), paragraphs [0044] to [0077], [0237] to [0238]; fig. 4 to 6 & US 2013/0313576 A1 paragraphs [0122] to [0172], [0413] to [0414]; fig. 4 to 6 & JP 5858934 B2	1-6
A	JP 2011-181752 A (Advanced Power Device Research Association), 15 September 2011 (15.09.2011), paragraphs [0017] to [0024]; fig. 1, 3 & US 2013/0032819 A1 paragraphs [0027] to [0034]; fig. 1, 3 & WO 2011/108615 A1 & EP 2 544 240 A1 & CN 102792449 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 February 2017 (08.02.17)

Date of mailing of the international search report
21 February 2017 (21.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/084094

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-64686 A (Toshiba Corp.), 29 March 2012 (29.03.2012), paragraphs [0011] to [0037]; fig. 1 to 3, 6 & US 2012/0061724 A1 paragraphs [0019] to [0048]; fig. 1 to 3, 6 & CN 102403358 A	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i, H01L29/16(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L27/04, H01L29/12, H01L29/16, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/105611 A1（ローム株式会社）2012.08.09, 段落[0044]-[0077], [0237]-[0238], 図 4-6 & US 2013/0313576 A1, 段落[0122]-[0172], [0413]-[0414], 図 4-6 & JP 5858934 B2	1-6

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 2 . 2 0 1 7

国際調査報告の発送日

2 1 . 0 2 . 2 0 1 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-181752 A (次世代パワーデバイス技術研究組合) 2011.09.15, 段落[0017]-[0024], 図 1, 3 & US 2013/0032819 A1, 段落[0027]-[0034], 図 1, 3 & WO 2011/108615 A1 & EP 2 544 240 A1 & CN 102792449 A	1-6
A	JP 2012-64686 A (株式会社東芝) 2012.03.29, 段落[0011]-[0037], 図 1-3, 6 & US 2012/0061724 A1, 段落[0019]-[0048], 図 1-3, 6 & CN 102403358 A	1-6