

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2006-68252  
(P2006-68252A)

(43) 公開日 平成18年3月16日(2006.3.16)

(51) Int.Cl.  
A63F 7/02 (2006.01)

F I  
A 6 3 F 7/02 3 3 4  
A 6 3 F 7/02 3 2 6 Z

テーマコード (参考)  
2 C 0 8 8

審査請求 有 請求項の数 1 O L (全 30 頁)

(21) 出願番号	特願2004-254912 (P2004-254912)	(71) 出願人	398057880 株式会社大万
(22) 出願日	平成16年9月1日 (2004.9.1)		愛知県名古屋市中村区鴨付町1丁目22番地
		(74) 代理人	100106725 弁理士 池田 敏行
		(74) 代理人	100105120 弁理士 岩田 哲幸
		(72) 発明者	市原 高明 愛知県西春日井郡西春町大字沖村字西ノ川1番地 株式会社大万内
		(72) 発明者	奥村 尚之 愛知県西春日井郡西春町大字沖村字西ノ川1番地 株式会社大万内
		最終頁に続く	

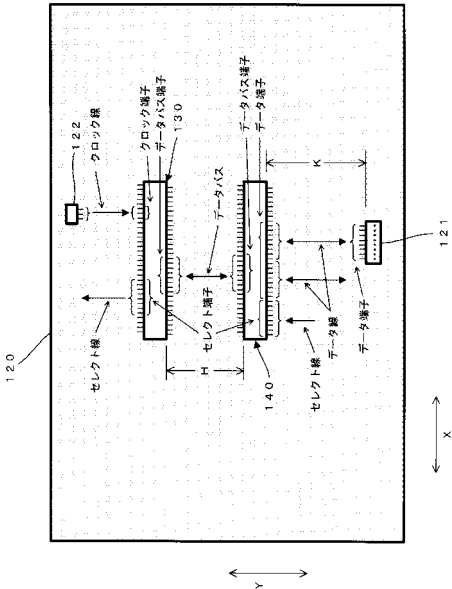
(54) 【発明の名称】 遊技機

(57) 【要約】

【課題】 制御用構成要素の汎用性を高めた遊技機を提供する。

【解決手段】 基板120の基板面120aには、制御用構成要素130と入出力用構成要素140が平行に配置されている。制御用構成要素130と入出力用構成要素140は、基板に最も近い面が最も大きい面積を有する面とならないように配置されている。また、入出力用構成要素140と制御用構成要素130は、制御用構成要素130の、入出力用構成要素140に対抗する側の面に表示されている識別情報の視認が可能となるように離して配置されている。入出力用構成要素140は、セレクト端子の組を介して入力されたセレクト信号に基づいて、データバス端子と複数のデータ端子との間のデータの入出力を行う。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

遊技機の動作を制御する制御回路を内蔵する制御用構成要素と、前記制御用構成要素に接続され、前記制御回路と他の回路との間でのデータの入出力処理を実行する入出力処理回路を内蔵する入出力用構成要素と、前記制御用構成要素及び入出力用構成要素が配置される基板とを備える遊技機であって、

前記制御用構成要素及び前記入出力用構成要素は、基板に最も近い面が最も大きい面積を有する面とならないように配置されているとともに、前記制御用構成要素の、前記入出力用構成要素に対向する側の面に表示されている識別情報の視認が可能となるように離して平行に配置されている、  
ことを特徴とする遊技機。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、遊技機に関し、特に、汎用性及び不正防止効果を高めた遊技機に関する。

## 【背景技術】

## 【0002】

遊技機、例えば、パチンコ機には、遊技機の動作を制御するための制御装置が複数設けられている。例えば、パチンコ機全体の動作を制御する主制御回路を有する主制御装置が設けられている。

20

主制御装置を構成する構成要素、例えば、主制御回路、記憶回路（ROMやRAM）、主制御回路と外部機器を接続するためのソケット等は、主制御基板に配置されている。各構成要素は、主制御基板に印刷されている配線パターン等の接続線によって接続されている。通常、主制御回路は、制御プログラム等を記憶している記憶回路（例えば、ROM）等とともに樹脂によってモールドされ、パッケージ化された主制御用集積回路（「ワンチップマイコン」という）として形成されている。各構成要素が配置された主制御基板は、内部が視認可能な透明性を有するケースに収納され、封印されている。

ところで、近年、遊技方法や遊技内容の複雑化や多様化に伴って、主制御回路とデータの入出力を行う外部機器（主制御基板に配置されている他の電気回路を含む）の数が増加し、また、主制御回路と外部機器との接続状態が変更されることが多くなっている。

30

外部機器の数が増加すると、既存の制御用集積回路に設けられているデータ端子（例えば、8個の端子によって構成される8ビットのデータ端子）の数が不足する場合がある。このような場合には、データ端子の数が多主制御用集積回路を用いる必要がある。

また、主制御回路と外部機器との接続状態を変更する場合には、主制御用集積回路周辺の配線パターンを変更する必要がある。ここで、主制御回路は、遊技機全体の制御を行うため、多くの外部機器との間でデータの入出力を行っている。このため、主制御用集積回路周辺には多くの配線パターンが配設されており、主制御用集積回路周辺の配線パターンを変更するのは非常に困難である。

そこで、主制御用集積回路の汎用性を高め、外部機器の数の増加や主制御回路と外部機器との接続状態の変更に安価に対応できる技術の開発が要望されている。

40

ここで、主制御用集積回路の汎用性を高める方法として、入出力機能を拡張することができる入出力用集積回路（拡張I/Oポート機能を有する集積回路）を、主制御用集積回路と外部機器との間に設ける方法が考えられる。

この場合、主制御基板への入出力用集積回路の配置によって、他の電気回路の配置スペースが狭くなるため、主制御基板の実装効率を高める必要がある。

## 【0003】

ところで、パチンコ機等の遊技機では、不正、特に、賞球数（遊技者に払い出される遊技球の数）を管理している主制御回路に対する不正が行われることが多い。

例えば、主制御用集積回路を不正な制御用集積回路（例えば、不正な制御プログラムを記憶しているROMを内蔵する制御用集積回路）に交換する不正が行われることがある。

50

さらに、外観を正規の主制御用集積回路の外観に巧妙に似せた不正な制御用集積回路を用いる不正が行われることもある。この場合、このような不正を発見するのが困難である。

特に、主制御用集積回路としてDIP (Dual In-line Package)型(「横型」という)の集積回路を用いている場合、主制御基板(主制御基板の基板面)に対向する面(裏面)の面積が大きく、また、裏面と主制御基板との間の間隔が狭い。このため、主制御用集積回路が主制御基板に配置された状態では、ケースの外部から主制御用集積回路の裏面の状態を確認することができず、主制御用集積回路が不正な制御用集積回路に交換されたことや、主制御用集積回路と主制御基板との間に不正回路(例えば、不正な始動信号や入賞信号を出力する不正回路)が設けられていることを発見するのが困難である。

そこで、制御用集積回路としてZIP (Zig-zag In-line Package)型(「縦型」という)のROM内蔵の集積回路を用いた遊技機が提案されている。(特許文献1参)

縦型に形成された制御用集積回路は、制御用集積回路の面積が大きい表面及び裏面が基板の基板面から立ち上がる方向に配置されるため、ケースの外部から制御用集積回路の表面及び裏面の状態を容易に確認することができる。このため、制御用集積回路が不正な制御用集積回路に交換されたことや、制御用集積回路と基板の基板面との間に不正回路が設けられていることを容易に発見することができる。

また、縦型の形成された制御用集積回路は、基板に対向する面の面積が小さいため、基板の実装効率を高めることができる。

そこで、前記した、主制御用集積回路及び入出力用集積回路として、縦型の集積回路を用いることが考えられる。

【特許文献1】特開2001-314622号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

主制御用集積回路と外部機器との間に入出力用集積回路を設けることにより、主制御用集積回路と外部機器との接続状態の変更や外部機器の数の増加等に対して安価に容易に対応することができ、主制御用集積回路の汎用性が向上する。

また、主制御用集積回路と入出力用集積回路としてZIP型(縦型)の制御用集積回路を用いることにより、主制御用集積回路に対する不正を防止することができるとともに、主制御基板の実装効率を高めることができる。

【0005】

ところで、通常、基板に集積回路等の電気回路を配置する場合、電気回路を接続する接続線(通常は、基板に印刷されている配線パターン)の電気抵抗の増加による影響や接続線へのノイズの侵入を防止するために、接続線の長さが短くなるように電気回路が基板に配置される。

したがって、主制御用集積回路及び入出力用集積回路としてZIP型(縦型)の制御用集積回路を用いた場合にも、一般的には、主制御用集積回路と入出力用集積回路は、主制御用集積回路と入出力用集積回路の間の距離が短くなるように近づけて主制御基板に配置される。

ここで、主制御用集積回路には、識別情報を表示することが義務付けられている。このため、例えば、主制御用集積回路あるいは主制御用集積回路に内蔵されている主制御回路の型番を示す文字等が印刷されたラベルが主制御用集積回路に貼付されている。

ZIP型(縦型)の主制御用集積回路と入出力用集積回路が近づけて主制御基板に配置され、また、主制御用集積回路の、入出力用集積回路に対向する側の面にラベルが貼付されている場合には、入出力用集積回路の存在によって、主制御用集積回路に貼付されているラベルに印刷されている文字等をケースの外部から視認するのが困難となる。

この場合、主制御用集積回路が、外観は正規の主制御用集積回路の外観に巧妙に似せているが、正規のシールが貼付されていない不正な制御用集積回路に交換されたことを判別するのが困難となる。

そこで、本発明が解決しようとする課題は、不正防止効果を高めながら、制御用集積回

路の汎用性を高めることができる遊技機を提供することである。

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明の遊技機は、請求項1に記載された構成を備えている。

請求項1に記載の遊技機では、制御用構成要素と入出力用構成要素は、基板に最も近い面が最も大きい面積を有する面とならないように基板に配置されているとともに、制御用構成要素の、入出力用構成要素に対向する側の面に表示されている識別情報の視認が可能となるように離して平行に配置されている。

「基板に最も近い面が最も大きい面積を有する面とならないように基板に配置されている」という記載は、制御用構成要素及び入出力用構成要素が基板に配置された時に、基板に最も近い面（例えば、面の中心と基板面との間の距離が最も小さい面）の面積より大きい他の面が存在する配置態様を表している。この典型的な配置態様は、制御用構成要素及び入出力用構成要素としてZIP型等の縦型の制御用集積回路を用い、制御用構成要素が基板の基板面に配置された時に、制御用構成要素の最も面積が大きい面が、基板面から略直角に立ち上がるように配置される態様である。

「制御用構成要素に表示されている識別情報」は、例えば、制御用構成要素に印刷されているあるいは制御用構成要素に貼付されているラベルに印刷されている、当該制御用構成要素あるいは当該制御用構成要素に内蔵されている制御回路の型番を示す文字等の情報を含む。

「制御用構成要素と入出力用構成要素が平行に配置される」という記載は、制御用構成要素の端子列の配列方向と入出力用構成要素の端子列の配列方向が平行になるように、制御用構成要素と入出力用構成要素が配置される構成を意味する。なお、「平行に配置される」構成には、略平行に配置される構成も含まれる。

「制御用構成要素と入出力用構成要素が、制御用構成要素の、入出力用構成要素に対向する面に表示されている識別情報の視認が可能となるように離して平行に配置されている」構成としては、制御用構成要素に表示されている識別情報全体を視認可能な距離以上離して制御用構成要素と入出力用構成要素が平行に配置されている構成や、制御用構成要素に表示されている識別情報の一部を視認可能であり、且つ、視認した識別情報の一部に基づいて識別情報全体を推定可能な距離以上離して制御用構成要素と入出力用構成要素が平行に配置されている構成を用いることができる。すなわち、必ずしも、識別情報の全体を視認可能でなくてもよい。

【発明の効果】

【0007】

請求項1に記載の遊技機では、制御用構成要素と外部機器との間に入出力用構成要素を設けているため、制御用構成要素と外部機器との接続状態の変更や外部機器の数の増加に対して安価に容易に対応することができ、制御用構成要素の汎用性が向上する。

また、制御用構成要素及び入出力用構成要素を、基板に最も近い面が最も大きい面積を有する面とならないように基板に配置しているため、基板の実装効率を高めることができるとともに、制御用構成要素や入出力用構成要素と基板の基板面との間に不正回路が設けられていることを容易に発見することができる。

さらに、制御用構成要素に表示されている識別情報の視認が可能となるように制御用構成要素と入出力用構成要素を離して基板に平行に配置しているため、不正な制御用構成要素（例えば、外観は正規の制御用構成要素に似せているが、正規の表示情報が表示されていない不正な制御用構成要素）が設けられていることを容易に発見することができ、不正防止効果を高めることができる。

ここで、制御用構成要素と入出力用構成要素を離して配置することにより、制御用構成要素と入出力用構成要素を接続する接続線の長さが長くなるが、制御用構成要素と入出力用構成要素を平行に配置しているため、接続線の長さが長くなる量を最小限に抑えることができる。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0008】

以下に、本発明の実施の形態を、図面を参照して説明する。

本発明の一実施の形態の遊技機に設けられる主制御基板の概略構成を示す図1に示す。また、図1のII線矢視図（矢印II方向から見た平面図）を図2に示し、図1の要部の斜視図を図3に示す。なお、図2に示されている構成要素（電気回路）の一部（例えば、発振器122）は、図1には示していない。また、図1及び図2には、主制御基板に配置される構成要素（電気回路）の全てを示していない。

本実施の形態では、パチンコ機に用いられている、主制御回路とROM等の記憶回路を内蔵する主制御用集積回路、入出力処理回路を内蔵する入出力用集積回路等が配置された主制御基板について説明する。 10

## 【0009】

主制御基板120の一方側の基板面（実装側基板面）120aには、主制御用集積回路130、入出力用集積回路140、ソケット121、発振器122等が配置されている。

主制御用集積回路130、入出力用集積回路140、ソケット121、発振器122等の構成要素（電気回路）が配置された主制御基板120は、ベースとカバーからなるケース110内に収納され、封印具や封印シール等によって封印される。ケース110は、通常、ケース110が遊技機に取り付けられた状態で、係員等が、ケース外部からケース内部の状態（例えば、主制御基板120に配置されている構成要素の配置状態、構成要素の外形形状や構成要素に表示されている識別情報等）を視認可能な透明性を有する樹脂によ 20

## 【0010】

主制御用集積回路（「CPUチップ」という）130は、主制御回路、ROM等の記憶回路、端子（データバス端子、セレクト端子、クロック端子等を含む）131が樹脂等によってモールドされて形成されている。主制御用集積回路130は、主制御基板120（主制御基板120の実装側基板面120a）に基も近い面（主制御基板120側に配置される面）が最も大きい面積を有する面とならないように主制御基板120（主制御基板120の実装側基板面120a）に配置される。

本実施の形態では、主制御用集積回路130として、ZIP型（縦型）に形成された制御用集積回路を用いている。主制御用集積回路130は、側面130a（入出力用集積回路140に対向する側の面）及び側面130b（入出力用集積回路140に対向する側と反対側の面）、底面（基板面120aに対向する面）130cを有している（図10参照）。側面130aあるいは130bが、面積が最も大きい面である。 30

長方形に形成されている底面130cには、長辺方向（図10では、紙面に垂直な方向）に端子131がジグザグ状に交互に配列されている。これにより、端子131の先端部によって、底面の長辺方向に平行な2列の直線状の端子列131a、131bが形成されている。

## 【0011】

入出力用集積回路（「IOチップ」という）140は、入出力処理回路、端子（データバス端子、データ端子、セレクト端子を含む）141が樹脂等によってモールドされて形成されている。入出力用集積回路140は、主制御基板120（主制御基板120の実装側基板面120a）に基も近い面（主制御基板120側に配置される面）が最も大きい面積を有する面とならないように主制御基板120（主制御基板120の実装側基板面120a）に配置される。 40

本実施の形態では、入出力用集積回路140は、主制御用集積回路130と同様に、ZIP型（縦型）に形成された入出力用集積回路を用いており、側面140a及び140b、底面140c（図示省略）を有している。

長方形に形成されている底面140cには、長辺方向に端子141がジグザグ状に交互に配列されている。これにより、端子141の先端部によって、底面の長辺方向に平行な2列の直線状の端子列141a、141bが形成されている。 50

本実施の形態では、主制御用集積回路 130 及び入出力用集積回路 140 として、外形形状が同じであり、端子 131 と 141 の数及び配置形状が同じである集積回路を用いている。

#### 【0012】

本実施の形態の主制御回路が本発明の「制御回路」に対応し、主制御用集積回路 130 が本発明の「制御用構成要素」あるいは「制御用集積回路」に対応し、入出力用処理回路が本発明の「入出力用処理回路」に対応し、入出力用集積回路 140 が本発明の「入出力用構成要素」あるいは「入出力用集積回路」に対応し、主制御基板 120 が本発明の「制御基板」に対応する。

#### 【0013】

主制御基板 120 には、主制御用集積回路 130 の端子 131 が挿入可能（すなわち、接続可能）な主制御用挿入部（主制御用接続端子）120CPU と、入出力用集積回路 140 の端子 141 が挿入可能（すなわち、接続可能）な入出力用挿入部（入出力用接続端子）120IO が設けられている（図 14 参照）。

主制御用挿入部 120CPU は、主制御用集積回路 130 の 2 列の端子列 131a 及び 131b に対応させて配列された、平行な 2 列の主制御用挿入部列（主制御用接続端子列）120CPUa 及び 120CPUb を有している。

また、入出力用挿入部 120IO は、入出力用集積回路 140 の 2 列の端子列 141a 及び 141b に対応させて配列された、平行な 2 列の入出力用挿入部列（入出力用接続端子列）120IOa 及び 120IOb を有している。

#### 【0014】

本実施の形態では、主制御用集積回路 130 の端子 131（端子列 131a 及び 131b を形成）が本発明の「制御用集積回路の端子」に対応し、主制御用挿入部 120CPU（主制御用挿入部列 120CPUa 及び 120CPUb を形成）が本発明の「制御用接続部」に対応し、入出力用集積回路 140 の端子 141（端子列 141a 及び 141b を形成）が本発明の「入出力用集積回路の端子」に対応し、入出力用挿入部 120IO（入出力用挿入部列 120IOa 及び 120IOb を形成）が本発明の「入出力用接続部」に対応する。

#### 【0015】

ここで、接続線の抵抗の影響や接続線へのノイズの侵入等の観点から、接続線はできるだけ短いほうが好ましい。

そこで、本実施の形態では、制御用挿入部 120CPU の制御用挿入部列 120CPUa 及び 120CPUb の配列方向と入出力用挿入部 120IO の入出力用挿入部列 120IOa 及び 120IOb の配列方向が平行となるように、制御用挿入部 120CPU 及び入出力用挿入部 120IO を基板 120 に配置することによって（すなわち、主制御用集積回路 130 の端子 131 の端子列 131a 及び 131b の配列方向と入出力用集積回路 140 の端子列 141a 及び 141b の配列方向を平行とすることによって）、制御用挿入部 120 と入出力用挿入部 120IO の間（すなわち、主制御用集積回路 130 の端子 131 と入出力用集積回路 140 の端子 141 との間）に配設されるデータバスの長さを短くしている。本実施の形態では、このような配置状態を、「主制御用集積回路 130 と入出力用集積回路 140 が平行に制御基板 120 に配置されている」という。

本実施の形態では、主制御用集積回路 130 と入出力用集積回路 140 は、平行方向の配置位置が一致（略一致を含む）している、すなわち、平行方向にずれていない状態（ほとんどずれていない状態を含む）で平行に配置されている。

#### 【0016】

また、入出力用集積回路 140 に接続されるソケット 121 は、入出力用集積回路 140 と電気回路との間に配設される接続線の長さを短くするために、制御基板 120 の、入出力用集積回路 140 の配置方向に沿った両側に配置される。

そこで、本実施の形態では、主制御基板 120 の実装効率を高めるために、入出力用挿入部 120IO の入出力用挿入部列 120IOa 及び 120IOb の配列方向（したがっ

10

20

30

40

50

て、入出力用挿入部列 120 IO a 及び 120 IO b と平行な主制御用挿入部列 120 CPU a 及び 120 CPU b の配列方向) が、主制御基板 120 の、長方形に形成されている基板面 120 a の長辺に平行 (図 2 の左右方向) と平行になるように、入出力用挿入部 120 IO (したがって、制御用挿入部 120 CPU) を基板 120 に配置している、本実施の形態では、このような配置状態を、「主制御用集積回路 130 と入出力用集積回路 140 が基板 120 の基板面 120 a の長辺に平行に配置されている」という。

【0017】

また、入出力用集積回路 140 には、ソケット 121 等の多くの電気回路が接続される。

そこで、本実施の形態では、図 1 及び図 2 に示すように、入出力用挿入部 120 IO (入出力用挿入部列 120 IO a 及び 120 IO b) を、主制御用挿入部 120 CPU (主制御用挿入部列 120 CPU a 及び 120 CPU b) よりも主制御基板 120 の基板面 120 a の中央部側に配置することによって、入出力用集積回路 140 と他の電気回路との間に配設される接続線の長さを短くしている。 10

さらに、ソケット 121 の接続端子の配列方向と入出力用挿入部列 120 IO a 及び 120 IO b の配列方向が平行となるように、ソケット 121 を制御基板 120 に取り付けられているこのような配置状態を、「ソケット (接続部) を入出力用集積回路 140 と平行に配置する」という。

なお、本明細書では、「平行」という記載は、2 つの構成要素が概略平行である構成をも含むものとして用いている。また、「中央部」という記載は、中央の位置の近傍を含むものとして用いている。 20

【0018】

主制御用集積回路 130 の端子 131 及び入出力用集積回路 140 の端子 141 の配設状態の 1 例を図 4 に示す。

主制御用集積回路 130 には、端子 131 によって 2 列の端子列 131 a (端子番号 1 ~ 32) 及び 131 b (端子番号 33 ~ 64) が形成されている。また、入出力用集積回路 140 には、端子 141 によって 2 列の端子列 141 a (端子番号 1 ~ 32) 及び 141 b (端子番号 33 ~ 64) が形成されている。

本実施の形態では、図 4 に示すように、主制御用集積回路 130 では、入出力用集積回路 140 側に配置されている端子列 131 a に、データを入出力するデータバス端子 DB c (端子番号 10 ~ 17 の端子の組) を設けている。また、入出力用集積回路 140 と反対側に配置されている端子列 131 b に、セレクトデータを出力するセレクト端子 S c (端子番号 37 ~ 44 の端子の組) を設けている。 30

一方、入出力用集積回路 140 では、主制御用集積回路 130 側に配置される端子列 141 b に、データを入出力するデータバス端子 DB i (端子番号 42 ~ 49 の端子の組) を設けている。また、主制御用集積回路 130 と反対側に配置されている端子列 141 a に、セレクトデータを入力するセレクト端子 S i (端子番号 1 ~ 8 の端子の組) と、主制御基板 120 に配置されている他の電気回路との間でデータを入出力する複数のデータ端子 D 1 (端子番号 9 ~ 16 の端子の組) 及び D 2 (端子番号 17 ~ 24 の端子の組) を設けている。 40

なお、図 4 では、2 つのデータ端子 D 1 と D 2 のみを示したが、データ端子の数は主制御回路との間でデータを入出力する外部機器 (主制御基板 120 に配置されている他の電気回路を含む) の数に応じて適宜変更される。

また、セレクト端子 S c 及び S i を構成する端子の数は、セレクト信号の形態に応じて適宜設定される。例えば、セレクト端子を構成する各端子によってデータ端子を選択する場合 (例えば、端子 37 から「H」レベルの信号を出力することによってデータ端子 D 1 を選択する場合) には、セレクト端子は、入出力用集積回路 140 に設けられているデータ端子の数に等しい数の端子により構成される。あるいは、複数ビットの信号によってセレクト信号を構成する場合には、セレクト端子は、ビット数に対応する数の端子により構成される。例えば、8 ビットのセレクト信号を用いる場合には、セレクト端子は、8 つの 50

端子により構成される。

【0019】

主制御用集積回路130のデータバス端子DBcが挿入（接続）される制御用挿入部（制御用接続端子）120CPUと、入出力用集積回路140のデータバス端子DBiが挿入（接続）される入出力用挿入部（入出力用接続端子）120IOは、データバス（基板面120aに配設されている配線パターン）DBLによって接続されている。

このように、主制御用集積回路130の、入出力用集積回路140側の端子列120CPUaに含まれている端子をデータバス端子とし、入出力用集積回路140の、主制御用集積回路130側の端子列120IObに含まれている端子をデータバス端子として用いることにより、主制御用集積回路130と入出力用集積回路140との間に配設されるデータバスの長さを短くすることができる。

さらに、本実施の形態では、主制御用集積回路130のデータバス端子DBcと入出力用集積回路140のデータバス端子DBiの配設位置を、主制御用集積回路130と入出力用集積回路140が主制御基板120の基板面120aに配置された時に、データバス端子DBcとDBiが対向するように設定されている。

すなわち、主制御用集積回路130のデータバス端子DBcが挿入（接続）される制御用挿入部120CPUと、入出力用集積回路140のデータバス端子DBiが挿入（接続）される入出力用挿入部120IOを接続するデータバスDBLが、制御用挿入部120CPUと入出力用挿入部120IOの平行方向（主制御用集積回路130と入出力用集積回路140の平行方向）に直角（略直角を含む）な直線状（略直線状を含む）に配設可能に設定されている。

これにより、主制御用集積回路130と入出力用集積回路140との間に配設されるデータバスの長さをより短くすることができる。

【0020】

また、主制御用集積回路130のセレクト端子Scが挿入（接続）される制御用挿入部120CPUと、入出力用集積回路140のセレクト端子Siが挿入（接続）される入出力用挿入部120IOは、セレクト線（基板面120aに配設された配線パターン）SLによって接続されている。

また、入出力用集積回路140のデータ端子D1及びD2が挿入（接続）される入出力用挿入部120IOと、他の電気回路の端子は、対応するデータ線（基板面120aに配設された配線パターン）DL1及びDL2によって接続されている。

【0021】

主制御用集積回路130及び入出力用集積回路140は、以下のように動作する。

例えば、主制御用集積回路130に内蔵されている主制御回路から、データ線DL1にデータを出力する場合には、主制御回路は、データバス端子DBcを介してデータバスDBLにデータを出力するとともに、セレクト端子Scにデータ端子D1を示すセレクト信号を出力する。入出力用集積回路140に内蔵されている入出力処理回路は、セレクト端子Siに、データ端子D1を示すセレクト信号が入力されると、データバス端子DBiとデータ端子D1を接続し、データバスDBL上のデータを、データバス端子DBi及びデータ端子D1を介してデータ線DL1に出力する。

また、データ線DL2から主制御回路にデータを入力する場合には、主制御回路は、セレクト端子Scにデータ端子D2を示すセレクト信号を出力する。入出力用集積回路140に内蔵されている入出力処理回路は、セレクト端子Siに、データ端子D2を示すセレクト信号が入力されると、データ端子D2とデータバス端子DBiを接続し、データ線DL2上のデータを、データ端子D2及びデータバス端子DBiを介してデータバスDBLに出力する。主制御回路は、データバスDBLからデータバス端子DBcに入力されたデータを読み取る。

【0022】

ところで、パチンコ機等の遊技機では、主制御回路を内蔵する主制御用集積回路130に識別情報を表示することが要求されている。

10

20

30

40

50



識別情報としては、図 1 に示すように、主制御用集積回路 130 の外周面（例えば、側面）に印刷等によって表示されている識別情報（図 1 では、「AB-01」）132、制御用集積回路 130 の外周面（例えば、側面）に貼付されたシール 133 に印刷等によって表示されている識別情報（図 1 では、「abcd」）133a が用いられる。

識別情報 132 としては、主制御用集積回路 130（あるいは、主制御用集積回路 130 に内蔵されている主制御回路）の製造会社名や型番等が用いられ、識別情報 133a としては、主制御用集積回路 130 が設けられている遊技機の製造会社や機種名や機種番号等が用いられる。

通常、図 1 及び図 3 に示すように、主制御用集積回路 130 の、入出力用集積回路 140 に対向する側の面（側面 130a）に、識別情報 132 が印刷されるとともに、識別情報 133a が印刷されたシール 133 が貼付される。 10

このため、主制御用集積回路 130 に表示されている識別情報（132 や 133a）を確認することによって、主制御用集積回路 130 が不正な制御用集積回路に交換されていることを発見することができる。例えば、外観は正規の主制御用集積回路の外観に似せているが、正規の識別情報が表示されていないことを視認（確認）することによって、主制御用集積回路が不正な制御用集積回路に交換されていることを発見することができる。

主制御用集積回路 130 の外観や制御用集積回路 130 に表示されている識別情報の視認（確認）は、主制御基板 120 がケース 110 に収容されている状態で、ケース 110 の外部から行われる。

#### 【0023】

20

ここで、ZIP 型（縦型）の主制御用集積回路 130 と入出力用集積回路 140 を、平行に接近させて主制御基板 120 の基板面 120a に配置した場合、入出力用集積回路 140 によって、主制御用集積回路 130 の、入出力用集積回路 140 に対向する側の面（側面 130a）に表示されている識別情報（132 や 133a）をケース 110 の外部から視認するのが困難となる。すなわち、主制御用集積回路が不正な制御用集積回路に交換されたことを発見するのが困難となる。

そこで、本実施の形態では、主制御用集積回路 130 と入出力用集積回路 140 を、主制御用集積回路 130 と入出力用集積回路 140 との間に配設される接続線の抵抗による影響や接続線へのノイズの侵入による影響よりも、不正な制御用集積回路の発見の容易性（不正防止効果の向上）を優先している。 30

すなわち、主制御用集積回路 130 と入出力用集積回路 140 の間の距離 H を、ケース 110 が遊技機に取り付けられている状態で、主制御用集積回路 130 の、入出力用集積回路 140 に対向する側の面（側面 130a）に表示されている識別情報（132 や 133a）を、ケース 110 の外部から視認可能となる距離に設定している。

#### 【0024】

「識別情報（132 や 133a）をケース 110 の外部から視認可能となる距離」として、係員等が、ケース 110 が遊技機に取り付けられている状態で、ケース 110 の外部から、通常の視認姿勢で、制御用集積回路 130 の側面 130a に表示されている識別情報（132 や 133a）全体を視認可能な距離に設定することにより、不正な制御用集積回路を容易に発見することができる。 40

しかしながら、接続線の抵抗による影響や接続線へのノイズの侵入による影響を軽減し、また、制御基板 120 の実装効率を高めるためには、主制御用集積回路 130 と入出力用集積回路 140 の間の距離は短い方がよい。また、主制御用集積回路 130 に表示されている識別情報は、その一部を視認することができれば識別情報全体を推定することができる。

したがって、主制御用集積回路 130 と入出力用集積回路 140 の間の距離は、係員等が、ケース 110 が遊技機に取り付けられている状態で、ケース 110 の外部から、通常の視認姿勢で、制御用集積回路 130 の側面 130a に表示されている識別情報を視認した時に識別情報の一部を視認可能であり、且つ、視認した識別情報の一部に基づいて識別情報全体を推定可能な距離以上の距離に設定するのが好ましい。 50

このような距離に設定することにより、接続線の長さが長くなるのをできる限り抑制しながら、不正防止効果を高めることができる。

識別情報を視認可能な距離（識別情報全体を視認可能な距離あるいは識別情報全体を推定可能な一部の識別情報を視認可能な距離）は、ケース 1 1 0 が遊技機に取り付けられている位置や、ケース 1 1 0 の配設状態等によって異なる。

#### 【 0 0 2 5 】

主制御用集積回路 1 3 0 に表示されている識別情報を視認可能な、主制御用集積回路 1 3 0 と入出力用集積回路 1 4 0 の距離は、例えば、横型の集積回路として形成された主制御用集積回路（横型の主制御用集積回路）を用いた場合の、基板上の実装面積に基づいて決定することができる。

10

すなわち、本実施の形態で用いている Z I P 型（縦型）の主制御用集積回路 1 3 0 と同じ数の端子（ 6 4 ピン）を有する D I P 型（横型）の主制御用集積回路を主制御基板 1 2 0 に配置した場合の、主制御基板 1 2 0 上の実装面積（具体的には、横型の主制御用集積回路に取り付けられている端子の外周を覆う面積）に等しい領域を、Z I P 型（縦型）の主制御用集積回路 1 3 0 の周囲に確保することができるように、主制御用集積回路 1 3 0 と入出力用集積回路 1 4 0 の距離を設定する。この領域には、配線パターン以外は配置されない。

通常、横型の主制御用集積回路を、実装面積の小さい縦型の主制御用集積回路に置き換えた場合には、縦型の主制御用集積回路を用いることによる効果を最大限に利用するために（すなわち、接続線を短くするとともに実装効率を高めるために）、縦型の主制御用集積回路の周囲には、横型の主制御用集積回路を主制御基板に配置した場合の実装面積より小さい領域しか確保されない。すなわち、主制御用集積回路と隣接する回路の間の距離は、できるだけ短い値に設定される。

20

本実施の形態では、接続線の長さが長くなり、また、実装効率が低下するのを許容し、不正防止効果を高めることを優先するため、縦型の主制御用集積回路を用いてはいるが、縦型の主制御用集積回路の周囲には、横型の主制御用集積回路を主制御基板に配置した場合の実装面積に等しい領域を確保している。

なお、「縦型の主制御用集積回路の周囲に、横型の主制御用集積回路を主制御基板に配置した場合の実装面積に等しい領域を確保する」方法としては、例えば、横型の主制御用集積回路と入出力用集積回路を平行に主制御基板上に配置した場合に、横型の主制御用集積回路が配置される領域（実装領域）の中央部に、縦型の主制御用集積回路の端子の配列方向が横型の主制御用集積回路の端子の配列方向と同じ方向となるように、縦型の主制御用集積回路を主制御基板に配置する。

30

主制御用集積回路 1 3 0 と入出力用集積回路 1 4 0 の間の距離をこのように設定することにより、主制御用集積回路 1 3 0 の入出力用集積回路 1 4 0 側の面に表示されている識別情報の視認が可能となるように、制御用集積回路と入出力用集積回路を容易に配置することができる。

#### 【 0 0 2 6 】

「縦型の主制御用集積回路の周囲に、横型の主制御用集積回路を主制御基板に配置した場合の実装面積に等しい領域を確保可能な距離だけ離して主制御用集積回路 1 3 0 と入出力用集積回路 1 4 0 を主制御基板 1 2 0 に配置する」例を図 5 ～ 図 7 に示す。

40

図 5 は、主制御用集積回路 1 3 0 に対する不正防止効果の向上を目的とした配置例であり、図 6 及び図 7 は、主制御用集積回路 1 3 0 及び入出力用集積回路 1 4 0 に対する不正防止効果の向上を目的とした配置例である。

図 5 では、Z I P 型の主制御用集積回路 1 3 0 と同じ端子の数（ 6 4 ピン）を有する D I P 型の主制御用集積回路を主制御基板 1 2 0 に配置した場合の実装領域（左下がりのハッチングで示す領域）の中央部に、Z I P 型の主制御用集積回路 1 3 0 を、Z I P 型の主制御用集積回路 1 3 0 の端子の配列方向が、D I P 型の主制御用集積回路の端子の配列方向と同じ方向（図 5 では、長方形の実装領域の長辺方向である上下方向）となるように配置している。そして、Z I P 型の主制御用集積回路 1 3 0 の周囲に、D I P 型の主制御用集

50

積回路の実装領域を確保した状態で、入出力用集積回路 140 を配置している。DIP 型の主制御用集積回路の実装領域内には、配線パターン以外の構成要素は配置されていない。

これにより、主制御用集積回路 130 の入出力用集積回路 140 側の面に表示されている識別情報の視認が可能となる。また、主制御用集積回路 130 の周囲に不正な回路が配設されていることを容易に発見することができる。

なお、主制御用集積回路 130 と入出力用集積回路 140 の間の距離は、図 5 に示す距離以上であればよい。

#### 【0027】

図 6 では、主制御用集積回路 130 と同様に、ZIP 型の入出力用集積回路 140 と同じ端子の数（64 ピン）を有する DIP 型の入出力用集積回路を主制御基板 120 に配置した場合の実装領域（右下がりのハッチングで示す領域）の中央部に、ZIP 型の入出力用集積回路 140 を、ZIP 型の入出力用集積回路 140 の端子の配列方向が、DIP 型の入出力用集積回路の端子の配列方向と同じ方向（図 6 では、長方形の実装領域の長辺方向である上下方向）となるように配置している。図 6 では、主制御用集積回路 130 の、入出力用集積回路 140 側の周囲に確保する領域と、入出力用集積回路 140 の、主制御用集積回路 130 側の周囲に確保する領域を重複させている。

図 6 では、DIP 型の主制御用集積回路の実装領域及び DIP 型の入出力用集積回路の実装領域内には、配線パターン以外の構成要素は配置されていない。

これにより、主制御用集積回路 130 の入出力用集積回路 140 側の面に表示されている識別情報の視認や入出力用集積回路 140 の主制御用集積回路 130 側の面に表示されている識別情報の確認が可能となる。また、主制御用集積回路 130 の周囲や入出力用集積回路 140 の周囲に不正な回路が配設されていることを容易に発見することができる。

通常、64 ピン構造の DIP 型の主制御用集積回路と入出力用集積回路の実装面積はほぼ等しく、また、64 ピン構造の縦型の主制御用集積回路と入出力用集積回路の実装面積はほぼ等しい。このため、図 6 に示すように、主制御用集積回路 130 の、入出力用集積回路 140 側の周囲に確保する領域と、入出力用集積回路 140 の、主制御用集積回路 130 側の周囲に確保する領域をほぼ 100 % 重複させることができる。この場合、主制御用集積回路 130 と入出力用集積回路 140 の間の距離を短くすることができ、主制御基板 120 の実装効率を高めることができ。

なお、主制御用集積回路 130 と入出力用集積回路 140 の間の距離は、図 6 に示す距離以上であればよい。

#### 【0028】

また、主制御用集積回路 130 と入出力用集積回路 140 の間に配置されるデータバスにブルアップ用あるいはプルダウン用の抵抗アレイを配置する必要がある場合がある。

この場合、不正防止効果の向上に対する要求が高い主制御用集積回路 130 の周囲に確保する領域内には抵抗アレイを配置しない。すなわち、図 7 に示すように、主制御用集積回路 130 の領域（左下がりのハッチングで示す、横型の主制御用集積回路の実装領域）より入出力用集積回路 140 側に、少なくとも抵抗アレイ 125 を配置するのに必要な距離 W だけ重ならない状態で、入出力用集積回路 140 の領域（右下がりのハッチングで示す、横型の入出力用集積回路の実装領域）が確保されるように、主制御用集積回路 130 と入出力用集積回路 140 の間の距離を設定する。

なお、主制御用集積回路 130 と入出力用集積回路 140 の間の距離は、図 7 に示す距離以上であればよい。

また、主制御用集積回路 130 の領域と入出力用集積回路 140 の領域が、抵抗アレイ 125 を配置するのに必要な距離 W だけ離れた位置に配置されるように、主制御用集積回路 130 と入出力用集積回路 140 の間の距離を設定することもできる。

#### 【0029】

また、縦型の主制御用集積回路 130 と入出力用集積回路 140 を平行に近接して配置した場合、主制御用集積回路 130 と入出力用集積回路 140 が壁となり、主制御用集積

10

20

30

40

50

回路 130 と入出力用集積回路 140 の間に不正回路が配設されていることを発見するのが困難である。

本実施の形態では、主制御用集積回路 130 と入出力用集積回路 130 の間の距離を、主制御用集積回路 130 の入出力用集積回路 140 側の面に表示されている識別情報を視認可能な距離に設定することにより、不正な主制御用集積回路が配設されていることを容易に発見することができるとともに、平行に配置された縦型の主制御用集積回路 130 と入出力用集積回路 140 の間に不正な回路が配設されたことも容易に発見することができる。

#### 【0030】

主制御基板 120 には、主制御用集積回路 130 に内蔵されている主制御回路の動作用のクロック信号を発生する発振器 122 が配置されている。 10

ここで、主制御用集積回路 130 と入出力用集積回路 140 の間に配設されているデータバス DBL には多くの入出力信号が流れるため、データバス DBL にノイズが侵入すると主制御回路や外部機器が誤動作する恐れがある。

そこで、本実施の形態では、発振器 122 から発生するノイズがデータバス DBL に侵入するのを防止するように発振器 122 を配置している。

すなわち、図 2 に示すように、発振器 122 を、主制御用集積回路 130 を挟んで入出力用集積回路 140 と反対側に配置している。また、主制御用集積回路 130 の、入出力用集積回路 140 と対抗する側と反対側の端子列 131b にクロック端子 CLc (端子番号 56 ~ 59 の端子の組) を設けている。そして、発振器 122 とクロック端子 CLc を、クロック線 (配線パターン) CL によって接続している。 20

このように、発振器 122 とデータバス DBL を離して配置しているため、発振器 122 から発生するノイズがデータバス DBL に侵入するのを防止することができ、データバス DBL を流れるデータにノイズが混入するのを防止することができる。

なお、発振器 122 の端子とクロック端子 CLc が対向するように、発振器 122 の配置位置あるいはクロック端子 CLc の配設位置を設定するのが好ましい。これにより、クロック線 CL の長さを短くすることができる。

#### 【0031】

また、主制御基板 120 には、外部機器から出力されるデータを入出力用集積回路 140 のデータ端子に投入し、あるいは、入出力用集積回路 140 のデータ端子から出力されるデータを外部機器に出力するために、外部機器に接続された接続端子を有するプラグ (接続部材) が挿入可能なソケット 121 が配置されている。図 1 及び図 2 では、ソケット 121 が 1 つしか記載されていないが、通常、ソケット 121 は複数設けられる。 30

本実施の形態では、ソケット 121 を、入出力用集積回路 140 を挟んで主制御用集積回路 130 と反対側に配置している。これにより、入出力用集積回路 140 のデータ端子とソケット 121 に設けられている接続端子との間のデータ線の長さを短くすることができる。

また、ソケット 121 の接続端子の配列方向が入出力用挿入部列 120 IOa 及び 120 IOb の配列方向と平行になるように、すなわち、ソケット 121 と入出力用集積回路 140 が平行に配置されるように、ソケット 121 が主制御基板 120 に配置されている。これにより、入出力用集積回路 140 のデータ端子が挿入 (接続) される入出力挿入部 120 IO とソケット 121 の接続端子の間、したがって、入出力用集積回路 140 のデータ端子とソケット 121 の接続端子の間のデータ線の長さを短くすることができる。 40

なお、ソケット 121 と入出力用集積回路 140 が主制御基板 120 に配置された状態で、ソケット 121 の接続端子と、入出力用集積回路 140 のデータ端子が挿入 (接続) される入出力挿入部 120 IO (入出力用挿入部列 141a の入出力用挿入部) が対向するようにソケット 121 の配置位置あるいは入出力用集積回路 140 における入出力用挿入部の配設位置を設定することにより、出力用集積回路 140 のデータ端子とソケット 121 の接続端子の間のデータ線の長さをさらに短くすることができる。

#### 【0032】

ところで、パチンコ機では、主制御用集積回路に対する不正だけでなく、主制御回路に入力される入力データに対する不正、例えば、不正な入力信号を出力可能な不正回路を設ける不正が行われことがある。

このため、入出力用集積回路 140 とソケット 121 の間の距離 K を長くして、入出力用集積回路 140 とソケット 121 との間の領域に不正な入力信号を出力する不正回路が設けられていることを容易に発見できるようにするのが好ましい。本実施の形態では、入出力用集積回路 140 とソケット 121 の間の距離 K を、主制御用集積回路 130 と入出力用集積回路 140 との間の距離 H より大きい距離に設定している。

ソケット 121 には、入出力用集積回路 140 のデータ端子 D1 や D2 に接続されているデータ線 DL1 や DL2 が接続される接続端子が設けられている。また、ケース 110 の、ソケット 121 に対応する箇所に孔 111 が設けられている。孔 111 にプラグ（接続部材）を挿入することによって、プラグの端子がソケットの接続端子に接続される。

なお、ソケット 121 の接続端子がデータ端子と対向するようにソケット 121 の配置位置あるいはデータ端子の配設位置を設定するのが好ましい。

この場合には、不正な回路の発見の容易性を高める（不正防止効果を高める）ために入出力用集積回路 140 とソケット 121 を離して配置することにより、入出力用集積回路 140 のデータ端子とソケット 121 の接続端子の間に配設されるデータ線の長さが長くなるのを抑制することができる。

#### 【0033】

主制御用集積回路 130 や入出力用集積回路 140 から（詳しくは、主制御用集積回路 130 や入出力用集積回路 140 に内蔵されている構成要素から）ノイズが発生する場合がある。主制御用集積回路 130 や入出力用集積回路 140 から発生したノイズが外部に放出されると、外部機器（主制御基板 120 に配置されている電気回路を含む）が誤動作する恐れがある。

本実施の形態では、主制御用集積回路 130 や入出力用集積回路 140 から発生したノイズが外部に放出されるのを防止するために、主制御用集積回路 130 や入出力用集積回路 140 の下方の基板面に接地線を配設している。

主制御用集積回路 130 の下方に接地線を配設する構成を、図 8 ～ 図 10 を用いて説明する。なお、図 9 は、図 8 の I X 線矢視図（平面図）であり、図 10 は、図 9 の X - X 線断面図である。

#### 【0034】

前述したように、Z I P 型（縦型）の主制御用集積回路 130 の、基板面 120 a と対向する面（底面）130 c には、端子 131 が長辺方向にジグザグ状に交互に配列されている。これにより、端子 131 の先端部によって、2 列の端子列 131 a 及び 131 b が形成されている。また、主制御基板 120 には、主制御用集積回路 130 の端子 131 が挿入可能（接続可能）な主制御用挿入部 120 C P U が設けられている。制御用挿入部 120 C P U は、主制御用集積回路 130 の 2 列の端子列 131 a 及び 131 b に対応する 2 列の主制御用挿入部列 120 C P U a 及び 120 C P U b を有している。これにより、主制御用集積回路 130 が主制御基板 120 に配置された状態では、最も大きい面積を有する面（図 10 では、側面 130 a、130 b）が主制御基板 120 の基板面（実装側基板面）120 a から立ち上がるように配置される。

#### 【0035】

また、主制御基板 120 の基板面 120 a（実装側基板面）及び基板面 120 b（反実装側基板面）の、主制御用集積回路 130 の底面 130 c に対向する箇所に接地線 120 G f 及び 120 G b が配設されている。

すなわち、図 10 に示すように、主制御基板 120 には、基板面 120 a と 120 b を貫通し、主制御用集積回路 130 の端子 131 により形成される 2 列の端子列 131 a 及び 131 b に対応する 2 列の主制御用挿入部列 120 C P U a 及び 120 C P U b を形成する主制御用挿入部 120 C P U が設けられている。

そして、基板面 120 a 及び 120 b には、2 列の主制御用挿入部列 120 C P U a と

10

20

30

40

50

120CPUbの間に、主制御用挿入部列120CPUa及び120CPUbの配列方向に沿って接地線120Gf及び120Gbが直線状に配設されている。

本実施の形態では、接地線120Gf及び120Gbとして、主制御基板120の基板面120a及び120bに配設され、主制御基板120の接地端子に接続されている配線パターンを用いている。なお、主制御用集積回路130の端子131には接地端子が含まれており、この接地端子は、接地線120Gf及び120Gbに接続される。

接地線120Gf及び120Gbの配設位置は、2列の主制御用挿入部列120CPUaと120CPUbの間の中央部が好ましいが、2列の制御用挿入部列120CPUaと120CPUbの間であればよい。また、接地線120Gf及び120Gbは直線状でなくともよい。

本実施の形態では、入出力用集積回路140に対しても同様の接地線120Hf及び120(図示省略)を設けている。

なお、接地線は、主制御用集積回路130あるいは入出力用集積回路140のいずれか一方に対してのみ設けてもよい。また、主制御基板120の基板面120a(実装側基板面)あるいは基板面120b(半実装側基板面)の一方側のみに設けてもよい。この場合でも、回路から発生するノイズが外部に放出するのを防止することができる。

#### 【0036】

なお、主制御用集積回路130の端子列131aと131bの間(すなわち、制御用挿入部列120CPUaと120CPUbの間)あるいは入出力用集積回路140の端子列141aと14bの間(すなわち、入出力用挿入部列120IOaと120iobの間)に不正な回路が配設される場合がある。

本実施の形態では、主制御基板120の基板面120aの、主制御用集積回路130の端子列131aと131bの間あるいは入出力用集積回路140の端子列141aと14bの間に接地線120Gf、120Hfが配設されている。

このため、主制御用集積回路130の端子列131aと131bの間あるいは入出力用集積回路140の端子列141aと14bの間に不正な回路が配設されるのを防止することができる。また、不正な回路が配設された場合でも、不正な回路が配設されたことを容易に発見することができる。

#### 【0037】

本実施の形態では、主制御用集積回路130と外部機器(主制御基板に配置されている他の電気回路を含む)との間に入出力用集積回路140を設けているため、主制御用集積回路130と外部機器との接続状態の変更や外部機器の数の増減に対して安価に容易に対応することができる。主制御用集積回路130の汎用性を高めることができる。

また、主制御用集積回路130と入出力用集積回路140として縦型(ZIP型)の集積回路を用いているため、主制御用集積回路130や入出力用集積回路140が不正な制御用集積回路や不正な入出力用集積回路に交換されたこと、主制御用集積回路や入出力用集積回路と主制御基板との間に不正な回路が設けられていることを容易に発見することができ、不正防止効果を高めることができる。同時に、主制御用集積回路130と入出力用集積回路140の主制御基板120上での実装面積を低減することができるため、主制御基板120の実装効率を高めることができる。

さらに、縦型(ZIP型)の主制御用集積回路130と入出力用集積回路140を、主制御用集積回路130の、入出力用集積回路140と対向する側の面に表示されている識別情報を、主制御基板120を収容したケース110を遊技機に取り付けた状態で、ケース110の外部から視認可能となるように離して平行に主制御基板120に配置しているため、主制御用集積回路130と入出力用集積回路140の間に配設されるデータバスの長さが長くなる量を最小限に抑えながら、外観を正規の主制御用集積回路に似せているが正規の識別情報が表示されていない不正な制御用集積回路が設けられていることを容易に発見することができる。これにより、主制御用集積回路130と入出力用集積回路との間に配設されるデータバスの抵抗による影響やデータバスへのノイズの侵入を最小限に抑えながら、不正防止効果をより高めることができる。さらに、主制御用集積回路130と入

10

20

30

40

50

出力用集積回路 140 の間に不正な回路が設けられたことを容易に発見することができる。

また、入出力用集積回路 140 を主制御用集積回路 130 より、主制御基板 120 の基板面 120 a の中心部側に配置しているため、入出力用集積回路 140 と他の電気回路の間に配設される接続線を短くすることができる。

また、主制御用集積回路 130、入出力用集積回路 140、ソケット 121 を、主制御基板 120 の長方形の基板面 120 a の長辺方向に沿って（長辺に平行に）配置しているため、主制御基板 120 の実装効率を高めることができる。

また、外部機器と接続されるソケット 121 を、入出力用集積回路 140 を挟んで主制御用集積回路 130 と反対側に、主制御用集積回路 130 と入出力用集積回路 140 との間の距離より長い距離だけ離して入出力用集積回路 140 に平行に配置しているため、入出力用集積回路 140 とソケット 121 の間に不正な回路が設けられたことを容易に発見することができ、不正防止効果を高めることができる。

また、主制御回路の動作クロック信号を出力する発振器 122 を、主制御用集積回路 130 を挟んで入出力用集積回路 140 と反対側に配置しているため、発振器 122 から発生するノイズが、主制御回路用集積回路 130 と入出力用集積回路 140 の間に配設されるデータバスに侵入するのを防止することができる。

また、主制御用集積回路 130 及び入出力用集積回路 140 の少なくとも一方の、主制御基板 120 に対向する面（底面 130 c）に対向する主制御基板 120 の箇所には、主制御基板 120 の基板面 120 a 及び 120 b の少なくとも一方に接地線 120 G f 及び 120 G b が配設されているため、主制御用集積回路 130 や入出力用集積回路 140 から発生するノイズが接地線 120 a 及び 120 b に流れる。これにより、主制御用集積回路 130 や入出力用集積回路 140 から発生するノイズの外部への放出を防止することができ、外部機器（主制御基板 120 に配置されている他の電気回路を含む）の誤動作等を防止することができる。さらに、主制御用集積回路 130 の端子列の間あるいは入出力用集積回路 140 の端子列の間に不正な回路が設けられるのを防止することができる。

なお、本実施の形態は、主制御用集積回路 130 と入出力用集積回路 140 が、縦型の集積回路として形成され、主制御用集積回路 130 の、入出力用集積回路 140 と対向する面に表示されている識別情報をケース 110 の外部から視認可能に平行に離して配置されている構成を備えていればよく、他の構成要素は適宜選択可能である。勿論、他の構成要素を付加することによって、種々の効果を得ることができる。

#### 【0038】

以上の実施の形態では、主制御用集積回路 130 の、入出力用制御基板 140 に対向する側の端子列 131 a におけるデータバス端子 D B c と、入出力用集積回路 140 の、主制御用集積回路 130 に対向する側の端子列 141 b におけるデータバス端子 D B i の長辺方向の配設位置が略同じ場合について説明したが、主制御用集積回路 130 のデータバス端子 D B c の長辺方向の配設位置と、入出力用集積回路 140 のデータバス端子 D B i の長辺方向の配設位置が異なる場合がある。

以下に、このような場合でも、主制御用集積回路 130 と入出力用集積回路 140 との間に配設される接続線の長さを長くすることなく、不正防止効果を高めることができる第 2 の実施の形態を説明する。

第 2 の実施の形態の要部の斜視図を図 11 に示し、平面図を図 12 に示す。

#### 【0039】

本実施の形態では、図 12 に示すように、主制御用集積回路 130 の、入出力用集積回路 140 と対向する側の端子列 131 a におけるデータバス端子 D B c（長辺方向の配設位置）と、入出力用集積回路 140 の、主制御用集積回路 130 と対向する側の端子列 141 b におけるデータバス端子 D B i の配設位置（長辺方向の配設位置）が異なっている。すなわち、主制御用集積回路 130 では、端子列 131 a の端子番号 15～22 の端子の組がデータバス端子 D B c として設定されている。また、入出力用集積回路 140 では、端子列 141 b の端子番号 44～51 の端子の組がデータバス端子 D B i として設定さ

れている。

本実施の形態では、図 12 に示すように、主制御用集積回路 130 及び入出力用集積回路 140 が主制御基板 120 に配置された時に、主制御用集積回路 130 のデータバス端子 D B c と入出力用集積回路 140 のデータバス端子 D B i が対向するように、主制御用集積回路 130 あるいは入出力用集積回路 140 の配置位置を平行方向にずらせている。すなわち、前述した実施の形態では、主制御用集積回路 130 入出力用集積回路 140 は、平行方向の配置位置が一致（略一致を含む）している（平行方向の両端部の位置が一致している）が、本実施の形態では、平行方向の配置位置がずれている（一方の集積回路の平行方向の一方の端部が、他方の集積回路の平行方向の両端部の間に配置されている）。

例えば、入出力用集積回路 140 の端子 141 が挿入（接続）される入出力用挿入部 120 I O を、主制御用集積回路 130 の端子 131 が挿入（接続）される主制御用挿入部 120 C P U に対して、図 11 に示す矢印の方向（平行方向）に距離 S だけずらす。平行方向にずらせる量は、データバス端子 D B c の長辺方向における配設位置とデータバス端子 D B i の長辺方向における配設位置とのずれ量に応じて設定される。

これにより、主制御用集積回路 130 のデータバス端子 D B c と入出力用集積回路 140 のデータバス端子 D B i を接続するデータバス（制御用集積回路 130 と入出力用集積回路 140 との間に配設されるデータバス）D B L の長さを短くすることができる。

#### 【0040】

ところで、主制御用集積回路 130 と入出力用集積回路 140 を平行方向にずらせて配置した場合、図 11 に示すように、主制御用集積回路 130 の、入出力用集積回路 140 と対向する側の面（側面 130 a）に、入出力用集積回路 140 と対向しない箇所が発生する。すなわち、主制御用集積回路 130 の側面 120 a を入出力用集積回路 130 側から見たとき、入出力用集積回路 140 と重ならない箇所が発生する。

この場合、主制御用集積回路 130 の、入出力用集積回路 140 と対向する側の側面 130 a の、入出力用集積回路 140 と対向しない箇所（入出力用集積回路 140 と重ならない箇所）に表示されている識別情報（図 11 では、シール 133 に表示されている識別情報 133 a）は、Z I P 型（縦型）の主制御用集積回路 130 及び入出力用集積回路 140 が平行に主制御基板 120 に配置されていても、主制御基板 120 を収容したケース I 10 が遊技機に取り付けられている状態で、ケース 110 の外部から容易に視認することができる。

したがって、主制御用集積回路 130 と入出力用集積回路 140 を平行方向にずらせて配置した場合には、ずらせて配置しない場合に比べて、主制御用集積回路 130 の側面 130 a に表示されている情報識別を視認可能な、主制御用集積回路 130 と入出力用集積回路 140 との間の距離 H の最小距離を短くすることができる。すなわち、主制御用集積回路 130 と入出力用集積回路 140 との間に配設される接続線の長さをより短くすることができる。

#### 【0041】

なお、主制御用集積回路 130 の側面 130 a に表示される識別情報 132 の表示位置や主制御用集積回路 130 の側面 130 a に貼付されるシール 133 の貼付位置を変更可能である場合には、主制御用集積回路 130 と入出力用集積回路 140 を平行方向にずらせて配置した時に、主制御用集積回路 130 の側面 130 a の、入出力用集積回路 140 と対向しない箇所に識別情報 132 を表示し、あるいは、シール 133 を貼付する方法を用いてもよい。

この場合、識別情報 132 あるいはシール 133 に表示されている識別情報 133 a の視認結果から識別情報 132 あるいは 133 a の全体を推定可能な範囲内において、識別情報 132 あるいは 133 a の一部を入出力用集積回路 140 と対向しない箇所に表示してもよい。

この方法を用いると、主制御用集積回路 130 と入出力用集積回路 140 の平行方向のずれ量に変更された場合でも、ずれ量に応じて識別情報 132 の表示位置やシール 133 の貼付位置を変更することにより、主制御用集積回路 130 と入出力用集積回路 140 を

10

20

30

40

50



平行方向にずらせて配置しない場合に比べて、主制御用集積回路 130 と入出力用集積回路 140 との間の距離を短くしながら、識別情報の視認性を確保することができる。

#### 【0042】

また、前記とは逆に、主制御用集積回路 130 の、入出力用集積回路 140 と対向する側の面（側面 130a）に表示されている識別情報（132 あるいは 133a）の少なくとも一部が、入出力用集積回路 140 と対向しない箇所に配置されるように主制御用集積回路 130 と入出力用集積回路 140 を平行方向にずらせ、この状態で対向する位置にある主制御用集積回路 130 の端子 131 及び入出力用集積回路 140 の端子 141 をデータバス端子として用いるようにすることもできる。「識別情報の少なくとも一部」は、識別情報の一部によって識別情報全体を推定可能な部分を意味する。

10

また、必ずしも、主制御用集積回路 130 と入出力用集積回路 140 を平行方向にずらせて配置した状態で、対向する位置にある主制御用集積回路 130 の端子 131 及び入出力用集積回路 140 の端子 141 をデータバス端子として用いる必要はない。

このような構成を用いることによっても、平行に配置された縦型の主制御用集積回路 130 と入出力用集積回路 140 を用いた場合に、主制御用集積回路 130 の入出力用集積回路側の面に表示されている識別情報を視認することができ、主制御用集積回路 130 と入出力用集積回路 140 との間の距離を短くしながら、識別情報の視認性を確保することができる。

#### 【0043】

なお、主制御用集積回路 130 と入出力用集積回路 140 を平行方向にずらせる技術と第 1 の実施の形態で用いている各技術のいずれかあるいは複数を組み合わせることもできる。この場合には、主制御用集積回路 130 の、入出力用集積回路対向する側の面に表示されている識別情報をより容易に、確実に視認することができる。

20

#### 【0044】

ところで、前述した実施の形態では、主制御用集積回路 130 及び入出力用集積回路 140 として、同じ外形形状を有し、端子の数及び配置形状が同じである集積回路を用いている。このため、主制御用集積回路の端子が挿入（接続）される主制御用挿入部と入出力用集積回路の端子が挿入（接続）される入出力用挿入部が同じ配置形状となり（2 列の主制御用挿入部列により形成される主制御用集積回路取付部と 2 列の入出力用挿入部列により形成される入出力用集積回路取付部が同じ外観となり）、主制御用集積回路 130 と入出力用集積回路 140 を間違えて配置する可能性がある。例えば、主制御用集積回路 130 の端子 131 を、入出力用集積回路 140 の端子 141 が挿入され入出力用挿入部 120 IO に誤挿入する恐れがある。

30

このような場合、従来では、作業員は、集積回路に表示されている識別情報（例えば、製造会社名や型番等）を視認することによって、集積回路が主制御用集積回路 130 であるか入出力用集積回路 140 であるかを判別し、集積回路の配置位置を判別している。

#### 【0045】

しかしながら、集積回路に表示されている識別情報を視認する方法は、面倒であり、また、視認ミスが発生する可能性がある。

そこで、以下に、このように同じ外径形状を有している制御用集積回路 130 と入出力用集積回路の配置位置を確実に判別することができる第 3 の実施の形態を説明する。

40

本実施の形態の要部の斜視図を図 13 に示す。

#### 【0046】

本実施の形態では、前述した実施の形態と同様に、主制御用集積回路 130 及び入出力用集積回路 140 として、同じ外形形状を有し、端子 131 と 141 の数及び配置形状が同じである、ZIP 型（縦型）の集積回路を用いている。すなわち、主制御用集積回路 130 には、主制御基板 120 と対向する側の面（底面 130c）の長辺方向にジグザグ状に交互に配置された端子 131 により 2 列の端子列 131a 及び 131b が形成されている。また、入出力用集積回路 140 には、主制御基板 120 と対向する側の面の長辺方向にジグザグ状に交互に配置された端子 141 により 2 列の端子列 141a 及び 141b

50

が形成されている。(図14参照)

また、主制御基板120には、主制御用集積回路130の端子131が挿入され、端子列131a及び131bに対応する主制御用挿入部列120CPUa及び120CPUbを有する主制御用挿入部120が設けられているとともに、入出力用集積回路140の端子141が挿入され、端子列141a及び141bに対応する入出力用挿入部列120IOa及び120IObを有する入出力用挿入部120IOが設けられている。(図14参照)

そして、主制御用集積回路130の端子131の配置形状と入出力用集積回路140の端子141の配置形状、したがって、主制御用挿入部120CPUの配置形状と入出力用挿入部120IOの配置形状が同じになるように構成されている。

10

#### 【0047】

本実施の形態では、同じ外形形状を有する主制御用集積回路130と入出力用集積回路140を判別可能とすることによって主制御用集積回路130及び入出力用集積回路140の配置位置を容易に判別可能とするために、図13に示すように、主制御用集積回路130と入出力用集積回路140に異なる色を表示している。

主制御用集積回路130と入出力用集積回路140に表示する色を変える方法としては、全体の色を変える方法や、所定の箇所の色を変える方法等を用いることができる。所定の箇所としては、作業員等が容易に視認することができる箇所、例えば、主制御用集積回路130や入出力用集積回路140の上面(反基板面側の面)を選択するのが好ましい。

また、主制御用集積回路130と入出力用集積回路140の全体あるいは部分の模様を変える方法を用いることができる。模様を変える態様には、一方を無地とし、他方に模様を表示する態様が含まれる。模様は色によって構成されているため、表示する模様を変える方法は、表示する色を変える概念に含まれる。

20

異なる色や異なる模様としては、作業員等が一瞥して判別可能な色や模様を用いるのが好ましい。

#### 【0048】

本実施の形態では、同じ外形形状を有する主制御用集積回路130と入出力用集積回路140の色を変えている。

このため、作業員等は、集積回路の色を視認するのみで、集積回路が主制御用集積回路130であるか入出力用集積回路140あるかを簡単に、確実に判別することができる。したがって、端子や挿入部の数や配置状態が同じ場合でも、集積回路の配置位置を間違えることがない。

30

#### 【0049】

以上の実施の形態では、主制御用集積回路と入出力用集積回路に表示する色を変えたが、さらに、主制御基板の基板面の、主制御用挿入部が設けられている近傍及び入出力用挿入部が設けられている近傍に、それぞれ主制御用集積回路及び入出力用集積回路と同じ色を表示してもよい。

以下に、主制御用集積回路及び主制御用挿入部の近傍に表示する色と入出力用集積回路及び入出力用挿入部の近傍に表示する色を変えた第4の実施の形態を説明する。

本実施の形態の要部の斜視図を図14に示す。

40

#### 【0050】

本実施の形態では、第3の実施の形態と同様に、主制御用集積回路130及び入出力用集積回路140として、同じ外形形状を有するZIP型(縦型)の集積回路を用いている。また、主制御用集積回路130の端子131及び入出力用集積回路140の端子141、主制御用挿入部120CPU及び入出力用挿入部120IOの数及び配置形状は同じである。

また、第3の実施の形態と同様に、主制御用集積回路130及び入出力用集積回路140には、異なる色が表示されている。例えば、主制御用集積回路130及び入出力用集積回路140の全体あるいは一部に異なる色が表示されている。

さらに、主制御基板120の基板面(実装側基板面)120aに設けられている、主制

50

御用集積回路 130 の端子 131 が挿入される主制御用挿入部 120 CPU の近傍に主制御用表示部 (CPU 用表示部) が表示されているとともに、入出力用集積回路 140 の端子 141 が挿入される入出力用挿入部 120 IO の近傍に入出力用表示部 (IO 用表示部) が表示されている。本実施の形態では、主制御用挿入部 120 CPU 全体を覆う領域を CPU 用表示部とし、入出力用挿入部 120 IO 全体を覆う領域を IO 用表示部としている。

CPU 用表示部を表示する主制御用挿入部 120 CPU の近傍や、IO 用表示部を表示する入出力用挿入部 120 IO の近傍は、挿入部が制御用挿入部 120 CPU であることあるいは入出力用挿入部 120 IO であることを判別可能であれば適宜設定することができる。例えば、主制御用接続部 120 CPU や入出力用接続部 120 IO から離れている位置、主制御用接続部 120 CPU や入出力用接続部 IO の一部あるいは全部を含む領域を設定することができる。

そして、CPU 用表示部には、主制御用集積回路 130 に表示されている色と同じ色が表示され、IO 用表示部には、入出力用集積回路 140 に表示されている色と同じ色が表示されている。

なお、前述したように、異なる模様を表示する態様は、異なる色を表示する概念に含まれる。

#### 【0051】

本実施の形態では、集積回路に表示されている色と CPU 用表示部及び IO 用表示部に表示されている色を対比するのみで、すなわち、集積回路に表示されている色と同じ色が表示されている CPU 用表示部あるいは入出力用表示部を判別するのみで、集積回路を容易に、確実に正しい配置位置に配置することができる。

したがって、集積回路の端子や端子を挿入する挿入部の数や配置状態が同じ場合でも、主制御用集積回路 130 と入出力用集積回路 140 の配置位置を間違えることがない。

#### 【0052】

同じ外形形状を有する主制御用集積回路 130 と入出力用集積回路 140 の配置位置を判別可能に構成する方法としては、他の種々の方法を用いることができる。

例えば、主制御用集積回路 130 の端子 131 と入出力用集積回路 140 の端子 141 の数や配置状態の少なくとも一方を変える。また、端子 131 と 141 の数や配置状態を変えることに伴って、端子 131 が挿入される制御用挿入部 120 CPU と端子 141 が挿入される入出力用挿入部 120 IO の数や配置状態を端子 131 と 141 の数や配置状態に合わせる。端子の配置態様としては、例えば、台形状に配置する態様を用いることができる。

なお、以上の実施の形態で用いた技術は、同じ基板に配置される同じ外形形状を有する主制御用集積回路と入出力用集積回路の配置位置を判別するため、さらには、同じ基板に配置される同じ外形形状を有する複数の構成要素の配置位置を判別するために用いることができる。

#### 【0053】

本発明は、前述した実施の形態で説明した構成に限定されず、種々の変更、追加、削除が可能である。

例えば、本発明の遊技機は、前記各実施の形態で説明した各構成の全てを備える必要はなく、各実施の形態で説明した各構成の中から適宜選択した構成を備えるものであってもよい。

また、縦型の集積回路としては、基板に最も近い面 (基板側に配置される面) が最も大きい面積を有する面とならないように基板に配置されるものであればよい。

また、パチンコ機について説明したが、本明細書に記載されている技術は、パチンコ機以外の種々の遊技機に適用することができる。

#### 【0054】

本発明は、以下のように構成することもできる。

例えば、「(態様 1) 第 1 のセレクト端子及び第 1 のデータバス端子を含む端子を有し、

10

20

30

40

50

遊技機の動作を制御する制御回路を内蔵する制御用集積回路と、前記制御用集積回路の第1のセレクト端子及び第1のデータバス端子に接続される第2のセレクト端子及び第2のデータバス端子と複数のデータ端子を含む端子を有し、前記第2のセレクト端子に入力されたセレクト信号に基づいて、前記第2のデータバス端子と前記複数のデータ端子との接続を制御する入出力処理回路を内蔵する入出力用集積回路と、前記制御用集積回路及び前記入出力用集積回路が配置される制御基板と、前記制御用集積回路及び前記入出力用集積回路が配置された前記制御基板を収容するケースを備え、前記制御用集積回路及び前記入出力用集積回路は、縦型の集積回路として形成されているとともに、平行に前記制御基板に配置されており、前記制御用集積回路の、前記入出力用集積回路と対向する側の面には識別情報が表示されており、前記制御用集積回路と前記入出力用集積回路の距離は、前記制御用集積回路の、前記入出力用集積回路と対向する側の面に表示されている識別情報を、前記ケースの外部から視認可能な距離に設定されている、ことを特徴とする遊技機。」として構成することができる。

本態様は、第1のセレクト端子及び第1のデータバス端子を含む端子を有する制御用集積回路と、第1のセレクト端子及び第1のデータバス端子に接続される第2のセレクト端子及び第2のデータバス端子と複数のデータ端子を含む端子を有する入出力用集積回路と、制御基板と、制御基板を収容するケースを備えている。

制御用集積回路及び入出力用集積回路は、縦型の集積回路として形成されているとともに、平行に制御基板に配置されている。

そして、制御用集積回路の、入出力用集積回路と対向する側の面には識別情報が表示されており、制御用集積回路と入出力用集積回路の距離が、制御用集積回路に表示されている識別情報を、ケースの外部から視認可能な距離に設定されている。

「縦型の集積回路」は、基板側に配置される面が最も大きい面積を有する面とならないように基板に配置される集積回路を意味する。このような集積回路は、典型的には、ZIP型等の縦型の集積回路である。

「制御用集積回路と入出力用集積回路が平行に配置される」という記載は、制御用集積回路の端子列の配列方向と入出力用集積回路の端子列の配列方向が平行になるように、制御用集積回路と入出力用集積回路が配置される構成を意味する。「制御用集積回路と入出力用集積回路を平行に配置する」態様は、制御用集積回路と入出力用集積回路が、平行方向に少なくとも一部が重なるように配置する態様を意味する。縦型の制御用集積回路と入出力用集積回路を用いる場合には、最も大きい面積を有する面が平行になるように配置される。

なお、「平行に配置される」構成には、略平行に配置される構成も含まれる。

「制御用集積回路に表示されている識別情報」は、例えば、制御用集積回路に印刷されているあるいは制御用集積回路に貼付されているラベルに印刷されている、当該制御用集積回路あるいは当該制御用集積回路に内蔵されている制御回路の型番を示す文字等の情報を含む。

「制御用構成要素と入出力用構成要素が、制御用構成要素の、入出力用構成要素に対向する面に表示されている識別情報の視認が可能となるように離して平行に配置されている」構成としては、制御用構成要素に表示されている識別情報全体を視認可能な距離以上離して制御用構成要素と入出力用構成要素が平行に配置されている構成や、制御用構成要素に表示されている識別情報の一部を視認可能であり、且つ、視認した識別情報の一部に基づいて識別情報全体を推定可能な距離以上離して制御用構成要素と入出力用構成要素が平行に配置されている構成を用いることができる。すなわち、必ずしも、識別情報の全体を視認可能でなくてもよい。

態様1の遊技機を用いれば、制御用集積回路の汎用性を高めることができる。また、制御基板の実装効率を高めることができるとともに、制御用集積回路や入出力用集積回路と制御基板との間に不正回路が設けられていることを容易に発見することができる。また、制御用集積回路と入出力用集積回路を接続する接続線の長さが長くなる量を最小限に抑えながら、外観は正規の制御用構成要素に似せているが、正規の表示情報が表示されていない

不正な制御用集積回路を容易に発見することができる。

【 0 0 5 5 】

また、「( 態様 2 ) 第1のセレクト端子及び第1のデータバス端子を含む端子を有し、遊技機の動作を制御する制御回路を内蔵する制御用集積回路と、前記制御用集積回路の第1のセクタ端子及び第1のデータバス端子に接続される第2のセレクト端子及び第2のデータバス端子と複数のデータ端子を含む端子を有し、前記第2のセレクト端子に入力されたセレクト信号に基づいて、前記第2のデータバス端子と前記複数のデータ端子との接続を制御する入出力処理回路を内蔵する入出力用集積回路と、前記制御用集積回路及び前記入出力用集積回路が配置される制御基板と、前記制御用集積回路及び前記入出力用集積回路が配置された前記制御基板を収容するケースを備え、前記制御用集積回路及び前記入出力用集積回路は、縦型の集積回路として形成されているとともに、平行に前記制御基板に配置されており、前記制御用集積回路の、前記入出力用集積回路と対向する側の面には識別情報が表示されており、前記制御用集積回路と前記入出力用集積回路は、平行方向にずらして配置されている、ことを特徴とする遊技機。」として構成することができる。

10

態様2の遊技機は、第1のセレクト端子及び第1のデータバス端子を含む端子を有する制御用集積回路と、第1のセクタ端子及び第1のデータバス端子に接続される第2のセレクト端子及び第2のデータバス端子と複数のデータ端子を含む端子を有する入出力用集積回路と、制御基板と、制御基板を収容するケースを備えている。

制御用集積回路及び入出力用集積回路は、縦型の集積回路として形成されているとともに、平行に制御基板に配置されている。

20

そして、制御用集積回路と入出力用集積回路は、平行方向にずらして配置されている。

「制御用集積回路と入出力用集積回路を、平行に、平行方向にずらして配置する」態様は、制御用集積回路と入出力用集積回路が、平行方向に少なくとも一部は重なるが、全部は重ならない態様を意味する。

態様2の遊技機を用いれば、態様1の遊技機と同様の効果を有する。なお、態様2の遊技機では、態様1の遊技機に比べて、制御用集積回路と入出力用集積回路を接続する接続線の長さが長くなる量をより抑えることができる。

【 0 0 5 6 】

また、「( 態様 3 ) 態様の遊技機であって、前記制御用集積回路と前記入出力用集積回路は、前記制御用集積回路の、前記識別情報が表示されている面を前記入出力用集積回路側から見た時に、前記識別情報の少なくとも一部が前記入出力用集積回路と重ならないように、平行方向にずらして配置されている、ことを特徴とする遊技機。」として構成することができる。

30

態様3の遊技機では、制御用集積回路と入出力用集積回路が、制御用集積回路の、識別情報が表示されている面を入出力用集積回路側から見た時に、識別情報の少なくとも一部が入出力用集積回路と重ならないように、平行方向にずらして配置されている。

「制御用集積回路の、識別情報が表示されている面を入出力用集積回路側から見た時に、識別情報の少なくとも一部が入出力用集積回路と重ならないように平行方向にずらして配置される」構成は、入出力用集積回路側から見た時に視認可能な識別情報の少なくとも一部(全部を含む)を視認可能であり、且つ、視認した識別情報の少なくとも一部に基づいて、識別情報全体を推定可能な距離以上離して制御用構成要素と入出力用構成要素が平行に配置されている構成を意味している。

40

態様3の遊技機を用いれば、制御用集積回路と入出力用集積回路を接続する接続線の長さが長くなる量を最小限に抑えながら、外観は正規の制御用構成要素に似せているが、正規の表示情報が表示されていない不正な制御用集積回路をより容易に発見することができる。

【 0 0 5 7 】

また、「( 態様 4 ) 態様 1 ~ 3 のいずれかの遊技機であって、前記制御用集積回路及び前記入出力用集積回路の端子は、2列に平行に配置されており、前記制御基板には、前記制御用集積回路の端子が接続可能な制御用接続部が2列に平行に配置されているとともに

50

、前記入出力用集積回路の端子が接続可能な入出力用接続部が2列に平行に配置されており、前記入出力用接続部側に配置されている列の制御用接続部に接続される、前記制御用集積回路の端子の列に前記第1のデータバス端子が含まれており、前記制御用接続部側に配置されている列の入出力用接続部に接続される、前記入出力用集積回路の端子の列に前記第2のデータバス端子が含まれており、前記第1のデータバス端子が接続される制御用接続部と、前記第2のデータバス端子が接続される入出力用接続部を接続するデータバスが、前記制御基板の前記制御用接続部と前記入出力用接続部の間に配置されている、ことを特徴とする遊技機。」として構成することができる。

態様4の遊技機では、制御用集積回路及び入出力用集積回路の端子は2列に平行に配置されているとともに、制御基板には、制御用集積回路及び入出力用集積回路の端子が接続可能な制御用接続部及び入出力用接続部が2列に平行に配置されている。

そして、入出力用集積回路側の列の制御用集積回路の端子及び制御用集積回路側の列の入出力用集積回路の端子をデータバス端子とし、制御基板の、データバス端子が接続される制御用接続部と入出力用接続部の間にデータバスを配置している。

態様4の遊技機を用いれば、直線状のデータバスを配置することができるため、データバスの長さを短くすることができる。

#### 【0058】

また「(態様5)態様4の遊技機であって、前記第1のデータバス端子が接続される制御用接続部と前記第2のデータバス端子が接続される入出力用接続部は、対向するように前記制御基板に配置されている、ことを特徴とする遊技機。」として構成することができる。

態様5の遊技機では、データバス端子が対向するように配置されている。

「データバス端子が対向するように配置されている」という記載は、制御用集積回路と入出力用集積回路の平行方向、すなわち、制御用接続部と入出力用接続部の平行方向に直角(略直角を含む)な位置にデータバス端子が配置されている構成を意味する。

態様5の遊技機を用いれば、データバス端子の長さをより短くすることができる。

#### 【0059】

また、「(態様6)態様1~5のいずれかの遊技機であって、前記制御用集積回路と前記入出力用集積回路の距離は、前記制御基板に配置された、前記縦型の集積回路として形成された制御用集積回路の周囲に、横型の集積回路として形成された制御用集積回路を前記制御基板に配置した場合に必要とする実装面積と等しい領域を確保可能な距離に設定されている、ことを特徴とする遊技機。」として構成することができる。

態様6の遊技機では、制御用集積回路と入出力用集積回路の距離が、制御基板に配置された縦型の制御用集積回路の周囲に、横型の集積回路として形成された制御用集積回路を制御基板に配置した場合に必要とする実装面積と等しい領域を確保可能な距離に設定されている。

「制御基板に配置された、縦型の制御用集積回路の周囲に、横型の集積回路として形成された制御用集積回路を制御基板に配置した場合に必要とする実装面積と等しい領域を確保可能な距離」という記載は、例えば、横型の主制御用集積回路と入出力用集積回路を平行に主制御基板上に配置した場合に、横型の主制御用集積回路が配置される領域(実装領域)の中央部に、縦型の主制御用集積回路の端子の配列方向が横型の主制御用集積回路の端子の配列方向と同じ方向となるように、縦型の主制御用集積回路を主制御基板に配置する構成を意味する。

態様6の遊技機を用いれば、制御用集積回路の、入出力用集積回路側の面に表示されている識別情報を視認可能となるように、制御用集積回路と入出力用集積回路を容易に配置することができる。

#### 【0060】

また、「(態様7)態様1~6のいずれかの遊技機であって、前記入出力用集積回路の複数のデータ端子の中の少なくとも1つのデータ端子に接続されるとともに、外部機器に接続されたプラグの端子が接続可能な接続端子を有する接続部を備え、前記接続部は、前

10

20

30

40

50

記入出力用集積回路を挟んで前記制御用集積回路と反対側に、前記入出力用集積回路と平行に配置されている、ことを特徴とする遊技機。」として構成することができる。

態様 7 の遊技機では、入出力用集積回路のデータ端子の中の少なくとも 1 つに接続される接続端子を有する接続部を、入出力用集積回路を挟んで制御用集積回路と反対側に、入出力用集積回路と平行に配置している。

「接続部を入出力用集積回路と平行に配置する」構成は、例えば、接続部の接続端子の配列方向が入出力用集積回路の端子列の配列方向と平行になるように、接続部と入出力用集積回路を配置する構成を意味する。

接続部に接続されるデータ端子は 1 つでもよいし複数でもよい。

接続部の配置位置あるいは接続部の接続端子に接続される入出力用集積回路のデータ端子の配設位置は、接続部と入出力用集積回路が制御基板に配置された時に、接続部の接続端子と入出力用集積回路のデータ端子が対向するように設定されているのが好ましい。

態様 7 の遊技機を用いれば、入出力用集積回路と接続部との間に配設されるデータ線の長さを短くすることができる。

#### 【 0 0 6 1 】

また、「( 態様 8 ) 態様 7 の遊技機であって、前記接続部と前記入出力用集積回路は、前記制御用集積回路と前記入出力用集積回路の間の距離以上離して配置されている、ことを特徴とする遊技機。」として構成することができる。

態様 8 の遊技機では、接続部と入出力用集積回路の間の距離を、制御用集積回路と入出力用集積回路の間の距離以上に設定している。

態様 8 の遊技機を用いれば、入出力用集積回路と接続部の間に不正な回路が設けられていることを容易に発見することができる。

#### 【 0 0 6 2 】

また、「( 態様 9 ) 態様 1 ~ 8 のいずれかの遊技機であって、前記入出力用集積回路は、前記制御用集積回路より前記制御基板の中央部側に配置されている、ことを特徴とする遊技機。」として構成することができる。

態様 9 の遊技機では、入出力用集積回路が制御用集積回路より制御基板の中央部側に配置されている。

態様 9 の遊技機を用いれば、入出力用集積回路と他の回路との間に配設される接続線を短くすることができる。

#### 【 0 0 6 3 】

また、「( 態様 1 0 ) 態様 1 ~ 9 のいずれかの遊技機であって、前記制御基板は、前記制御用集積回路及び前記入出力用集積回路が配置される側の面が長方形に形成されており、前記制御用集積回路及び前記入出力用集積回路は、前記長方形に形成された面の長辺に平行に配置されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 0 の遊技機では、制御用集積回路及び入出力用集積回路が、長方形に形成されている制御基板の基板面の長辺に平行に配置されている。

態様 1 0 の遊技機を用いれば、制御用集積回路に表示されている識別情報を視認可能に、制御用集積回路と入出力用集積回路の間の距離を確保しながら、制御基板の実装効率を高めることができる。

#### 【 0 0 6 4 】

また、「( 態様 1 1 ) 態様 4 ~ 1 0 のいずれかの遊技機であって、前記制御回路の動作クロック信号を出力し、前記制御基板に配置される発振器を備え、前記発振器は、前記制御用集積回路を挟んで前記入出力用集積回路と反対側に配置されている、ことを特徴とする遊技機。」として構成することができる

態様 1 1 の遊技機では、制御回路の動作クロック信号を出力する発振器を、制御用集積回路を挟んで入出力用集積回路と反対側に配置している。

態様 1 1 の遊技機を用いれば、発振器から発生するノイズが、制御用集積回路と入出力用集積回路との間に配設されているデータバスに浸入するのを防止することができる。

#### 【 0 0 6 5 】

10

20

30

40

50

また、「( 態様 1 2 ) 態様 4 ~ 1 1 のいずれかの遊技機であって、前記制御基板は、前記制御用集積回路及び前記入出力用集積回路が配置される側及び反対側の面を有し、前記制御基板の少なくとも一方側の面には、前記 2 列に配置された制御用接続部の間あるいは前記 2 列に配置された入出力用接続部の間に接地線が配置されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 2 の遊技機では、制御基板の少なくとも一方側の面に、2 列の制御用接続部列の間あるいは 2 列の入出力用接続部列の間に接地線が配置されている。

接地線の配設位置は、2 列の制御用接続部列の間あるいは 2 列の入出力用接続部列の間であればよいが、2 列の制御用接続部列の間あるいは 2 列の入出力用接続部列の間の中央部であるのが好ましい。

接地線は、2 列の制御用接続部列の間及び 2 列の入出力用接続部列の間の少なくとも一方に配設されていればよい。また、少なくとも一方側の基板面に配設されていればよい。

「制御用集積回路及び入出力用集積回路が配置されていない側( 反実装側 ) の基板面における 2 列の制御用接続部列の間あるいは 2 列の入出力用接続部列の間」は、制御用集積回路及び入出力用集積回路が配置されている側( 実装側 ) の基板面に設けられている制御用接続部あるいは入出力用接続部を、制御用集積回路及び入出力用集積回路が配置されていない側に貫通させることによって形成される 2 列の制御用接続部列あるいは 2 列の入出力用接続部列の間を意味する。

態様 1 2 の遊技機では、制御用集積回路あるいは入出力用集積回路の下方の基板面に接地線が配設されているため、制御用集積回路あるいは入出力用集積回路から発生するノイズが外部に放出されるのを防止することができる。これにより、外部機器のノイズによる誤動作を防止することができる。また、制御用集積回路あるいは入出力用集積回路の端子列の間に不正な回路が配置されることを防止することができ、不正防止効果を高めることができる。

10

20

30

40

50

#### 【 0 0 6 6 】

また、「( 態様 1 3 ) 第 1 のセレクト端子及び第 1 のデータバス端子を含む端子を有し、遊技機の動作を制御する制御回路を内蔵する制御用集積回路と、前記制御用集積回路の第 1 のセレクト端子及び第 1 のデータバス端子に接続される第 2 のセレクト端子及び第 2 のデータバス端子と複数のデータ端子を含む端子を有し、前記第 2 のセレクト端子に入力されたセレクト信号に基づいて、前記第 2 のデータバス端子と前記複数のデータ端子との接続を制御する入出力処理回路を内蔵する入出力用集積回路と、前記制御用集積回路の端子が接続可能な制御用接続部と、前記入出力用集積回路の端子が接続可能な入出力用接続部が配置されている制御基板を備え、前記制御用集積回路と前記入出力用集積回路が同一の外形形状を有している遊技機であって、前記制御用集積回路と前記入出力用集積回路は、互いに判別可能に構成されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 3 の遊技機では、同じ外形形状を有する制御用集積回路と入出力用集積回路を判別可能に構成している。

「判別可能に構成する」方法としては、色によって判別可能に構成する方法や、接続端子の数や配設態様によって判別可能に構成する態様等を用いることができる。

態様 1 3 の遊技機では、同じ外形形状を有している制御用集積回路と入出力用集積回路を判別することができるため、作業員等が制御用集積回路と入出力用集積回路の配設位置を間違えるのを防止することができる。

#### 【 0 0 6 7 】

また、「( 態様 1 4 ) 態様 1 3 の遊技機であって、前記制御用集積回路及び前記入出力用集積回路は、縦型の集積回路として形成されているとともに、平行に前記制御基板に配置されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 4 の遊技機では、制御用集積回路及び入出力用集積回路が、縦型の集積回路として形成されているとともに、平行に制御基板に配置されている。

態様 1 4 の遊技機を用いれば、制御基板の実装効率を高めることができる。また、制御



用集積回路と入出力用集積回路との間に配設される接続線を短くすることができる。さらに、制御用集積回路及び入出力用集積回路と制御基板との間に不正回路が配設されたことを容易に発見することができる。

【 0 0 6 8 】

また、「( 態様 1 5 ) 態様 1 3 または 1 4 の遊技機であって、前記制御用集積回路及び前記入出力用集積回路は、少なくとも一部の色が異なるように構成されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 5 の遊技機では、制御用集積回路及び入出力用集積回路が、少なくとも一部の色が異なるように構成されている。

制御用集積回路や入出力用集積回路の一部の色を変える方法を用いる場合には、色の表示位置を、色が異なっていることを容易に判別することができる位置、例えば、制御用集積回路や入出力用集積回路の上面(反基板面側)に設定するのが好ましい。 10

ここで、模様は色の組合せであるから、「制御用集積回路と入出力用集積回路の少なくとも一部の色が異なる」態様には、制御用集積回路と入出力用集積回路の少なくとも一部に異なる模様を表示する態様が含まれる。模様には、無地の模様も含まれる。

態様 1 5 の遊技機を用いれば、作業員等は、制御用集積回路と入出力用集積回路の一部あるいは全部に表示されている色(模様を含む)を視認するだけで、制御用集積回路と入出力用集積回路を簡単に、確実に判別することができる。これにより、作業員等が制御用集積回路と入出力用集積回路の配設位置を間違えるのを防止することができる。

【 0 0 6 9 】

また、「( 態様 1 6 ) 態様 1 3 ~ 1 5 のいずれかの遊技機であって、前記制御用集積回路の端子及び前記主制御用接続部と前記入出力用集積回路の端子及び前記入出力用接続部の数あるいは配置形状の少なくとも一方が異なるように構成されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 6 の遊技機では、制御用集積回路の端子及び制御用接続部と入出力用集積回路の端子及び入出力用接続部の数あるいは配置形状の少なくとも一方を変えている。

態様 1 6 の遊技機を用いれば、制御用集積回路の端子は制御用接続部にしか接続することができず、また、入出力用集積回路の端子は入出力用接続部にしか接続することができない。このため、同じ外形形状であっても、制御用集積回路や入出力用集積回路を正しい配置位置に確実に配置することができる。 20 30

【 0 0 7 0 】

また、「( 態様 1 7 ) 態様 1 3 ~ 1 6 のいずれかの遊技機であって、前記制御基板には、前記制御用接続部の近傍及び前記入出力用接続部の近傍に異なる色が表示されており、前記制御用集積回路及び前記入出力用集積回路には、それぞれ前記制御用接続部の近傍及び前記入出力用接続部の近傍に表示されている色と同じ色が表示されている、ことを特徴とする遊技機。」として構成することができる。

態様 1 7 の遊技機では、制御用集積回路及び制御用接続部の近傍と入出力用集積回路及び入出力用接続部の近傍にそれぞれ異なる色を表示している。

制御用接続部や入出力用接続部の近傍としては、制御用接続部や入出力用接続部から離れている箇所、制御用接続部や入出力用接続部の一部あるいは全部を含む領域を設定することができる。 40

模様を表示する態様は、色を表示する態様に含まれる。

態様 1 7 の遊技機を用いれば、作業員等は、集積回路に表示されている色(模様を含む)と、制御用接続部及び入出力用接続部の近傍の色を対比するだけで、すなわち、集積回路に表示されている色と同じ色が表示されている制御用接続部あるいは入出力用接続部を選択するだけで、集積回路を正しい配置位置に配置することができる。

【 0 0 7 1 】

また、「( 態様 1 8 ) 態様 1 7 の遊技機であって、異なる模様を表示する、ことを特徴とする遊技機。」として構成することができる。

態様 1 8 の遊技機では、制御用集積回路及び制御用接続部の近傍と入出力用集積回路及 50

び入出力用接続部の近傍に異なる模様を表示している。

異なる模様としては、一瞥して判別可能な模様を用いるのが好ましい。

態様 18 の遊技機を用いれば、作業員等は、模様の認識及び対比を行うだけでよいため、集積回路を正しい配置位置に、容易に、確実に配置することができる。

【図面の簡単な説明】

【0072】

【図1】第1の実施の形態の概略構成を示す斜視図である。

【図2】図1のII線矢視図である。

【図3】図1の要部の斜視図である。

【図4】図2のIV線矢視図である。

10

【図5】主制御用集積回路と入出力用集積回路の配置例を示す図である。

【図6】主制御用集積回路と入出力用集積回路の配置例を示す図である。

【図7】主制御用集積回路と入出力用集積回路の配置例を示す図である。

【図8】第1の実施の形態の要部の斜視図である。

【図9】図9のVI線矢視図である。

【図10】図9のVII-VII線断面図である。

【図11】第2の実施の形態の要部の斜視図である。

【図12】第2の実施の形態の要部の平面図である。

【図13】第3の実施の形態の要部の斜視図である。

【図14】第4の実施の形態の要部の斜視図である。

20

【符号の説明】

【0073】

110 ケース

111 孔

120 基板

120a、120b 基板面

120CPU 制御用挿入部

120CPUa、120CPUb 制御用挿入部列

120IO 入出力用挿入部

120IOa、120IOb 入出力用挿入部列

30

120Gf、120Gb 接地パターン

121 ソケット

122 発振器

130 制御用集積回路(CPUチップ)

130a、130b 側面

130c 底面(基板と対向する面)

131、141 端子

131a、131b、141a、141b 端子列

132、133a 識別情報

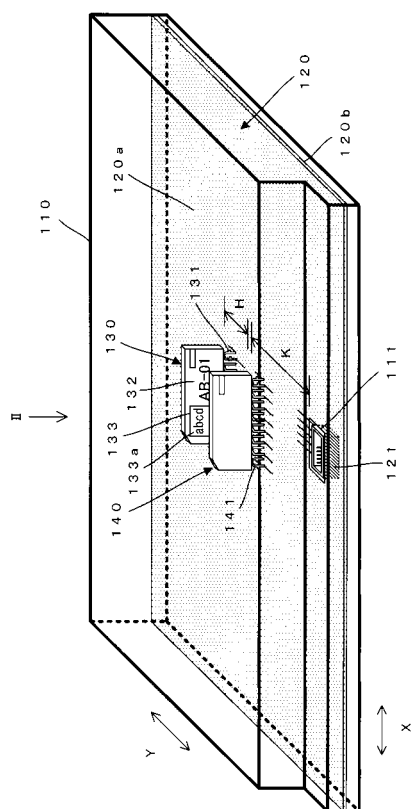
133 シール

40

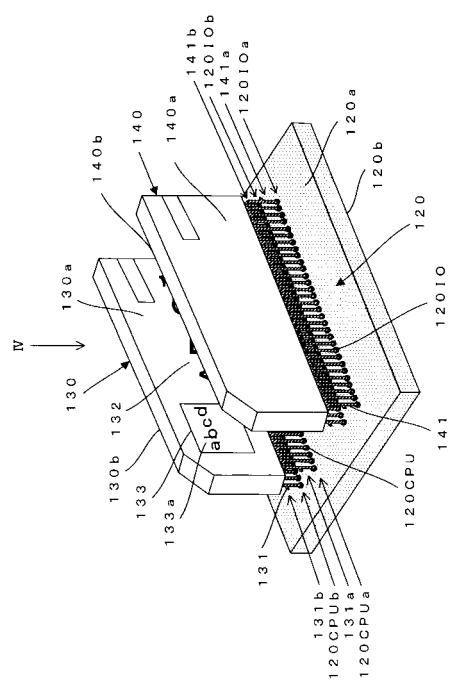
140 入出力用集積回路(IOチップ)

140a、140b 側面

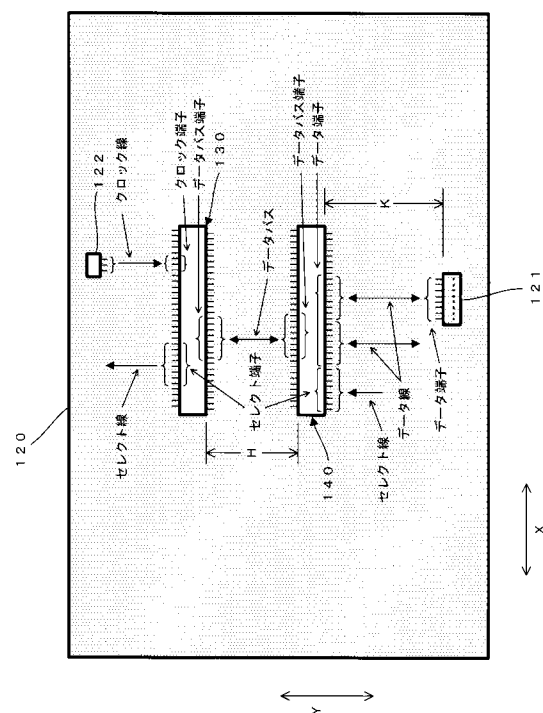
【 図 1 】



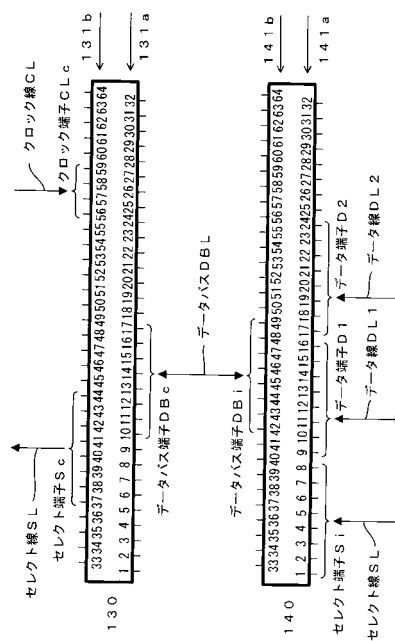
【 図 3 】



【圖 2】

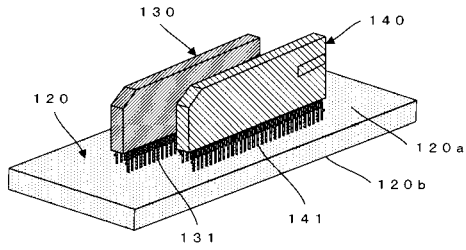


【 図 4 】

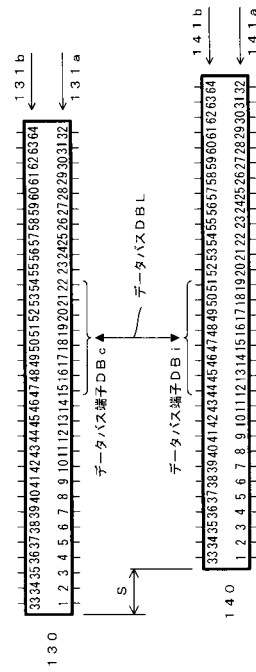




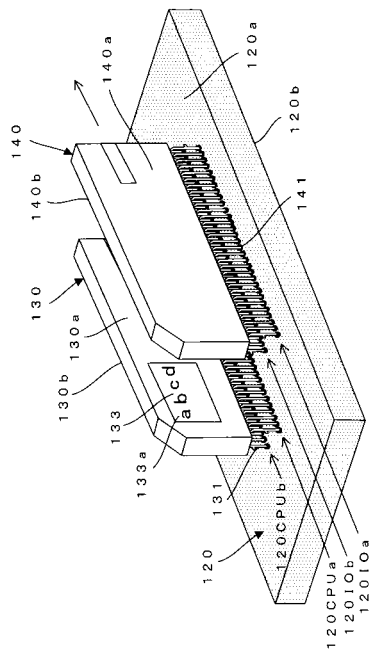
【 図 1 1 】



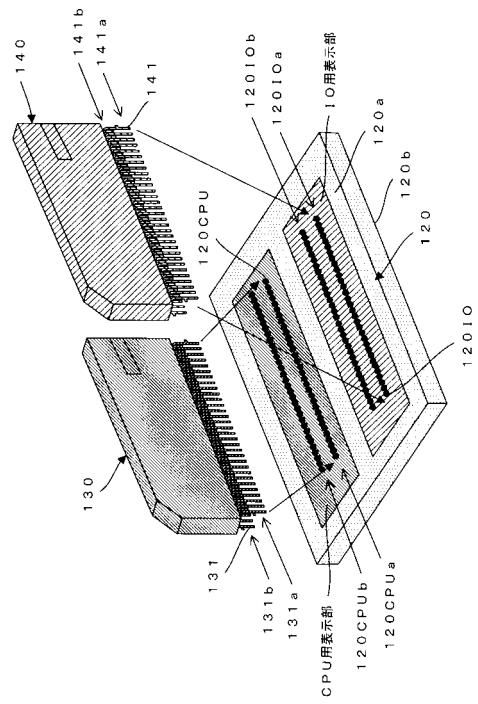
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

- (72)発明者 中村 昌則  
愛知県西春日井郡西春町大字沖村字西ノ川 1 番地 株式会社大万内
- (72)発明者 高橋 武則  
愛知県西春日井郡西春町大字沖村字西ノ川 1 番地 株式会社大万内
- F ターム(参考) 2C088 BC45 BC47 EA10