

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年3月24日(24.03.2016)



(10) 国際公開番号
WO 2016/042593 A1

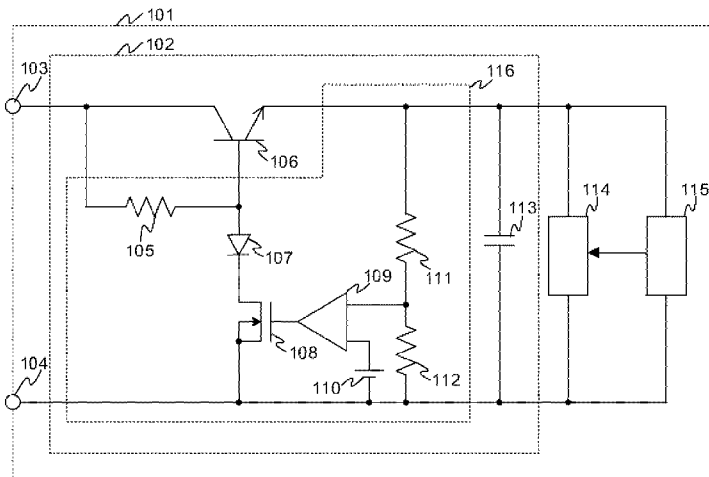
- (51) 国際特許分類:
G05F 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2014/074340
- (22) 国際出願日: 2014年9月16日(16.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 柳川 善光(YANAGAWA Yoshimitsu); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 松本 昌大(MATSUMOTO Masahiro); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 浅野 哲(ASANO Satoshi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 中野 洋(NAKANO Hiroshi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 小田部 晃(KOTABE Akira); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SENSOR DEVICE

(54) 発明の名称: センサ装置

図1



(57) Abstract: Provided is a sensor device wherein malfunction due to a negative surge is suppressed. This sensor device is provided with: a sensor element wherein electrical characteristics change corresponding to physical quantities; a signal processing circuit that processes output signals of the sensor element; a first transistor element that supplies currents to the sensor element and the signal processing circuit; a control circuit that controls a base current of the first transistor element; a power supply terminal; and a ground terminal. The sensor device is characterized in that the control circuit is provided with a limiting section that limits a current flowing from the ground terminal toward a base terminal of the first transistor element.

(57) 要約: 負サージによる誤動作を抑制したセンサ装置を提供する。物理量に応じて電気的特性の変化するセンサ素子と、センサ素子の出力信号を処理する信号処理回路と、センサ素子と信号処理回路に電流を供給する第一のトランジスタ素子と、第一のトランジスタ素子のベース電流を制御する制御回路と、電源端子と、グラウンド端子とを備えるセンサ装置において、グラウンド端子から第一のトランジスタ素子のベース端子に向かって流れる電流を制限する制限部を制御回路に備えることを特徴とする。

WO 2016/042593 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : センサ装置

技術分野

[0001] 本発明は電圧を安定化するレギュレータを備えるセンサ装置に係り、特に電源ラインに印加される負サージに対して誤動作耐性のあるセンサ装置に関する。

背景技術

[0002] センサ素子や信号処理回路に供給される電源電圧の安定化や、プロセスの微細化に伴う回路動作電圧の低下に対応するためにレギュレータが用いられる。レギュレータは電源ラインの電圧変動を吸収し、安定化された所定の電圧をセンサ素子や信号処理回路に供給するが、電源ラインに負サージが印加された場合、レギュレータの負荷駆動トランジスタを電流が逆流し、レギュレータの出力電圧が低下することがある。これにより、センサ素子や信号処理回路などの負荷回路がリセットされ、異常値出力や再起動動作などの誤動作が発生する場合がある。このような誤動作を抑制するには、負サージ印加時に電流が逆流しないようにする必要がある。特許文献1に記載の技術は、電源ラインと負荷駆動用のNPNバイポーラトランジスタ（以下NPNトランジスタと称する）のコレクタ端子との間にダイオード備える。このダイオードが負サージ印加時の負荷側から電源ラインへと向かう逆流電流を阻止するため、前記のような誤動作を抑制できる。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-156641号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら従来技術では、ダイオードが負荷回路への給電経路上に存在するため、ダイオードの順方向電圧降下分の電圧ドロップが発生し、レギュ

レータの出力電圧範囲が狭くなるという課題がある。たとえば、入力電圧を V_{in} とすると、レギュレータは最大でも $V_{in} - 1.2V$ 程度しか出力できない。これは、ダイオードの順方向電圧降下が約 $0.6V$ 、トランジスタのベース・エミッタ間の電圧降下が約 $0.6V$ だからである。ショットキバリアダイオードのように順方向電圧降下が小さいダイオードも存在するが、逆方向の漏れ電流が大きいため、負サージ印加時の逆流電流を阻止する目的には不向きである。

[0005] また、給電経路上のダイオードは、負荷回路の消費電流に応じて十分なサイズである必要がある。負荷回路が大きな電流を消費する場合は、ダイオードのサイズを大きくして十分な電流容量を確保せねばならず、チップ面積に占めるダイオードのサイズも無視できなくなる。以上の観点から、給電経路上にはダイオードを挿入しないことが好ましい。

[0006] 本発明は上記事情に鑑みてなされたものであり、その目的は、負サージが電源ラインに発生した場合でも負荷回路における電圧低下を抑制し誤動作耐性の高いセンサ装置を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成する本発明のセンサ装置は、グラウンド端子から第一のトランジスタ素子のベース端子に向かって流れる電流を制限する制限部を制御回路に備えたことを特徴としている。

発明の効果

[0008] 本発明により、負サージが電源ラインに発生した場合でも負荷回路における電圧低下を抑制でき、誤動作耐性の高いセンサ装置を提供できる。

図面の簡単な説明

- [0009] [図1]第1実施例をなすセンサ装置の構成
[図2]第2実施例をなすセンサ装置の構成
[図3]第3実施例をなすセンサ装置の構成
[図4]第4実施例をなすセンサ装置の構成
[図5]第5実施例をなすセンサ装置の構成

[図6]第6実施例をなすセンサ装置の構成

[図7]第7実施例をなすセンサ装置の構成

[図8]従来のセンサ装置の構成

[図9]NPNトランジスタの模式図

[図10]第1の実施例の変形例

[図11]第1の実施例の変形例

[図12]寄生トランジスタの説明図

[図13]第8実施例をなすセンサ装置の構成

[図14]分離領域長と電流増幅率の関係の説明図

発明を実施するための形態

[0010] 以下、本発明の実施の形態について、図面を参照して説明する。本発明の第1実施例をなすセンサ装置を図1、8、9により説明する。図1は第1実施例をなすセンサ装置の構成を示す。図8は従来のセンサ装置の構成を示す。図9はNPNトランジスタ106の模式的な構造を示す。

[0011] 本実施例におけるセンサ装置の構成を図1により説明する。本実施例におけるセンサ装置101は、入力電圧 V_i を供給する電源端子103、グラウンド端子104、物理量に応じた電気信号を発生させるセンサ素子115、センサ素子115からの出力信号を処理する信号処理回路114、電源電圧 V_i からセンサ素子115と信号処理回路114（以下、センサ素子115と信号処理回路114をあわせて負荷回路と称する）への供給電圧 V_o を生成するレギュレータ102とを備える。レギュレータ102は負荷回路を駆動するNPNトランジスタ106と、ベース電流を制御する誤差検出回路116と、デカップリング容量113とを備える。誤差検出回路116は、レギュレータ102の出力電圧 V_o を分圧する抵抗111、112と、基準電圧源110、誤差アンプ109、ベース電流を制御するN型電界効果トランジスタ（以下NMOSと称する）108と、ベース電流を供給する抵抗105と、逆流防止ダイオード107とを備える。なお、逆流防止ダイオード107のアノードはNPNトランジスタ106のベースに接続し、NMOS1

08の寄生ダイオードを介してグラウンドからNPNトランジスタ106のベースに流れ込む逆流電流を阻止するように構成する。

[0012] 本実施例におけるセンサ装置の動作を図1および図9により説明する。本実施例におけるセンサ装置101は、電源電圧 V_i が正常である場合、誤差検出回路116のフィードバック制御によって安定した出力電圧 V_o が負荷回路に供給される。一般的にバイポーラトランジスタの直流電流増幅率 h_{FE} は数十～数百程度であるため、NPNトランジスタ106のベースに流す電流は、負荷回路の消費電流の数十分の1から数百分の1でよい。負荷回路の消費電流が減った場合は、NMOS108を介してグラウンド端子104にベース電流を逃がす。このとき、逆流防止ダイオード107に流れる電流は、負荷回路の消費電流のたかだか数十分の1から数百分の1に過ぎない。したがって、特開2007-156641号公報に記載のように、電源端子103とNPNトランジスタ106のコレクタの間にダイオードを挿入する場合に比べて、ダイオード107の電流容量は1桁～2桁程度少なくてよい。その結果、ダイオード107の面積を小さくできる。また、特開2007-156641号公報に記載のレギュレータの最大出力電圧は、入力電圧 V_i からダイオードの順方向電圧降下約0.6VとNPNトランジスタのベース-エミッタ間電圧降下約0.6Vを差し引いた、 $V_i - 1.2V$ に制限される。一方、本実施例のレギュレータの最大出力電圧は V_i からNPNトランジスタ106のベース-エミッタ間電圧約0.6Vを差し引いた $V_i - 0.6V$ であり、より広範囲な電圧を出力できる。

[0013] 次に負サージにより入力電圧 V_i が異常低下し、負電位 $-V_s$ となった場合の動作について説明する。入力端子103が負電位 $-V_s$ となると、後述するとおりNMOS108の寄生ダイオードを通じてグラウンド端子104からベースに向かって逆流電流が流れようとする。しかし、逆流防止ダイオード107により逆流電流は流れないため、NPNトランジスタ106のコレクタ端子903とベース端子902の電位はともに $-V_s$ となる。このとき、エミッタ端子901はもともとの出力電圧 $+V_o$ であるため、図9に示

すとおりに、ベース-エミッタ間のPN接合が逆バイアス状態となる。したがって、エミッタから電荷は流出せず、エミッタの電圧 $+V_o$ が維持される。

[0014] これに対し、逆流防止ダイオード107が無い場合の負サージに対する動作について図8を用いて説明する。負サージにより入力端子103が負電位 $-V_s$ となると、NMOS108の寄生ダイオード801を介してグラウンド端子からベースに逆電流 I_{bc} が流入する。すると、エミッタ端子901からコレクタ端子903に向かって電流 I_{ec} が流れるため、デカップリング容量113が放電して出力電圧 $+V_o$ が低下する。

[0015] 本実施例におけるセンサ装置の効果を説明する。第1の効果は、負サージが入力された場合に、デカップリング容量113に蓄積された電荷がNPNトランジスタ106のエミッタ端子901からコレクタ端子903に向かって流出することを防ぎ、より長時間にわたって負荷回路に安定した電圧を供給できる点である。第2の効果は、NPNトランジスタ106のコレクタ端子903ではなくベース端子902に逆流防止ダイオード107を追加したことにより、通常時のレギュレータの出力電圧範囲を広く確保できる点である。言い方を変えれば、より低い入力電圧でも負荷回路の動作可能なレギュレータを提供した。第3の効果は、NPNトランジスタ106のコレクタ端子903ではなくベース端子902に逆流防止ダイオード107を追加したことにより、逆流防止ダイオード107に必要とされる電流容量を小さくし、素子面積の縮小化を可能とした点である。

[0016] 本発明の第2実施例をなすセンサ装置を図2により説明する。図2は、第2実施例をなすセンサ装置の構成を示す。本実施例におけるセンサ装置101は、第1実施例をなすセンサ装置101における逆流防止ダイオード107に代えて、ウェルとゲートをドレイン側に接続したP型電界効果トランジスタ（以下PMOSと称する）201を備えたことを特徴とする。かかる構成によれば、第1実施例に示すセンサ装置101と同等の効果に加え、通常時はPMOS201の寄生ダイオード202と、ON状態のPMOS201の並列接続となることでより低抵抗にベース端子202とNMOS108を

接続でき、レギュレータ102の応答性をより向上できる。電源端子103に負サージが印加された場合は、PMOS201がOFF状態となる一方、PMOS201の寄生ダイオード202が逆流防止ダイオードとして機能するため、逆流電流は完全に阻止される。

[0017] 本発明の第3実施例をなすセンサ装置を図3により説明する。図3は、第3実施例をなすセンサ装置の構成を示す。本実施例におけるセンサ装置101は、第1実施例をなすセンサ装置101における逆流防止ダイオード107に代えて、ウェルとゲートをドレイン側に接続したNMOS301を備えたことを特徴とする。かかる構成によれば、第1実施例に示すセンサ装置101と同等の効果に加え、通常時はNMOS301の寄生ダイオード302と、ON状態のNMOS301の並列接続となることでより低抵抗にベースとNMOS108を接続でき、レギュレータ102の応答性をより向上できる。電源端子103に負サージが印加された場合は、NMOS301がOFF状態となる一方、NMOS301の寄生ダイオード302が逆流防止ダイオードとして機能するため、逆流電流は完全に阻止される。

[0018] 本発明の第4実施例をなすセンサ装置を図4により説明する。図4は、第4実施例をなすセンサ装置の構成を示す。本実施例におけるセンサ装置101は、第1実施例をなすセンサ装置101における逆流防止ダイオード107に代えて、ベースをコレクタ側に接続したNPNトランジスタ401を備えたことを特徴とする。かかる構成によれば、第1実施例に示すセンサ装置101と同等の効果に加え、通常時はNPNトランジスタ401がON状態となり、低抵抗にベースとNMOS108を接続でき、レギュレータ102の応答性をより向上できる。電源端子103に負サージが印加された場合は、NPNトランジスタ401がOFF状態となる一方、NPNトランジスタ401のベース-エミッタ間のダイオードが逆流防止ダイオードとして機能するため、逆流電流は完全に阻止される。

[0019] 本発明の第5実施例をなすセンサ装置を図5により説明する。図5は、第5実施例をなすセンサ装置の構成を示す。本実施例におけるセンサ装置1

01は、第1実施例をなすセンサ装置101における逆流防止ダイオード107に代えて、ベースをコレクタ側に接続したPNPバイポーラトランジスタ（以下、PNPトランジスタと称する）501を備えたことを特徴とする。かかる構成によれば、第1実施例に示すセンサ装置101と同等の効果に加え、通常時はPNPトランジスタ501がON状態となり、低抵抗にベースとNMOS108を接続でき、レギュレータ102の応答性をより向上できる。電源端子103に負サージが印加された場合は、PNPトランジスタ501がOFF状態となる一方、PNPトランジスタ501のベース-エミッタ間のダイオードが逆流防止ダイオードとして機能するため、逆流電流は完全に阻止される。

[0020] 本発明の第6実施例をなすセンサ装置を図6により説明する。図6は、第6実施例をなすセンサ装置の構成を示す。本実施例におけるセンサ装置101は、第1実施例をなすセンサ装置101における逆流防止ダイオード107に代えて、NMOS108のウェルに直列抵抗素子601を追加したことを特徴とする。かかる構成によれば、抵抗素子601により負サージ印加時にベースに流れ込む逆流電流が制限されるため、能動素子の追加なしにエミッタからコレクタに流れ出る電荷量を抑制し、出力電圧の低下を防ぐことができる。

[0021] 本発明の第7実施例をなすセンサ装置を図7により説明する。図7は、第7実施例をなすセンサ装置の構成を示す。本実施例におけるセンサ装置101は、第1実施例をなすセンサ装置101の分圧抵抗112のグラウンド端子側にNMOS701を追加した。NMOSのゲート端子は電源端子103に接続する。通常時ではNMOS701はON状態である。一方、負サージ印加時はNMOS701のゲート電位が負となるため、NMOS701がOFF状態となり、分圧抵抗111、112に流れる電流をとめることができる。かかる構成によれば、第1実施例に示すセンサ装置101と同等の効果に加え、分圧抵抗111、112に流れる電流も削減されるため、より長時間、出力電圧 V_o を安定して維持できる。

[0022] 本発明の第8実施例をなすセンサ装置を図12、図13、図14により説明する。図12は寄生バイポーラトランジスタ1201を説明する図であり、図13は、第8実施例をなすセンサ装置の断面を示す。本実施例におけるセンサ装置101は、第1実施例をなすセンサ装置101に分離領域1303を追加した。まず、図12と図13を用いて負サージ印加時の寄生バイポーラトランジスタの動作について説明する。寄生バイポーラトランジスタ1201は、信号処理回路114に含まれるPMOSのN型ウェル1302と、レギュレータ102中のNPNトランジスタ106のN型ウェル1301と、その間に存在するP基板またはPウェルとで形成される寄生NPNトランジスタである。負サージが電源端子103に印加されると、グラウンド電位のP基板から寄生NPNトランジスタ1201のエミッタに向かってベース電流が流れる。その結果、寄生NPNトランジスタ1201がONし、N型ウェル1302からN型ウェル1301に向かってコレクタ電流 I_{nw} が流れ、デカップリング容量113が放電して出力電圧 $+V_o$ が低下する。そこで、本実施例では、NPNトランジスタ106のN型ウェル1301と、信号処理回路114中のPMOSのN型ウェル1302との間に分離領域1303を設ける。このとき、分離領域1303の長さ W と寄生NPNトランジスタ1201の電流増幅率 α の関係は以下の式で表される。

[0023] [数1]

$$\alpha = \gamma \cdot \beta^* = \frac{1 / \cosh\left(\frac{W}{L_N}\right)}{1 + \frac{\sigma_B}{\sigma_E} \cdot \frac{W}{L_P}}$$

[0024] ここで、 γ はエミッタ接合での少数キャリアの注入効率、 β^* はエミッタ接地の直流電流増幅率、 σ_B 、 σ_E はそれぞれベース、エミッタの伝導率、 L_N 、 L_P はそれぞれエミッタ、ベースにおける少数キャリアの拡散長である。寄生NPNトランジスタがトランジスタとして増幅動作しないためには、電流増幅率 α を少なくとも0.5以下にすることが望ましい。図14に上式から算出した分離領域1303の長さ W と電流増幅率 α の関係の一例を示す。分離領

域 1303 の長さ W と電流増幅率 α の関係は不純物濃度やキャリアの移動度に応じて変化するが、電流増幅率 α を 0.5 以下にするには分離領域 1303 の長さ W は概ね $100\ \mu\text{m}$ 以上確保することが望ましい。かかる構成によれば、第 1 実施例に示すセンサ装置 101 と同等の効果に加え、寄生バイポーラトランジスタを介して電源端子に流出する電流も低減することができるため、より長時間、出力電圧 V_o を安定して維持できる。

[0025] また、これまでに述べてきた技術は実施例 1 から 8 におけるレギュレータの構成に限定されるものではない。たとえば、図 10 に示すように、NPN トランジスタのベース電流を PMOS 1001 と NMOS 108 で駆動する構成にしても良い。この場合も、負サージ印加時は逆流防止ダイオード 107 によりグラウンド端子からベースに流れ込む電流を阻止できるため、実施例 1 と同等の効果が得られる。また、図 11 に示すように、NPN トランジスタ 106 のベース電流を別の NPN トランジスタ 1101 で制御する場合も、逆流防止ダイオード 107 によって、NPN トランジスタ 1101 の寄生ダイオード 1102 を経由してグラウンド端子 104 から逆流する電流を阻止できる。

符号の説明

[0026] 101 : センサ装置、102 : レギュレータ、103 : 電源端子、104 : グラウンド端子、105 : 抵抗、106 : NPN バイポーラトランジスタ、107 : 逆流防止ダイオード、108 : N 型電界効果トランジスタ、109 : 誤差アンプ、110 : 基準電圧源、111 : 抵抗、112 : 抵抗、113 : デカップリング容量、114 : 信号処理回路、115 : センサ素子、116 : 誤差検出回路、201 : P 型電界効果トランジスタ、202 : 寄生ダイオード、301 : N 型電界効果トランジスタ、302 : 寄生ダイオード、401 : NPN バイポーラトランジスタ、501 : PNP バイポーラトランジスタ、601 : 抵抗、701 : N 型電界効果トランジスタ、801 : 寄生ダイオード、901 : エミッタ端子、902 : ベース端子、903 : コレクタ端子、1001 : P 型電界効果トランジスタ、1101 : NPN バイポーラト

ランジスタ、1102：寄生ダイオード、1201：寄生バイポーラトランジスタ、1301：N型ウェル、1302：N型ウェル、1303：分離領域、1304：コレクタ端子、1305：ベース端子、1306：エミッタ端子、1307：P型ウェル、1308：ドレイン端子、1309：ゲート端子、1310：ソース端子、1311：ウェルコンタクト、 I_{bc} ：ベース-コレクタ電流、 I_{ec} ：エミッター-コレクタ電流、 I_{nw} ：寄生トランジスタのコレクタ電流、 L_N 、 L_P ：拡散長、 V_b ：バイアス電圧、 $-V_s$ ：負サージ電圧、 $+V_o$ ：出力電圧、 W ：分離領域長、 α ：電流増幅率、 β^* ：エミッタ接地の直流電流増幅率、 γ ：少数キャリア注入効率、 σ_B 、 σ_E ：伝導率

請求の範囲

- [請求項1] 物理量に応じて電气的特性の変化するセンサ素子と、
前記センサ素子の出力信号を処理する信号処理回路と、
前記センサ素子と前記信号処理回路に電流を供給する第一のトランジスタ素子と、
前記第一のトランジスタ素子のベース電流を制御する制御回路と、
電源端子と、
グラウンド端子と、
を備えるセンサ装置において、
前記制御回路は、前記グラウンド端子から前記第一のトランジスタ素子のベース端子に向かって流れる電流を制限する制限部を備えることを特徴とするセンサ装置。
- [請求項2] 請求項1に記載のセンサ装置において、
前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子を備え、
前記制限部は、ダイオード素子を備え、前記ダイオード素子は、前記第一のトランジスタ素子のベースとアノードを接続し、前記第二のトランジスタ素子とカソードを接続したことを特徴とするセンサ装置。
- [請求項3] 請求項1に記載のセンサ装置において、
前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子を備え、
前記制限部は、P型電界効果トランジスタを備え、
前記P型電界効果トランジスタのウェルおよびゲートおよびドレインを前記第二のトランジスタ素子に接続し、前記P型電界効果トランジスタのソースを前記第一のトランジスタ素子のベースに接続したことを特徴とするセンサ装置。
- [請求項4] 請求項1に記載のセンサ装置において、

前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子を備え、

前記制限部は、N型電界効果トランジスタを備え、

前記N型電界効果トランジスタのソースを前記第二のトランジスタ素子に接続し、

前記N型電界効果トランジスタのウェルおよびゲートおよびドレインを前記第一のトランジスタ素子のベースに接続したことを特徴とするセンサ装置。

[請求項5] 請求項1に記載のセンサ装置において、

前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子を備え、

前記制限部は、NPNトランジスタを備え、

前記NPNトランジスタのエミッタを前記第二のトランジスタ素子に接続し、

前記NPNトランジスタのベースおよびコレクタを前記第一のトランジスタ素子のベースに接続したことを特徴とするセンサ装置。

[請求項6] 請求項1に記載のセンサ装置において、

前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子を備え、

前記制限部は、PNPトランジスタを備え、

前記PNPトランジスタのベースおよびコレクタを前記第二のトランジスタ素子に接続し、

前記PNPトランジスタのエミッタを前記第一のトランジスタ素子のベースに接続したことを特徴とするセンサ装置

[請求項7] 請求項1に記載のセンサ装置において、

前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子を備え、

前記制限部は、前記第二のトランジスタ素子のウェルとグラウンド端子を接続する抵抗素子を備えることを特徴とするセンサ装置。

[請求項8] 請求項1に記載のセンサ装置において、

前記制御回路は、前記グラウンド端子に向かって電流を流す第二のトランジスタ素子と、分圧用の抵抗素子と、スイッチ部と、を備え、

前記分圧用の抵抗素子の一端と前記グラウンド端子との間に前記スイッチ部が接続され、

前記電源端子に負電圧が印加されたことを検知して前記スイッチ部を切断することを特徴とするセンサ装置。

[請求項9] 請求項8に記載のセンサ装置において、

前記スイッチ部はN型電界効果トランジスタであることを特徴とするセンサ装置。

[請求項10] 請求項1乃至9の何れかに記載のセンサ装置において、

前記第一のトランジスタ素子は第一のN型ウェルを備え、

前記信号処理回路は第二のN型ウェルを備え、

前記センサ装置はP型基板またはP型ウェルを備え、

前記第一のN型ウェルと、前記第二のN型ウェルと、前記P型基板または前記P型ウェルと、

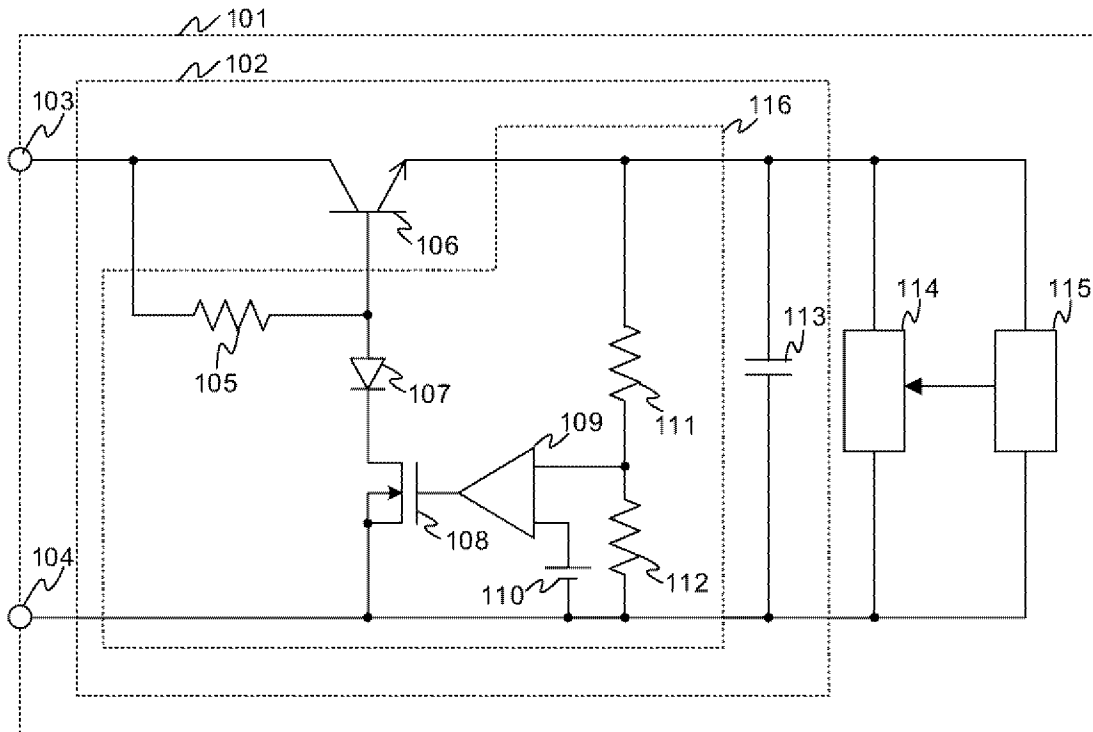
で構成される寄生バイポーラトランジスタの電流増幅率 α が0.5以下となるように前記第一のN型ウェルと前記第二のN型ウェルとの間に分離領域を設けることを特徴とするセンサ装置。

[請求項11] 請求項10に記載のセンサ装置において、

前記分離領域の長さが100マイクロメートル以上であることを特徴とするセンサ装置。

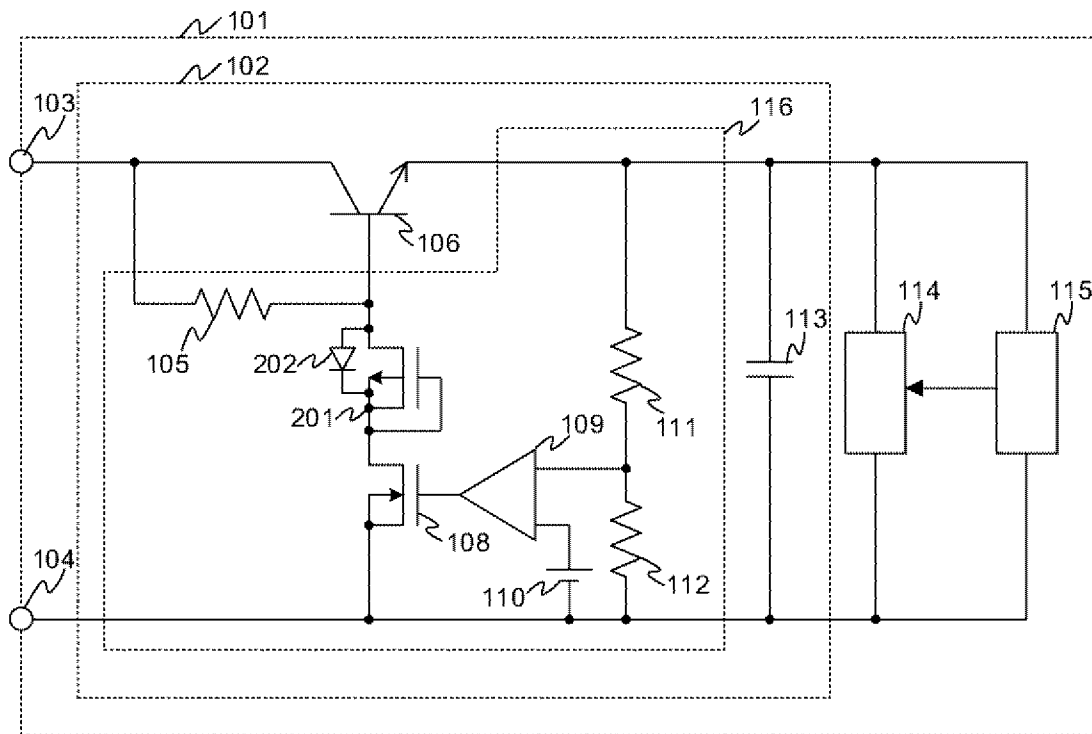
[図1]

図1



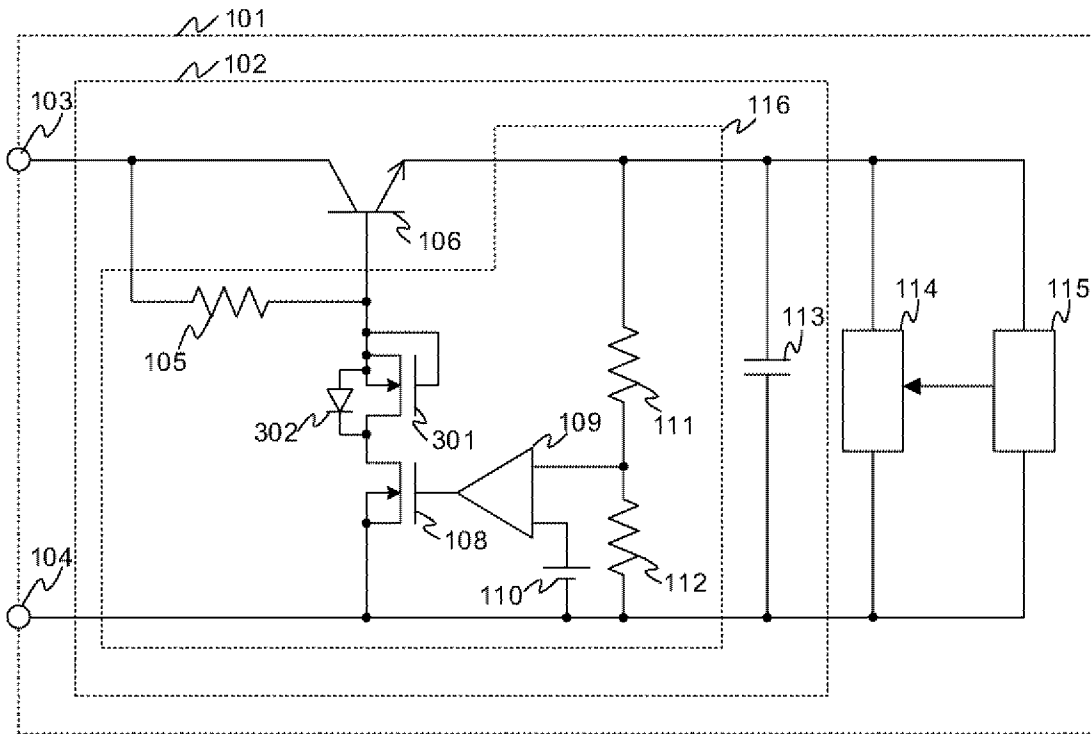
[図2]

図2



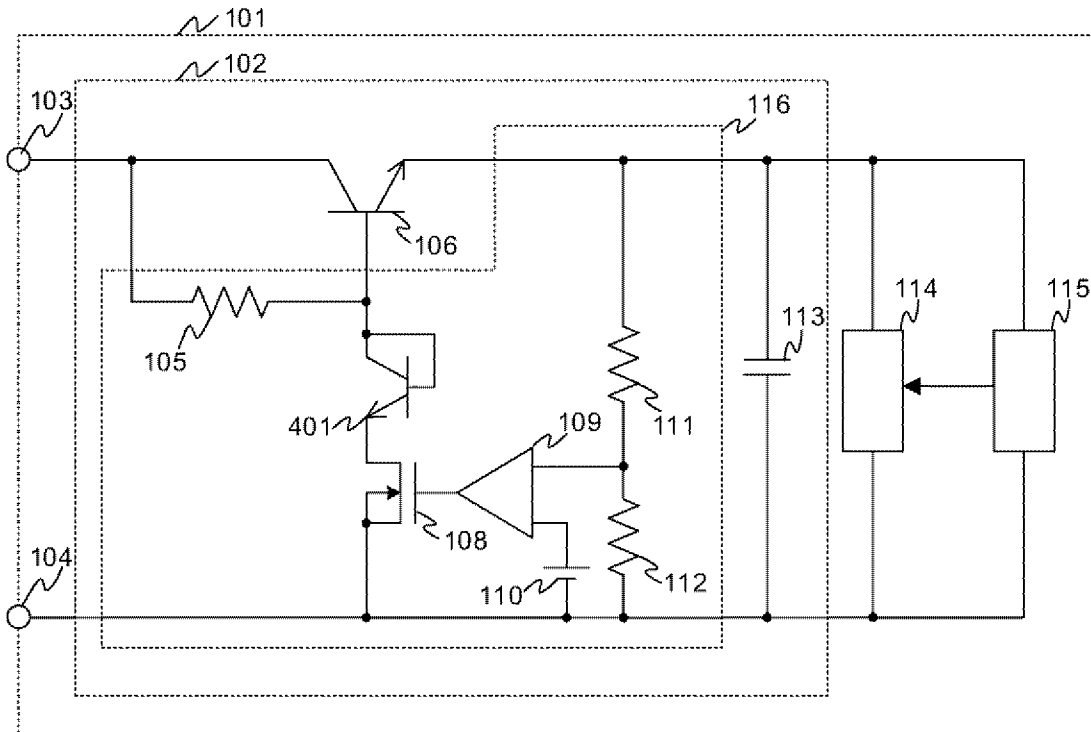
[図3]

図3



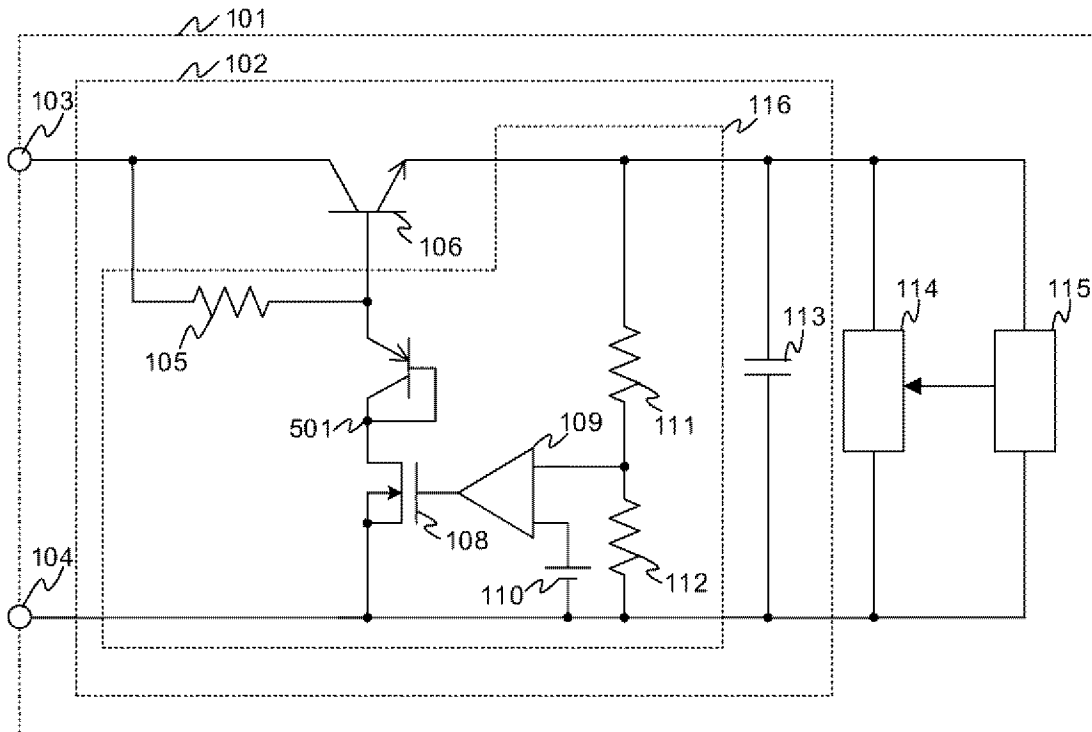
[図4]

図4



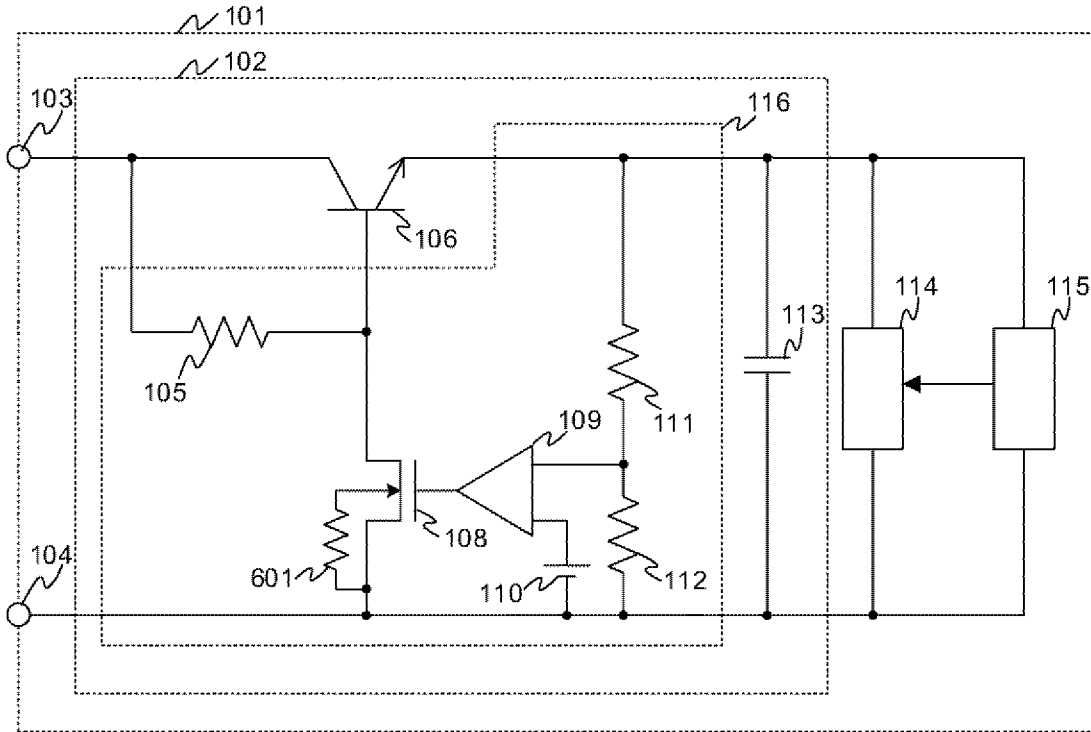
[図5]

図5



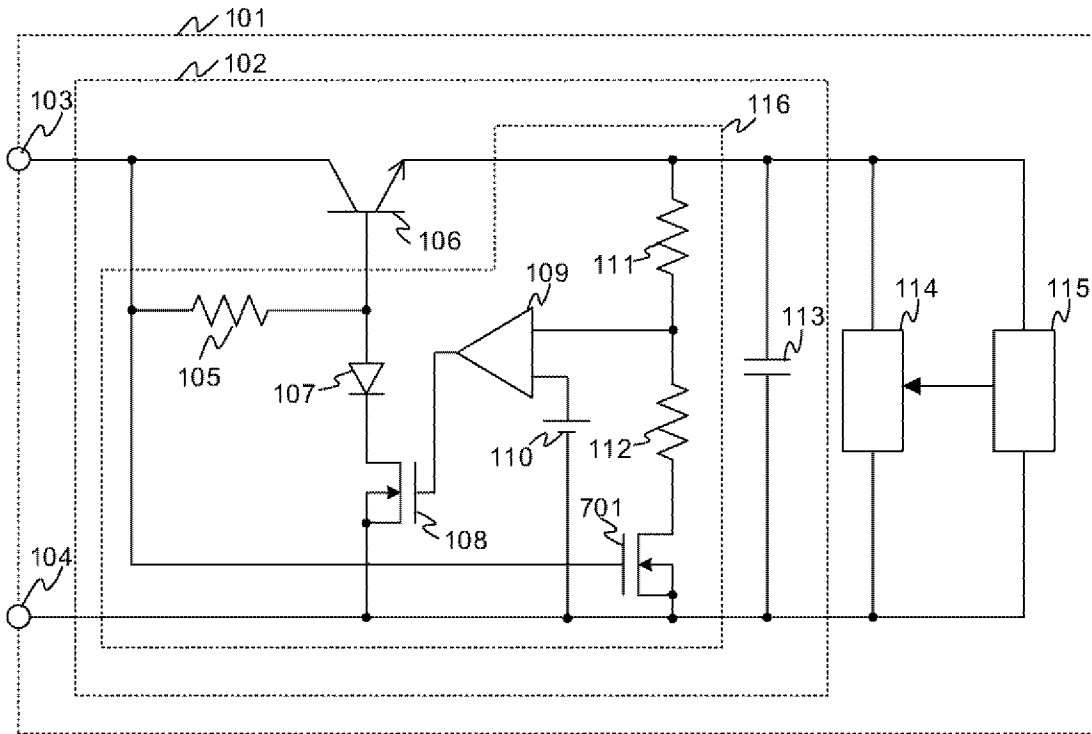
[図6]

図6



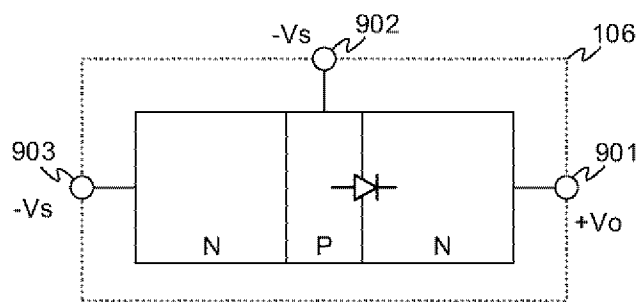
[図7]

図7



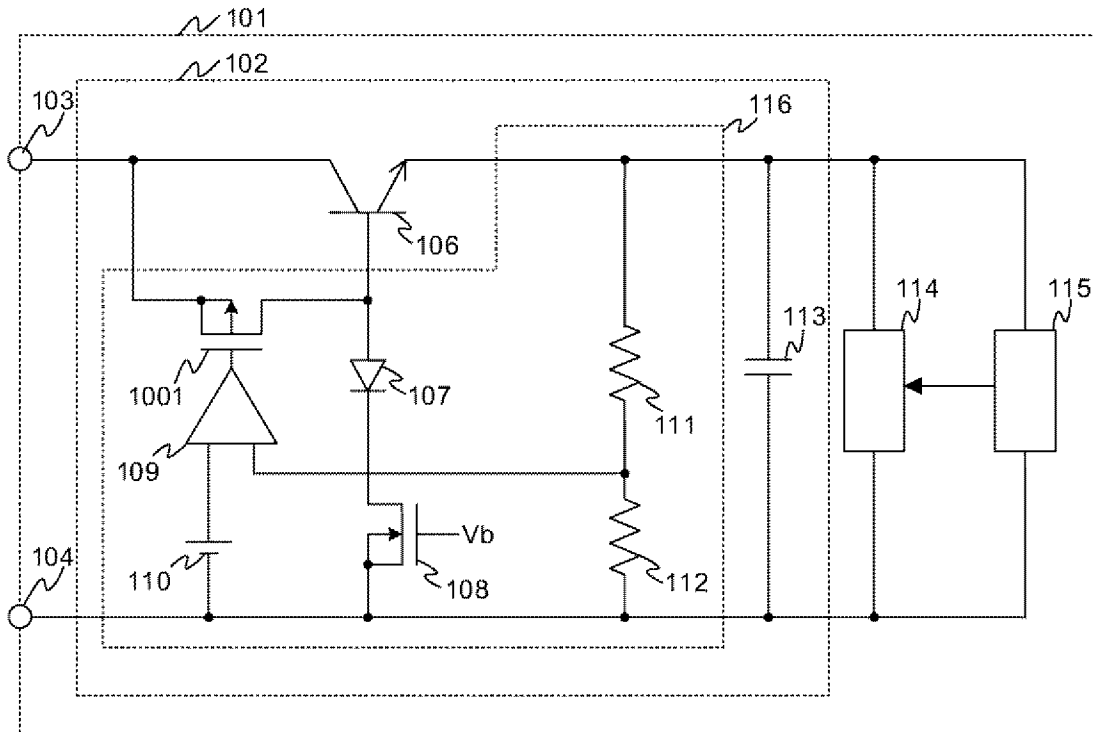
[図9]

図9



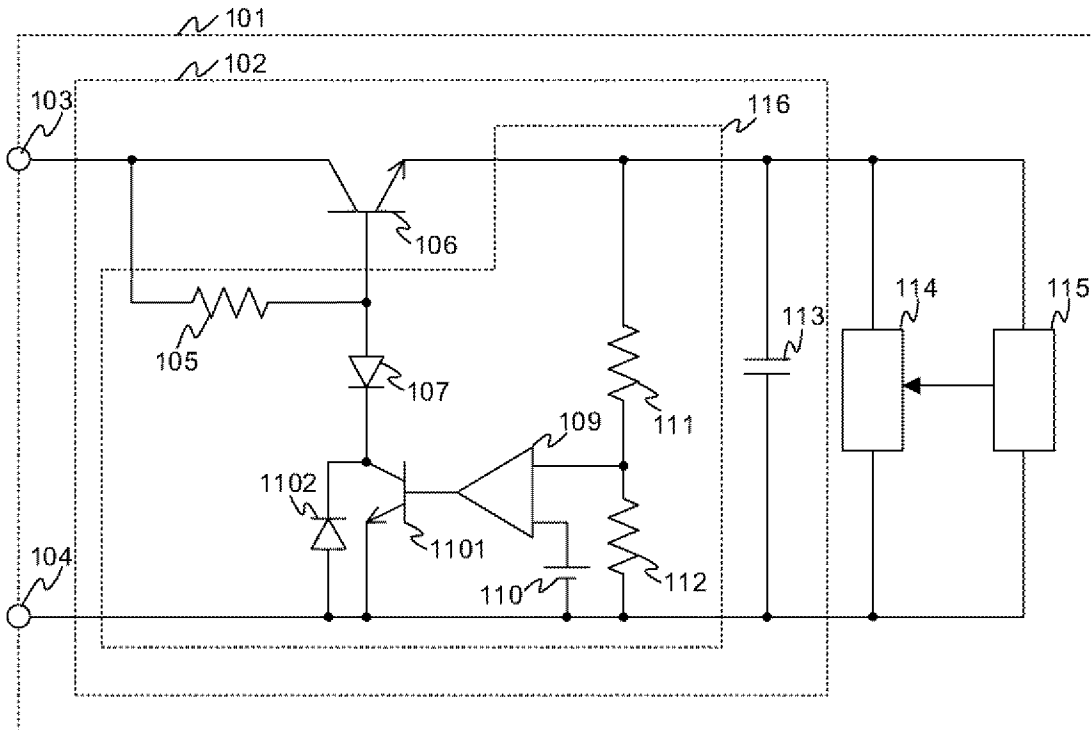
[図10]

図10



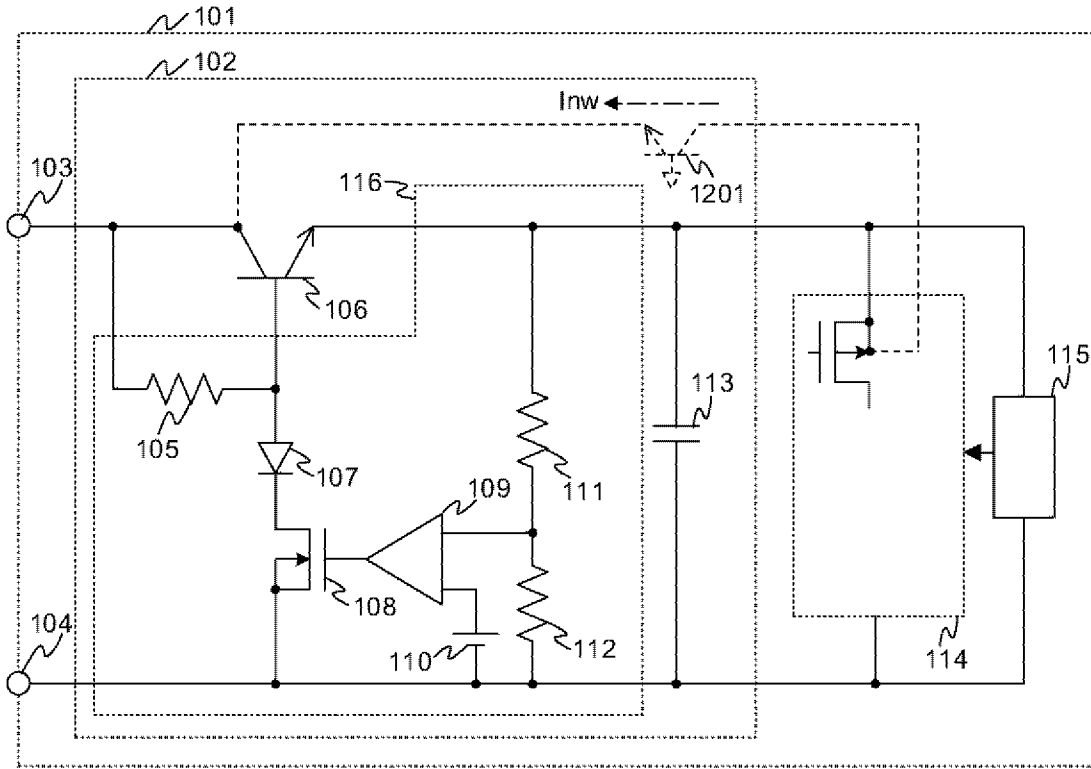
[図11]

図11



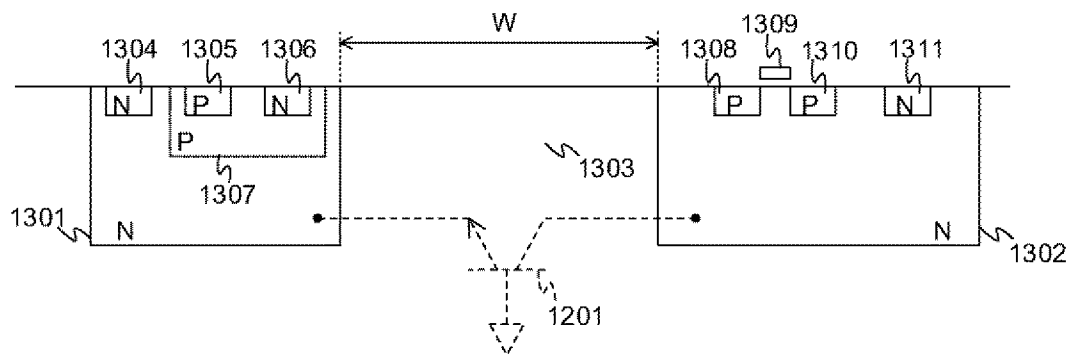
[図12]

図12



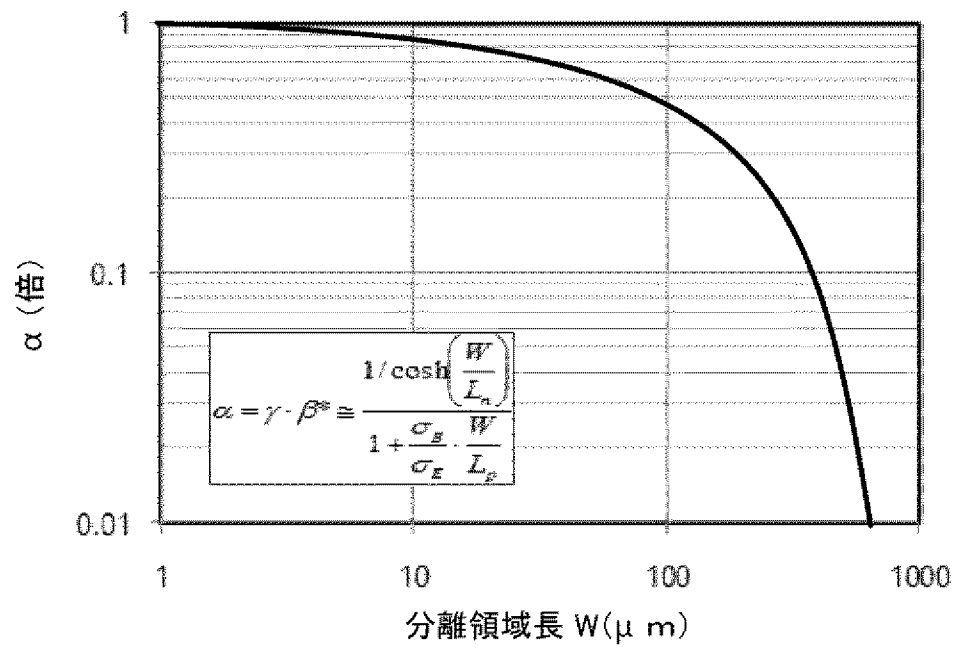
[図13]

図13



[図14]

図14



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/074340

A. CLASSIFICATION OF SUBJECT MATTER
G05F1/56(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 004816/1981 (Laid-open No. 118418/1982) (Takeda Riken Co., Ltd.), 22 July 1982 (22.07.1982), page 3, lines 6 to 13; fig. 1 (Family: none)	1-6, 8-9 7, 10-11
Y A	JP 2002-91582 A (Denso Corp.), 29 March 2002 (29.03.2002), paragraph [0004]; fig. 3 (Family: none)	1-6, 8-9 7, 10-11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 December, 2014 (03.12.14)	Date of mailing of the international search report 16 December, 2014 (16.12.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074340

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-312004 A (Seiko Epson Corp.), 07 November 2000 (07.11.2000), paragraph [0030]; fig. 6 (Family: none)	3-4
Y	JP 2001-195141 A (NEC IC Microcomputer Systems, Ltd.), 19 July 2001 (19.07.2001), paragraph [0019]; fig. 1 (Family: none)	5-6
Y	JP 2010-224825 A (Toshiba Corp.), 07 October 2010 (07.10.2010), paragraphs [0056] to [0059]; fig. 6 (Family: none)	8-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G05F1/56(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2014年
 日本国実用新案登録公報 1996-2014年
 日本国登録実用新案公報 1994-2014年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	日本国実用新案登録出願56-004816号(日本国実用新案登録出願公開57-118418号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(タケダ理研工業株式会社)1982.07.22,第3ページ第6-13行,第1図(ファミリーなし)	1-6, 8-9 7, 10-11
Y A	JP 2002-91582 A (株式会社デンソー) 2002.03.29, 段落【0004】, 図3 (ファミリーなし)	1-6, 8-9 7, 10-11

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 03.12.2014
 国際調査報告の発送日 16.12.2014

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 神山 貴行 電話番号 03-3581-1101 内線 3357	3V	3428
---	--	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-312004 A (セイコーエプソン株式会社) 2000. 11. 07, 段落【0030】, 図6 (ファミリーなし)	3-4
Y	JP 2001-195141 A (日本電気アイシーマイコンシステム株式会社) 2001. 07. 19, 段落【0019】, 図1 (ファミリーなし)	5-6
Y	JP 2010-224825 A (株式会社東芝) 2010. 10. 07, 段落【0056】-【0059】, 図6 (ファミリーなし)	8-9