

12 **DEMANDE DE BREVET D'INVENTION** A1

22 Date de dépôt : 15.07.22.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 19.01.24 Bulletin 24/03.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : *DOLPHIN DESIGN Société par actions simplifiée* — FR.

72 Inventeur(s) : LOUVAT Mathieu et JACQUET François.

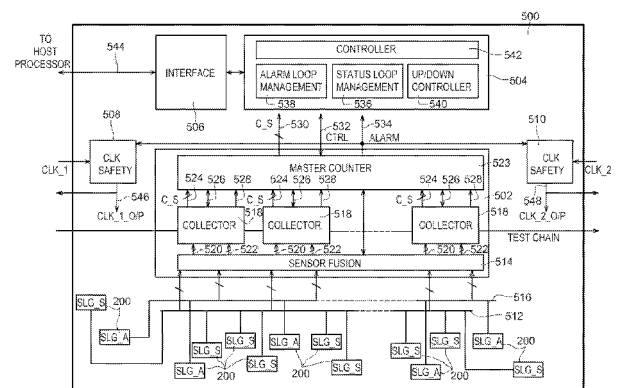
73 Titulaire(s) : DOLPHIN DESIGN Société par actions simplifiée.

74 Mandataire(s) : CABINET BEAUMONT.

54 Surveillance en temps réel dans un circuit numérique.

57 Surveillance en temps réel dans un circuit numérique
 La présente description concerne un circuit comprenant : - des premier et deuxième circuits de protection de la synchronisation (200, SLG_A, SLG_S) configurés pour activer des premier et deuxième indicateurs d'alarme lorsqu'il est détecté qu'une marge temporelle des premier et deuxième signaux de données arrivant au niveau d'un premier dispositif synchrone (202) du premier ou du deuxième circuit de protection chute en-dessous d'un premier seuil (SLG_DELAY 1) ou en-dessous d'un deuxième seuil ; et - un premier circuit collecteur d'indicateurs (518) comprenant : un premier dispositif de détection asynchrone (702_1) configuré pour activer un premier signal de sortie (COLL_OUT #1) au niveau d'une première sortie d'indicateur (528) du premier circuit collecteur d'indicateurs lorsque le premier indicateur d'alarme est activé ; et un deuxième dispositif de détection asynchrone (702_2) configuré pour activer le premier signal de sortie (ALARM) au niveau de la première sortie d'indicateur (534) lorsque le deuxième indicateur d'alarme est activé.

Figure pour l'abrégié : Fig. 5



Description

Titre de l'invention : Surveillance en temps réel dans un circuit numérique

Domaine technique

[0001] La présente description concerne de façon générale le domaine des circuits numériques et, en particulier, la détection de possibles non-respects de la synchronisation dans un circuit numérique.

Technique antérieure

[0002] On a proposé d'améliorer les performances et/ou de réduire la consommation d'énergie d'un circuit en modifiant des fréquences d'horloge et/ou des tensions d'alimentation fournies à des régions de circuits intégrés.

[0003] Toutefois, au-delà d'un certain point de fonctionnement correspondant à une limite de fréquence d'horloge et de tension d'alimentation, le circuit ne fonctionnera plus correctement. En particulier, un circuit intégré ne maintiendra plus un fonctionnement correct si un ou plusieurs de ses dispositifs synchrones subissent des non-respects de la synchronisation. Des dispositifs synchrones incluent des bascules bistables, des mémoires et des bascules mémoire. De tels dispositifs sont généralement caractérisés par un temps d'établissement t_S qui doit être respecté afin d'assurer la stabilité. Le temps d'établissement t_S définit une période de temps avant un front d'horloge significatif pendant lequel les données d'entrée du dispositif synchrone ne doivent pas changer. Un non-respect de la synchronisation apparaît si le temps d'établissement n'est pas respecté.

[0004] Une analyse de synchronisation statique d'une structure de circuits intégrés peut identifier un ou plusieurs trajets de transmission critiques, qui sont les trajets de transmission ayant les plus longs retards de propagation entre deux dispositifs synchrones dans le circuit. Les retards de propagation sur ces trajets de transmission critiques sont généralement utilisés pour déterminer la fréquence d'horloge maximale permise du circuit.

[0005] Toutefois, l'utilisation d'une analyse de synchronisation statique pour déterminer la fréquence d'horloge maximale permise du circuit à différentes tensions de fonctionnement ne permet pas de prendre en compte certaines variables telles que des variations PVT-RC (de l'anglais "process, voltage, temperature, resistance-capacitance parasitics", processus, tension, température, parasites de résistance-capacité). Ainsi, il est nécessaire de prévoir des marges relativement importantes, conduisant à un fonctionnement inefficace.

[0006] Des circuits de surveillance ont été proposés qui permettent d'évaluer des variations

PVT-RC pendant un fonctionnement du circuit. Parmi ces circuits, des circuits de surveillance de la synchronisation in situ/en temps réel ont l'avantage d'être placés dans les trajets réels de propagation de signal et de fournir ainsi une indication fiable et localisée du moment où des non-respects de la synchronisation peuvent apparaître.

[0007] Toutefois, il y a des difficultés techniques à équiper un circuit numérique avec des circuits de surveillance de la synchronisation in situ et à commander la tension d'alimentation et/ou la fréquence de fonctionnement du circuit de façon efficace sur la base des sorties des circuits de surveillance de la synchronisation in situ.

Résumé de l'invention

[0008] Selon un aspect, on prévoit un circuit comprenant :

- un premier circuit de protection de la synchronisation configuré pour détecter le moment où une marge temporelle d'un premier signal de données arrivant au niveau d'un premier dispositif synchrone chute en-dessous d'un premier seuil ; et
- un deuxième circuit de protection de la synchronisation configuré pour détecter le moment où une marge temporelle d'un deuxième signal de données arrivant au niveau d'un deuxième dispositif synchrone chute en-dessous d'un deuxième seuil, les premier et deuxième seuils étant différents l'un de l'autre.

[0009] Selon un mode de réalisation :

- le premier signal de données est généré par au moins un premier trajet de données ayant un premier pire retard de propagation ;
- le deuxième signal de données est généré par au moins un deuxième trajet de données ayant un deuxième pire retard de propagation qui est plus long que le premier pire retard de propagation ; et
- le deuxième seuil est inférieur au premier seuil.

[0010] Selon un mode de réalisation :

- le premier seuil est un seuil de statut à une première distance temporelle d'un front d'horloge d'un signal d'horloge du circuit reçu par le premier dispositif synchrone après l'arrivée du premier signal de données ; et
- le deuxième seuil est un seuil d'alarme à une deuxième distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le deuxième dispositif synchrone après l'arrivée du deuxième signal de données, le deuxième seuil étant inférieur au premier seuil.

[0011] Selon un mode de réalisation, le circuit comprend une pluralité desdits premiers circuits de protection de la synchronisation et un circuit de réponse de synchronisation, mis par exemple en œuvre par un circuit de traitement d'indicateurs de statut et un circuit de commande, configuré pour :

- recevoir des signaux d'indicateurs de statut en provenance de la pluralité de

premiers circuits de protection de la synchronisation lorsque la marge temporelle du premier signal de données chute en-dessous du premier seuil ;

- comparer un nombre de signaux d'indicateurs générés par la pluralité de premiers circuits de protection de la synchronisation à un seuil ; et

- appliquer, en réponse au fait que le nombre de signaux d'indicateurs dépasse le seuil, un premier réglage d'une tension d'alimentation ou d'une tension de polarisation et/ou une première réduction de fréquence au signal d'horloge du circuit.

[0012] Selon un mode de réalisation, le circuit comprend une pluralité desdits deuxièmes circuits de protection de la synchronisation et un circuit de protection, mis par exemple en œuvre par un circuit de traitement d'indicateurs d'alarme et un circuit de sécurité d'horloge, configuré pour :

- recevoir des signaux d'indicateurs d'alarme en provenance de la pluralité de deuxièmes circuits de protection de la synchronisation lorsque la marge temporelle du deuxième signal de données chute en-dessous du deuxième seuil ; et

- appliquer, en réponse au signal d'alarme en provenance de l'un quelconque des deuxièmes circuits de protection, une deuxième réduction de fréquence au signal d'horloge du circuit.

[0013] Selon un mode de réalisation, le premier réglage de fréquence est une réduction de la fréquence jusqu'à 30 pourcent et le deuxième réglage de fréquence est une réduction de la fréquence de plus de 30 pourcent.

[0014] Selon un mode de réalisation, le circuit de réponse de synchronisation est configuré pour mettre en œuvre le deuxième réglage de fréquence en 10 cycles d'horloge et, de préférence, en 5 cycles d'horloge, du signal d'horloge du circuit à partir de l'activation du signal d'indicateur d'alarme.

[0015] Selon un mode de réalisation, chacun des premier et deuxième circuits de protection de la synchronisation comprend :

- un premier tampon de retard relié entre son entrée d'horloge et un nœud d'entrée d'horloge du premier dispositif synchrone.

[0016] Selon un mode de réalisation, chacun des premier et deuxième circuits de protection de la synchronisation comprend :

- un deuxième élément de retard et un troisième élément de retard reliés en série entre son entrée de données et une entrée de données d'un dispositif synchrone supplémentaire, dans lequel le retard introduit par le troisième élément de retard du premier circuit de protection de la synchronisation est différent du retard introduit par le troisième élément de retard du deuxième circuit de protection de la synchronisation.

[0017] Selon un autre aspect, on prévoit un procédé de commande de la synchronisation dans un circuit, le procédé comprenant :

- la détection, par un premier circuit de protection de la synchronisation, du moment

où une marge temporelle d'un premier signal de données arrivant au niveau d'un premier dispositif synchrone chute en-dessous d'un premier seuil ; et

- la détection, par un deuxième circuit de protection de la synchronisation, du moment où une marge temporelle d'un deuxième signal de données arrivant au niveau d'un deuxième dispositif synchrone chute en-dessous d'un deuxième seuil, les premier et deuxième seuils étant différents l'un de l'autre.

[0018] Selon un mode de réalisation :

- le premier signal de données est généré par au moins un premier trajet de données ayant un premier pire retard de propagation ;
- le deuxième signal de données est généré par au moins un deuxième trajet de données ayant un deuxième pire retard de propagation qui est plus long que le premier pire retard de propagation ; et
- le deuxième seuil est inférieur au premier seuil.

[0019] Selon un mode de réalisation :

- le premier seuil est un seuil de statut à une première distance temporelle d'un front d'horloge d'un signal d'horloge du circuit reçu par le premier dispositif synchrone après l'arrivée du premier signal de données ; et
- le deuxième seuil est un seuil d'alarme à une deuxième distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le deuxième dispositif synchrone après l'arrivée du deuxième signal de données, le deuxième seuil étant inférieur au premier seuil.

[0020] Selon un mode de réalisation, le circuit comprend une pluralité desdits premiers circuits de protection de la synchronisation et un circuit de réponse de synchronisation, mis par exemple en œuvre par un circuit de traitement d'indicateurs de statut et un circuit de commande, le procédé comprenant en outre :

- la réception, par le circuit de réponse de synchronisation, de signaux d'indicateurs de statut en provenance de la pluralité de premiers circuits de protection de la synchronisation lorsque la marge temporelle du premier signal de données chute en-dessous du premier seuil ;
- la comparaison, par le circuit de réponse de synchronisation, d'un nombre de signaux d'indicateurs générés par la pluralité de premiers circuits de protection de la synchronisation à un seuil ; et
- l'application, par le circuit de réponse de synchronisation en réponse au fait que le nombre de signaux d'indicateurs dépasse le seuil, d'un premier réglage d'une tension d'alimentation ou d'une tension de polarisation et/ou d'une première réduction de fréquence au signal d'horloge du circuit.

[0021] Selon un mode de réalisation, le circuit comprend une pluralité desdits deuxièmes circuits de protection de la synchronisation et un circuit de protection, mis par exemple

en œuvre par un circuit de traitement d'indicateurs d'alarme et un circuit de sécurité d'horloge, le procédé comprenant en outre :

- la réception, par le circuit de protection, de signaux d'indicateurs d'alarme en provenance de la pluralité de deuxième circuits de protection de la synchronisation lorsque la marge temporelle du deuxième signal de données chute en-dessous du deuxième seuil ; et
- l'application, par le circuit de réponse de synchronisation en réponse au signal d'alarme en provenance de l'un quelconque des deuxième circuits de protection, d'une deuxième réduction de fréquence au signal d'horloge du circuit.

[0022] Selon encore un autre aspect, on prévoit un circuit comprenant :

- un premier circuit de protection de la synchronisation configuré pour activer un premier indicateur d'alarme lorsqu'il est détecté qu'une marge temporelle d'un premier signal de données arrivant au niveau du premier dispositif synchrone du premier circuit de protection de la synchronisation chute en-dessous d'un premier seuil ;
- un deuxième circuit de protection de la synchronisation configuré pour activer un deuxième indicateur d'alarme lorsqu'il est détecté qu'une marge temporelle d'un deuxième signal de données arrivant au niveau d'un premier dispositif synchrone du deuxième circuit de protection de la synchronisation chute en-dessous du premier seuil ou en-dessous d'un deuxième seuil différent du premier seuil ; et
- un premier circuit collecteur d'indicateurs comprenant : un premier dispositif de détection asynchrone configuré pour activer un premier signal de sortie au niveau d'une première sortie d'indicateur du premier circuit collecteur d'indicateurs lorsque le premier indicateur d'alarme est activé ; et un deuxième dispositif de détection asynchrone configuré pour activer le premier signal de sortie au niveau de la première sortie d'indicateur lorsque le deuxième indicateur d'alarme est activé.

[0023] Selon un mode de réalisation, le circuit comprend un circuit de protection, mis par exemple en œuvre par un circuit de traitement d'indicateurs d'alarme et un circuit de sécurité d'horloge, configuré pour :

- recevoir le premier signal de sortie ; et
- appliquer, en réponse au premier signal de sortie, une première réduction de fréquence à un signal d'horloge du circuit.

[0024] Selon un mode de réalisation, le circuit comprend en outre un troisième circuit de protection de la synchronisation configuré pour activer un indicateur de statut lorsqu'il est détecté qu'une marge temporelle d'un troisième signal de données arrivant au niveau d'un premier dispositif synchrone du troisième circuit de protection de la synchronisation chute en-dessous d'un troisième seuil, dans lequel :

- le troisième seuil est un seuil de statut à une première distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du

troisième circuit de protection de la synchronisation après l'arrivée du troisième signal de données ; et

- le premier seuil est un seuil d'alarme à une deuxième distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du premier circuit de protection de la synchronisation après l'arrivée du premier signal de données, le premier seuil étant inférieur au troisième seuil.

[0025] Selon un mode de réalisation, le circuit comprend une pluralité desdits troisièmes circuits de protection de la synchronisation et un circuit de réponse de synchronisation, mis par exemple en œuvre par un circuit de traitement d'indicateurs de statut et un circuit de commande, et relié à la sortie du premier circuit collecteur d'indicateurs, le circuit de réponse de synchronisation étant configuré pour :

- recevoir des signaux d'indicateurs de statut en provenance de la pluralité de troisièmes circuits de protection de la synchronisation lorsque la marge temporelle du troisième signal de données chute en-dessous du troisième seuil ;
- comparer un nombre de signaux d'indicateurs générés par la pluralité de troisièmes circuits de protection de la synchronisation à un seuil ; et
- appliquer, en réponse au fait que le nombre de signaux d'indicateurs dépasse le seuil, un premier réglage d'une tension d'alimentation ou d'une tension de polarisation et/ou une réduction de fréquence au signal d'horloge du circuit.

[0026] Selon un mode de réalisation, le circuit comprend :

- un deuxième circuit collecteur d'indicateurs configuré pour activer un deuxième signal de sortie au niveau d'une deuxième sortie d'indicateur du deuxième circuit collecteur d'indicateurs ; et
- un circuit collecteur d'indicateurs maître relié aux première et deuxième sorties d'indicateur et configuré pour générer un signal de sortie d'indicateur maître lorsque le premier ou le deuxième signal de sortie est activé.

[0027] Selon un mode de réalisation :

- le premier dispositif de détection asynchrone comprend une première bascule bistable de mise à un - remise à zéro, dans lequel le premier indicateur est appliqué à une entrée de mise à un ou de remise à zéro de la première bascule bistable de mise à un - remise à zéro ; et
- le deuxième dispositif de détection asynchrone comprend une deuxième bascule bistable de mise à un - remise à zéro, dans lequel le deuxième indicateur est appliqué à une entrée de mise à un ou de remise à zéro de la deuxième bascule bistable de mise à un - remise à zéro.

[0028] Selon un mode de réalisation, des sorties des premier et deuxième dispositifs de détection asynchrone sont reliées à la première sortie d'indicateur par l'intermédiaire d'un arbre OU.

- [0029] Selon encore un autre aspect, on prévoit un procédé de détection d'une réduction de marge temporelle comprenant :
- l'activation, par un premier circuit de protection de la synchronisation, d'un premier indicateur d'alarme, lorsqu'il est détecté qu'une marge temporelle d'un premier signal de données arrivant au niveau d'un premier dispositif synchrone du premier circuit de protection de la synchronisation chute en-dessous d'un premier seuil ;
 - l'activation, par un deuxième circuit de protection de la synchronisation, d'un deuxième indicateur d'alarme lorsqu'il est détecté qu'une marge temporelle d'un deuxième signal de données arrivant au niveau d'un premier dispositif synchrone du deuxième circuit de protection de la synchronisation chute en-dessous du premier seuil ou en-dessous d'un deuxième seuil différent du premier seuil ;
 - l'activation, par un premier dispositif de détection asynchrone d'un premier circuit collecteur d'indicateurs, d'un premier signal de sortie au niveau d'une première sortie d'indicateur du premier circuit collecteur d'indicateurs lorsque le premier indicateur d'alarme est activé ; et
 - l'activation, par un deuxième dispositif de détection asynchrone du premier circuit collecteur d'indicateurs, du premier signal de sortie au niveau de la première sortie d'indicateur lorsque le deuxième indicateur d'alarme est activé.
- [0030] Selon un mode de réalisation, le procédé comprend en outre :
- l'activation, par un deuxième circuit collecteur d'indicateurs, d'un deuxième signal de sortie au niveau d'une deuxième sortie d'indicateur du deuxième circuit collecteur d'indicateurs ; et
 - la génération, par un circuit collecteur d'indicateurs maître relié aux première et deuxième sorties d'indicateur, d'un signal de sortie d'indicateur maître lorsque le premier ou le deuxième signal de sortie est activé.
- [0031] Selon un mode de réalisation, le procédé comprend :
- l'application du premier indicateur à une entrée de mise à un ou de remise à zéro d'une première bascule bistable de mise à un - remise à zéro du premier dispositif de détection asynchrone ; et
 - l'application du deuxième indicateur à une entrée de mise à un ou de remise à zéro d'une deuxième bascule bistable de mise à un - remise à zéro du deuxième dispositif de détection asynchrone.
- [0032] Selon un mode de réalisation, le procédé comprend en outre :
- la réception, par un circuit de protection du circuit, du premier signal de sortie ; et
 - l'application, par le circuit de protection en réponse au premier signal de sortie, d'une première réduction de fréquence à un signal d'horloge du circuit.
- [0033] Selon un mode de réalisation, le circuit comprend en outre un troisième circuit de protection de la synchronisation configuré pour activer un indicateur de statut lorsqu'il

est détecté qu'une marge temporelle d'un troisième signal de données arrivant au niveau d'un premier dispositif synchrone du troisième circuit de protection de la synchronisation chute en-dessous d'un troisième seuil, dans lequel :

- le troisième seuil est un seuil de statut à une première distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du troisième circuit de protection de la synchronisation après l'arrivée du troisième signal de données ; et
- le premier seuil est un seuil d'alarme à une deuxième distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du premier circuit de protection de la synchronisation après l'arrivée du premier signal de données, le premier seuil étant inférieur au troisième seuil.

[0034] Selon un mode de réalisation, le circuit comprend une pluralité desdits troisièmes circuits de protection de la synchronisation et un circuit de réponse de synchronisation relié à la sortie du premier circuit collecteur d'indicateur, le procédé comprenant en outre :

- la réception, par le circuit de réponse de synchronisation, de signaux d'indicateurs de statut en provenance de la pluralité de troisièmes circuits de protection de la synchronisation lorsque la marge temporelle du troisième signal de données chute en-dessous du troisième seuil ;
- la comparaison, par le circuit de réponse de synchronisation, d'un nombre de signaux d'indicateurs générés par la pluralité de troisièmes circuits de protection de la synchronisation à un seuil ; et
- l'application, par le circuit de réponse de synchronisation en réponse au fait que le nombre de signaux d'indicateurs dépasse le seuil, d'un premier réglage d'une tension d'alimentation ou d'une tension de polarisation et/ou d'une réduction de fréquence au signal d'horloge du circuit.

[0035] Selon un mode de réalisation, le procédé comprend en outre la fourniture des premier et deuxième signaux de sortie des premier et deuxième dispositifs de détection asynchrone à la première sortie d'indicateur par l'intermédiaire d'un arbre OU.

Brève description des dessins

[0036] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0037] la [Fig.1] représente schématiquement un dispositif synchrone avec un circuit de protection de la synchronisation ;

[0038] la [Fig.2] représente schématiquement une cellule synchrone avec un circuit de protection de la synchronisation intégré selon un exemple de mode de réalisation de la

présente description ;

- [0039] la [Fig.3] est un chronogramme représentant la synchronisation dans deux trajets d'un circuit numérique selon un exemple de mode de réalisation de la présente description ;
- [0040] la [Fig.4] est un graphe représentant un exemple de plages de pourcentage de période d'horloge pour des tolérances de statut et d'alarme selon un exemple de mode de réalisation de la présente description ;
- [0041] la [Fig.5] représente schématiquement un système de commande et de surveillance de la synchronisation comprenant des cellules synchrones selon un exemple de mode de réalisation de la présente description ;
- [0042] la [Fig.6] représente schématiquement un circuit collecteur du système de la [Fig.5] plus en détail selon un exemple de mode de réalisation de la présente description ;
- [0043] la [Fig.7A] représente schématiquement un collecteur d'indicateurs de la [Fig.6] plus en détail selon un exemple de mode de réalisation de la présente description ;
- [0044] la [Fig.7B] représente schématiquement un collecteur d'indicateurs d'alarme de la [Fig.7A] plus en détail selon un exemple de mode de réalisation de la présente description ;
- [0045] la [Fig.8] représente schématiquement un circuit de fusion de capteur du système de la [Fig.5] plus en détail selon un exemple de mode de réalisation de la présente description ;
- [0046] la [Fig.9] est un chronogramme représentant des signaux dans le circuit de fusion de capteur de la [Fig.8] pendant une requête d'alarme selon un exemple de mode de réalisation de la présente description ;
- [0047] la [Fig.10] est un chronogramme représentant des signaux dans le circuit de fusion de capteur de la [Fig.8] pendant une requête de statut selon un exemple de mode de réalisation de la présente description ;
- [0048] la [Fig.11] est un chronogramme représentant des signaux dans le circuit de fusion de capteur de la [Fig.8] pendant une requête d'alarme avec une requête de statut en attente selon un exemple de mode de réalisation de la présente description ;
- [0049] la [Fig.12] représente schématiquement un circuit de sécurité d'horloge du système de la [Fig.5] selon un exemple de mode de réalisation de la présente description ;
- [0050] la [Fig.13] représente schématiquement un circuit de commande du système de la [Fig.5] selon un exemple de mode de réalisation de la présente description ;
- [0051] la [Fig.14] est un chronogramme représentant une gestion de boucle de statut selon un exemple de mode de réalisation ;
- [0052] la [Fig.15A] est un chronogramme représentant une gestion de boucle d'alarme impliquant un mode d'erreur selon un exemple de mode de réalisation ;
- [0053] la [Fig.15B] est un chronogramme représentant une gestion de boucle d'alarme impliquant un mode de sécurité-défaut selon un exemple de mode de réalisation ; et

[0054] la [Fig.16] représente schématiquement un circuit de gestion haut/bas du circuit de commande de la [Fig.13] plus en détail selon un exemple de mode de réalisation de la présente description.

Description des modes de réalisation

[0055] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0056] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.

[0057] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0058] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0059] La [Fig.1] représente schématiquement un circuit 100 comprenant un dispositif synchrone 101 et un circuit de surveillance de marge comprenant un dispositif synchrone supplémentaire 102, un élément de retard 103 et un élément de comparaison 104, selon une mise en œuvre qui a été proposée.

[0060] Le dispositif synchrone 101 comprend par exemple une entrée de données recevant un signal de données D, une entrée d'horloge recevant un signal d'horloge CP, une entrée de test recevant un signal d'entrée de test TI et une entrée d'activation de test recevant un signal d'activation de test TE. Le dispositif synchrone 101 génère un signal de sortie Q basé sur le signal d'entrée D ou TI synchronisé par le signal d'horloge CP.

[0061] Le dispositif synchrone 101 comprend par exemple un multiplexeur 105 ayant une de ses entrées de données connectée à l'entrée de données du dispositif 101, son autre entrée de données étant connectée à l'entrée de test du dispositif 101 et son entrée de commande étant connectée à l'entrée d'activation de test. Une sortie du multiplexeur 105 est connectée à l'entrée de données d'une bascule mémoire (DATA LATCH 1) 106, qui est synchronisée par un signal d'horloge CP' correspondant au signal d'horloge CP inversé par un inverseur 108. Une sortie de la bascule de données 106 est connectée à l'entrée de données d'une bascule de données supplémentaire (DATA LATCH 2)

110, qui est synchronisée par un signal d'horloge CP" correspondant au signal d'horloge CP' inversé par un inverseur 111.

- [0062] Le dispositif synchrone 102 comprend par exemple des éléments identiques à ceux du dispositif synchrone 101, les éléments du dispositif 102 correspondant aux éléments 105 à 111 du dispositif 101 étant respectivement référencés 115 à 121. Une des entrées de données du multiplexeur 115 du dispositif synchrone 102 est connectée à une entrée de données de test et l'autre entrée de données est connectée à l'entrée de données du dispositif synchrone 101 par l'intermédiaire de l'élément de retard 103 qui introduit un retard.
- [0063] Le signal de sortie de données Q du dispositif synchrone 101 et le signal de sortie de données Q' du dispositif synchrone 102, qui sont fournis respectivement par les sorties de données des bascules mémoire 110 et 120, sont fournis à des entrées correspondantes d'une porte OU-exclusif (XOR) mettant en œuvre l'élément de comparaison 104. La porte XOR 104 génère un signal de sortie FLAG indiquant le moment où la marge temporelle a chuté en-dessous d'un seuil donné.
- [0064] Le circuit de surveillance de marge du circuit 100 de la [Fig.1] présente plusieurs inconvénients. En particulier, le retard 103 est fixe et, dans le cas d'une quelconque non-concordance entre la synchronisation sur des trajets d'horloge, des perturbations peuvent être présentes dans le signal d'indicateur de sortie FLAG.
- [0065] La [Fig.2] représente schématiquement une cellule synchrone 200 avec un circuit de protection de la synchronisation intégré, appelée dans la suite "cellule de protection de la synchronisation 200", selon un exemple de mode de réalisation de la présente description.
- [0066] La cellule de protection de la synchronisation 200 comprend une paire de bascules bistables (FF) 202, 204, qui sont par exemple des bascules bistables de type D.
- [0067] La bascule bistable 202 a par exemple une entrée de données reliée à la sortie d'un multiplexeur à deux entrées (MUX) 206 ayant une de ses entrées reliée à une entrée de données de la cellule recevant un signal de données d'entrée D et son autre entrée reliée à une entrée d'injection de données de la cellule recevant un signal d'injection INJ_IN, utilisé par exemple à des fins de test. La bascule bistable 202 a également par exemple une entrée de commande de test recevant un signal d'entrée SCAN_IN de la cellule 200 et une entrée d'activation de balayage commandée par un signal de d'activation de balayage SCAN_EN de la cellule 200. La bascule bistable 202 est synchronisée par un signal CP' qui est par exemple le signal d'horloge d'entrée CP de la cellule 200 amplifié par un tampon 208. Dans certains modes de réalisation, comme cela est représenté par une ligne en traits pointillés 210, la bascule bistable 202 a une entrée de remise à zéro ou de mise à un qui reçoit un signal de remise à zéro ou de mise à un RESET/SET qui permet de réinitialiser la cellule. La bascule bistable 202 fournit par exemple, au

niveau de sa sortie de données, un signal de donnée de sortie Q de la cellule 200.

[0068] Le circuit de protection de la synchronisation intégrée de la cellule 200 comprend par exemple la bascule bistable 204, le multiplexeur 206, les éléments de retard 212, 214, un comparateur (XOR) 216, une porte ET 218, une bascule bistable (FF ANTI-GLITCH) 220, un inverseur 222 et une porte ET 224.

[0069] La bascule bistable 204 a par exemple son entrée de données reliée à la sortie du multiplexeur 206 par l'intermédiaire de la connexion en série des éléments de retard 212 et 214. L'élément de retard 212 est par exemple un retard fixe, alors que l'élément de retard 214 est par exemple un retard variable. Par exemple, l'élément de retard 212 est constitué de la connexion en série d'une paire d'inverseurs. L'élément de retard variable 214 est par exemple constitué d'une chaîne d'une pluralité de paires d'inverseurs connectés en série, le nombre d'inverseurs étant sélectionné afin d'obtenir une valeur de retard cible souhaitée. Cette valeur de retard varie par exemple d'une cellule 200 à une autre, comme cela sera décrit plus en détail ultérieurement. La bascule bistable 204 a par exemple son entrée d'horloge reliée à la sortie du tampon 208 et ses entrées de données de balayage et d'activation de balayage tirées à un état logique bas $\bar{0}$. Dans certains modes de réalisation, la bascule bistable 204 a une entrée de remise à zéro ou de mise à un qui reçoit le signal de remise à zéro ou de mise à un RESET/SET sur la ligne 210.

[0070] La sortie de données de la bascule bistable 204 est reliée à une entrée du comparateur 216, qui est par exemple mis en œuvre par une porte XOR. L'autre entrée du comparateur 216 est par exemple reliée à la sortie de la porte ET 218, qui a par exemple une de ses entrées reliée à la sortie de données de la bascule bistable 202 et son autre entrée reliée à une entrée de commande de mode d'injection de la cellule 200 recevant un signal de commande de mode d'injection INJ_MODE_n, utilisé à des fins de test. La sortie du comparateur 216 est par exemple reliée à une entrée de données de la bascule bistable 220, qui a par exemple son entrée d'horloge qui reçoit l'inverse CPN' du signal d'horloge CP' et une entrée de balayage tirée à un niveau logique bas $\bar{0}$. Le signal CPN' est par exemple généré par l'inverseur 222, qui a son entrée reliée à la sortie du tampon 208. La bascule bistable 220 a par exemple une entrée d'activation de balayage reliée à la sortie de la porte ET 224, la porte ET 224 ayant une entrée reliée pour recevoir le signal SCAN_EN au niveau de l'entrée d'activation de balayage de la cellule 200 et son autre entrée reliée pour recevoir le signal INJ_MODE_n au niveau de l'entrée de mode d'injection de la cellule 200. La sortie de données de la bascule bistable 220 fournit par exemple un signal d'indicateur FLAG au niveau de la sortie de la cellule 200.

[0071] Dans certains modes de réalisation, la cellule 200 comprend également un circuit de synchronisation de remise à zéro (RESET SYNC) 224 qui reçoit un signal de remise à

zéro R_SLG au niveau d'une entrée de la cellule 220, ainsi que le signal d'horloge CPN'. Le circuit de synchronisation de remise à zéro 224 est par exemple configuré pour générer et fournir à la bascule bistable 220 un signal de mise à un/remise à zéro resynchronisé, sur la base du signal de remise à zéro d'entrée R_SLG et du signal d'horloge CPN'. Si, toutefois, la cellule 200 comprend un port de mise à un/remise à zéro, le signal RESET/SET est par exemple fourni à partir de ce port à chacune des bascules bistables 202, 204 et 220 et le circuit 224 peut être omis.

[0072] En fonctionnement, pendant un mode de surveillance de protection de la synchronisation, le signal de mode d'injection INJ_MODE_n est par exemple à un 1 logique, les signaux SCAN_IN et SCAN_EN sont par exemple bas et le multiplexeur 206 est commandé pour fournir le signal de données D à la bascule bistable 202 et à l'élément de retard 212. Les deux bascules bistables 202 et 204 sont configurées pour échantillonner les signaux de données au niveau de leurs entrées en même temps, mais le signal de données reçu par la bascule bistable 204 est retardé par le retard temporel supplémentaire SLG DELAY des éléments de retard 212 et 214 par rapport au signal de données reçu par la bascule bistable 202. Ainsi, si une transition du signal de données D survient à moins que ce temps de retard avant un front d'horloge du signal CP', les bascules bistables 202 et 204 fourniront en sortie différents états logiques, résultant en un état logique haut au niveau de la sortie du comparateur 216, et donc l'activation du signal d'indicateur FLAG au front descendant suivant du signal d'horloge CP', correspondant à un front montant du signal d'horloge CPN'. Le signal d'indicateur FLAG indique ainsi le moment où le retard de propagation du signal de données a ralenti de plus d'une durée donnée par rapport au signal d'horloge, cette durée étant fonction du retard introduit par les éléments de retard 212 et 214.

[0073] Il sera clair pour la personne du métier que la cellule 200 de la [Fig.2] est essentiellement un exemple et que de nombreuses modifications pourraient être introduites tout en maintenant les mêmes principes de fonctionnement. Par exemple, l'élément de retard 212 et/ou la bascule bistable anti-perturbations 220 et/ou le circuit de synchronisation de remise à zéro 224 pourrait être omis dans certains modes de réalisation. En outre, dans des variantes de mode de réalisation, le mode de test de balayage et/ou le mode d'injection n'est pas pris en charge, simplifiant ainsi la cellule 200.

[0074] La cellule 200 de la [Fig.2] est par exemple insérée à la place de bascules bistables de type D dans plusieurs trajets de propagation d'un circuit numérique et le retard temporel introduit par l'élément de retard 214 de chaque cellule 200 est par exemple adapté pour le trajet de propagation, comme cela sera décrit maintenant ci-après plus en détail en relation avec les figures 3 et 4.

[0075] La [Fig.3] est un chronogramme représentant la synchronisation dans deux trajets d'un circuit numérique synchronisé par le signal d'horloge CP selon un exemple de

mode de réalisation de la présente description. L'instant t_0 d'un premier front d'horloge (1ST CLK EDGE) de l'horloge CP est représenté à gauche de la [Fig.3] et un trajet 1 a le pire retard de propagation (WORST DLY PATH 1) au niveau de son extrémité terminale d'une première durée $twd1$ par rapport au premier front d'horloge et un trajet 2 a le pire retard de propagation (WORST DLY PATH 2) au niveau de son extrémité terminale d'une deuxième durée $twd2$ par rapport au premier front d'horloge, la deuxième durée $twd2$ étant plus longue que la première durée $twd1$. Chacun des trajets correspond par exemple à un trajet de propagation de signal entre des premier et deuxième dispositifs synchrones, le premier dispositif transmettant une transition de données au moment du premier front d'horloge et le deuxième dispositif échantillonnant les données au moment d'un deuxième front d'horloge (2ND CLK EDGE) du signal d'horloge CP. Le deuxième dispositif de chaque trajet est par exemple mis en œuvre par la cellule de protection de la synchronisation 200 de la [Fig.2] avec un retard temporel adapté sur la base de retards temporels correspondants $twd1$, $twd2$ des trajets. Les pires retards de propagation de trajet $twd1$, $twd2$ sont par exemple estimés sur la base d'une simulation des pires conditions PVT dans le circuit numérique.

- [0076] Le deuxième front d'horloge apparaît une période d'horloge t_{cp} après l'instant t_0 , où t_{cp} est plus longue que $twd1$ et $twd2$. Le retard temporel SLG DELAY 1 de la cellule synchrone au niveau de l'extrémité terminale du premier trajet est par exemple choisi de sorte que la somme des retards temporels $twd1$ et SLG DELAY 1 soit égale à la période d'horloge t_{cp} plus une marge temporelle t_m . De façon similaire, le retard temporel SLG DELAY 2 de la cellule synchrone au niveau de l'extrémité terminale du deuxième trajet est par exemple choisi de sorte que la somme des retards temporels $twd2$ et SLG DELAY 2 soit égale à la période d'horloge t_{cp} plus la même marge temporelle t_m .
- [0077] Pendant un fonctionnement normal, les retards temporels réels $td1$, $td2$ des trajets 1 et 2 sont respectivement plus courts que les pires retards $twd1$ et $twd2$. Ainsi, la somme des retards temporels $td1$ et SLG DELAY 1 est inférieure à la période d'horloge t_{cp} et la somme des retards temporels $td2$ et SLG DELAY 2 est inférieure à la période d'horloge t_{cp} , ce qui signifie que le signal FLAG n'est pas activé. Cependant, si les conditions P, V, T ou RC se dégradent et/ou si la fréquence du signal d'horloge CP est accrue, la somme des retards temporels $td1$ et SLG DELAY 1 peut dépasser la période d'horloge t_{cp} provoquant l'activation du signal FLAG par la cellule synchrone au niveau de l'extrémité terminale du premier trajet et/ou la somme des retards temporels $td2$ et SLG DELAY 2 peut dépasser la période d'horloge t_{cp} provoquant l'activation du signal FLAG par la cellule synchrone au niveau de l'extrémité terminale du deuxième trajet.
- [0078] Dans certains modes de réalisation, la marge temporelle t_m est la même pour tous les

dispositifs synchrones 200 du circuit numérique. Dans des variantes de mode de réalisation, les cellules synchrones 200 du circuit numérique sont configurées chacune pour avoir une parmi deux marges temporelles différentes tm_status et tm_alarm . En d'autres termes, certaines des cellules 200 sont configurées pour avoir la marge temporelle tm_status , qui sera désignée comme étant une tolérance de statut, alors que d'autres cellules 200 sont configurées pour avoir la marge temporelle tm_alarm , qui sera désignée comme étant une tolérance d'alarme.

[0079] La [Fig.4] est un graphe représentant un exemple de plages de pourcentage de période d'horloge pour des tolérances de statut et d'alarme pour les cellules de protection de la synchronisation (# SLG ENDPOINTS) d'un circuit numérique.

[0080] La tolérance de statut basée sur la marge temporelle tm_status fournit un avertissement précoce d'une marge temporelle réduite. Comme cela est représenté en [Fig.4], dans certains modes de réalisation, la tolérance de statut (STATUS TOLERANCE) est fixée de sorte que la somme des retards temporels twd et SLG DELAY soit égale à entre 105 % et 115 % de la période d'horloge tcp . En d'autres termes, la marge temporelle tm_status est égale à entre 5 et 15 % de la période d'horloge tcp .

[0081] La tolérance d'alarme sur la base de la marge temporelle tm_alarm indique le moment où la marge temporelle a atteint un niveau critique, ce qui signifie qu'une transmission de données erronée risque de survenir si le retard de propagation du trajet se dégrade encore. Comme cela est représenté en [Fig.4], dans certains modes de réalisation, la tolérance d'alarme (ALARM TOLERANCE) est fixée de sorte que la somme des retards temporels twd et SLG DELAY soit égale à entre 101 % et 105 % de la période d'horloge tcp , sur la base d'un scénario de synchronisation donné avec une fréquence d'horloge donnée, qui correspond par exemple à la période d'horloge la plus courte pour des conditions PVT données et entre les différents modes du dispositif à une tension d'alimentation donnée. En d'autres termes, la marge temporelle tm_alarm est égale à entre 1 et 5 % de la période d'horloge tcp . La marge temporelle tm_status est par exemple la même pour toutes les cellules appliquant la tolérance de statut et la marge temporelle tm_alarm est la même pour toutes les cellules appliquant la tolérance d'alarme. Selon une variante, dans certains modes de réalisation, la marge de boucle tm_status et/ou tm_alarm peut être réglée pour différents scénarii de synchronisation, de sorte que différents jeux de cellules 200 soient activés dans différentes conditions d'utilisation.

[0082] La [Fig.5] représente schématiquement un système de commande et de surveillance de la synchronisation 500 selon un exemple de mode de réalisation de la présente description. Le système 500 fait par exemple partie d'un dispositif numérique comprenant un ou plusieurs circuits numériques comportant par exemple un processeur hôte (non

représenté). Dans certains modes de réalisation, le système 500 fait partie d'un système sur puce (SoC).

- [0083] Le système de commande et de surveillance de la synchronisation 500 comprend par exemple des cellules de protection de la synchronisation 200, dont certaines référencées SLG_S, appliquent par exemple la tolérance de statut et d'autres, référencées SLG_A, appliquent par exemple la tolérance d'alarme. Le système 500 comprend également par exemple un circuit de traitement d'indicateurs 502, un circuit de commande 504 relié à une interface (INTERFACE) 506 et des circuits de sécurité d'horloge (CLK SAFETY) 508, 510. Au moins une partie du circuit de traitement d'indicateurs 502 et du circuit de commande 504 constituent par exemple un circuit de réponse de synchronisation. Au moins une partie du circuit de traitement d'indicateurs 502 et du circuit de sécurité d'horloge 508 ou 510 constituent par exemple un circuit de protection.
- [0084] Les cellules de protection de la synchronisation SLG_S 200 sont par exemple reliées par l'intermédiaire d'un bus parallèle 512 à des entrées correspondantes d'un circuit de fusion de capteur (SENSOR FUSION) 514 du circuit de traitement d'indicateurs 502. De façon similaire, les cellules de protection de la synchronisation SLG_A 200 sont par exemple reliées par l'intermédiaire d'un bus parallèle 516 à des entrées correspondantes du circuit de fusion de capteur 514.
- [0085] Le circuit de traitement d'indicateurs 502 comprend en outre par exemple des circuits collecteur (COLLECTOR) 518, qui sont reliés à des sorties du circuit de fusion de capteur 514 et qui sont par exemple configurés pour compter le nombre d'indicateurs de statut qui sont activés par les cellules de protection de la synchronisation 200 et pour propager tous les indicateurs d'alarme qui sont activés.
- [0086] Par exemple, chaque circuit collecteur 518 reçoit en provenance du circuit de fusion de capteur 514 un jeu d'indicateurs de statut sur un jeu correspondant de lignes 520 et un jeu d'indicateurs d'alarme sur un jeu correspondant de lignes 522. Dans un exemple, chaque circuit collecteur 518 est configuré pour gérer 60 indicateurs de statut et quatre indicateurs d'alarme, bien que, dans des variantes de mode de réalisation, les circuits collecteur 518 pourraient gérer chacun un nombre différent d'indicateurs de statut ou d'alarme. Bien qu'il y ait trois circuits de collecteur 518 dans l'exemple de la [Fig.5], dans des variantes de mode de réalisation, il pourrait n'y avoir qu'un seul ou deux circuits collecteur 518 ou plus, en fonction du nombre de cellules de protection de la synchronisation 200.
- [0087] Le circuit de traitement d'indicateurs 502 comprend également par exemple un compteur maître (MASTER COUNTER) 523, qui reçoit en provenance de chacun des circuits collecteur 518 une valeur de compte de statut c_s sur des lignes 524, cette valeur de compte étant par exemple une valeur de compte à 6 bits, des signaux de

commande sur une ou plusieurs lignes 526 et un signal d'alarme sur une ligne 528.

- [0088] Le circuit de commande 504 reçoit par exemple en provenance du compteur maître 523 une valeur de compte d'indicateurs de statut C_S comprenant les valeurs de compte c_s en provenance de chacun des circuits collecteur 518. Par exemple, la valeur de compte d'indicateurs de statut C_S est simplement la concaténation des valeurs de compte c_s en provenance de chacun des circuits collecteur 518. Selon une variante, le compteur maître 523 comprend un additionneur configuré pour ajouter ensemble les valeurs de compte c_s en provenance de chacun des circuits collecteur, la valeur de compte C_S étant égale au résultat de cette addition.
- [0089] Le circuit de commande 504 comprend par exemple un circuit de gestion de boucle de statut (STATUS LOOP MANAGEMENT) 536 configuré pour commander des phases de surveillance sur la base d'indicateurs de statuts et pour générer, pendant la phase de surveillance, la valeur de compte d'indicateurs de statut C_S. Le circuit de commande 504 comprend également par exemple un circuit de gestion de boucle d'alarme (ALARM LOOP MANAGEMENT) 538 configuré pour recevoir une sortie d'alarme du compteur maître 523 sur une ligne 534 et pour gérer des paramètres de circuit sur la base des indicateurs d'alarme. Le circuit de commande 504 comprend également par exemple un contrôleur haut/bas (UP/DOWN CONTROLLER) 540 configuré pour gérer des paramètres de circuit sur la base des indicateurs de statut et/ou d'alarme. Le circuit de commande 504 comprend également par exemple un contrôleur (CONTROLLER) 542.
- [0090] Le circuit d'interface 506 assure par exemple des communications entre le processeur hôte et le système 500 et, en particulier, le circuit de commande 504, par l'intermédiaire d'une ligne 544 (TO HOST PROCESSOR).
- [0091] Le circuit de sécurité d'horloge 508 est par exemple configuré pour recevoir un signal d'horloge CLK_1 généré par un générateur d'horloge (non représenté) et le signal d'alarme sur la ligne 534 et pour générer, sur une ligne de sortie 546, une horloge système de sortie CLK_1_O/P pour synchroniser les cellules 200 du système 500, par exemple l'horloge CP, et un ou plusieurs circuits numériques supplémentaires. Par exemple, si aucun signal d'indicateur d'alarme n'est activé, le signal de sortie d'alarme sur la ligne 534 est bas et le circuit de sécurité d'horloge 508 est configuré pour fournir en sortie le signal d'horloge CLK_1 en tant qu'horloge système de sortie CLK_1_O/P. Selon une variante, si une ou plusieurs des cellules de protection de la synchronisation SLG_A activent l'indicateur d'alarme, le circuit de sécurité d'horloge 508 est par exemple configuré pour réduire la fréquence du signal d'horloge CLK_1 par exemple en divisant le signal d'horloge CLK_1 par un facteur de deux ou plus et pour fournir en sortie l'horloge à fréquence réduite en tant qu'horloge système de sortie CLK_1_O/P.
- [0092] Dans certains modes de réalisation, le système 500 est en outre configuré pour

généraliser un signal d'horloge système de sortie supplémentaire CLK_2_O/P pour synchroniser un autre domaine d'horloge, qui est séparé du domaine d'horloge synchronisé par le signal d'horloge système de sortie CLK_1_O/P. Par exemple, certaines des cellules de protection de la synchronisation 200 font partie du domaine d'horloge du signal d'horloge CLK_1_O/P et sont synchronisées par ce signal et d'autres cellules de protection de la synchronisation 200 font partie du domaine d'horloge du signal d'horloge CLK_2_O/P et sont synchronisées par ce signal. De façon similaire au circuit de sécurité d'horloge 508, le circuit de sécurité d'horloge 510 est par exemple configuré pour recevoir un signal d'horloge CLK_2 généré par un générateur d'horloge (non représenté) et le signal d'alarme sur la ligne 534 et pour générer sur une ligne de sortie 548 une horloge système de sortie CLK_2_O/P pour synchroniser les cellules 200 du système 500 et un ou plusieurs circuits supplémentaires. Par exemple, si aucun signal d'indicateur d'alarme n'est activé, le signal de sortie d'alarme sur la ligne 534 est bas et le circuit de sécurité d'horloge 510 est configuré pour fournir en sortie le signal d'horloge CLK_2 en tant qu'horloge système de sortie CLK_2_O/P. Selon une variante, si une ou plusieurs des cellules de protection de la synchronisation SLG_A activent l'indicateur d'alarme, le circuit de sécurité d'horloge 510 est par exemple configuré pour réduire la fréquence du signal d'horloge CLK_2, par exemple en divisant le signal d'horloge CLK_2 par un facteur de deux ou plus et pour fournir en sortie l'horloge à fréquence réduite en tant qu'horloge système de sortie CLK_2_O/P.

[0093] Dans certains modes de réalisation, les circuits collecteur 518 sont reliés en série par une chaîne test (TEST CHAIN) permettant de tester les circuits.

[0094] En fonctionnement, le circuit de commande 504 est par exemple configuré pour déclencher périodiquement des opérations de surveillance afin de détecter le nombre d'indicateurs de statut qui sont activés par les cellules de protection de la synchronisation 200 et pour détecter l'activation d'un quelconque indicateur d'alarme. Par exemple, sur la base du nombre d'indicateurs de statut, les tensions d'alimentation et/ou polarisation et/ou la fréquence d'horloge appliquée au circuit, incluant aux cellules 200 et aux autres circuits du dispositif (non représentés en [Fig.5]), sont par exemple réglées afin par exemple de maintenir le nombre d'indicateurs à l'intérieur de limites basse et haute. Par exemple, la fréquence d'horloge est réglée à l'intérieur d'une plage de 70 pour cent à 100 pour cent de sa fréquence maximale. En même temps, si un quelconque indicateur d'alarme est activé, le circuit de sécurité d'horloge 508 et/ou 510 place par exemple le circuit dans un mode d'erreur en réduisant la fréquence d'horloge de plus de 30 pour cent, par exemple en divisant la fréquence d'horloge par un facteur de deux ou plus.

[0095] La [Fig.6] représente schématiquement un circuit collecteur 518 du système de la [Fig.5] plus en détail selon un exemple de mode de réalisation de la présente des-

cription. Chacun des circuits collecteur 518 de la [Fig.5] est par exemple mis en œuvre par un circuit similaire.

- [0096] Le circuit collecteur 518 de la [Fig.6] comprend par exemple un circuit collecteur d'indicateurs (FLAG COLLECTOR) 602 configuré pour recevoir les indicateurs de statut (STATUS FLAGS) en provenance des cellules de protection de la synchronisation de statut SLG_S 200, 60 indicateurs de statut étant reçus par le circuit collecteur 518 dans l'exemple de la [Fig.5], et les indicateurs d'alarme (ALARM FLAGS) en provenance des cellules de protection de la synchronisation d'alarme SLG_A 200, 4 indicateurs d'alarme étant reçus par le circuit collecteur 518 dans l'exemple de la [Fig.5]. Le circuit collecteur d'indicateurs 602 reçoit également par exemple un signal de commande sur une ligne d'entrée 604. Par exemple, la ligne d'entrée 604 est reliée à la sortie d'un multiplexeur 606 configuré pour sélectionner, pour commander le circuit 602, soit les signaux de commande CTRL sur la ligne d'entrée de commande 532 en provenance du circuit de commande 504 de la [Fig.5], soit des signaux de commande fournis par des registres de données de test (TDR) 608. Le circuit collecteur d'indicateurs 602 est également relié par exemple à la chaîne test et a une ou plusieurs entrées reliées à une ou plusieurs lignes d'entrée 610 recevant des signaux d'entrée de test TEST CHAIN IN et a une ou plusieurs sorties reliées à une ou plusieurs lignes de sortie 612 fournissant des signaux de sortie de test TEST CHAIN OUT.
- [0097] Le circuit collecteur d'indicateurs 602 est par exemple configuré pour verrouiller de façon asynchrone les signaux de statut et d'alarme et pour fournir les signaux verrouillés sur des bus parallèles 614 et 616 respectivement à un ensemble de registres de collecteur (COLLECTOR REGISTERS) 618. Les signaux d'alarme 616 sont par exemple fournis à un arbre OU (OR TREE) 624, qui génère par exemple le signal d'alarme ALARM sur la ligne de sortie 528 du circuit collecteur 518. L'ensemble de registres de collecteur 618 est par exemple configuré pour sauvegarder l'emplacement de chaque indicateur qui a été activé pendant un événement précédent de compte de statut ou d'activation d'alarme. Certains registres de l'ensemble 618 fournissent par exemple en sortie les indicateurs de statut sur un bus parallèle 620 à un compteur asynchrone (ASYNC COUNTER) 622, qui génère le signal de sortie c_s sur les lignes de sortie 524 du circuit collecteur 518. Dans certains modes de réalisation, un bus 623 fournit en sortie certaines valeurs de registre provenant des registres 618 pour fournir un point de test pendant une DFT (de l'anglais "design for test", conception en vue de test). Dans certains modes de réalisation, un multiplexeur 626 est présent entre le signal d'alarme 616 et l'arbre OU 624, le multiplexeur 626 recevant également les autres registres de l'ensemble 618 sur le bus 623 agissant comme le point test pour le système. Le multiplexeur 626 est par exemple commandé par un signal de mode de test

TEST MODE.

- [0098] La [Fig.7A] représente schématiquement le circuit collecteur d'indicateurs 602 de la [Fig.6] plus en détail selon un exemple de mode de réalisation de la présente description.
- [0099] Le circuit collecteur d'indicateurs 602 comprend par exemple un collecteur d'indicateurs d'alarme (ALARM FLAG COLLECTOR) 602A et un collecteur d'indicateurs de statut (STATUS FLAG COLLECTOR) 602S.
- [0100] Le collecteur d'indicateurs d'alarme 602A reçoit par exemple les indicateurs d'alarme de protection de la synchronisation SLG ALARM FLAG IN sur le bus d'entrée 522, un signal ALARM CLEAR, le signal d'entrée de chaîne test TEST CHAIN IN et des signaux d'erreur d'injection (INJECTION FAULT SIGNALS). Le collecteur d'indicateurs d'alarme 602A fournit par exemple en sortie les signaux d'alarme ALARM OUTPUTS et le signal de chaîne de test.
- [0101] Le collecteur d'indicateurs de statut 602S reçoit par exemple les indicateurs de statut de protection de la synchronisation SLG STATUS FLAG IN sur le bus d'entrée 520, un signal STATUS CLEAR, le signal de chaîne de test provenant du collecteur d'indicateurs d'alarme 602A et des signaux d'erreur d'injection (INJECTION FAULT SIGNALS). Le collecteur d'indicateurs de statut 602S fournit par exemple en sortie des signaux de statut STATUS OUTPUTS et le signal de chaîne de test TEST CHAIN OUT.
- [0102] La [Fig.7B] représente schématiquement le collecteur d'indicateurs d'alarme 602A de la [Fig.7A] plus en détail selon un exemple de mode de réalisation de la présente description. Le collecteur d'indicateurs de statut 602S est par exemple mis en œuvre par un circuit similaire, si ce n'est qu'il reçoit les indicateurs de statut et le signal STATUS CLEAR au lieu des indicateurs d'alarme et le signal ALARM CLEAR.
- [0103] Le circuit collecteur d'indicateurs 602 comprend par exemple un registre à décalage constitué de la connexion en série de N bascules bistables référencées 702_1 à 702_N, une bascule étant prévue par exemple pour chaque signal d'indicateur. Ainsi, N est par exemple égal au nombre combiné d'indicateurs de statut et d'alarme. Chacune des bascules bistables 702_1 à 702_N reçoit par exemple, au niveau de son entrée de mise à un (set_n), un des signaux d'indicateurs correspondant SLG FLAG IN #1 à SLG FLAG IN #N des indicateurs de statut et d'alarme.
- [0104] Dans certains modes de réalisation, les entrées de mise à un des bascules bistables 702_1 à 702_N sont actives à l'état bas, les signaux d'indicateurs SLG FLAG IN #1 à SLG FLAG IN #N sont actifs à l'état haut et les signaux SLG FLAG IN #1 à SLG FLAG IN #N sont inversés avant d'être fournis aux bascules bistables 702_1 à 702_N. En outre, dans l'exemple de la [Fig.7B], des multiplexeurs 704_1 à 704_N sont fournis entre les entrées d'indicateur SLG FLAG IN #1 à SLG FLAG IN #N et les bascules

bistables 702_1 à 702_N, chaque multiplexeur recevant le signal d'indicateur correspondant au niveau d'une entrée inversée et un signal logique haut $\bar{1}$ au niveau de ses autres entrées. La sortie de chaque multiplexeur 704_1 à 704_N est reliée à l'entrée de mise à un de la bascule bistable correspondante 702_1 à 702_N.

[0105] Les multiplexeurs 704_1 à 704_N sont par exemple commandés par un signal actif de test TEST_ACT, qui est par exemple généré sur la base des signaux d'entrée de test_MODE, INJ_CONN, DEBUG_SHIFT_EN et DEBUG_SEL du circuit collecteur d'indicateurs 602, ces signaux faisant par exemple partie des signaux de test d'entrée de test TEST CHAIN IN. Par exemple, une porte OU 706 a une entrée inverseuse reliée au signal de mode de test TEST_MODE et une entrée non inverseuse recevant le signal INJ_CONN et a sa sortie reliée à une entrée d'une porte ET 708, qui génère au niveau de sa sortie le signal TEST_ACT. Une autre porte ET 710 a ses entrées reliées pour recevoir les signaux DEBUG_SHIFT_EN et DEBUG_SEL, respectivement, et sa sortie reliée à une entrée inverseuse de la porte ET 708.

[0106] Les sorties de données Q des bascules bistables 702_1 à 702_N fournit par exemple les signaux de sortie d'indicateur COLL_OUT #1 à COLL_OUT #N du circuit collecteur d'indicateurs 602, ces signaux étant fournis par exemple sur le bus de sortie parallèle 614 dans le cas des indicateurs de statut et sur le bus de sortie parallèle 616 dans les cas des indicateurs d'alarme. La bascule bistable 702_1 a par exemple son entrée de données D reliée à un signal de données d'entrée de test TEST_Di, faisant partie des signaux TEST CHAIN IN. La sortie de données Q de la bascule bistable 702_1 est par exemple reliée à l'entrée de données D de la bascule bistable 702_2 et ainsi de suite, jusqu'à la N-ième bascule bistable 702_N, qui a sa sortie de données Q reliée à un signal de sortie de données de test TEST_Do, faisant partie des signaux TEST CHAIN OUT. Dans certains modes de réalisation, une porte ET 712 est reliée entre la sortie Q de la bascule bistable 702_N et la sortie de test TEST_Do, la porte ET 712 ayant par exemple une entrée reliée à la sortie Q de la bascule bistable 702_N et son autre entrée reliée pour recevoir le signal TEST_SHIFT_EN.

[0107] Les bascules bistables 702_1 à 702_N sont par exemple synchronisées par un signal d'horloge CLK_SR généré par un générateur d'horloge (ICG) 714, qui est par exemple configuré pour effectuer un déclenchement interne de l'horloge (ICG). En outre, les bascules bistables 702_1 à 702_N ont chacune par exemple une entrée de remise à zéro (reset_n), qui est par exemple active à l'état bas, reliée pour recevoir un signal de remise à zéro RESET généré par exemple sur la base du signal TEST_SEL et de signaux supplémentaires STATUS/ALARM CLEAR et CLEAR COLLECTOR_n. Par exemple, un multiplexeur 716 a une entrée reliée pour recevoir le signal STATUS/ALARM CLEAR et une deuxième entrée tirée à un état logique bas $\bar{0}$ et est commandé par le signal CLEAR COLLECTOR_n. La sortie du multiplexeur 716 est

par exemple reliée à une entrée d'un multiplexeur supplémentaire 718 dont la deuxième entrée est tirée à un état logique haut $\bar{1}$ et qui est commandé par le signal TEST_SEL. La sortie du multiplexeur 718 fournit par exemple le signal RESET et est reliée aux entrées de remise à zéro des bascules bistables 702_1 à 702_N.

- [0108] Dans certains modes de réalisation, le circuit collecteur d'indicateurs 602 comprend en outre un tampon 720 qui reçoit un signal FUSION COLLECTOR RESET et qui génère un signal de sortie SLG RESET, qui peut être utilisé pour remettre à zéro les cellules 200 le cas échéant.
- [0109] En outre, dans certains modes de réalisation, le circuit collecteur d'indicateurs 602 comprend une paire de portes OU 722, 724, la porte OU 722 recevant au niveau d'une de ses entrées un signal d'entrée INJ_FAULT_n et la porte OU 724 recevant au niveau d'une de ses entrées un signal d'entrée INJ_I/P. Chacune des portes OU 722, 724 comprend par exemple une entrée inverseuse reliée au signal du mode de test TEST_MODE. La porte OU 722 génère par exemple, au niveau d'une sortie du circuit 602, un signal de sortie INJ_MODE_n, et la porte OU 724 génère par exemple, au niveau d'une autre sortie du circuit 602, un signal de sortie INJ_IN.
- [0110] En fonctionnement, les bascules bistables 702_1 à 702_N sont mises à un de façon asynchrone par les signaux d'indicateurs SLG FLAG IN #1 à SLG FLAG IN #N et leurs sorties de données Q restent ensuite à l'état haut jusqu'à ce qu'elles soient remises à zéro pendant une opération d'effacement. Les contenus des bascules bistables 702_1 à 702_N peuvent être lus pendant une phase de test en utilisant la chaîne de test.
- [0111] La [Fig.8] représente schématiquement le circuit de fusion de capteur (SENSOR FUSION) 514 du système de la [Fig.5] plus en détail selon un exemple de mode de réalisation de la présente description.
- [0112] Le circuit de fusion de capteur 514 comprend par exemple un multiplexeur 802 ayant un premier groupe d'entrées relié à un bus d'indicateur de statut 512 et un deuxième groupe d'entrées tiré à un niveau logique haut $\bar{1}$ et fournit à sa sortie les indicateurs de statut (STATUS FLAGS O/P), sur le bus parallèle 520. De façon similaire, le circuit de fusion de capteur 514 comprend par exemple un multiplexeur 804 ayant un premier groupe d'entrées relié à un bus d'indicateur d'alarme 516 et un deuxième groupe d'entrées tiré au niveau logique haut $\bar{1}$ et fournit à sa sortie les indicateurs d'alarme (ALARM FLAGS O/P), sur le bus parallèle 522.
- [0113] Le multiplexeur 802 est par exemple commandé sur la base du signal d'entrée STATUS_EN généré par exemple par le contrôleur 542, sur la base d'un signal TEST_MODE, qui est par exemple un signal provenant de l'extérieur du dispositif, par exemple d'un équipement de test, afin de placer le dispositif en mode de test et sur la base d'un signal STATUS UNPLUGGED généré par une machine d'état fini (FSM) 806 du circuit 514. Par exemple, le signal STATUS UNPLUGGED est fourni à une

entrée d'une porte OU 808 et le signal STATUS_EN est fourni à une entrée inverseuse de la porte OU 808. La sortie de la porte OU 808 est par exemple reliée à une entrée d'une porte ET 810 et le signal TEST_MODE est par exemple relié à une entrée inverseuse de la porte ET 810. La sortie de la porte ET 810 est par exemple reliée à l'entrée de commande du multiplexeur 802.

- [0114] Le multiplexeur 804 est par exemple commandé sur la base des signaux d'entrée ALARM_EN, TEST_MODE et par le signal ALARM UNPLUGGED généré par la machine d'état fini (FSM) 806. Par exemple, le signal ALARM UNPLUGGED est fourni à une entrée d'une porte OU 812 et le signal ALARM_EN est fourni à une entrée inverseuse de la porte OU 812. La sortie de la porte OU 812 est par exemple reliée à une entrée d'une porte ET 814 et le signal TEST_MODE est par exemple relié à une entrée inverseuse de la porte ET 814. La sortie de la porte ET 814 est par exemple reliée à l'entrée de commande du multiplexeur 804.
- [0115] La FSM 806 reçoit par exemple un signal de requête de statut STATUS REQ sur une ligne d'entrée 816 et un signal ALARM CLEAR REQ sur une ligne d'entrée 818 et est synchronisé par un signal SF_CK.
- [0116] La FSM 806 génère par exemple des signaux STATUS ACK, ALARM CLEAR ACK, STATUS CALC DONE et ICG REG CTRL. En outre, la FSM 806 est par exemple configurée pour fournir un signal de sortie à une entrée d'une porte OU 820, qui génère le signal STATUS CLEAR et pour fournir un signal de sortie à une entrée d'une porte OU 822, qui génère le signal ALARM CLEAR. Une deuxième entrée de chacune des portes OU 820, 822 reçoit par exemple un signal de remise en zéro SF_RESET.
- [0117] Le fonctionnement du circuit de fusion de capteur 514 de la [Fig.8] sera maintenant décrit en relation avec les figures 9, 10 et 11.
- [0118] La [Fig.9] est un chronogramme représentant des signaux dans le circuit de fusion de capteur 514 de la [Fig.8] pendant une requête d'alarme selon un exemple de mode de réalisation de la présente description. La [Fig.9] représente en particulier des exemples de synchronisation des signaux SF_CK, ALARM CLEAR REQ, STATUS REQ, ALARM UNPLUGGED, STATUS UNPLUGGED, ICG REG CTRL, STATUS CALL DONE, ALARM CLEAR, ALARM CLEAR ACK, STATUS CLEAR et STATUS ACK.
- [0119] A un instant t_0 , le signal ALARM CLEAR REQ est par exemple activé par le circuit de commande 504 en réponse à un front d'horloge du signal d'horloge SF_CK. Par exemple, cela survient afin de remettre à zéro la partie de surveillance d'alarme du circuit de fusion de capteur 514 après l'activation d'un ou de plusieurs signaux d'alarme et une fois que le fonctionnement du circuit est revenu à la normale.
- [0120] A un instant t_1 , par exemple en réponse à un front d'horloge deux périodes d'horloge

après l'instant t_0 , le signal ALARM UNPLUGGED est par exemple activé par la FSM 806, afin de déconnecter les cellules de protection de la synchronisation d'alarme des registres de collecteur d'alarme.

- [0121] A un instant t_2 , par exemple en réponse à un front d'horloge une période d'horloge après t_1 , le signal ICG REG CTRL est par exemple activé par la FSM 806. Ce signal est par exemple fourni aux registres de collecteur et a pour objectif de sauvegarder l'emplacement des alarmes activées dans les registres de collecteur d'alarme. En particulier, l'emplacement indique quelle cellule a généré chaque alarme.
- [0122] A un instant t_3 , par exemple en réponse à un front d'horloge une période d'horloge après t_2 , le signal ICG REG CTRL est par exemple désactivé.
- [0123] A un instant t_4 , par exemple en réponse à un front d'horloge une période d'horloge après t_3 , le signal ALARM CLEAR est par exemple activé par la FSM 806 et la porte OU 822. Cela amène par exemple l'activation du signal de remise à zéro RESET dans le circuit de collecteur d'indicateurs 602A.
- [0124] A un instant t_5 , par exemple en réponse à un front d'horloge une période d'horloge après t_4 , les signaux ALARM UNPLUGGED et ALARM CLEAR sont par exemple désactivés et le signal ALARM CLEAR ACK est par exemple activé par la FSM 806 et fourni au circuit de commande 504 pour indiquer que la surveillance ALARM a été effacée.
- [0125] A un instant t_6 , par exemple en réponse à un front d'horloge une période d'horloge après l'instant t_5 , le signal ALARM CLEAR REQ est par exemple désactivé par le circuit de commande 504.
- [0126] A un instant t_7 , par exemple en réponse à un front d'horloge une période d'horloge après l'instant t_6 , le signal ALARM CLEAR ACK est par exemple désactivé par la FSM 806.
- [0127] La [Fig.10] est un chronogramme représentant des signaux dans le circuit de fusion de capteur de la [Fig.8] pendant une requête de statut selon un exemple de mode de réalisation de la présente description.
- [0128] La [Fig.10] représente en particulier des exemples de synchronisation des mêmes signaux que ceux de la [Fig.9].
- [0129] A un instant t_0 , le signal STATUS REQ est par exemple activé par le circuit de commande 504 en réponse à un front d'horloge du signal d'horloge SF_CK. Par exemple, cela survient afin de requérir une mise à jour de la partie de surveillance de statut du circuit de fusion de capteur 514.
- [0130] A un instant t_1 , par exemple en réponse à un front d'horloge deux périodes d'horloge après l'instant t_0 , le signal STATUS UNPLUGGED est par exemple activé par la FSM 806, afin de déconnecter le moniteur de protection de la synchronisation du collecteur en modifiant l'entrée sélectionnée du multiplexeur 802 de la [Fig.8].

- [0131] A un instant t2, par exemple en réponse à un front d'horloge une période d'horloge après t1, le signal ICG REG CTRL est par exemple activé par la FSM 806.
- [0132] A un instant t3, par exemple en réponse à un front d'horloge une période d'horloge après t2, le signal ICG REG CTRL est par exemple désactivé et le signal STATUS CALC DONE est par exemple activé par la FSM 806. Ce dernier signal est par exemple fourni au circuit de commande 504 et a pour objectif d'accuser réception de ce que le compteur de statut a un nouveau résultat disponible.
- [0133] A un instant t4, par exemple en réponse à un front d'horloge une période d'horloge après t3, le signal STATUS CALC DONE est par exemple désactivé.
- [0134] A un instant t5, par exemple en réponse à un front d'horloge une période d'horloge après t4, le signal STATUS CLEAR est par exemple activé par la FSM 806. Cela amène par exemple l'activation du signal de remise à zéro RESET dans le circuit de collecteur d'indicateurs 602S.
- [0135] A un instant t6, par exemple en réponse à un front d'horloge une période d'horloge après t5, les signaux STATUS CLEAR et STATUS UNPLUGGED sont par exemple désactivés et le signal STATUS ACK est par exemple activé par la FSM 806 et fourni au circuit de commande 504 pour indiquer que la surveillance STATUS a été effacée.
- [0136] A un instant t7, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t5, le signal STATUS REQ est par exemple désactivé par le circuit de commande 504.
- [0137] A un instant t8, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t7, le signal STATUS ACK est par exemple désactivé par la FSM 806.
- [0138] La [Fig.11] est un chronogramme représentant des signaux dans le circuit de fusion de capteur de la [Fig.8] pendant une requête d'alarme avec une requête de statut en attente selon un exemple de mode de réalisation de la présente description.
- [0139] La [Fig.11] représente en particulier des exemples de synchronisation des mêmes signaux que ceux de la [Fig.9].
- [0140] A un instant t0, le signal ALARM CLEAR REQ est par exemple activé par le circuit de commande 504 en réponse à un front d'horloge du signal d'horloge SF_CK. Par exemple, cela survient afin de réinitialiser la partie de surveillance d'alarme du circuit de fusion de capteur 514 qui suit l'activation d'un ou de plusieurs signaux d'alarme et une fois que le fonctionnement du circuit est revenu à la normale.
- [0141] A un instant t1, par exemple en réponse à un front d'horloge deux périodes d'horloge après l'instant t0, le signal STATUS REQ est par exemple activé par le circuit de commande 504 en réponse à un front d'horloge du signal d'horloge SF_CK. Par exemple, cela survient afin de requérir un calcul de statut du circuit de fusion de capteur 514. En outre, à l'instant t1, le signal ALARM UNPLUGGED est par exemple activé et fourni au circuit de commande 504 pour indiquer que la surveillance d'alarme

n'est plus active.

- [0142] A un instant t2, par exemple en réponse à un front d'horloge une période d'horloge après t1, le signal ICG REG CTRL est par exemple activé par la FSM 806.
- [0143] A un instant t3, par exemple en réponse à un front d'horloge une période d'horloge après t2, le signal ICG REG CTRL est par exemple désactivé.
- [0144] A un instant t4, par exemple en réponse à un front d'horloge une période d'horloge après t3, le signal ALARM CLEAR est par exemple activé par la FSM 806 et la porte OU 822. Cela amène par exemple l'activation du signal de remise à zéro RESET dans le circuit de collecteur d'indicateurs 602.
- [0145] A un instant t5, par exemple en réponse à un front d'horloge une période d'horloge après t4, les signaux ALARM CLEAR et ALARM UNPLUGGED sont par exemple désactivés et le signal ALARM CLEAR ACK est par exemple activé par la FSM 806 et fournis au circuit de commande 504 pour indiquer que la surveillance ALARM a été effacée.
- [0146] A un instant t6, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t5, le signal ALARM CLEAR REQ est par exemple désactivé par le circuit de commande 504.
- [0147] A un instant t7, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t6, le signal ALARM CLEAR ACK est par exemple désactivé par la FSM 806 et le signal STATUS UNPLUGGED est par exemple activé.
- [0148] A un instant t8, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t7, le signal ICG REG CTRL est par exemple activé par la FSM 806.
- [0149] A un instant t9, par exemple en réponse à un front d'horloge une période d'horloge après t8, le signal ICG REG CTRL est par exemple désactivé et le signal STATUS CALC DONE est par exemple activé par la FSM 806.
- [0150] A un instant t10, par exemple en réponse à un front d'horloge une période d'horloge après t9, le signal STATUS CALC DONE est par exemple désactivé.
- [0151] A un instant t11, par exemple en réponse à un front d'horloge une période d'horloge après t10, le signal STATUS CLEAR est par exemple activé par la FSM 806. Cela amène par exemple l'activation du signal de remise à zéro RESET dans le circuit de collecteur d'indicateurs 602.
- [0152] A un instant t12, par exemple en réponse à un front d'horloge une période d'horloge après t11, les signaux STATUS CLEAR et STATUS UNPLUGGED sont par exemple désactivés et le signal STATUS ACK est par exemple activé par la FSM 806 et fourni au circuit de commande 504 pour indiquer que la surveillance STATUS a été effacée.
- [0153] A un instant t13, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t12, le signal STATUS REQ est par exemple désactivé par le circuit de commande 504.

- [0154] A un instant t14, par exemple en réponse à un front d'horloge une période d'horloge après l'instant t13, le signal STATUS ACK est par exemple désactivé par la FSM 806.
- [0155] La [Fig.12] représente schématiquement le circuit de sécurité d'horloge 508 du système de la [Fig.5] selon un exemple de mode de réalisation de la présente description. Le circuit 510 est par exemple mis en œuvre par un circuit similaire.
- [0156] Le circuit 508 comprend par exemple un diviseur de fréquence qui divise par deux (DIV BY 2) 1202 configuré pour recevoir le signal d'horloge CLK_1 et un signal d'entrée de mode de test TEST MODE INPUT, fournis par exemple par le circuit de commande 504. Le diviseur de fréquence 1202 est activé par un signal d'activation CK_DIV_EN généré par un circuit de resynchronisation (RESYNC) 1204, qui est synchronisé par le signal d'horloge CLK_1, et est configuré pour resynchroniser le signal d'alarme ALARM sur la ligne 534 avec le signal d'horloge CLK_1 afin de générer le signal d'activation CK_DIV_EN. Le diviseur de fréquence 1202 fournit en sortie, lorsqu'il est activé, un signal d'horloge de sortie CLK_1_O/P ayant une fréquence réduite, par exemple égale à la moitié de la fréquence du signal d'horloge CLK_1. Lorsque le diviseur de fréquence 1202 n'est pas activé, le signal d'horloge de sortie CLK_1_O/P est par exemple le signal d'horloge non modifié CLK_1.
- [0157] La [Fig.13] représente schématiquement le circuit de commande 504 du système de la [Fig.5] selon un exemple de mode de réalisation de la présente description.
- [0158] En plus du contrôleur 542, le circuit de gestion de boucle de statut (STATUS LOOP MANAGEMENT) 536, le circuit de gestion de boucle d'alarme (ALARM LOOP MANAGEMENT) 538 et le contrôleur haut/bas (UP/DN CONTROLLER) 540, le circuit de commande 504 comprend par exemple un circuit de resynchronisation (resync) 1302 configuré pour recevoir le signal d'alarme ALARM et un signal de requête de statut forcé FORCE STATUS REQ, qui est par exemple un signal reçu par l'intermédiaire d'un port en provenance du reste d'un système sur puce dans lequel le circuit 500 est mis en œuvre afin de forcer une requête de statut.
- [0159] Le signal de requête de statut forcé resynchronisé est par exemple fourni au circuit de gestion de boucle de statut 536, qui reçoit également le signal d'activation de statut STATUS_EN en provenance du contrôleur 542 et est configuré pour générer le signal de requête de statut STATUS REQ et pour recevoir le signal d'accusé de réception de statut STATUS ACK. Le circuit de gestion de boucle de statut 536 reçoit également par exemple en provenance du contrôleur 542 un signal "status timer prog" et un signal "force status prog" et fournit au contrôleur 542 un signal "status updated" et un signal "status req". En effet, il y a par exemple deux façons de forcer une requête de statut, une à partir d'un port extérieur et une autre en écrivant dans le registre de configuration du circuit de commande 504. L'objet des deux signaux est le même, mais ils proviennent de deux sources différentes.

- [0160] Le circuit de gestion de boucle d'alarme 538 reçoit par exemple le signal d'alarme re-synchronisé ALARM en provenance du circuit de resynchronisation 1302 et également le signal ALARM_EN en provenance du contrôleur 542. Le circuit 538 est configuré pour générer le signal ALARM CLEAR REQ et reçoit le signal d'accusé de réception ALARM CLEAR ACK. Le circuit de gestion de boucle d'alarme 538 reçoit également par exemple en provenance du contrôleur 542 un signal "alarm watch prog" pour programmer la fenêtre de suivi d'alarme, et un signal "alarm duration prog" pour programmer la durée d'alarme et fournit par exemple au contrôleur 542 des signaux "Alarm warning", "Alarm error", "alarm updated", qui indique que l'emplacement de chaque signal d'alarme a été sauvegardé, et "Alarm clear req".
- [0161] Le contrôleur haut/bas 540 reçoit par exemple le signal d'accusé de réception de statut STATUS ACK et génère un ou plusieurs signaux pour régler des tensions d'alimentation, des fréquences d'horloge et/ou des tensions de polarisation de transistors dans le circuit. Par exemple, il génère, et transmet à un système de commande de tension de polarisation (non représenté), un signal de commande de tension de polarisation "up/down result ABB", indiquant un niveau de tension de polarisation à appliquer au circuit et transmet et reçoit également, sur une ligne de commande des signaux de requête et d'accusé de réception "Req/ack up/down ABB" au système de commande de tension de polarisation. En outre ou selon une variante, le contrôleur haut/bas 540 génère par exemple, et transmet à un système de commande de fréquence/tension (non représenté), un signal de commande de fréquence/tension "up/down result freq/voltage", indiquant une fréquence et/ou un niveau de tension d'alimentation à appliquer au circuit et transmet et reçoit également sur une ligne de commande des signaux de requête et d'accusé de réception "Req/ack up/down freq/voltage" au système de commande de fréquence/tension.
- [0162] Le contrôleur haut/bas 540 reçoit par exemple en provenance du contrôleur 542 un signal "up/down enable", des signaux seuil "status high bound" et "status low bound" et un signal "status counter res" et fournit par exemple au contrôleur 542 un signal "up/down result" indiquant les modifications de tension, de fréquence et/ou de tension de polarisation et un signal de commande "up/down done" indiquant le moment où une modification de la tension d'alimentation, de la tension de polarisation et/ou de la fréquence du circuit est disponible, en d'autres termes que le nouveau résultat haut/bas a été calculé. Ce résultat déclenche par exemple une modification correspondante de la tension d'alimentation, de la fréquence du circuit et/ou de la tension de polarisation du circuit.
- [0163] Le contrôleur 542 reçoit par exemple le signal de compteur de statut C_S sur la ligne d'entrée 530 en provenance du compteur maître 523 et reçoit également les signaux ICG REG CTRL et STATUS UNPLUGGED. Le contrôleur 542 communique

également par exemple avec les circuits collecteur 518 par l'intermédiaire des signaux d'interface de registre de collecteur COLLECTOR REG INTERFACE, de sorte que les registres du circuit 500 fassent partie du réseau de registres du dispositif.

- [0164] Le contrôleur 542 est par exemple configuré également pour communiquer avec l'interface de registres (REG INTERFACE) 506. En outre le contrôleur 542 est par exemple configuré pour générer des requêtes d'interruption (IRQ) au processeur hôte, incluant par exemple une ou plusieurs parmi : une interruption de statut mis à jour "Status updated IRQ" indiquant le moment où le statut a été mis à jour, une interruption d'erreur d'alarme "alarm error IRQ", une interruption d'avertissement d'alarme "alarm warning IRQ" indiquant le moment où une alarme a été activée dans une ou plusieurs cellules de protection de la synchronisation temporelle, une interruption d'alarme mise à jour "alarm updated IRQ" indiquant que les emplacements d'alarme ont été sauvegardés et une interruption de haut/bas mis à jour "Up/down updated IRQ" indiquant le moment où le contrôleur haut/bas 540 a calculé si la tension d'alimentation ou de polarisation et/ou la fréquence du circuit doit être réglée.
- [0165] Le fonctionnement des modes de gestion des boucles de statut et d'alarme sera maintenant décrit plus en détail en relation avec les figures 14, 15A et 15B.
- [0166] La [Fig.14] est un chronogramme représentant une gestion d'une boucle de statut selon un exemple de mode de réalisation.
- [0167] A un instant t_0 , le signal STATUS_EN est activé par le contrôleur 542. Par exemple, le circuit de commande 504 active périodiquement le signal de requête de statut STATUS REQ, par exemple à chaque fois que la minuterie de statut s'achève. La durée de la minuterie est par exemple programmée par les signaux "status timer prog". Cette requête est par exemple utilisée pour détecter si des réglages devraient être effectués aux tensions et/ou fréquence de fonctionnement du circuit.
- [0168] A un instant t_1 , la minuterie de statut s'achève, provoquant l'activation par le circuit de gestion de boucle de statut 536 du signal de requête de statut STATUS REQ.
- [0169] Entre l'instant t_1 et un instant t_2 , le compte de statut est par exemple calculé et sauvegardé, comme cela a été décrit en relation avec le chronogramme de la [Fig.10] et, à l'instant t_2 , le signal d'accusé de réception de statut STATUS ACK est activé par la FSM 806 du circuit de fusion de capteur 514, amenant par exemple le contrôleur haut/bas 540 à proposer un réglage de la tension de polarisation, de la tension d'alimentation et/ou de la fréquence de fonctionnement du circuit sur la base du nombre d'indicateurs de statut. En outre, l'interruption de statut mis à jour "status updated IRQ" est par exemple activée pour informer le processeur hôte que les données de statut sont disponibles.
- [0170] A l'instant t_2 , la minuterie de statut est redémarrée et sa durée est par exemple programmée par le signal "status timer prog" afin de déclencher une nouvelle phase de

surveillance de minuterie de statut.

[0171] A un instant t3, la minuterie de statut s'achève, provoquant l'activation par le circuit de gestion de boucle de statut 536 du signal de requête de statut STATUS REQ.

[0172] Entre l'instant t3 et un instant t4, le compte de statut est par exemple calculé et sauvegardé et, à l'instant t4, le signal d'accusé de réception de statut STATUS ACK est activé par la FSM 806 du circuit de fusion de capteur 514, amenant par exemple le contrôleur haut/bas 540 à proposer un réglage de la tension de polarisation, de la tension d'alimentation et/ou de la fréquence de fonctionnement du circuit sur la base du nombre d'indicateurs de statut. En outre, l'interruption de statut mis à jour "status updated IRQ" est par exemple activée pour informer le processeur hôte que les données de statut sont disponibles.

[0173] A l'instant t4, la minuterie de statut est par exemple redémarrée et sa durée est programmée par "status timer prog" afin de déclencher une nouvelle phase de surveillance de minuterie de statut.

[0174] Toutefois, cette fois, avant la fin de la minuterie de statut, une requête de statut est forcée par le signal FORCE STATUS REQ, amenant le circuit 536 à activer le signal de requête de statut STATUS REQ à un instant t5. Ainsi, entre l'instant t5 et un instant t6, le compte de statut est par exemple calculé et sauvegardé et, à l'instant t6, le signal d'accusé de réception de statut STATUS ACK est activé par la FSM 806 du circuit de fusion de capteur 514, amenant par exemple le contrôleur haut/bas 540 à proposer un réglage de la tension de polarisation, de la tension d'alimentation et/ou de la fréquence de fonctionnement du circuit sur la base du nombre d'indicateurs de statut. En outre, l'interruption de statut mis à jour "status updated IRQ" est par exemple activée pour informer le processeur hôte que les données de statut sont disponibles.

[0175] A l'instant t6, la minuterie de statut est redémarrée et sa durée est programmée par le signal "status timer prog" afin de déclencher une nouvelle phase de surveillance de minuterie de statut.

[0176] La [Fig.15A] est un chronogramme représentant une gestion de boucle d'alarme impliquant un mode d'erreur selon un exemple de mode de réalisation. La [Fig.15A] représente un exemple du signal d'horloge CLK_1_O/P, qui a par exemple initialement une fréquence associée à un mode de fonctionnement normal (FUNCTIONAL MODE). Cela peut être une fréquence fixe ou une fréquence qui varie sur la base de l'état d'activation des indicateurs de statut.

[0177] A un instant t0, un indicateur d'alarme est par exemple détecté (ALARM DETECTED), provoquant l'entrée dans le mode d'erreur (FAIL OPERATIONAL MODE) dans lequel la fréquence du signal d'horloge CLK_1_OP est par exemple divisée par deux et provoquant le déclenchement d'une période de suivi d'alarme (ALARM TRACKING), ainsi que d'une durée d'alarme (ALARM DUR.). En outre,

- l'interruption d'avertissement d'alarme "alarm warning IRQ" est par exemple activée.
- [0178] A un instant t1, la durée d'alarme prend fin et la requête d'effacement d'alarme ALARM CLEAR REQ est par exemple activée afin de réinitialiser les indicateurs d'alarme. Ainsi, à un instant t2, ALARM CLEAR ACK est par exemple activé et l'interruption d'alarme mise à jour "alarm updated IRQ" est par exemple activée. Le circuit revient ainsi au mode de fonctionnement normal. Plus aucun des indicateurs d'alarme n'apparaît jusqu'à un instant t3, instant auquel un autre indicateur d'alarme est détecté (ALARM DETECTED). Ainsi, on entre de nouveau dans le mode d'erreur, comme cela a été décrit précédemment.
- [0179] La [Fig.15B] est un chronogramme représentant une gestion de boucle d'alarme impliquant un mode de sécurité-défaut selon un exemple de mode de réalisation. Comme la [Fig.15A], la [Fig.15B] représente un exemple du signal d'horloge CLK_1_O/P, qui a par exemple initialement une fréquence associée à un mode de fonctionnement normal (FUNCTIONAL MODE). Comme en [Fig.15A], une alarme est détectée (ALARM DETECTED) à un instant t0 et la procédure jusqu'à l'instant t2 est la même qu'en [Fig.15A] et ne sera pas détaillée de nouveau.
- [0180] Toutefois, dans l'exemple de la [Fig.15B], une nouvelle alarme est détectée (ALARM DETECTED) à un instant t3, avant la fin de la période de suivi d'alarme ALARM TRACKING. Par conséquent, à l'instant t3, on entre dans le mode de sécurité-défaut (FAIL SAFE MODE). Dans le mode de sécurité-défaut, un autre niveau d'IRQ est atteint, qui est une interruption "alarm error IRQ" qui est atteinte au lieu de "alarm warning IRQ". Dans ce mode, la fréquence du signal d'horloge CLK_1_OP est par exemple de nouveau divisée par deux et les autres opérations effectuées dans le cas du mode d'erreur sont par exemple mises en œuvre.
- [0181] La [Fig.16] représente schématiquement le circuit de gestion haut/bas 540 du circuit de commande 504 de la [Fig.13] plus en détail selon un exemple de mode de réalisation de la présente description.
- [0182] Le circuit de gestion haut/bas 540 comprend par exemple des comparateurs 1602, 1604 et une machine d'état fini (FSM) 1606. Une opération de comparaison est par exemple déclenchée par l'activation par le contrôleur 542 du signal STATUS ACK. Toutefois, si l'alarme est activée, aucun calcul haut/bas n'est effectué.
- [0183] Le comparateur 1602 est par exemple configuré pour comparer la valeur de compte d'indicateur de statut C_S à un seuil haut défini par le signal "status high bound". Si le nombre d'indicateurs de statut indiqué par la valeur de compte d'indicateur de statut C_S dépasse ce seuil, la FSM 1606 est par exemple configurée pour avertir le système qu'une réduction de la fréquence de fonctionnement et/ou une augmentation de la tension d'alimentation et/ou de la tension de polarisation du circuit est requise, en utilisant les signaux décrits en relation avec la [Fig.13].

- [0184] Le comparateur 1604 est par exemple configuré pour comparer la valeur de compte d'indicateur de statut C_S à un seuil bas défini par le signal "status slow bound". Si le nombre d'indicateurs de statut indiqué par la valeur de compte d'indicateur de statut C_S est inférieur à ce seuil, la FSM 1606 est par exemple configurée pour avertir le système qu'une augmentation de la fréquence de fonctionnement et/ou une réduction de la tension d'alimentation et/ou de la tension de polarisation du circuit est requise, en utilisant les signaux décrits en relation avec la [Fig.13].
- [0185] La FSM 1606 est par exemple configurée pour informer le circuit de commande 504 lorsque la comparaison a été effectuée, en activant le signal "up/down done" et en indiquant le résultat de la comparaison en utilisant le résultat "up/down result".
- [0186] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier.
- [0187] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

- [Revendication 1] Circuit comprenant :
- un premier circuit de protection de la synchronisation (200, SLG_A) configuré pour activer un premier indicateur d'alarme lorsqu'il est détecté qu'une marge temporelle d'un premier signal de données arrivant au niveau d'un premier dispositif synchrone (202) du premier circuit de protection de la synchronisation chute en-dessous d'un premier seuil (SLG DELAY 1) ;
 - un deuxième circuit de protection de la synchronisation (200, SLG_A) configuré pour activer un deuxième indicateur d'alarme lorsqu'il est détecté qu'une marge temporelle d'un deuxième signal de données arrivant au niveau d'un premier dispositif synchrone (202) du deuxième circuit de protection de la synchronisation chute en-dessous du premier seuil (SLG DELAY 2) ou en-dessous d'un deuxième seuil différent du premier seuil ; et
 - un premier circuit collecteur d'indicateurs (518) comprenant : un premier dispositif de détection asynchrone (702_1) configuré pour activer un premier signal de sortie (COLL_OUT #1) au niveau d'une première sortie d'indicateur (528) du premier circuit collecteur d'indicateurs lorsque le premier indicateur d'alarme est activé ; et un deuxième dispositif de détection asynchrone (702_2) configuré pour activer le premier signal de sortie (ALARM) au niveau de la première sortie d'indicateur (534) lorsque le deuxième indicateur d'alarme est activé.
- [Revendication 2] Circuit selon la revendication 1, comprenant un circuit de protection, configuré pour :
- recevoir le premier signal de sortie (ALARM) ; et
 - appliquer, en réponse au premier signal de sortie, une première réduction de fréquence à un signal d'horloge (CLK_1_O/P) du circuit.
- [Revendication 3] Circuit selon la revendication 2, comprenant en outre un troisième circuit de protection de la synchronisation (200, SLG_S) configuré pour activer un indicateur de statut lorsqu'il est détecté qu'une marge temporelle d'un troisième signal de données arrivant au niveau d'un premier dispositif synchrone (202) du troisième circuit de protection de la synchronisation chute en-dessous d'un troisième seuil (SLG DELAY 1), dans lequel :
- le troisième seuil (SLG DELAY 1) est un seuil de statut (STATUS) à

une première distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du troisième circuit de protection de la synchronisation après l'arrivée du troisième signal de données ; et

- le premier seuil (SLG DELAY 2) est un seuil d'alarme (ALARM) à une deuxième distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du premier circuit de protection de la synchronisation après l'arrivée du premier signal de données, le premier seuil étant inférieur au troisième seuil.

[Revendication 4]

Circuit selon la revendication 3, comprenant une pluralité desdits troisièmes circuits de protection de la synchronisation (200, SLG_S) et un circuit de réponse de synchronisation relié à la sortie du premier circuit collecteur d'indicateurs, le circuit de réponse de synchronisation étant configuré pour :

- recevoir des signaux d'indicateurs de statut en provenance de la pluralité de troisièmes circuits de protection de la synchronisation lorsque la marge temporelle du troisième signal de données chute en-dessous du troisième seuil (SLG DELAY 2) ;

- comparer un nombre de signaux d'indicateurs (STATUS) générés par la pluralité de troisièmes circuits de protection de la synchronisation (200, SLG_S) à un seuil ; et

- appliquer, en réponse au fait que le nombre de signaux d'indicateurs dépasse le seuil, un premier réglage d'une tension d'alimentation ou d'une tension de polarisation et/ou une réduction de fréquence au signal d'horloge (CLK_1_O/P) du circuit.

[Revendication 5]

Circuit selon l'une quelconque des revendications 1 à 4, comprenant :

- un deuxième circuit collecteur d'indicateurs (518) configuré pour activer un deuxième signal de sortie (ALARM) au niveau d'une deuxième sortie d'indicateur (528) du deuxième circuit collecteur d'indicateurs ; et

- un circuit collecteur d'indicateurs maître (523) relié aux première et deuxième sorties d'indicateur (528) et configuré pour générer un signal de sortie d'indicateur maître (ALARM) lorsque le premier ou le deuxième signal de sortie est activé.

[Revendication 6]

Circuit selon l'une quelconque des revendications 1 à 5, dans lequel :

- le premier dispositif de détection asynchrone (702_1) comprend une première bascule bistable de mise à un - remise à zéro (SR), dans lequel le premier indicateur est appliqué à une entrée de mise à un ou de remise

à zéro de la première bascule bistable de mise à un - remise à zéro ; et
 - le deuxième dispositif de détection asynchrone (702_2) comprend une deuxième bascule bistable de mise à un - remise à zéro (SR), dans lequel le deuxième indicateur est appliqué à une entrée de mise à un ou de remise à zéro de la deuxième bascule bistable de mise à un - remise à zéro.

[Revendication 7] Circuit selon l'une quelconque des revendications 1 à 6, dans lequel des sorties des premier et deuxième dispositifs de détection asynchrone (702_1, 702_2) sont reliées à la première sortie d'indicateur (528) par l'intermédiaire d'un arbre OU (624).

[Revendication 8] Procédé de détection d'une réduction de marge temporelle comprenant :

- l'activation, par un premier circuit de protection de la synchronisation (200, SLG_A), d'un premier indicateur d'alarme, lorsqu'il est détecté qu'une marge temporelle d'un premier signal de données arrivant au niveau d'un premier dispositif synchrone (202) du premier circuit de protection de la synchronisation chute en-dessous d'un premier seuil (SLG DELAY 1) ;
- l'activation, par un deuxième circuit de protection de la synchronisation (200, SLG_A), d'un deuxième indicateur d'alarme lorsqu'il est détecté qu'une marge temporelle d'un deuxième signal de données arrivant au niveau d'un premier dispositif synchrone (202) du deuxième circuit de protection de la synchronisation chute en-dessous du premier seuil (SLG DELAY 2) ou en-dessous d'un deuxième seuil (SLG DELAY 2) différent du premier seuil ;
- l'activation, par un premier dispositif de détection asynchrone (702_1) d'un premier circuit collecteur d'indicateurs (518), d'un premier signal de sortie (ALARM) au niveau d'une première sortie d'indicateur du premier circuit collecteur d'indicateurs lorsque le premier indicateur d'alarme est activé ; et
- l'activation, par un deuxième dispositif de détection asynchrone (702_2) du premier circuit collecteur d'indicateurs (518), du premier signal de sortie (ALARM) au niveau de la première sortie d'indicateur lorsque le deuxième indicateur d'alarme est activé.

[Revendication 9] Procédé selon la revendication 8, comprenant en outre :

- l'activation, par un deuxième circuit collecteur d'indicateurs (518), d'un deuxième signal de sortie (ALARM) au niveau d'une deuxième sortie d'indicateur du deuxième circuit collecteur d'indicateurs ; et
- la génération, par un circuit collecteur d'indicateurs maître (523) relié

aux première et deuxième sorties d'indicateur, d'un signal de sortie d'indicateur maître (ALARM) lorsque le premier ou le deuxième signal de sortie est activé.

[Revendication 10]

Procédé selon la revendication 8 ou 9, comprenant :

- l'application du premier indicateur à une entrée de mise à un ou de remise à zéro d'une première bascule bistable de mise à un - remise à zéro du premier dispositif de détection asynchrone (702_1) ; et
- l'application du deuxième indicateur à une entrée de mise à un ou de remise à zéro d'une deuxième bascule bistable de mise à un - remise à zéro du deuxième dispositif de détection asynchrone (702_2).

[Revendication 11]

Procédé selon l'une quelconque des revendications 8 à 10, comprenant en outre :

- la réception, par un circuit de protection du circuit, du premier signal de sortie (ALARM) ; et
- l'application, par le circuit de protection en réponse au premier signal de sortie, d'une première réduction de fréquence au signal d'horloge (CLK_1_O/P) du circuit.

[Revendication 12]

Procédé selon la revendication 11, dans lequel le circuit comprend en outre un troisième circuit de protection de la synchronisation (200, SLG_S) configuré pour activer un indicateur de statut lorsqu'il est détecté qu'une marge temporelle d'un troisième signal de données arrivant au niveau d'un premier dispositif asynchrone (202) du troisième circuit de protection de la synchronisation chute en-dessous d'un troisième seuil (SLG DELAY 1), dans lequel :

- le troisième seuil (SLG DELAY 1) est un seuil de statut (STATUS) à une première distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du troisième circuit de protection de la synchronisation après l'arrivée du troisième signal de données ; et
- le premier seuil (SLG DELAY 2) est un seuil d'alarme (ALARM) à une deuxième distance temporelle d'un front d'horloge du signal d'horloge du circuit reçu par le premier dispositif synchrone du premier circuit de protection de la synchronisation après l'arrivée du premier signal de données, le premier seuil étant inférieur au troisième seuil.

[Revendication 13]

Procédé selon la revendication 12, dans lequel le circuit comprend une pluralité desdits troisièmes circuits de protection de la synchronisation (200, SLG_S) et un circuit de réponse de synchronisation relié à la sortie du premier circuit collecteur d'indicateur, le procédé comprenant

en outre :

- la réception, par le circuit de réponse de synchronisation, des signaux d'indicateurs de statut en provenance de la pluralité de troisièmes circuits de protection de la synchronisation lorsque la marge temporelle du troisième signal de données chute en-dessous du troisième seuil (SLG DELAY 2) ;
- la comparaison, par le circuit de réponse de synchronisation, d'un nombre de signaux d'indicateurs (STATUS) générés par la pluralité de troisièmes circuits de protection de la synchronisation (200, SLG_S) à un seuil ; et
- l'application, par le circuit de réponse de synchronisation en réponse au fait que le nombre de signaux d'indicateurs dépasse le seuil, d'un premier réglage d'une tension d'alimentation ou d'une tension de polarisation et/ou d'une réduction de fréquence au signal d'horloge (CLK_1_O/P) du circuit.

[Revendication 14]

Procédé selon l'une quelconque des revendications 8 à 12, comprenant en outre la fourniture des premier et deuxième signaux de sortie des premier et deuxième dispositifs de détection asynchrone (702_1, 702_2) à la première sortie d'indicateur (528) par l'intermédiaire d'un arbre OU (624).

[Fig. 2]

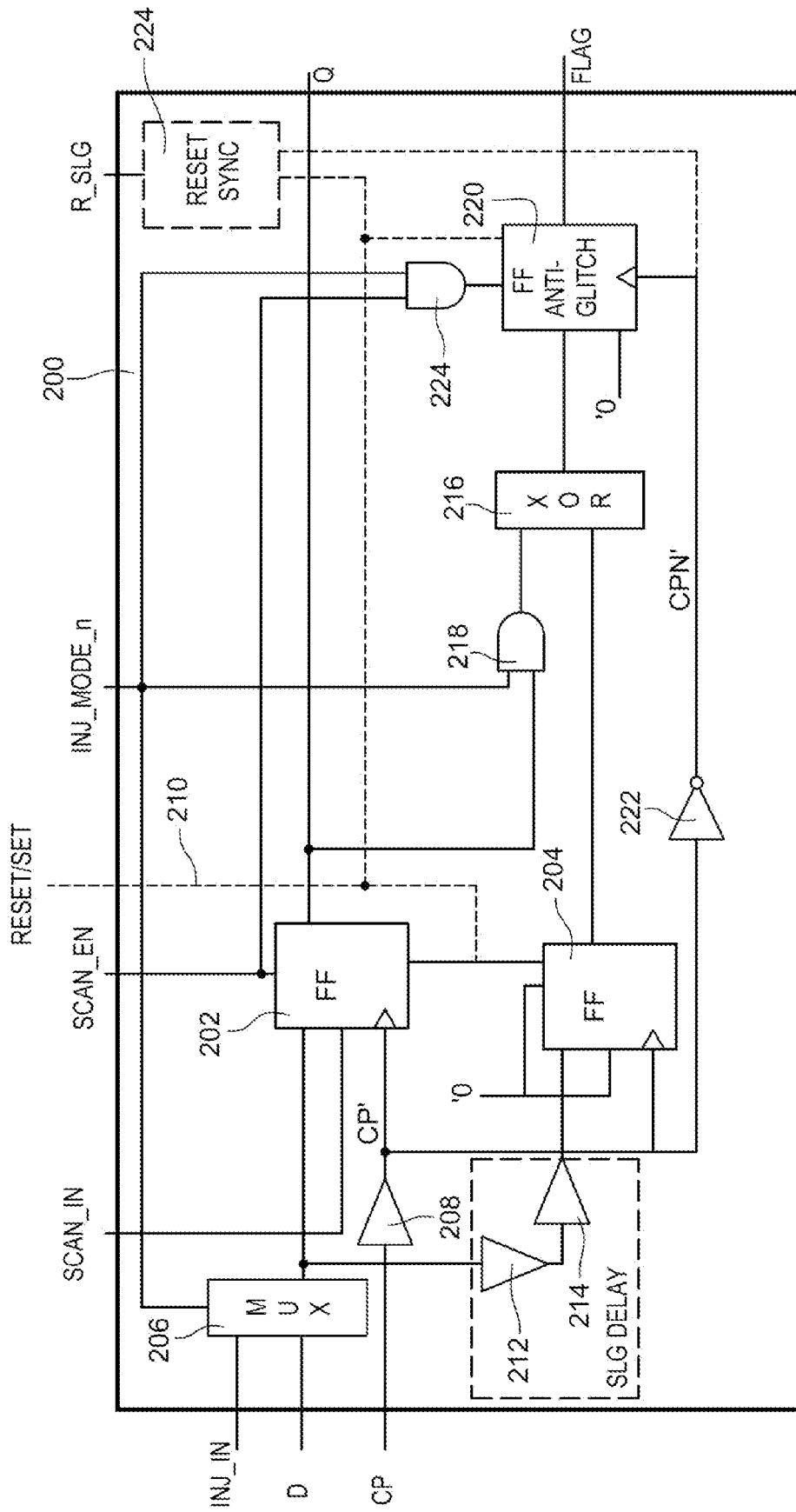
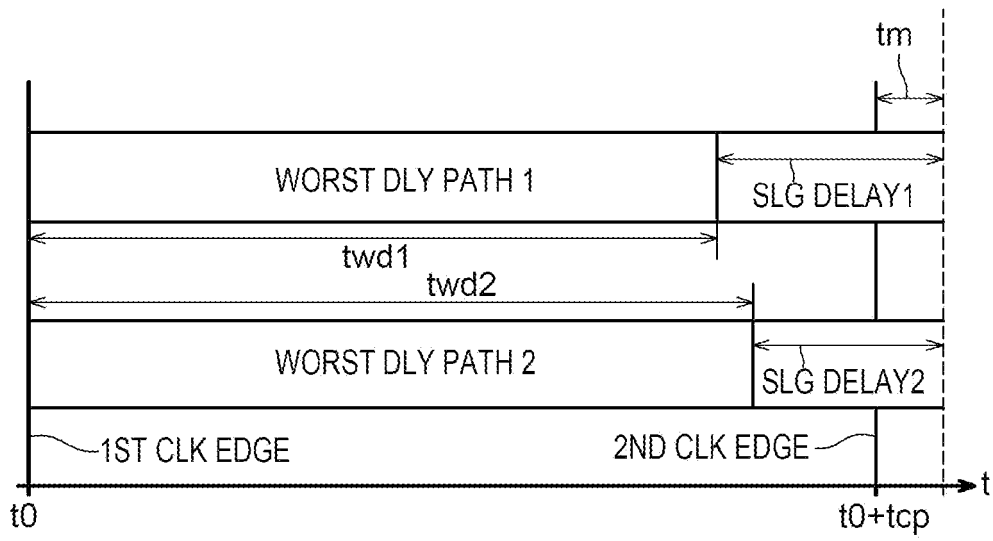
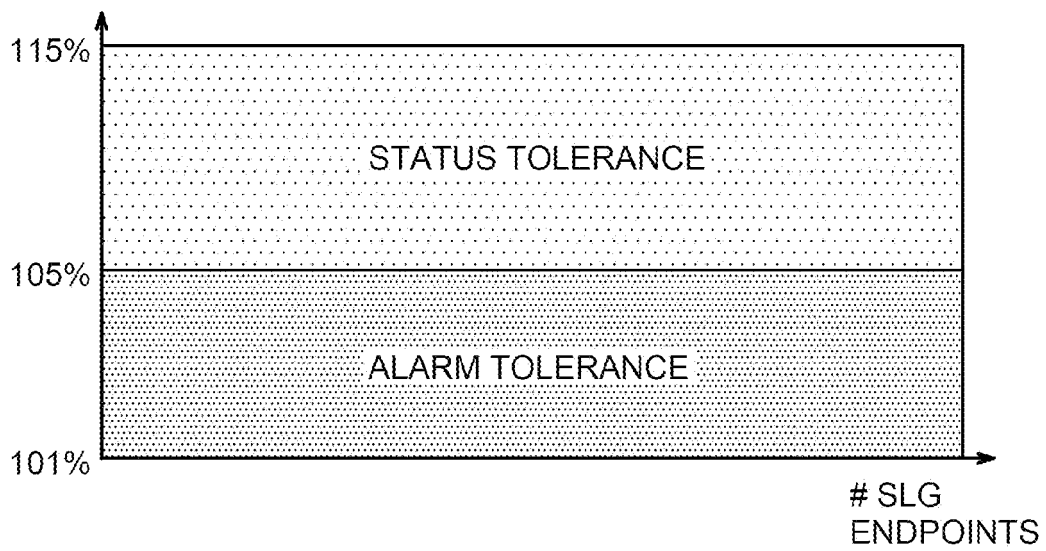


Fig. 2

[Fig. 3]

**Fig. 3**

[Fig. 4]

**Fig. 4**

[Fig. 5]

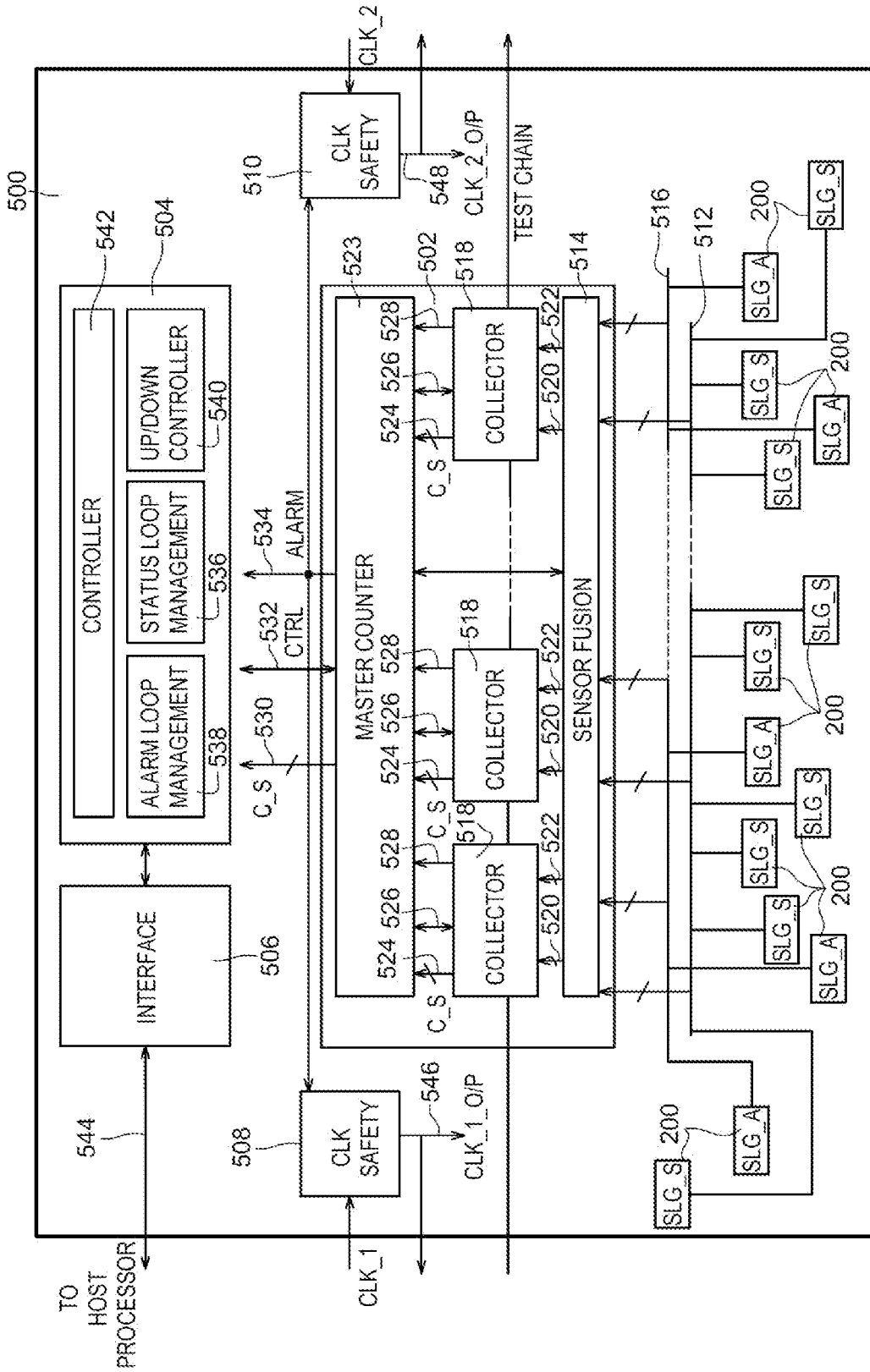


Fig. 5

[Fig. 6]

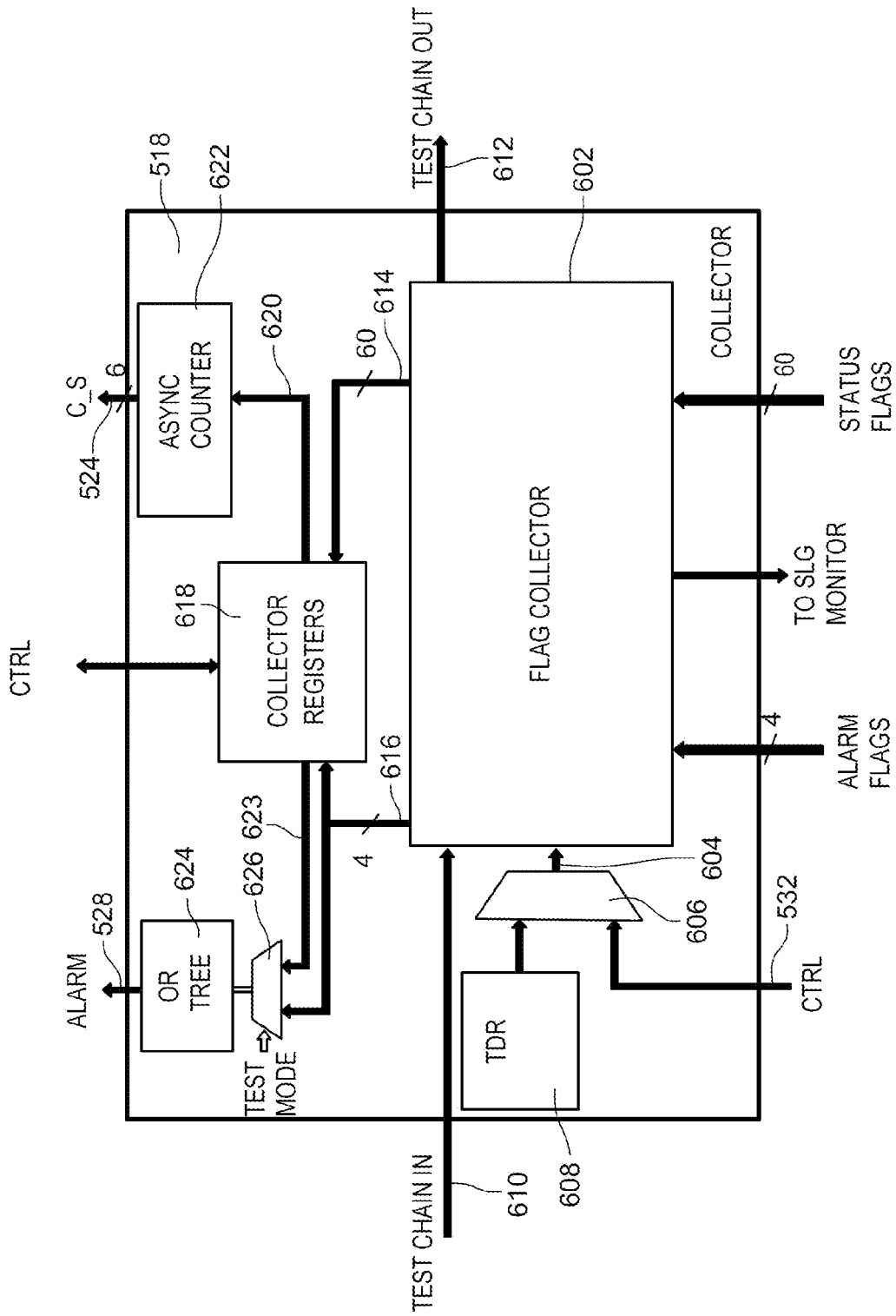
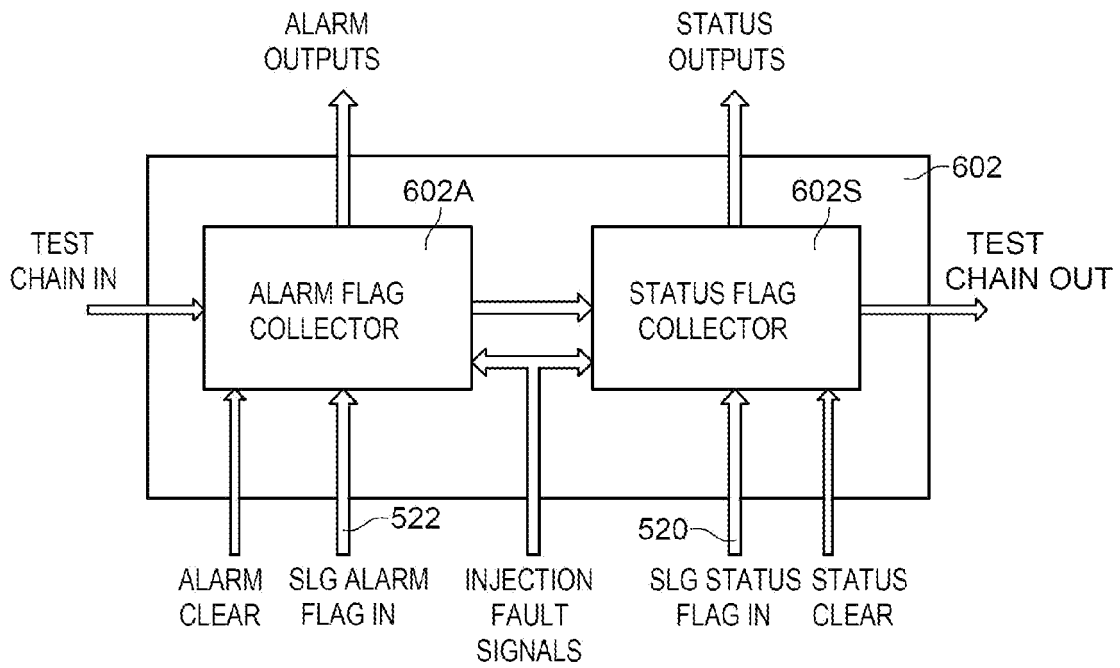


Fig. 6

[Fig. 7A]

**Fig. 7A**

[Fig. 8]

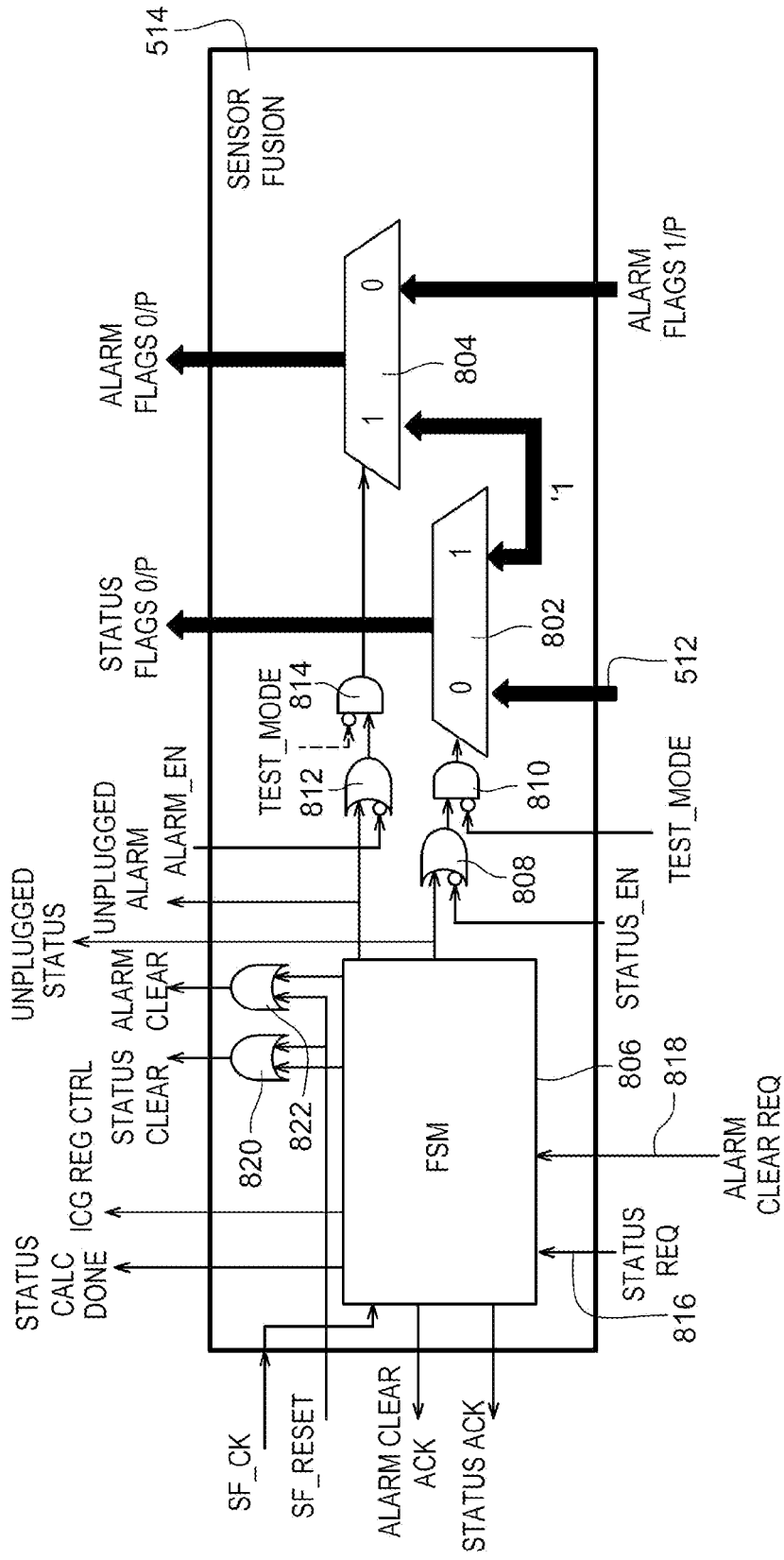
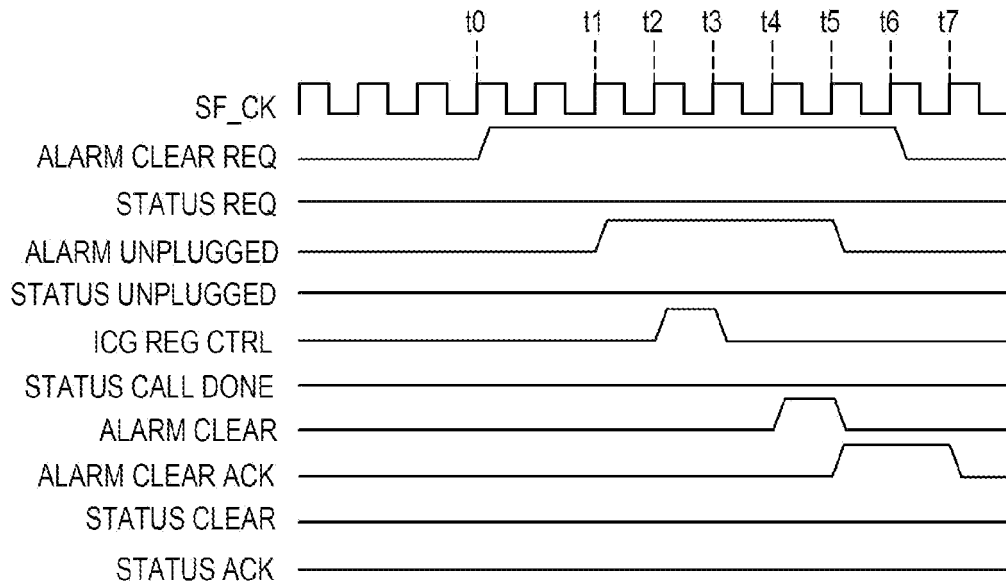
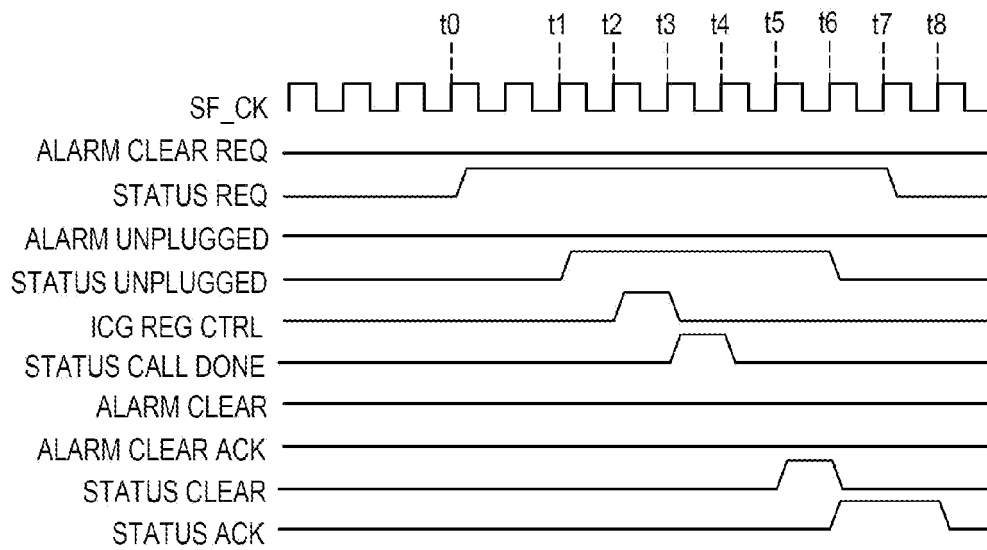


Fig. 8

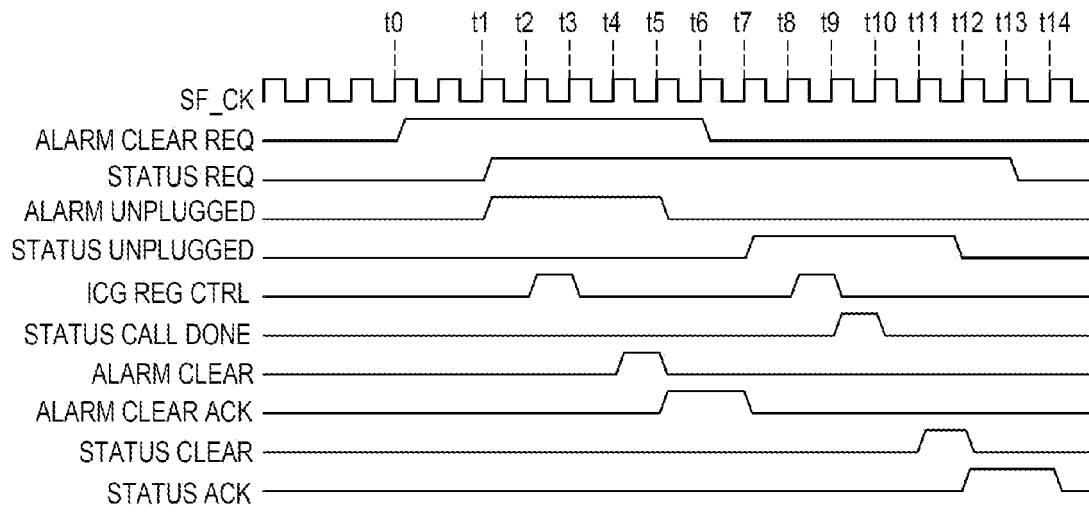
[Fig. 9]

**Fig. 9**

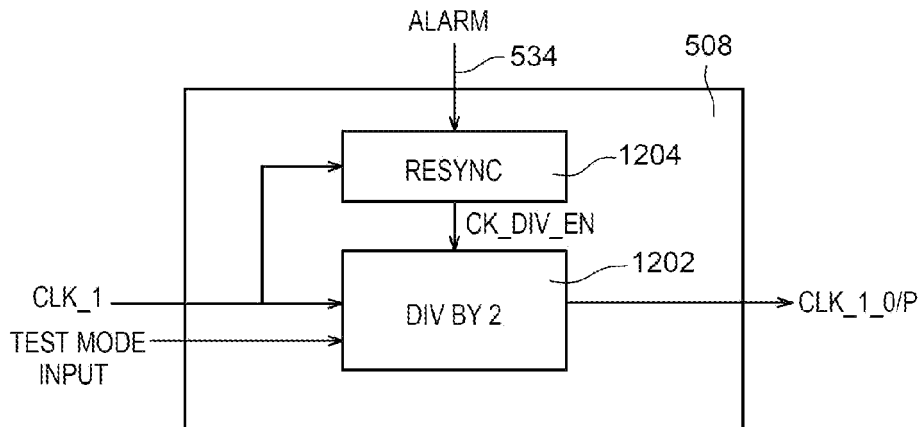
[Fig. 10]

**Fig. 10**

[Fig. 11]

**Fig. 11**

[Fig. 12]

**Fig. 12**

[Fig. 13]

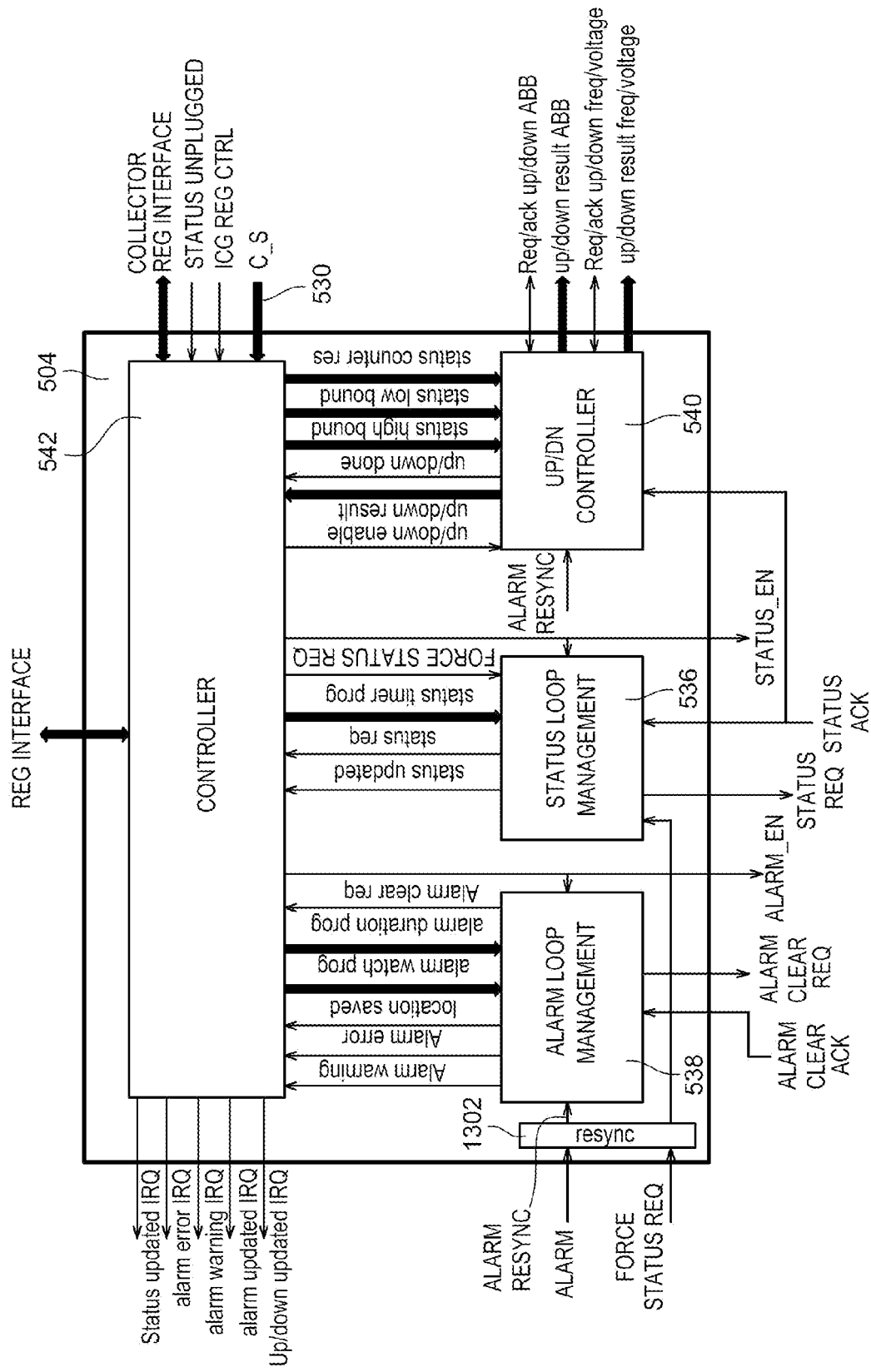


Fig. 13

[Fig. 14]

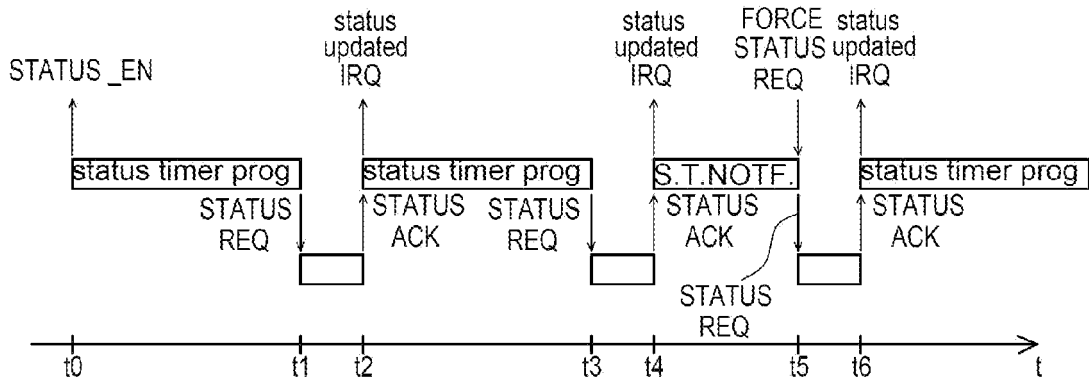


Fig. 14

[Fig. 15A]

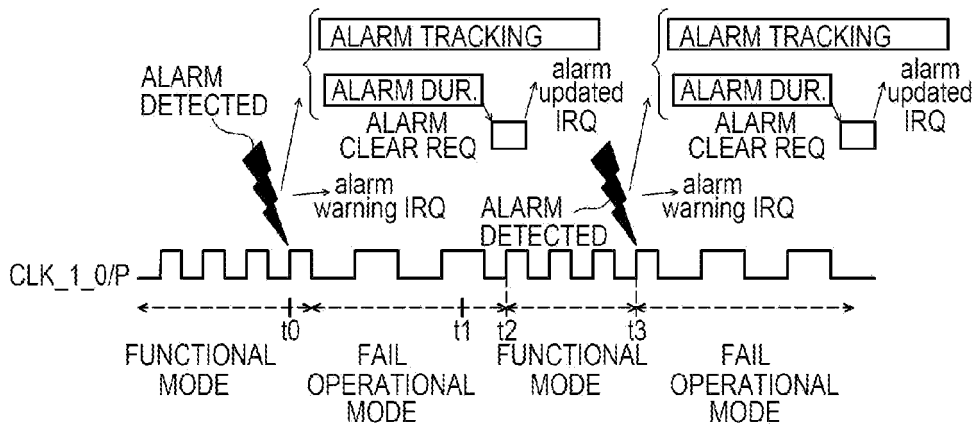


Fig. 15A

[Fig. 15B]

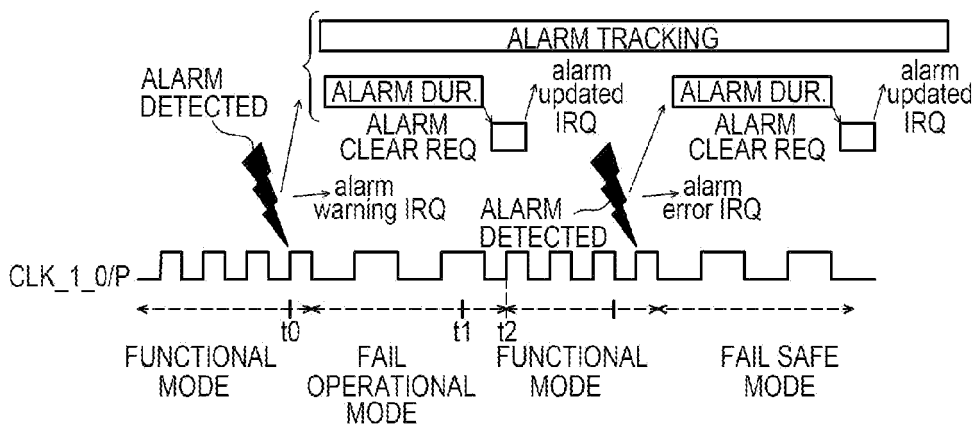


Fig. 15B

[Fig. 16]

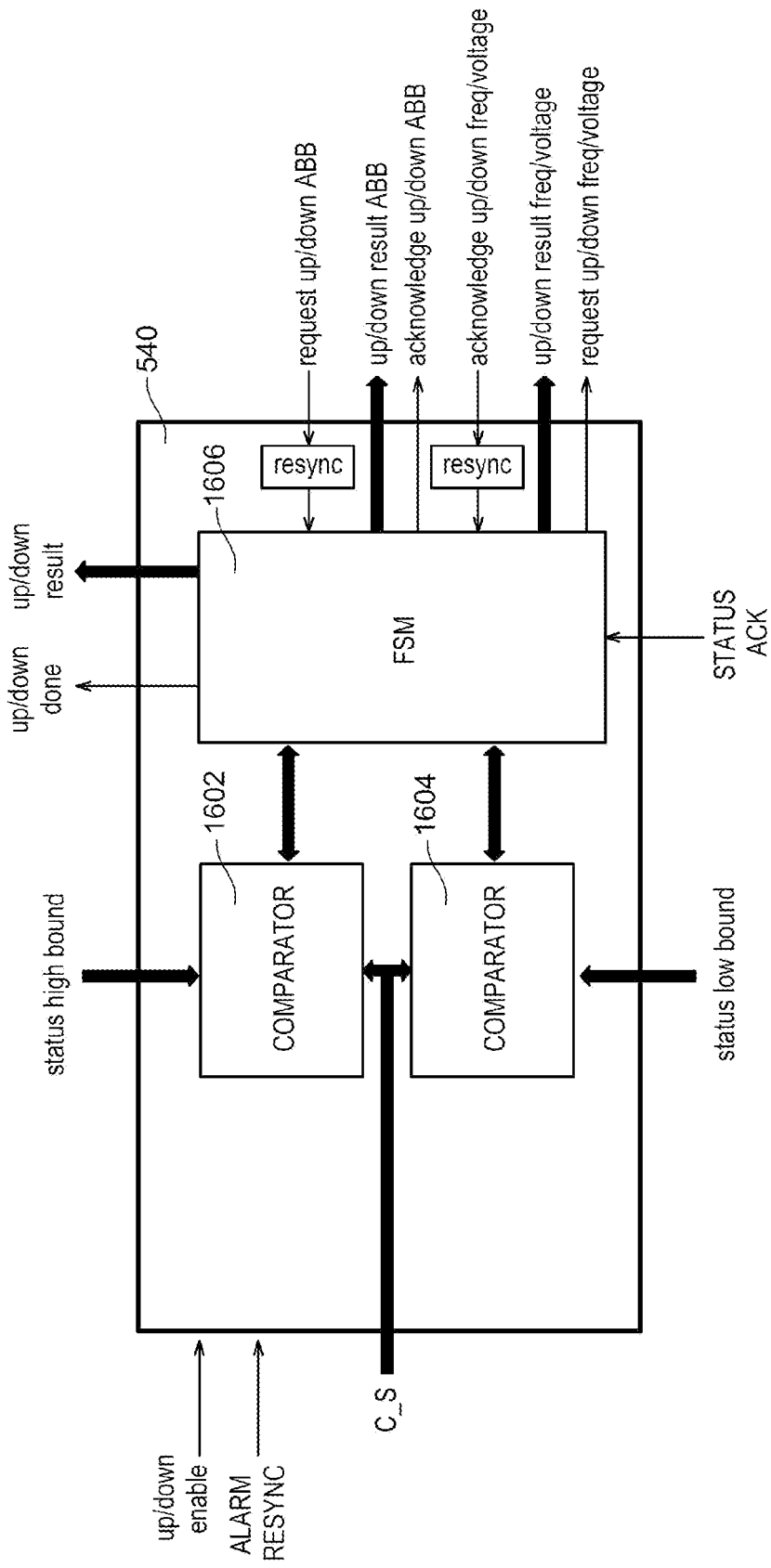


Fig. 16



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 914091
FR 2207275

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2017/161416 A1 (MIRO PANADES IVAN [FR]) 8 juin 2017 (2017-06-08) * alinéas [0004] - [0007], [0051] - [0080]; figures 1-4 * -----	1-14	G06F1/14 G06F11/30
A	US 5 467 464 A (OPRESCU FLORIN [US] ET AL) 14 novembre 1995 (1995-11-14) * colonne 1, ligne 24 - colonne 2, ligne 39 * -----	1-14	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G06F
Date d'achèvement de la recherche		Examineur	
24 mai 2023		Arranz, José	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		
		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2207275 FA 914091**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **24-05-2023**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2017161416 A1	08-06-2017	EP 3176713 A1	07-06-2017
		FR 3044772 A1	09-06-2017
		US 2017161416 A1	08-06-2017

US 5467464 A	14-11-1995	AU 6398594 A	26-09-1994
		DE 69428687 T2	20-06-2002
		EP 0688447 A1	27-12-1995
		JP H08507668 A	13-08-1996
		US 5467464 A	14-11-1995
		WO 9420898 A1	15-09-1994
