

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 7/00

(45) 공고일자 1999년03월30일
(11) 등록번호 특0172345
(24) 등록일자 1998년10월23일

(21) 출원번호	특1995-043972	(65) 공개번호	특1997-029763
(22) 출원일자	1995년11월27일	(43) 공개일자	1997년06월26일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이진영
서울특별시 종로구 행촌동 37-32
(74) 대리인 이건주

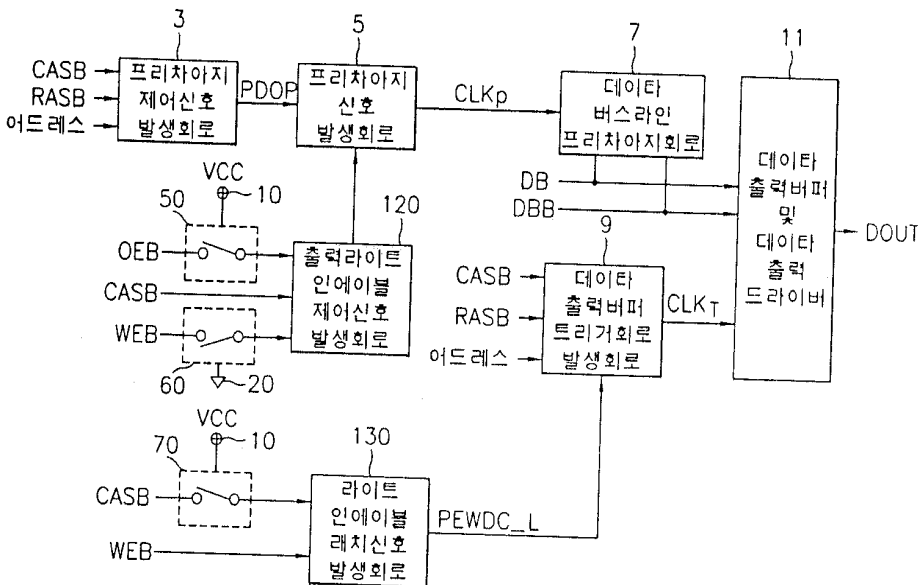
심사관 : 김중찬

(54) 반도체 메모리 장치의 하이퍼 페이지 모드의 데이터 출력신호 제어회로

요약

1. 청구범위에 기재된 발명이 속하는 기술 분야 ; 본 발명은 반도체 메모리 장치의 데이터 출력신호 제어회로에 관한 것이다.
2. 발명이 해결하려고 하는 기술적 과제 ; 본 발명은 로우어드레스스트로우브 신호, 컬럼어드레스스트로우브 신호 또는 출력인에이블 신호에 의해서만 데이터 출력이 제어되던 것을 출력인에이블 신호 또는 라이트 인에이블 신호로 제어된 데이터 출력이 가능하도록 하는 데이터 출력신호 제어회로를 제공함에 있다.
3. 발명의 해결방법의 요지 ; 본 발명은 하이퍼 페이지 모드를 가지는 반도체 메모리 장치의 데이터 출력신호 제어회로에 있어서, 외부공급전압 단자에 접속되어 스위칭 되는 출력인에이블 신호와 집적전압 단자에 접속되어 스위칭 되는 라이트 인에이블 신호 및 상기 컬럼어드레스스트로우브 신호에 응답하여 상기 프리차이지 신호 발생회로의 입력단에 출력단이 접속되어 라이트 인에이블을 제어하기 위한 출력라이트 인에이블 제어신호를 발생시키는 출력라이트 인에이블 제어신호 발생회로와, 상기 외부공급전압 단자와 접속되며 상기 컬럼어드레스스트로우브 신호를 스위칭 하여 입력으로 하고 상기 라이트 인에이블 신호를 입력으로 하여 상기 데이터 출력 버퍼트리거 신호 발생회로의 입력단에 출력단이 접속되어 래치신호를 발생하는 라이트 인에이블 래치신호 발생회로로서 데이터 출력신호를 제어함을 특징으로 한다.
4. 발명의 중요한 용도 ; 반도체 메모리 장치에 적합하게 사용된다.

대표도



명세서

[발명의 명칭]

반도체 메모리 장치의 하이퍼 페이지 모드의 데이터 출력신호 제어회로

[도면의 간단한 설명]

제1도는 종래 기술에 따른 하이퍼 페이지 모드에서의 데이터 출력 제어방법의 블록도.

제2도는 본 발명에 따른 출력라이트 인에이블 제어신호 발생회로의 구체적인 회로도.

제3도는 본 발명에 따른 출력라이트 인에이블 제어신호 POWE에 의한 데이터 버스라인 신호 제어회로의 구체적인 회로도.

제4도는 본 발명에 따른 데이터 출력 제어방법의 블록도.

제5도는 본 발명에 따른 라이트 인에이블 래치신호 발생회로의 구체적인 회로도.

제6도는 종래 기술에 따른 하이퍼 페이지 모드의 일 실시예의 동작 타이밍도.

제7도는 종래 기술에 따른 하이퍼 페이지 모드의 다른 실시예의 동작 타이밍도.

제8도는 본 발명에 따른 하이퍼 페이지 모드의 일 실시예의 동작 타이밍도.

제9도는 본 발명에 따른 하이퍼 페이지 모드의 다른 실시예의 동작 타이밍도.

제10도는 본 발명에 따른 하이퍼 페이지 모드의 또다른 실시예의 동작 타이밍도.

제11도는 본 발명에 따른 하이퍼 페이지 모드의 또다른 실시예의 동작 타이밍도.

제12도는 본 발명에 따른 하이퍼 페이지 모드의 또다른 실시예의 동작 타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 하이퍼 페이지 모드의 데이터 출력신호 제어회로에 관한 것이다.

종래 기술의 하이퍼 페이지 모드(Hyper Page Mode)는 패스트 페이지 모드(Fast Page Mode)와 달리 컬럼 어드레스스트로브(Column Address Strobe) 신호 CASB가 논리 하이(High)가 되어도 데이터 출력 Dout이 하이 임피던스(Ni-Impedance : Hi-Z)가 되지 않고 이전 데이터(Previous Data)를 계속 유지하고 있으며, 다음 사이클(cycle)의 데이터로 모두 전환되어 사이클 시간을 줄일 수 있게 됨으로써 인터리빙(Interlaving) 방식에서의 속도의 증가를 구현하였다. 그러나, 종래의 하이퍼 페이지 모드는 로우어드레스스트로브 신호 RASB, 컬럼 어드레스스트로브 신호 CASB, 출력인에이블 신호 OEB에 의해서만 데이터 출력이 제어되고 로우어드레스스트로브 신호 RASB 및 컬럼어드레스스트로브 신호 CASB가 모두 프리차아지(Precharge)되어야만 데이터 출력이 하이 임피던스 상태로 제어되므로 시스템(System)등에서 사용할 경우 제어신호의 개수가 줄어들게 되어 사용에 제약을 갖게 되는 문제점을 가지고 있다. 제1도는 종래 기술에 따른 하이퍼 페이지 모드에서의 데이터 출력 제어방법의 블록도 이다. 제1도를 참조하면, 구성은 로우어드레스스트로브 신호 RASB, 컬럼어드레스스트로브 신호 CASB 및 외부 어드레스(Address)의 정보에 응답하여 데이터 버스라인(Data Bus Line) DB/DBB를 프리차아지하는 프리차아지 제어신호 발생회로 3과, 상기 프리차아지 제어신호 발생회로 3의 출력단에 입력단이 접속되며 상기 프리차아지 제어신호 PDOP에 응답하여 프리차아지 신호 CLKP를 출력시키는 프리차아지 신호 발생 회로 5와, 상기 프리차아지 신호 발생회로 5의 출력단과 입력단이 접속되며 또한 데이터 버스라인 DB/DBB에 접속되고 상기 프리차아지 신호 CLKP에 응답하여 데이터 버스라인 DB/DBB를 프리차아지 시키는 데이터 버스라인 프리차아지 회로 7과, 로우어드레스스트로브 신호 RASB 및 컬럼어드레스스트로브 신호 CSDB 그리고 외부 어드레스에 응답하여 트리거 신호 CLKT를 발생시키는 데이터 출력버퍼 트리거(Trigger) 신호 발생회로 9와, 상기 데이터 버스라인 DB/DBB에 입력단이 접속되며 또한 상기 데이터 출력버퍼 트리거 신호 발생회로 9의 출력단에 입력단이 접속되어 데이터 버스라인 DB/DBB의 출력 및 트리거 신호 CLKT에 의해 제어되어 소정레벨의 출력신호를 출력하여 데이터 출력의 상태를 결정하는 데이터 출력버퍼(Data Output Buffer) 및 데이터 출력 드라이버(Data Output Driver) 11로 구성되어 있다. 동작을 살펴보면, 로우어드레스스트로브 신호 RASB 및 컬럼어드레스스트로브 신호 CASB가 액티브(Active)시 출력인에이블 신호 OEB가 논리 로우(Low)에서 논리 하이로, 다시 논리로우로 천이하면 데이터 출력상태가 데이터 출력 0 또는 1에서 하이 임피던스를 거쳐 데이터 출력 0 또는 1(이전 데이터)로 천이하며, 상기 로우어드레스스트로브 신호 RASB가 논리로우인 상태에서 출력인에이블 신호 OEB가 컬럼어드레스스트로브 신호 CASB의 프리차아지시에 논리하이로 토글(Toggle)하게 되면 상기 출력인에이블 신호 OEB의 라이징 에지(Rising Edge)에서 하이 임피던스로 프리차아지되고 다시 출력인에이블 신호 OEB가 논리로우로 천이 하면 폴링 에지(Falling Edge)에서 이전 데이터가 출력되게 되며 다음 컬럼어드레스스트로브 신호 CASB의 폴링 에지에서 다음 데이터로 전부 천이하게 된다. 이때 라이트 인에이블 신호 WEB는 아무런 역할을 하지 않으므로 논리하이상태를 유지하고 있게 된다. 이때 데이터 출력의 상태를 제어하는 방법은 상기 프리차아지 신호 CLKP에 의한 데이터 버스라인 DB/DBB 제어방법과 상기 트리거 신호 CLKT에 의한 제어방법의 두 가지가 있다. 종래의 데이터 확장 출력 모드(Extended Data Output Mode : 이하 EDO 모드라 함)에서는 외부 어드레스에 의한 데이터 버스라인 DB/DBB 프리차아지 경로를 차단하여 어드레스 천이에 의한 프리차아지가 일어나지 않게 하였으며, 상기 트리거 신호 CLKT도 역시 로우어드레스스트로브 신호 RASB 및 컬럼어드레스스트로브 신호 CASB 모두 프리차아지 되어야 논리로우로 디세이블(Dosable)되게 함으로써 상기 EDO 모드를 실현하였다.

따라서, 본 발명의 목적은 로우어드레스스트로브 신호, 컬럼어드레스스트로브 신호 또는 출력인에이블 신호에 의해서만 데이터 출력이 제어되던 것을 출력인에이블 신호 또는 라이트 인에이블 신호로 제어된 데이터 출력이 가능하도록 하는 하이퍼 페이지 모드의 데이터 출력신호 제어회로를 제공함에 있다.

본 발명의 다른 목적은 출력인에이블 신호 또는 라이트 인에이블 신호 중 하나의 신호를 사용하여 데이터 출력의 프리차아지를 가능하게 하는 하이퍼 페이지 모드의 데이터 출력신호 제어회로를 제공함에 있다.

본 발명의 또다른 목적은 종래 기술의 문제점인 데이터 출력의 상태를 로우 어드레스스트로우브 신호, 컬럼어드레스스트로우브 신호 및 출력인에이블 신호에 의한 제어뿐만 아니라, 출력인에이블 신호 또는 라이트 인에이블 신호에 의한 데이터 출력의 제어도 가능하게 할 수 있는 하이퍼 페이지 모드의 데이터 출력 신호 제어회로를 제공함에 있다.

상기한 목적들을 달성하기 위한 본 발명의 기술적 사상에 따르면, 시스템으로부터 컬럼어드레스스트로우브 신호, 로우어드레스스트로우브 신호 및 외부 어드레스 신호를 입력으로 하여 프리차아지를 제어하기 위한 신호를 발생하는 프리차아지 제어신호 발생회로와, 상기 프리차아지 제어신호에 응답하여 프리차아지 신호를 발생하는 프리차아지 신호 발생회로와, 상기 프리차아지 신호에 응답하여 데이터 버스 라인을 프리차아지 시키기 위한 데이터 버스 라인 프리차아지 회로와, 상기 컬럼어드레스스트로우브 신호, 로우 어드레스스트로우브 신호 및 외부 어드레스에 응답하여 트리거 신호를 발생시키는 데이터 출력버퍼 트리거 신호 발생회로와, 상기 데이터 버스 라인의 프리차아지 신호와 데이터 출력버퍼 트리거 신호 발생회로로부터의 트리거 신호에 응답하여 데이터 출력신호를 버퍼링하고 구동하여 출력하는 데이터 출력 버퍼 및 데이터 출력 드라이버로 이루어진 하이퍼 페이지 모드를 가지는 반도체 메모리 장치의 데이터 출력신호 제어회로에 있어서, 외부공급전압 단자에 접속되어 스위칭 되는 출력인에이블 신호와 접지전압 단자에 접속되어 스위칭 되는 라이트 인에이블 신호 및 상기 컬럼어드레스스트로우브 신호에 응답하여 상기 프리차아지 신호 발생회로의 입력단에 출력단이 접속되어 라이트 인에이블을 제어하기 위한 출력라이트 인에이블 제어신호를 발생시키는 출력라이트 인에이블 제어신호 발생회로와, 상기 외부공급전압 단자와 접속되며 상기 컬럼어드레스스트로우브 신호를 스위칭 하여 입력으로 하고 상기 라이트 인에이블 신호를 입력으로 하여 상기 데이터 출력 버퍼 트리거 신호 발생회로의 입력단에 출력단이 접속되어 래치신호를 발생하는 라이트 인에이블 래치신호 발생회로로서 데이터 출력신호를 제어함을 특징으로 한다.

이하 본 발명의 바람직한 실시 예들의 상세한 설명이 첨부된 도면들을 참조하여 설명된다.

도면들 중 동일한 구성요소 및 부분들은 가능한 한 어느 곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

제2도는 본 발명에 따른 출력라이트 인에이블 제어신호 발생회로의 구체적인 회로도이다. 제2도를 참조하면, 본 발명을 실시하기 위해 필요한 신호 발생회로로서 출력라이트 인에이블 제어신호 발생회로가 있는데, 구성은 라이트 인에이블 신호 WEB 및 출력인에이블 신호 OEB의 상보신호를 두 개의 입력으로 하여 반전논리곱하는 낸드게이트(NAND Gate) 17과 상기 낸드게이트 17의 출력신호 및 컬럼어드레스스트로우브 신호 CASB를 두 개의 입력신호로 하여 반전논리곱하는 낸드게이트 13으로 구성되는 옵션 블록 100과, 상기 옵션 블록 100의 출력단과 입력단이 접속되어 반전된 신호를 출력하는 인버터 19와 상기 인버터 19의 출력의 소정시간 지연된 신호를 발생시키는 인버터체인 21과 상기 인버터 19의 출력 및 상기 인버터 체인 21의 출력을 두 개의 입력으로 하여 반전논리곱하는 낸드게이트 23으로 구성된 펄스 블록 200과, 상기 펄스 블록 200의 출력을 입력으로 하여 드라이빙하여 출력라이트 인에이블 제어신호 POWE를 출력하는 인버터 25로 구성된 드라이버 25로 구성할 수 있다. 상기 옵션 블록 100은 입력신호에 의해 상기 출력라이트 인에이블 제어신호 POWE의 펄스 폭을 제어하기 위한 블록이다. 상기 신호 POWE는 데이터 버스라인의 프리차아지 신호의 상태를 제어하는데 사용되면 입력신호에 의하여 일정주기의 펄스 폭을 갖는다. 제3도는 본 발명에 따른 출력라이트 인에이블 제어신호 POWE에 의한 데이터 버스라인 신호 제어회로의 구체적인 회로도이다. 제3도를 참조하면, 프리차아지 제어신호 PDOP 및 내부전원전압 1VCC을 두 개의 입력으로 하여 반전논리곱하는 낸드게이트 27과 출력인에이블 제어신호 POWE 및 상기 낸드게이트 27의 출력신호를 두 개의 입력으로 하여 반전논리곱하여 프리차아지 신호 CLKP를 발생시키는 낸드게이트 29로 구성된 프리차아지 신호 발생회로 5와, 상기 프리차아지 신호 CLKP를 게이트 입력으로 하고 소오스(Source)가 내부전원전압 단자에 접속되고 드레인(Drain)이 데이터 버스라인 DB/DBB에 접속되어 상기 데이터 버스라인 DB, DBB를 각각 내부전원전압 레벨로 프리차아지시키는 프리차아지 트랜지스터인 피모오스 트랜지스터 31, 33과, 상기 데이터 버스라인 DB에 접속되고 데이터 출력버퍼트리거 신호 발생회로의 출력단의 인버터 47에 접속되어 반전논리곱하는 낸드게이트 35, 37과 상기 낸드게이트 35, 37의 출력단에 게이트 입력단이 각각 접속되고 일측이 내부전원전압 1VCC 단자와 접지전압 VSS 단자에 각각 접속되며 서로 소오스끼리 접속되어 상기 데이터 버스라인 DB의 정보를 버퍼링(Buffering)하여 제1출력버퍼신호 DOK를 출력하는 피모오스 트랜지스터 41 및 엔모오스 트랜지스터 43과 상기 데이터 버스라인 DBB에 접속되고 상기 데이터 출력버퍼 트리거 신호 발생회로 9의 출력을 두 개의 입력으로 하여 반전논리곱하는 낸드게이트 39와 상기 낸드게이트 39의 출력단에 입력단이 접속되어 제2출력버퍼신호 DOKN을 출력하는 인버터 45로 구성된 데이터 출력버퍼 10과, 상기 피모오스 트랜지스터 41 및 엔모오스 트랜지스터 43의 공통드레인에 게이트가 접속되어 상기 제1출력버퍼신호 DOK를 입력으로 하여 외부전원전압 VCC 레벨로 풀업 하는 엔모오스 트랜지스터로 구성된 풀업 트랜지스터 49와 상기 제2출력버퍼신호 DOKN을 게이트 입력으로 하여 접지 전압 VSS 레벨로 풀 다운 하는 엔모오스 트랜지스터로 구성된 트랜지스터 51로 구성된 데이터 출력 드라이버 12와, 상기 데이터 출력버퍼 10과 데이터 출력 드라이버 12로 구성된 데이터 출력버퍼 및 데이터 출력 드라이버 11로 구성된다. 동작을 살펴보면, 상기 제1도에서의 프리차아지 제어신호 PDOP 및 상기 신호 POWE에 의해 프리차아지 신호 CLKP가 발생되어 데이터 버스라인 프리차아지 트랜지스터인 피모오스 트랜지스터 31, 33의 게이트(Gate) 입력으로 사용됨으로써 데이터 버스라인을 프리차아지 한다. 메모리 셀(Memory Cell)로부터의 데이터 정보를 가지고 있는 데이터 버스라인 신호와 로우어드레스스트로우브 신호 RASB, 컬럼어드레스스트로우브 신호 CASB, 라이트 인에이블 신호 WEB, 출력인에이블 신호 OEB에 의해 제어되는 데이터 출력 초기 트리거 신호인 CLKT와의 조합에 의하여 데이터 출력신호 DOK 또는 DOKN이 인에이블되어 데이터 출력 드라이버 12의 입력으로 사용된다. 상기 신호 DOK 또는 DOKN에 의하여 데이터 출력 드라이버 12의 풀업(Pull-Up) 트랜지스터 49 또는 풀다운(Pull-Down) 트랜지스터 51이 턴-온(Turn-On) 또는 턴-다운(Turn-Down)되어 데이터 출력 DOUT의 상태를 제어하게 된다.

제4도는 본 발명에 따른 데이터 출력 제어방법의 블록도 이다. 프리차아지 제어신호 발생회로 3은 로우어드레스스트로우브 신호 RASB, 컬럼어드레스스트로우브 신호 CASB 및 외부 어드레스의 정보에 의하여 데이터 버스라인 DB/DBB를 프리차아지 하는 프리차아지 제어신호 PDOP와 상기 출력라이트 인에이블 제어신호 POWE에 의해 프리차아지 신호 CLKP를 발생시키는 프리차아지 신호 발생회로 5와, 상기 프리차아지 신호 CLKP에 의해 데이터 버스라인 DB/DBB를 프리차아지시키기 위한 데이터 버스라인 프리차아지 회로 7과, 외

부전원전압 VCC 단자 10과 접속되어 출력라이트 인에이블 신호 OEB를 입력으로 하여 스위칭 하는 제1스위칭수단 50과, 접지전압 VSS 단자에 접속되어 라이트 인에이블 신호 WEB를 입력으로 하여 스위칭 하는 제2스위칭 수단 60과, 상기 제1스위칭수단 50을 통한 상기 출력인에이블 신호 OEB, 컬럼어드레스스트로우브 신호 CASB 및 상기 제2스위칭수단 60을 통한 상기 라이트 인에이블 신호 WEB를 입력으로 하여 출력라이트 인에이블 제어신호 POWE를 출력하는 출력라이트 인에이블 제어신호 발생회로 120과, 외부 전원전압 VCC 단자 10에 접속되어 컬럼어드레스스트로우브 신호 CASB를 스위칭 하는 제3스위칭수단 70과, 라이트 인에이블 신호 WEB 및 상기 제3스위칭수단 70을 통한 컬럼어드레스스트로우브 신호 CASB를 입력으로 하여 라이트 인에이블 래치신호 PEWED_L을 발생시키는 라이트 인에이블 래치신호 발생회로 130과, 상기 라이트 인에이블 래치신호 발생회로 130의 출력단에 입력단이 접속되어 트리거 신호 CLKT를 발생시키는 상기 제1도와 동일한 구조의 데이터 출력버퍼 트리거 신호 발생회로 9와, 상기 데이터 버스라인 DB/DBB 및 데이터 출력버퍼 트리거 신호 발생회로 9의 출력단에 입력단이 접속되어 트리거 신호 CLKT에 의해 제어되어 상기 데이터 버스라인 DB/DBB의 정보를 버퍼링 및 드라이빙을 하여 데이터 출력상태를 결정하는 데이터 출력버퍼 및 데이터 출력 드라이버 11로 구성된다. 동작은 상기 제3도 및 후술될 제5도를 참조하면 쉽게 알 수 있다.

제5도는 본 발명에 따른 라이트 인에이블 래치신호 발생회로의 구체적인 회로도이다. 제5도를 참조하면, 컬럼어드레스스트로우브 신호 CASB를 입력으로 하는 인버터 53과, 상기 인버터 53의 출력단에 입력단이 접속되어 반전하는 인버터 55와, 일측이 라이트 인에이블 신호 WEB를 입력으로 하고 피모오스 단자에 상기 인버터 55의 출력단이 접속되며 엔모오스 단자에 상기 인버터 53의 출력단이 접속되어 라이트 인에이블 신호 WEB를 전송하는 전송게이트 57과, 상기 전송게이트 57의 출력단에 접속되어 정보를 래치 하여 라이트 인에이블 래치신호 PEWDC_L을 발생시키기 위한 두 개의 인버터로 구성된 래치수단 59로 구성된다. 그리고 컬럼어드레스스트로우브 신호 CASB에 의하여 라이트 인에이블 신호를 래치 시켜 상기 컬럼어드레스스트로우브 신호 CASB의 옵션(Option) 처리에 의하여 데이터 출력 DOUT의 상태를 제어할 수 있게 된다.

제6도는 종래 기술에 따른 하이퍼 페이지 모드의 일 실시예의 동작 타이밍도 이다. 제6도를 참조하면, 로우어드레스스트로우브 신호 RASB에 의해 신호 A 및 신호 E, 신호 CLKP가 제어되고 컬럼어드레스스트로우브 신호 CASB에 의해 신호 B 및 신호 CLKT가 제어된다. 또한 외부 어드레스에 의해서 신호 E 및 데이터 버스 라인 DB, DBB가 제어되며, 상기 신호 CLKT에 의해서 데이터 출력 DOUT가 출력 시작되고 상기 신호 B에 의해 데이터 출력 DOUT이 종결된다.

제7도는 종래 기술에 따른 하이퍼 페이지 모드의 다른 실시예의 동작 타이밍도 이다. 제7도를 참조하면, 상기 제6도와 동일하나 다른 점은 출력 인에이블 신호 OEB에 의해 신호 D가 제어되지 않고 신호 B에 의해 제어되는 상기 신호 CLKT가 토글 되어 데이터 버스 라인 DB, DB에 실린 어드레스가 바뀌기 전까지의 범위 내에서 상기 신호 CLKT가 토글될 때마다 데이터 출력 DOUT이 동일한 데이터 Q0를 출력하고 이어서 컬럼어드레스스트로우브 신호 CASB의 인에이블에 의해 제어되는 상기 신호 B에 의해 제어되는 데이터 버스 라인 DB, DBB의 신호에 의해 다른 데이터 Q1이 선택되어 출력된다.

제8도는 본 발명에 따른 하이퍼 페이지 모드의 일 실시예의 동작 타이밍도 이다. 제8도를 참조하면, 상기 제6도 및 제7도에 출력라이트 인에이블 제어신호 POWE 및 라이트 인에이블 래치신호 POWDC_L을 추가하여 각각 트리거 신호 CLKT 및 프리차아지 신호 CLKP를 제어하는 동작 타이밍을 나타낸 것이다. 여기서는 상기 출력라이트 인에이블 제어신호 POWE 및 라이트 인에이블 래치신호 POWDC_L이 모두 논리로우상태에서의 데이터 출력을 보여준다.

제9도는 본 발명에 따른 하이퍼 페이지 모드의 다른 실시예의 동작 타이밍도 이다. 제9도를 참조하면, 상기 제8도의 동작 타이밍도와 동일하나 라이트 인에이블 래치신호 POWDC_L이 라이트 인에이블 신호 WEB에 의해 제어되는 신호 D에 의해 토글 되는 점이 다르다고 할 수 있다.

제10도는 본 발명에 따른 하이퍼 페이지 모드의 또다른 실시예의 동작 타이밍도 이다. 제10도를 참조하면, 상기 제9도의 동작 타이밍도와 동일하나 상기 신호 D에 의해 출력라이트 인에이블 제어신호 POWE 및 라이트 인에이블 래치신호 PEWDC_L을 모두 제어하여 상기 신호 CLKP 및 신호 CLKT를 토글링 시킨다는 점이 다른 점이다.

제11도는 본 발명에 따른 하이퍼 페이지 모드의 또다른 실시예의 동작 타이밍도 이다. 제11도를 참조하면, 라이트 인에이블 신호 WEB는 논리하이인 상태를 유지하는 상태에서 출력인에이블 신호 OEB가 토글링하면서 이에 의해 제어되는 신호 C에 의해 트리거 신호 CLKT가 제어되어 데이터 출력 DOUT이 데이터를 출력하게 된다.

제12도는 본 발명에 따른 하이퍼 페이지 모드의 또다른 실시예의 동작 타이밍도 이다. 제12도를 참조하면, 상기 제11도와 동일하나 라이트 인에이블 신호 WEB는 논리하이인 상태를 유지하고 출력라이트 인에이블 제어신호 POWE가 인에이블 논리하이로 되면 이에 따라 상기 신호 CLKP가 제어된다는 점이 다르다.

상기한 본 발명은 도면을 중심으로 예를 들어 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 변화와 변형이 가능함이 본 분야의 숙련된 자에게 있어 명백할 것이다.

(57) 청구의 범위

청구항 1

시스템으로부터 컬럼어드레스스트로우브 신호, 로우어드레스스트로우브 신호 및 외부 어드레스 신호를 입력으로 하여 프리차아지를 제어하기 위한 신호를 발생하는 프리차아지 제어신호 발생회로와, 상기 프리차아지 제어신호에 응답하여 프리차아지 신호를 발생하는 프리차아지 신호 발생회로와, 상기 프리차아지 신호에 응답하여 데이터 버스 라인을 프리차아지 시키기 위한 데이터 버스 라인 프리차아지 회로와, 상기 컬럼어드레스스트로우브 신호, 로우어드레스스트로우브 신호 및 외부 어드레스에 응답하여 트리거 신호를

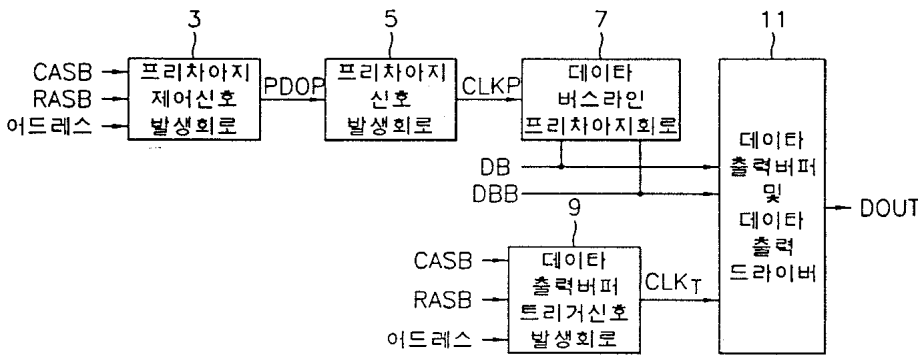
발생시키는 데이터 출력버퍼 트리거 신호 발생회로와, 상기 데이터 버스 라인의 프리차이지 신호와 데이터 출력버퍼 트리거 신호 발생회로로부터의 트리거 신호에 응답하여 데이터 출력신호를 버퍼링하고 구동하여 출력하는 데이터 출력 버퍼 및 데이터 출력 드라이버로 이루어진 하이퍼 페이지 모드를 가지는 반도체 메모리 장치의 데이터 출력신호 제어회로에 있어서, 외부공급전압 단자에 접속되어 스위칭 되는 출력 인에이블 신호와 접지전압 단자에 접속되어 스위칭 되는 라이트 인에이블 신호 및 상기 컬럼어드레스스트로우브 신호에 응답하여 상기 프리차이지 신호 발생회로의 입력단에 출력단이 접속되어 라이트 인에이블을 제어하기 위한 출력라이트 인에이블 제어신호를 발생시키는 출력라이트 인에이블 제어신호 발생회로와, 외부공급전압 단자와 접속되며 상기 컬럼어드레스스트로우브 신호를 스위칭 하여 입력으로 하고 상기 라이트 인에이블 신호를 입력으로 하여 상기 데이터 출력 버퍼 트리거 신호 발생회로의 입력단에 출력단이 접속되어 래치신호를 발생하는 라이트 인에이블 래치신호 발생회로로서 데이터 출력신호를 제어함을 특징으로 하는 반도체 메모리 장치의 데이터 출력신호 제어회로.

청구항 2

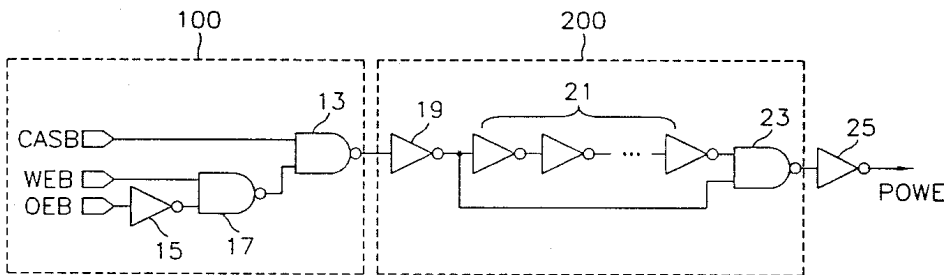
제1항에 있어서, 상기 데이터 출력신호가 상기 로우어드레스스트로우브 신호, 컬럼어드레스스트로우브 신호 또는 출력인에이블 신호에 의해서만 데이터 출력이 제어되던 것을 출력인에이블 신호 또는 라이트 인에이블 신호로도 제어되는 데이터 출력을 가지는 하이퍼 페이지 모드를 구비함을 특징으로 하는 반도체 메모리 장치의 데이터 출력신호 제어회로.

도면

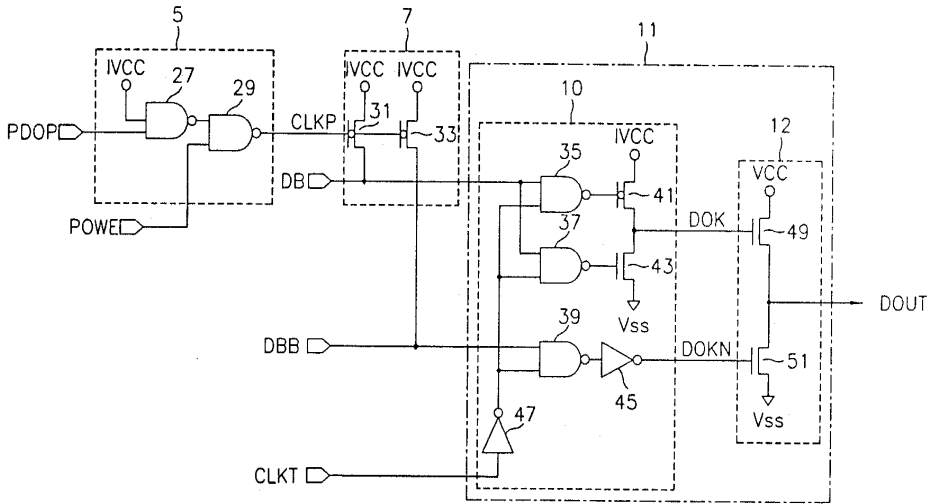
도면1



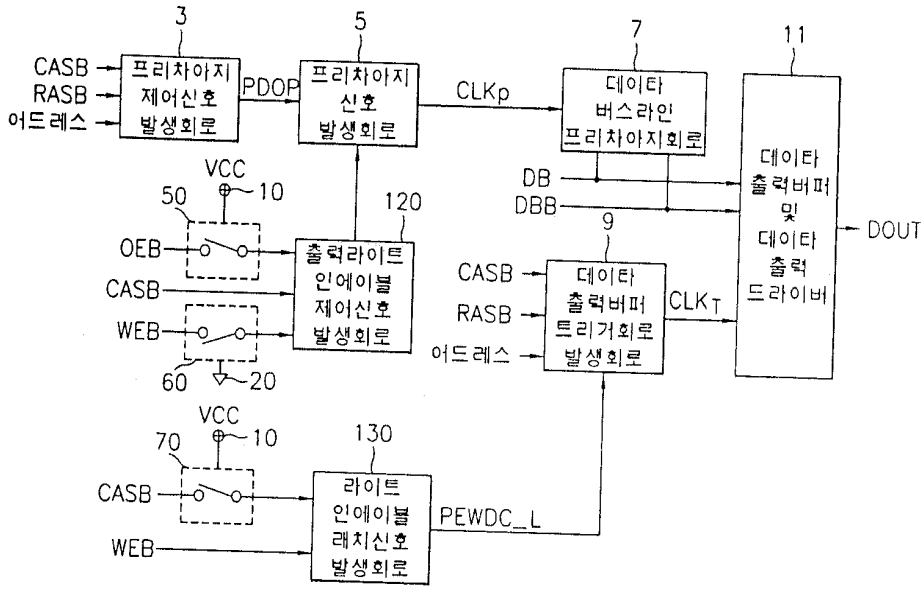
도면2



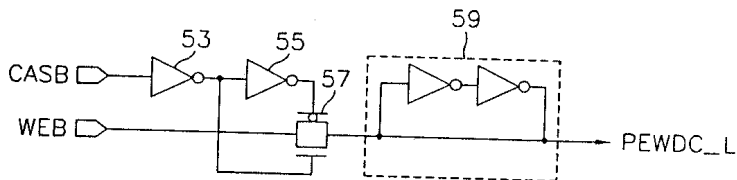
도면3



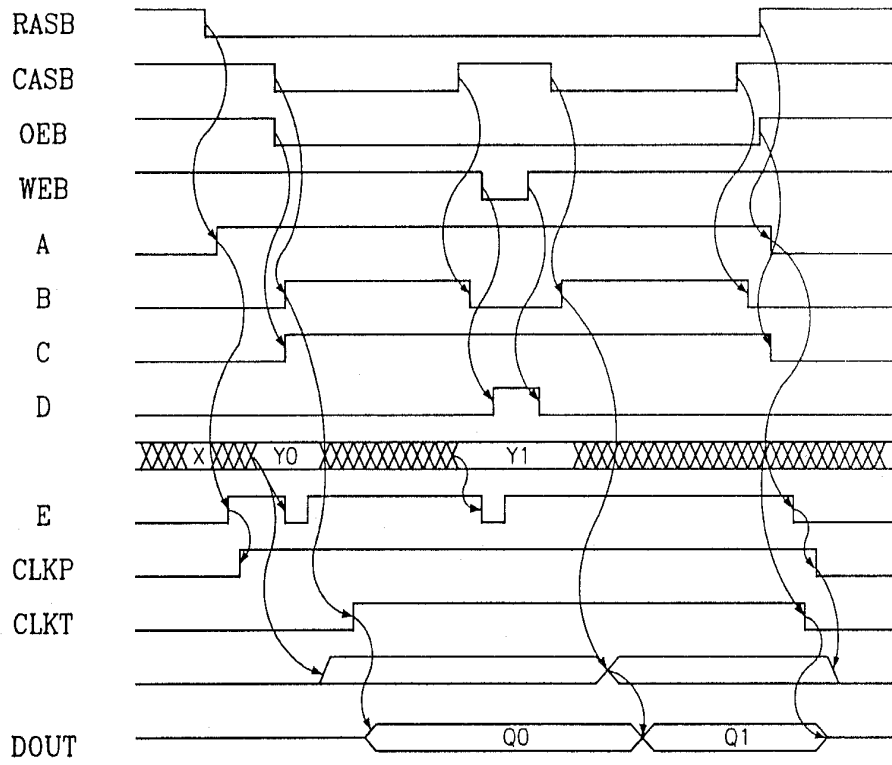
도면4



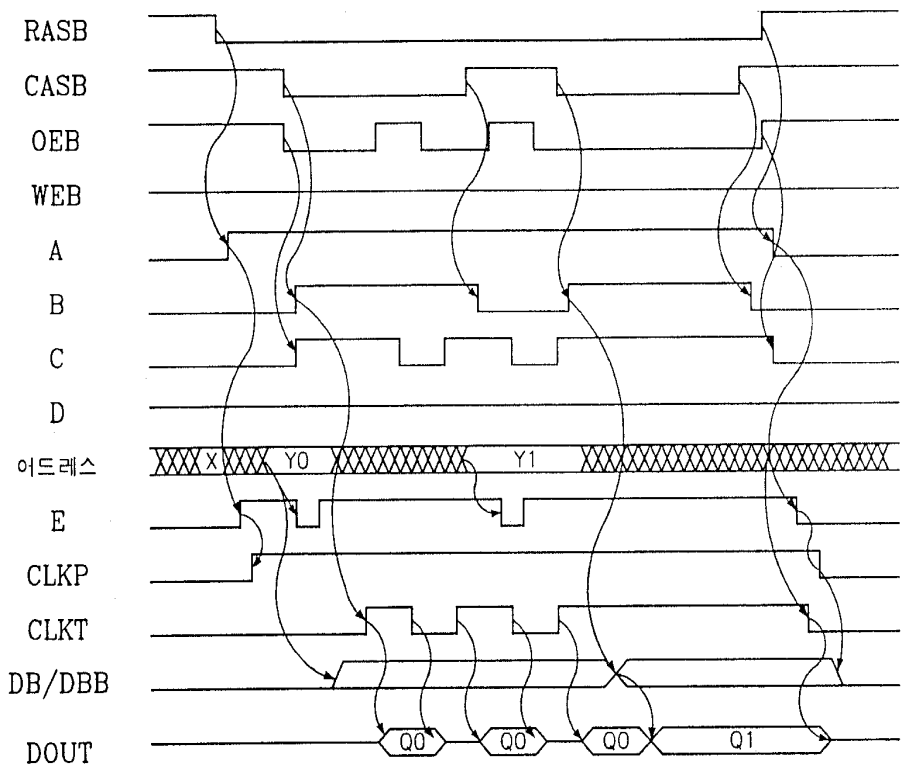
도면5



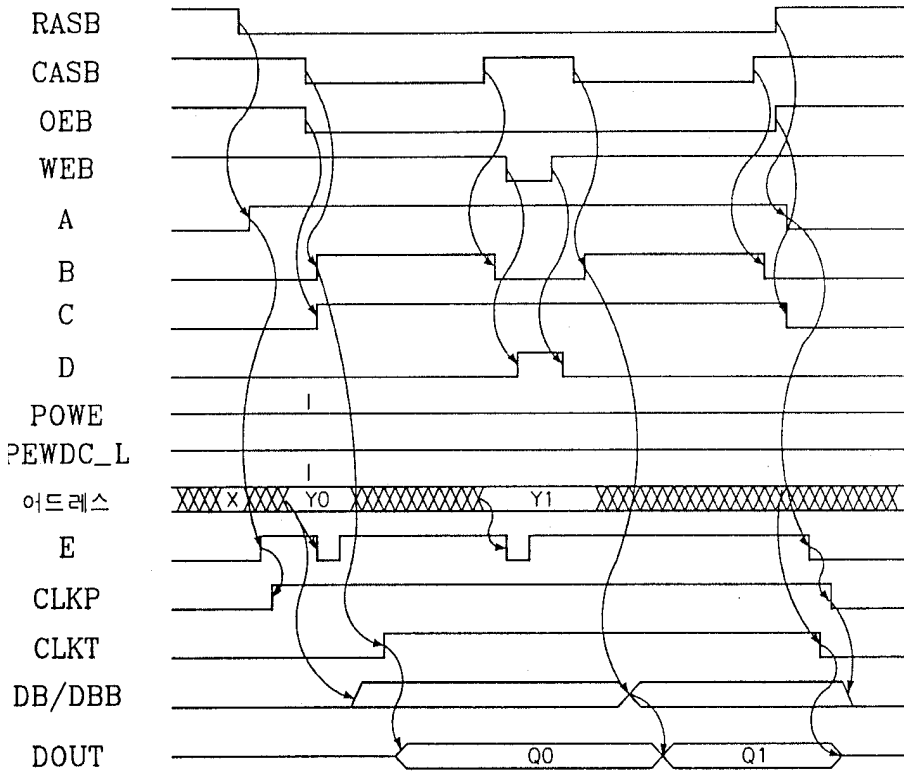
도면6



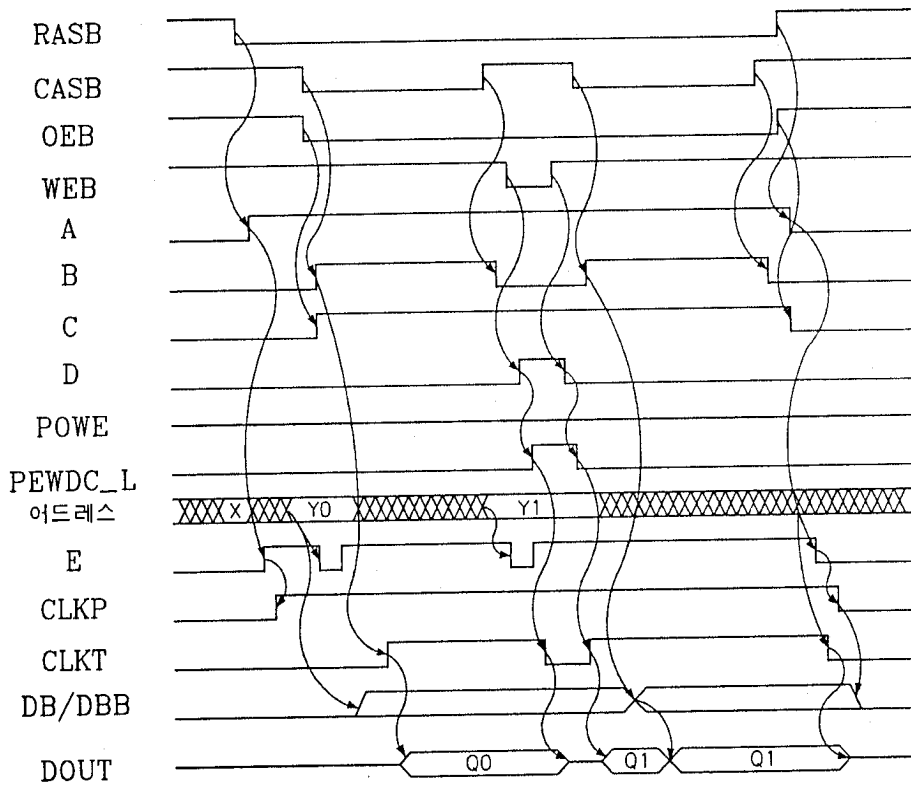
도면7



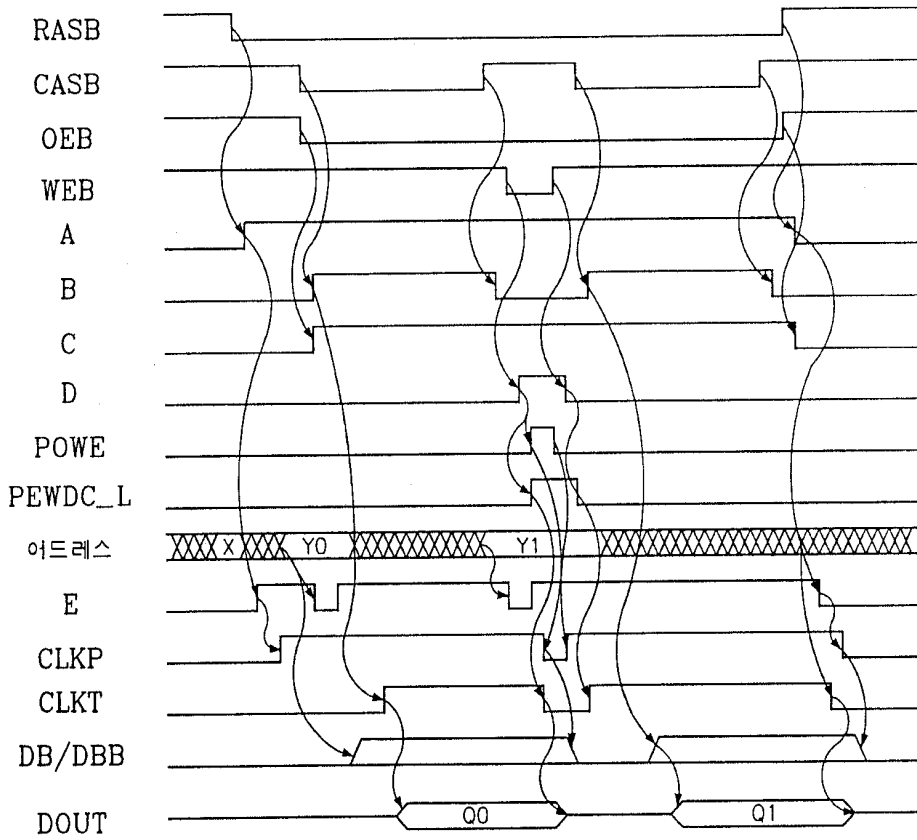
도면8



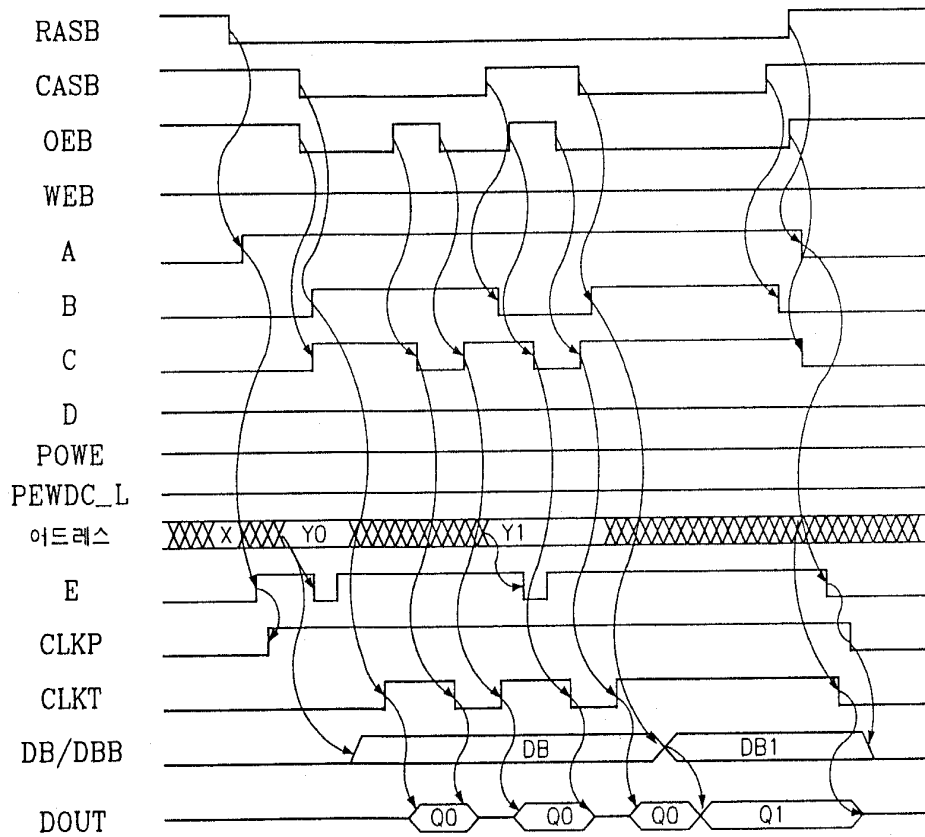
도면9



도면10



도면11



도면 12

