



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

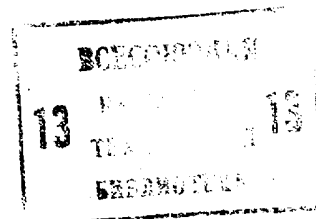
(19) **SU** (11) **1376089**

A1

(5D 4 G 06 F 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4088323/24-24

(22) 04.07.86

(46) 23.02.88. Бюл. № 7

(72) В.Н. Бессмертный

(53) 681.325 (088.8)

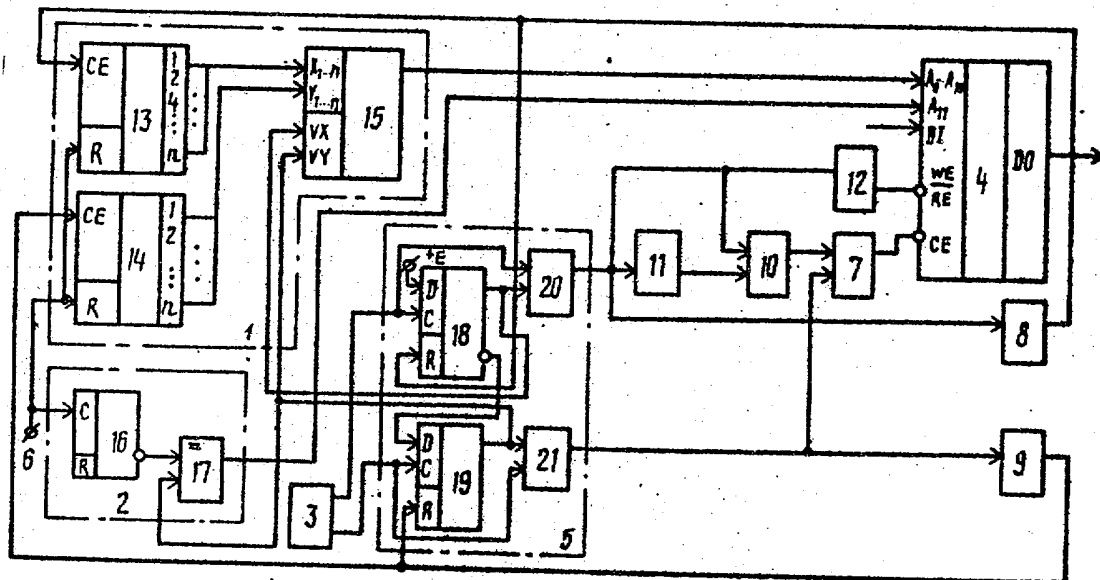
(56) Авторское свидетельство СССР
№ 1236491, кл. G 06 F 13/00, 1984.

Авторское свидетельство СССР
№ 1282147, кл. G 06 F 13/16, 1985.

(54) УСТРОЙСТВО ДЛЯ УПРАВЛЕНИЯ ДОСТУПОМ К ПАМЯТИ

(57) Изобретение относится к числовой вычислительной технике. Цель изобретения - сокращение аппаратных затрат. Устройство содержит блок 1 формирования адреса, блок 2 фиксации зоны, генератор 3 импульсов, блок 4 памяти, блок 5 управления, элемент

ИЛИ 7, формирователи 8, 9 импульсов, элемент И 10, элементы 11, 12 задержки. Блок 1 содержит счетчики 13, 14 и коммутатор 15; блок 2 содержит счетный триггер 16 и элемент 17 не-равнозначности; блок 5 содержит триггеры 18, 19 и элементы И 20, 21. Импульс частоты записи устанавливает триггер 18 блока 5 в "1". При этом открывается элемент И 20, с выхода которого сигнал поступает на вход записи-чтения блока 4 через элемент 12 и открывает элемент И 10. На второй вход элемента И 10 поступает тот же импульс, задержанный элементом 11, время срабатывания которого больше времени срабатывания элемента 12. Элементы 11 и 12 подобраны так, что сигнал управления раньше поступает на вход записи-чтения, а затем на



(19) **SU** (11) **1376089** **A1**

вход выборки кристалла блока 4. С окончанием импульса записи закрывается элемент И 10, отключая элемент 11. Время срабатывания элемента 12 равно времени срабатывания элементов И 10 и ИЛИ 7, т.е. окончание сигналов управления по обоим входам происходит одновременно. По окончании импульса записи срабатывает формирователь 8, производя смену адреса в блоке 1. Считывание информации из блока 4 про-

изводится импульсами частоты считывания, устанавливающими триггер 19 в "1" и поступающими через элемент И 21 и элемент ИЛИ 7 на вход выборки кристалла блока 4. При этом на выходе блока 4 появляется считываемая информация, а по окончании импульса считывания запускается формирователь 9, импульс с выхода которого производит смену адреса зоны считывания. 2 з.п. ф-лы. 1 ил.

1

Изобретение относится к цифровой вычислительной технике, в частности к устройствам для сопряжения с памятью, и может быть использовано для построения систем с быстрой памятью.

Цель изобретения - сокращение аппаратных затрат.

На чертеже представлено предлагаемое устройство.

Устройство содержит блок 1 формирования адреса, блок 2 фиксации зоны, генератор 3 импульсов, блок 4 памяти, блок 5 управления, шину 6 входа пуска устройства, элемент ИЛИ 7, формирователи 8 и 9 импульса, элемент И 10, элементы 11 и 12 задержки.

Блок 1 формирования адреса содержит счетчики 13 и 14 и коммутатор 15.

Блок 2 фиксации зоны содержит счетный триггер 16 и элемент 17 не- равнозначности.

Блок 5 управления состоит из триггеров 18 и 19 и элементов И 20 и 21.

Устройство работает следующим образом.

Информация, подлежащая записи в блок 4, привязывается к сигналу "Пуск" на шину 6 и при необходимости может быть синхронизирована импульсами частоты записи с первого выхода генератора 3. Сигнал "Пуск" используется также для начальной установки счетчиков 13 и 14.

Сигнал "Пуск", появляясь на входе блока 2, опрокидывает триггер 16, производя этим смену зоны записи. Сигнал с выхода триггера 19, появ-

2

ляясь на входе элемента 17, производит выбор зоны считывания.

С выходов генератора 3 на входы триггеров 18 и 19 поступают соответственно импульсы частоты записи и считывания.

Приоритетом обращения к блоку 4 обладают импульсы частоты записи. Импульс частоты записи устанавливает триггер 18 в единичное положение, при этом открывается элемент И 20, с выхода которого сигнал поступает на вход записи/чтения блока 4 через элемент 12 задержки и открывает элемент И 10, на другой вход которого поступает этот же импульс, задержанный элементом 11 задержки, время срабатывания которого больше времени срабатывания элемента 12 задержки. Импульс с выхода элемента И 10 через элемент ИЛИ 7 поступает на вход выборки кристалла блока 4. Одновременно сигнал с выхода триггера 18 поступает в блок 1 на коммутатор 15, выбирая адрес зоны записи в блоке 4. Этого достаточно для надежной записи информации в блок 4.

По окончании импульса записи образовавшийся спад импульса на выходе элемента И 20 воздействует на формирователь 8, импульс с выхода которого поменяет состояние счетчика 13, который формирует код адреса записи, и сбросит триггер 18 в исходное состояние. Исходное состояние триггера 18 позволяет работать триггеру 19, управляемому импульсами частоты считывания. Спад импульса записи зак-

рывает элемент И 10 и начинает срабатывать элемент 12 задержки, время срабатывания которого равно времени срабатывания элементов И 10 и ИЛИ 7, т.е. обеспечивается одновременное исчезновение сигналов управления по входам записи/чтения и выборки кристалла в блоке 4.

Импульс частоты считывания устанавливает триггер 19 в единичное положение, при этом сигнал с его выхода воздействует на коммутатор 15, выбирая адрес зоны считывания, которая устанавливается на выходе элемента 17 по сигналу с выхода триггера 19. Зона считывания устанавливается сменой потенциала в старшем разряде адресных входов блока 4.

Импульс считывания с выхода элемента И 21 через элемент ИЛИ 7 поступает на вход выборки кристалла блока 4. Этого достаточно для считывания информации с блока 4 по выбранному адресу зоны считывания. Окончание импульса считывания вызывает спад на выходе элемента И 21, который воздействует на формирователь 9, импульс на выходе которого сбросит триггер 19 в исходное положение и, поступив на вход счетчика 14, произведет смену адреса в зоне считывания.

Ф о р м у л а и з о б р е т е н и я

1. Устройство для управления доступом к памяти, содержащее блок формирования адреса, выходом соединенный с группой входов выбора адреса блока памяти, блок фиксации зоны, состоящий из счетного триггера и элемента неравнозначности, блок управления и генератор импульсов, первый и второй выходы которого подключены соответственно к первому и второму тактовым входам блока управления, первый и второй выходы которого соединены соответственно с первым входом элемента неравнозначности и входом разрешения выдачи адреса записи блока формирования адреса, вход сброса которого является входом пуска устройства и соединен с синхровходом счетного триггера, выходом подключенного к второму входу элемента неравнозначности, выход которого соединен со старшим разрядом входа выбора адреса блока памяти, о т л и ч а ю щ е е с я тем, что, с целью

сокращения аппаратных затрат устройства, в него введены два формирователя импульса, два элемента задержки, элемент И и элемент ИЛИ, причем третий выход блока управления соединен с входами первого и второго элементов задержки, первым входом элемента И и через первый формирователь импульса с первым входом сброса блока управления и входом записи блока формирования адреса, вход чтения которого соединен с вторым входом сброса блока управления и выходом второго формирователя импульса, выходы первого и второго элементов задержки подключены соответственно к второму входу элемента И и входу записи/чтения блока памяти, вход выборки кристалла которого соединен с выходом элемента ИЛИ, первым и вторым входами подключенного соответственно к выходу элемента И и к входу второго формирователя импульса, соединенного с четвертым выходом блока управления, первый выход которого соединен с входом разрешения выдачи адреса чтения блока формирования адреса.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок управления содержит два триггера и два элемента И, выходы которых образуют соответственно третий и четвертый выходы блока, причем входы сброса первого и второго триггеров являются соответственно первым и вторым входами сброса блока, единичные выходы первого и второго триггеров являются соответственно вторым и первым выходами блока и соединены с первыми входами первого и второго элементов И, вторые входы которых являются соответственно первым и вторым тактовыми входами блока и соединены с синхровходами первого и второго триггеров, информационный вход второго триггера подключен к инверсному выходу первого триггера, информационный вход которого соединен с шиной положительной полярности источника питания.

3. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок формирования адреса содержит коммутатор, выход которого является выходом блока, и два счетчика, счетные входы которых являются соответственно входами записи и чтения блока, причем

входы сброса и выходы первого и второго счетчиков подключены соответственно к входу сброса блока и первому и второму информационным входам ком-

мутатора, адресные входы которого являются соответственно входами разрешения выдачи адреса записи и чтения блока.

5

Составитель В.Вертлиб

Редактор С.Патрушева

Техред А.Кравчук

Корректор В.Бутяга

Заказ 789/48

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4