



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0085694
(43) 공개일자 2025년06월12일

(51) 국제특허분류(Int. Cl.) H01L 21/768 (2006.01) H01L 21/02 (2006.01) H01L 21/3105 (2006.01)	(71) 출원인 램 리써치 코포레이션 미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(52) CPC특허분류 H01L 21/76828 (2013.01) H01L 21/0217 (2013.01)	(72) 발명자 반 슈라벤디크 바트 제이. 미국, 캘리포니아 94303, 팔로 알토, 코리나 웨이 3750
(21) 출원번호 10-2025-0069084(분할)	탕 웨이 미국, 캘리포니아 94536, 프리몬트, 팬서 스트리트 36140
(22) 출원일자 2025년05월27일 심사청구일자 없음	(74) 대리인 특허법인인벤싱크
(62) 원출원 특허 10-2016-0103647 원출원일자 2016년08월16일 심사청구일자 2021년08월12일	
(30) 우선권주장 62/206,176 2015년08월17일 미국(US) 14/929,007 2015년10월30일 미국(US)	

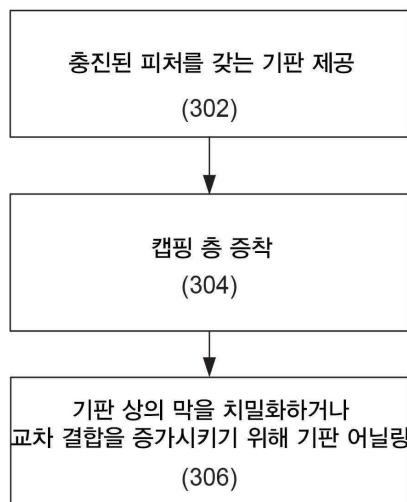
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 반도체 디바이스에서 막들을 치밀화하는 방법

(57) 요약

막들을 치밀화하고, 막들을 교차결합하고 그리고 막들의 응력을 제어하는 방법들이 본 명세서에 제공된다. 방법들은 치밀화될 재료를 포함하는 기판 상에 제거가능한 막을 형성하는 단계, 및 제거가능한 막으로부터 재료로 응력을 전달하고 따라서 재료를 치밀화하도록 기판을 어닐링하는 단계를 포함한다. 일부 방법들은 기판 상의 치밀화될 재료 상에 인장 캡핑층을 증착하는 단계 및 약 450 °C보다 높은 온도에서 기판을 어닐링하는 단계를 수반한다. 일부 방법들은 치밀화될 재료에 압축 응력을 인가하기 위해 정전 척을 사용하여 성형된 페데스탈에 치밀화될 재료를 포함하는 기판을 클램핑하는 단계를 포함한다.

대표도 - 도3a



(52) CPC특허분류

H01L 21/02274 (2013.01)

H01L 21/0228 (2013.01)

H01L 21/0234 (2013.01)

H01L 21/02348 (2013.01)

H01L 21/02356 (2013.01)

H01L 21/3105 (2013.01)

H01L 21/76825 (2013.01)

H01L 21/76837 (2013.01)

명세서

청구범위

청구항 1

반도체 상의 리세스된 피처 내의 재료를 치밀화 하는 방법에 있어서,

리세스된 피처를 포함하는 반도체 기판을 수용하는 단계로서, 상기 리세스된 피처는 치밀화될 재료로 충전되는, 상기 반도체 기판을 수용하는 단계;

상기 기판 상의 상기 리세스된 피처 내의 상기 치밀화될 재료 위에 제거가능한 막을 형성하는 단계, 및

상기 제거가능한 막의 인장 응력으로부터 상기 재료 상에 압축 응력을 유도하고 상기 재료를 치밀화하도록 상기 기판을 어닐링하는 단계를 포함하고,

상기 기판을 어닐링하는 단계는 상기 리세스된 피처 내의 심을 가로질러 상기 재료를 교차결합하는 것을 포함하는, 기판을 프로세싱하는 방법.

발명의 설명

배경 기술

[0001] 반도체 제작 프로세스들은 갭 충전 적용예들을 위한 치밀한 유전체 재료와 같은 치밀한 재료의 제조를 수반한다. 치밀한 재료를 형성하는 종래의 방법들은 작은 피처들의 갭 충전과 같은 다양한 적용예들에 적합하지 않다. 그 결과, 이들 보다 작은 피처들 내로의 증착은 저 밀도 유동성 (flowable) 재료들의 증착을 수반할 수도 있다. 기존의 치밀화 기법들은 종종 반도체 기판의 다른 노출된 영역들의 산화 또는 열화를 유발한다.

발명의 내용

[0002] 반도체 기판들을 프로세싱하는 방법들이 본 명세서에 제공된다. 일 양태는 기판 상에 치밀화될 재료로 충전된 피처를 포함하는 기판 상에 제거가능한 인장성 막을 형성하는 단계, 및 제거가능한 막으로부터 재료로 응력을 전달하고 재료를 치밀화하도록 기판을 어닐링하는 단계를 수반한다.

[0003] 다양한 실시예들에서, 제거가능한 막은 적어도 약 1000 Å의 두께로 증착된다.

[0004] 제거가능한 막은 인장성일 수도 있다. 제거가능한 막의 인장 응력은 적어도 약 1 GPa일 수도 있다. 일부 실시예들에서, 제거가능한 막은 치밀화될 재료 위에 형성된다. 제거가능한 막은 기판의 피처 위에 증착될 수도 있다. 제거가능한 막은 실리콘 나이트라이드들, 금속들, 금속 나이트라이드들, 탄소-함유 유전체들, 실리콘, 또는 이들의 조합들 중 어느 하나일 수도 있다.

[0005] 일부 실시예들에서, 치밀화될 재료는 옥사이드이다. 예를 들어, 증착될 재료는 ALD에 의해 증착된 실리콘 옥사이드일 수도 있다. 다양한 실시예들에서, 치밀화될 재료는 나이트라이드 또는 카바이드일 수도 있다.

[0006] 일부 실시예들에서, 기판을 어닐링하는 것은 제거가능한 막에 인장 응력을 유도한다. 기판을 어닐링하는 것은 적어도 약 450 °C보다 높은 온도로 기판을 가열하는 것을 포함할 수도 있다. 다양한 실시예들에서, 기판을 어닐링하는 것은 피처 내 심을 교차 결합하는 것을 포함한다.

[0007] 일부 실시예들에서, 방법은 기판을 어닐링한 후에 자외선 복사 또는 플라즈마로 기판을 처리하는 것을 또한 포함한다. 예를 들어, 교차 결합을 위해 대략 30 내지 150 nm의 UV 복사선이 사용될 수도 있다. 일부 실시예들에서, 플라즈마는 He, Ar, H, O, N 및 이들의 혼합물들 및 화합물들 중 어느 하나를 포함할 수도 있다. 방법은 제거가능한 막을 제거하는 것을 또한 포함할 수도 있다..

[0008] 일부 실시예들에서, 제거가능한 막은 압축성이다. 기판 상에 형성된 제거가능한 막은 기판의 후면 상에 증착될 수도 있다. 일부 실시예들에서, 압축성 막은 나이트라이드 막들, 탄소 함유 막들, 카보나이트라이드 막들, 금속들, 금속 나이트라이드들, 탄소, 또는 $\text{Si}_x\text{B}_y\text{N}_z\text{C}_p\text{H}_q$ 화합물들 중 어느 하나이다. 제거가능한 막은 퍼니스 (furnace) 내에 하우징된 기판 상에 증착될 수도 있다.

- [0009] 기판을 어닐링하는 것은 제거가능한 막 내에 압축 응력을 유도할 수도 있다. 방법은 기판을 어닐링하기 전에 치밀화될 재료 위에 제거가능한 인장성 막을 형성하는 것을 또한 포함할 수도 있다.
- [0010] 일부 실시예들에서, 치밀화될 재료는 캡핑 층을 증착하지 않고 UV에 의해 경화된다. 예를 들어, 치밀화될 재료는 약 1000 °C 미만, 또는 약 600 °C 미만의 온도에서 UV에 의해 경화될 수도 있다. 증착될 재료가 실리콘 옥사이드인 일부 실시예들에서, 방법은 기판을 H₂O 또는 H₂O₂와 같은 수소-함유 화합물 및/또는 산소-함유 화합물에 노출시키는 것을 또한 포함할 수도 있다.
- [0011] 또 다른 양태는 재료로 충전된 피처를 갖는 기판을 제공하는 단계, 및 재료에 응력을 인가하기 위해 기판을 성형된 페데스탈에 클램핑하는 단계를 포함하는 방법을 수반한다. 일부 실시예들에서 성형된 페데스탈은 보울-형상이다.
- [0012] 또 다른 양태는 반도체 기판들을 프로세싱하기 위한 장치에 있어서, a. 기판을 홀딩하기 위한 가열된 페데스탈을 포함하는 적어도 하나의 프로세스 챔버; b. 진공에 커플링하기 위한 적어도 하나의 유출부; c. 하나 이상의 소스들에 커플링된 하나 이상의 프로세스 가스 유입부들; d. 임의의 상기 방법들을 수행하기 위한 머신 판독가능 인스트럭션들을 포함하는, 장치의 동작들을 제어하기 위한 제어기를 포함하는 장치를 수반한다.
- [0013] 이들 및 다른 양태들은 도면들을 참조하여 이하에 더 기술된다.

도면의 간단한 설명

- [0014] 도 1은 기판의 개략적인 도면이다.
- 도 2a 및 도 2b는 개시된 실시예들의 동작들을 겪는 기판의 개략적인 도면이다.
- 도 2c는 응력 및 온도를 비교하는 예시적인 그래프이다.
- 도 3a 내지 도 3c는 개시된 실시예들에 따라 수행된 방법들의 동작들을 도시하는 프로세스 흐름도들이다.
- 도 4는 개시된 실시예들을 수행하기 위한 예시적인 프로세스 스테이션의 개략적인 도면이다.
- 도 5는 개시된 실시예들을 수행하기 위한 예시적인 프로세스 툴의 개략도이다.
- 도 6, 도 7a, 도 7b, 및 도 7c는 개시된 실시예들에 따라 수행된 실험들에서 프로세싱된 기판들의 이미지들이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하의 기술에서, 다수의 구체적인 상세들이 본 실시예들의 전체적인 이해를 제공하기 위해 언급된다. 개시된 실시예들은 이들 구체적인 상세들 중 일부 또는 전부 없이도 실시될 수도 있다. 다른 예들에서, 공지의 프로세스 동작들은 개시된 실시예들을 불필요하게 모호하게 하지 않도록 상세히 기술되지 않았다. 개시된 실시예들이 구체적인 실시예들에 관하여 기술되지만, 이는 개시된 실시예들을 제한하는 것으로 의도되지 않는다는 것이 이해될 것이다.
- [0016] 반도체 제작 프로세스들은 갭 충전 적용예들을 위한 치밀한 유전체 재료와 같은 치밀한 재료의 제조를 수반한다. STI (shallow trench isolation) 의 치밀한 유전체 재료의 형성 또는 PMD (pre-metal dielectrics) 의 형성을 포함한다. 그러나, 디바이스들이 축소됨에 따라, 내부에 이러한 재료가 증착되는 피처들은 점점 작아지고 치밀한 재료의 증착은 어려워진다.
- [0017] 유동성 방법들은 기판들 내의 이러한 작은 피처들을 효과적으로 충전하도록 개발되었다. 이들 방법들은 CVD (chemical vapor deposition) 에 의한 기체 상 반응물질들로부터 유동성 재료들을 증착하는 것 뿐만 아니라 스핀 온 증착 프로세스들을 포함한다. 유동성 재료들은 자기-평탄화되고 (self-planarizing) 피처의 컨포멀한 충전보다는 보텀-업 충진을 제공할 수 있다. 그러나, 유동성 재료들은 저밀도로 증착된다. 그 결과, 이들 재료들은 축소에 의해 치밀화된다. 그러나, 고 종횡비 피처에서, 막은 피처의 측벽들 및 하단부에 의해 3 측면들에 한정되고, 따라서 완전히 치밀화되도록 충분히 축소될 수 없다. 트렌치 내 저 밀도 재료는 나중의 프로세스 단계들에서 노출될 수도 있고, 이는 세정 동작 및 에칭 동작에서 재료의 원치 않는 신속하고 제어되지 않는 제거를 야기한다.
- [0018] 실리콘 옥사이드 재료들을 사용한 일부 갭 충전 방법들은 갭 내에서 실리콘 층의 증착 및 산화를 수반한다. 그

러나, 이들 방법들은 다른 노출된 재료들의 산화를 유발할 수도 있고, 압축량은 트렌치 폭 각각에서 같지 않아, 기관 위에 증착된 재료의 특성들을 가변시키게 된다. 예를 들어, 보다 넓은 트렌치들은 보다 적은 압축을 산출하는 한편, 보다 좁은 트렌치들이 보다 큰 압축을 산출할 것이다.

[0019] 또 다른 방법은 ALD (atomic layer deposition) 에 의한 옥사이드 증착을 수반한다. ALD 프로세스들은 층 단위 (layer-by-layer basis) 로 막들을 증착하기 위한 표면-매개 증착 반응들을 사용한다. ALD 프로세스의 일 예에서, 표면 활성 사이트들의 집단 (population) 을 포함하는 기관 표면은, 기관을 하우징하는 프로세스 스테이션으로 제공된 도즈 (dose) 내에 제 1 반응물질 또는 전구체의 가스 상 분포 (gas phase distribution), 예컨대 실리콘-함유 가스에 노출된다. 이 제 1 전구체의 분자들은, 제 1 전구체의 화학흡착된 종 및/또는 물리흡착된 분자들을 포함하여, 기관 표면 상에 흡착된다. 제 1 전구체 도즈 후에, 이어서 반응기는 흡착된 종만 남도록 가스 상으로 남아 있는 모든 제 1 전구체를 제거하도록 배기된다. 산소-함유 가스와 같은 제 2 반응물질은, 이들 분자들 중 일부가 표면 상에 흡착된 제 1 전구체와 흡착하도록 반응기로 도입된다. 일부 프로세스들에서, 제 2 전구체는 흡착된 제 1 전구체와 즉시 반응한다. 다른 실시예들에서, 제 2 전구체는 소스 활성화가 일시적으로 적용된 후에만 반응한다. 이어서 반응기는 바인딩되지 않은 제 2 전구체 분자들을 제거하기 위해 다시 배기될 수도 있다. 막 두께를 구축하기 위해 추가적인 ALD 사이클들이 사용될 수도 있다.

[0020] ALD에 의해 증착된 옥사이드들은 통상적으로 유동성 증착 프로세스들에 의해 증착된 옥사이드들보다 높은 밀도를 갖는다. 그러나, ALD에 의해 증착된 옥사이드들은 컴포털하고, 보다 낮은 밀도의 심은 2 개의 측면들로부터 옥사이드 성장이 함께 진행되는 곳에 형성된다. 도 1은 ALD에 의해 옥사이드 (105) 가 피처 내에 컴포털하게 증착된, 피처를 포함하는 기관 (101) 의 예를 도시한다. 심 (103) 은 피처의 2 개의 측면들로부터의 옥사이드 성장이 만나는, 충전된 피처의 중간에 형성되고, 심 (103) 은 나중에 추가적인 프로세싱 동안 개방될 수도 있다. 도전성 재료들이 심 내로 의도치 않게 증착될 수도 있고, 이에 따라 전기 쇼트를 유발한다.

[0021] 치밀화된 막들을 형성하는 방법들이 본 명세서에 기술된다. 방법들은 치밀화된 재료의 응력을 제어하기 위해 외부 소스들로부터의 응력을 제어하는 것을 수반한다. 예를 들어, 일부 방법들은 치밀화된 재료 위에 인장성 막 또는 캡핑 층을 증착하는 것, 그렇지 않으면 재료의 밀도 및/또는 교차 결합을 증가시키도록 치밀화된 재료의 압축 응력을 유발하는 것을 수반한다. 방법들은 또한 재료 내의 심들을 보수 (repairing) 하기에 적합할 수도 있다. 치밀화된 재료 위에 증착된 캡핑 층은 증착될 때 인장성일 수도 있고, 또는 캡핑 층이 증착된 후 캡핑 층을 어닐링함으로써 인장성이 될 수도 있다. 저 밀도 막들은 어닐링시 매우 인장성이 될 수 있다. 예를 들어, 저 밀도를 갖는 막들은, 막이 어닐링될 때 수소가 없어지고 (leaves) 막이 수축되도록 통합된 (incorporated) 수소 원자들을 포함할 수도 있다. 방법들은 또한 자외선 복사 또는 플라즈마에 의해 치밀화된 재료를 처리하는 것을 수반한다.

[0022] 다양한 실시예들에서, 인장성인 캡핑 층은 증착될 때 기관의 전면 상 (치밀화된 재료 위) 에만 증착될 수도 있다. 일부 실시예들에서, 인장성인 캡핑 층이 증착될 때 기관의 후면 및 전면 양자에 증착되면, 후면 상의 인장성 캡핑 층은 상당히 제거될 수도 있다. 용어 "캡핑 층"이 후면 상에 증착될 수도 있는 층을 기술하도록 사용되었지만, 후면 상에 증착된 캡핑 층은 치밀화된 막 위에 증착되지 않는다는 것을 주의한다. 일부 실시예들에서, 압축성 막이 기관의 후면 상에 있는 동안, 인장성 막은 전면 상에 존재할 수도 있다. 일부 실시예들에서, 인장성 막이 기관의 후면 상에 있는 동안, 압축성 막은 전면 상에 존재할 수도 있다. 일부 실시예들에서, 전면 및 후면 양자는 압축성 막들을 포함한다. 일부 실시예들에서, 전면 및 후면 양자는 인장성 막들을 포함한다. 일부 후면-만 (only) 증착 톨들을 사용하여 후면-만 증착이 또한 가능하다.

[0023] 방법들은 피처 사이즈와 무관하게, 옥사이드들, 나이트라이드들, 및 카바이드들을 포함하는 광범위한 다양한 막들의 치밀화하는데 적합하다. 예를 들어, 개시된 실시예들은 ALD-증착된 옥사이드 내의 심을 보수하는데 적합할 수도 있고, 또는 유동성 옥사이드들을 치밀화하는데 적합할 수도 있다. 개시된 실시예들은 평탄하게 증착된 막들을 치밀화하고 증착된 막들의 응력을 제어하는데 적합하다. 특히, 개시된 실시예들은 기관 보잉 (bowing) 을 제어함으로써 VNAND 구조체들의 제조에 적합할 수도 있다.

[0024] 도 2a 및 도 2b는 개시된 실시예들이 수행될 때 기관의 예들을 제공한다. 도 2a에서, 피처를 포함하는 기관 (201) 이 제공된다. 도 1과 같이, 옥사이드 (205) 는 ALD에 의해 컴포털하게 증착되어, 피처의 중간에 심 (203) 을 형성한다. 다양한 실시예들에서, 옥사이드 (205) 는 유동성 기법들, 열 CVD, 및 PECVD (plasma enhanced CVD) 와 같은 다른 방법들에 의해 증착될 수도 있다. 도 2a의 예에서, 옥사이드 (205) 는 치밀화된 재료이다.

[0025] 캡핑 층 (208) 은 기관 위에 그리고 옥사이드 (205) 위에 증착된다. 캡핑 층 (208) 은 컴포털하게 또는 컴포털

하지 않게 증착될 수도 있다. 캡핑 층 (208) 은 제거가능한 캡핑 층일 수도 있다. 예를 들어, 캡핑 층 (208) 은 개시된 실시예들을 수행한 후 스트립핑 기법 또는 에칭 기법에 의해 제거될 수도 있다. 캡핑 층 (208) 은 PECVD, 열 ALD, PEALD, CVD, PVD 또는 스핀-온 방법들을 포함하는 임의의 적합한 기법에 의해 증착될 수도 있다. 캡핑 층 (208) 은 약 500 Å 내지 약 2000 Å의 두께로 증착될 수도 있다. 증착 프로세스 조건들 및 전구체들은 캡핑 층의 응력에 영향을 줄 수도 있다. 예를 들어, 일부 캡핑 층 전구체들은, 프로세스 조건들에 따라, 다른 것들보다 높은 응력 막들을 산출할 수도 있다. 예를 들어, 실리콘-함유 전구체들에 대해, 전구체의 실리콘에 대한 수소비는 막에 통합된 수소의 양에 영향을 줄 수도 있고, 결국 막의 응력에 영향을 줄 수도 있다. 일부 실시예들에서, 수소 통합은 온도 및 플라즈마 전력과 같은 프로세스 조건들을 토글링하거나 반응에 수소-함유 반응물질을 첨가함으로써 제어될 수도 있다. ALD, PECVD, LPCVD (low pressure CVD), 또는 CVD에 의해 증착된 캡핑 층은, 막의 응력 거동의 원인이 되는 수소를 통합할 수도 있다. PVD에 의해 증착된 막은 수소를 통합하지 않을 수도 있다. 본 명세서에 기술된 다양한 방법들을 사용한 수소의 제거는 막의 응력을 증가시킬 수도 있다.

[0026] 인장성 또는 압축성으로 이루어질 수 있고 또한 치밀화될 재료를 제거하지 않고 제거가능한 임의의 재료가 사용될 수도 있다. 일부 실시예들에서, 캡핑 층은 실리콘 나이트라이드들, 금속들, 금속 나이트라이드들, 탄소-함유 유전체들, 다른 카보나이트라이드들, 실리콘, 또는 이들의 조합들을 포함한다. 실리콘 나이트라이드들은 SiN, SiON, SiCN, SiCON, 및 Si₃N₄를 포함한다. 캡핑 층들의 부가적인 예들은 또한 실리콘 카바이드 (SiC), 산소-도핑된 실리콘 카바이드 (SiCO), 질소-도핑된 실리콘 카바이드 (SiCN), 실리콘 붕소 나이트라이드 (SiBN), 및 실리콘 붕소 카바이드 (SiBC) 를 포함한다. 예를 들어, 캡핑 층은 CVD에 의해 증착된 실리콘층이거나, PECVD에 의해 증착된 실리콘 층일 수도 있다. 예시적인 캡핑 층들은 도 3a에 대해 이하에 더 기술된다.

[0027] 다양한 실시예들에서, 캡핑 층 (208) 은 인장성 막으로서 증착될 수도 있다. 예를 들어, 일부 실시예들에서, 인장성 막은, 저 이온 충격 조건들 하에서 동작하는 PECVD에 의해 증착될 수도 있다. 이온 충격은 증착 레이트 및 이온 에너지 플럭스에 따른다. 보다 높은 증착 레이트에서, 보다 높은 이온 에너지 플럭스는 막이 인장성이도록 막의 응력을 유지하기 위해 사용될 수도 있다. 일부 실리콘 나이트라이드 증착 프로세스들에서, 인장성 막은 (예를 들어, 13.56 MHz의) 고 주파수 RF 플라즈마일 수도 있다. 약 9 Torr의 챔버 압력에서 4-스테이션 튜브에 대한 일 예에서, 고 주파수 RF 전력이 약 600 W일 때 증착 레이트는 약 1000 Å/분일 수도 있다. 다른 조건들이 인장성 막을 증착하는데 적합할 수도 있다. 일부 실시예들에서, 캡핑 층 (208) 을 증착하기 위한 증착 프로세스의 조건들 및 파라미터들은 막의 응력을 튜닝할 수도 있다. 예를 들어, 캡핑 층 (208) 이 실리콘 나이트라이드를 포함하는 일부 실시예들에서, 캡핑 층은 질소-함유 반응물질과 실리콘-함유 반응물질을 반응시킴으로써 증착될 수도 있다. 질소-함유 반응물질(들)은 증착된 실리콘 나이트라이드 캡핑 층의 응력을 튜닝하도록 선택될 수도 있다. 반응물질들은 또한 캡핑 층의 제거가능성에 영향을 주는 캡핑 층의 습식 에칭 레이트에 영향을 줄 수도 있다.

[0028] 일부 실시예들에서, 캡핑 층 (208) 은 2 이상의 반응물질들을 포함하는 증착 반응물질 혼합물에 기판을 노출하고 증착 플라즈마를 생성하도록 챔버로 HF 전력 및 LF 전력 양자를 인가함으로써 증착될 수도 있다. 예를 들어, SiN 캡핑 층의 증착은 실리콘 원자들 및 질소 원자들을 함유하는 가스성 증착 반응물질 혼합물을 진공 챔버 내로 흘리고 증착 플라즈마를 생성하도록 챔버로 HF 전력 및 LF 전력 양자를 인가하는 것을 수반할 수도 있다. 일부 실시예들에서, 불활성 가스가 또한 흐를 수도 있다.

[0029] 일부 실시예들에서, 플라즈마에 HFRF 전력을 공급하는 HF 생성기 및 LFRF 전력을 공급하는 LF 생성기 양자를 통해 듀얼-주파수 반응 챔버에 인가된 에너지에 의해 플라즈마 방전이 지속될 수도 있다. 보통, HFRF 전력은 챔버의 샤워헤드에서 반응 챔버에 인가될 수도 있다. HFRF 플라즈마 에너지는 약 13.56 MHz일 수도 있지만, 개시된 실시예들은 임의의 정확한 주파수 값으로 제한되지 않는다. 일반적으로, HFRF는 약 1 MHz 내지 약 100 MHz, 또는 약 2 MHz 약 30 MHz의 범위의 주파수를 갖는다. HFRF 전력은 대체로 기판 표면에 대해 약 0.02 W/cm² 내지 0.44 W/cm²의 레벨로 인가될 수도 있다. LF 생성기는 샤워헤드와 기판 사이의 플라즈마로 LF 전력을 공급한다. LFRF 전력은 도 4에 대해 이하에 기술될 바와 같이 기판 홀더에 인가된다. 일반적으로, LFRF는 약 100 kHz 내지 1 MHz, 또는 약 250 kHz의 대략의 범위의 주파수를 갖는다. LFRF 전력은 대체로 기판의 표면에 대해 약 0.03 W/cm² 내지 약 0.64 W/cm²의 레벨로 인가될 수도 있다. 캡핑 층들을 증착하기 위한 예시적인 PECVD 프로세스들의 추가 기술은 도 3a에 대해 이하에 기술된다.

[0030] 일부 실시예들에서, 캡핑 층 (208) 은 이하에 기술된 바와 같이, 증착될 수도 있고 인장성이 될 수도 있다. 예를 들어, 도 2b는 이들 층들을 포함하는 기판을 어닐링한 후 기판을 도시한다. 본 예에서 어닐링은 캡핑 층

(218) 을 인장성으로 만든다. 예를 들어, 도 2a에 도시된 실리콘 나이트라이드 캡핑 층 (208) 은 증착될 때 압축 응력을 가질 수도 있지만, 어닐링 후에 도 2b에 도시된 바와 같이 인장성이 될 수도 있다.

[0031] 도 2c는 응력 대 온도의 예시적인 그래프를 도시한다. 그래프에 나타내고 상기 기술된 바와 같이, 실리콘 나이트라이드 층은 증착될 때 보다 낮은 온도 T_1 에서 σ_1 의 압축 응력을 가질 수도 있다. 실리콘 나이트라이드가 보다 낮은 온도 T_2 로부터 보다 고온으로 가열됨에 따라 (예를 들어, 열 어닐링에 의해 가열됨), 응력은 T_2 에서 인장성이 된다. 냉각시, 실리콘 나이트라이드 층은 σ_2 의 인장 응력을 갖는다. 도 2c에 제공된 그래프는 온도가 상승하고 하락함에 따라 변하는 응력의 단순한 예이고, 상이한 재료들의 캡핑 층들은 상이한 곡선들을 가질 수도 있다는 것을 주의한다.

[0032] 도 2b에 도시된 바와 같이, 기관 (211) 은 응력으로 인해 보우되고 (bow), 캡핑 층 (218) 또한 보우된다. 캡핑 층 (218) 으로부터의 인장 응력은 옥사이드 (215) 상에 압축 응력을 유도한다. 옥사이드 (215) 에 대한 압축 응력으로 인해, 심 (213) 은 보수되고 심 (213) 을 가로질러 교차 결합이 증가된다. 그 결과, 옥사이드 (215) 는 치밀화된다. 도 2a 및 도 2b는 개시된 실시예들의 일 예를 제공한다.

[0033] 도 3a, 도 3b, 및 도 3c는 개시된 실시예들에 따라 수행된 동작들을 도시하는 프로세스 흐름도들이다. 도 3a에서, 동작 302에서 기관이 제공된다. 기관은 임의의 적합한 기관일 수도 있다. 기관은 실리콘 웨이퍼, 예를 들어, 200- μm 웨이퍼, 300- μm 웨이퍼, 또는 450- μm 웨이퍼일 수도 있다. 다양한 실시예들에서, 기관은, 하나 이상의 좁고 그리고/또는 재차 들어간 (re-entrant) 개구부들, 피처들 내 협착부들 (constrictions), 및 고 종횡 비들을 특징으로 할 수도 있는, 비아 또는 콘택트 홀과 같은 "피처들"을 가질 수도 있다. 기관은 본 명세서에 기술된 바와 같은 트렌치들을 포함할 수도 있다. 피처 비아 또는 트렌치는 충전된 피처일 수도 있다. 피처는 피처의 하단부, 폐쇄된 단부 또는 내부로부터 피처 개구부로 좁아지는 재차 들어간 프로파일들을 가질 수도 있다. 피처는 상기 기술된 층들 중 하나 이상 내에 형성될 수도 있다. 피처의 일 예는 반도체 기관 또는 기관 상의 층의 홀 또는 비아이다. 또 다른 예는 기관 또는 층 내의 트렌치이다. 다양한 실시예들에서, 피처는 배리어 층 또는 접착 층과 같은 하부 층을 가질 수도 있다. 하부 층들의 비한정적인 예들은 유전체 층들 및 도전 층들, 예를 들어, 실리콘 옥사이드들, 실리콘 나이트라이드들, 실리콘 카바이드들, 금속 옥사이드들, 금속 나이트라이드들, 금속 카바이드들, 및 금속 층들을 포함한다.

[0034] 일부 실시예들에서, 기관은 그 위에 증착된, 유전체 재료, 도전성 재료, 또는 반도체성 재료와 같은 재료의 하나 이상의 층들을 포함할 수도 있다. 기관은 또한 개시된 실시예들을 사용하여 치밀화되거나 개질될 막 또는 재료를 포함한다. 치밀화될 재료는, 재료가 피처를 충전할 수도 있도록 기관 상의 피처 위에 증착될 수도 있다. 치밀화될 재료는 옥사이드, 나이트라이드, 또는 카바이드일 수도 있다. 다양한 실시예들에서, 치밀화될 재료는 ALD 또는 유동성 기법들에 의해 증착된다.

[0035] 예를 들어, ALD-증착된 옥사이드에 대해, 기관은 실리콘 옥사이드로 피처를 충전하기 위해 다양한 사이클들에서 실리콘-함유 전구체 및 산화제의 교번하는 펄스들에 이전에 노출되었을 수도 있다. 일부 실시예들에서, 치밀화될 재료는, 증착된 재료가 평탄한 옥사이드 층이거나 유동성 재료이도록 층들 내에 증착된다.

[0036] 동작 304에서, 캡핑 층은 기관 상에 증착된다. 캡핑 층은 기관의 전면, 후면 또는 양자 상에 증착될 수도 있다. 캡핑 층은 인장성이거나 압축성일 수도 있다. 많은 실시예들에서, 인장성 막은 후면 상에 증착되지 않는다.

[0037] 인장성 막은 치밀화될 재료 위에 기관의 전면 상에 증착될 수도 있다. 일부 실시예들에서, 캡핑 층은 증착될 때 인장성 막이 아니지만, 이하에 기술된 바와 같이, 어닐링에 의해서와 같이, 나중에 인장성이 된다.

[0038] 캡핑 층은 PECVD, ALD, PEALD, CVD, PVD, 또는 스핀-온 방법들을 포함하는 임의의 적합한 기법에 의해 증착될 수도 있다. 다양한 실시예들에서, 캡핑 층은 실리콘 나이트라이드들, 금속들, 금속 나이트라이드들, 탄소-함유 유전체들, 실리콘, 다른 카보나이트라이드들, 또는 이들의 조합들을 포함한다. 실리콘 나이트라이드들은 SiN, SiON, SiCN, SiCON, 및 Si₃N₄를 포함한다. 캡핑 층들의 부가적인 예들은 또한 실리콘 카바이드 (SiC), 산소-도핑된 실리콘 카바이드 (SiCo), 질소-도핑된 실리콘 카바이드 (SiCN), 실리콘 붕소 나이트라이드 (SiBN), 및 실리콘 보론 카바이드 (SiBC) 를 포함한다. PECVD, ALD, PEALD, 및 CVD에 의해 증착된 캡핑 층들은 막 내에 수소 원자들을 일부 통합할 수도 있다. PVD에 의해 증착된 캡핑 층들은 수소를 거의 통합하지 않거나 전혀 통합하지 않을 것이다. 수소의 존재는 캡핑 층의 응력에 영향을 준다.

[0039] 다양한 실시예들에서, 캡핑 층은 실리콘 나이트라이드 층이다. 예로서, 실리콘 나이트라이드 층은 임의의 적합

한 전구체들 및 파라미터들을 사용하는 PECVD 기법들에 의해 증착될 수도 있다. 예를 들어, 일부 실시예들에서, 실리콘 나이트라이드 층은 실란 및 질소 플라즈마와 같은 실리콘-함유 전구체를 사용하여 약 450 °C 미만의 온도에서 증착된다. 일부 실시예들에서, 실리콘 나이트라이드는 인장성 막을 증착하거나 실리콘 나이트라이드 막 내의 수소 함량을 감소시키도록 약 450 °C 초과의 온도에서 증착된다.

[0040] 표 1은 PECVD에 의해 실리콘 나이트라이드 캡핑 층을 증착하기 위한 예시적인 조건들을 나타낸다:

표 1

PECVD에 의한 실리콘 나이트라이드 증착을 위한 예시적인 조건들

파라미터	범위
SiH ₄ (sccm)	100 내지 200
NH ₃ (sccm)	1000 내지 4000
N ₂ (sccm)	5000 내지 10000
HFRF (W)	500 내지 1200
압력 (Torr)	6 내지 8
온도 (°C)	250 ≤ X ≤ 450

[0042] 많은 상이한 반응물질들이 캡핑 층을 증착하도록 사용될 수도 있다. 증착된 막이 실리콘을 포함하면, 실리콘 화합물은, 예를 들어, 실란, 할로실란 또는 아미노실란일 수 있다. 실란은 수소기 및/또는 탄소기를 함유하지만, 할로젠은 함유하지 않는다. 실란들의 예들은 실란 (SiH₄), 디실란 (Si₂H₆), 및 메틸실란, 에틸실란, 이소프로필실란, t-부틸실란, 디메틸실란, 디에틸실란, 디-t-부틸실란, 아틸실란, sec-부틸실란, 텍실실란 (thexylsilane), 이소아밀실란 (isoamylsilane), t-부틸디실란, 디-t-부틸디실란, 등과 같은 유기 실란들이다. 할로실란은 적어도 하나의 할로젠기를 함유하고, 수소기 및/또는 탄소기를 함유하거나 함유하지 않을 수도 있다. 할로실란들의 예들은 요오드실란들, 브로모실란들, 클로로실란들 및 플루오로실란들이다. 구체적인 클로로실란들은 테트라클로로실란 (SiCl₄), 트리클로로실란 (HSiCl₃), 디클로로실란 (H₂SiCl₂), 모노클로로실란 (ClSiH₃), 클로로아틸실란, 클로로메틸실란, 디클로로메틸실란, 클로로디메틸실란, 클로로에틸실란, t-부틸클로로실란, 디-t-부틸클로로실란, 클로로이소프로필실란, 클로로-sec-부틸실란, t-부틸디메틸클로로실란, 텍실디메틸클로로실란, 등이다. 아미노실란은 실리콘 원자에 결합된 적어도 하나의 질소 원자를 포함하지만, 또한 수소, 산소, 할로젠 및 탄소를 함유할 수도 있다. 아미노실란들의 예들은 모노-아미노실란, 디-아미노실란, 트리-아미노실란 및 테트라-아미노실란 (각각 H₃Si(NH₂), H₂Si(NH₂)₂, HSi(NH₂)₃ 및 Si(NH₂)₄) 뿐만 아니라 치환된 모노-아미노실란, 디-아미노실란, 트리-아미노실란 및 테트라-아미노실란들, 예를 들어, t-부틸아미노실란, 메틸아미노실란, tert-부틸실란아미노, BTBAS (bis(tertiarybutylamino)silane (SiH₂(NHC(CH₃)₃)₂), tert-부틸 실릴카바메이트, SiH(CH₃)-(N(CH₃)₂)₂, SiHCl-(N(CH₃)₂)₂, (Si(CH₃)₂NH)₃, BDEAS (bisdiethylaminosilane), DIPAS (diisopropylaminosilane), TDMAT (tridimethylaminotitanium) 등이다. 아미노실란의 다른 예는 트리실릴아민 (N(SiH₃)₃) 이다. 다른 경우들에서, 증착된 막은 금속을 함유한다. 형성될 수도 있는 금속-함유 막들의 예들은 알루미늄, 티타늄, hafnium, 탄탈륨, 텅스텐, 망간, 마그네슘, 스트론튬, 등의 옥사이드들 및 나이트라이드들, 및 원소적 금속 막들을 포함한다. 금속들 및 금속들을 포함하는 화합물들은 PVD에 의해 증착될 수도 있다. 예시적인 전구체들은 금속 알킬아민들, 금속 알콕시드들, 금속 알킬아미드들, 금속 할라이드들, 금속 β-디케토네이트들, 금속 카르보닐들, 유기금속들, 등을 포함할 수도 있다. 적절한 금속-함유 전구체들은 막에 통합되도록 목표된 금속을 포함할 것이다. 예를 들어, 탄탈륨-함유 층은 암모니아 또는 다른 환원제와 펜타키스(디메틸아미도)탄탈륨을 반응시킴으로써 증착될 수도 있다. 채용될 수도 있는 금속-함유 전구체들의 다른 예들은 트리메틸알루미늄, 테트라에톡시티타늄, 테트라키스-디메틸-아미도 티타늄, hafnium 테트라키스(에틸메틸아미드), 비스(시클로헥타디에닐)망간, 비스(n-프로필시클로헥타디에닐)마그네슘, 등을 포함한다.

[0043] 일부 실시예들에서, 캡핑 층은 질소를 함유하고, 질소-함유 반응물질이 사용된다. 질소-함유 반응물질은 적어도 하나의 질소, 예를 들어, 암모니아, 히드라진, 메틸아민, 디메틸아민, 에틸아민, 이소프로필아민, t-부틸아민, 디-t-부틸아민, 시클로프로필아민, 이차-부틸아민, 시클로부틸아민, 이소아밀아민, 2-메틸부탄-2-아민, 트리메틸아민, 디이소프로필아민, 디에틸이소프로필아민, 디-t-부틸히드라진과 같은 아민들 (예를 들어, 탄소 보유 아민들 (amines bearing carbon)), 뿐만 아니라 아닐린들, 피리딘들, 및 벤질아민들과 같은 방향족 함유 아민들을

함유한다. 아민들은 1기, 2기, 3기 또는 4기 (예를 들어, 테트라알킬암모늄 화합물들) 일 수도 있다. 질소-함유 반응물은 질소 이외의 헤테로 원자들을 함유할 수 있고, 예를 들어, 히드록실아민, t-부틸옥시카르보닐 아민 및 N-t-부틸 히드록실아민은 질소-함유 반응물들이다.

[0044] 캡핑 층의 두께는 피처 사이즈 및 타입에 따른다. 증착될 때 보다 두꺼운 막은 보다 큰 인장 응력을 가질 수도 있지만, 동작 305에 대해 이하에 기술될 바와 같이 어닐링 프로세스에서 균열되기 쉽다. 따라서, 막이 어닐링 될 때 기관의 균열을 방지하도록 보다 얇은 캡핑 층이 대신 증착될 수도 있다. 일부 실시예들에서, 캡핑 층은 약 1000 Å보다 큰 두께, 예컨대 약 3000 Å 내지 약 5000 Å, 또는 약 1000 Å 내지 약 2000 Å의 두께로 증착된다. 일부 적용예들에서, 1000 Å보다 얇은 캡핑 층들이 적절할 수도 있다. 그러나, 도 7c를 참조하여 이하에 논의될 바와 같이, 치밀화 및 심 보수는 보다 두꺼운 막들을 사용하여 보다 쉬울 수도 있다.

[0045] 일부 실시예들에서, 동작 304에서 증착된 캡핑 층은 압축성이다. 압축성 막은 기관의 후면 상에 증착된다. 일부 실시예들에서, 압축성 막은 기관의 후면 상에 증착되는 한편, 인장성 막은 전면 상에 증착된다. 다양한 실시예들에서, 압축성 막은 제거가능하다.

[0046] 압축성 막은 증착될 때 압축성일 수도 있고 또는 압축성이 될 수도 있다. 다양한 실시예들에서, 압축성 막은 자외선 복사에 투과성이고 자외선 복사에 노출될 때 응력 변화를 받기 쉽다. 예시적인 압축성 막들은 나이트라이드 막들, 탄소 함유 막들, 카보나이트라이드 막들, 금속들, 금속 나이트라이드들, 탄소, 및 $Si_xB_yN_zC_pH_q$ 화합물들을 포함한다.

[0047] 기관의 후면 상의 압축성 막의 증착은 다양한 방법들을 사용하여 수행될 수도 있다. 예를 들어, 일부 실시예들에서, 기관은 퍼니스 내에 하우징되고 압축성 막이 기관의 전면 및 후면 양자 상에 증착된 후, 기관의 전면 상의 막은 전면으로부터 압축성 막을 제거하고 기관의 후면 상에만 압축성 막을 남기도록 예칭된다. 또 다른 예에서, 기관은 웨이퍼의 후면이 노출되도록 플립 (flip) 될 수도 있고, 압축성 막은 샤워헤드 또는 다른 프로세스 가스 전달 방법을 포함하여 챔버 내에서 기관의 후면 상에만 증착된다. 기관이 플립될 때 압축성 막을 증착하는 것이 가능할 수도 있지만, 개시된 실시예들을 수행할 때 기관의 전면에 대한 손상을 방지하도록 부가적인 동작들이 사용될 수도 있다는 것이 이해될 것이다. 다양한 후면 증착 톨들이 이러한 막을 증착하도록 사용될 수도 있다.

[0048] 동작 306에서, 기관이 어닐링된다. 통합된 수소 원자들을 포함하는 캡핑 층은 어닐링 프로세스 동안 수소 원자들이 캡핑 층으로부터 제거되도록 어닐링될 때 수축될 것이다. 예를 들어, PECVD에 증착된 캡핑 층은 동작 306 동안 제거되는 통합된 수소 원자들을 포함할 수도 있다.

[0049] 어닐링은 열, 플라즈마 및 전자기 복사 기반 프로세스들을 포함하여, 다수의 상이한 기법들에 의해 달성될 수도 있다. 어닐링은 열 어닐링을 사용하여, 예컨대 적어도 450 °C의 온도로 기관을 가열함으로써 수행될 수도 있다. 어닐링은 재료를 치밀화하기 위해 일부 증착된 막들 내에서 교차 결합을 개선하고, 그리고 또한 증착된 막들, 예컨대 치밀화될 막들 상의 압축 응력을 증가시킨다. 어닐링 동작은 증착 챔버 내에서, 통합된 모듈 또는 톨 내에서 진공을 파괴하지 않고, 또는 분리된 챔버 내에서 진공을 파괴하지 않고 인시츄 수행될 수 있다.

[0050] 일부 실시예들에서, 자외선 어닐링이 수행된다. 예를 들어, 열 버짓 (thermal budget) 이 고려된다면, 자외선 어닐링이 수행될 수도 있다. 자외선 어닐링에서, 기관은 교차 결합을 증가시키고, 캡핑 층 아래의 막을 치밀화하고, 그리고/또는 캡핑 층 아래의 재료의 압축 응력을 증가시키기 위해 약 450 °C 미만의 온도로 가열될 수도 있고 자외선 복사에 노출될 수도 있다. 다양한 실시예들에서, 증착된 캡핑 층이 투명할 때 자외선 복사가 사용된다. 캡핑 층은, 막의 투명도를 보장하기 위해, 실리콘-수소 결합이 거의 없거나 전혀 없는, 예를 들어, 실리콘 나이트라이드 층일 수도 있다. 그러나, 일부 실시예들에서, 캡핑 층은 적어도 약 1000 Å의 두께로 증착될 수도 있기 때문에, 치밀화될 재료 상에 증착된 캡핑 층은 자외선 어닐링을 수행하기에 충분히 투명하지 않을 수도 있다. 따라서, 일부 실시예들에서, 캡핑 층은 상기 기술된 바와 같이 웨이퍼의 후면 상에 증착될 수도 있다. 캡핑 층이 후면 상에 증착된다면, 캡핑 층은 인장성 막이 아니라 압축성 막이라는 것을 주의한다.

[0051] 일부 실시예들에서, 캡핑 막을 증착하지 않고 치밀화될 재료를 어닐링 하기 위해 자외선 경화가 수행될 수도 있다. 일부 실시예들에서, 이는 이하에 더 기술될 바와 같이, 치밀화될 재료를 포함하는 기관을 커브된 페테스탈에 클램핑하는 것과 조합하여 수행될 수도 있다. 이러한 방법은 최대 약 1000 °C의 온도로 수행될 수도 있다. 일부 실시예들에서, 디바이스 타입에 따라, 어닐링이 약 600 °C 미만 또는 약 450 °C 미만에서 수행될 수 있다면 발전된 디바이스들에 대해 장점일 수도 있다. 캡핑 층이 증착되지 않는다면, 반응성 가스들이 교차 결합 및 치밀화를 증가시키기 위해 사용될 수도 있다. 예를 들어, 실리콘 옥사이드 재료를 치밀화하기 위해, 반응성 가

스들은 수소-함유 가스들 및/또는 산소-함유 가스들 및/또는 H₂O 또는 H₂O₂와 같이, 수소 및 산소 양자를 함유하는 가스들을 포함한다.

- [0052] 일부 실시예들에서, 치밀화될 재료는 캡핑 막의 증착 없이 플라즈마 처리에 노출될 수도 있다. 예를 들어, 플라즈마는 He, Ar, H, O, N, 및 이들의 혼합물들 및 화합물들 중 어느 하나를 포함할 수도 있다.
- [0053] 도 3a를 다시 참조하면, 동작 305를 수행하는 것은 인장성 막의 응력을 적어도 약 1 GPa까지 상승시켜, 캡핑 층 아래의 막에 압축 응력을 제공한다. 예를 들어, 실리콘 옥사이드 막을 치밀화하기 위해, 실리콘 나이트라이드 층을 증착한 후에 기판을 어닐링하는 것은 실리콘 옥사이드 막을 치밀화한다.
- [0054] 다양한 실시예들에서, 개시된 실시예들의 적용예에 따라, 캡핑 층은 캡핑 층 아래의 막 또는 재료가 치밀화되거나 교차 결합된 후 또는 캡핑 층의 압축 응력이 후속 동작들에 대해 충분한 경우 제거될 수도 있다는 것을 주의한다. 예를 들어, 실리콘 나이트라이드 캡핑 층은 실리콘 옥사이드 층 및 실리콘 나이트라이드 캡핑 층을 포함하는 기판이 어닐링된 후 건식 에칭 방법을 사용하여 또는 인산을 사용하여 선택적으로 제거될 수도 있다.
- [0055] 도 3b는 개시된 실시예들에 따라 수행된 방법의 또 다른 예를 제공한다. 동작 312에서, 치밀화될 재료를 포함하는 기판이 제공된다. 동작 302에 대하여 상기 기술된 바와 같은 모든 기판이 이 동작에 사용될 수도 있다.
- [0056] 동작 316에서, 기판은 기판 상의 재료를 치밀화하고 그리고/또는 치밀화될 재료의 교차 결합을 증가시키기 위해 자외선 복사 또는 플라즈마 처리에 노출된다. 이에 따라 이 동작은 적합한 응력으로 재료를 치밀화한다. UV 복사는 임의의 적절한 파장일 수도 있다. 예를 들어, 대략 30 내지 150 nm의 UV 복사가 교차 결합을 위해 사용될 수도 있다. 일부 실시예들에서, 동작 316은 목표된 바에 따라 보다 인장성 막 또는 보다 압축성 막을 형성하도록 반응물질에 기판을 노출하는 것을 포함할 수도 있다. 플라즈마 처리들은, 예를 들어 치밀화될 재료 내에 존재하는 수소를 제거함으로써 또는 막 응력을 변화시킴으로써 치밀화될 재료와 반응하도록 사용될 수 있다. 헬륨, 아르곤, 수소, 질소, 또는 산소-함유 플라즈마 또는 이들의 혼합물들이 플라즈마를 생성하도록 사용될 수도 있다.
- [0057] 도 3b의 동작들은 약 450 °C 미만의 온도로 수행될 수도 있다. UV 처리는 치밀화될 막의 교차 결합을 인에이블 하도록 충분한 에너지를 제공하여, 막의 밀도를 상승시키기 때문에, 기판이 UV에 노출될 때 보다 낮은 온도에서 치밀화가 수행될 수도 있다.
- [0058] 도 3c는 개시된 실시예들에 따라 수행된 방법의 또 다른 예를 제공한다. 동작 322에서, 기판이 제공된다. 기판은 동작 302 및 동작 312에 대해 상기 기술된 기판들 중 어느 하나일 수도 있다. 동작 324에서, 기판은 응력을 인가하도록 성형된 페데스탈에 클램핑된다. 페데스탈은 정전 척 또는 기판을 페데스탈에 클램핑하기 위한 다른 클램핑 장치를 포함한다. 성형된 페데스탈은, 기판이 페데스탈에 클램핑될 때, 기판이 실질적으로 페데스탈의 형상을 컨폼하여 (conform), 기판 상의 하나 이상의 막들을 치밀화하기 위해 기판 상의 응력을 증가시키도록 보울-형상일 수도 있거나 페데스탈의 중심 근방에 오목한 영역을 포함할 수도 있다.
- [0059] 개시된 실시예들은 외부 응력 제어를 사용하여 다양한 타입들의 막들을 치밀화하는데 적합하고, 따라서 기판 상의 일 막의 응력을 기판 상의 또 다른 막을 치밀화하기 위해 조절하는 방법을 제공한다. 개시된 실시예들은 임의의 목적을 위해 유전체 막을 형성하기 위해 사용될 수 있다. 일부 실시예에서, 개시된 실시예들은 반도체 기판들 상의 구조체들, 예컨대 깎들, 특히 고 종횡비 트렌치들을 충전하기 위해, 예를 들어, IMD (inter-metal dielectric), PMD (pre-metal dielectric), 및 STI (shallow trench isolation) 적용예들에 사용될 수 있다.
- [0060] 장치
- [0061] 개시된 실시예들은 임의의 적합한 장치 또는 틀에서 수행될 수도 있다. 장치 또는 틀은 하나 이상의 프로세스 스테이션들을 포함할 수도 있다. 정전 척이 기판을 성형된 페데스탈에 클램핑하기 위해 사용된 실시예들에 대해, 성형된 페데스탈을 포함하는 프로세스 스테이션이 사용될 수도 있다. 일부 실시예들에서, 막이 기판의 양 측면들 상에 증착될 수도 있고 일부 실시예들에 대해 후속하여 일 측면이 에칭될 수도 있도록 퍼니스 틀 또는 스테이션이 사용될 수도 있다. 퍼니스 틀에 대해, 증착된 막은 압축성일 수도 있고 또는 압축성이 될 수도 있다. 일부 실시예들에서, 캡핑 층은 기판의 양 측면들 대신 기판 위에 증착된다. 이하에 기술된 바는 일부 실시예들에서 사용될 수도 있는 예시적인 프로세스 스테이션 및 틀이다.
- [0062] 도 4는 저압 분위기를 유지하기 위한 프로세스 챔버 바디 (402) 를 갖는 PECVD (plasma-enhanced chemical vapor deposition) 프로세스 스테이션 (400) 의 실시예의 개략적인 예시를 도시한다. 복수의 PECVD 프로세스 스테이션들 (400) 은 공동 저압 프로세스 틀 분위기에 포함될 수도 있다. 예를 들어, 도 5는 멀티스테이션 프

로세싱 툴 (500) 의 실시예를 도시한다. 일부 실시예들에서, 이하에 상세히 논의될 것들을 포함하는, PECVD 프로세스 스테이션 (400) 의 하나 이상의 하드웨어 파라미터들은 하나 이상의 컴퓨터 제어기들 (450) 에 의해 프로그래밍적으로 조정될 수도 있다.

[0063] PECVD 프로세스 스테이션 (400) 은 프로세스 가스들을 분배 샤워헤드 (406) 로 전달하기 위한 반응물질 전달 시스템 (401a) 과 유체적으로 연통한다. 반응물질 전달 시스템 (401a) 은 샤워헤드 (406) 로 전달할 프로세스 가스들을 블렌딩 및/또는 컨디셔닝하기 위한 혼합 용기 (404) 를 포함한다. 캡핑 층을 증착하기 위해 사용된 것과 같은 프로세스 가스들은 반응물질 전달 시스템 (401a) 을 사용하여 샤워헤드 (406) 를 통해 프로세스 챔버 바디 (402) 로 전달될 수도 있다. 일부 실시예들에서, 반응성 좋은 반응물질 전달 시스템 (401a) 를 사용하여 전달될 수도 있다. 하나 이상의 혼합 용기 유입 밸브들 (420) 은 혼합 용기 (404) 로의 프로세스 가스들의 도입을 제어할 수도 있다. 이들 밸브들은 가스가 다양한 동작들 동안 턴온될 수도 있는지 여부에 따라 제어될 수도 있다.

[0064] 일부 실시예들에서, 액체 반응물질은 사용되지 않을 수도 있다. 그러나, 일부 실시예들에서, 액체 반응물질은 본 명세서에 기술된 바와 같이 치밀화될 막 또는 캡핑 층 또는 압축성 막을 증착하도록 사용될 수도 있다. 예로서, 도 4의 실시예는 혼합 용기 (404) 로 공급될 액체 반응물질을 기화하기 위한 기화 지점 (403) 을 포함한다. 일부 실시예들에서, 기화 지점 (403) 은 가열된 기화기일 수도 있다. 이러한 기화기들로부터 생성된 포화된 반응물질 증기는 다운스트림 전달 파이프에서 응결될 수도 있다. 양립할 수 없는 가스들의 응결된 반응물질로의 노출은 작은 입자들을 생성할 수도 있다. 이들 작은 입자들은 파이프를 막고 (clog), 밸브 동작을 지연시키고, 기관들을 오염시키는 등을 할 수도 있다. 이들 문제들을 해결하기 위한 일부 방법들은, 반응물질을 기화하기 전 또는 후에 잔여 반응물질을 제거하기 위해 전달 파이프를 퍼지 및/또는 배기하는 것을 수반한다. 그러나, 전달 파이프를 퍼지하는 것은 프로세스 스테이션 쓰루풋을 저하시키는, 프로세스 스테이션 사이클 시간을 증가시킬 수도 있다. 따라서, 일부 실시예들에서, 기화 지점 (403) 의 전달 파이핑 다운스트림에서 열 추적될 수도 있다. 일부 예들에서, 혼합 용기 (404) 가 또한 열 추적될 수도 있다. 비제한적인 일 예에서, 기화 지점 (403) 의 파이핑 다운스트림은 혼합 용기 (404) 에서 대략 100 °C 내지 대략 150 °C로 연장하는 증가하는 온도 프로파일을 갖는다.

[0065] 일부 실시예들에서, 실리콘-함유 전구체와 같은 액체 전구체 또는 액체 반응물질은 액체 주입기에서 기화될 수도 있다. 예를 들어, 액체 주입기는 액체 반응물질의 펄스들을 혼합 용기의 업스트림에서 캐리어 가스 스트림으로 주입할 수도 있다. 일 실시예에서, 액체 주입기는 보다 높은 압력으로부터 보다 낮은 압력으로 액체를 플래시함으로써 반응물질을 기화시킬 수도 있다. 또 다른 예에서, 액체 주입기는 가열된 전달 파이프에서 나중에 기화되는 분산된 마이크로드롭릿들로 액체를 원자화할 수도 있다. 보다 작은 드롭릿들이 보다 큰 드롭릿들보다 고속으로 기화될 수 있어서, 액체 주입과 기화 완료 간의 지연을 감소시킨다. 보다 고속의 기화는 기화 지점 (403) 으로부터 파이핑 다운스트림의 길이를 감소시킬 수도 있다. 일 시나리오에서, 액체 주입기는 혼합 용기 (404) 에 바로 장착될 수도 있다. 또 다른 시나리오에서, 액체 주입기는 분배 샤워헤드 (406) 에 바로 장착될 수도 있다.

[0066] 일부 실시예들에서, 기화 지점 (403) 의 업스트림의 액체 유량 제어기 (LFC) (미도시) 가 기화 및 프로세스 스테이션 (400) 으로의 전달을 위해 액체의 질량 유량을 제어하기 위해 제공될 수도 있다. 예를 들어, 액체 유량 제어기 (LFC) 는 LFC의 다운스트림에 위치한 열적 질량 유량 미터 (MFM) 를 포함할 수도 있다. 이어서 LFC의 플런저 밸브가 MFM과 전기적으로 통신하는 PID (proportional-integral-derivative) 제어기에 의해 제공된 피드백 제어 신호들에 응답하여 조정될 수도 있다. 그러나, 이는 피드백 제어를 사용하여 액체 플로우를 안정화시키기 위해 1 초 이상 걸릴 수도 있다. 이는 액체 반응물질을 흘리기 위한 시간을 연장할 수도 있다. 따라서, 일부 실시예들에서, LFC는 피드백 제어 모드와 직접 제어 모드 사이에서 동적으로 전환될 수도 있다. 일부 실시예들에서, LFC 및 PID 제어기의 센스 튜브를 디스에이블함으로써 동적 전환이 수행될 수도 있다.

[0067] 분배 샤워헤드 (406) 는 기관 (412) 을 향하여 가스들을 분배한다. 예를 들어, 샤워헤드 (406) 는 다양한 동작들에서 기관 (412) 에 캡핑 층을 증착하기 위해 실리콘-함유 가스들 및/또는 질소-함유 가스들과 같은 프로세스 가스들을 분배할 수도 있다. 도 4에 도시된 실시예에서, 기관 (412) 은 분배 샤워헤드 (406) 아래에 위치되고, 페데스탈 (408) 상에 놓인 것으로 도시된다. 도 4에 도시된 페데스탈 (408) 은 정전 척을 포함하지 않고 편평한 표면을 포함하지만, 일부 실시예들에서 정전 척을 포함하는 성형된 페데스탈이 사용될 수도 있다. 본 명세서에 기술된 바와 같이, 성형된 페데스탈은 기관이 페데스탈에 클램핑될 때, 기관이 페데스탈의 형상을 실질적으로 컨폼하여, 기관 상의 하나 이상의 막들을 치밀화하기 위해 기관 (412) 상의 응력을 상승시키도록 페데스탈의 중심 근방에 오목한 영역을 포함할 수도 있고 또는 보울 (bowl) 형상일 수도 있다. 분배 샤워헤드 (406) 는

임의의 적합한 형상을 가질 수도 있고, 기관 (412) 으로 프로세스 가스들을 분배하기 위해 임의의 적합한 수 및 배열의 포트들을 가질 수도 있다.

[0068] 또 다른 시나리오에서, 페데스탈 (408) 의 높이를 조정하는 것은 플라즈마 밀도로 하여금 개시된 프로세스들 동안 가변되게 할 수도 있다. 예를 들어, 플라즈마는 프로세스 가스들이 챔버 바디 (402) 로 흐를 때 활성화될 수도 있다. 프로세스 페이즈의 종료 시, 페데스탈 (408) 은 또다른 기관 이송 페이즈 동안 페데스탈 (408) 로부터 기관 (412) 의 제거를 허용하도록 하강될 수도 있다.

[0069] 일부 실시예들에서, 분배 샤워헤드 (406) 및 페데스탈 (408) 은 플라즈마에 전력을 공급하기 위해 RF 전력 공급부 (414) 및 매칭 네트워크 (416) 와 전기적으로 통신한다. 일부 실시예들에서, 플라즈마 에너지는 프로세스 스테이션 압력, 가스 농도 및 가스들의 분압 또는 가스 플로우 레이트들, RF 소스 전력, 및 RF 소스 주파수 중 하나 이상을 제어함으로써 제어될 수도 있다. 예를 들어, RF 전력 공급부 (414) 및 매칭 네트워크 (416) 는 목표된 조성의 라디칼 종을 갖는 플라즈마를 형성하기 위해 임의의 적합한 전력으로 동작될 수도 있다. 유사하게, RF 전력 공급부 (414) 는 임의의 적합한 주파수의 RF 전력을 제공할 수도 있다. 일부 실시예들에서, RF 전력 공급부 (414) 는 서로 독립적으로 고 주파수 RF 전력 소스 및 저 주파수 RF 전력 소스를 제어하도록 구성될 수도 있다. 예시적인 저 주파수 RF 주파수들은 이로 제한되는 것은 아니지만, 0 kHz 내지 500 kHz의 주파수를 포함할 수도 있다. 예시적인 고 주파수 RF 주파수들은 이로 제한되는 것은 아니지만, 1.8 MHz 내지 2.45 GHz, 또는 약 13.56 MHz 초과, 또는 27 MHz 초과, 또는 40 MHz 초과, 또는 60 MHz 초과인 주파수들을 포함할 수도 있다. 치밀화될 막 또는 캡핑 층을 증착하기 반응들을 위한 플라즈마 에너지를 제공하도록 임의의 적합한 파라미터들이 불연속적으로 또는 연속적으로 조절될 수도 있다는 것이 이해될 것이다.

[0070] 일부 실시예들에서, 플라즈마는 하나 이상의 플라즈마 모니터들에 의해 인-시츄 모니터링될 수도 있다. 일 시나리오에서, 플라즈마 전력은 하나 이상의 전압, 전류 센서들 (예를 들어, VI 프로브들) 에 의해 모니터링될 수도 있다. 또 다른 시나리오에서, 플라즈마 밀도 및/또는 프로세스 가스 농도는 하나 이상의 OES (optical emission spectroscopy sensors) 에 의해 측정될 수도 있다. 일부 실시예들에서, 하나 이상의 플라즈마 파라미터들은 이러한 인-시츄 플라즈마 모니터들로부터의 측정치들에 기초하여 프로그램적으로 조정될 수도 있다. 예를 들어, OES 센서는 플라즈마 전력의 프로그램적인 제어를 제공하기 위해 피드백 루프에서 사용될 수도 있다. 일부 실시예들에서, 플라즈마 및 다른 프로세스 특성들을 모니터링하기 위해 다른 모니터들이 사용될 수도 있다는 것이 이해될 것이다. 이러한 모니터들은 이로 제한되는 것은 아니지만, 적외선 (IR) 모니터들, 음향 모니터들, 및 압력 트랜스듀서들을 포함할 수도 있다.

[0071] 일부 실시예들에서, 제어기 (450) 에 대한 인스트럭션들은 IOC (input/output control) 시퀀싱 인스트럭션들을 통해 제공될 수도 있다. 일 예에서, 프로세스 페이즈를 위해 조건들을 설정하기 위한 인스트럭션들은 프로세스 레시피의 대응하는 레시피 페이즈에 포함될 수도 있다. 일부 경우들에서, 프로세스 레시피 페이즈들은 프로세스 페이즈를 위한 모든 인스트럭션들이 이 프로세스 페이즈와 동시에 실행되도록 순차적으로 배열될 수도 있다. 일부 실시예들에서, 하나 이상의 반응기 파라미터들을 설정하기 위한 인스트럭션들은 레시피 페이즈에 포함될 수도 있다. 예를 들어, 제 1 레시피 단계는 하나 이상의 가스들 (예를 들어, 실리콘-함유 가스 및 질소-함유 가스) 의 플로우 레이트를 설정하기 위한 인스트럭션들, 및 제 1 레시피 페이즈에 대한 시간 지연 인스트럭션들을 포함할 수도 있다. 제 2, 후속하는 레시피 페이즈는 약 450 °C 초과의 온도로 기관을 가열하기 위한 인스트럭션들 및 제 2 레시피 페이즈를 위한 시간 지연 인스트럭션들을 포함할 수도 있다. 대안적으로, 제 3 레시피 페이즈는 자외선 소스를 턴온하고 450 °C 미만의 온도로 기관을 가열하기 위한 인스트럭션들 및 제 3 레시피 페이즈를 위한 시간 지연 인스트럭션들을 포함할 수도 있다. 이들 레시피 페이즈들은 본 개시의 범위 내에서 임의의 적합한 방식으로 더 세분화되고 그리고/또는 반복될 수도 있다는 것이 이해될 것이다. 제어기 (450) 는 또한 도 5의 제어기 (550) 에 대해 이하에 기술된 임의의 피쳐들을 포함할 수도 있다.

[0072] 일부 실시예들에서, 페데스탈 (408) 은 히터 (410) 를 통해 온도 제어될 수도 있다. 히터 (410) 는 기관을 어닐링하도록 사용될 수도 있다. 예를 들어, 일부 실시예들에서, 어닐링 동안, 히터 (410) 는 적어도 약 450 °C 의 온도로 설정될 수도 있다. 또한, 일부 실시예들에서, 프로세스 스테이션 (400) 을 위한 압력 제어가 버터플라이 밸브 (418) 에 의해 제공될 수도 있다. 도 4의 실시예에 도시된 바와 같이, 버터플라이 밸브 (418) 는 다운스트림 진공 펌프 (미도시) 에 의해 제공된 진공을 쓰로틀한다. 그러나, 일부 실시예들에서, 프로세스 스테이션 (400) 의 압력 제어는 또한 프로세스 스테이션 (400) 에 도입된 하나 이상의 가스들의 플로우 레이트를 가변시킴으로써 조정될 수도 있다.

[0073] 상기 기술된 바와 같이, 하나 이상의 프로세스 스테이션들은 멀티스테이션 프로세싱 틀에 포함될 수도 있다.

도 5는 인바운드 로드록 (502) 및 아웃바운드 로드록 (504) 중 하나 또는 양자가 리모트 플라즈마 소스를 포함할 수도 있는, 인바운드 로드록 (502) 및 아웃바운드 로드록 (504) 을 갖는, 멀티스테이션 프로세싱 툴 (500)의 실시예의 개략도를 도시한다. 대기압에서 로봇 (506) 은, 카세트로부터 포트 (508) 를 통해 인바운드 로드록 (502) 으로 로딩된 웨이퍼들을 대기 포트 (510) 를 통해 이동시키도록 구성된다. 웨이퍼 또는 기판은 인바운드 로드록 (502) 내의 페테스탈 (512) 상에 로봇 (506) 에 의해 배치되고, 대기 포트 (510) 는 폐쇄되고, 로드록은 펌프 다운된다 (pump down). 인바운드 로드록 (502) 이 리모트 플라즈마 소스를 포함하면, 웨이퍼는 프로세싱 챔버 (514) 내로 도입되기 전에 로드록 내에서 리모트 플라즈마 처리에 노출될 수도 있다. 또한, 웨이퍼는 또한 예를 들어, 수분 및 흡착된 가스들을 제거하기 위해 인바운드 로드록 (502) 내에서 가열될 수도 있다. 다음에, 프로세싱 챔버 (514) 로의 챔버 이송 포트 (516) 가 개방되고, 또 다른 로봇 (미도시) 이 프로세싱을 위해 반응기 내에 도시된 제 1 스테이션 (스테이션 1) 의 페테스탈 상의 반응기 내로 웨이퍼를 배치한다. 도 5에 도시된 실시예는 로드록들을 포함하지만, 일부 실시예들에서, 웨이퍼의 프로세스 스테이션으로의 직접적인 진입이 제공될 수도 있다는 것이 인식될 것이다.

[0074] 도시된 프로세싱 챔버 (514) 는 도 5에 도시된 실시예들에서 1 내지 4로 번호가 붙여진, 4 개의 프로세스 스테이션들을 포함한다. 스테이션 각각은 가열된 페테스탈 (스테이션 1에 대해 518로 도시됨), 및 가스선 유입부들을 갖는다. 일부 실시예들에서, 프로세스 스테이션 각각이 상이한 목적 또는 다수의 목적들을 가질 수도 있다는 것이 이해될 것이다. 예를 들어, 일부 실시예들에서, 프로세스 스테이션은 ALD와 PEALD 프로세스 모드 사이에서 전환가능할 수도 있다. 예를 들어, 프로세스 스테이션은 ALD에 의해 치밀화될 재료를 증착하는 것 및 PECVD에 의해 캡핑 층을 형성하는 것 양자를 위해 사용될 수도 있다. 일부 실시예들에서, 일 프로세스 스테이션이 ALD에 의해 막을 증착하기 위해 사용될 수도 있고, 한편 다른 프로세스 스테이션이 PECVD에 의해 캡핑 층을 증착하도록 사용되고, 또 다른 프로세스 스테이션이 기판을 어닐링하도록 사용된다. 일부 실시예들에서, 치밀화될 막 및 캡핑 층의 증착은 동일한 스테이션에서 수행될 수도 있다. 증착 및 어닐링은 동일하거나 상이한 스테이션들에서 수행될 수도 있다. 도시된 프로세싱 챔버 (514) 는 4 개의 스테이션들을 포함하지만, 본 개시에 따른 프로세싱 챔버는 임의의 적합한 수의 스테이션들을 가질 수도 있다는 것이 이해될 것이다. 예를 들어, 일부 실시예들에서, 프로세싱 챔버는 5 개 이상의 스테이션들을 갖는 반면, 다른 실시예들에서 프로세싱 챔버는 3 개 이하의 스테이션들을 가질 수도 있다.

[0075] 도 5는 프로세싱 챔버 (514) 내에서 웨이퍼들을 이송하기 위한 웨이퍼 핸들링 시스템 (590) 의 실시예를 도시한다. 일부 실시예들에서, 웨이퍼 핸들링 시스템 (590) 은 다양한 프로세스 스테이션들 사이 및/또는 프로세스 스테이션과 로드 록 사이에서 웨이퍼들을 이송할 수도 있다. 임의의 적합한 웨이퍼 핸들링 시스템이 채용될 수도 있다는 것이 이해될 것이다. 비제한적인 예들은 웨이퍼 캐로셀들 (carousels) 및 웨이퍼 핸들링 로봇들을 포함한다. 도 5는 또한 프로세스 툴 (500) 의 프로세스 조건들 및 하드웨어 상태를 제어하도록 채용된 시스템 제어기 (550) 의 실시예를 도시한다. 시스템 제어기 (550) 는 하나 이상의 메모리 디바이스들 (556), 하나 이상의 대용량 저장 디바이스들 (554), 및 하나 이상의 프로세서들 (552) 을 포함할 수도 있다. 프로세서 (552) 는 CPU 또는 컴퓨터, 아날로그 입력/출력 연결부 및/또는 디지털 입력/출력 연결부, 스텝퍼 모터 제어 보드들, 등을 포함할 수도 있다.

[0076] 일부 실시예들에서, 시스템 제어기 (550) 는 프로세스 툴 (500) 의 모든 액티비티들을 제어한다. 시스템 제어기 (550) 는 대용량 저장 디바이스 (554) 에 저장되고, 메모리 디바이스 (556) 로 로딩되고, 프로세서 (552) 상에서 실행되는 시스템 제어 소프트웨어 (558) 를 실행한다. 대안적으로, 제어 로직은 제어기 (550) 내에 하드코딩될 수도 있다. ASIC, PLD (예를 들어, FPGA (field-programmable gate array)), 등이 이 목적들을 위해 사용될 수도 있다. 이하의 논의에서, "소프트웨어" 또는 "코드"가 사용될 때마다, 기능적으로 유사한 하드코딩된 로직이 그 자리에 사용될 수도 있다. 시스템 제어 소프트웨어 (558) 는 타이밍, 가스들의 혼합, 가스 플로우 레이트들, 챔버 및/또는 스테이션 압력, 챔버 및/또는 스테이션 온도, 웨이퍼 온도, 타겟 전력 레벨들, RF 전력 레벨들, 기판 페테스탈, 척 및/또는 서셉터 위치, 및 프로세스 툴 (500) 에서 수행된 특정한 프로세스의 다른 파라미터들을 포함할 수도 있다. 시스템 제어 소프트웨어 (558) 는 임의의 적합한 방식으로 구성될 수도 있다. 예를 들어, 다양한 프로세스 툴 구성요소 서브루틴들 또는 제어 객체들이 다양한 프로세스 툴 프로세스들을 수행하기 위해 사용된 프로세스 툴 구성요소들의 동작을 제어하도록 작성될 수도 있다. 시스템 제어 소프트웨어 (558) 는 임의의 적합한 컴퓨터 판독가능 프로그래밍 언어로 코딩될 수도 있다.

[0077] 일부 실시예들에서, 시스템 제어 소프트웨어 (558) 는 상기 기술된 다양한 파라미터들을 제어하기 위한 IOC (input/output control) 시퀀싱 (sequencing) 인스트럭션들을 포함할 수도 있다. 시스템 제어기 (550) 와 연관된 대용량 저장 디바이스 (554) 및/또는 메모리 디바이스 (556) 에 저장된 다른 컴퓨터 소프트웨어 및/또는

프로그램들이 일부 실시예들에서 채용될 수도 있다. 이러한 목적을 위한 프로그램들 또는 프로그램들의 섹션들의 예들은 기관 포지셔닝 (positioning) 프로그램, 프로세스 가스 제어 프로그램, 압력 제어 프로그램, 히터 제어 프로그램, 정전 척 전력 제어 프로그램 및 플라즈마 제어 프로그램을 포함한다.

- [0078] 기관 포지셔닝 프로그램은 페데스탈 (518) 상에 기관을 로딩하고 기관과 프로세스 툴 (500) 의 다른 부분들 사이의 간격을 제어하도록 사용된 프로세스 툴 컴포넌트들에 대한 프로그램 코드를 포함할 수도 있다. 프로세스 가스 제어 프로그램은 프로세스 스테이션 내의 압력을 안정화시키기 위해 증착 전에 가스 조성 (예를 들어, 본 명세서에 기술된 바와 같은 실리콘 함유 가스들, 질소 함유 가스들, 등) 및 플로우 레이트들을 제어하기 위한 코드 및 선택가능하게 하나 이상의 프로세스 스테이션들로 가스를 흘리기 위한 코드를 포함할 수도 있다. 압력 제어 프로그램은 예를 들어, 프로세스 스테이션의 배기 시스템의 쓰로틀 밸브, 프로세스 스테이션으로의 가스 플로우, 등을 조절함으로써 프로세스 스테이션 내의 압력을 제어하기 위한 코드를 포함할 수도 있다. 히터 제어 프로그램은 본 명세서에 기술된 어닐링 동작들을 위해 기관을 가열하기 위해 사용된 히팅 유닛으로의 전류를 제어하기 위한 코드를 포함할 수도 있다. 대안적으로, 히터 제어 프로그램은 기관으로의 (헬륨과 같은) 열 전달 가스 (heat transfer gas) 의 전달을 제어할 수도 있다. 플라즈마 제어 프로그램은 본 명세서의 실시예들에 따른, 하나 이상의 프로세스 스테이션들 내의 프로세스 전극들에 인가된 RF 전력 레벨들을 설정하기 위한 코드를 포함할 수도 있다. 압력 제어 프로그램은 본 명세서의 실시예들에 따른 반응 챔버 내에서 압력을 유지하기 위한 코드를 포함할 수도 있다.
- [0079] 일부 실시예들에서, 시스템 제어기 (550) 와 연관된 사용자 인터페이스가 있을 수도 있다. 사용자 인터페이스는 디스플레이 스크린, 장치의 그래픽적인 소프트웨어 디스플레이 및/또는 프로세스 조건들의 그래픽적인 소프트웨어 디스플레이, 및 포인팅 디바이스들, 키보드들, 터치 스크린들, 마이크로폰들 등의 사용자 입력 디바이스들을 포함할 수도 있다.
- [0080] 일부 실시예들에서, 시스템 제어기 (550) 에 의해 조정된 파라미터들은 프로세스 조건들과 관련될 수도 있다. 비제한적인 예들은 프로세스 가스 조성 및 플로우 레이트들, 온도, 압력, (RF 바이어스 전력 레벨들과 같은) 플라즈마 조건들, 등을 포함한다. 이들 파라미터들은 사용자 인터페이스를 활용하여 입력될 수도 있는, 레시피의 형태로 사용자에게 제공될 수도 있다.
- [0081] 프로세스를 모니터링하기 위한 신호들은 다양한 프로세스 툴 센서들로부터 시스템 제어기 (550) 의 아날로그 입력 연결부 및/또는 디지털 입력 연결부에 의해 제공될 수도 있다. 프로세스를 제어하기 위한 신호들은 프로세스 툴 (500) 의 아날로그 출력 연결부 및 디지털 출력 연결부 상에 출력될 수도 있다. 모니터링될 수도 있는 프로세스 툴 센서들의 비제한적인 예들은 질량 유량 제어기들, (압력계들 (manometers) 과 같은) 압력 센서들, 열전대들 (thermocouple), 등을 포함한다. 적절하게 프로그램된 피드백 및 제어 알고리즘들이 프로세스 조건들을 유지하기 위해 이들 센서들로부터의 데이터를 사용할 수도 있다.
- [0082] 시스템 제어기 (550) 는 상기 기술된 증착 프로세스들을 구현하기 위한 프로그램 인스트럭션들을 제공할 수도 있다. 프로그램 인스트럭션들은 DC 전력 레벨, RF 바이어스 전력 레벨, 압력, 온도, 등과 같은 다양한 프로세스 파라미터들을 제어할 수도 있다. 인스트럭션들은 본 명세서에 기술된 다양한 실시예들에 따른 막들의 인시츄 증착을 동작시키기 위한 파라미터들을 제어할 수도 있다.
- [0083] 시스템 제어기 (550) 는, 통상적으로 장치가 개시된 실시예들에 따른 방법을 수행하도록 인스트럭션들을 실행하도록 구성된 하나 이상의 프로세서들 및 하나 이상의 메모리 디바이스들을 포함할 것이다. 개시된 실시예들에 따른 프로세스 동작들을 제어하기 위한 인스트럭션들을 포함하는 머신 판독가능 매체는 시스템 제어기 (550) 에 커플링될 수도 있다.
- [0084] 일부 구현예들에서, 시스템 제어기 (550) 는 상술한 예들의 일부일 수도 있는 시스템의 일부일 수 있다. 이러한 시스템들은, 프로세싱 툴 또는 툴들, 챔버 또는 챔버들, 프로세싱용 플랫폼 또는 플랫폼들, 및/또는 특정 프로세싱 컴포넌트들 (웨이퍼 페데스탈, 가스 플로우 시스템, 등) 을 포함하는, 반도체 프로세싱 장비를 포함할 수 있다. 이들 시스템들은 반도체 웨이퍼 또는 기관의 프로세싱 이전에, 프로세싱 동안에 그리고 프로세싱 이후에 그들의 동작을 제어하기 위한 전자장치에 통합될 수도 있다. 전자장치들은 시스템 또는 시스템들의 다양한 컴포넌트들 또는 하위부품들을 제어할 수도 있는 "제어기"로서 지칭될 수도 있다. 시스템 제어기 (550) 는, 시스템의 프로세싱 조건들 및/또는 타입에 따라서, 프로세싱 가스들 및/또는 억제제 가스들의 전달, 온도 설정 사항들 (예를 들어, 가열 및/또는 냉각), 압력 설정사항들, 진공 설정사항들, 전력 설정사항들, 무선 주파수 (RF) 생성기 설정사항들, RF 매칭 회로 설정사항들, 주파수 설정사항들, 플로우 레이트 설정사항들, 유체 전달 설정사항들, 위치 및 동작 설정사항들, 툴들 및 다른 이송 툴들 및/또는 특정 시스템과 연결되거나 인터페이스

된 로드록들 내외로의 웨이퍼 이송들을 포함하는, 본 명세서에 개시된 프로세스들 중 임의의 프로세스들을 제어 하도록 프로그램될 수도 있다.

[0085] 일반적으로 말하면, 시스템 제어기 (550) 는 인스트럭션들을 수신하고, 인스트럭션들을 발행하고, 동작을 제어 하고, 세정 동작들을 인에이블하고, 엔드포인트 측정들을 인에이블하는 등을 하는 다양한 집적 회로들, 로직, 메모리, 및/또는 소프트웨어를 갖는 전자장치로서 규정될 수도 있다. 집적 회로들은 프로그램 인스트럭션들을 저장하는 펌웨어의 형태의 칩들, 디지털 신호 프로세서들 (DSP), ASIC (application specific integrated circuit) 으로서 규정되는 칩들 및/또는 프로그램 인스트럭션들 (예를 들어, 소프트웨어) 을 실행하는 하나 이상의 마이크로프로세서들, 또는 마이크로제어기들을 포함할 수도 있다. 프로그램 인스트럭션들은 반도체 웨이 퍼 상에서 또는 반도체 웨이퍼에 대한 특정 프로세스를 실행하기 위한 동작 파라미터들을 규정하는, 다양한 개별 설정사항들 (또는 프로그램 파일들) 의 형태로 시스템 제어기 (550) 로 또는 시스템으로 전달되는 인스트럭 션들일 수도 있다. 일부 실시예들에서, 동작 파라미터들은 하나 이상의 층들, 재료들, 금속들, 산화물들, 실리콘, 이산화 실리콘, 표면들, 회로들, 및/또는 웨이퍼의 다이들의 제조 동안에 하나 이상의 프로세싱 단계들을 달성하도록 프로세스 엔지니어에 의해서 규정된 레시피의 일부일 수도 있다.

[0086] 시스템 제어기 (550) 는, 일부 구현예들에서, 시스템에 통합되거나, 시스템에 커플링되거나, 이와 달리 시스템 에 네트워킹되거나, 또는 이들의 조합으로 될 수 있는 컴퓨터에 커플링되거나 이의 일부일 수도 있다. 예를 들 어, 시스템 제어기 (550) 는 웨이퍼 프로세싱의 원격 액세스를 가능하게 할 수 있는 공장 (fab) 호스트 컴퓨터 시스템의 전부 또는 일부이거나 "클라우드" 내에 있을 수도 있다. 컴퓨터는 제조 동작들의 현 진행을 모니터링 하고, 과거 제조 동작들의 이력을 조사하고, 복수의 제조 동작들로부터 경향들 또는 성능 계측치들을 조사하고, 현 프로세싱의 파라미터들을 변경하고, 현 프로세싱을 따르는 프로세싱 단계들을 설정하고, 또는 새로운 프로세 스를 시작하기 위해서 시스템으로의 원격 액세스를 인에이블할 수도 있다. 일부 예들에서, 원격 컴퓨터 (예를 들어, 서버) 는 로컬 네트워크 또는 인터넷을 포함할 수도 있는 네트워크를 통해서 프로세스 레시피들을 시스템 에 제공할 수 있다. 원격 컴퓨터는 차후에 원격 컴퓨터로부터 시스템으로 전달될 파라미터들 및/또는 설정사항 들의 입력 또는 프로그래밍을 인에이블하는 사용자 인터페이스를 포함할 수도 있다. 일부 예들에서, 시스템 제 어기 (550) 는 하나 이상의 동작들 동안에 수행될 프로세스 단계들 각각에 대한 파라미터들을 특정한, 데이터의 형태의 인스트럭션들을 수신한다. 이 파라미터들은 시스템 제어기 (550) 가 제어하거나 인터페이스하도록 구성 된 툴의 타입 및 수행될 프로세스의 타입에 특정적일 수도 있다는 것이 이해되어야 한다. 따라서, 상술한 바와 같이, 시스템 제어기 (550) 는 예를 들어 서로 네트워킹되어서 함께 공통 목적을 위해서, 예를 들어 본 명세서 에 기술된 프로세스들 및 제어들을 위해서 협력하는 하나 이상의 개별 제어기들을 포함함으로써 분산될 수도 있 다. 이러한 목적을 위한 분산형 제어기의 예는 챔버 상의 프로세스를 제어하도록 조합되는, (예를 들어, 플랫폼 레벨에서 또는 원격 컴퓨터의 일부로서) 원격으로 위치한 하나 이상의 집적 회로들과 통신하는 챔버 상의 하 나 이상의 집적 회로들일 수 있다.

[0087] 비한정적으로, 예시적인 시스템들은 플라즈마 에칭 챔버 또는 모듈, 증착 챔버 또는 모듈, 스핀-린스 챔버 또는 모듈, 금속 도금 챔버 또는 모듈, 세정 챔버 또는 모듈, 베벨 에지 에칭 챔버 또는 모듈, PVD (physical vapor deposition) 챔버 또는 모듈, CVD 또는 PECVD 챔버 또는 모듈, ALD 또는 PEALD 챔버 또는 모듈, ALE (atomic layer etch) 챔버 또는 모듈, 이온 주입 챔버 또는 모듈, 트랙 (track) 챔버 또는 모듈, 및 반도체 웨이퍼들의 제조 및/또는 제작 시에 사용되거나 연관될 수도 있는 임의의 다른 반도체 프로세싱 시스템들을 포함할 수도 있 다.

[0088] 상술한 바와 같이, 툴에 의해서 수행될 프로세스 단계 또는 단계들에 따라서, 시스템 제어기 (550) 는, 반도체 제작 공장 내의 툴 위치들 및/또는 로드 포트들로부터/로 웨이퍼들의 컨테이너들을 이동시키는 재료 이송 시에 사용되는, 다른 툴 회로들 또는 모듈들, 다른 툴 컴포넌트들, 클러스터 툴들, 다른 툴 인터페이스들, 인접 툴들, 이웃하는 툴들, 공장 도처에 위치한 툴들, 메인 컴퓨터, 또 다른 제어기 또는 툴들 중 하나 이상과 통신 할 수도 있다.

[0089] 본 명세서에 개시된 방법들을 수행하기 위한 적절한 장치는 2011년 4월 11일 출원된 명칭이 "PLASMA ACTIVATED CONFORMAL FILM DEPOSITION"인 미국 특허 출원번호 제 13/084,399 호 (현재 미국 특허 제 8,728,956 호); 및 2011년 4월 11일 출원된 명칭이 "SILICON NITRIDE FILMS AND METHODS"인 미국 특허 출원번호 제 13/084,305 호 에 더 논의되고 기술되며, 상기 출원 각각은 전체가 본 명세서에 참조로서 인용된다.

[0090] 본 명세서에 기술된 장치 및 프로세스는, 예를 들어, 반도체 디바이스들, 디스플레이들, LEDs, 광전 패널들 등 의 제조 또는 제작을 위해, 리소그래피 패터닝 툴들 또는 프로세스들과 함께 사용될 수도 있다. 통상적으로,

반드시 그런 것은 아니지만, 이러한 툴들/프로세스들은 공통 제조 설비 내에서 함께 이용되거나 수행될 것이다. 막의 리소그래픽 패터닝은 통상적으로 동작들 각각이 다수의 가능한 툴들을 사용하여 인에이블되는, 이하의 동작들: (1) 스펀-온 (spin-on) 툴 또는 스프레이-온 (spray-on) 툴을 사용하여 워크피스, 즉, 기판 상에 포토레지스트를 도포하는 단계; (2) 핫 플레이트 또는 피니스 또는 UV 경화 툴을 사용하여 포토레지스트를 경화하는 단계; (3) 웨이퍼 스텝퍼와 같은 툴을 사용하여 가시광선 또는 UV 또는 x-선 광에 포토레지스트를 노출시키는 단계; (4) 습식 벤치와 같은 툴을 사용하여 레지스트를 선택적으로 제거하여 레지스트를 패터닝하도록 레지스트를 현상하는 단계; (5) 건식 또는 플라즈마 보조 에칭 툴을 사용함으로써 그 아래에 놓인 막 또는 워크피스 내로 레지스트 패턴을 전사하는 단계; 및 (6) RF 또는 마이크로파 플라즈마 레지스트 스트립퍼와 같은 툴을 사용하여 레지스트를 제거하는 단계의 일부 또는 전부를 포함한다.

[0091] 실험

[0092] 실험 1

[0093] 실험은 기판 상의 피처들 내에 ALD에 의해 증착된 옥사이드에 대해 수행되었다. 피처의 측벽들로부터 옥사이드가 성장하는 피처들의 중심에 심이 형성된다. 이 기판의 이미지는 도 6에 도시된다. 틸팅된 동일한 기판의 대안적인 도면 및 업사이드 다운 (upside down) 이 도 7a에 도시된다. 심 (711) 이 피처들 내에 존재한다는 것을 주의한다.

[0094] 실리콘 나이트라이드 캡핑 층이 1000 Å의 두께로 기판 위에 증착되고 기판은 실리콘 나이트라이드 막을 인장성이 되게 하고 이에 따라 아래에 있는 옥사이드를 치밀화하도록 800 °C에서 어닐링되었다. 발생하는 기판의 이미지가 도 7b에 도시된다. 심 (721) 이 도 7a와 비교하여 감소되었고, 이는 막을 치밀화하기 위한 개시된 실시예들의 효과를 도시한다는 것을 주의한다.

[0095] 실험 2

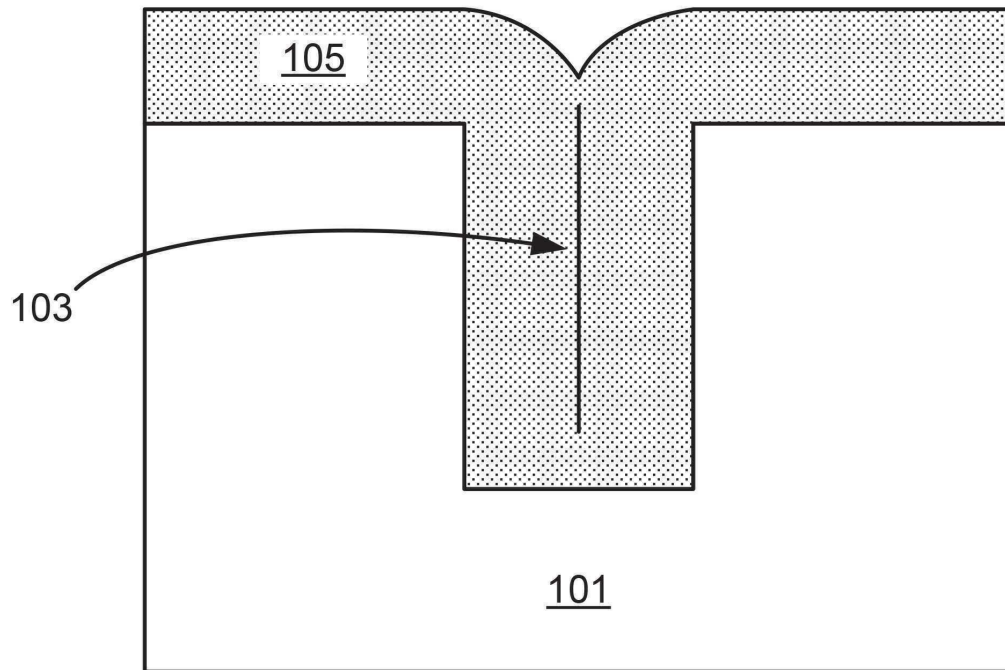
[0096] 실험은 ALD에 의해 기판 상의 피처들 내에 증착된 옥사이드에 대해 수행되었다. 피처의 측벽들로부터 옥사이드가 성장하는 피처들의 중심에 심이 형성된다. 실리콘 나이트라이드 캡 층이 2000 Å의 두께로 기판 위에 증착되고 기판은 실리콘 나이트라이드 막이 인장성이 되게 하고 이에 따라 아래에 놓인 옥사이드를 치밀화하도록 800 °C에서 어닐링되었다. 발생하는 기판의 이미지가 도 7c에 도시된다. 심 (731) 은 도 7b와 비교하여 훨씬 보다 많이 감소된다. 인장성 재료 (여기서, 실리콘 나이트라이드) 의 두께가 증가됨에 따라, 심은 더 감소되고 보수된다.

[0097] 결론

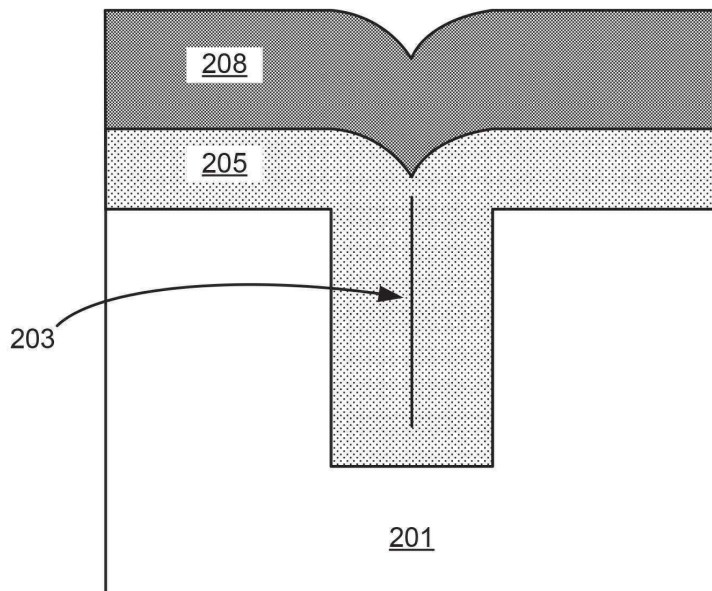
[0098] 전술한 실시예들이 이해의 명확성을 목적으로 다소 상세히 기술되었지만, 특정한 변화들 및 수정들이 첨부된 청구항들의 범위 내에서 실시될 수 있다는 것이 자명할 것이다. 본 실시예들의 프로세스들, 시스템들, 및 장치를 구현하는 많은 대안적인 방식들이 있다는 것을 주의해야 한다. 따라서, 본 실시예들은 예시적이고 제한하지 않는 것으로 간주되고, 실시예들은 본 명세서에 제공된 상세들로 제한되지 않는다.

도면

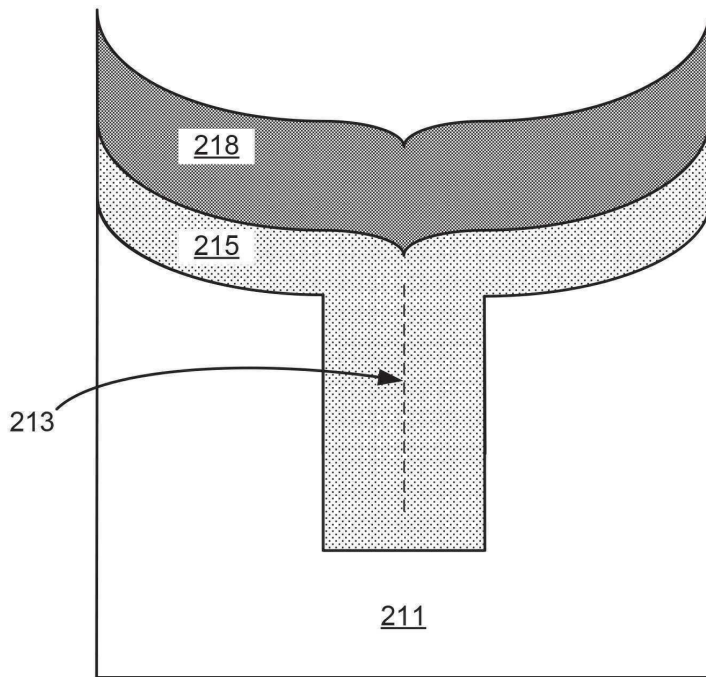
도면1



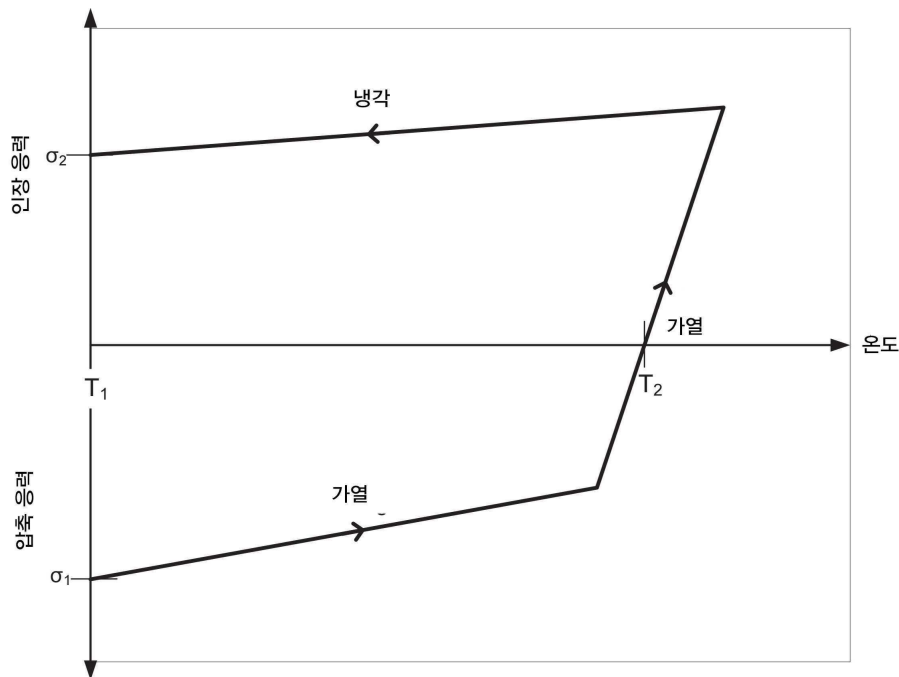
도면2a



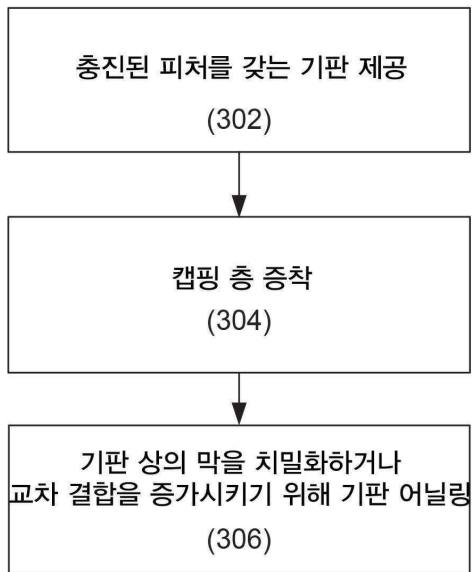
도면2b



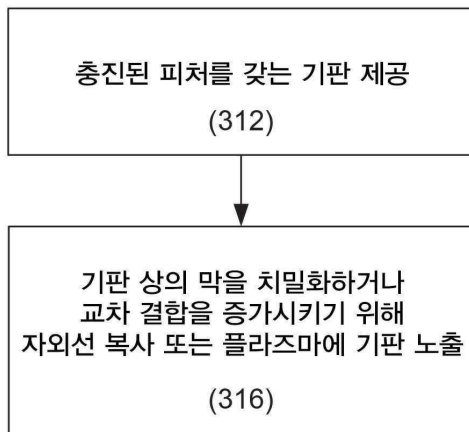
도면2c



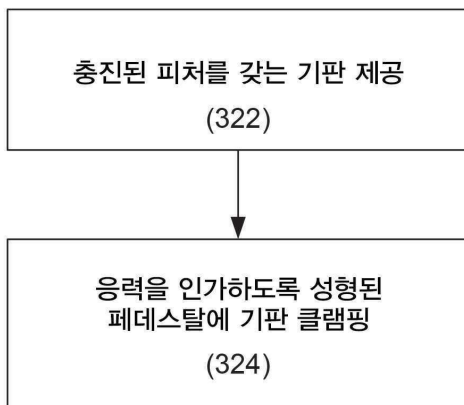
도면3a



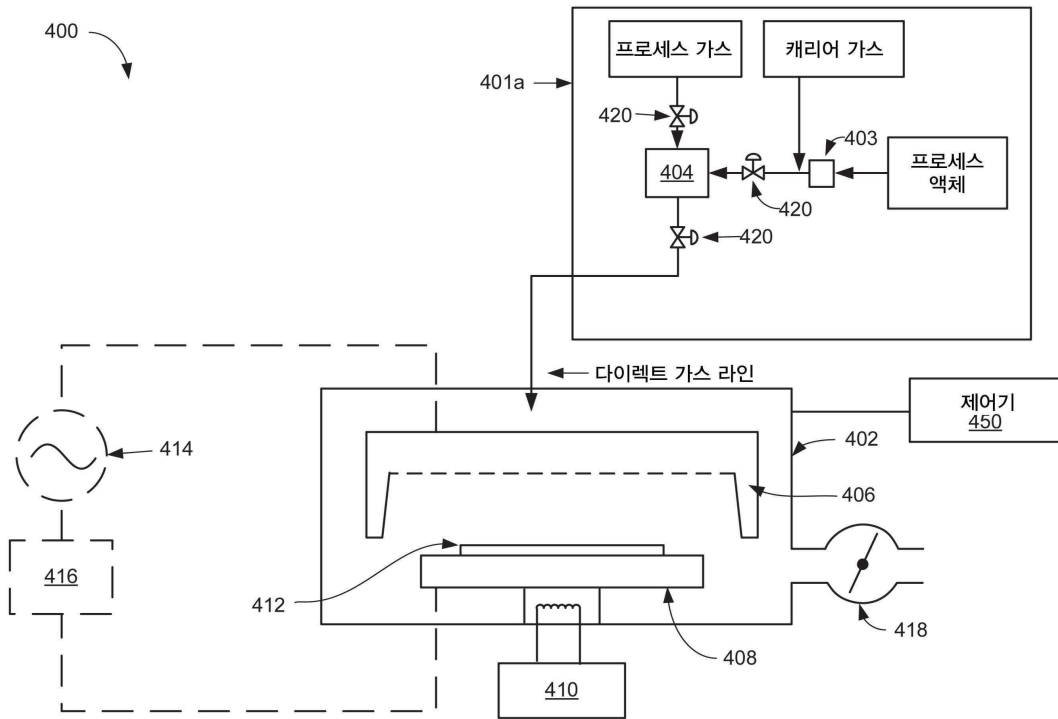
도면3b



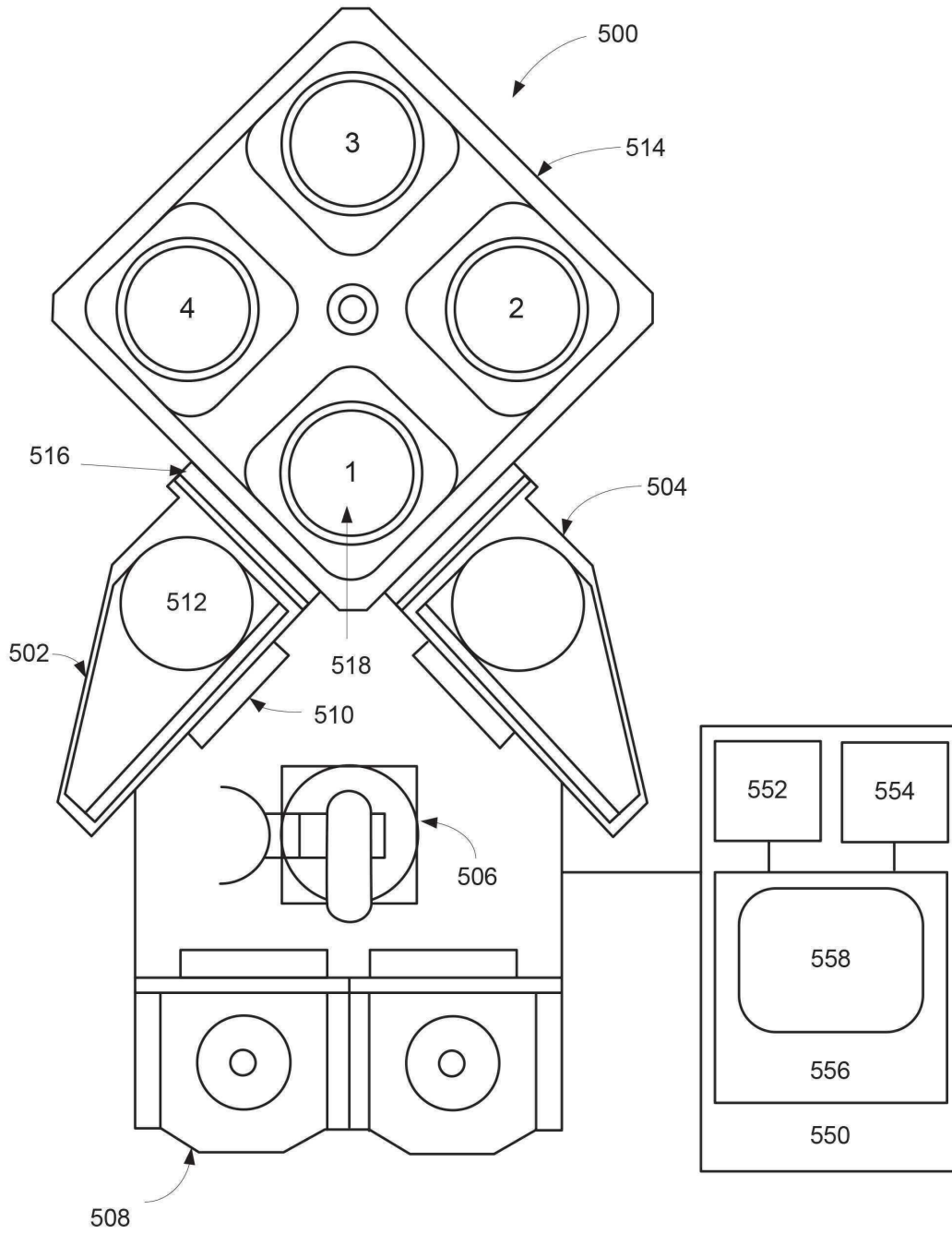
도면3c



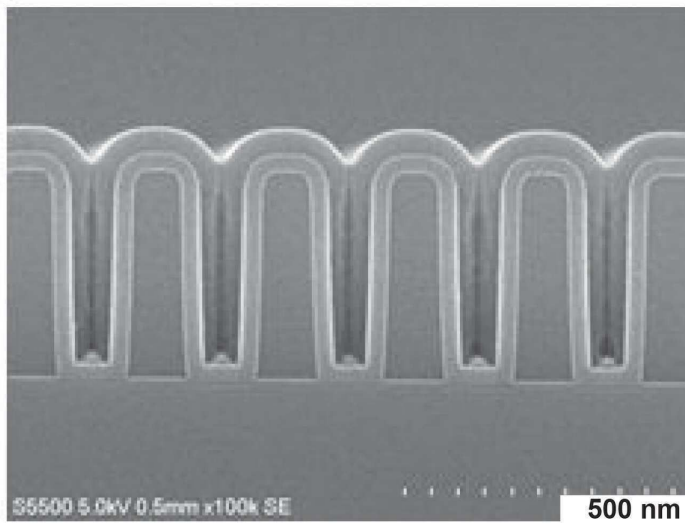
도면4



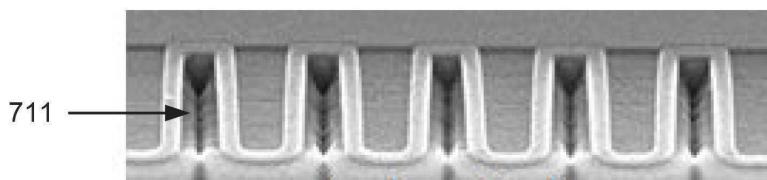
도면5



도면6



도면7a



도면7b



도면7c

