

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94127746

※申請日期： 94. 8. 10

※IPC 分類：H01L 29/76

一、發明名稱：(中文/英文)

嵌壁式半導體裝置

RECESSED SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路 7700 號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 李新華
LI, HSIN-HUA P.
2. 布魯斯 M 葛萊恩
GREEN, BRUCE M.
3. 歐琳 L 哈爾汀
HARTIN, OLIN L.
4. 艾倫 Y 藍
LAN, ELLEN Y.
5. 查理斯 E 偉特茲
WEITZEL, CHARLES E.

國 籍：(中文/英文)

1. 中華民國 R.O.C. (TAIWAN)
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004 年 08 月 25 日；10/925,855

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種半導體結構，其包括一第一半導體層(22)、該第一半導體層上之一第二半導體層(24)、該第二半導體層上之一第三半導體層(25)以及該第三半導體層上之一第四半導體層(26)。將一第一導電部分(144)耦合至該第一半導體層，並在該第一半導體層上形成一第二導電部分(50)。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (15) 圖。

(二)本代表圖之元件符號簡單說明：

12	基板
13	緩衝層
14	阻障層
16	摻雜層
18	覆蓋通道層
20	摻雜層
22	阻障層
24	第三嵌壁層
25	第二嵌壁層
26	第一嵌壁層
30	S/D 歐姆接觸
32	介電層
43	阻障金屬層
50	場平板
110	電晶體
134	介電層
136	頂部介電層
144	高導電率閘極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體，更特定言之係關於積體電路內之半導體裝置。

【先前技術】

隨著功率處理能力之需求增加，微波電晶體需要在日益增加之頻率下操作。例如，越來越需要在超出二十伏特之電壓下在多重GHz範圍之頻率範圍內操作的電晶體。在半導體材料內組合來自元素週期表III至V或II至VI族之一種以上原子的化合物半導體係用於高頻、高效通訊應用之材料系統選擇。與化合物半導體相比，採用矽之半導體更經常得以使用。然而，矽基半導體由於矽固有之電子傳輸特性而在操作頻率範圍方面受限。具有矽基板之熟知電晶體為矽LDMOS(橫向雙擴散金氧半導體)電晶體。雖然典型LDMOS電晶體能夠採用超過二十伏特之偏電壓操作，此類電晶體之頻率受限，其不大於低GHz範圍(例如最高至3GHz)。因此，已知LDMOS電晶體之操作效率小於許多現代通訊系統期望之效率。因此，其他技術已集中於擴展化合物半導體裝置之操作電壓。

一種提出之化合物半導體裝置使用稱為步進閘極電晶體的結構。步進閘極電晶體之共同特徵係閘極具有接近通道的兩個相同電位下之區域。第一區域形成與通道區域之肖特基接面。第二區域係閘極之延伸部分，其越過介電區域向汲極延伸。另一種化合物半導體裝置採用場平板電晶

體，其具有一閘極，該閘極具有通道附近的任意電位下之二區域。

兩種裝置中，皆出現肖特基接面與汲極間的半導體表面之顯著空乏。雖然某些已知步進閘極及場平板電晶體在高於二十伏特之電壓下操作，此類電晶體係在低功率密度及低效率下操作。由於化合物半導體裝置之此類限制，LDMOS電晶體通常在商業上更普遍地用於微波應用，而非化合物半導體裝置。然而，需要存在使用步進閘極或場平板電晶體並獲得此裝置對於高電壓應用之優點。因此，需要可用於高電壓應用之步進閘極或場平板電晶體。

【發明內容】

以下說明係提供本發明至少一項範例之詳細說明，不應視為對本發明本身之限制。相反，任何變化可屬於此說明後之申請專利範圍中所準確定義的本發明之範疇內。

一種半導體結構包括一第一半導體層、該第一半導體層上之一第二半導體層、該第二半導體層上之一第三半導體層、該第三半導體層上之一第四半導體層、耦合至該第一半導體層之一第一導電部分、以及該第一半導體層上之一第二導電部分。第二半導體層可比第三半導體層更厚。一項具體實施例中，第二半導體層具有一第一長度，第三半導體層具有一第二長度，其中第二長度小於第一長度，且第四半導體層具有一第三長度，其中第三長度小於第二長度。一項具體實施例中，第二半導體層包括一第一嵌壁層，第三半導體層包括一第二嵌壁層，且第四半導體層包括一

第三嵌壁層。

一項具體實施例中，第二導電部分實體上與第一嵌壁層、第二嵌壁層及第三嵌壁層隔離。一種形式中，第二導電部分與第一嵌壁層電性絕緣。一項具體實施例中，第一導電部分包括一控制電極，且第二導電部分包括一場平板。一項具體實施例中，第一導電部分與第二導電部分耦合在一起。第一及第二導電部分可為相同結構之部分。從圖式及其相關連說明可獲得更充分之理解。

【實施方式】

圖1內說明依據本發明的(不完整)電晶體10之斷面圖。圖1至9之連續說明用於形成電晶體10之程序。電晶體10係各種電晶體之示範，例如微波場效電晶體及假晶高電子遷移率電晶體。

提供基板12，其中基板較佳由GaAs形成。其他形式中，應瞭解基板12可由作為化合物半導體材料系統之任何材料，例如InP、GaN等等，以及以上各項之組合來形成。

基板12上覆蓋一緩衝層13。一種形式中，緩衝層13由複數個替代材料層或單一材料形成。覆蓋GaAs基板之緩衝層在文獻中已清楚地加以描述。此外，緩衝層13可為彼此分級之材料。

緩衝層13上覆蓋一背面阻障層14。一種形式中，背面阻障層14由 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 形成，儘管可使用其他化合物半導體材料，例如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 或 $\text{In}_x\text{Ga}_{1-x}\text{P}$ 。此處「x」表示鋁莫耳分率，並具有零與一之間的一值。背面阻障層14與覆蓋通道層18之

間的介面附近為較低平面摻雜層16。較低平面摻雜層16具有摻雜物原子的一或數個原子層。

覆蓋通道層18由砷化銦鎵($\text{In}_x\text{Ga}_{1-x}\text{As}$)形成，此處「 x 」表示銦莫耳分率，並具有零與一間的範圍。 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 係用於電晶體10之通道的特別有利材料。特定言之， $\text{In}_x\text{Ga}_{1-x}\text{As}$ 係具有比 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 更小的能帶隙以及比 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 更高之電子遷移率的材料，其係用於背面及前端阻障層14及22的較佳材料。與先前使用之摻雜GaAs電晶體通道相比，此較高遷移率帶來之速度增強特別有利。應瞭解可使用除 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 外的材料。例如，對於GaN基電晶體，通道材料可使用 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 。通道層18與背面阻障層14間的介面形成基板12上的第一異質介面。

通道層18上覆蓋一阻障層22。一種形式中，阻障層22由 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 組成。阻障層22可使用III至V族的其他材料，例如 $\text{In}_x\text{Ga}_{1-x}\text{P}$ 或 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 。阻障層22內係較高平面摻雜層20，其具有摻雜物原子的一或多個原子層。較高平面摻雜層20形成與通道層18上表面的第二異質介面。每一較低平面摻雜層16及較高平面摻雜層20內的摻雜物原子可為矽、硒、碲以及其他材料之任一項。採用通道層18任一側上的摻雜，操作中來自摻雜物原子之電子得以熱激發並進入通道層18，因為通道層18為具有較低導電能帶之區域。

阻障層22上覆蓋非有意摻雜(NID)層24，其覆蓋第二異質介面。NID層24用作第三嵌壁層，因為隨後處理中，NID層24將作為欲加以選擇性凹陷的電晶體10內之第三層。本文

所使用之術語嵌壁為層內間隙。嵌壁層為具有嵌壁或間隙的一層，其中該層從出現間隙前該層先前所覆蓋之位置「嵌壁式」。一種形式中，NID層24由GaAs形成。背面阻障層14、通道層18及具有較高平面摻雜層20及較低平面摻雜層16之阻障層22形成一雙重異質接面。背面阻障層14及阻障層22各用作一包覆層。

NID層24上覆蓋一層25。層25用作第二嵌壁層，因為隨後處理中，層25將作為欲加以選擇性凹陷的電晶體10內之第二層。一種形式中，NID層25由輕度摻雜GaAs形成。另一形式中，層25為另一NID層，其可為GaAs。

層25上覆蓋一第一嵌壁層26。第一嵌壁層26隨後將作為欲加以選擇性凹陷的電晶體10內之第一層，一項具體實施例中其係藉由蝕刻發生。一種形式中，第一嵌壁層26為重度摻雜半導體層，例如N型GaAs。一項具體實施例中，使用 5×10^{18} 原子/cm³之n型摻雜濃度。隨後處理中，來自第一嵌壁層26之某些摻雜質將在某種程度上擴散至層25內，以便層25最終得以某種程度的輕度摻雜。其他材料，例如III至V族的任何半導體層，可用於第一嵌壁層26。第一嵌壁層26稍後將提供與電晶體10之通道層18的改良歐姆接觸，並用於形成電晶體10之源極及汲極區域。應瞭解圖1內所說明的每一層可藉由MBE(分子束磊晶)、MOCVD(金屬有機化學汽相沉積)等技術或以上技術之組合在反應器等內加以形成。

圖2內說明電晶體10之進一步處理，其中在第一嵌壁層26

內形成第一嵌壁27。第一嵌壁27通常藉由傳統濕式化學蝕刻技術來形成。第一嵌壁27將第一嵌壁層26分為兩部分，每一部分對應於源極區域28及汲極區域29之一。第一嵌壁27從電晶體10之源極區域28延伸至汲極區域29。選擇第一嵌壁27之寬度，以提供電晶體10的充分崩潰電壓、 $BVGDO$ (關閉狀態中之閘極/汲極之崩潰電壓)，而不劣化電晶體性能，其出現於寬度過大的情況。一項具體實施例中，第一嵌壁27之寬度大約為二至八微米。

圖3內說明電晶體10之進一步處理，其中在第二嵌壁層25內形成第二嵌壁23。第二嵌壁23通常藉由傳統濕式化學蝕刻技術來形成。選擇第二嵌壁23之寬度，以提供電晶體10的充分崩潰電壓、 $BVGDO$ (關閉狀態中之閘極/汲極之崩潰電壓)，而不會出現長度過寬情況下的電晶體性能劣化。一項具體實施例中，第二嵌壁23之寬度大約為一至五微米。如圖3所示，源極區域28及汲極區域29係第一嵌壁層26下的區域，並垂直地從阻障層22延伸至第一嵌壁層26。

圖4內說明電晶體10之進一步處理，其中提供介電層32，其覆蓋嵌壁27及23內之NID層24，並覆蓋源極及汲極區域28及29。一種形式中，介電層32為 Si_xN_y ；可使用任何其他材料。一項具體實施例中，第一介電層大約為100至2000埃(10至200奈米)。在圖1至9內說明的形式中，介電層32為步進閘極介電質。形成覆蓋介電層32之層間介電層34，其厚度大約為500至20,000埃(50至2,000奈米)。一種形式中，層間介電層34由 SiO_2 形成。如以下詳細說明，介電層32及層間

介電層34部分用於定義閘極之(控制電極之)實體尺寸。

圖5內說明電晶體10之進一步處理，其中蝕刻介電層32及層間介電層34之一部分，以建立用於形成源極/汲極(S/D)歐姆接觸30之開口(未顯示)。源極/汲極(S/D)歐姆接觸30分別沉積於源極區域28及汲極區域29(圖2)上並將其覆蓋。一項具體實施例中，藉由沉積Ni、Ge及Au之分層結構形成源極/汲極(S/D)歐姆接觸30。接著將此結構退火，以形成滲透入源極區域28及汲極區域29的共晶，以完全形成S/D歐姆接觸30。應明白可使用除Ni、Ge及Au外的金屬層。所說明之形式中，S/D歐姆接觸30之最左接觸為源極，S/D歐姆接觸30之最右接觸為汲極；但該組態可加以切換。

圖6內說明電晶體10之進一步處理，其中在層間介電層34及S/D歐姆接觸30上形成將其覆蓋的頂部介電層36。還應瞭解層間介電層34及頂部介電層36可合併，因為一項具體實施例中，其係相同材料，因此時間上分離地加以形成的兩區域之間的邊界不容易偵測到。

圖7內說明電晶體10之進一步處理，其中在嵌壁23及27(圖2及3)內的頂部介電層36及層間介電層34之部分上形成步進閘極開口40。步進閘極開口40係形成於源極/汲極歐姆接觸30之間。各種傳統技術可用於實施蝕刻停止層(未顯示)，其可用於決定蝕刻操作結束而不會蝕刻至介電層32內的點。例如，可將薄AlN層(未顯示)插入介電層32與層間介電層34間，以執行蝕刻停止層功能。

圖8內說明電晶體10之進一步處理，其中將肖特基閘極開

口42所定義的肖特基閘極區域形成於步進閘極開口40下方並穿過介電層32及NID層24。為形成肖特基閘極開口42，使第三嵌壁層24凹陷。形成肖特基閘極開口42包括至少定義汲極步進閘極長度45，其在圖8中係在肖特基閘極開口42之右側。汲極步進閘極長度45藉由將空乏區域延伸至隨後形成的高導電率閘極44下，增加裝置崩潰電壓並減小對通道的閘極洩漏電流。汲極步進閘極長度45在0.5至1.5 μm 之等級上。根據介電層32及NID層24之厚度可使用其他範圍。肖特基閘極開口42之左側為源極端步進閘極長度47。源極端步進閘極長度47小於汲極步進閘極長度45。源極端步進閘極長度47受限於與步進閘極開口40對準之能力，例如在0.1至0.3 μm 之等級上。將源極端步進閘極長度47製造的較小，以最小化額外閘極電容。

圖9內說明電晶體10之進一步處理，其中在電晶體10上形成阻障金屬層43及高導電率閘極44。一項具體實施例中，阻障金屬層43係覆蓋沉積於電晶體10上。一種形式中，阻障金屬層43為TiWN或其他材料，例如TiPtAu。阻障金屬層43覆蓋步進閘極開口40之側壁。

提供光罩(未顯示)，例如光阻，以在步進閘極開口40(圖8)內形成一金屬，例如Au。可用許多方式實施金屬形成，包括金屬電鍍、蒸發或任何其他沉積程序。金屬之形成提供圖9內之一高導電率閘極44，其延伸至頂部介電層36之上表面上方。一項具體實施例中，高導電率閘極44為肖特基閘極。在形成高導電率閘極44後，蝕刻除去阻障金屬層43

之曝露部分，以便僅留下阻障金屬層43在高導電率閘極44與高導電率閘極44之周圍材料間的部分。阻障金屬層43防止高導電率閘極44擴散至阻障層22、NID層24、介電層32、層間介電層34及頂部介電層36之任一項中。此外，可移除高導電率閘極44覆蓋頂部介電層36並處於步進閘極開口40(圖7)外部的部分。

另外可繼續傳統處理。例如，應注意藉由任何傳統技術製造與每一S/D歐姆接觸30之電性互連。例如一種形式中，可針對每一源極/汲極歐姆接觸30實施透過頂部介電層36形成之通道(未顯示)。另一形式中，垂直於圖9之視圖平面的互連可用於製造與每一S/D歐姆接觸30之電性連接。

若高導電率閘極44之部分45未在介電層32上，仍可藉由形成場平板50延伸空乏區域。圖10至15說明用於形成與圖1至9類似但包括場平板50之電晶體的程序。

圖10內說明依據本發明的不完整電晶體110之斷面圖。圖10至15之連續說明用於形成電晶體110之程序。電晶體110係各種類型電晶體之示範，例如微波場效電晶體及假晶高電子遷移率電晶體。

電晶體110包括基板12、緩衝層13、背面阻障層14、覆蓋通道層18、阻障層22及非有意摻雜(NID)層24。NID層24上覆蓋作為第二嵌壁層25的層25，因為其係在第一嵌壁層26後加以圖案化。一項具體實施例中，層25係另一NID層。已使第一嵌壁層26及第二嵌壁層25凹陷，以使用先前所討論之程序，例如傳統濕式蝕刻程序，形成圖10內之開口(未顯

示)。在第一嵌壁層26及第二嵌壁層25之開口內形成介電層32。直到此時，處理即使與圖1至4不同，也較相似。

在介電層32及第二嵌壁層25內之開口(現在已填滿介電層32)上形成場平板電極50。場平板電極50可為任何導電材料，較佳的係與與隨後形成之高度導電閘極相同的材料。一項具體實施例中，場平板電極50為鈦鎢、鈦金、鈦鉑金等或上述之組合。該場平板電極50可藉由任何方法形成。一項具體實施例中，導電層藉由沉積方法形成，例如化學汽相沉積(CVD)、物理汽相沉積(PVD)、原子層沉積(ALD)、無電電鍍、電鍍等或以上方法之組合。接著藉由例如蝕刻或剝離圖案化導電層，以形成場平板電極50。討論進一步處理後將說明形成場平板電極50之目的。

圖11內說明在形成場平板電極50後在介電層32上形成層間介電層134。層間介電層134可為針對層間介電質34討論的任何材料。

圖12內說明在形成層間介電層134後形成源極/汲極(S/D)歐姆接觸30。蝕刻介電層32及層間介電層134，以建立用於形成源極/汲極(S/D)歐姆接觸30之開口(未顯示)。與圖5內相同，將S/D歐姆接觸30分別沉積於源極區域及汲極區域上並將其覆蓋。所說明之形式中，S/D歐姆接觸30之最左接觸為源極，S/D歐姆接觸30之最右接觸為汲極；但該組態可加以切換。

圖13內說明在層間介電層134及S/D歐姆接觸30上形成將其覆蓋的頂部介電層136。頂部介電層136與圖6內之頂部介

電層36相似，可為針對頂部介電層36討論的任何材料。還應瞭解層間介電層134及頂部介電層136可合併，因為一項具體實施例中，其係相同材料，因此時間上分離地加以形成的兩區域之間的邊界不容易偵測到。

圖14內說明電晶體110之進一步處理，其中將肖特基閘極開口142所定義的肖特基閘極區域形成於頂部介電層136、層間介電層134、介電層32及NID層24內。為形成肖特基閘極開口142，使第三嵌壁層24凹陷。

圖15內說明電晶體110之進一步處理，其中在電晶體110上及肖特基閘極開口142內形成阻障金屬層143及高導電率閘極144。在一項具體實施例中係肖特基閘極之高導電率閘極144可為針對高導電率閘極44教導的任何材料，阻障金屬層143可為針對阻障金屬層43教導的任何材料。與圖8相比，因為高導電率閘極144不具有延伸超過肖特基閘極開口142並位於介電層32上的部分，所以不存在源極或汲極步進閘極長度。例如，在所說明之具體實施例中，高導電閘極144為「T」形，且「T」之頂部部分未位於介電層32上。

由於接近高導電率閘極144，場平板50可有助於在操作中延伸空乏區域。一種形式中，場平板50由電極形成。一項具體實施例中，場平板50距離高導電率閘極144大約0至0.4微米，其係從高導電率閘極144之右側壁至場平板50之左側壁來測量。透過熟習技術人士所熟知的隨後處理，例如形成金屬線，場平板50可與高導電率閘極144電性耦合。

或者，透過熟習技術人士所熟知的隨後處理，例如形成

金屬線路，場平板50可與接地電性耦合，如專利U.S. 5,119,149所教導。此有利於RF操作。因此，由於該結構可用於電性耦合場平板50與高導電率閘極144或接地，場平板50之存在給電晶體110添加了靈活性。

以上說明並非欲定義本發明之範圍。相反，本發明的範圍由所附申請專利範圍加以定義。以上說明係說明本發明之至少一項示範性具體實施例，並識別至少某些示範性變更。因此，本發明之其他具體實施例包括對以上說明的其他變更、修改、附加及或改進。因此，說明書及附圖應視為解說，而不應視為限制意義，並且此類變更皆屬本發明之範圍內。

由於以上詳細說明係示範性，當提及「一項具體實施例」時，其係示範性具體實施例。相應地，本文中使用的辭彙「一項」並不指示一旦僅一項具體實施例可具有所述特徵。相反，許多其他具體實施例可並且通常具有示範性「一項具體實施例」所述的特徵。因此，如以上所使用，當就一項具體實施例說明本發明時，該一項具體實施例係本發明的許多可能具體實施例之一。

根據本文之教導內容，熟習技術人士可容易地實施提供本文所揭示結構及方法所必需的步驟，並且將瞭解程序參數、材料、尺寸及步驟序列僅以範例方式給出，可加以改變以實現本發明範圍內的期望結構及修改。可根據此處提出的說明對本文揭示之具體實施例作出變更及修改，而不致背離以下申請專利範圍所提出的本發明之範疇。

雖然已顯示並說明本發明之特定具體實施例，熟習技術人士應清楚，根據本文之教導內容，可使用各種修改、替代結構及等效物，而不致背離此處主張之本發明。例如，基板及絕緣層可使用各種材料。因此，隨附申請專利範圍在其範圍內包含屬於本發明之真實精神與範疇內的所有此類變化、修改等等。此外，應明白本發明僅由隨附之申請專利範圍定義。

【圖式簡單說明】

以下參考示範性附圖說明本發明的各種具體實施例：

圖1至9以斷面圖形式說明用於形成嵌壁式、步進閘極、耐高電壓電晶體以及相關聯結構之程序；

圖10至15以斷面圖形式說明用於形成嵌壁式、場平板、耐高電壓電晶體以及相關聯結構之程序。

不同圖式中的相同參考符號的使用標示類似或同一項目。熟習技術人士可以發現，為了簡化及清楚起見，並沒有將圖式中的元件依照比例繪製。例如，為了有助於改進對本發明之具體實施例的瞭解，圖式中的某些元件的尺寸可相對於其他元件而加以誇大。

【主要元件符號說明】

10	電晶體
12	基板
13	緩衝層
14	阻障層
16	摻雜層

18	覆蓋通道層
20	摻雜層
22	阻障層
23	第二嵌壁
24	第三嵌壁層
25	第二嵌壁層
26	第一嵌壁層
27	第一嵌壁
28	汲極區域
29	汲極區域
30	S/D歐姆接觸
32	介電層
34	介電層
36	頂部介電層
40	步進閘極開口
42	肖特基閘極開口
43	阻障金屬層
44	高導電率閘極
45	部分
47	源極端步進閘極長度
50	場平板
110	電晶體
134	介電層
136	頂部介電層
144	高導電率閘極

十、申請專利範圍：

1. 一種半導體結構，其包含：
 - 一第一半導體層；
 - 一第二半導體層，其係在該第一半導體層上，其中該第二半導體層包含一第一嵌壁層；
 - 一第三半導體層，其係在該第二半導體層上，其中該第三半導體層包含一第二嵌壁層；
 - 一第四半導體層，其係在該第三半導體層上，其中該第四半導體層包含一第三嵌壁層；
 - 一阻障層，其耦合至該第一半導體層；
 - 一第一導電部分，其耦合該第一半導體層；以及
 - 一第二導電部分，其係在該第一半導體層上，其中該第二導電部分與該第一導電部分係分開且不同的。
2. 如請求項1之半導體結構，其中該第二導電部分係在該第二半導體層上。
3. 如請求項1之半導體結構，其中該第二導電部分與該第一嵌壁層電性絕緣。
4. 如請求項3之半導體結構，其中該第一導電部分包含一控制電極，以及該第二導電部分包含一場平板。
5. 如請求項1之半導體結構，其中將該第一導電部分與該第二導電部分耦合在一起。
6. 如請求項5之半導體結構，其中該第一導電部分與該第二導電部分係一相同結構之部分。
7. 如請求項1之半導體結構，其中：該第二導電部分實體上與該第一嵌壁層、該第二嵌壁層及該第三嵌壁層隔離。

8. 如請求項1之半導體結構，其中該第二導電部分係在一介電質上，其中該介電質係在該第一嵌壁層上，並且橫向鄰近該第二嵌壁層。
9. 如請求項1之半導體結構，其中：
 - 該第二半導體層具有一第一長度；
 - 該第三半導體層具有一第二長度，其中該第二長度小於該第一長度；以及
 - 該第四半導體層具有一第三長度，其中該第三長度小於該第二長度。
10. 如請求項1之半導體結構，其中該第二半導體層比該第三半導體層更薄。
11. 一種形成一半導體結構的方法，其包含：
 - 形成一第一半導體層；
 - 在該第一半導體層上形成一第二半導體層；
 - 使該第二半導體層關於該第一半導體層凹陷；
 - 在該第二半導體層上形成一第三半導體層；
 - 使該第三半導體層關於該第二半導體層凹陷；在該第三半導體層上形成一第四半導體層；
 - 使該第四半導體層關於該第三半導體層凹陷；
 - 在使該第四半導體層凹陷後形成一耦合至該第一半導體層之阻障層；
 - 在形成該阻障層之後形成與該第一半導體層耦合之一第一導電部分；以及
 - 在該第一半導體層上形成一第二導電部分，其中該第二導電部分係形成與該第一導電部分分開且不同的。

12. 如請求項11之方法，其進一步包含：

圖案化該第二半導體層，以形成一開口，其中該第一導電部分之一部分係在該開口內。

13. 如請求項11之方法，其中形成該第一導電部分與該第二導電部分係同時發生。

14. 如請求項11之方法，其中在形成該第二導電部分後形成該第一導電部分。

十一、圖式：

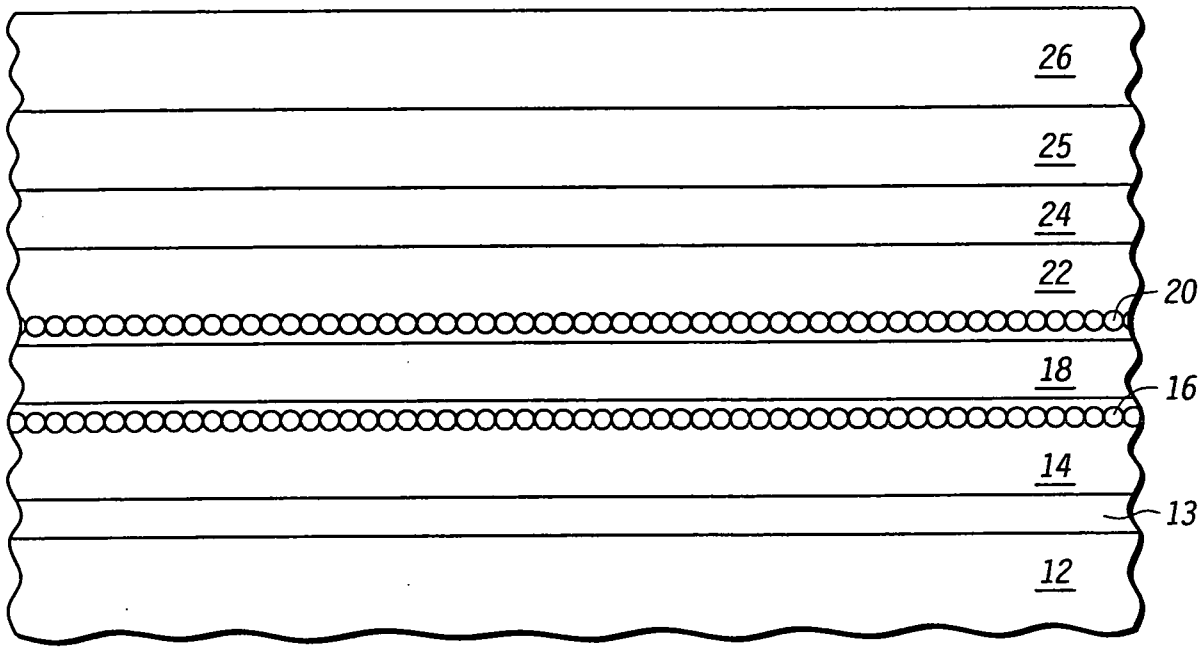


圖 1 10

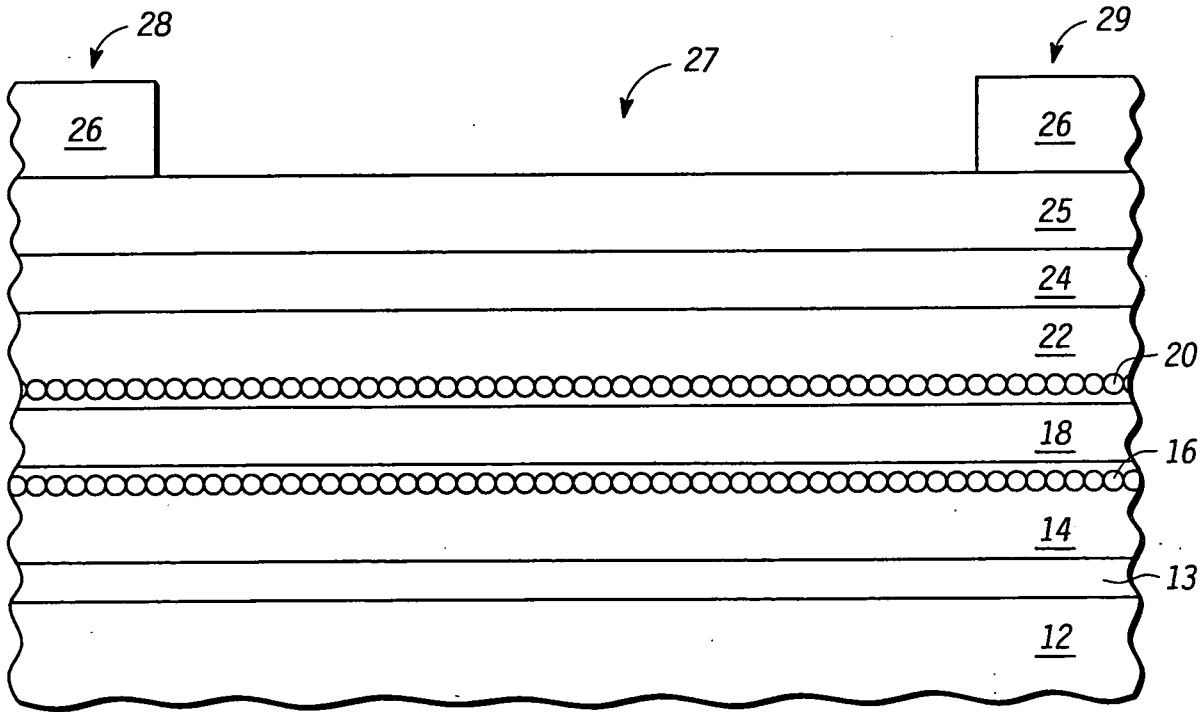


圖 2 10



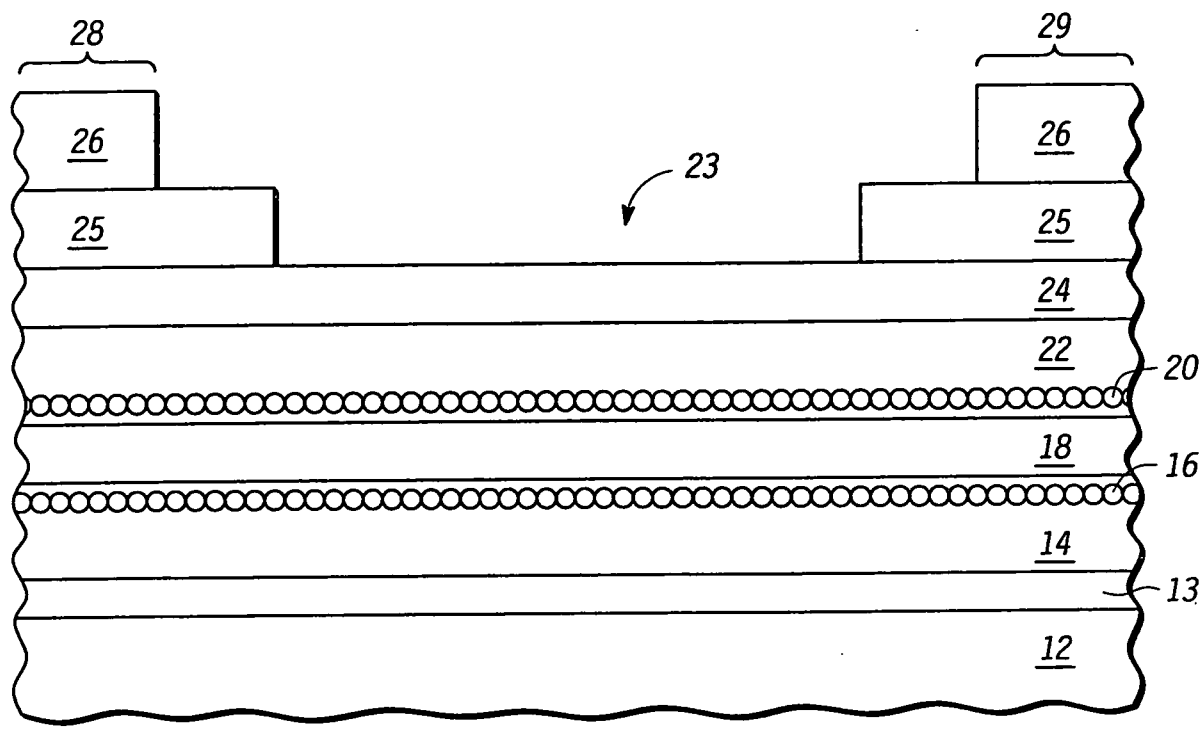


圖 3 10

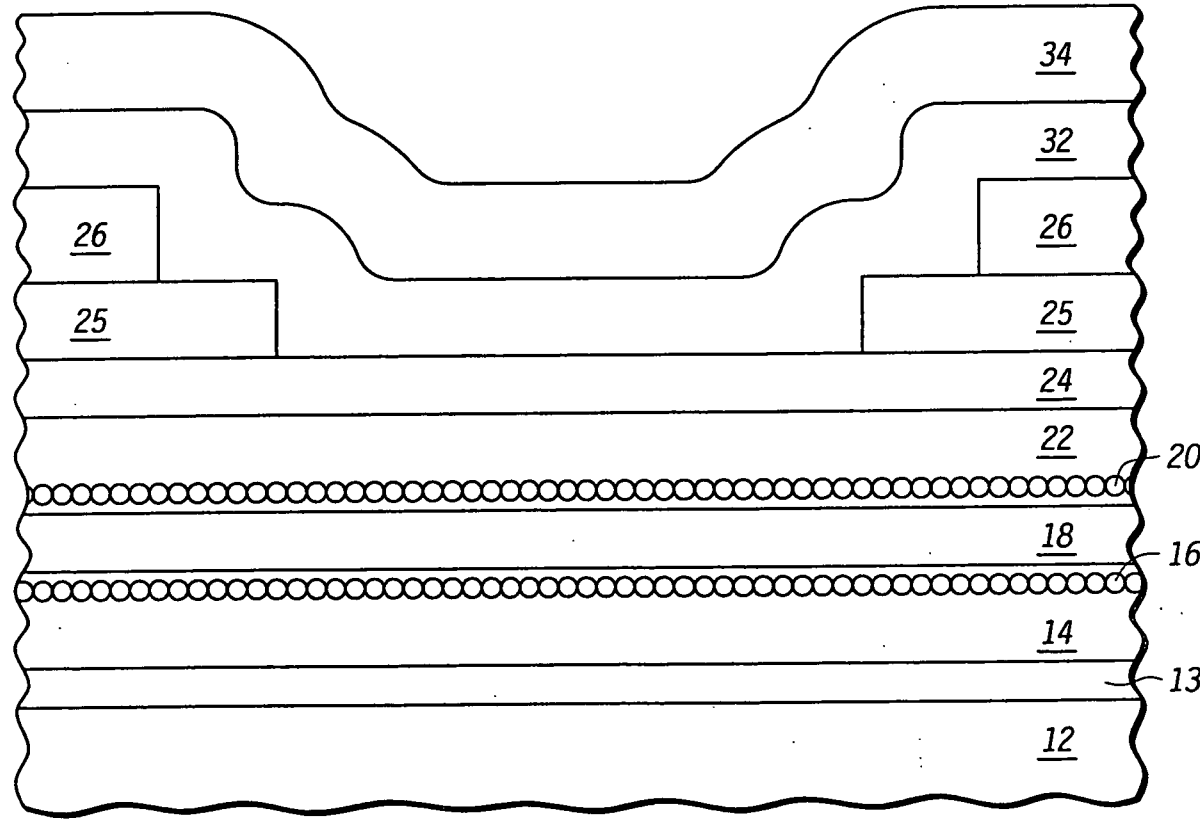


圖 4 10

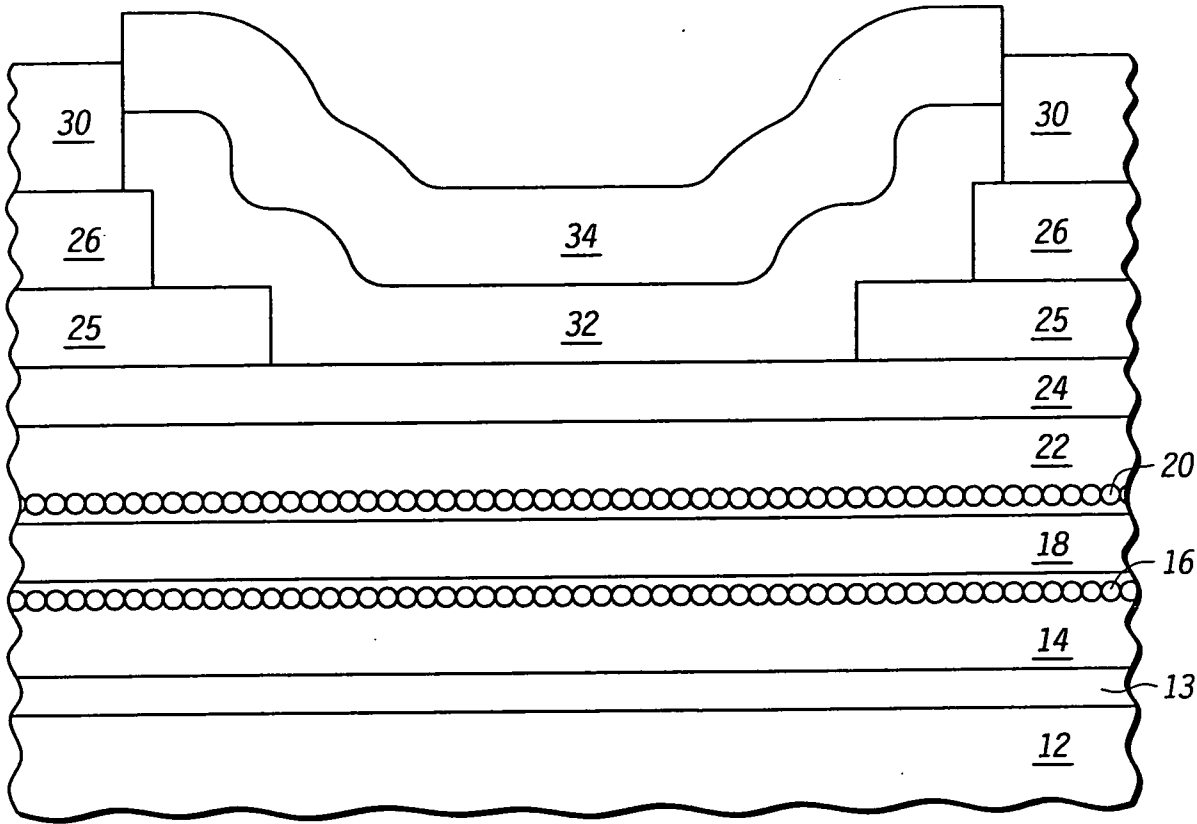


圖 5 10

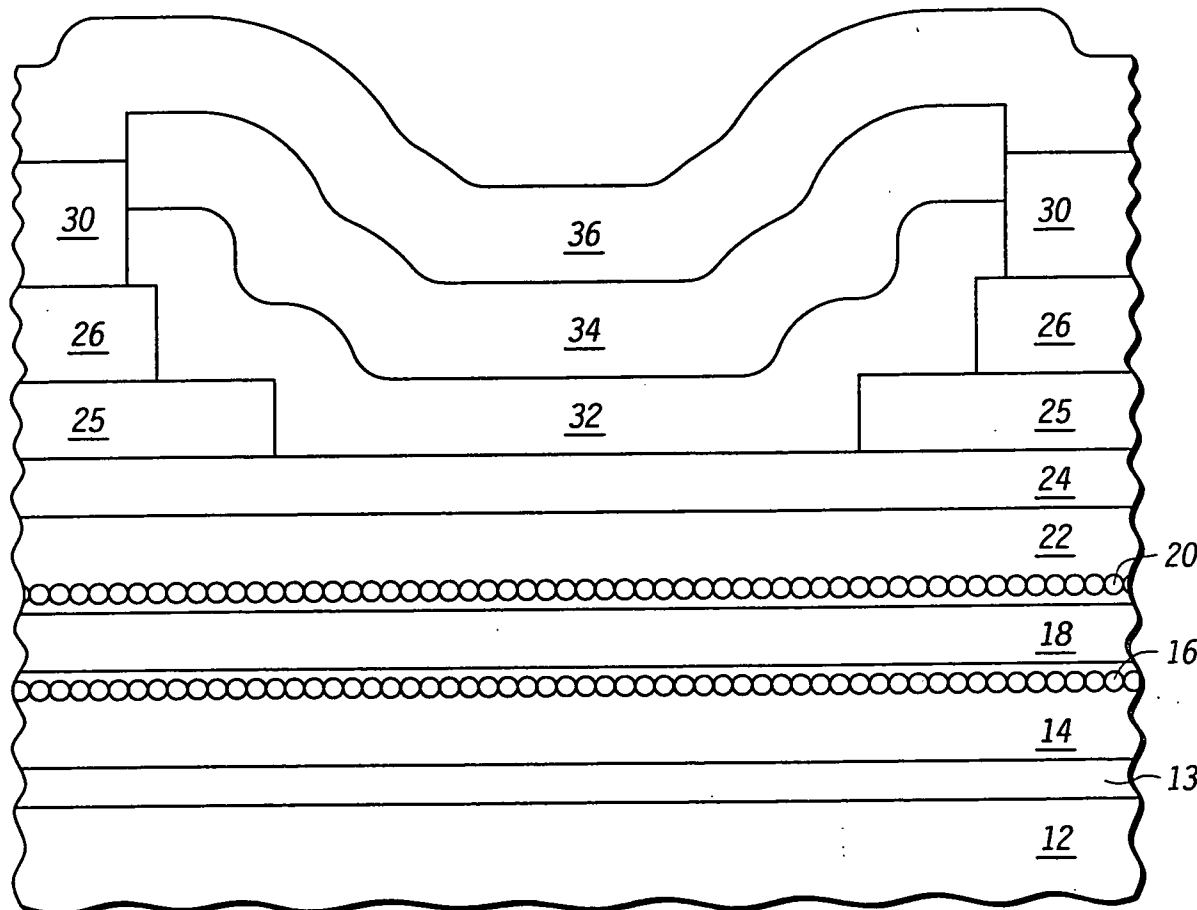


圖 6 10

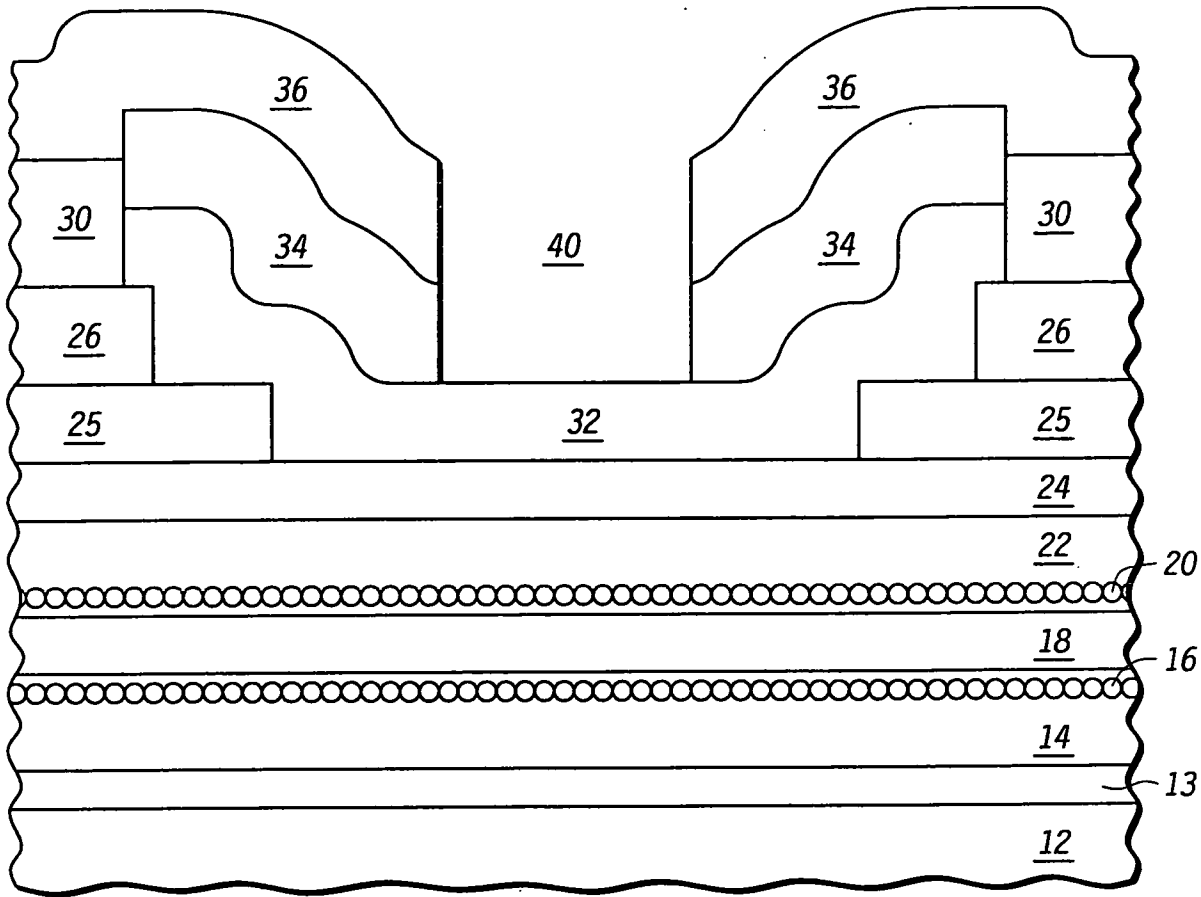


圖 7 10

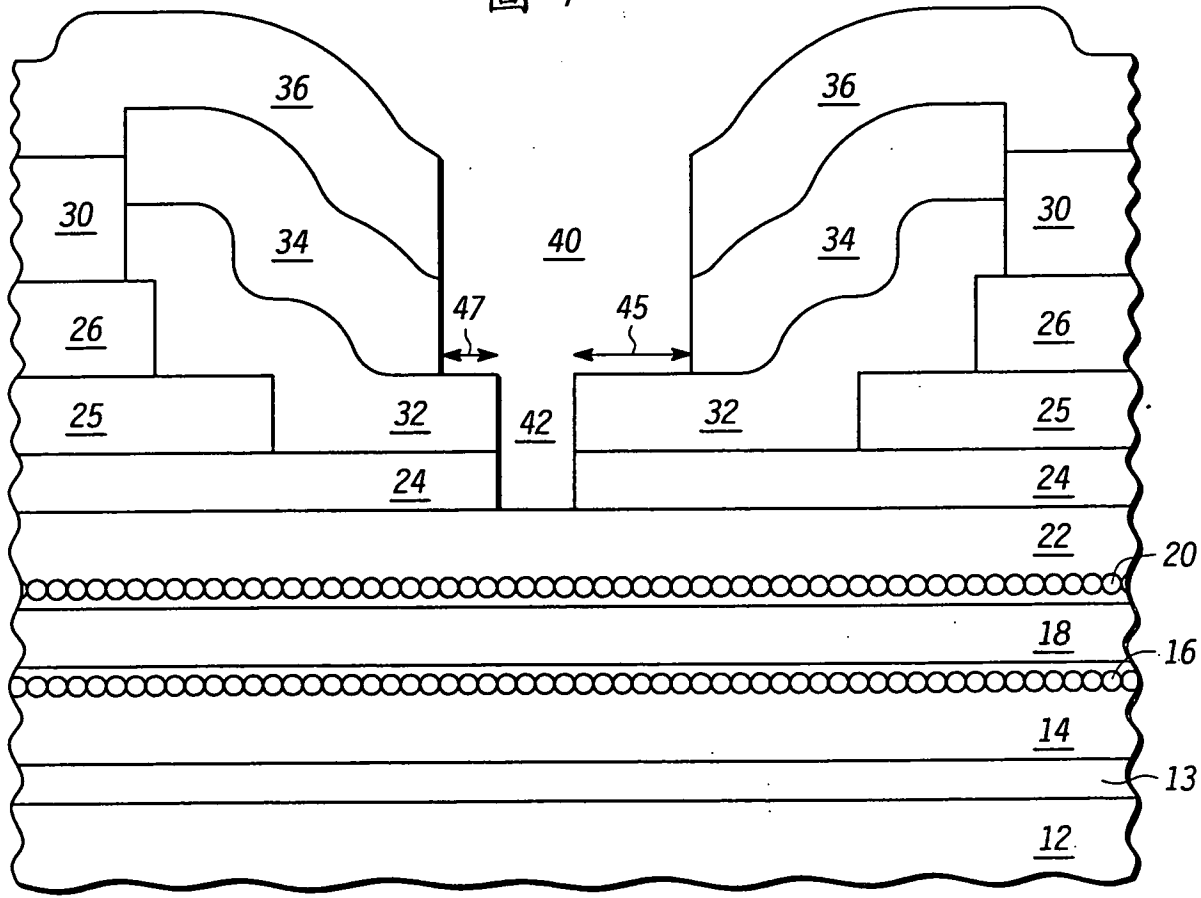


圖 8 10



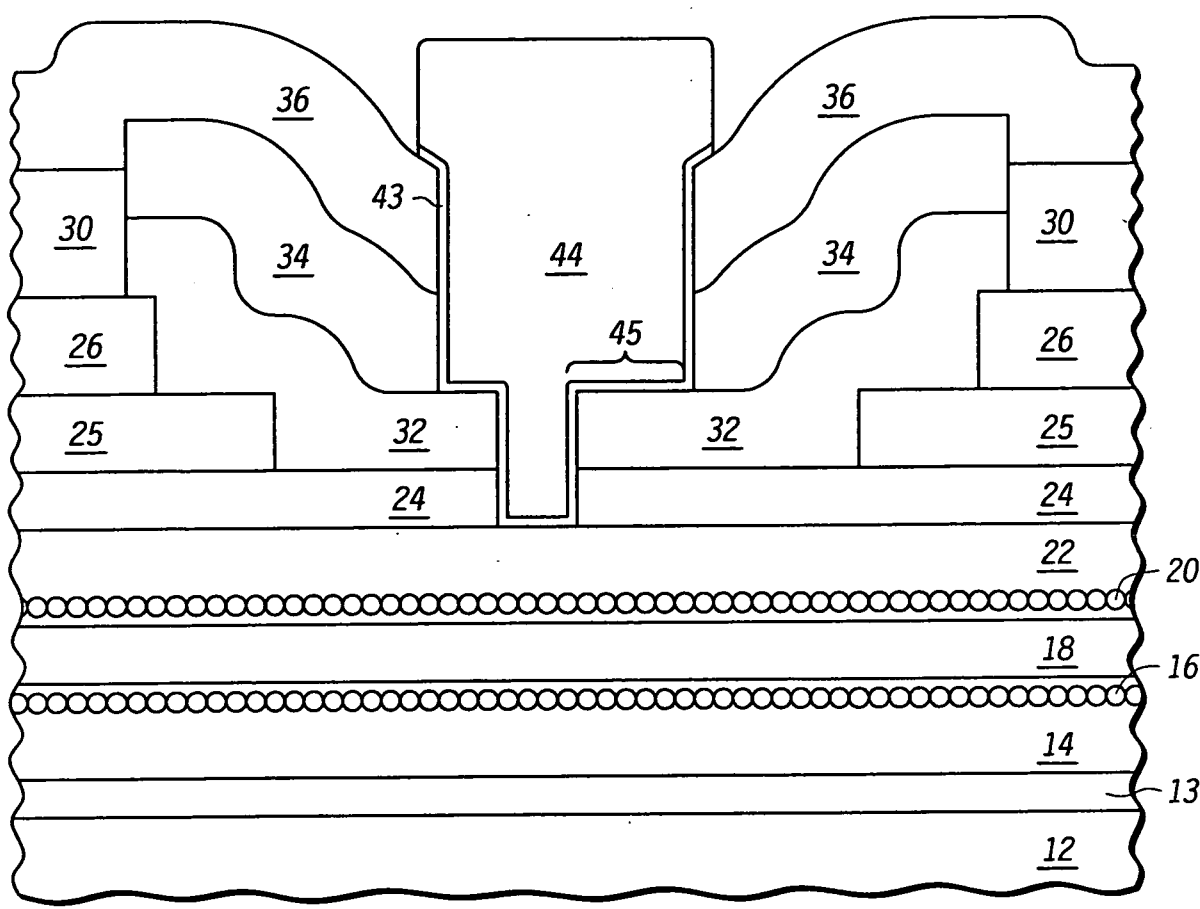


圖 9 10

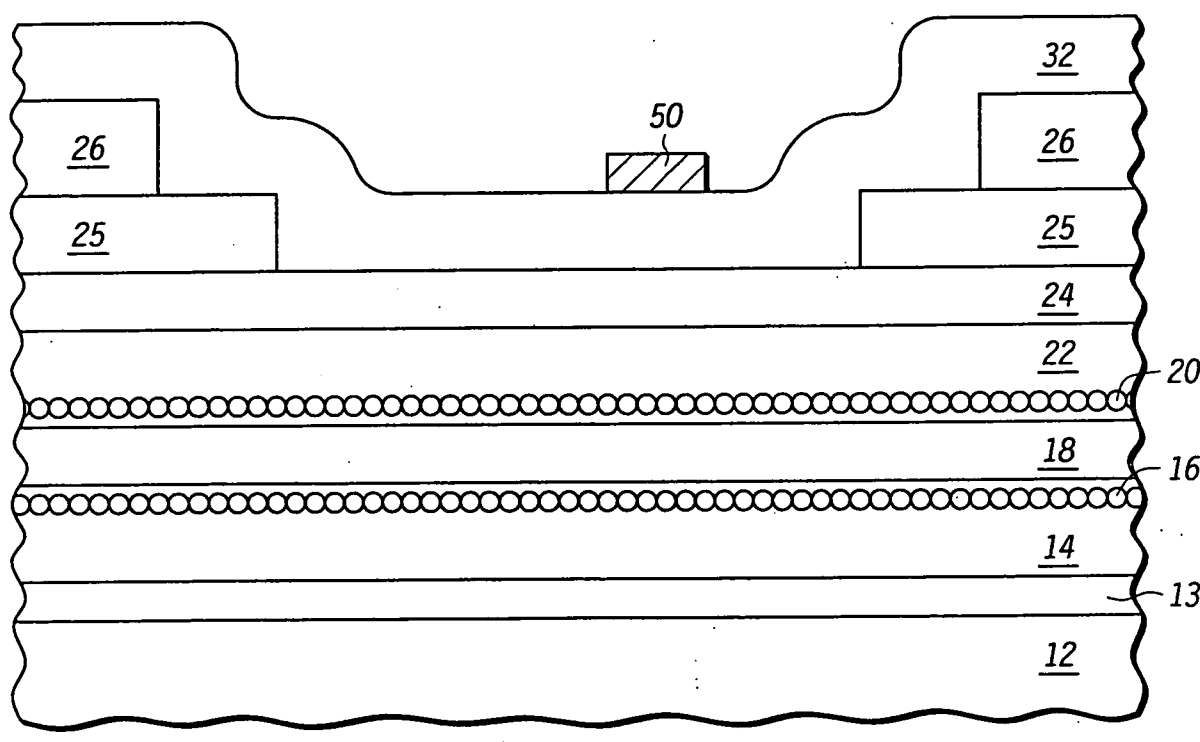


圖 10 110

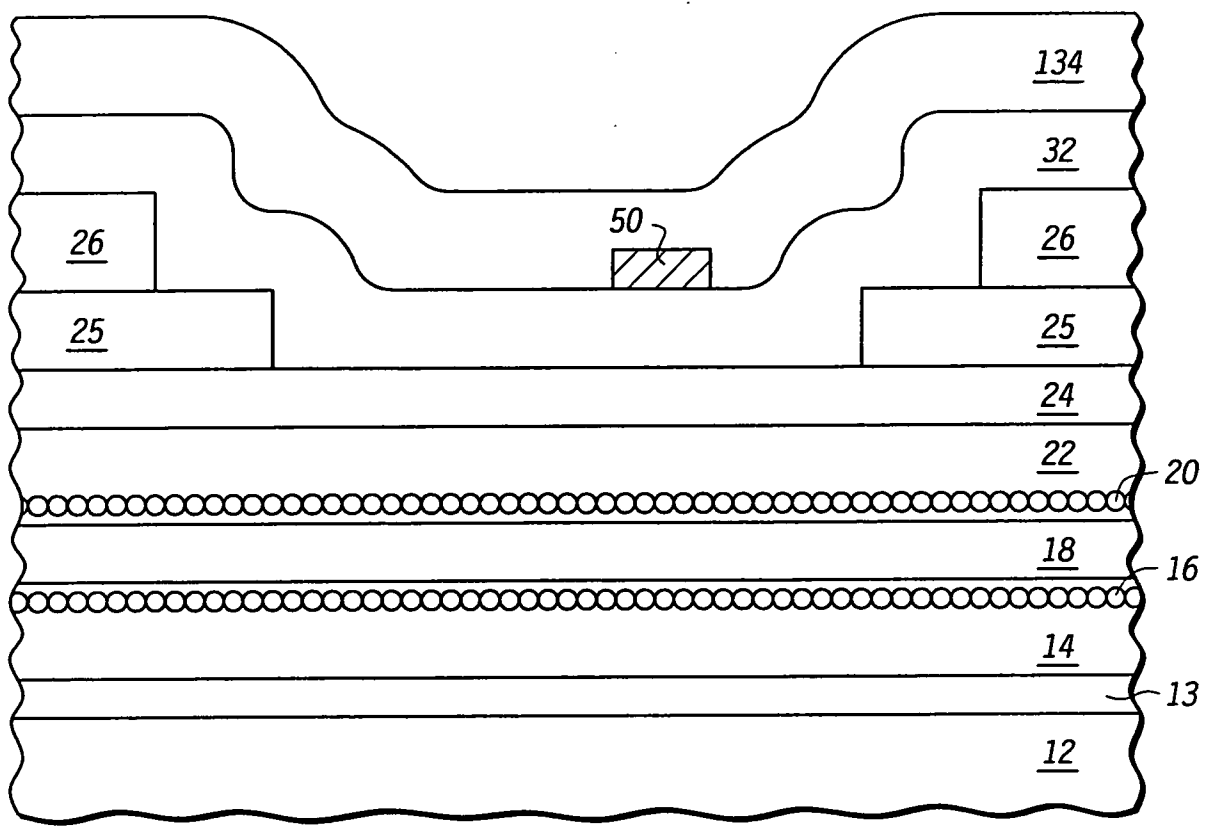


圖 11 110

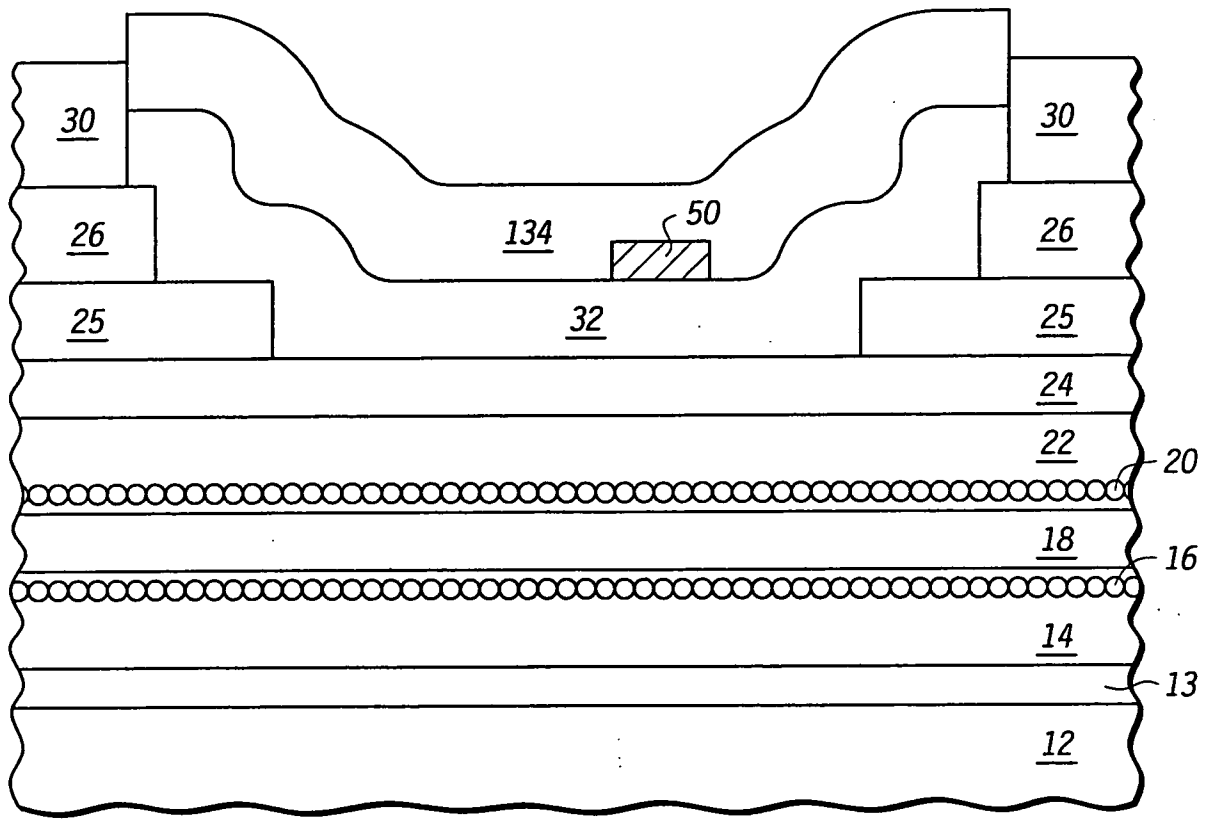


圖 12 110

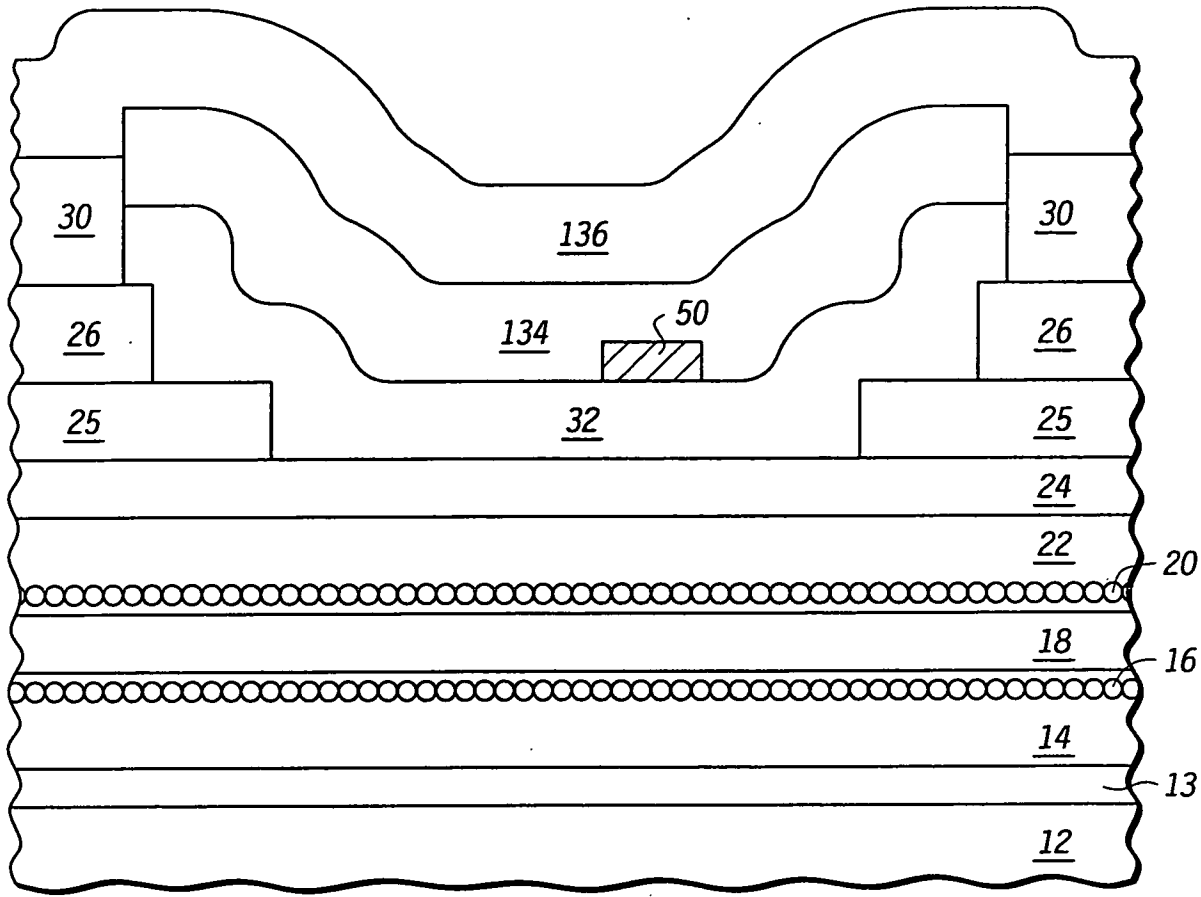


圖 13 110

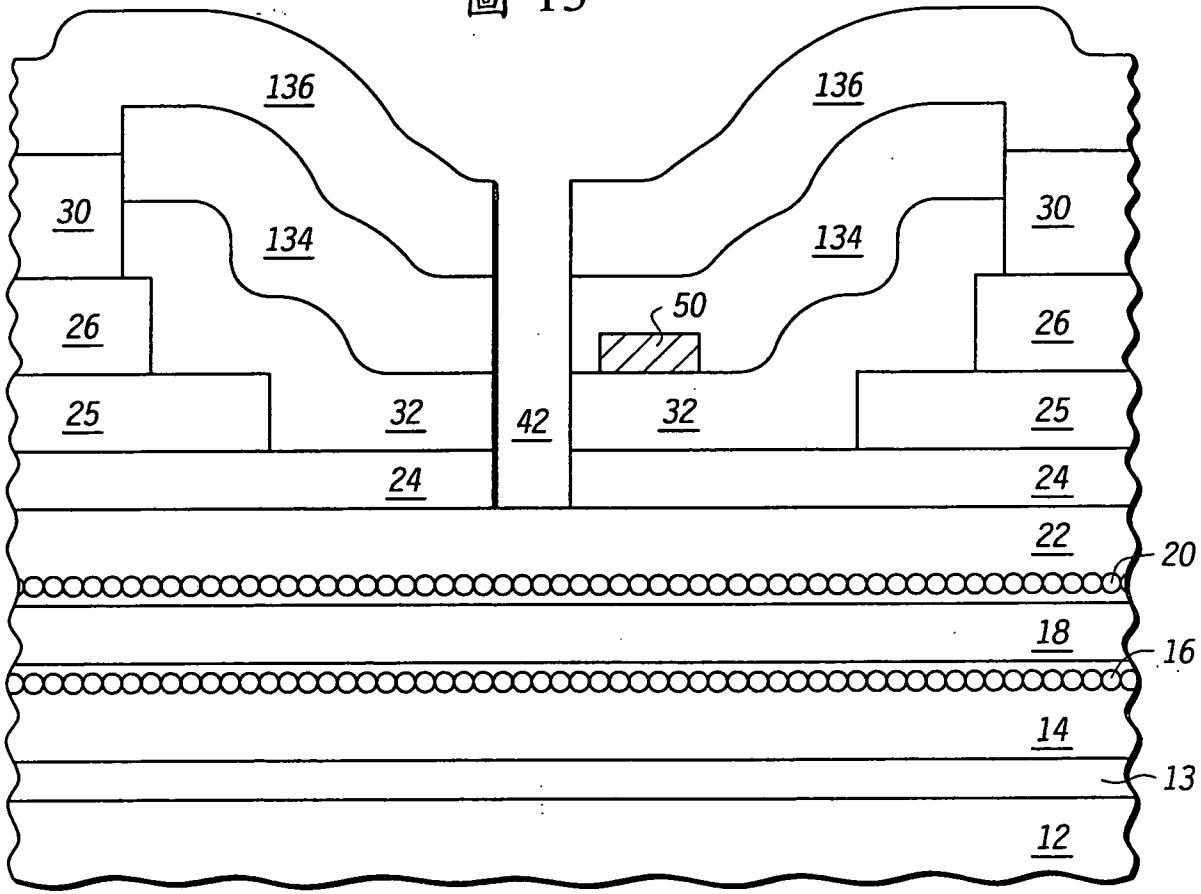


圖 14 110

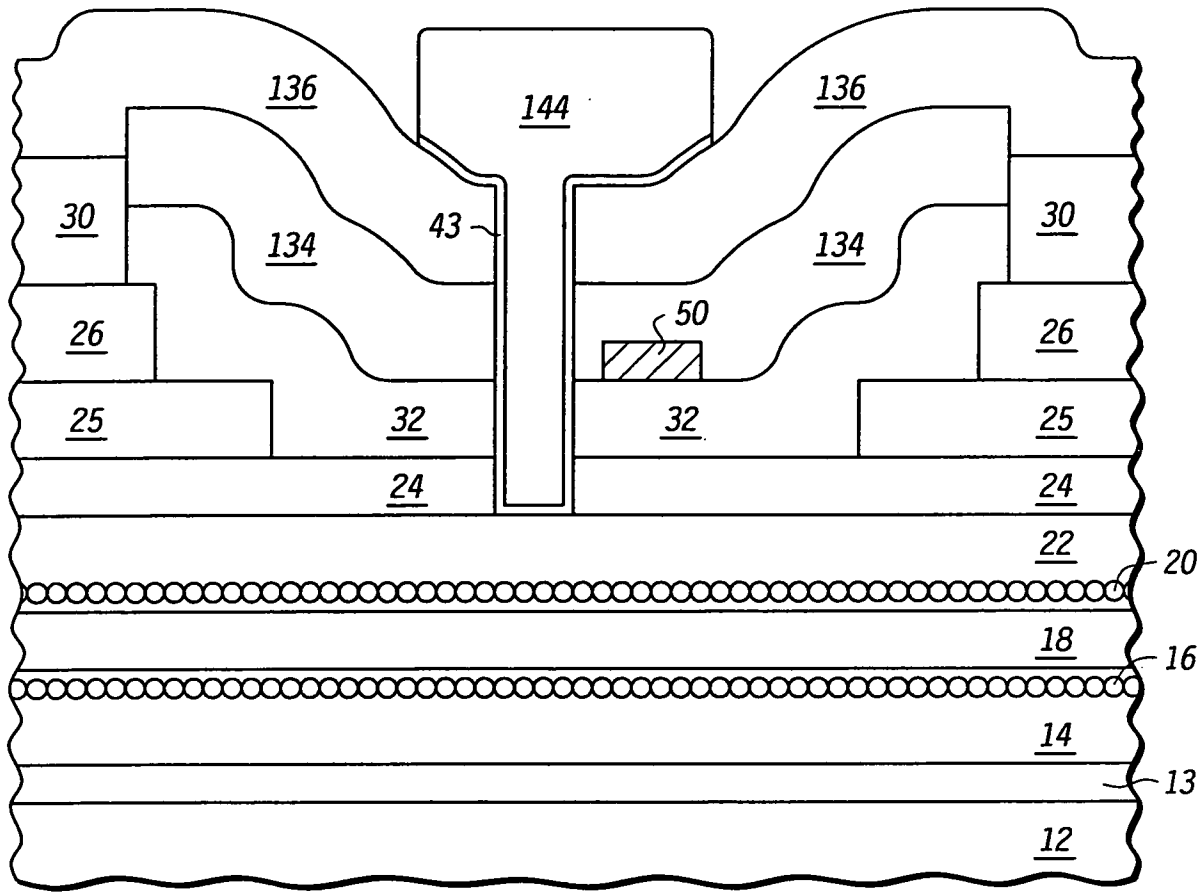


圖 15

