

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成16年12月9日(2004.12.9)

【公開番号】特開2000-30450(P2000-30450A)

【公開日】平成12年1月28日(2000.1.28)

【出願番号】特願平11-92781

【国際特許分類第7版】

G 11 C 11/407

G 05 F 3/24

G 11 C 11/409

【F I】

G 11 C 11/34 354 F

G 05 F 3/24 Z

G 11 C 11/34 353 F

【手続補正書】

【提出日】平成15年12月19日(2003.12.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

所定の出力電圧を生成する半導体集積回路において、

入力端子に印加される電圧と、少なくとも一つの基準電圧との差を検出する第1のオペレーショナルアンプおよび第2のオペレーショナルアンプと、

前記第1および第2のオペレーショナルアンプから出力される電圧の電圧レベルに応じてオン・オフ動作を行う第1のトランジスタおよび第2のトランジスタとを備え、

前記第1のオペレーショナルアンプは、前記入力端子にて前記出力電圧を受け、該出力電圧の電圧レベルが、前記の少なくとも一つの基準電圧よりも低くなったときに、前記第1のトランジスタを動作させて前記出力電圧の電圧レベルを上げるように制御し、

前記第2のオペレーショナルアンプは、前記入力端子にて前記出力電圧を受け、前記出力電圧の電圧レベルが、前記の少なくとも一つの基準電圧よりも高くなったときに、前記第2のトランジスタを動作させて前記出力電圧の電圧レベルを下げるよう制御し、

前記第1および第2のオペレーショナルアンプは、第1のカレントミラー回路および第2のカレントミラー回路をそれぞれ有すると共に、前記第1および第2のオペレーショナルアンプの各々は、差動増幅器として機能する一対のトランジスタにそれぞれ接続され、

前記基準電圧は、前記第1および第2のオペレーショナルアンプの各々における前記一対のトランジスタの一方のトランジスタのゲートに入力され、かつ、前記出力電圧は、該一対のトランジスタの他方のトランジスタのゲートに入力され、前記第1および第2のオペレーショナルアンプの各々の出力端子における前記電圧は、該一対のトランジスタの一方のトランジスタのドレインから出力され、

前記第1のトランジスタのゲートは、前記第1のオペレーショナルアンプの前記出力端子に接続され、前記第1のトランジスタのソースおよびドレインは、それぞれ、前記基準電圧より高い電圧値を有する第1の電源、および共通のノードに接続され、

前記第2のトランジスタのゲートは、前記第2のオペレーショナルアンプの前記出力端子に接続され、前記第2のトランジスタのドレインおよびソースは、それぞれ、前記共通のノード、および前記基準電圧より低い電圧値を有する第2の電源に接続され、

前記共通のノードは前記所定の出力電圧を出力し、前記第1および第2のオペレーショナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続されることを特徴とする半導体集積回路。

【請求項2】

前記半導体集積回路は、さらに、前記出力電圧のレベルをシフトする調整用抵抗を備え、前記共通のノードは、前記調整用抵抗を介して、前記第1および第2のオペレーショナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続されていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記基準電圧が、互いに電圧値が異なる第1の基準電圧および第2の基準電圧からなり、該第1の基準電圧は、前記第1のオペレーショナルアンプの前記一対のトランジスタの一方に入力され、該第2の基準電圧は、前記第2のオペレーショナルアンプの前記一対のトランジスタの一方に入力されることを特徴とする請求項1記載の半導体集積回路。

【請求項4】

前記半導体集積回路は、さらに、前記出力電圧のレベルをシフトする調整用抵抗を備え、前記共通のノードは、前記調整用抵抗を介して、前記第1および第2のオペレーショナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続され、前記第1の基準電圧の電圧値が、前記第2の基準電圧の電圧値よりも常に低くなるように設定されることを特徴とする請求項3記載の半導体集積回路。

【請求項5】

前記第1および第2のオペレーショナルアンプの各々における前記一対のトランジスタが、いずれも第1の伝導型のトランジスタにより構成され、

前記第1のトランジスタが、第2の伝導型のトランジスタにより構成され、また一方で、前記第2のトランジスタが、第1の伝導型のトランジスタにより構成される請求項1から4のいずれか一項に記載の半導体集積回路。

【請求項6】

前記第2のトランジスタと前記第2の電源との間に貫通電流防止用ダイオードを挿入する請求項5記載の半導体集積回路。

【請求項7】

前記第1のオペレーショナルアンプにおける前記一対のトランジスタが、いずれも第1の伝導型のトランジスタにより構成され、また一方で、前記第2のオペレーショナルアンプにおける前記一対のトランジスタが、いずれも第2の伝導型のトランジスタにより構成され、

前記第1のトランジスタが、第2の伝導型のトランジスタにより構成され、また一方で、前記第2のトランジスタが、第1の伝導型のトランジスタにより構成され、

前記第1のトランジスタが動作状態のときに、前記第2のオペレーショナルアンプは、前記第2のトランジスタが非動作状態になるように制御し、これによって、前記第1の電源から前記第1のトランジスタおよび前記第2のトランジスタを通過して前記第2の電源へ貫通電流が流れるのを防止する請求項1から4のいずれか一項に記載の半導体集積回路。

【請求項8】

基準電圧を生成する基準電圧発生回路と、

出力信号を取り出すための出力端子と、

前記基準電圧と前記出力信号の電圧の差に基づき、第1の制御信号および第2の制御信号をそれぞれ出力する第1の検出回路および第2の検出回路と、

第1の電源と前記出力端子との間に設けられる第1のトランジスタと、

前記出力端子と第2の電源との間に設けられる第2のトランジスタとを備え、

前記第1のトランジスタのコンダクタンスは、前記第1の制御信号により制御され、かつ、前記第2のトランジスタのコンダクタンスは、前記第2の制御信号により制御されることを特徴とする定電圧発生回路。

【請求項9】

前記第1および第2の検出回路の各々が、一対のトランジスタと、前記第1の電源と前記一対のトランジスタとの間に接続されるカレントミラー回路とを有し、

前記一対のトランジスタの各々のゲートは前記基準電圧および前記出力信号をそれぞれ受け、該一対のトランジスタのドレインは前記第2の電源に共通に接続され、

前記第1および第2の制御信号は、それぞれ対応する前記カレントミラー回路と、それぞれ対応する前記一対のトランジスタとの間の接続ノードから出力される請求項8記載の定電圧発生回路。

【請求項10】

前記定電圧発生回路が、さらに、前記出力端子と、前記第1および第2の検出回路の各々の入力端子との間に設けられる電圧シフト回路を備える請求項8記載の定電圧発生回路。

【請求項11】

前記基準電圧発生回路が、互いに電圧値が異なる第1の基準電圧および第2の基準電圧を供給し、

前記第1の検出回路は前記第1の基準電圧に応答し、前記第2の検出回路は前記第2の基準電圧に応答する請求項8記載の定電圧発生回路。

【請求項12】

前記第1および第2の検出回路の各々が、前記第1の電源に接続され、かつ、前記基準電圧および前記出力信号をそれぞれ受けけるカレントミラー回路を有し、

前記第1および第2の制御信号は、前記第1の電源と、それぞれ対応する前記カレントミラー回路との間の接続ノードから出力される請求項8記載の定電圧発生回路。

【請求項13】

前記第1の検出回路における前記一対のトランジスタが、Nチャネル型MOSトランジスタにより構成され、前記第2の検出回路における前記一対のトランジスタが、Pチャネル型MOSトランジスタにより構成される請求項9記載の定電圧発生回路。

【請求項14】

前記出力端子が、ダイナミック・ランダムアクセスメモリ内の少なくとも一つのピット線およびセルキャパシタに接続される請求項8記載の定電圧発生回路。

【請求項15】

前記出力電圧が、前記第1の電源と前記第2の電源との間の電圧の1/2に相当する電圧値を有する請求項8記載の定電圧発生回路。