

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 16 年 12 月 9 日 (2004.12.9)

【公開番号】特開 2000-30450 (P2000-30450A)

【公開日】平成 12 年 1 月 28 日 (2000.1.28)

【出願番号】特願 平 11-92781

【国際特許分類第 7 版】

G 1 1 C 11/407

G 0 5 F 3/24

G 1 1 C 11/409

【F I】

G 1 1 C 11/34 3 5 4 F

G 0 5 F 3/24 Z

G 1 1 C 11/34 3 5 3 F

【手続補正書】

【提出日】平成 15 年 12 月 19 日 (2003.12.19)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

所定の出力電圧を生成する半導体集積回路において、
 入力端子に印加される電圧と、少なくとも一つの基準電圧との差を検出する第 1 のオペレーショナルアンプおよび第 2 のオペレーショナルアンプと、
 前記第 1 および第 2 のオペレーショナルアンプから出力される電圧の電圧レベルに応じてオン・オフ動作を行う第 1 のトランジスタおよび第 2 のトランジスタとを備え、
 前記第 1 のオペレーショナルアンプは、前記入力端子にて前記出力電圧を受け、該出力電圧の電圧レベルが、前記の少なくとも一つの基準電圧よりも低くなったときに、前記第 1 のトランジスタを動作させて前記出力電圧の電圧レベルを上げるように制御し、
 前記第 2 のオペレーショナルアンプは、前記入力端子にて前記出力電圧を受け、前記出力電圧の電圧レベルが、前記の少なくとも一つの基準電圧よりも高くなったときに、前記第 2 のトランジスタを動作させて前記出力電圧の電圧レベルを下げるように制御し、
前記第 1 および第 2 のオペレーショナルアンプは、第 1 のカレントミラー回路および第 2 のカレントミラー回路をそれぞれ有すると共に、前記第 1 および第 2 のオペレーショナルアンプの各々は、差動増幅器として機能する一対のトランジスタにそれぞれ接続され、
前記基準電圧は、前記第 1 および第 2 のオペレーショナルアンプの各々における前記一対のトランジスタの一方のトランジスタのゲートに inputs され、かつ、前記出力電圧は、該一対のトランジスタの他方のトランジスタのゲートに inputs され、前記第 1 および第 2 のオペレーショナルアンプの各々の出力端子における前記電圧は、該一対のトランジスタの一方のトランジスタのドレインから出力され、
前記第 1 のトランジスタのゲートは、前記第 1 のオペレーショナルアンプの前記出力端子に接続され、前記第 1 のトランジスタのソースおよびドレインは、それぞれ、前記基準電圧より高い電圧値を有する第 1 の電源、および共通のノードに接続され、
前記第 2 のトランジスタのゲートは、前記第 2 のオペレーショナルアンプの前記出力端子に接続され、前記第 2 のトランジスタのドレインおよびソースは、それぞれ、前記共通のノード、および前記基準電圧より低い電圧値を有する第 2 の電源に接続され、

前記共通のノードは前記所定の出力電圧を出力し、前記第 1 および第 2 のオペレーショナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続されることを特徴とする半導体集積回路。

【請求項 2】

前記半導体集積回路は、さらに、前記出力電圧のレベルをシフトする調整用抵抗を備え、前記共通のノードは、前記調整用抵抗を介して、前記第 1 および第 2 のオペレーショナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続されていることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記基準電圧が、互いに電圧値が異なる第 1 の基準電圧および第 2 の基準電圧からなり、該第 1 の基準電圧は、前記第 1 のオペレーショナルアンプの前記一対のトランジスタの一方に入力され、該第 2 の基準電圧は、前記第 2 のオペレーショナルアンプの前記一対のトランジスタの一方に入力されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】

前記半導体集積回路は、さらに、前記出力電圧のレベルをシフトする調整用抵抗を備え、前記共通のノードは、前記調整用抵抗を介して、前記第 1 および第 2 のオペレーショナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続され、前記第 1 の基準電圧の電圧値が、前記第 2 の基準電圧の電圧値よりも常に低くなるように設定されることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】

前記第 1 および第 2 のオペレーショナルアンプの各々における前記一対のトランジスタが、いずれも第 1 の伝導型のトランジスタにより構成され、前記第 1 のトランジスタが、第 2 の伝導型のトランジスタにより構成され、また一方で、前記第 2 のトランジスタが、第 1 の伝導型のトランジスタにより構成される請求項 1 から 4 のいずれか一項に記載の半導体集積回路。

【請求項 6】

前記第 2 のトランジスタと前記第 2 の電源との間に貫通電流防止用ダイオードを挿入する請求項 5 記載の半導体集積回路。

【請求項 7】

前記第 1 のオペレーショナルアンプにおける前記一対のトランジスタが、いずれも第 1 の伝導型のトランジスタにより構成され、また一方で、前記第 2 のオペレーショナルアンプにおける前記一対のトランジスタが、いずれも第 2 の伝導型のトランジスタにより構成され、

前記第 1 のトランジスタが、第 2 の伝導型のトランジスタにより構成され、また一方で、前記第 2 のトランジスタが、第 1 の伝導型のトランジスタにより構成され、

前記第 1 のトランジスタが動作状態のときに、前記第 2 のオペレーショナルアンプは、前記第 2 のトランジスタが非動作状態になるように制御し、これによって、前記第 1 の電源から前記第 1 のトランジスタおよび前記第 2 のトランジスタを通過して前記第 2 の電源へ貫通電流が流れるのを防止する請求項 1 から 4 のいずれか一項に記載の半導体集積回路。

【請求項 8】

基準電圧を生成する基準電圧発生回路と、

出力信号を取り出すための出力端子と、

前記基準電圧と前記出力信号の電圧の差に基づき、第 1 の制御信号および第 2 の制御信号をそれぞれ出力する第 1 の検出回路および第 2 の検出回路と、

第 1 の電源と前記出力端子との間に設けられる第 1 のトランジスタと、

前記出力端子と第 2 の電源との間に設けられる第 2 のトランジスタとを備え、

前記第 1 のトランジスタのコンダクタンスは、前記第 1 の制御信号により制御され、かつ、前記第 2 のトランジスタのコンダクタンスは、前記第 2 の制御信号により制御されることを特徴とする定電圧発生回路。

【請求項 9】

前記第 1 および第 2 の検出回路の各々が、一对のトランジスタと、前記第 1 の電源と前記一对のトランジスタとの間に接続されるカレントミラー回路とを有し、
前記一对のトランジスタの各々のゲートは前記基準電圧および前記出力信号をそれぞれ受け、該一对のトランジスタのドレインは前記第 2 の電源に共通に接続され、
前記第 1 および第 2 の制御信号は、それぞれ対応する前記カレントミラー回路と、それぞれ対応する前記一对のトランジスタとの間の接続ノードから出力される請求項 8 記載の定電圧発生回路。

【請求項 10】

前記定電圧発生回路が、さらに、前記出力端子と、前記第 1 および第 2 の検出回路の各々の入力端子との間に設けられる電圧シフト回路を備える請求項 8 記載の定電圧発生回路。

【請求項 11】

前記基準電圧発生回路が、互いに電圧値が異なる第 1 の基準電圧および第 2 の基準電圧を供給し、

前記第 1 の検出回路は前記第 1 の基準電圧に应答し、前記第 2 の検出回路は前記第 2 の基準電圧に应答する請求項 8 記載の定電圧発生回路。

【請求項 12】

前記第 1 および第 2 の検出回路の各々が、前記第 1 の電源に接続され、かつ、前記基準電圧および前記出力信号をそれぞれ受けるカレントミラー回路を有し、

前記第 1 および第 2 の制御信号は、前記第 1 の電源と、それぞれ対応する前記カレントミラー回路との間の接続ノードから出力される請求項 8 記載の定電圧発生回路。

【請求項 13】

前記第 1 の検出回路における前記一对のトランジスタが、Nチャネル型 MOS トランジスタにより構成され、前記第 2 の検出回路における前記一对のトランジスタが、Pチャネル型 MOS トランジスタにより構成される請求項 9 記載の定電圧発生回路。

【請求項 14】

前記出力端子が、ダイナミック・ランダムアクセスメモリ内の少なくとも一つのビット線およびセルキャパシタに接続される請求項 8 記載の定電圧発生回路。

【請求項 15】

前記出力電圧が、前記第 1 の電源と前記第 2 の電源との間の電圧の $1/2$ に相当する電圧値を有する請求項 8 記載の定電圧発生回路。