(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/34

(45) 공고일자 2002년04월24일
(11) 등록번호 10-0317739
(24) 등록일자 2001년12월04일

(21) 출원번호 10-1998-0046520
(22) 출원일자 1998년10월28일
(65) 공개번호 특1999-0037555
(43) 공개일자 1999년05월25일

(30) 우선권주장 97-295431 1997년10월28일 일본(JP)
98-159381 1998년06월08일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고
(72) 발명자 히라바야시 오사무
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호가부시키가이샤 도시바 반도체 시스템 기술센터내
가와스미 아츠시
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호가부시키가이샤 도시바 반도체 시스템 기술센터내
(74) 대리인 김윤배, 이범일

심사관 : 곽준영

(54) 반도체기억장치

요약

본 발명은, DDR방식의 동기형 반도체 기억장치를 개시한다. 이 장치는, 제1메모리셀군 및 제2메모리셀군을 포함하는 메모리셀 어레이와, 제1데이터선 및 제2데이터선, 상기 제1메모리셀군에 포함되는 메모리셀을 상기 제1데이터선에, 상기 제2메모리셀군에 포함되는 메모리셀을 상기 제2데이터선에 병렬로 결합 가능한 데이터 전송회로, 동작클럭의 상승엣지에서 제1, 제2데이터선의 한쪽에 전달된 제1출력데이터를 전송하는 제1출력전송회로, 상기 동작클럭의 하강엣지에서 제1, 제2데이터선의 다른쪽에 전달된 제2출력데이터를 전송하는 제2출력전송회로 및, 상기 제1데이터선을 상기 제1, 제2출력전송회로의 어느 하나에 절환결합 가능하면서 상기 제2데이터선을 상기 제1, 제2출력전송회로의 어느 하나에 절환결합 가능한 데이터선 제어회로를 구비한다.

대표도

도6

명세서

도면의 간단한 설명

<1> 도 1은 종래의 동기형 SRAM을 나타낸 블록도,

<2> 도 2는 출력제어클럭을 나타낸 도면,

<3> 도 3은 입력제어클럭을 나타낸 도면,

<4> 도 4는 종래의 동기형 DRAM의 DDR 독출동작을 나타낸 타이밍차트,

<5> 도 5는 종래의 동기형 DRAM의 SDR 독출동작을 나타낸 타이밍차트,

<6> 도 6은 본 발명의 제1실시형태에 따른 동기형 SRAM을 나타낸 블록도,

<7> 도 7의 (a)는 SRAM 코어의 일회로예를 나타낸 회로도,

<8> 도 7의 (b)는 스태틱형 메모리셀의 일회로예를 나타낸 회로도,

<9> 도 7의 (c)는 메모리셀의 물리어드레스와 논리어드레스의 대응관계를 나타낸 도면,

<10> 도 8a는 버스트 어드레스 카운터가 발생하는 버스트 어드레스를 나타낸 테이블(SDR/리니어 모드시),

<11> 도 8b는 버스트 어드레스 카운터가 발생하는 버스트 어드레스를 나타낸 테이블(SDR/인터리브 모드시),

<12> 도 8c는 버스트 어드레스 카운터가 발생하는 버스트 어드레스를 나타낸 테이블(DDR/리니어 모드시),

<13> 도 8d는 버스트 어드레스 카운터가 발생하는 버스트 어드레스를 나타낸 테이블(DDR/인터리브 모드시),

<14> 도 9는 본 발명의 제1실시형태에 따른 동기형 DRAM의 DDR 독출동작을 나타낸 타이밍차트,

<15> 도 10a 및 도 10b는 각각 독출데이터선 제어회로의 동작을 나타낸 도면(DDR시),

<16> 도 11은 본 발명의 제1실시형태에 따른 동기형 DRAM의 SDR 독출동작을 나타낸 타이밍차트,

<17> 도 12a 및 도 12b는 각각 독출데이터선 제어회로의 동작을 나타낸 도면(SDR시),

<18> 도 13은 본 발명의 제1실시형태에 따른 동기형 DRAM의 DDR 기입동작을 나타낸 타이밍차트,

<19> 도 14a 및 도 14b는 각각 기입데이터선 제어회로의 동작을 나타낸 도면(DDR시),

<20> 도 15는 본 발명의 제1실시형태에 따른 동기형 DRAM의 SDR 기입동작을 나타낸 타이밍차트,

<21> 도 16은 기입데이터선 제어회로의 동작을 나타낸 도면(SDR시),

<22> 도 17은 독출데이터선 제어회로의 일회로예를 나타낸 회로도,

<23> 도 18은 독출데이터선 제어회로의 다른 회로예를 나타낸 회로도,

<24> 도 19a 및 도 19b는 각각 레이트 기입동작을 나타낸 타이밍차트,

<25> 도 20은 본 발명의 제2실시형태에 따른 동기형 SRAM을 나타낸 블록도,

<26> 도 21a는 프리디코더 및 멀티플렉서의 일회로예를 나타낸 회로도,

<27> 도 21b는 어드레스 비트(A1,A0)와 프리디코드 어드레스 비트 (A1,A0) (A1,/A0), (/A1,A0) (/A1,/A0)와의 관계를 나타낸 도면,

<28> 도 22a 및 도 22b는 본 발명의 제2실시형태에 따른 동기형 SRAM의 동작을 나타낸 타이밍차트,

<29> 도 23a, 도 23b, 도 23c 및 도 23d는 본 발명의 제2실시형태에 따른 동기형 SRAM의 동작을 나타낸 회로도,

<30> 도 24는 도 20에 나타낸 어드레스 일치/불일치 비교회로의 일회로예를 나타낸 회로도,

<31> 도 25는 본 발명의 제3실시형태에 따른 동기형 SRAM을 나타낸 블록도,

<32> 도 26은 본 발명의 제4실시형태에 따른 동기형 SRAM을 나타낸 블록도이다.

<33> 〈도면의 주요부분에 대한 부호의 설명〉

<34> 1, 1′ --- 어드레스 레지스터, 2 --- SRAM 코어,

<35> 3 --- 어드레스 디코더, 4 --- 메모리셀 어레이,

<36> 5 --- 행선택회로, 6 --- 열선택회로,

<37> 7 --- 센스앰프/기입회로, 8 --- 데이터 전송회로,

<38> 9 --- 랫치회로, 16 --- 버스트 어드레스 카운터,

<39> 17 --- 데이터 출력회로, 18, 18′ --- 독출데이터선 제어회로,

<40> 27 --- 클럭 버퍼, 28 --- 출력버퍼,

<41> 30 --- 데이터 입력회로, 33 --- 기입데이터선 제어회로,

<42> 34 --- 입력버퍼, 41 --- 명령디코더,

<43> 42 --- 독출/기입 제어회로, 43 --- 데이터선 제어회로,

<44> 44-0, 44-1 --- 프리차지회로, 60, 61, 62 --- 프리 디코더,

<45> 63, 64 --- 멀티플렉서, 65 --- 기입어드레스 레지스터,

<46> 66, 67 --- 어드레스 레지스터, 68, 70 --- 어드레스 비교회로,

<47> 77 --- 클럭 버퍼, 74, 75 --- 멀티플렉서.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

<48> 본 발명은 특히 DDR(Double Data Rate)방식의 동기형 반도체 메모리에 관한 것으로, 예컨대 스태틱형 RAM에 사용되는 것이다.

<49> 일반적인 동기형 반도체 메모리는 동작클럭의 상승엣지에 동기하여 데이터를 독출하거나, 또는 기입한다. 본 명세서에서는, 이런 종류의 동기형 반도체 메모리를 SDR(Single Data Rate)방식이라고 부른다. SDR방식의 동기형 반도체 메모리는 동작클럭 1사이클당 데이터가 1회만 독출되거나, 또는 데이터가 1

회만 기입된다.

<50> 이러한 SDR방식에 대해, 근래 DDR방식의 동기형 반도체 메모리가 주목되고 있다.

<51> DDR방식의 동기형 반도체 메모리는 동작클럭의 상승엣지뿐만 아니라 상승엣지, 하강엣지의 쌍방에 동기하여 데이터를 독출하거나, 또는 기입한다. 이에 따라, 동작클럭 1사이클당 데이터가 2회 독출되거나, 또는 데이터가 2회 기입된다. 이 때문에, 데이터의 전송속도를 SDR방식의 2배로 높일 수 있어 단위시간당의 데이터 전송량의 향상에 유리하다.

<52> 또한, DDR방식 및 SDR방식의 쌍방을 1칩에 공존시키고, DDR방식이나 SDR방식의 어느 하나를 명령신호에 의해 선택 가능하게 하는 메모리도 시도되고 있다. 이런 종류의 메모리는 DDR방식이 명령(order)된 경우 DDR방식으로 데이터를 독출·기입하고, SDR방식이 명령된 경우 SDR방식으로 데이터를 독출·기입한다.

<53> 도 1은 DDR방식이나 SDR방식의 어느 하나를 선택할 수 있는 동기형 SRAM을 나타낸 블록도이다.

<54> 도 1에 나타낸 바와 같이, 어드레스신호(ADD)는 어드레스 레지스터(101)에 입력된다. 어드레스 레지스터(101)는 동작클럭(CK)의 상승엣지에 동기하여 입력된 어드레스(ADD)를 출력한다. 어드레스 레지스터(101)로부터 출력된 어드레스(ADD)는 SRAM 코어(102)에 입력되고, SRAM 코어(102)에 포함되어 있는 메모리셀(도시하지 않음) 중, 입력된 어드레스(ADD)에 대응한 1개가 데이터선(BUS0 또는 BUS1)에 접속된다(SDR방식). 또한, DDR방식의 경우, 입력된 어드레스(ADD) 하나로 2개의 메모리셀이 지정되고, 지정된 2개의 메모리셀의 한쪽이 데이터선(BUS0)에, 다른쪽이 데이터선(BUS1)에 접속된다. 본 명세서는, 어드레스(ADD)의 최하위비트(A0)가 메모리셀을 데이터선(BUS0)에 접속시키는가, 데이터선(BUS1)에 접속시키는가를 결정하는 것을 전제로 설명한다. 이것은 SDR방식, DDR방식의 어느 것에 있어서도 변함없다. 데이터선(BUS0,BUS1)에는 데이터 출력회로(103), 데이터 입력회로(104)가 접속되어 있다.

<55> [데이터 출력회로(103)]

<56> 데이터 출력회로(103)는 출력레지스터(105-0,105-1), 전송게이트(106-0,106-1)를 포함한다.

<57> 출력레지스터(105-0)는 데이터선(BUS0)에 접속되고, 출력레지스터(105-1)는 데이터선(BUS1)에 접속되어 있다. 출력레지스터(105-0)는 데이터선(BUS0)에 독출된 데이터를 격납하고, 출력레지스터(105-1)는 데이터선(BUS1)에 독출된 데이터를 격납한다. 출력레지스터(105-0,105-1)는 각각 동작클럭(CK)의 상승엣지에 동기하여 격납한 데이터를 출력한다.

<58> 출력 전송게이트(106-0)는 출력레지스터(105-0)에 접속되고, 출력 전송게이트(106-1)는 출력레지스터(105-1)에 접속되어 있다. 출력 전송게이트(106-0)는 출력제어클럭(CK1)이 "H"레벨인 동안 출력레지스터(105-0)에 격납된 데이터를 출력하고, 출력 전송게이트(106-1)는 출력제어클럭(CK2)이 "H"레벨인 동안 출력레지스터(105-1)에 격납된 데이터를 출력한다. 출력제어클럭(CK2)은 출력제어클럭(CK1)과 역상의 클럭이다. 이들 출력제어클럭(CK1,CK2)은 출력제어클럭 발생회로(107)에 의해 발생된다. 출력제어클럭 발생회로(107)가 발생하는 출력제어클럭을 도 2에 나타낸다.

<59> 출력제어클럭 발생회로(107)는 동작클럭(CK) 및 이 동작클럭과는 역상의 반전동작클럭(/CK)으로부터 출력제어클럭(CK1,CK2)을 발생시킨다. 발생회로(107)는 분주회로(108), 멀티플렉서(MPX; 109), 클럭생성회로(110)를 갖추고 있다. 분주회로(108)는 동작클럭(CK)의 주기를 2배로 하여 2배의 주기의 동작클럭(2·CK,2·/CK)을 발생한다. 멀티플렉서(109)는 동작클럭(CK,/CK)이나 2배의 주기의 동작클럭(2·CK,2·/CK)의 어느 하나를 내부 명령신호(DOUBLE/SINGLE)에 따라 선택한다. 내부 명령신호(DOUBLE/SINGLE)는 DDR방식인가 SDR방식인가를 명령하는 신호이다. 멀티플렉서(109)는 DDR방식이 명령되었을 때 동작클럭(CK,/CK)을 선택하고, 동작클럭(CK,/CK)을 클럭생성회로(110)에 공급한다. 또한, SDR방식이 명령된 경우 동작클럭(2·CK,2·/CK)을 선택하고, 동작클럭(2·CK,2·/CK)을 클럭생성회로 (110)에 공급한다. 클럭생성회로(110)는 출력제어클럭(CK1,CK2)을 각각 어드레스 (ADD)의 최하위비트(A0)에 따라 도 2에 나타낸 바와 같이 발생시킨다. 어드레스 (ADD)의 최하위비트(A0)는 입력된 어드레스에 대응한 메모리셀이 데이터선(BUS0)에 접속되는가, 데이터선(BUS1)에 접속되는가를 결정한다.

<60> 이렇게 출력 전송게이트(106-0,106-1)는 입력된 어드레스(ADD)에 따라 출력제어클럭(CK1,CK2)에 의해 절환제어된다.

<61> [데이터 입력회로(104)]

<62> 데이터 입력회로(104)는 입력레지스터(111-0,111-1,112-0,112-1)를 포함한다.

<63> 입력레지스터(111-0)는 입력제어클럭(CK3)이 "H"레벨인 동안 자신에 격납된 데이터를 출력하고, 입력레지스터(111-1)는 입력제어클럭(CK4)이 "H"레벨인 동안 자신에 격납된 데이터를 출력한다. 이들 입력제어클럭(CK3,CK4)은 입력제어 클럭 발생회로(113)에 의해 발생된다. 입력제어클럭 발생회로(113)가 발생하는 입력제어클럭을 도 3에 나타낸다.

<64> 입력제어클럭 발생회로(113)는 동작클럭(CK) 및 이 동작클럭과는 역상의 반전동작클럭(/CK)으로부터 입력제어클럭(CK3,CK4)을 발생시킨다. 발생회로(113)는 타이밍 조정회로(114,115), 멀티플렉서(116)를 갖추고 있다. 타이밍 조정회로(114)는 동작클럭(CK)의 상승엣지에 동기하면서 동작클럭(CK)의 펄스폭보다도 짧은 펄스폭을 갖는 클럭(CK′)을 발생한다. 타이밍 조정회로(115)는 반전동작클럭(/CK)의 상승엣지에 동기하면서 반전동작클럭(/CK)의 펄스폭보다도 짧은 펄스폭을 갖는 클럭(/CK′)을 발생한다. 멀티플렉서(116)는 클럭 CK′인가 /CK′인가를 상기한 내부 명령신호(DOUBLE/SINGLE) 및 어드레스(ADD)의 최하위비트(A0)에 따라 선택한다. 멀티플렉서(116)는 SDR방식이 명령된 경우 클럭(CK′)을 어드레스(ADD)의 최하위비트 (A0)에 관계없이 입력제어클럭(CK3,CK4)으로서 선택한다. 또한, DDR방식이 명령된 경우 어드레스(ADD)의 최하위비트(A0)에 따라 클럭(CK′)을 입력제어클럭(CK3,CK4)의 한쪽으로 선택하고, 클럭(/CK′)을 입력제어클럭(CK3,CK4)의 다른 쪽으로 선택한다.

<65> 입력레지스터(112-0)는 입력레지스터(111-0)의 출력을 격납하고, 입력레지스터(112-1)는 입력레

지스터(111-1)의 출력을 격납한다. 입력레지스터(112-0)는 데이터선(BUS0)에 접속되고, 입력레지스터(112-1)는 데이터선(BUS1)에 접속되어 있다. 입력레지스터(112-0,112-1)는 각각 동작클럭(CK)의 상승엣지에 동기하여 격납한 데이터를 출력한다.

<66> 이와 같이 입력레지스터(111-0,111-1)는 입력된 어드레스(ADD)에 따라 입력제어클럭(CK3,CK4)에 의해 절환제어된다.

<67> 또한, 도 1에 나타낸 버스트 어드레스 카운터(117)는 버스트동작이 명령되었을 때 버스트 어드레스를 발생시키는 것이다. 버스트 어드레스 카운터(117)는 내부 명령신호(BURST)가 활성화되면 활성화된다. 내부 명령신호(BURST)는 버스트동작을 명령하는 신호이다. 버스트 어드레스 카운터(117)는 어드레스 레지스터(101)에 격납된 어드레스(ADD)의 예컨대 하위 2비트를 증가시킴으로써 1개의 어드레스(ADD)를 4개의 버스트 어드레스로 연속적으로 변환한다.

<68> 상기한 바와 같은 동기형 SRAM이라면, 출력 전송게이트(106-0,106-1), 입력레지스터(111-0,111-1)를 각각 동작클럭(CK,/CK)으로부터 발생시킨 출력제어클럭 (CK1,CK2), 입력제어클럭(CK3,CK4)에 의해 제어한다. 이에 따라, DDR방식이나 SDR방식의 어느 하나를 선택할 수 있다.

<69> 그렇지만, 클럭(CK1,CK2,CK3,CK4)을 각각 동작클럭(CK,/CK)으로부터 발생시키기 때문에, 클럭(CK1,CK2,CK3,CK4)은 동작클럭(CK,/CK)으로부터 지연된다.

<70> 예컨대, 출력제어클럭(CK1,CK2)은 출력제어클럭 발생회로(107)가 갖는 지연시간(Td1)만큼 늦어진다.

<71> 이 때문에, 도 4에 나타낸 바와 같이 데이터의 출력타이밍은 동작클럭(CK, /CK)에 대해 지연시간(Td1)만큼 늦어진다.

<72> 그러나, 도 4에 나타낸 바와 같이 데이터(A4; 최하위비트 A0=1)를 출력한 후, 계속해서 데이터(B1; 최하위비트 A0=1)를 출력하는 경우, 출력제어클럭(CK2)은 "H" 레벨을 지속한다. 이 경우, 데이터(B1)의 출력타이밍은 동작클럭(CK,/CK)에 대해 지연시간(Td1)만큼 늦어지는 일이 없다. 데이터(B1)의 출력타이밍이 늦어지는 일이 없는 만큼 데이터(A4)의 출력시간은 짧아져 버린다.

<73> 또한, 입력제어클럭(CK3,CK4)은 입력제어클럭 발생회로(113)가 갖는 지연시간(Td2)만큼 늦어진다.

<74> 이 때문에, 도 5에 나타낸 바와 같이 입력레지스터(111-0,111-1)의 출력타이밍은 동작클럭(CK,/CK)에 대해 지연시간(Td2)만큼 늦어진다.

<75> 또한, 도 5에 나타낸 바와 같이 데이터(A4; 최하위비트 A0=1)를 입력한 후, 계속해서 데이터(B1; 최하위비트 A0=1)를 입력하는 경우, 1사이클 중에 2회 입력제어클럭(CK4)을 "L" 레벨로부터 "H" 레벨로 할 필요가 있다. 이 때문에, 입력레지스터(111-1)가 데이터(A4)를 출력하는 시간이 짧아져 버린다.

<76> 이러한 사정들은 동작속도의 향상을 위해 동작클럭(CK,/CK)의 주파수를 높인 경우, 독출동작시에 데이터의 출력시간을 충분히 얻는 것, 또는 기입동작시에 입력레지스터(111-0 또는 111-1)의 출력시간을 충분히 얻는 것을 곤란하게 한다.

발명이 이루고자 하는 기술적 과제

<77> 본 발명의 제1목적은, 독출동작시에 데이터의 출력시간을 충분히 얻는 것이 가능한 반도체 기억장치를 제공하는데 있다.

<78> 또한, 제2목적은 기입동작시에 입력레지스터의 출력시간을 충분히 얻는 것이 가능한 반도체 기억장치를 제공하는데 있다.

발명의 구성 및 작용

<79> 상기 제1목적을 달성하기 위해 본 발명에 따른 반도체 기억장치는, 제1타이밍에서 제1, 제2데이터선의 한쪽에 전달된 제1출력데이터를 전송하는 제1출력전송회로와, 상기 제1타이밍과는 다른 제2타이밍에서 제1, 제2데이터선의 다른쪽에 전달된 제2출력데이터를 전송하는 제2출력전송회로와, 상기 제1데이터선을 상기 제1, 제2출력전송회로의 어느 하나에 절환결합 가능하면서 상기 제2데이터선을 상기 제1, 제2출력전송회로의 어느 하나에 절환결합 가능한 데이터선 제어회로를 구비한다.

<80> 상기 반도체 기억장치는, 제1데이터선을 제1, 제2출력전송회로의 어느 하나에 절환결합 가능하면서 제2데이터선을 제1, 제2출력전송회로의 어느 하나에 절환결합 가능한 데이터선 제어회로를 특별히 구비한다.

<81> 이 때문에, 제1, 제2출력전송회로를 입력된 어드레스(ADD)에 따라 절환제어하는 출력제어클럭은 필요없게 된다. 이러한 출력제어클럭을 없앰으로써, 데이터 출력시간이 이 출력제어클럭을 발생시키는 회로의 지연시간만큼 짧아지는 사정을 해소할 수 있다. 따라서, 독출동작시에 충분한 데이터의 출력시간을 얻는 것이 가능해진다.

<82> 또한, 상기 제2목적을 달성하기 위해 본 발명에 따른 반도체 기억장치는, 제1타이밍에서 제1입력데이터를 격납하는 제1입력레지스터회로와, 상기 제1타이밍과는 다른 제2타이밍에서 제2입력데이터를 격납하는 제2입력레지스터회로와, 상기 제1입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능하면서 상기 제2입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능한 데이터선 제어회로를 구비한다.

<83> 상기 반도체 기억장치는, 상기 제1입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능하면서 상기 제2입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능한

데이터선 제어회로를 특별히 구비한다.

<84> 이 때문에, 제1, 제2입력레지스터회로를 입력된 어드레스(ADD)에 따라 절환제어하는 입력제어클럭은 필요없게 된다. 이러한 입력제어클럭을 없앰으로써, 제1입력레지스터회로, 또는 제2입력레지스터회로로부터 데이터를 계속해서 출력할 필요가 없게 된다. 따라서, 제1, 제2입력레지스터의 출력시간을 충분히 얻는 것이 가능해진다.

<85> (발명의 실시형태)

<86> 이하, 도면을 참조하여 본 발명의 실시형태를 상세히 설명한다.

<87> 제1실시형태

<88> 도 6은 본 발명의 제1실시형태에 따른 동기형 SRAM을 나타낸 블록도이다.

<89> 도 6에 나타낸 바와 같이, 어드레스(ADD)는 어드레스 레지스터(1)에 입력된다. 어드레스(ADD)는 예컨대 18비트의 어드레스신호(A0~A17)로 구성된다. 어드레스 레지스터(1)는 동작클럭(CK)의 상승엣지에 동기하여 입력된 어드레스(ADD)를 출력한다. 어드레스 레지스터(1)에 격납된 어드레스(ADD)는 SRAM 코어(2)의 어드레스 디코더(3)에 입력된다.

<90> 어드레스 디코더(3)는 어드레스신호(A0~A17)를 디코드하여, 메모리셀 어레이(4)의 행을 선택하기 위한 신호 및 메모리셀 어레이(4)의 열을 선택하기 위한 신호를 발생시킨다. 행을 선택하기 위한 신호는 행선택회로(5)에 공급되고, 열을 선택하기 위한 신호는 열선택회로(6) 및 센스앰프/기입회로(7)에 공급된다. 열선택회로(6) 및 센스앰프/기입회로(7)는 메모리셀 어레이(4)의 메모리셀을 데이터선 (BUS0), 데이터선(BUS1)에 결합시키는 데이터 전송회로(8)를 구성한다. SRAM 코어의 일회로예를 도 7의 (a)에 나타낸다.

<91> 도 7의 (a)에 나타낸 바와 같이, 행선택회로(5)는 어드레스 디코더(3)로부터 출력된 행을 선택하기 위한 신호에 따라서 워드선(WL)을 선택하고, 선택된 워드선 (WL)을 구동한다. 워드선(WL)은 메모리셀 어레이(4)로 연장되고, 메모리셀 어레이 (4) 내에서 스태틱형 메모리셀(M)에 접속된다. 도 7의 (b)에 스태틱형 메모리셀(M)의 일회로예를 나타낸다.

<92> 도 7의 (b)에 나타낸 바와 같이, 스태틱형 메모리셀(M)은 데이터를 기억하는 랫치회로(9)와, 랫치회로(9)의 정상(正相)노드(N1)와 비트선(BL)과의 사이에 직렬로 접속된 N채널형 MOS트랜지스터(10)와, 랫치회로(9)의 역상노드(/N1)와 비트선 (/BL)과의 사이에 직렬로 접속된 N채널형 MOS트랜지스터(/10)로 구성된다. 워드선 (WL)은 트랜지스터(10,/10)의 게이트에 접속된다. 워드선(WL)의 전위가 “H”레벨로 되면, 트랜지스터(10,/10)가 모두 “온”하여, 비트선(BL)과 정상노드(N1)가 전기적으로 접속됨과 동시에 비트선(/BL)과 역상노드(/N1)가 전기적으로 접속된다. 이에 따라, 랫치회로(9)와 비트선쌍(BL,/BL)이 전기적으로 접속된다. 랫치회로(9)의 일례는 센스구동용의 N채널형 MOS트랜지스터쌍(11,/11)과 부하용의 P채널형 MOS트랜지스터쌍(12,/12)으로 구성된 크로스결합된 CMOS형 랫치회로이다.

<93> 이러한 스태틱형 메모리셀(M)이 워드선(WL)과 비트선쌍(BL,/BL)의 전기적인 교점에 대응하여 매트릭스형상으로 배치된다.

<94> 이 실시형태에 따른 디바이스에서는, 매트릭스형상으로 배치된 스태틱형 메모리셀(M)은 데이터선(BUS0)에 접속되는 제1메모리셀군과, 데이터선(BUS1)에 접속되는 제2메모리셀군으로 어드레스적으로 분할된다. 메모리셀의 물리어드레스와 논리어드레스의 대응관계를 도 7의 (c)에 나타낸다.

<95> 도 7의 (c)에는 18비트의 어드레스(A0~A17) 중 하위 4비트의 어드레스(A0~A3)가 나타나 있다. 이들 어드레스(A0~A3)는 논리어드레스이다. 4개의 논리어드레스(A0~A3)의 조합은 16가지가 있다(2의 4승). 따라서, 4개의 논리어드레스는 16개의 메모리셀 중에서 1개의 메모리셀을 선택할 수 있다. 16개의 메모리셀에는 각각 편의상 열번호 1~16을 부여한다.

<96> 도 7의 (a), 도 7의 (c)에 나타낸 바와 같이, 제1실시형태에 따른 디바이스에서는 열번호 1~16 중 기수의 메모리셀이 데이터선(BUS0)에 접속되고, 열번호 1~16중 우수의 메모리셀이 데이터선(BUS1)에 접속된다. 열번호가 기수인가 우수인가는 도 7의 (c)에 나타낸 바와 같이 18비트의 어드레스(A0~A17) 중 최하위비트의 어드레스(A0)의 논리에 의해 결정된다. 즉, 어드레스 디코더(3)에 입력된 어드레스(A0~A17) 중 어드레스(A0)가 “0”이면 데이터선(BUS0)에 접속되고, “1”이면 데이터선(BUS1)에 접속된다.

<97> 비트선쌍(BL,/BL)은 열선택회로(6)에 접속된다. 열선택회로(6)는 어드레스 디코더(3)로부터 출력된 열을 선택하기 위한 신호(CSL1~CSL8)에 따라서 비트선쌍(BL,/BL)을 선택하고, 선택된 비트선쌍(BL,/BL)을 센스앰프/기입회로(7)에 접속한다. 신호(CSL1~CSL8)는 어드레스(A0~A2)를 디코드함으로써 얻어진다.

<98> 열선택회로(6)는 각 비트선쌍(BL,/BL)마다 설치된 N채널형 MOS트랜지스터쌍 (13,/13)을 갖는다. 신호(CSL1~CSL8)는 N채널형 MOS트랜지스터쌍(13,/13)의 게이트에 공급된다.

<99> 센스앰프/기입회로(7)는 센스앰프(14-00,14-01,14-10,14-11), 기입회로(15-00,15-01,15-10,15-11)를 갖추고 있다. 센스앰프(14-00,14-01)는 독출동작시 어드레스(A3)가 “0”일 때에 활성화되어, 데이터선(BUS0,BUS1)으로 데이터를 증폭하여 전송한다. 또한, 센스앰프(14-10,14-11)는 독출동작시 어드레스(A3)가 “1”일 때에 활성화되어, 데이터선(BUS0,BUS1)으로 데이터를 증폭하여 전송한다.

<100> 기입회로(15-00,15-01)는 기입동작시 어드레스(A3)가 “0”일 때에 활성화되어, 데이터선(BUS0,BUS1)으로부터 열선택회로(6)로 데이터를 증폭하여 전송한다. 또한, 기입회로(15-10,15-11)는 기입동작시 어드레스(A3)가 “1”일 때에 활성화되어, 데이터선(BUS0,BUS1)으로부터 열선택회로(6)로 데이터를 증폭하여 전송한다.

<101> 도 6에 나타낸 버스트 어드레스 카운터(16)는 버스트동작이 명령되었을 때에, 버스트 어드레스를 발생시키는 것이다. 버스트 어드레스 카운터(16)는 내부 명령신호(Bo)가 활성화되면 활성화된다. 내부 명

령신호(Bo)는 버스트동작을 명령하는 신호이다. 버스트 어드레스 카운터(16)는 어드레스 레지스터(1)로부터 출력된 어드레스(A0~A17) 중, 예컨대 하위 2비트의 어드레스(A0,A1)를 규칙적으로 변화시킴으로써 4개의 버스트 어드레스로 연속적으로 변환한다.

<102> 더욱이, 리니어 모드(linear mode)시와 인터리브 모드(interleave mode)시에서는, 특히 버스트동작시 버스트 어드레스를 변화시키는 규칙성이 바뀐다.

<103> 리니어 모드는 메모리셀 어레이(4)의 모든 메모리셀(M)을 한번에 활성상태로 한다. 예컨대 도 7의 (a) 및 도 7의 (c)를 참조해서 설명하면, 물리어드레스 1~16의 모든 메모리셀(M)이 한번에 활성상태로 된다.

<104> 인터리브 모드는 메모리셀 어레이(4)의 모든 메모리셀(M)을 한번에 활성상태로 하지 않고, 예컨대 반씩 교대로 활성상태로 한다. 예컨대 도 7의 (a) 및 도 7의 (c)를 참조해서 설명하면, 예컨대 어드레스(A1)의 논리가 "0"일 때에 지정되는 메모리셀(M; 열번호 1, 2, 5, 6, 9, 10, 13, 14)과 어드레스(A1)의 논리가 "1"일 때에 지정되는 메모리셀(M; 열번호 3, 4, 7, 8, 11, 12, 15, 16)을 교대로 활성상태로 한다.

<105> [SDR방식]

<106> (버스트동작/리니어 모드)

<107> 버스트 어드레스 카운터(16)는 입력된 어드레스(A0~A17) 중 하위 2비트의 어드레스(A1,A0)를 도 8a에 나타낸 바와 같이 변화시킨다. 도 8a에 나타낸 바와 같이, 버스트 개시 어드레스의 하위 2비트(A1,A0)의 조합은 (0,0), (0,1), (1,0), (1,1)의 4가지가 있다. 어드레스(A1,A0)의 변화를 특히 버스트 개시 어드레스가 (0,1)인 경우에 주목하여 설명한다.

<108> 버스트 개시 어드레스가 (0,1)에서 도 7의 (c)에 나타낸 열번호가 "2"인 메모리셀(M)이 선택되었다고 하자. 이때, 버스트 어드레스 카운터(16)는 열번호가 "2", "3", "4", "1"의 순서로 메모리셀(M)이 선택되도록 어드레스(A1,A0)를 (0,1)→(1,0)→(1,1)→(0,0)으로 변화시킨다.

<109> 리니어 모드에서는 모든 메모리셀이 활성상태에 있다. 이 때문에, 버스트 개시 어드레스의 하위 2비트, 어드레스(A1,A0)는 차례로 증가시키면 좋다.

<110> (버스트동작/인터리브 모드)

<111> 버스트 어드레스 카운터(16)는 입력된 어드레스(A0~A17) 중 하위 2비트의 어드레스(A1,A0)를 도 8b에 나타낸 바와 같이 변화시킨다.

<112> 어드레스(A1,A0)의 변화를 특히 버스트 개시 어드레스가 (0,1)인 경우에 주목하여 설명한다.

<113> 버스트 개시 어드레스가 (0,1)에서 도 7의 (c)에 나타낸 열번호가 "2"인 메모리셀(M)이 선택되었다고 하자. 이때 버스트 어드레스 카운터(16)는 열번호가 "2", "1", "4", "3"의 순서로 메모리셀(M)이 선택되도록 어드레스(A1,A0)를 (0,1)→(0,0)→(1,1)→(1,0)로 변화시킨다.

<114> 인터리브 모드에서는 어드레스(A1)가 "0", "1"에서 반씩 교대로 메모리셀(M)이 활성상태로 된다. 이 때문에, 어드레스(A0)는 교대로 변화시키고, 어드레스(A1)는 어드레스(A0)가 개시시의 논리로 되돌아 갈 때마다 변화시키면 좋다.

<115> [DDR방식]

<116> (버스트동작/리니어 모드)

<117> 버스트 어드레스 카운터(16)는 입력된 어드레스(A0~A17) 중 하위 2비트의 어드레스(A1,A0)를 도 8c에 나타낸 바와 같이 변화시킨다.

<118> 어드레스(A1,A0)의 변화를 특히 버스트 개시 어드레스가 (0,1)인 경우에 주목하여 설명한다.

<119> 버스트 개시 어드레스가 (0,1)에서 도 7의 (c)에 나타낸 열번호가 "2"인 메모리셀(M)이 선택되었다고 하자. 이때, 버스트 어드레스 카운터(16)는 열번호가 "2", "3", "4", "1"의 순서로 메모리셀(M)이 선택되도록 SDR방식의 경우와 마찬가지로 어드레스(A1,A0)를 (0,1)→(1,0)→(1,1)→(0,0)으로 변화시킨다.

<120> (버스트동작/인터리브 모드)

<121> 버스트 어드레스 카운터(16)는 입력된 어드레스(A0~A17) 중 하위 2비트의 어드레스(A1,A0)를 도 8d에 나타낸 바와 같이 변화시킨다.

<122> 어드레스(A1,A0)의 변화를 특히 버스트 개시 어드레스가 (0,1)인 경우에 주목하여 설명한다.

<123> 버스트 개시 어드레스가 (0,1)에서 도 7의 (c)에 나타낸 열번호가 "2"인 메모리셀(M)이 선택되었다고 하자. 이때 버스트 어드레스 카운터(16)는 열번호가 "2", "1", "4", "3"의 순서로 메모리셀(M)이 선택되도록 SDR방식의 경우와 마찬가지로 어드레스(A1,A0)를 (0,1)→(0,0)→(1,1)→(1,0)으로 변화시킨다.

<124> 상기 6가지의 동작에 있어서, 어드레스(A0)가 "0"이면 선택된 메모리셀(M)은 데이터선(BUS0)에 접속되고, "1"이면 데이터선(BUS1)에 접속된다. 데이터선 (BUS0,BUS1)은 데이터 출력회로(17) 및 데이터 입력회로(30)에 접속되어 있다.

<125> [데이터 출력회로(17)]

<126> 도 6에 나타낸 바와 같이, 데이터 출력회로(17)는 기본적으로 독출데이터선 제어회로(18), 독출

레지스터(출력레지스터; 19u,19d), 출력 전송게이트(20u,20d)를 포함하여 구성된다.

<127> 데이터선(BUS0)은 제어회로(18)의 제1입력단자(21e)에 접속되고, 데이터선 (BUS1)은 제어회로(18)의 제2입력단자(21o)에 접속되어 있다.

<128> 제어회로(18)는 스위치회로(23-0,23-1,23-2,23-3)를 포함한다. 입력단자 (21e)는 스위치회로(23-0)의 일단 및 스위치회로(23-2)의 일단에 접속되고, 입력단자(21o)는 스위치회로(23-1)의 일단 및 스위치회로(23-3)의 일단에 접속되어 있다. 이들 스위치회로(23-0~23-3)는 각각 제어신호(RBC)에 의해 제어된다. 스위치회로 (23-0)의 타단 및 스위치회로(23-2)의 타단은 각각 제어회로(18)의 제1출력단자 (24u)에 접속되어 있다. 또한, 스위치회로(23-1)의 타단 및 스위치회로(23-3)의 타단은 각각 독출데이터선 제어회로(18)의 제2출력단자(24d)에 접속되어 있다. 제1출력단자(24u)는 독출데이터선 센스앰프(26u)의 입력에 접속되고, 제2출력단자(24d)는 독출데이터선 센스앰프(26d)의 입력에 접속되어 있다.

<129> 센스앰프(26u)는 예컨대 독출동작시에 활성화된다. 그리고, 제1출력단자 (24u)로 출력된 독출데이터를 증폭해서 독출레지스터(19u)의 입력에 전달한다. 마찬가지로, 센스앰프(26d)는 예컨대 독출동작시에 활성화되어, 제2출력단자(24d)로 출력된 독출데이터를 증폭해서 독출레지스터(19d)의 입력에 전달한다.

<130> 독출레지스터(19u)는 센스앰프(26u)를 매개로 출력된 독출데이터를 격납하고, 독출레지스터(19d)는 센스앰프(26d)를 매개로 출력된 독출데이터를 격납한다. 독출레지스터(19u,19d)는 각각 동작클럭(CK)의 상승엣지에 동기하여 격납한 독출데이터를 출력한다. 독출레지스터(19u)의 출력은 출력 전송게이트(20u)의 입력에 접속되고, 독출레지스터(19d)의 출력은 출력 전송게이트(20d)의 입력에 접속되어 있다.

<131> 출력 전송게이트(20u)는 동작클럭(CK)이 "H"레벨인 동안 독출레지스터 (19u)가 출력한 독출데이터를 출력한다. 출력 전송게이트(20d)는 반전동작클럭 (/CK)이 "H"레벨인 동안 독출레지스터(19d)가 출력한 독출데이터를 출력한다. 반전동작클럭(/CK)은 동작클럭(CK)과 역상의 클럭이다. 반전동작클럭(/CK)은 동작클럭(CK)이 하강함과 동시에 상승한다. 이에 따라, 이 실시형태에서는 외관상 동작클럭(CK)의 상승엣지 및 하강엣지의 쌍방에 동기하여 데이터가 출력되게 된다. 따라서, DDR방식에 대응 가능하게 된다.

<132> 동작클럭(CK) 및 반전동작클럭(/CK)은 예컨대 칩내에 설치된 클럭 버퍼(27)에서 발생된다. 클럭버퍼(27)는 외부클럭($CK_{ext.}$)으로부터 동작클럭(CK) 및 반전동작클럭(/CK)을 발생한다.

<133> 출력 전송게이트(20u,20d) 각각의 출력은 출력버퍼(28)의 입력에 접속되어 있다. 출력버퍼(28)의 출력은 칩의 입출력단자(29)에 접속된다.

<134> [데이터 입력회로(30)]

<135> 데이터 입력회로(30)는, 기본적으로 제1스테이지 기입레지스터(제1스테이지 입력레지스터; 31u,31d), 제2스테이지 기입레지스터(제2스테이지 입력레지스터; 32e,32o), 기입데이터선 제어회로(33)를 포함하여 구성된다.

<136> 입출력단자(29)는 입력버퍼(34)의 입력에 접속되어 있다. 입력버퍼(34)의 출력은 기입레지스터(31u)의 입력 및 기입레지스터(31d)의 입력에 접속되어 있다. 기입레지스터(31u)는 동작클럭(CK)이 "H"레벨인 동안 자신에 격납된 기입데이터를 출력한다. 기입레지스터(31d)는 반전동작클럭(/CK)이 "H"레벨인 동안 자신에 격납된 기입데이터를 출력한다. 이에 따라, 이 실시형태에서는 외관상 동작클럭(CK)의 상승엣지 및 하강엣지의 쌍방에 동기하여 데이터가 입력되게 된다. 따라서, DDR방식에 대응 가능하게 된다. 기입레지스터(31u)의 출력은 기입데이터선 제어회로 (33)의 제1입력단자(35u)에 접속되고, 기입레지스터(31d)의 출력은 기입데이터선 제어회로(33)의 제2입력단자(35d)에 접속되어 있다.

<137> 제어회로(33)는 스위치회로(37-0,37-1,37-2,37-3)를 포함한다. 제1입력단자 (35u)는 스위치회로(37-0)의 일단 및 스위치회로(37-2)의 일단에 접속되고, 제2입력단자(35d)는 스위치회로(37-1)의 일단 및 스위치회로(37-3)의 일단에 접속되어 있다. 이들 스위치회로(37-0~37-3)는 각각 제어신호(WBC)에 의해 제어된다. 스위치회로(37-0)의 타단 및 스위치회로(37-1)의 타단은 각각 제어회로(33)의 제1출력단자(38e)에 접속되어 있다. 또한, 스위치회로(37-2)의 타단 및 스위치회로(37-3)의 타단은 각각 제어회로(33)의 제2출력단자(38o)에 접속되어 있다. 제1출력단자 (38e)는 기입레지스터(32e)의 입력에 접속되고, 제2출력단자(38o)는 기입레지스터 (32o)의 입력에 접속되어 있다.

<138> 기입레지스터(32e)는 제1출력단자(38e)에 출력된 기입데이터를 격납하고, 기입레지스터(32o)는 제2출력단자(38o)에 출력된 기입데이터를 격납한다. 기입레지스터(32e,32o)는 각각 동작클럭(CK)의 상승엣지에 동기하여 격납한 기입데이터를 출력한다. 기입레지스터(32e,32o)의 출력은 각각 기입데이터선 버퍼(40e,40o)의 입력 각각에 접속되어 있다.

<139> 기입데이터선 버퍼(40e)는 예컨대 기입동작시에 활성화된다. 그리고, 기입레지스터(32e)로부터 출력된 기입데이터를 버퍼링하여 데이터선(BUS0)으로 전달한다. 마찬가지로, 기입데이터선 버퍼(40o)는 예컨대 기입동작시에 활성화되어 기입레지스터(32o)로부터 출력된 기입데이터를 버퍼링해서 데이터선(BUS1)으로 전달한다.

<140> [제어계 회로]

<141> 데이터 출력회로(17)는 독출동작시에 활성화되고, 데이터 입력회로(30)는 기입동작시에 활성화된다. 독출인가 기입인가는 명령(READ/WRITE)에 의해 결정된다.

<142> 이 제1실시형태에 따른 동기형 SRAM은, SDR방식, DDR방식의 쌍방에 대응 가능하고, SDR방식이나 DDR방식의 어느 하나를 선택할 수 있다. SDR방식을 선택하는가 DDR방식을 선택하는가는 명령(SINGLE/DOUBLE)에 의해 결정된다.

<143> 또한, 어드레스 입력방식으로서 표준방식 외에 버스트방식이 있다. 표준방식인가 버스트방식인가

는 명령(BURST)에 의해 결정된다.

<144> 더욱이, 메모리셀 어레이의 활성방식으로서 리니어방식, 인터리브방식이 있다. 리니어방식을 선택하는가 인터리브방식을 선택하는가는 명령(LINER/INTER LEAVE)에 의해 결정된다.

<145> 이들 명령은 각각 명령디코더(41)에 입력된다. 명령디코더(41)는 이들 명령을 디코드하여, 신호 Ro/Wo, 신호 So/Do, 신호 Bo, 신호 Lo/Io를 발생시킨다. 신호(Ro/Wo)는 독출인가 기입인가를 지정하는 것으로, 특히 독출/기입 제어회로(42) 및 데이터선 제어회로(43)에 공급된다. 신호(So/Do)는 SDR방식인가 DDR방식인가를 지정하는 것으로, 특히 버스트 어드레스 카운터(16) 및 데이터선 제어회로(43)에 공급된다. 신호(Bo)는 표준방식인가 버스트방식인가를 지정하는 것으로, 특히 버스트 어드레스 카운터(16)에 공급된다. 신호(Lo/Io)는 리니어인가 인터리브인가를 지정하는 것으로, 특히 버스트 어드레스 카운터(16)에 공급된다.

<146> 버스트 어드레스 카운터(16)는 신호(Bo)에 의해 버스트방식이 지정된 경우, 신호(So/Do, Lo/Io)에 기초하여 특히 도 8a～도 8d에 나타낸 바와 같이 버스트 어드레스를 발생한다.

<147> 독출/기입 제어회로(42)는 신호(Ro/Wo)에 기초하여 신호(R,R′,W,W′,PRC)를 발생한다. 신호(R,R′)는 각각 독출시 센스앰프(14-00,14-01,14-10,14-11), 독출 데이터선 센스앰프(26u,26d)를 활성화시킨다. 신호(W,W′)는 각각 기입시 기입회로 (15-00,15-01,15-10,15-11), 기입데이터선 버퍼(40e,40o)를 활성화시킨다. 또한, 신호(PRC)는 프리차지회로(44-0,44-1)에 공급된다. 프리차지회로(44-0)는 신호 (PRC)에 응답하여 데이터선(BUS0)을 VCC 레벨로 프리차지하고, 프리차지회로(44-1)는 신호(PRC)에 응답하여 데이터선(BUS1)을 VCC 레벨로 프리차지한다.

<148> 데이터선 제어회로(43)는 신호(Ro/Wo,So/Do), 어드레스(A0)에 기초하여 신호 (RBC,WBC)를 발생한다.

<149> 신호(RBC)는 독출데이터선 제어회로(18)을 제어한다. 특히 신호(RBC)는 독출레지스터(19u,19d)가 구동되는 타이밍과는 다른 타이밍에서 스위치회로(23-0～23-3)를 온/오프 제어한다.

<150> 신호(WBC)는 기입데이터선 제어회로(33)를 제어한다. 특히 신호(WBC)는 기입레지스터(32e,32o)가 구동되는 타이밍과는 다른 타이밍에서 스위치회로(37-0～37-3)를 온/오프 제어한다.

<151> 이하, 제1실시형태에 따른 동기형 SRAM의 동작을 리니어, 버스트방식시를 예로 하면서 설명한다.

<152> [DDR 독출동작]

<153> 도 9는 DDR 독출동작을 나타낸 타이밍차트이다.

<154> 도 9에 나타낸 바와 같이, 사이클1에서 어드레스(RA000)가 칩으로 받아 들여진다(“000” 은 각각 어드레스(A2, A1, A0)의 논리에 대응하고 있다). 버스트 어드레스 카운터(16)는 어드레스(RA000)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8c에 나타낸 바와 같이 변화시킨다. 이에 따라, 버스트 어드레스가 발생된다.

<155> 사이클1에서는 버스트 어드레스(RA000,RA001; 도시하지 않음)가 발생된다. 그리고, 버스트 어드레스(RA000)에 의해 지정된 메모리셀로부터 데이터(RD000)가 데이터선(BUS0)으로 독출된다. 또한, 버스트 어드레스(RA001)에 의해 지정된 메모리셀로부터 데이터(RD001)가 데이터선(BUS1)으로 독출된다.

<156> 독출데이터선 제어회로(18)는 예컨대 개시 어드레스의 최하위비트(A0)를 참조하여 데이터선(BUS0,BUS1)과 독출레지스터(19u,19d)의 접속관계를 제어한다. 도 10a에 최하위비트(A0)가 “0” 일 때의 독출데이터선 제어회로(18)의 상태를 나타낸다.

<157> 도 10a에 나타낸 바와 같이, 최하위비트(A0)가 “0” 일 때, 스위치회로(23-0)는 온, 스위치회로(23-1)는 오프, 스위치회로(23-2)는 오프, 스위치회로(23-3)는 온한다. 이 상태에서는, 데이터선(BUS0)은 독출레지스터(19u)에 접속되고, 데이터선(BUS1)은 독출레지스터(19d)에 접속된다. 따라서, 데이터선(BUS0)으로 독출된 데이터(RD000)는 독출레지스터(19u)에 격납되고, 데이터선(BUS1)으로 독출된 데이터(RD001)는 독출레지스터(19d)에 격납된다.

<158> 다음에, 사이클2에서 버스트 어드레스(RA010,RA011)가 발생된다. 그리고, 버스트 어드레스(RA010)에 의해 지정된 메모리셀로부터 데이터(RD010)가 데이터선 (BUS0)으로, 버스트 어드레스(RA011)에 의해 지정된 메모리셀로부터 데이터(RD011)가 데이터선(BUS1)으로 각각 실질적으로 병렬로 출력된다. 데이터선(BUS0)으로 독출된 데이터(RD010)는 독출레지스터(19u)에 격납되고, 데이터선(BUS1)으로 독출된 데이터(RD011)는 독출레지스터(19d)에 격납된다.

<159> 또한, 독출레지스터(19u,19d)는 각각 먼저 격납되어 있던 독출데이터 (RD000,RD001)를 출력한다. 이에 따라, 독출데이터(RD000)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다. 이어서, 독출데이터 (RD001)가 출력 전송게이트(20d)를 매개해서 반전동작클럭(/CK)의 상승엣지에 동기하여 출력된다.

<160> 다음에, 사이클3에서 독출레지스터(19u,19d)는 각각 사이클2에서 격납한 독출데이터 (RD010,RD011)를 출력한다. 이에 따라, 독출데이터(RD010)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다. 이어서, 독출데이터(RD011)가 출력 전송게이트(20d)를 매개해서 반전동작클럭(/CK)의 상승엣지에 동기하여 출력된다.

<161> 또한, 이 사이클3에서 어드레스(RA001)가 칩으로 받아 들여진다. 어드레스(RA000)의 최하위비트(A0)는 “1” 이다. 버스트 어드레스 카운터(16)는 어드레스(RA001)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8c에 나타낸 바와 같이 변화시킨다.

<162> 사이클3에서는 버스트 어드레스(RA001,RA010)가 발생한다. 그리고, 버스트 어드레스(RA001)에 의해 지정된 메모리셀로부터 데이터(RD001)가 데이터선(BUS1)으로 독출된다. 또한, 버스트 어드레스(RA01

0)에 의해 지정된 메모리셀로부터 데이터(RD010)가 데이터선(BUS0)으로 독출된다. 도 10b에 최하위비트(A0)가 “1” 일 때의 독출데이터선 제어회로(18)의 상태를 나타낸다.

<163> 도 10b에 나타낸 바와 같이, 최하위비트(A0)가 “1”일 때 스위치회로(23-0)는 오프, 스위치회로(23-1)는 온, 스위치회로(23-2)는 온, 스위치회로(23-3)는 오프한다. 이 상태에서는, 데이터선(BUS0)은 독출레지스터(19d)에 접속되고, 데이터선(BUS1)은 독출레지스터(19u)에 접속된다. 따라서, 데이터선(BUS0)으로 독출된 데이터(RD010)는 독출레지스터(19d)에 격납되고, 데이터선(BUS1)으로 독출된 데이터(RD001)는 독출레지스터(19u)에 격납된다.

<164> 다음에, 사이클4에서 독출레지스터(19u,19d)는 각각 사이클3에서 격납한 데이터(RD001,RD010)를 출력한다. 데이터(RD001)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다. 이어서, 데이터(RD010)가 출력 전송게이트(20d)를 매개해서 반전동작클럭(/CK)의 상승엣지에 동기하여 출력된다.

<165> 또한, 사이클4에서 버스트 어드레스(RA011,RA000)가 발생된다. 그리고, 버스트 어드레스(RA011)에 의해 지정된 메모리셀로부터 데이터(RD011)가 데이터선 (BUS1)으로, 버스트 어드레스(RA000)에 의해 지정된 메모리셀로부터 데이터(RD000)가 데이터선(BUS0)으로 출력된다. 데이터선(BUS0)에 독출된 데이터(RD000)는 독출레지스터(19d)에 격납되고, 데이터선(BUS1)으로 독출된 데이터(RD011)는 독출레지스터(19u)에 격납된다.

<166> 다음에, 사이클5에서 독출레지스터(19u,19d)는 각각 사이클4에서 격납한 독출데이터(RD011,RD000)를 출력한다. 이에 따라, 데이터(RD011)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다. 이어서, 독출데이터(RD000)가 출력 전송게이트(20d)를 매개해서, 반전동작클럭(/CK)의 상승엣지에 동기하여 출력된다.

<167> [SDR 독출동작]

<168> 도 11은 SDR 독출동작을 나타낸 타이밍차트이다.

<169> 도 11에 나타낸 바와 같이, 사이클1에서 어드레스(RA000)가 칩으로 받아 들여진다. 버스트 어드레스 카운터(16)는 어드레스(RA000)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8a에 나타낸 바와 같이 변화시킨다.

<170> 사이클1에서는 버스트 어드레스(RA000)가 발생된다. 그리고, 버스트 어드레스(RA000)에 의해 지정된 메모리셀로부터 데이터(RD000)가 데이터선(BUS0)으로 출력된다. 도 12a에 최하위비트(A0)가 “0”일 때의 독출데이터선 제어회로(18)의 상태를 나타낸다.

<171> 도 12a에 나타낸 바와 같이, 최하위비트(A0)가 “0”일 때 스위치회로(23-0)는 온, 스위치회로(23-1)는 오프, 스위치회로(23-2)는 온, 스위치회로(23-3)는 오프한다. 이 상태에서는, 데이터선(BUS0)은 독출레지스터(19u)에 접속된다. 따라서, 데이터선(BUS0)으로 독출된 데이터(RD000)는 독출레지스터(19u)에 격납된다.

<172> 다음에, 사이클2에서 독출레지스터(19u)는 사이클1에서 격납한 데이터(RD 000)를 출력한다. 이에 따라, 독출데이터(RD000)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다.

<173> 또한, 사이클2에서 버스트 어드레스(RA001)가 발생된다. 그리고, 버스트 어드레스(RA001)에 의해 지정된 메모리셀로부터 데이터(RD001)가 데이터선(BUS1)으로 출력된다. 도 12b에 최하위비트(A0)가 “1” 일 때의 독출데이터선 제어회로(18)의 상태를 나타낸다.

<174> 도 12b에 나타낸 바와 같이, 최하위비트(A0)가 “1”일 때 스위치회로(23-0)는 오프, 스위치회로(23-1)는 온, 스위치회로(23-2)는 오프, 스위치회로(23-3)는 온한다. 이 상태에서는, 데이터선(BUS1)은 독출레지스터(19u)에 접속된다. 따라서, 데이터선(BUS1)에 독출된 데이터(RD001)는 독출레지스터(19u)에 격납된다.

<175> 다음에, 사이클3에서 독출레지스터(19u)는 사이클2에서 격납한 데이터 (RD001)를 출력한다. 이에 따라, 독출데이터(RD001)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다.

<176> 또한, 사이클3에서 어드레스(RA001)가 칩으로 받아 들여진다. 버스트 어드레스 카운터(16)는 어드레스(RA001)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8a에 나타낸 바와 같이 변화시킨다.

<177> 사이클3에서는 버스트 어드레스(RA001)가 발생된다. 그리고, 버스트 어드레스(RA001)에 의해 지정된 메모리셀로부터 데이터(RD001)가 데이터선(BUS1)으로 출력된다. 이때, 최하위비트(A0)는 “1”이므로, 독출데이터선 제어회로(18)는 도 12b의 상태를 취한다. 따라서, 데이터선(BUS1)은 독출레지스터(19u)에 접속되고, 데이터(RD001)는 독출레지스터(19u)에 격납된다.

<178> 다음에, 사이클4에서 독출레지스터(19u)는 사이클3에서 격납한 데이터(RD001)를 출력한다. 이에 따라, 독출데이터(RD001)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다.

<179> 또한, 사이클4에서 버스트 어드레스(RA010)가 발생된다. 그리고, 버스트 어드레스(RA010)에 의해 지정된 메모리셀로부터 데이터(RD010)가 데이터선(BUS0)으로 출력된다. 이때, 최하위비트(A0)는 “0”이므로, 독출데이터선 제어회로(18)는 도 12a의 상태를 취한다. 따라서, 데이터선(BUS0)은 독출레지스터(19u)에 접속되고, 데이터(RD010)는 독출레지스터(19u)에 격납된다.

<180> 다음에, 사이클5에서 독출레지스터(19u)는 사이클2에서 격납한 데이터(RD010)를 출력한다. 이에 따라, 독출데이터(RD010)는 출력 전송게이트(20u)를 매개해서 동작클럭(CK)의 상승엣지에 동기하여 출력된다.

<181> 이와 같이 제1실시형태에서는 DDR방식인가 SDR방식인가, 최하위비트(A0)가 “0”인가 “1”인가에 따라 데이터선(BUS0,BUS1)과 독출레지스터(19u,19d)의 접속상태를 절환할 수 있는 독출데이터선 제어회로(18)을 갖추고 있다. 이에 따라, DDR방식, SDR방식의 어느 쪽의 경우에 있어서도, 어드레스 발생순서대로 데이터를 독출할 수 있다. 예컨대 DDR방식시에 있어서, 버스트 어드레스가 RA001→RA010→RA011→RA000의 순서로 발생된 경우에는, 데이터를 RD001→RD010→RD011→RD000의 순서로 출력할 수 있다.

<182> 게다가, 출력 전송게이트(20u,20d)는 각각 동작클럭(CK), 반전동작클럭(/CK)에 동기하여 데이터를 출력한다. 이 때문에, 도 9, 도 11에 나타낸 바와 같이 데이터의 출력 타이밍은 동작클럭(CK,/CK)에 대해 늦어지는 일이 없다.

<183> 따라서, 동작속도를 향상시키기 위해 동작클럭(CK)의 주파수를 높이더라도, 충분한 데이터의 출력시간을 얻을 수 있다.

<184> [DDR 기입동작]

<185> 도 13은 DDR 기입동작을 나타낸 타이밍차트이다.

<186> 도 13에 나타낸 바와 같이, 사이클1에서 어드레스(WA000)가 칩으로 받아 들여진다. 버스트 어드레스 카운터(16)는 어드레스(WA000)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8c에 나타낸 바와 같이 변화시킨다. 사이클1에서는 버스트 어드레스(WA000,WA001)가 발생된다.

<187> 다음에, 사이클2에서 제1스테이지 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD000)를 출력하고, 제1스테이지 기입레지스터(31d)는 반전동작클럭(/CK)의 상승엣지에 동기하여 데이터(WD001)를 출력한다.

<188> 기입데이터선 제어회로(33)는, 예컨대 개시 어드레스의 최하위비트(A0)를 참조하여 제1스테이지 기입레지스터(31u,31d)와 제2스테이지 기입레지스터(31e,31o)의 접속관계를 제어한다. 도 14a에 최하위비트(A0)가 “0”일 때의 기입데이터선 제어회로(33)의 상태를 나타낸다.

<189> 도 14a에 나타낸 바와 같이, 최하위비트(A0)가 “0”일 때 스위치회로(37-0)는 온, 스위치회로(37-1)는 오프, 스위치회로(37-2)는 오프, 스위치회로(37-3)는 온한다. 이 상태에서는, 기입레지스터(31u)는 기입레지스터(32e)에 접속되고, 기입레지스터(31d)는 기입레지스터(32o)에 접속된다. 따라서, 기입레지스터(31u)가 출력한 데이터(WD000)는 기입레지스터(32e)에 격납되고, 기입레지스터(31d)가 출력한 데이터(WD001)는 기입레지스터(32o)에 격납된다.

<190> 또한, 사이클2에서는 버스트 어드레스(WA010,WA011)가 발생된다.

<191> 다음에, 사이클3에서 기입레지스터(32e,32o)는 각각 사이클2에서 격납한 데이터(WD000,WD001)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA000)에 대응한 메모리셀에 데이터(WD000)가 기입되고, 어드레스(WA001)에 대응한 메모리셀에 데이터(WD001)가 기입된다.

<192> 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD010)를 출력하고, 기입레지스터(31d)는 반전동작클럭(/CK)의 상승엣지에 동기하여 데이터 (WD011)를 출력한다. 기입레지스터(31u)가 출력한 데이터(WD010)는 기입레지스터 (31e)에 격납되고, 기입레지스터(31d)가 출력한 데이터(WD011)는 기입레지스터 (32e)에 격납된다.

<193> 또한, 사이클3에서 어드레스(WA001)가 칩으로 받아 들여진다. 버스트 어드레스 카운터(16)는 어드레스(WA001)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8c에 나타낸 바와 같이 변화시킨다. 사이클3에서는 버스트 어드레스(WA001,WA010)가 발생된다.

<194> 다음에, 사이클4에서 기입레지스터(32e,32o)는 각각 사이클3에서 격납한 데이터(WD010,WD011)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA010)에 대응한 메모리셀에 데이터(WD000)가 기입되고, 어드레스(WA011)에 대응한 메모리셀에 데이터(WD001)가 기입된다.

<195> 또한, 사이클4에서 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD001)를 출력하고, 기입레지스터(31d)는 반전동작클럭(/CK)의 상승엣지에 동기하여 데이터(WD010)를 출력한다. 도 14b에 최하위비트(A0)가 “1”일 때의 기입데이터선 제어회로(33)의 상태를 나타낸다.

<196> 도 14b에 나타낸 바와 같이, 최하위비트(A0)가 “1”일 때 스위치회로(37-0)는 오프, 스위치회로(37-1)는 온, 스위치회로(37-2)는 온, 스위치회로(37-3)는 오프한다. 이 상태에서는, 기입레지스터(31u)는 기입레지스터(32o)에 접속되고, 기입레지스터(31d)는 기입레지스터(32e)에 접속된다. 따라서, 기입레지스터(31u)가 출력한 데이터(WD001)는 기입레지스터(32o)에 격납되고, 기입레지스터(31d)가 출력한 데이터(WD010)는 기입레지스터(32e)에 격납된다.

<197> 또한, 사이클4에서는 버스트 어드레스(WA011,WA000)가 발생된다.

<198> 다음에, 사이클5에서 기입레지스터(32e,32o)는 각각 사이클4에서 격납한 데이터(WD010,WD001)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA010)에 대응한 메모리셀에 데이터(WD010)가 기입되고, 어드레스(WA001)에 대응한 메모리셀에 데이터(WD001)가 기입된다.

<199> 또한, 사이클5에서 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD011)를 출력하고, 기입레지스터(31d)는 반전동작클럭(/CK)의 상승엣지에 동기하여 데이터(WD000)를 출력한다. 기입레지스터(31u)가 출력한 데이터 (WD011)는 기입레지스터(32o)에 격납되고, 기입레지스터(31u)가 출력한 데이터 (WD000)는 기입레지스터(32e)에 격납된다.

<200> 다음에, 사이클6에서 기입레지스터(32e,32o)는 각각 사이클5에서 격납한 데이터(WD000,WD011)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA000)에 대응한 메모리셀에 데이터(WD000)가 기입되고, 어드레스(WA011)에 대응한 메모리셀에 데이터(WD011)가 기입된다.

<201> [SDR 기입동작]

<202> 도 15는 SDR 기입동작을 나타낸 타이밍차트이다.

<203> 도 15에 나타낸 바와 같이, 사이클1에서 어드레스(WA000)가 칩으로 받아 들여진다. 버스트 어드레스 카운터(16)는 어드레스(WA000)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8a에 나타낸 바와 같이 변화시킨다. 사이클1에서는 버스트 어드레스(WA000)가 발생된다.

<204> 다음에, 사이클2에서 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD000)를 출력한다.

<205> 기입데이터선 제어회로(33)는 SDR 기입동작시 최하위비트(A0)에 관계없이 기입레지스터(31u)를 기입레지스터(32e,32o) 각각에 접속한다. 도 16에 SDR 기입동작시의 기입데이터선 제어회로(33)의 상태를 나타낸다.

<206> 도 16에 나타낸 바와 같이, 스위치회로(37-0)는 온, 스위치회로(37-1)는 오프, 스위치회로(37-2)는 온, 스위치회로(37-3)는 오프이다. 따라서, 기입레지스터 (31u)가 출력한 데이터(WD000)는 기입레지스터(32e,32o) 각각에 격납된다.

<207> 또한, 사이클2에서는 버스트 어드레스(WA001)가 발생된다.

<208> 다음에, 사이클3에서 기입레지스터(32e,32o)는 각각 사이클2에서 격납한 데이터(WD000)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA000)에 대응한 메모리셀에 데이터(WD000)가 기입된다.

<209> 또한, 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD001)를 출력한다. 기입레지스터(31u)가 출력한 데이터(WD001)는 기입레지스터(32e,32o) 각각에 격납된다.

<210> 또한, 사이클3에서 어드레스(WA001)가 칩으로 받아 들여진다. 버스트 어드레스 카운터(16)는 어드레스(WA001)를 개시 어드레스로 하여 어드레스(A1,A0)를 도 8c에 나타낸 바와 같이 변화시킨다. 사이클3에서는 버스트 어드레스(WA001)가 발생된다.

<211> 다음에, 사이클4에서 기입레지스터(32e,32o)는 각각 사이클3에서 격납한 데이터(WD001)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA001)에 대응한 메모리셀에 데이터(WD001)가 기입된다.

<212> 또한, 사이클4에서 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD001)를 출력한다. 기입레지스터(31u)가 출력한 데이터(WD001)은 기입레지스터(32e,32o) 각각에 격납된다.

<213> 또한, 사이클4에서는 버스트 어드레스(WA010)가 발생된다.

<214> 다음에, 사이클5에서 기입레지스터(32e,32o)는 각각 사이클4에서 격납한 데이터(WD001)을 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA001)에 대응한 메모리셀에 데이터(WD001)가 기입된다.

<215> 또한, 사이클5에서 기입레지스터(31u)는 동작클럭(CK)의 상승엣지에 동기하여 데이터(WD010)를 출력한다. 기입레지스터(31u)가 출력한 데이터(WD010)는 기입레지스터(32e,32o) 각각에 격납된다.

<216> 다음에, 사이클6에서 기입레지스터(32e,32o)는 각각 사이클5에서 격납한 데이터(WD010)를 데이터선(BUS0,BUS1)으로 출력한다. 그리고, 어드레스(WA010)에 대응한 메모리셀에 데이터(WD010)가 기입된다.

<217> 이와 같이 제1실시형태에서는 DDR방식인가 SDR방식인가, 최하위비트(A0)가 “0”인가 “1”인가에 따라 기입레지스터(31u,31d)와 기입레지스터(32e,32o)의 접속상태를 절환할 수 있는 기입데이터선 제어회로(33)를 갖추고 있다. 이에 따라, DDR방식, SDR방식의 어느쪽의 경우에 있어서도 데이터의 입력순서와 어드레스의 발생순서를 각각 대응시켜 데이터를 기입할 수 있다.

<218> 게다가, 기입레지스터(31u,31d)는 각각 동작클럭(CK), 반전동작클럭(/CK)에 동기하여 데이터를 출력한다. 이 때문에, 종래와 같이 기입레지스터(31u,31d)의 데이터 출력시간이 짧아지거나 하는 일이 없다.

<219> 따라서, 동작속도를 향상시키기 위해 동작클럭(CK)의 주파수를 높이더라도, 기입레지스터(31u,31d)의 데이터 출력시간을 충분히 얻을 수 있다.

<220> [데이터선 제어회로]

<221> 도 17은 독출데이터선 제어회로(18)의 일회로예를 나타낸 회로도이다.

<222> 도 17에 나타낸 바와 같이, 일회로예에서는 데이터선(BUS0)은 상보적인 데이터선쌍(BUS0,/BUS0)으로 구성되고, 데이터선(BUS1)은 상보적인 데이터선쌍(BUS1, /BUS1)으로 구성된다. 데이터선쌍(BUS0,/BUS0)은 제어회로(18)의 제1입력단자 (21e,/21e)에 접속되고, 데이터선쌍(BUS1,/BUS1)은 제어회로(18)의 제2입력단자 (21o,/21o)에 접속된다.

<223> 스위치회로(23-0～23-3)는 각각 P채널형 MOS트랜지스터쌍(45-0～45-3,/45-0～/45-3)을 포함하는 전송게이트회로로 구성되어 있다. 스위치 제어회로(46-0)는 트랜지스터쌍(45-0,/45-0)의 온/오프상태 및 트랜지스터쌍(45-1,/45-1)의 온/오프상태를 제어한다. 또한, 스위치 제어회로(46-1)는 트랜지스터쌍(45-2,/45-2)의 온/오프상태 및 트랜지스터쌍(45-3,/45-3)의 온/오프상태를 제어한다.

<224> 스위치 제어회로(46-0)는 제1, 제2인버터회로(47-0,47-1), 제1, 제2NAND회로 (48-0,48-1)를 포함한다. 제1인버터회로(47-0)에는 신호(a)가 공급된다. 신호(a)는 트랜지스터쌍(45-0,/45-0)을 온시키고자 하는 경우에 “L”상태로 된다. 또한, 제2인버터회로(47-1)에는 신호(b)가 공급된다. 신호(b)는 트랜지스터쌍(45-1,/45-1)을 온시키고자 하는 경우에 “L”상태로 된다.

<225> 제1NAND회로(48-0)에는 반전신호(/a) 및 이네이블신호(SEN2)가 공급된다. 제1NAND회로(48-0)는 반전신호(/a), 신호(SEN2)가 모두 “H”일 때, 트랜지스터쌍 (45-0,/45-0)을 온시킨다. 제2NAND회로(48-

1)에는 반전신호(/b) 및 이네이블신호 (SEN2)가 공급된다. 제2NAND회로(48-1)는 반전신호(/b), 신호(SEN2)가 모두 “H”일 때 트랜지스터쌍(45-1,/45-1)을 온시킨다.

<226> 스위치 제어회로(46-1)는 스위치 제어회로(46-0)와 마찬가지의 회로이다. 따라서, 스위치 제어회로(46-1)는 신호(c)가 “L”, 신호(SEN2)가 “H”일 때 트랜지스터쌍(45-3,/45-3)을 온시키고, 신호(d)가 “L”, 신호(SEN2)가 “H”일 때 트랜지스터쌍(45-2,/45-2)을 온시킨다.

<227> 여기에서, 신호(a~d)는 예컨대 신호(RBC)에 상당한다.

<228> 또한, 기입데이터선 제어회로(33)는 도 17에 나타낸 독출데이터선 제어회로 (18)와 마찬가지의 회로로 구성할 수 있다.

<229> [독출데이터선 센스앰프]

<230> 또한, 도 17에는 독출데이터선 센스앰프(26u,26d)가 나타나 있다. 독출데이터선 센스앰프(26u,26d)는 각각 CMOS형 랫치회로를 포함한다.

<231> 센스앰프(26u)의 정상노드(48-0), 역상노드(/48-0)는 각각 제어회로(18)의 제1출력단자(24u,/24u)에 전송게이트쌍(49-0,/49-0)을 매개로 접속된다. 전송게이트쌍(49-0,/49-0)은 각각 P채널형 MOS트랜지스터로 구성된다. 그 게이트에는 신호(e)가 공급된다. 신호(e)는 예컨대 신호(R´)에 상당한다. 센스앰프(26u)는 신호(e)가 “L”인 동안 제1출력단자(24u,/24u)에 접속된다. 또한, 정상/역상노드(48-0,/48-0)는 배선(50,/50)을 매개로 독출레지스터(19u)의 입력에 접속된다. 더욱이 정상/역상노드(48-0,/48-0)는 P채널형 MOS트랜지스터쌍(51,/51)을 매개로 전원전위(Vcc)의 공급단에 접속되어 있다. 트랜지스터쌍(51,/51)은 프리차지신호(PR)가 “L”인 동안 정상/역상노드(48-0,/48-0)를 각각 전원전위(Vcc)로 프리차지한다. 또한, 센스앰프(26u)의 접지노드(52)는 N채널형 MOS트랜지스터(53)를 매개로 회로내 접지전위(Vss)의 공급단에 접속된다. 트랜지스터(53)는 센스 이네이블신호(SEN1)가 “H”인 동안 접지노드(52)에 전위(Vss)를 공급한다.

<232> 센스앰프(26d)는 센스앰프(26u)와 마찬가지의 회로이다. 따라서, 센스앰프(26d)는 신호(SEN1)가 “H”인 동안 활성상태로 된다. 또한, 신호(PR)가 “L”인 동안 그 정상/역상노드(48-1,/48-1)는 전원전위(Vcc)로 프리차지된다. 또한, 신호(e)가 “L”인 동안 그 정상/역상노드(48-1,/48-1)는 전송게이트쌍(49-1,/49-1)을 매개로 제어회로(18)의 제2출력단자(24d,/24d)에 접속된다.

<233> 다음에는 상기 독출데이터선 센스앰프(26u)의 동작을 설명한다.

<234> 독출동작시에는, 신호(e)를 “L”레벨로 하여 제1출력단자(24u,/24u)로 출력된 데이터를 센스앰프(26u)의 정상/역상노드(48-0,/48-0)로 전송한다. 데이터를 전송한 후, 신호(e)를 “H”레벨로 하고, 정상/역상노드(48-0,/48-0)를 제1출력단자 (24u,/24u)로부터 분리한다. 신호(e)가 “H”로 됨과 거의 동시에 신호(SEN1)를 “H”로 하고, 전송된 데이터를 증폭한다.

<235> 이러한 독출데이터선 센스앰프(26u)라면, 정상/역상노드(48-0,/48-0)를 제1출력단자(24u,/24u) 즉 데이터선쌍(BUS0,/BUS0,BUS1,/BUS1)으로부터 분리한 상태에서 데이터를 증폭할 수 있다. 이 때문에, 데이터를 증폭할 때 정상노드(48-0)에 접속되는 용량 및 역상노드(/48-0)에 접속되는 용량을 데이터선(BUS0,BUS1)으로부터 분리되는 만큼 작게 할 수 있다.

<236> 이와 같이 데이터를 증폭할 때 정상/역상노드(48-0,/48-0)에 접속되는 용량을 작게 함으로써, 센스앰프(26u,26d)의 증폭동작속도를 향상시킬 수 있다.

<237> 한편, 센스앰프(26d)의 동작은 센스앰프(26u)와 마찬가지이다.

<238> 도 18은 독출데이터선 제어회로(18)의 다른 회로예를 나타낸 회로도이다. 도 18에서, 도 17과 공통하는 부분에는 공통의 참조부호를 붙인다.

<239> 다른 회로예가 도 17에 나타낸 회로와 다른 점은, 전송게이트쌍(49-0,/49-0,49-1,/49-1)을 없애고, 독출데이터선 제어회로(18)를 센스앰프(26u,26d)에 직접 접속한 것이다.

<240> 구체적으로는, 도 18에 나타낸 바와 같이 정상노드(48-0)를 트랜지스터(45-0), 트랜지스터(45-1)에 접속하고, 역상노드(/48-0)를 트랜지스터(/45-0), 트랜지스터(/45-1)에 접속한다. 더욱이, 정상노드(48-1)를 트랜지스터(45-2), 트랜지스터 (45-3)에 접속하고, 역상노드(/48-1)를 트랜지스터(/45-2), 트랜지스터(/45-3)에 접속한다.

<241> 이러한 다른 회로예라면, 데이터선쌍(BUS0,BUS1)으로부터 센스앰프(26u,26d)로의 데이터 전송시간을, 전송게이트쌍(49-0,/49-0,49-1,/49-1)에 의한 지연이 없어지는 만큼 짧게 할 수 있다.

<242> 다음에, 다른 회로예에 관련된 독출데이터선 제어회로(18)의 바람직한 동작의 일례를 설명한다. 이하의 설명은, DDR 동작시 최하위비트(A0)가 “0”인 경우를 상정하고 있다. 이 경우, 신호(b,c)는 모두 “H”이고, 트랜지스터쌍(45-1,/45-1,45-2,/45-2)은 오프이다.

<243> 우선, 신호(a,d)를 “L”레벨로 하여, 트랜지스터쌍(45-0,/45-0,45-3,/45-3)을 온시킨다. 이에 따라, 데이터선쌍(BUS0,/BUS0)의 데이터를 정상/역상노드(48-0,/48-0)로, 데이터선쌍(BUS1,/BUS1)의 데이터를 정상/역상노드(48-1,/48-1)로 전송한다. 데이터를 전송한 후, 신호(a,d)를 “H”레벨로 하여 트랜지스터쌍(45-0,/45-0,45-3,/45-3)을 오프시킨다. 이에 따라, 정상/역상노드(48-0,/48-0)는 데이터선쌍(BUS0,/BUS0)으로부터 분리되고, 정상/역상노드(48-1,/48-1)는 데이터선쌍 (BUS1,/BUS1)으로부터 분리된다.

<244> 신호(a,d)가 “H”레벨로 됨과 거의 동시에 신호(SEN1)를 “H”로 하고, 전송된 데이터를 증폭한다.

<245> 이러한 바람직한 동작예라면, 데이터를 증폭할 때 정상/역상노드(48-0,/48-0,48-1,/48-1) 각각에

접속되는 용량을 작게 할 수 있으므로, 센스앰프(26u,26d)의 증폭동작속도를 향상시킬 수 있다.

<246> 더욱이, 도 18에 나타낸 회로는 도 17에 나타낸 회로에 비해 노드(48-0,/48-0,48-1,/48-1)에 접속되는 트랜지스터의 수가 증가하고 있다. 예컨대 도 18에 나타낸 회로의 노드(48-0)에는 트랜지스터(45-0,45-1,51)가 접속되고, 도 17에 나타낸 회로에 비해 특히 트랜지스터(45-1)가 하나 많다. 이 때문에, 트랜지스터(45-1)의 접합용량이 노드(48-0)에 기생용량으로서 가해진다. 그러나, 트랜지스터(45-1)의 접합용량은 데이터선(BUS0)의 배선용량에 비해 1/1000 정도로 작다. 따라서, 노드(48-0,/48-0,48-1,/48-1)에 접속되는 트랜지스터의 수가 증가하더라도 증폭동작속도로의 영향은 무시할 수 있다.

<247> 제2실시형태

<248> 동기형 SRAM은 기입동작으로 레이트 기입(late write)방식을 채용하는 경우가 많다. 도 13에 나타낸 DDR 기입동작, 도 15에 나타낸 SDR 기입동작은 각각 레이트 기입방식이다. 레이트 기입방식에 대해 도 19a를 참조하여 설명한다.

<249> 도 19a에 나타낸 바와 같이, 레이트 기입방식에서는 사이클1에서 기입어드레스(WA00)를 칩으로 받아 들인다.

<250> 다음에 사이클2에서 기입데이터(D00,D01)를 칩으로 받아 들인다.

<251> 다음에 사이클3에서 기입데이터(D00,D01)를 SRAM 코어(2)의 메모리셀에 기입한다(코어 기입).

<252> 또한, 도 19a에 나타낸 "WA01"은 "WA00"을 개시 어드레스로 하여 발생시킨 버스트 어드레스이다. 또한, "$D00^{*}$, $D01^{*}$"은 데이터(D00,D01)가 기입되기 이전에 메모리셀이 기억하고 있는 데이터를 나타내고 있다.

<253> 이러한 레이트 기입방식을 채용한 동기형 SRAM에서는 데이터의 코히어런시를 유지하기 위한 대책을 실시하는 것이 바람직하다. 데이터의 코히어런시라는 것은 독출어드레스에 의해 지정된 메모리셀로부터 데이터를 독출했을 때, 이 독출데이터가 최신의 기입데이터에 정합하는 것을 말한다. 독출데이터가 최신의 기입데이터에 정합하지 않는 것은 데이터 처리상 바람직한 일이 아니다. 독출데이터는 최신의 기입데이터에 정합하는 것이 요망되는 것이다. 독출데이터가 최신의 기입데이터와 정합하지 않는 케이스의 일례를 도 19b를 참조해서 설명한다.

<254> 도 19b에 나타낸 바와 같이, 사이클2에서 독출어드레스(RA00)가 칩으로 받아 들여졌다고 하자. 동시에 이 독출어드레스(RA00)가 사이클1에서 받아 들여진 기입어드레스(WA00)와 일치했다고 하자. 사이클2에서는 기입어드레스(WA00)에 따른 기입데이터(D00,D01)는 메모레셀에 기입되어 있지 않다.

<255> 이러한 케이스에 있어서, 사이클2에서 메모리셀로부터 데이터를 독출하면, 독출된 데이터는 데이터(D00,D01)의 기입전의 데이터(D00*,D01*)로 되어 최신의 기입데이터(D00,D01)와 정합하지 않게 되어 버린다.

<256> 이 제2실시형태는 데이터의 코히어런시를 유지할 수 있는 동기형 반도체 메모리를 제공하는 것을 목적으로 한다.

<257> 도 20은 본 발명의 제2실시형태에 따른 동기형 SRAM을 나타낸 블록도이다. 도 20에 나타낸 동기형 SRAM은, 도 6에 나타낸 동기형 SRAM과 기본적으로 마찬가지의 구성을 갖는다. 또, 도 20에 있어서는, 도 6에 나타낸 동기형 SRAM과 공통하는 부분에는 공통의 참조부호를 붙이고, 다른 부분을 중심으로 설명한다.

<258> 도 20에 나타낸 바와 같이, 프리디코더(60)는 18비트의 어드레스 중의 상위 16비트를 프리디코드한다. 18비트의 어드레스 중, 예컨대 9비트가 열어드레스이다. 열어드레스의 하위 2비트(A1,A0)는 버스트 어드레스로서 할당된다. 버스트 어드레스로서 할당된 하위 2비트(A1,A0)는 버스트 어드레스 카운터(16)에 입력된다. 버스트 어드레스 카운터(16)는 도 6에 나타낸 버스트 어드레스 카운터(16)와 마찬가지의 것이다.

<259> 하위 2비트는 프리디코더(61)에 입력된다. 또한, 버스트 어드레스 카운터 (16)의 출력은 프리디코더(62)에 입력된다. 프리디코더(61)의 출력 및 프리디코터 (62)의 출력은 멀티플렉서(63)에 입력된다. 멀티플렉서(63)는 프리디코더(61)의 출력, 프리디코더(62)의 출력의 어느 하나를 선택하여 어드레스 레지스터(1′)에 입력한다. 프리디코더(61,62), 멀티플렉서(63)의 일회로예를 도 21a에 나타낸다.

<260> 도 21a에 나타낸 바와 같이, 프리디코더(61,62)는 각각 프리디코드 어드레스 (A1,A0), (A1,/A0), (/A1,A0), (/A1,/A0)를 출력한다. 도 21b에 하위 2비트(A1, A0)와 프리디코드 어드레스 (A1,A0), (A1,/A0), (/A1, A0), (/A1,/A0)의 관계를 나타낸다. 멀티플렉서(63)는 프리디코더(61)로부터의 프리디코드 어드레스인가, 프리디코더(62)로부터의 프리디코드 어드레스인가를 선택하여 어드레스 레지스터(1′)에 입력한다.

<261> 어드레스 레지스터(1′)의 출력은 멀티플렉서(64)에 입력됨과 동시에 기입어드레스 레지스터(65)에 입력된다.

<262> 기입어드레스 레지스터(65)는 기입어드레스를 격납한다. 기입어드레스 레지스터(65)는 제1스테이지/제2스테이지 기입어드레스 레지스터(66,67)를 포함한다. 그리고, 기입모드시 어드레스 레지스터(1′)의 출력은 제1스테이지 기입어드레스 레지스터(66)에 입력된다. 기입어드레스 레지스터(66)의 출력은 제2스테이지 기입어드레스 레지스터(67)에 입력된다. 기입어드레스 레지스터(67)의 출력은 상기 멀티플렉서(64)에 입력된다.

<263> 멀티플렉서(64)는 독출모드시 어드레스 레지스터(1′)의 출력을 선택하여 SRAM 코어(2)의 어드레스 디코더(3)에 입력한다. 또한, 기입모드시 기입어드레스 레지스터(65)의 출력을 선택하여 SRAM 코어(2)의 어드레스 디코더(3)에 입력한다.

<264> 어드레스 비교회로(68)는 어드레스 레지스터(1′)에 독출어드레스가 격납되었을 때, 이 격납된 독출어드레스와 기입어드레스 레지스터(65)에 격납되어 있는 기입어드레스를 비교한다. 어드레스 비교회로(68)는 제1스테이지 어드레스 비교회로(69), 제2스테이지 어드레스 비교회로(70)를 포함한다. 비교회로(69)는 독출어드레스가 기입어드레스 레지스터(66)에 격납된 기입어드레스에 히트했는지의 여부를 검출한다. 비교회로(70)는 독출어드레스가 기입어드레스 레지스터(67)에 격납된 기입어드레스에 히트했는지의 여부를 검출한다.

<265> 어드레스 비교회로(69)는 우수 어드레스 비교회로(71e), 기수 어드레스 비교회로(71o)로 구성되고, 어드레스 비교회로(70)는 우수 어드레스 비교회로(72e), 기수 어드레스 비교회로(72o)로 구성되어 있다.

<266> 우수 어드레스 비교회로(71e, 72e)는 각각 최하위비트(A0)의 논리레벨이 “0”일 때 다른 어드레스의 논리레벨이 모두 일치했는지의 여부를 검출한다. 비교회로(71e)는 검출신호(even1-hit/miss)를 출력하고, 비교회로(72e)는 검출신호 (even2-hit/miss)를 출력한다. 검출신호(even1-hit/miss,even2-hit/miss)는 각각 어드레스가 일치했는지의 여부에 따라 “H”나 “L”의 어느 하나의 논리레벨을 취한다. 이 실시형태에서는, 편의상 “H”가 일치, “L”이 불일치로 한다.

<267> 기수 어드레스 비교회로(71o,72o)는 각각 최하위비트(A0)의 논리레벨이 “1”일 때, 다른 어드레스의 논리레벨이 모두 일치했는지의 여부를 검출한다. 비교회로(71o)는 검출신호(odd1-hit/miss)를 출력하고, 비교회로(72o)는 검출신호(odd2-hit/miss)를 출력한다. 검출신호(odd1-hit/miss,odd2-hit/miss)는 각각 어드레스가 일치했는지의 여부에 따라 “H”나 “L”의 어느 하나의 논리레벨을 취한다. 이 실시형태에서는, 편의상 “H”가 일치, “L”이 불일치로 한다.

<268> 검출신호(even1-hit/miss,even2-hit/miss)는 OR회로(73e)에 입력되고, 신호 (odd1-hit/miss,odd2-hit/miss)는 OR회로(73o)에 입력된다.

<269> OR회로(73e)는 검출신호(even1-hit/miss,even2/hit/miss)의 어느 하나라도 “H”일 때 “H”레벨로 되는 검출신호(even-hit/miss)를 출력한다. 마찬가지로, OR회로(73o)는 검출신호(odd1-hit/miss,odd2/hit/miss)의 어느 하나라도 “H”일 때 “H”레벨로 되는 검출신호(odd-hit/miss)를 출력한다.

<270> 검출신호(even1-hit/miss,even2/hit/miss,odd1-hit/miss,odd2/hit/miss)는 각각 우선기능부가 멀티플렉서(74)에 공급되고, 검출신호(even-hit/miss, odd-hit/miss)는 각각 멀티플렉서(75)에 공급된다.

<271> 우선기능부가 멀티플렉서(74)는 제어회로(33)의 출력단자(38e), 기입레지스터(32e)의 출력단자(78e)의 어느 한쪽을 제2독출데이터선 제어회로(18′)의 입력단자(21′e)에 결합시킨다. 또한, 제어회로(33)의 출력단자(38o), 레지스터(32o)의 출력단자(78o)의 어느 한쪽을 제어회로(18′)의 입력단자(21′o)에 결합시킨다.

<272> 한편, 출력단자(38e,78e)로 출력되는 데이터는 메모리셀 어레이의 최하위비트(A0)가 “0”인 어드레스에 기입된다. 이는 출력단자(38e,78e)가 데이터선(BUS0)에 결합되어 있기 때문이다. 마찬가지로, 출력단자(38o,78o)로 출력되는 데이터는 메모리셀 어레이의 최하위비트(A0)가 “1”인 어드레스에 기입된다. 이는 출력단자 (38o,78o)가 데이터선(BUS1)에 결합되어 있기 때문이다.

<273> 우선기능부가 멀티플렉서(74)는 검출신호(even1-hit/miss,even2-hit/miss, odd1-hit/miss,odd2-hit/miss)의 논리레벨에 따라 제어된다.

<274> 검출신호 even1-hit/miss =“H”라면, 제어회로(33)의 출력단자(38e)를 입력단자(21′e)에 결합한다.

<275> 검출신호 odd1-hit/miss =“H”라면, 제어회로(33)의 출력단자(38o)를 입력단자(21′o)에 결합한다.

<276> 검출신호 even2-hit/miss =“H”라면, 기입레지스터(32e)의 출력단자(78e)를 입력단자(21′e)에 결합한다.

<277> 검출신호 odd2-hit/miss =“H”라면, 기입레지스터(32o)의 출력단자(78o)를 입력단자(21′o)에 결합한다.

<278> 제2독출데이터선 제어회로(18′)는 독출데이터선 제어회로(18)와 마찬가지의 회로이다. 제어회로(18′)는 제어신호(RBC′)에 의해 독출데이터선 제어회로(18)와 마찬가지로 제어된다. 제어회로(18′)의 제1출력단자(24′u)는 독출레지스터 (19′u)의 입력에 접속되고, 그 제2출력단자(24′d)는 독출레지스터(19′d)의 입력에 접속된다.

<279> 독출레지스터(19′u)는 제1출력단자(24′u)로 출력된 데이터를 격납하고, 독출레지스터(19′d)는 제2출력단자(24′d)로 출력된 데이터를 격납한다. 독출레지스터(19′u,19′d)는 각각 동작클럭(CK)의 상승엣지에 동기하여 격납한 독출데이터를 출력한다. 독출레지스터(19′u,19′d)의 출력은 상기 멀티플렉서(75)에 입력된다.

<280> 멀티플렉서(75)는 독출레지스터(19u,19′u)의 출력의 한쪽을 출력 전송게이트(20u)의 입력에 결합시킨다. 또한, 독출레지스터(19d,19′d)의 출력의 한쪽을 출력 전송게이트(20d)의 입력에 결합시킨다.

<281> 멀티플렉서(75)는 검출신호(even-hit/miss,odd-hit/miss), 최하위비트(A0) 각각의 논리레벨에 따라 제어된다. 제어의 일례를 하기(下記)한다.

<282> 검출신호(even-hit/miss)가 “H”라면 독출레지스터(19′u)의 출력을 출력 전송게이트(20u)의 입력에 결합시키고, 검출신호(even-hit/miss)가 “L”이라면 독출레지스터(19u)의 출력을 출력 전송게이트(20u)의 입력에 결합시킨다.

<283> 검출신호(odd-hit/miss)가 “H” 라면 독출레지스터(19′d)의 출력을 출력 전송게이트(20d)의 입력에 결합시키고, 검출신호(odd-hit/miss)가 “L” 이라면 독출레지스터(19d)의 출력을 출력 전송게이트(20d)의 입력에 결합시킨다.

<284> 이러한 구성을 갖춘 동기형 SRAM에 의하면, 기입레지스터(31u,31d)에 격납된 기입데이터가 기입어드레스 레지스터(66)에 격납된 기입어드레스에 대응하고, 기입레지스터(32e,32o)에 격납된 기입데이터가 기입어드레스 레지스터(67)에 격납된 기입어드레스에 대응한다.

<285> 이 때문에, 독출어드레스가 기입어드레스 레지스터(66)의 기입어드레스에 히트했을 때는 기입레지스터(31u,31d)의 데이터를 독출하고, 또한 기입어드레스 레지스터(67)의 기입어드레스에 히트했을 때에는 기입레지스터(32e,32o)의 데이터를 독출한다. 이렇게 하면, SRAM 코어(2)에 기입되기 전의 데이터를 독출할 수 있고, 데이터의 코히어런시를 유지할 수 있다.

<286> 한편, 제2실시형태에 있어서는, 기입어드레스 레지스터(66,67), 기입레지스터(31u,32e,32o)는 각각 기입용 동작클럭(CKW)에 동기하여 격납한 데이터를 출력한다. 또한, 기입레지스터(31d)는 기입용 반전동작클럭(/CKW)에 동기하여 격납한 데이터를 출력한다. 이들 클럭(CKW,/CKW)은 각각 도 20에 나타낸 기입용 클럭 버퍼 (77)에서 발생된다. 클럭 버퍼(77)는 신호(Wo)에 기초하여 외부 클럭($CK_{ext.}$)으로부터 클럭(CKW,/CKW)을 발생한다.

<287> 또한, 제2실시형태에 있어서, 우선기능부가 멀티플렉서(74)는 기입데이터선 제어회로(33)의 출력단자 및 기입레지스터(32e,32o)의 출력단자 근방에, 또한 멀티플렉서(75)는 독출데이터선 제어회로(18)의 출력단자 및 독출데이터선 제어회로(18′)의 출력단자 근방에 배치한다. 이러한 배치가 신호배선의 영역을 삭감할 수 있기 때문에 바람직하다.

<288> 다음에, 제2실시형태에 따른 동기형 SRAM이 데이터의 코히어런시를 유지하는 것을 설명한다.

<289> 도 22a에 독출어드레스가 제2스테이지 기입어드레스 레지스터(67)의 우수/기수 어드레스의 쌍방에 히트한 예를 나타낸다. 여기에서는, 기입어드레스의 최하위비트(A0)는 “0”으로 하고, 기입어드레스 레지스터(31u)의 데이터는 제1출력단자 (38e)로, 기입어드레스 레지스터(31d)의 데이터는 제2출력단자(38o)로 출력되는 것으로 한다.

<290> 도 22a에 나타낸 바와 같이, 사이클3에서 독출어드레스(RA000,RA001)가 레지스터(67)의 기입어드레스(WA000,WA001)에 히트하였다고 하자. 이에 따라, 검출신호 (even2-hit/miss,odd2-hit/miss)는 각각 도 23a에 나타낸 바와 같이 “H”로 된다. 멀티플렉서(74)는 출력단자(78e)를 제어회로(18′)의 입력단자(21′e)에 접속하고, 출력단자(78o)를 제어회로(18′)의 입력단자(21′o)에 접속한다. 독출어드레스의 최하위비트(A0)는 “0”이다. 따라서, 제어회로(18′)는 입력단자(21′e)의 데이터를 독출레지스터(19′u)에, 입력단자(21′o)의 데이터를 독출레지스터(19′d)에 공급한다.

<291> 또한, 검출신호(even-hit/miss,odd-hit/miss)도 또한 “H”이다. 멀티플렉서 (75)는 독출레지스터(19′u)의 출력을 전송게이트(20u)의 입력에 공급하고, 독출레지스터(19′d)의 출력을 전송게이트(20d)의 입력에 공급한다.

<292> 이렇게 해서, 예컨대 사이클4에서 기입레지스터(32e,32o)에 격납된 데이터(이들 데이터가 독출어드레스(RA000,RA001)에 대응한다)가 독출되고, 데이터의 코히어런시를 유지할 수 있다.

<293> 또한, 도 22a에는 독출어드레스가 제1스테이지 기입어드레스 레지스터(66)의 우수/기수 어드레스의 쌍방에 히트한 예가 나타나 있다.

<294> 도 22a에 나타낸 바와 같이, 사이클4에서 독출어드레스(RA010,RA011)가 레지스터(66)의 기입어드레스(WA010,WA011)에 히트하였다고 하자. 이에 따라, 검출신호 (even1-hit/miss,odd1-hit/miss)는 각각 도 23b에 나타낸 바와 같이 “H”로 된다. 멀티플렉서(74)는 출력단자(38e)를 제어회로(18′)의 입력단자(21′e)에 접속하고, 출력단자(38o)를 제어회로(18′)의 입력단자(21′o)에 접속한다. 독출어드레스의 최하위비트(A0)는 “0”이다. 따라서, 제어회로(18′)는 입력단자(21′e)의 데이터를 독출레지스터(19′u)에, 입력단자(21′o)의 데이터를 독출레지스터(19′d)에 공급한다.

<295> 또한, 검출신호(even-hit/miss,odd-hit/miss)도 또한 “H”이다. 멀티플렉서 (75)는 독출레지스터(19′u)의 출력을 전송게이트(20u)의 입력에 공급하고, 독출레지스터(19′d)의 출력을 전송게이트(20d)의 입력에 공급한다.

<296> 이렇게 해서, 예컨대 사이클5에서 기입레지스터(31u,31d)에 격납된 데이터(이들 데이터가 독출어드레스(RA010,RA011)에 대응한다)가 독출되고, 데이터의 코히어런시를 유지할 수 있다.

<297> 도 22b에 독출어드레스가 제1스테이지 기입어드레스 레지스터(66)의 우수 어드레스 및 제2스테이지 기입어드레스 레지스터(67)의 기수 어드레스에 각각 히트한 예를 나타낸다.

<298> 도 22b에 나타낸 바와 같이, 사이클3에 있어서 독출어드레스(RA001)가 레지스터(67)의 기입어드레스(WA001)에 히트하고, 독출어드레스(RA010)가 레지스터(66)의 기입어드레스(WA010)에 히트하였다고 하자. 이에 따라, 검출신호(odd2-hit/miss,even1-hit/miss)는 각각 도 23c에 나타낸 바와 같이 “H”로 된다. 멀티플렉서(74)는 출력단자(38o)를 제어회로(18′)의 입력단자(21′e)에 접속하고, 출력단자(38o)를 제어회로(18′)의 입력단자(21′o)에 접속한다. 독출어드레스의 최하위비트(A0)는 “1”이다. 따라서, 제어회로(18′)는 입력단자(21′e)의 데이터를 독출레지스터(19′d)에, 입력단자(21′o)의 데이터를 독출레지스터(19′u)에 공급한다.

<299> 또한, 검출신호(even-hit/miss, odd-hit/miss)도 또한 “H”이다. 멀티플렉서(75)는 독출레지스터(19′u)의 출력을 전송게이트(20u)의 입력에 공급하고, 독출레지스터(19′d)의 출력을 전송게이트(20d)의 입력에 공급한다.

<300> 이렇게 해서, 예컨대 사이클4에 있어서 기입레지스터(32o,31u)에 격납된 데이터(이들 데이터가

독출어드레스(RA001,RA010)에 대응한다)가 독출되고, 데이터의 코히어런스를 유지할 수 있다.

<301> 또한, 도 22b에는 독출어드레스가 제1스테이지 기입어드레스 레지스터(66)의 기수 어드레스 및 제2스테이지 기입어드레스 레지스터(67)의 우수 어드레스에 각각 히트한 예를 나타낸다.

<302> 도 22b에 나타낸 바와 같이, 사이클4에 있어서 독출어드레스(RA011)가 레지스터(66)의 기입어드레스(WA011)에 히트하고, 독출어드레스(RA000)가 레지스터(66)의 기입어드레스(WA000)에 히트하였다고 하자. 이에 따라, 검출신호(even2-hit/miss,odd1-hit/miss)는 각각 도 23c에 나타낸 바와 같이 "H"로 된다. 멀티플렉서(74)는 출력단자(78e)를 제어회로(18′)의 입력단자(21′e)에 접속하고, 출력단자(38o)를 제어회로(18′)의 입력단자(21′o)에 접속한다. 독출어드레스의 최하위비트(A0)는 "1"이다. 따라서, 제어회로(18′)는 입력단자(21′e)의 데이터를 독출레지스터(19′d)에, 입력단자(21′o)의 데이터를 독출레지스터(19′u)에 공급한다.

<303> 또한, 검출신호(even-hit/miss,odd-hit/miss)도 또한 "H"이다. 멀티플렉서 (75)는 독출레지스터(19′u)의 출력을 전송게이트(20u)의 입력에 공급하고, 독출레지스터(19′d)의 출력을 전송게이트(20d)의 입력에 공급한다.

<304> 이렇게 해서, 예컨대 사이클5에 있어서 기입레지스터(31d,32e)에 격납된 데이터(이들 데이터가 독출어드레스(RA011,RA000)에 대응한다)가 독출되고, 데이터의 코히어런시를 유지할 수 있다.

<305> 또한 독출어드레스가 어드레스 레지스터(66,67)의 쌍방에 히트하지 않는 경우에는, 검출신호(even1-hit/miss, odd1-hit/miss, even2-hit/miss, odd2-hit/miss, even-hit/miss, odd-hit/miss)는 모두 "L"로 된다. 이 경우에는, 멀티플렉서(75)는 독출레지스터(19u,19d)에 격납된 데이터를 각각 전송게이트(20u,20d)에 공급한다.

<306> 또한, 제2실시형태의 멀티플렉서(75)는 검출신호(even-hit/miss,odd-hit/ miss)에 의해 제어되었지만, 더욱이 최하위비트(A0)를 참조해서 제어되도록 해도 좋다.

<307> [어드레스 비교회로]

<308> 도 24는 어드레스 레지스터(1′), 기입어드레스 레지스터(65), 어드레스 비교회로(68)의 일회로예를 나타낸 회로도이다. 도 24에서는, 설명의 간략화를 위해 어드레스가 2비트인 경우를 예시한다.

<309> 도 24에 나타낸 바와 같이, 어드레스 레지스터(1′)에는 멀티플렉서(63)로부터 출력된 프리디코드 어드레스 (A1,A0), (A1,/A0), (/A1,A0), (/A1,/A0)가 공급된다. 멀티플렉서(63)는 도 21a에 나타낸 바와 같이 멀티플렉스회로(MPX0~MPX3)를 갖추고 있다. 멀티플렉서(63)는 버스트 어드레스 카운터(16)가 동작할 때(예컨대 버스트 모드시), 프리디코더(62)의 프리디코드 어드레스를 선택하여 어드레스 레지스터(1′)에 공급한다. 또한, 상기 이외의 경우, 멀티플렉서(63)는 프리디코더(61)의 프리디코드 어드레스를 선택하여 어드레스 레지스터(1′)에 공급한다.

<310> 어드레스 레지스터(1′)는 동작클럭(CK)에 동기하여 공급된 프리디코드 어드레스 (A1,A0), (A1,/A0), (/A1,A0), (/A1,/A0)를 출력한다. 어드레스 레지스터(1′)는 4개의 프리디코드 어드레스에 대응한 레지스터(REG0~REG3)을 포함한다. 레지스터(REG0~REG3)의 출력은 비교회로(CP0~CP7)의 제1입력에 공급된다. 비교회로 (CP0~CP7)는 각각, 예컨대 배타적 OR회로로 구성된다. 비교회로(CP0~CP3)의 제2입력에는 기입어드레스 레지스터(66)의 레지스터(REG4~REG7)의 출력이 공급된다. 또한, 비교회로(CP4~CP7)의 제2입력에는 기입어드레스 레지스터(67)의 레지스터(REG8~REG11)의 출력이 공급된다.

<311> 비교회로(CP0~CP3)은 각각 레지스터(REG0~REG3)의 출력과 레지스터(REG4~REG7)의 출력을 비교한다. 그리고, 비교회로(CP0,CP2)는 우수 어드레스(A0=0)의 일치/불일치를 검출한다. 또한, 비교회로(CP1,CP3)는 기수 어드레스 (A0=1)의 일치/불일치를 검출한다.

<312> 마찬가지로, 비교회로(CP4~CP7)는 각각 레지스터(REG0~REG3)의 출력과, 레지스터(REG8~REG11)의 출력을 비교한다. 그리고, 비교회로(CP4,CP6)는 우수 어드레스(A0=0)의 일치/불일치를 검출한다. 또한, 비교회로(CP5,CP7)는 기수 어드레스 (A0=1)의 일치/불일치를 검출한다.

<313> 이 경우, 우수 어드레스의 일치/불일치상태의 검출결과는 하나 얻어지면 좋다. 따라서, 비교회로(CP0,CP2)의 출력을 NOR회로(NOG1)에 의해 하나로 한다. NOR회로(NOG1)는 신호(even1-hit/miss)를 출력한다. 마찬가지로, 기수 어드레스의 일치/불일치상태의 검출결과는 하나 얻어지면 좋다. 따라서, 비교회로(CP1,CP3)의 출력은 NOR회로(NOG2)에 의해 하나로 한다. NOR회로(NOG2)는 신호(odd1-hit/miss)를 출력한다. 또한, 비교회로(CP4,CP6)의 출력은 NOR회로(NOG3)에 의해 하나로 한다. NOR회로(NOG3)는 신호(even2-hit/miss)를 출력한다. 또한, 비교회로(CP5,CP7)의 출력은 NOR회로(NOG4)에 의해 하나로 된다. NOR회로(NOG4)는 신호(odd2-hit/miss)를 출력한다.

<314> 다음에, 어드레스 비교회로의 일변형예를 설명한다.

<315> 이 변형예는 동기형 SRAM이 DDR 동작 및 인터리브 모드만을 행하는 경우에 관한 것이다.

<316> 이 경우, 도 8d에 나타낸 바와 같이, 연속하는 2개의 버스트 어드레스는 (0,1)과 (0,1)의 조합 및 (1,0)과 (1,1)의 조합의 2가지 뿐이다. 즉, 하나의 클럭 사이클에 있어서, 버스트 어드레스(A1)는 "0"이나 또는 "1"이다. 이 때문에, 기입어드레스와 독출어드레스의 비교는 최하위비트(A0)를 제외하고 비교하는 것도 가능하다.

<317> 이렇게 하면, 도 24 중에 나타낸 비교회로(CP0~CP3) 중, 비교회로(CP0,CP1)를 1개로 집약하고, 비교회로(CP2,CP3)을 1개로 집약할 수 있다. 그리고, 각각의 비교결과를 1개의 NOR회로로 집약하고, 검출신호(odd1-hit/miss)로 할 수 있다.

<318> 이러한 구성에 의하면, 비교회로(CP0,CP1) 중의 1개, 비교회로(CP2,CP3) 중의 1개 및 NOR회로 게이트(NOG1,NOG2) 중의 1개를 각각 생략할 수 있다. 따라서, 어드레스 비교회로(68)의 회로구성을 간략화할 수 있다.

<319> 제3실시형태

<320> 제2실시형태에서는, 제2독출데이터선 제어회로(18′)를 갖추고 있다. 따라서, 제2실시형태에서는 제어회로(18′)를 설치하는 만큼 회로패턴의 면적이 증대한다. 회로패턴 면적의 증대는 칩사이즈의 증대를 초래하기 때문에, 억제하는 것이 바람직하다.

<321> 제3실시형태는 회로패턴 면적의 증대를 억제하는 것을 목적으로 한다.

<322> 도 25는 제3실시형태에 따른 동기형 SRAM의 구성을 나타낸 블록도이다.

<323> 도 25에 나타낸 바와 같이, 제3실시형태에서는 SRAM 코어(2)로부터의 출력과 우선기능부가 멀티플렉서(74)의 출력을 멀티플렉서(75)에 공급한다. 그리고, 멀티플렉서(75)의 출력을 독출데이터선 제어회로(18)에 공급한다.

<324> 이러한 제3실시형태에 의하면, 제2실시형태와 비교하여 제2독출데이터선 제어회로(18′)를 생략할 수 있어 회로패턴 면적의 증대를 억제할 수 있다.

<325> 더욱이, 제3실시형태에 있어서, 우선기능부가 멀티플렉서(74)는 기입데이터선 제어회로(33)의 출력단자 및 기입레지스터(32e,32o)의 출력단자의 근방에 배치하고, 또한 멀티플렉서(75)는 독출데이터선 제어회로(18)의 입력단자의 근방에 배치한다. 이러한 배치가 신호배선의 영역을 삭감하기 때문에 바람직하다.

<326> 제4실시형태

<327> 제4실시형태는 회로패턴 면적의 증대를 더 억제하는 것을 목적으로 한다.

<328> 도 26은 제4실시형태에 따른 동기형 SRAM의 구성을 나타낸 블록도이다.

<329> 도 26에 나타낸 바와 같이, 제4실시형태는 SRAM 코어(2)로부터의 출력과 기입데이터선 제어회로(33)의 출력, 기입레지스터(32e,32o)의 출력을 멀티플렉서(76)에 공급한다. 멀티플렉서(76)는 검출신호(even1-hit/miss,odd1-hit/miss, even2-hit/miss,odd2-hit/miss)에 의해 제어된다. 이 멀티플렉서(76)의 출력은 독출데이터선 제어회로(18)에 공급된다.

<330> 이러한 제4실시형태에 의하면, 제3실시형태와 비교하여 제2독출데이터선 제어회로(18′), 우선기능부가 멀티플렉서(74)를 생략할 수 있고, 회로패턴 면적의 증대를 더 억제할 수 있다.

<331> 이상, 본 발명을 DDR방식/SDR방식의 어느 하나를 선택할 수 있는 동기형 SRAM을 예로 설명했지만, 본 발명은 DDR방식만으로 동작하는 동기형 SRAM에도 적용가능하다. 또한, 메모리로서 SRAM을 예시했지만, 메모리는 SRAM 이외의 예컨대 DRAM 등으로도 변경할 수 있다.

<332> 또한, 상기 실시형태에서는 독출데이터선 제어회로(18)는 센스앰프(26u,26d)의 앞에 삽입되고, 기입데이터선 제어회로(33)는 기입레지스터(32e,32o)의 앞에 삽입되면 좋다. 예컨대, 제어회로(18)는 센스앰프(26u,26d)의 뒤에 삽입되어도 좋다. 마찬가지로, 제어회로(33)는 기입레지스터(31u,31d)의 뒤에 삽입되면 좋다. 예컨대, 기입레지스터(32e,32o)의 뒤에 삽입되어도 좋다.

발명의 효과

<333> 이상 설명한 바와 같이 본 발명에 의하면, 독출동작시에 데이터의 출력시간을 충분히 얻는 것이 가능하고, 기입동작시에 입력레지스터의 출력시간을 충분히 얻는 것이 가능한 반도체 기억장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

적어도 제1메모리셀군 및 제2메모리셀군을 포함하는 메모리셀 어레이와,

적어도 제1데이터선 및 제2데이터선을 포함하는 데이터 버스,

상기 제1메모리셀군에 포함되는 메모리셀을 상기 제1데이터선에, 상기 제2메모리셀군에 포함되는 메모리셀을 상기 제2데이터선에 적어도 병렬로 결합 가능한 데이터 전송회로 및,

적어도 제1출력전송회로, 제2출력전송회로, 독출데이터선 제어회로를 포함하며, 상기 제1출력전송회로는 제1타이밍에서 상기 제1, 제2데이터선의 한쪽에 전달된 제1출력데이터를 전송하고, 상기 제2출력전송회로는 상기 제1타이밍과는 다른 제2타이밍에서 상기 제1, 제2데이터선의 다른쪽에 전달된 제2출력데이터를 전송하며, 상기 독출데이터선 제어회로는 상기 제1데이터선을 상기 제1, 제2출력전송회로의 어느 하나에 절환결합 가능하면서 상기 제2데이터선을 상기 제1, 제2출력전송회로의 어느 하나에 절환결합 가능한 데이터 출력회로를 구비한 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 데이터 출력회로는 동작클럭에 의해 제어되고, 상기 제1타이밍은 상기 동작클럭의 상승엣지 및 하강엣지의 한쪽이며, 상기 제2타이밍은 상기 동작클럭의 상승엣지 및 하강엣지의 다른쪽인 것을 특징으로 하는 반도체 기억장치.

청구항 3

제2항에 있어서, 상기 독출데이터선 제어회로는 상기 제1, 제2출력데이터의 출력순서에 따라 상기 제1데이터선을 상기 제1, 제2출력전송회로의 한쪽에 결합시킴과 더불어 상기 제2데이터선을 상기 제1,

제2출력전송회로의 다른쪽에 결합시키는 것을 특징으로 하는 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 제1, 제2출력데이터의 출력순서는 입력어드레스에 의해 결정되는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제4항에 있어서, 상기 입력어드레스는 복수 비트 있고, 이들 복수 비트 중 상기 제1메모리셀군이나 상기 제2메모리셀군을 지정하는 비트가 상기 제1, 제2출력데이터의 출력순서를 결정하는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제5항에 있어서, 상기 제1, 제2출력데이터의 독출방식이 버스트 독출방식일 때, 상기 입력어드레스는 버스트 개시 어드레스인 것을 특징으로 하는 반도체 기억장치.

청구항 7

제5항에 있어서, 상기 제1, 제2출력데이터의 출력방식은 DDR방식인 것을 특징으로 하는 반도체 기억장치.

청구항 8

제2항에 있어서, 상기 독출데이터선 제어회로는 상기 제1, 제2출력데이터의 출력순서에 따라 상기 제1데이터선을 상기 제1, 제2출력전송회로의 적어도 한쪽에 결합시킨 후, 상기 제2데이터선을 상기 제1, 제2출력전송회로의 적어도 한쪽에 결합시키는 것을 특징으로 하는 반도체 기억장치.

청구항 9

제8항에 있어서, 상기 제1, 제2출력데이터의 출력순서는 입력어드레스에 의해 결정되는 것을 특징으로 하는 반도체 기억장치.

청구항 10

제9항에 있어서, 상기 입력어드레스는 복수 비트 있고, 이들 복수 비트 중 상기 제1메모리셀군이나 상기 제2메모리셀군을 지정하는 비트가 상기 제1, 제2출력데이터의 출력순서를 결정하는 것을 특징으로 하는 반도체 기억장치.

청구항 11

제10항에 있어서, 상기 제1, 제2출력데이터의 독출방식이 버스트 독출방식일 때, 상기 입력어드레스는 버스트 어드레스인 것을 특징으로 하는 반도체 기억장치.

청구항 12

제10항에 있어서, 상기 제1, 제2출력데이터의 출력방식은 SDR방식인 것을 특징으로 하는 반도체 기억장치.

청구항 13

적어도 제1메모리셀군 및 제2메모리셀군을 포함하는 메모리셀 어레이와,

적어도 제1데이터선 및 제2데이터선을 포함하는 데이터 버스,

상기 제1메모리셀군에 포함되는 메모리셀을 상기 제1데이터선에, 상기 제2메모리셀군에 포함되는 메모리셀을 상기 제2데이터선에 적어도 병렬로 결합 가능한 데이터 전송회로 및,

적어도 제1입력레지스터회로, 제2입력레지스터회로, 기입데이터선 제어회로를 포함하며, 상기 제1입력레지스터회로는 제1타이밍에서 제1입력데이터를 격납하고, 상기 제2입력레지스터회로는 상기 제1타이밍과는 다른 제2타이밍에서 제2입력데이터를 격납하며, 상기 기입데이터선 제어회로는 상기 제1입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능하면서 상기 제2입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능한 데이터 입력회로를 구비한 것을 특징으로 하는 반도체 기억장치.

청구항 14

제13항에 있어서, 상기 데이터 입력회로는 동작클럭에 의해 제어되고, 상기 제1타이밍은 상기 동작클럭의 상승엣지 및 하강엣지의 한쪽이며, 상기 제2타이밍은 상기 동작클럭의 상승엣지 및 하강엣지의 다른쪽인 것을 특징으로 하는 반도체 기억장치.

청구항 15

제14항에 있어서, 상기 기입데이터선 제어회로는 입력어드레스에 따라 상기 제1입력레지스터회로를 상기 제1, 제2데이터선의 한쪽에 결합시킴과 더불어, 상기 제2입력레지스터회로를 상기 제1, 제2데이터선의 다른쪽에 결합시키는 것을 특징으로 하는 반도체 기억장치.

청구항 16

제15항에 있어서, 상기 입력어드레스는 복수 비트 있고, 이들 복수 비트 중 상기 제1메모리셀군

이나 상기 제2메모리셀군을 지정하는 비트가 상기 제1, 제2입력데이터의 출력순서를 결정하는 것을 특징으로 하는 반도체 기억장치.

청구항 17

제16항에 있어서, 상기 제1, 제2입력데이터의 기입방식이 버스트 기입방식일 때, 상기 입력어드레스는 버스트 개시 어드레스인 것을 특징으로 하는 반도체 기억장치.

청구항 18

제16항에 있어서, 상기 제1, 제2입력데이터의 입력방식은 DDR방식인 것을 특징으로 하는 반도체 기억장치.

청구항 19

제14항에 있어서, 상기 기입데이터선 제어회로는 상기 제1입력레지스터회로를 상기 제1, 제2데이터선의 쌍방에 결합시켰을 때, 상기 제2입력레지스터회로를 상기 제1, 제2데이터선의 쌍방으로부터 분리시키는 것을 특징으로 하는 반도체 기억장치.

청구항 20

제19항에 있어서, 상기 제1, 제2입력데이터의 입력방식은 SDR방식인 것을 특징으로 하는 반도체 기억장치.

청구항 21

제1항에 있어서, 적어도 제1입력레지스터회로 및 제2입력레지스터회로를 포함하며, 상기 제1입력레지스터회로는 제1타이밍에서 제1입력데이터를 격납하고, 상기 제2입력레지스터회로는 상기 제1타이밍과는 다른 제2타이밍에서 제2입력데이터를 격납하는 데이터 입력회로와,

상기 제1입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능하면서 상기 제2입력레지스터회로를 상기 제1, 제2데이터선의 어느 하나에 절환결합 가능한 기입데이터선 제어회로,

입력어드레스를 격납하는 어드레스 레지스터,

상기 입력된 어드레스가 기입어드레스일 때, 이 기입어드레스를 격납하는 기입어드레스 레지스터,

상기 입력된 어드레스가 독출어드레스일 때, 이 독출어드레스와 상기 기입어드레스를 비교하여 일치/불일치를 검출하는 비교회로 및,

상기 독출어드레스와 상기 기입어드레스가 일치했을 때, 상기 제1, 제2입력레지스터회로의 출력을 상기 제1, 제2출력전송회로의 어느 하나에 결합하는 멀티플렉서를 더 구비한 것을 특징으로 하는 반도체 기억장치.

청구항 22

제21항에 있어서, 상기 비교회로는 우수 어드레스 비교회로와 기수 어드레스 비교회로를 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 23

제22항에 있어서, 멀티플렉서는 상기 독출어드레스와 상기 기입어드레스가 우수 어드레스로 일치했을 때, 상기 제1, 제2입력레지스터회로의 출력 중의 한쪽을 선택하고, 상기 독출어드레스와 상기 기입어드레스가 기수 어드레스로 일치했을 때, 상기 제1, 제2입력레지스터회로의 출력 중의 다른쪽을 선택하는 것을 특징으로 하는 반도체 기억장치.

청구항 24

제21항에 있어서, 상기 데이터 입력회로는, 상기 기입데이터선 제어회로의 제1출력을 격납하는 제3입력레지스터와, 상기 기입데이터선 제어회로의 제2출력을 격납하는 제4입력레지스터를 구비하고,

상기 기입어드레스 레지스터는, 상기 제1, 제2입력레지스터의 데이터에 대응한 제1기입어드레스를 격납하는 제1기입어드레스 레지스터와, 상기 제3, 제4입력레지스터의 데이터에 대응한 제2기입어드레스를 격납하는 제2기입어드레스 레지스터를 구비하며,

상기 비교회로는, 상기 독출어드레스와 상기 제1기입어드레스를 비교하는 제1비교회로와, 상기 독출어드레스와 상기 제2기입어드레스를 비교하는 제2비교회로를 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 25

제24항에 있어서, 멀티플렉서는 상기 독출어드레스와 상기 제1기입어드레스가 일치했을 때, 상기 제1, 제2입력레지스터회로의 출력을 선택하고, 상기 독출어드레스와 상기 제2기입어드레스가 일치했을 때, 상기 제3, 제4입력레지스터회로의 출력을 선택하는 것을 특징으로 하는 반도체 기억장치.

청구항 26

제25항에 있어서, 상기 제1비교회로는 제1우수 어드레스 비교회로와 제1기수 어드레스 비교회로를 구비하고,

상기 제2비교회로는 제2우수 어드레스 비교회로와 제2기수 어드레스 비교회로를 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 27

제26항에 있어서, 멀티플렉서는 상기 독출어드레스와 상기 제1기입어드레스가 우수 어드레스로 일치했을 때, 상기 제1, 제2입력레지스터회로의 출력 중의 한쪽을 선택하고,

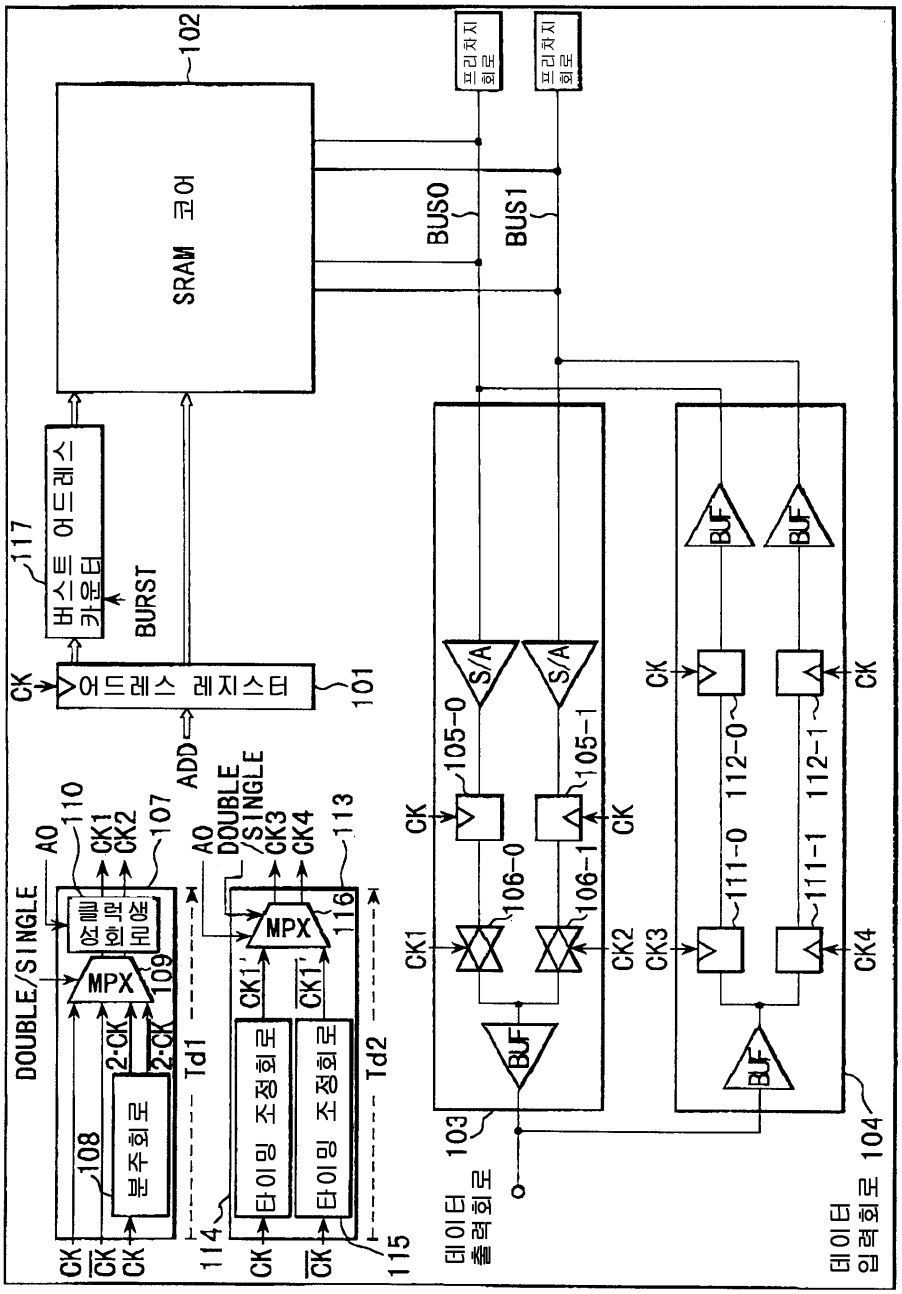
상기 독출어드레스와 상기 제1기입어드레스가 기수 어드레스로 일치했을 때, 상기 제1, 제2입력레지스터회로의 출력 중의 다른쪽을 선택하며,

상기 독출어드레스와 상기 제2기입어드레스가 우수 어드레스로 일치했을 때, 상기 제3, 제4입력레지스터회로의 출력 중의 한쪽을 선택하고,

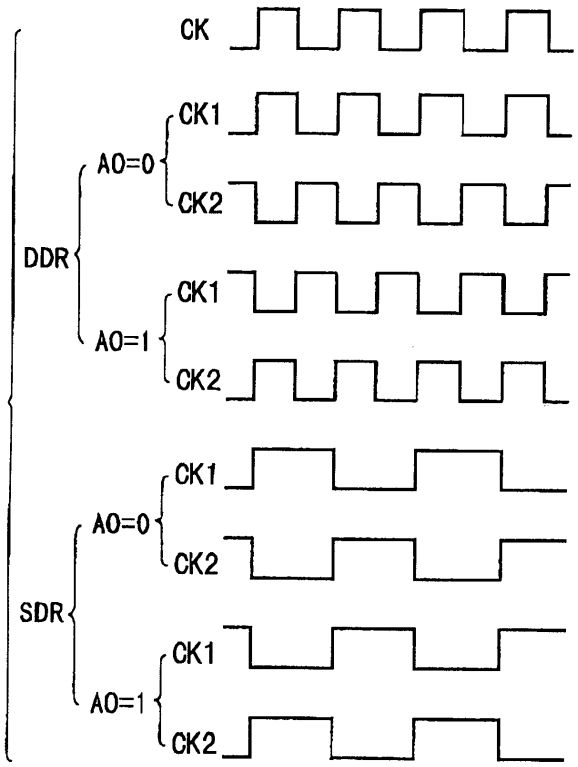
상기 독출어드레스와 상기 제2기입어드레스가 기수 어드레스로 일치했을 때, 상기 제3, 제4입력레지스터회로의 출력 중의 다른쪽을 선택하는 것을 특징으로 하는 반도체 기억장치.

도면

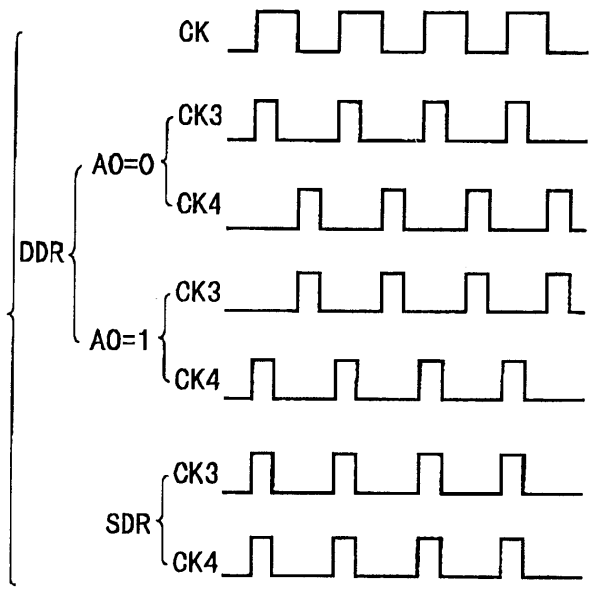
도면1



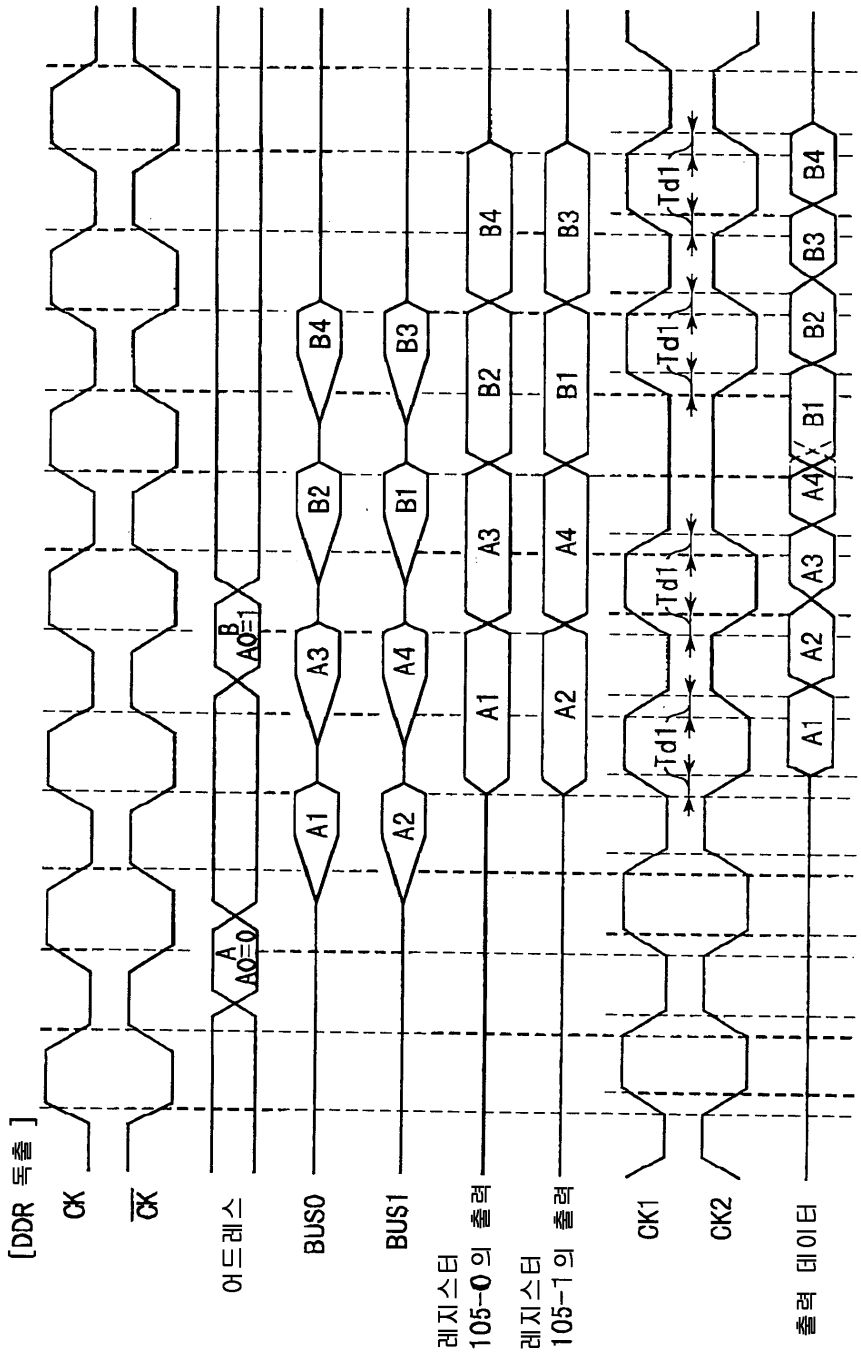
도면2


CK
DDR
AO=0
CK1
CK2
AO=1
CK1
CK2
SDR
AO=0
CK1
CK2
AO=1
CK1
CK2

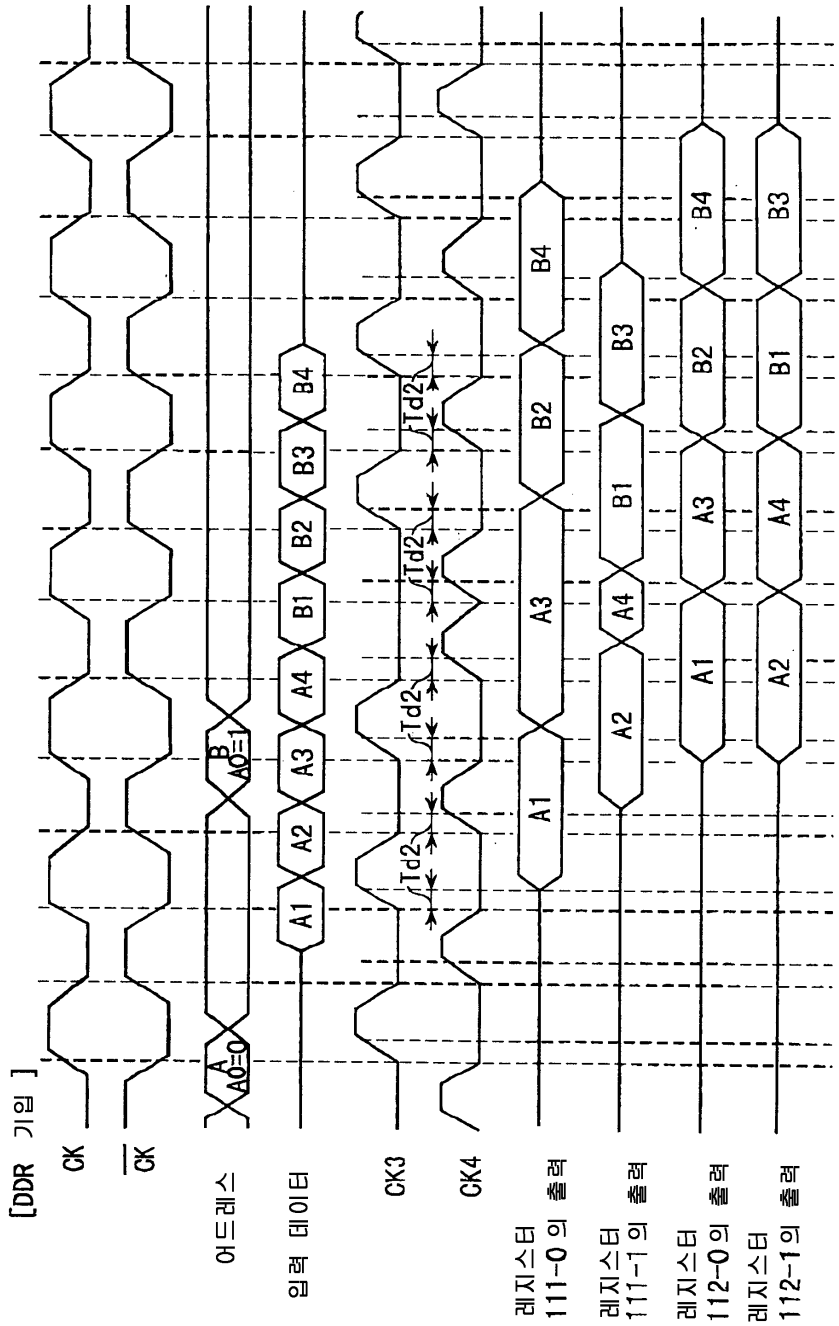
도면3


CK
DDR
AO=0
CK3
CK4
AO=1
CK3
CK4
SDR
CK3
CK4

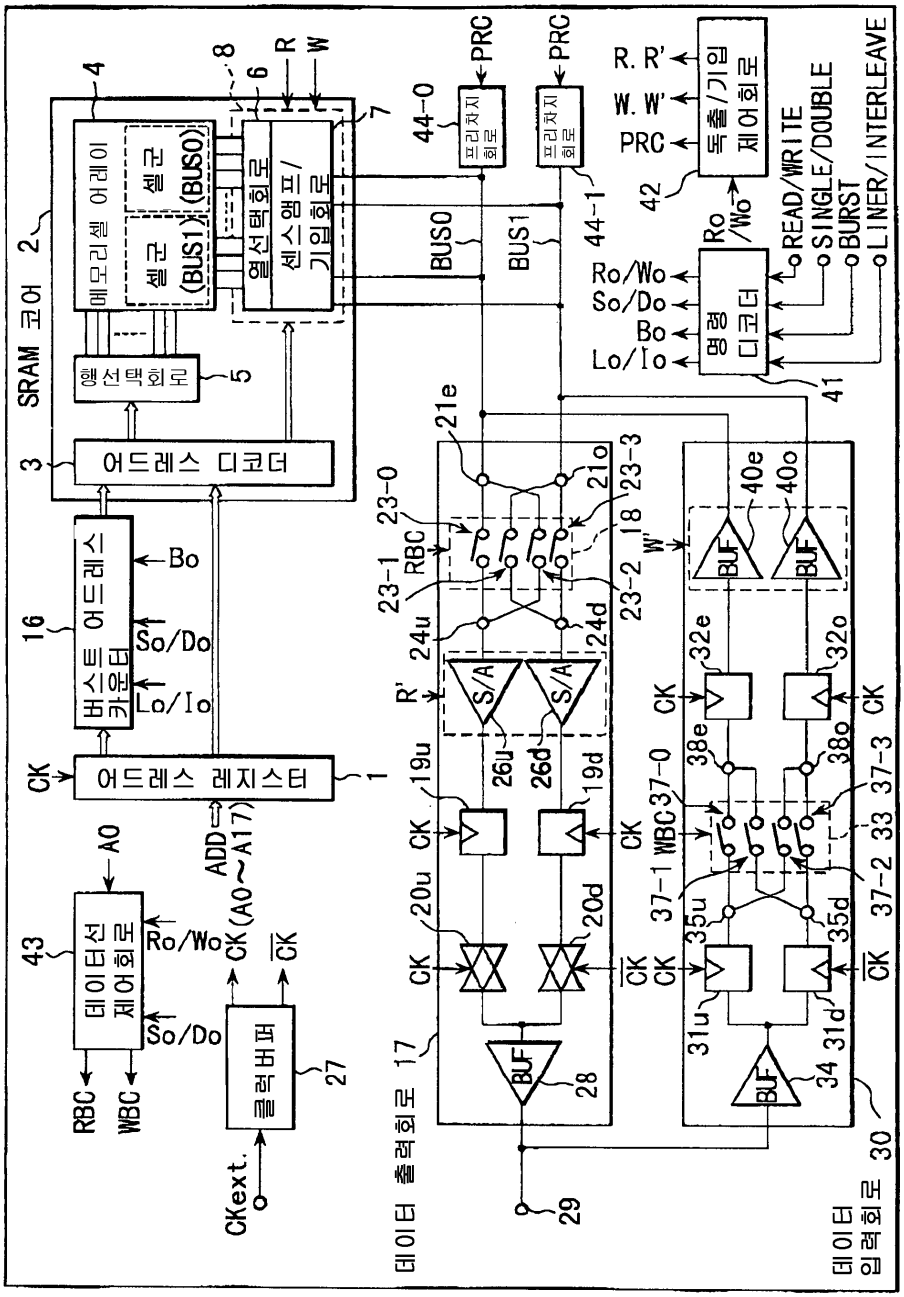
도면4


[DDR 독출]
CK
CK
어드레스
A0=0
B
A0=1
BUS0
BUS1
레지스터 105-0의 출력
레지스터 105-1의 출력
CK1
CK2
출력 데이터
A1
A2
A3
A4
B1
B2
B3
B4
Td1

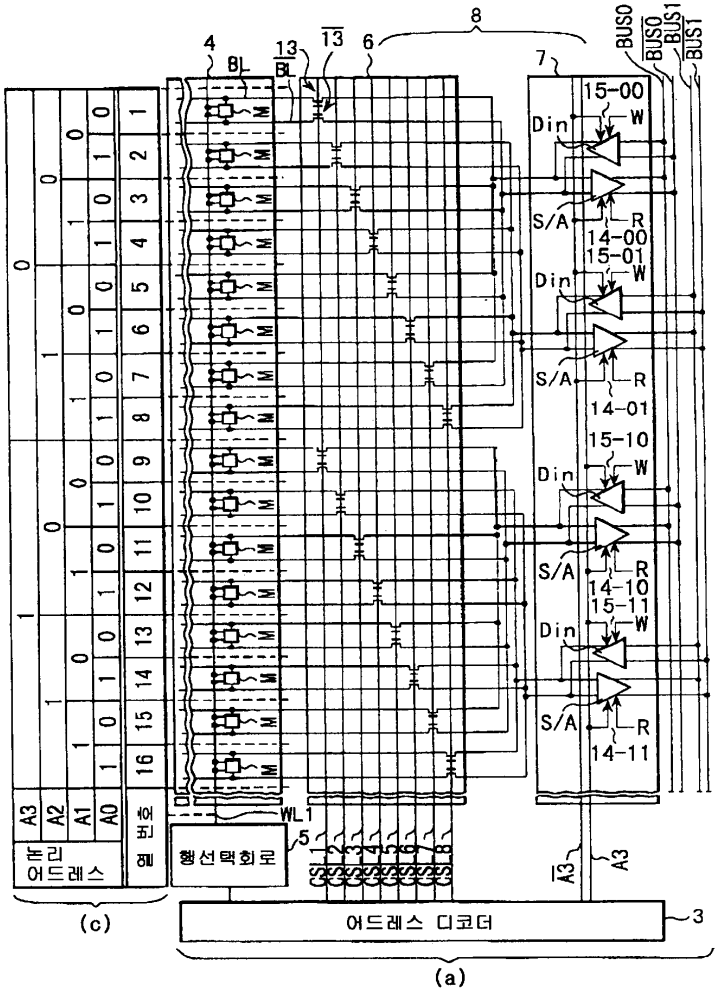
도면5


[DDR 기입]
CK
CK
어드레스
A0=0
B
A0=1
입력 데이터
A1
A2
A3
A4
B1
B2
B3
B4
CK3
CK4
tTd2
레지스터 111-0의 출력
레지스터 111-1의 출력
레지스터 112-0의 출력
레지스터 112-1의 출력

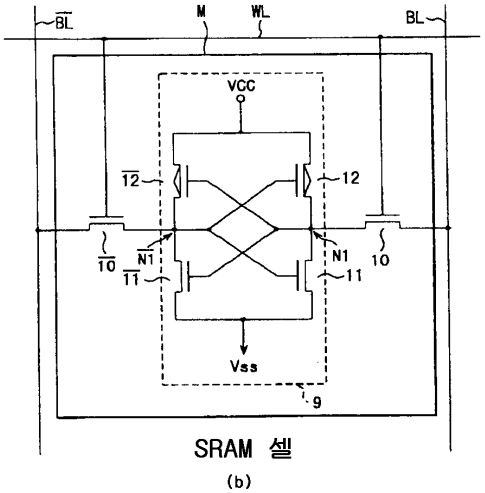
도면6


SRAM 코어
메모리셀 어레이
셀군 (BUS1)
셀군 (BUS0)
열선택회로
센스앰프/기입회로
행선택회로
어드레스 디코더
버스트 어드레스 카운터
어드레스 레지스터
데이터선 제어회로
클럭버퍼
프리차지 회로
프리차지 회로
독출/기입 제어회로
명령 디코더
데이터 출력회로
데이터 입력회로
BUS0
BUS1
PRC
R. R'
W. W'
Ro/Wo
So/Do
Bo
Lo/Io
READ/WRITE
SINGLE/DOUBLE
BURST
LINER/INTERLEAVE
CK
RBC
WBC
CKext.
ADD (A0~A17)
S/A
BUF

도면7

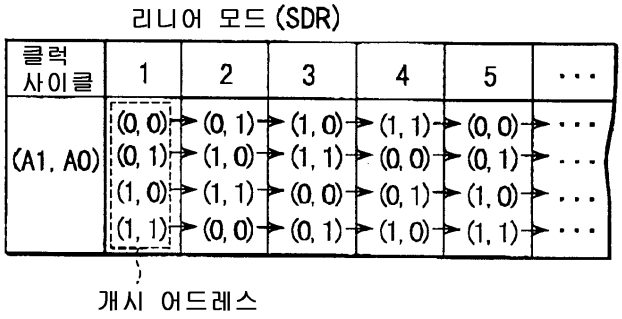


논리 어드레스
행선택회로
어드레스 디코더
Din
S/A
W
R
15-00
14-00
15-01
14-01
15-10
14-10
15-11
14-11
BUS0
BUS1
WL1
(c)
(a)

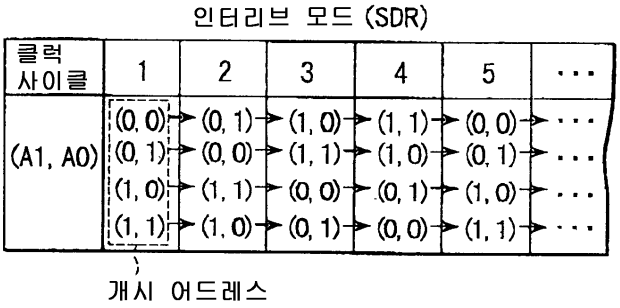


BL
M
WL
VCC
Vss
SRAM 셀
(b)

도면8a



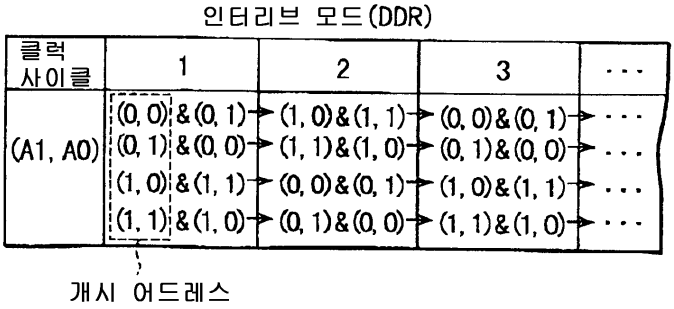
도면8b



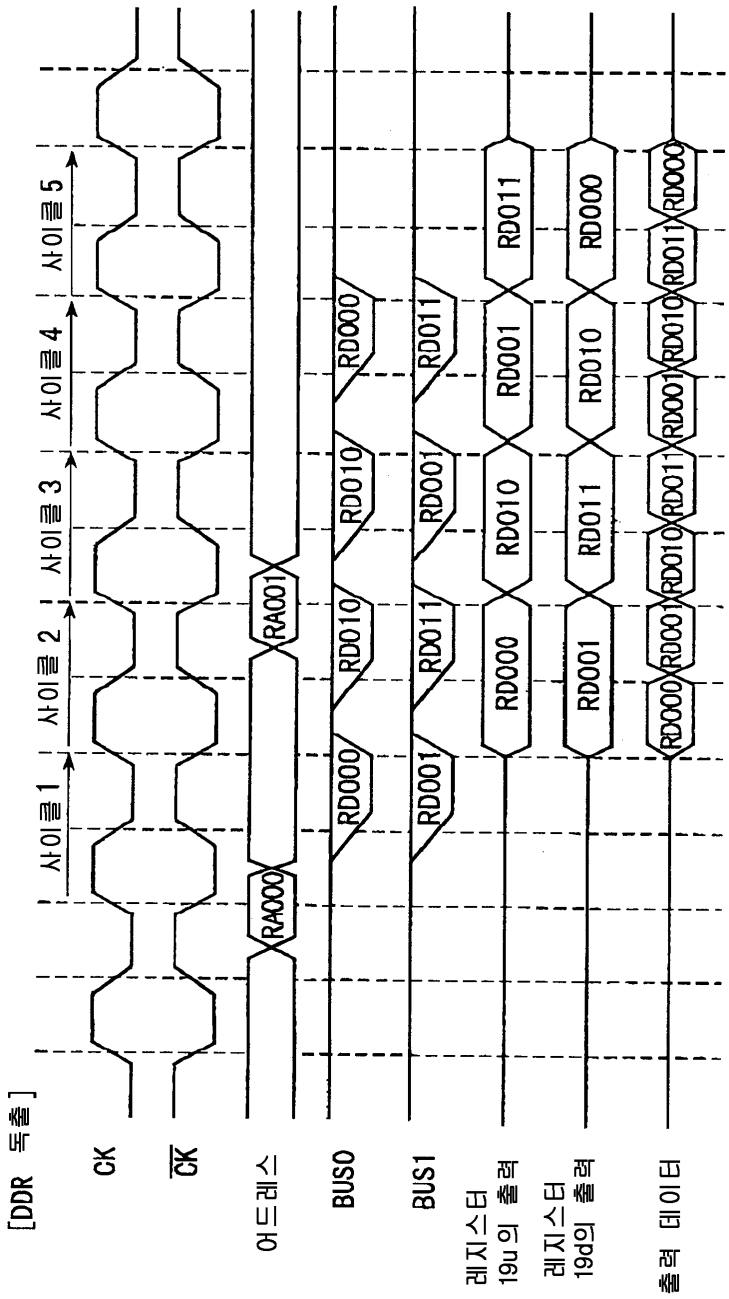
도면8c



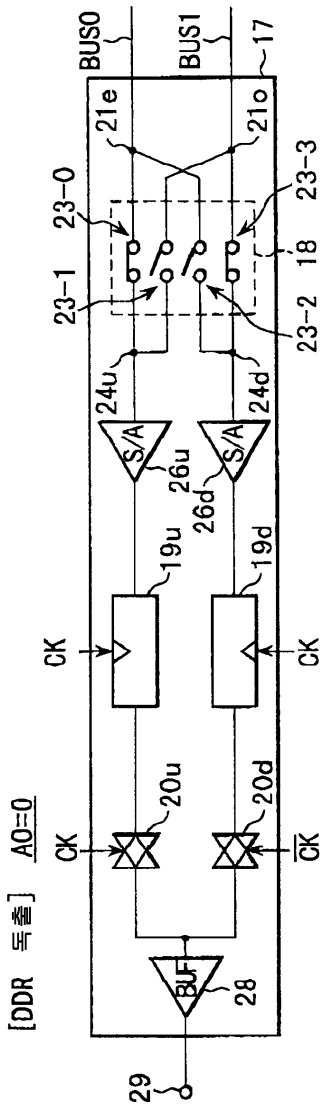
도면8d



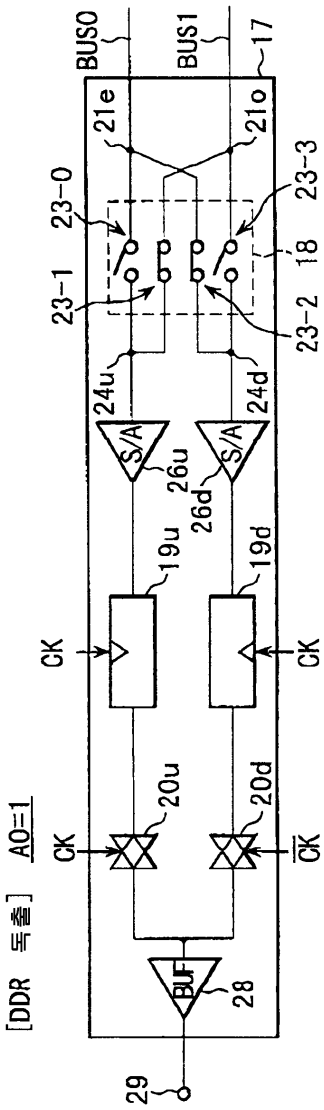
도면9


[DDR 독출]
CK
CK
어드레스
BUS0
BUS1
레지스터 19u의 출력
레지스터 19d의 출력
출력 데이터
사이클 1
사이클 2
사이클 3
사이클 4
사이클 5
RA000
RA001
RD000
RD001
RD010
RD011
RD100
RD101
RD110
RD111

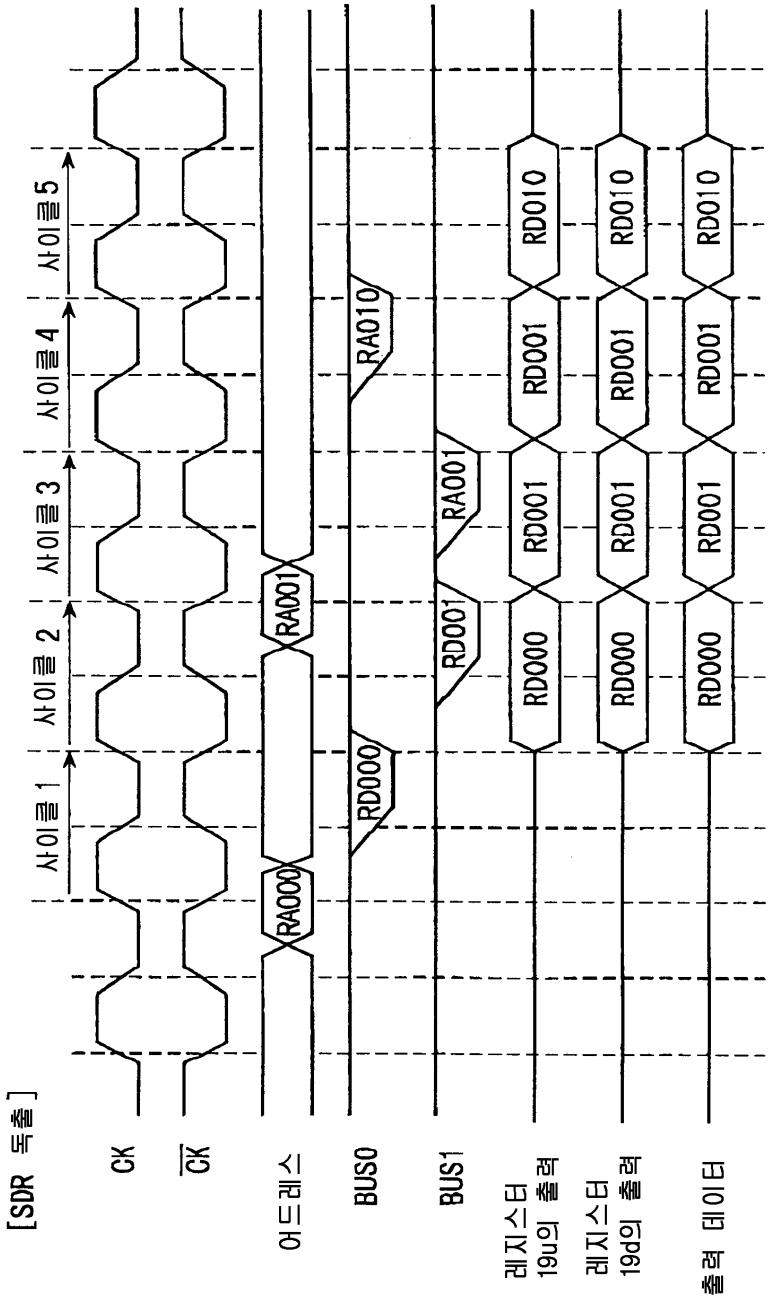
도면10a


[DDR 독출] A0=0
BUS0
BUS1
17
21e
21o
23-0
23-1
23-2
23-3
18
24u
24d
S/A
S/A
26u
26d
19u
19d
CK
CK
20u
20d
CK
CK
BUF
28
29

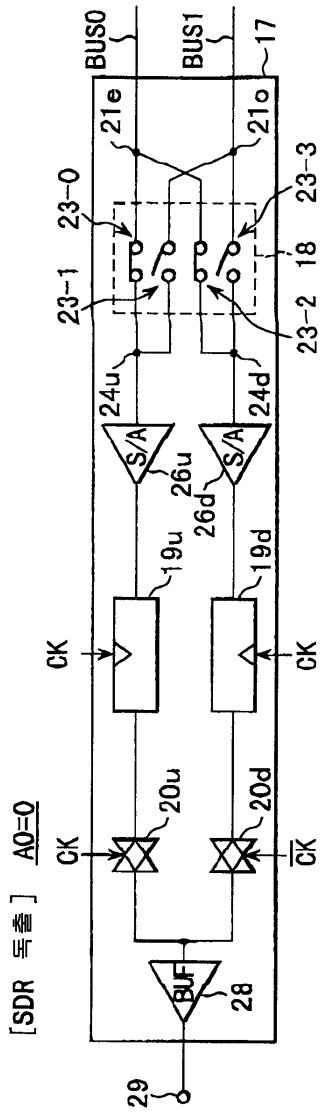
도면10b


[DDR 독출] AO=1
BUS0
BUS1
17
21e
21o
23-0
23-1
23-2
23-3
18
24u
24d
S/A
S/A
26u
26d
19u
19d
CK
CK
20u
20d
CK
CK
BUF
28
29

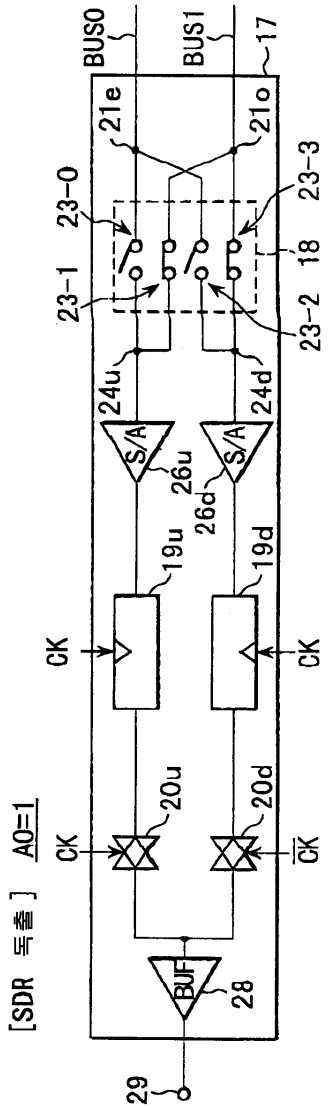
도면11


[SDR 독출]
CK
CK
어드레스
BUS0
BUS1
레지스터 19u의 출력
레지스터 19d의 출력
출력 데이터
사이클 1
사이클 2
사이클 3
사이클 4
사이클 5
RA000
RA001
RA010
RD000
RD001
RD010

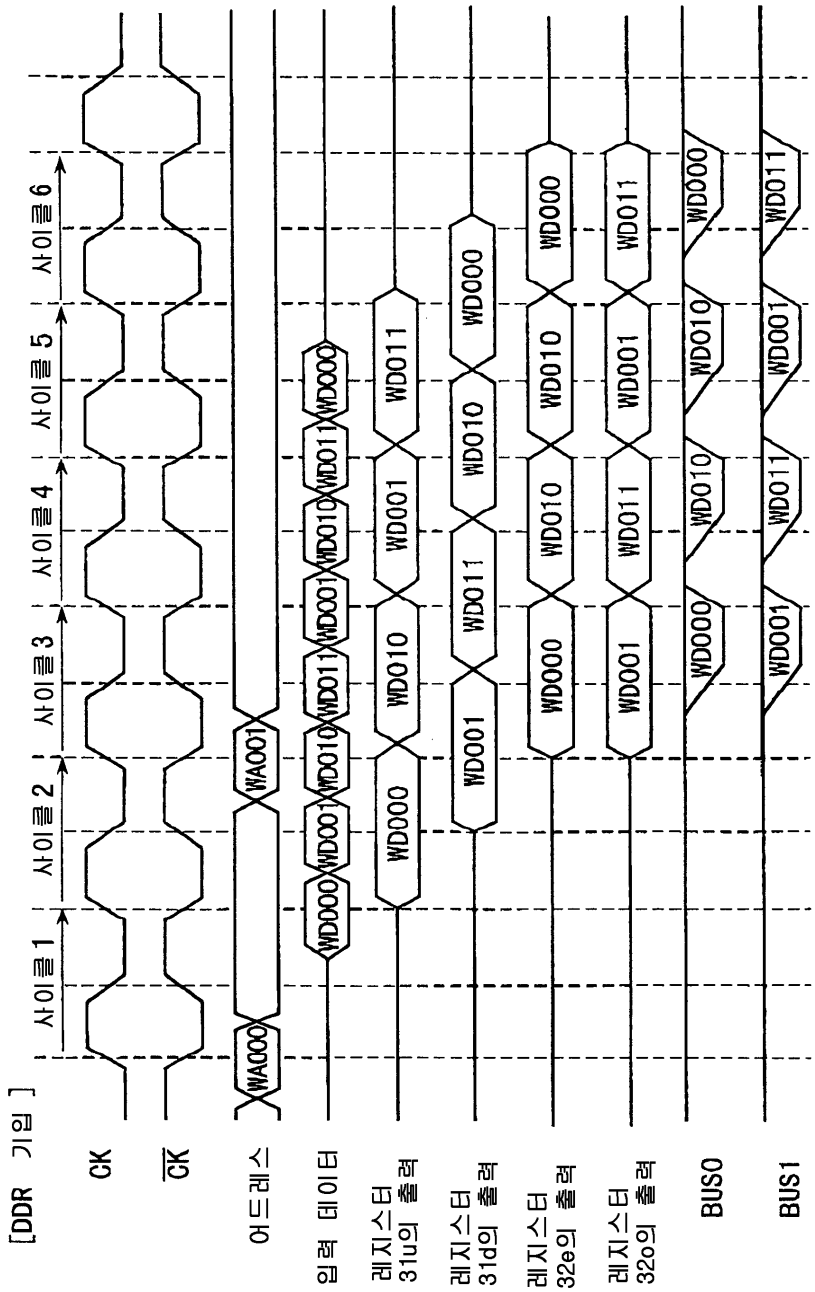
도면12a


[SDR 독출] A0=0
BUS0
BUS1
17
21e
21o
23-0
23-3
23-1
18
23-2
24u
24d
S/A
S/A
26u
26d
19u
19d
CK
CK
20u
20d
CK
CK
BUF
28
29

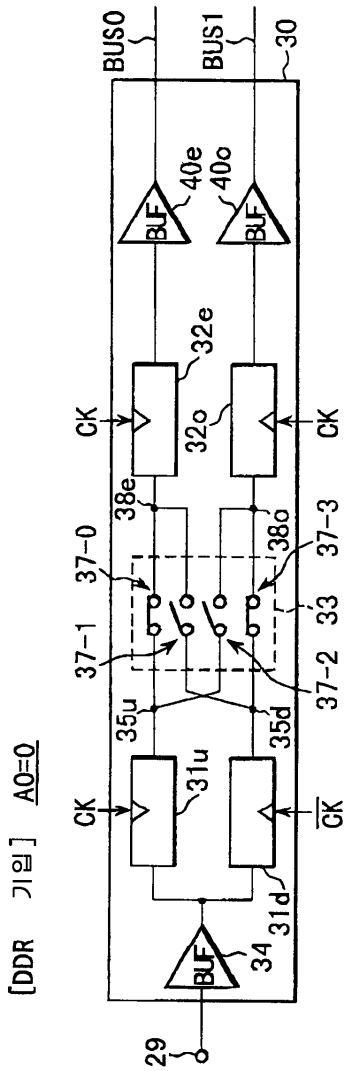
도면12b


[SDR 독출] AO=1
BUS0
BUS1
17
21e
21o
23-0
23-3
18
23-1
23-2
24u
24d
S/A
S/A
26u
26d
19u
19d
CK
CK
20u
20d
CK
CK
BUF
28
29

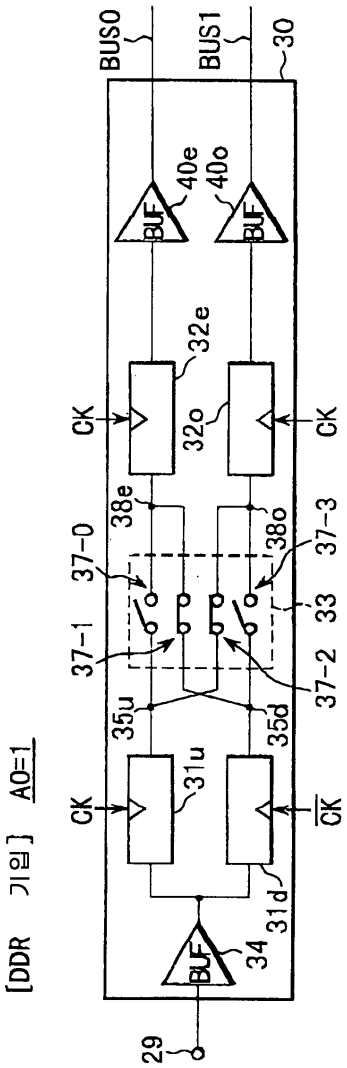
도면13


[DDR 기입]
사이클1
사이클2
사이클3
사이클4
사이클5
사이클6
CK
CK
어드레스
입력 데이터
레지스터 31u의 출력
레지스터 31d의 출력
레지스터 32e의 출력
레지스터 32o의 출력
BUS0
BUS1
WA000
WA001
WD000
WD001
WD010
WD011

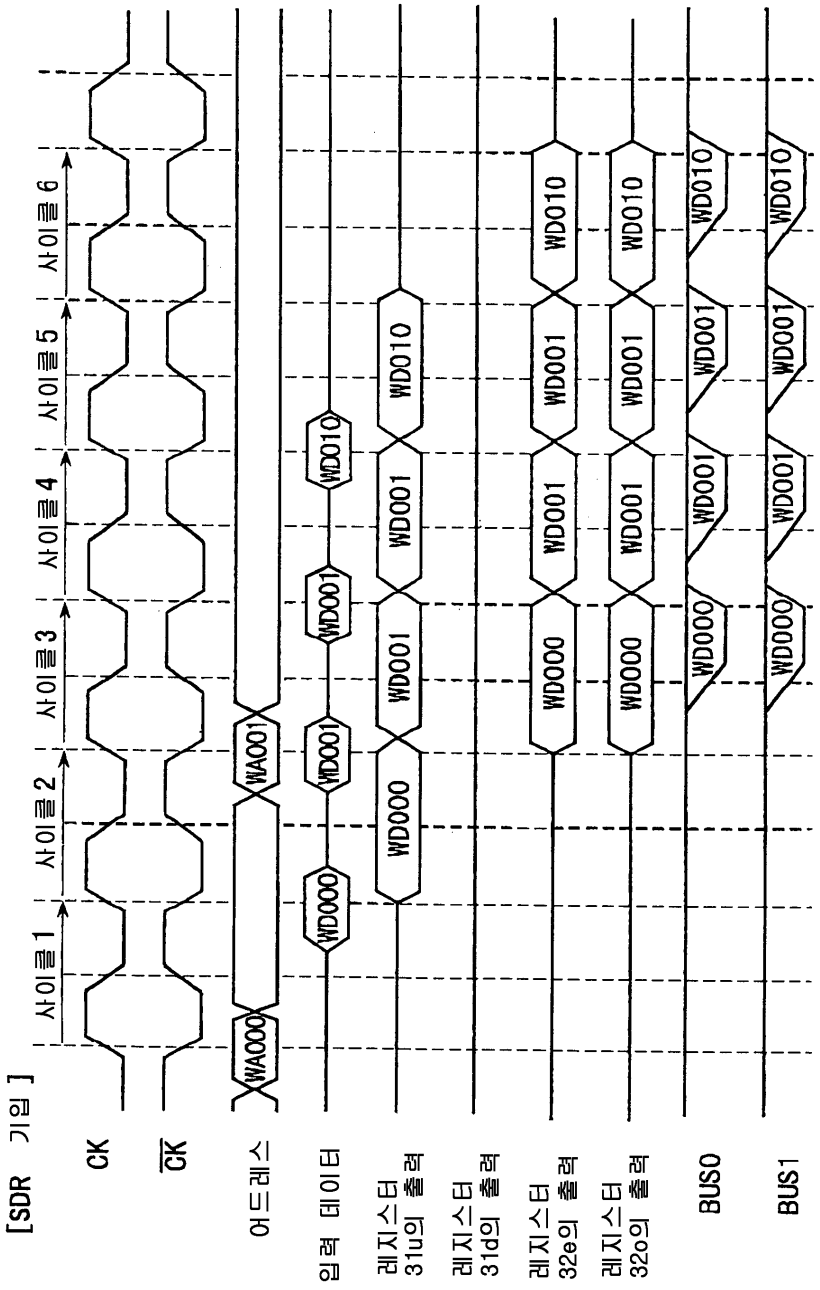
도면14a


[DDR 기일] A0=0
BUS0
BUS1
30
BUF
40e
40o
32e
32o
CK
CK
38e
38o
37-0
37-1
37-2
37-3
33
35u
35d
31u
31d
CK
CK
34
29

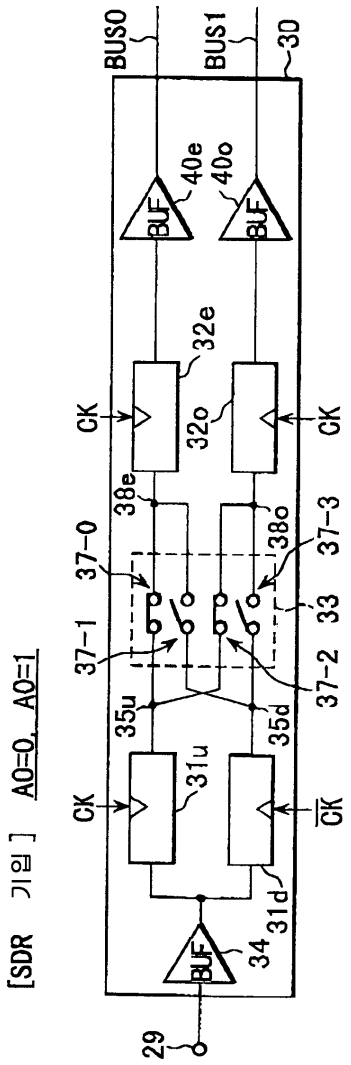
도면14b


[DDR 기입] A0=1
BUS0
BUS1
30
BUF
40e
40o
32e
32o
CK
38e
38o
37-0
37-1
37-2
37-3
33
35u
35d
31u
31d
34
29

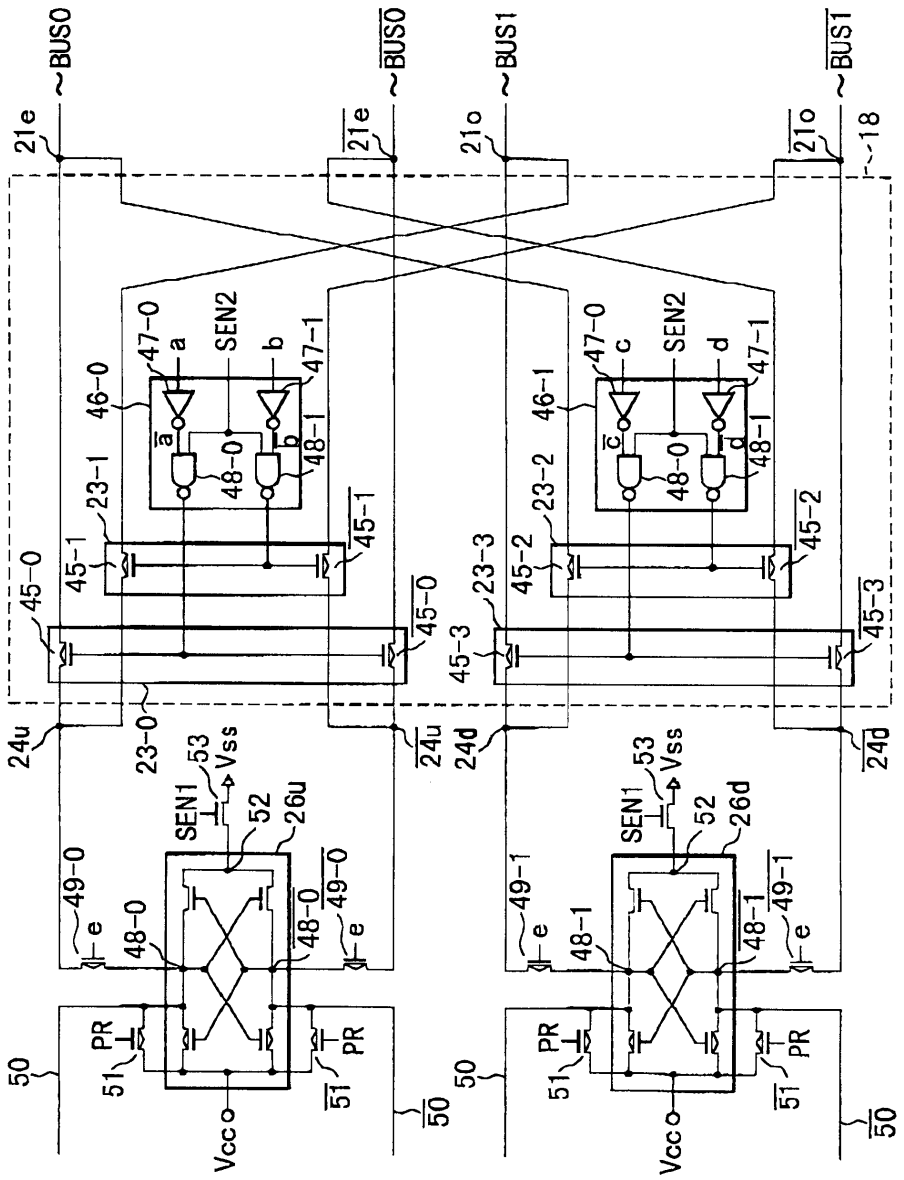
도면15


[SDR 기일]
사이클 1
사이클 2
사이클 3
사이클 4
사이클 5
사이클 6
CK
CK
어드레스
입력 데이터
레지스터 31u의 출력
레지스터 31d의 출력
레지스터 32e의 출력
레지스터 32o의 출력
BUS0
BUS1
WA000
WA001
WD000
WD001
WD010

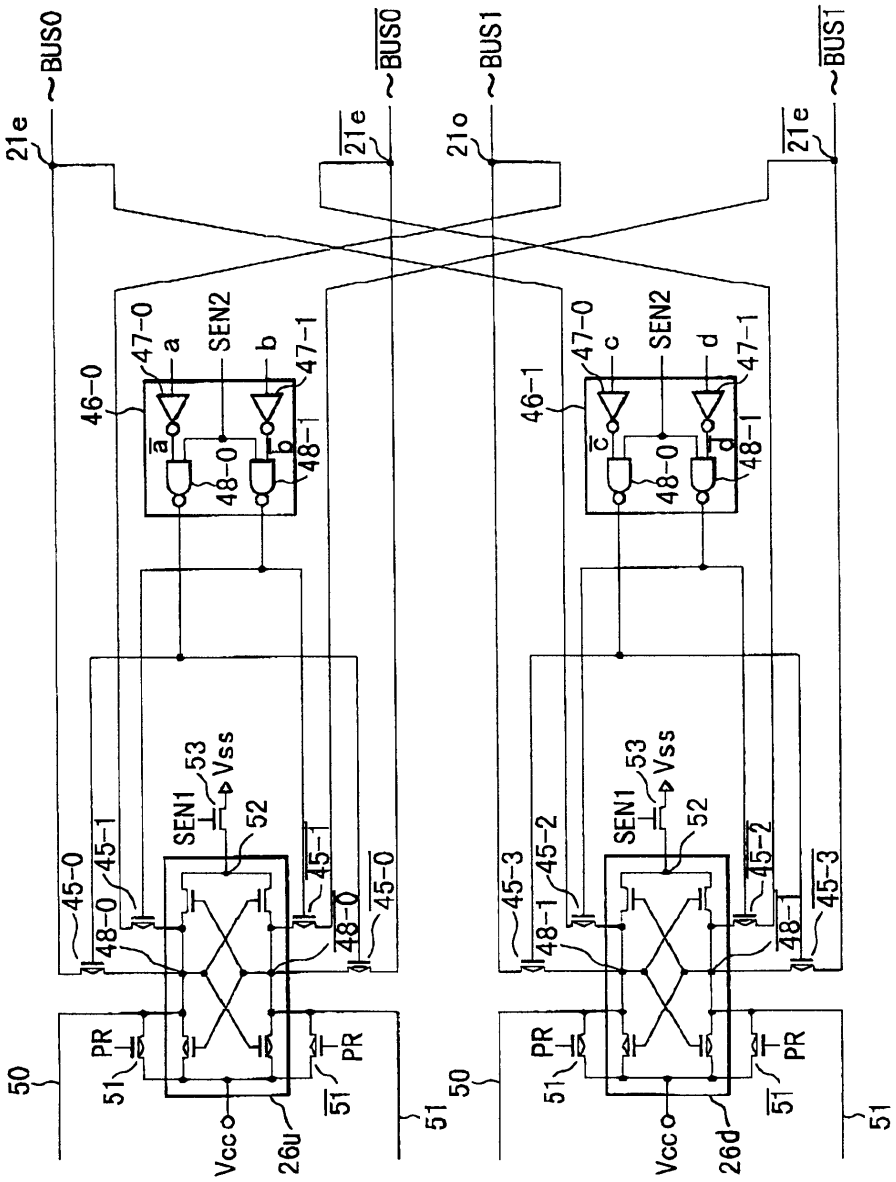
도면16


[SDR 기입] A0=0, A0=1
BUS0
BUS1
30
BUF
40e
40o
32e
32o
CK
38e
38o
37-0
37-1
37-2
37-3
33
35u
35d
31u
31d
34
29

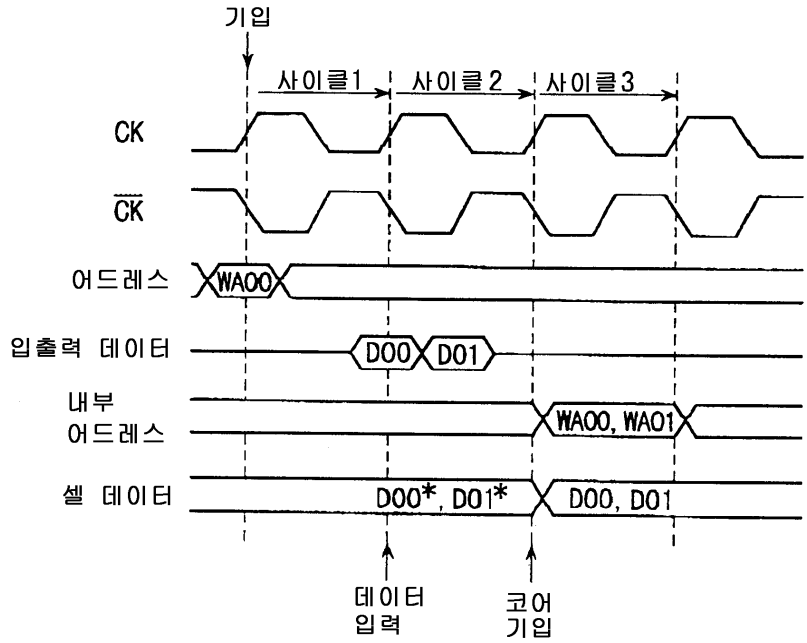
도면17


~BUS0
~BUS0
~BUS1
~BUS1
21e
21e
21o
21o
~18
47-0
a
SEN2
b
47-1
46-0
48-0
48-1
23-1
45-1
45-0
45-1
45-0
47-0
c
SEN2
d
47-1
46-1
48-0
48-1
23-2
23-3
45-2
45-2
45-3
45-3
24u
24u
24d
24d
23-0
SEN1
53
Vss
52
26u
26d
49-0
49-1
e
48-0
48-1
PR
51
50
Vcc

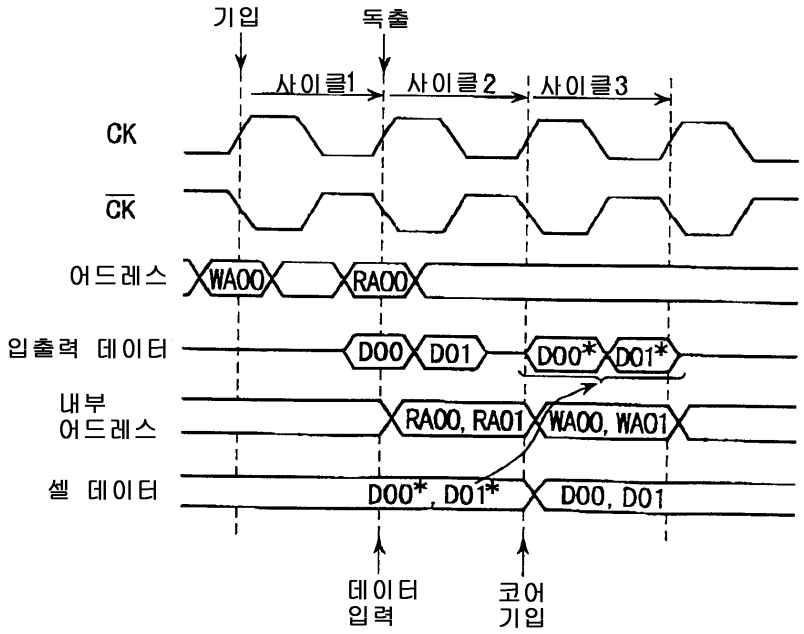
도면18


21e
~BUS0
~BUS0
21e
21o
~BUS1
~BUS1
21e
46-0
47-0
a
SEN2
b
47-1
48-0
48-1
46-1
c
d
45-0
45-1
45-3
45-2
SEN1
53
Vss
52
50
51
PR
Vcc
26u
26d

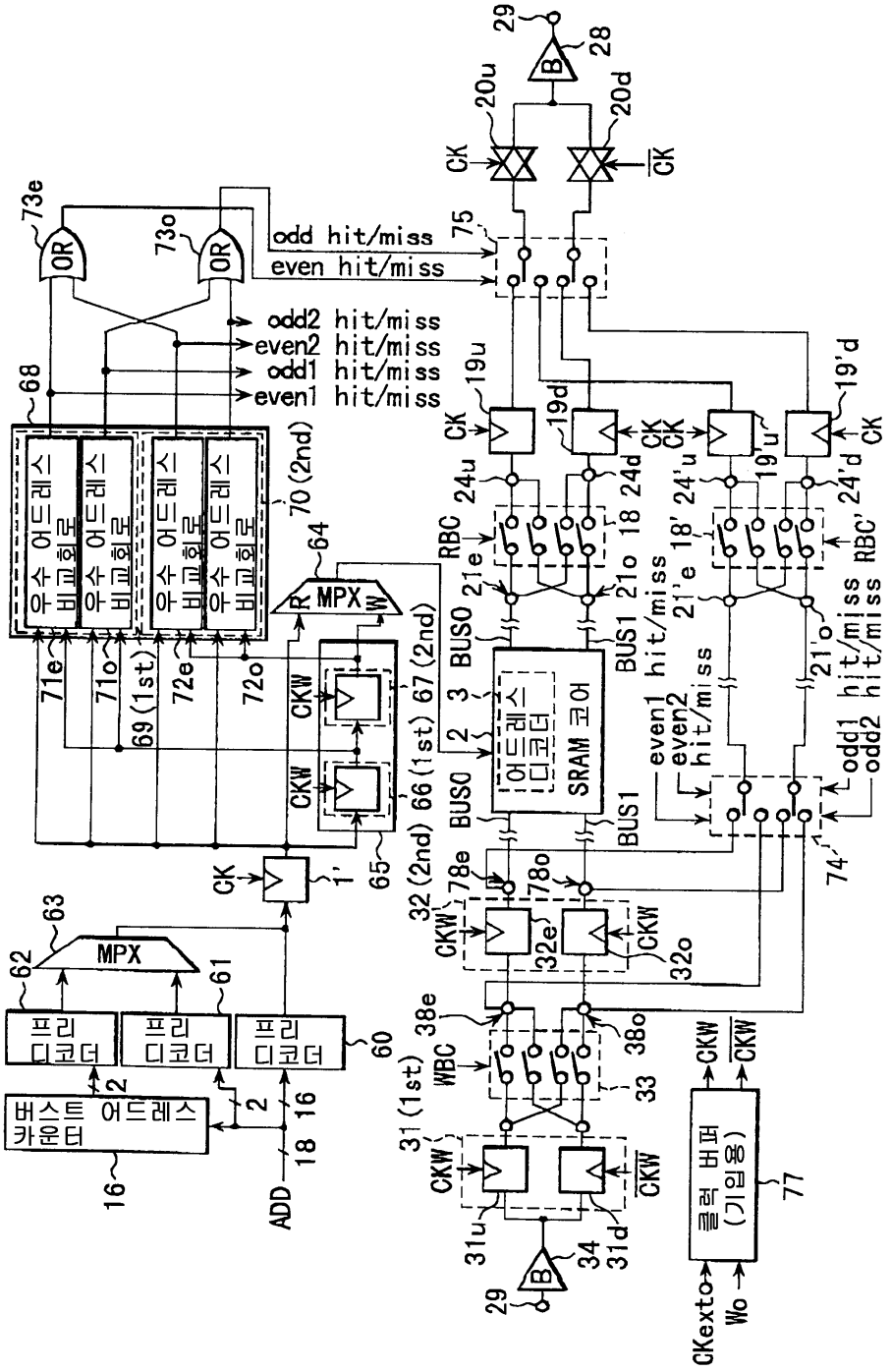
도면19a


기입
사이클1
사이클2
사이클3
CK
$\overline{CK}$
어드레스
WA00
입출력 데이터
D00
D01
내부
어드레스
WA00, WA01
셀 데이터
D00*, D01*
D00, D01
데이터
입력
코어
기입

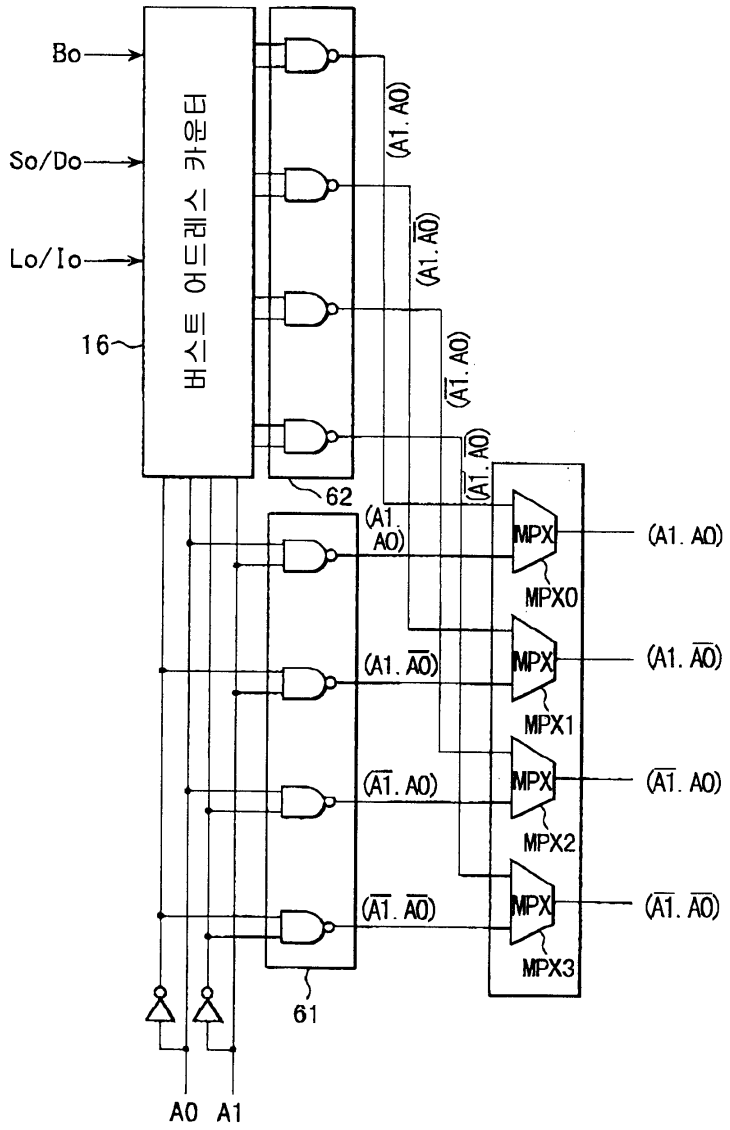
도면19b


기입
독출
사이클1
사이클2
사이클3
CK
$\overline{CK}$
어드레스
WA00
RA00
입출력 데이터
D00
D01
D00*
D01*
내부
어드레스
RA00, RA01
WA00, WA01
셀 데이터
D00*, D01*
D00, D01
데이터
입력
코어
기입

도면20


odd hit/miss
even hit/miss
odd2 hit/miss
even2 hit/miss
odd1 hit/miss
even1 hit/miss
우수 어드레스 비교회로
MPX
프리 디코더
버스트 어드레스 카운터
ADD
어드레스 디코더
SRAM 코어
BUS0
BUS1
WBC
RBC
CKW
클럭 버퍼 (기입용)
CKexto
Wo

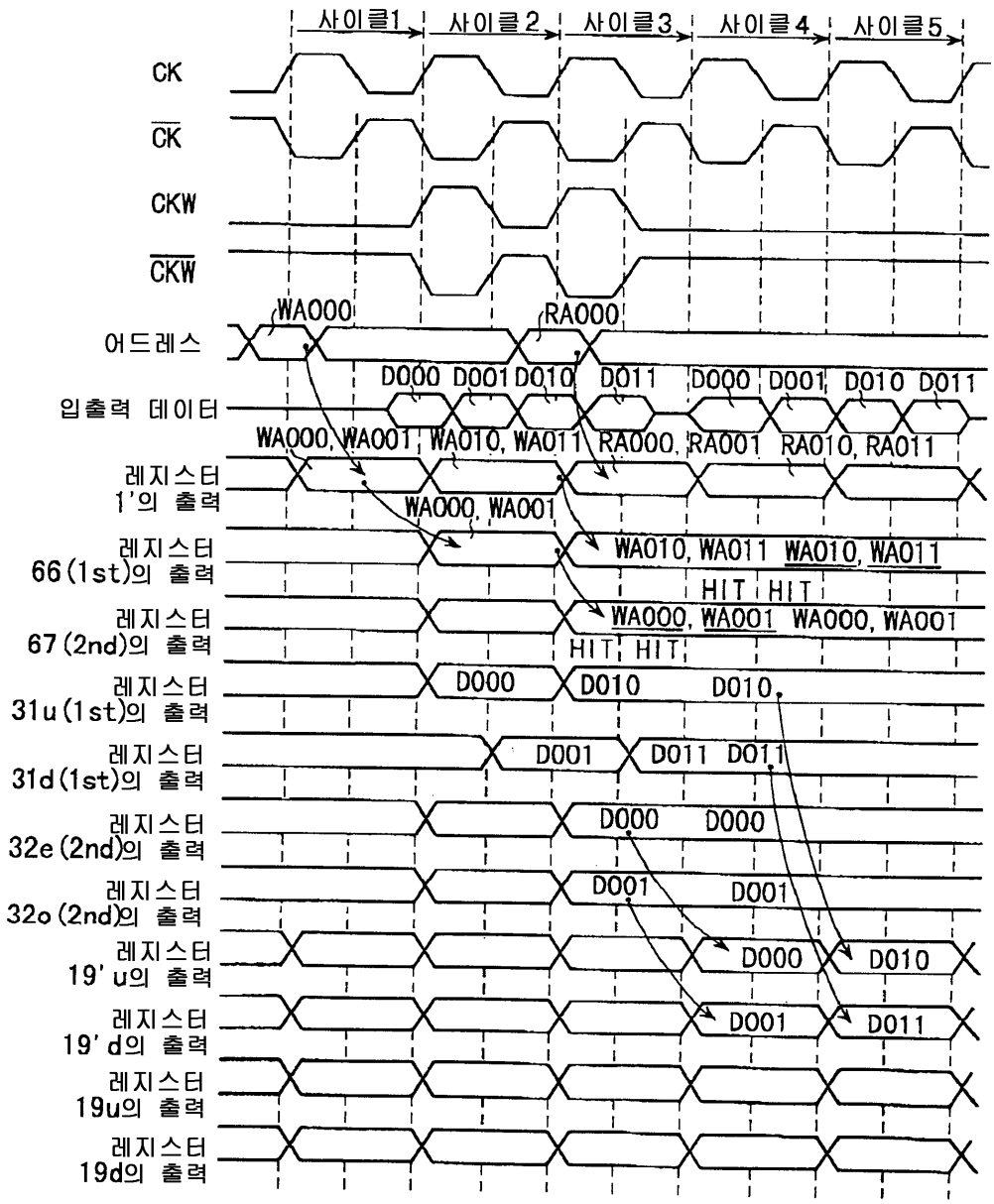
도면21a



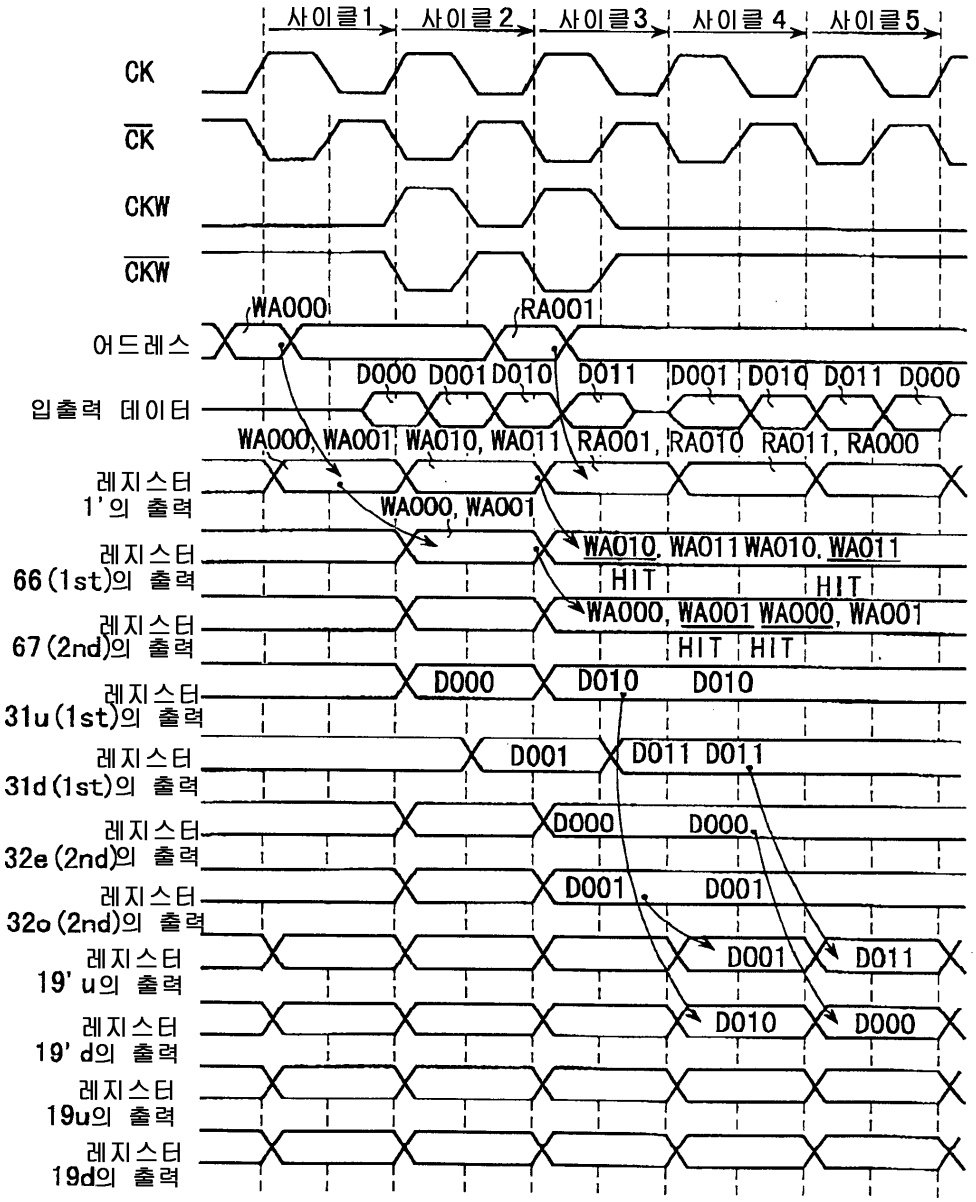
도면21b

A1	A0	(A1. A0)	(A1. $\overline{A0}$)	($\overline{A1}$. A0)	($\overline{A1}$. $\overline{A0}$)
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

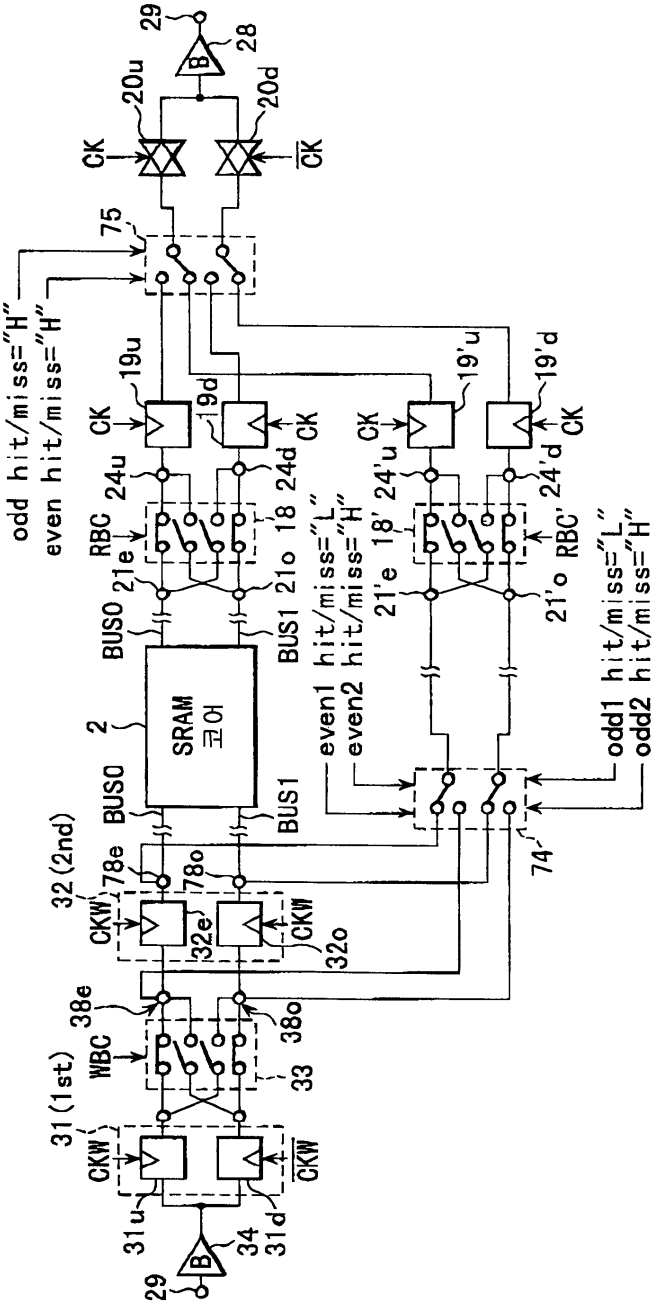
도면22a


사이클1
사이클2
사이클3
사이클4
사이클5
CK
$\overline{CK}$
CKW
$\overline{CKW}$
어드레스
WA000
RA000
입출력 데이터
D000 D001 D010 D011 D000 D001 D010 D011
레지스터 1'의 출력
WA000, WA001, WA010, WA011 RA000, RA001 RA010, RA011
WA000, WA001
레지스터 66(1st)의 출력
WA010, WA011 WA010, WA011
HIT HIT
레지스터 67(2nd)의 출력
WA000, WA001 WA000, WA001
HIT HIT
레지스터 31u(1st)의 출력
D000 D010 D010
레지스터 31d(1st)의 출력
D001 D011 D011
레지스터 32e(2nd)의 출력
D000 D000
레지스터 32o(2nd)의 출력
D001 D001
레지스터 19'u의 출력
D000 D010
레지스터 19'd의 출력
D001 D011
레지스터 19u의 출력
레지스터 19d의 출력

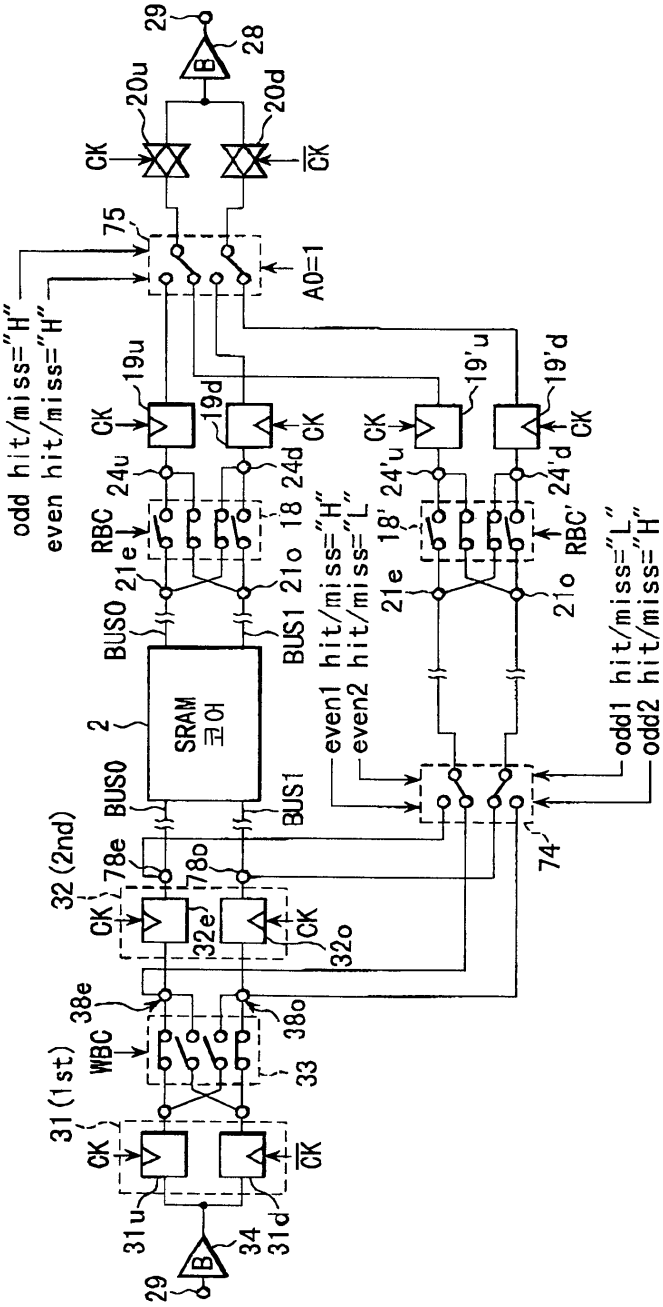
도면22b


사이클1
사이클2
사이클3
사이클4
사이클5
CK
CKW
어드레스
WA000
RA001
입출력 데이터
D000 D001 D010 D011 D001 D010 D011 D000
WA000, WA001 WA010, WA011 RA001, RA010 RA011, RA000
레지스터 1'의 출력
WA000, WA001
레지스터 66(1st)의 출력
WA010, WA011 WA010, WA011
HIT HIT
레지스터 67(2nd)의 출력
WA000, WA001 WA000, WA001
HIT HIT
레지스터 31u(1st)의 출력
D000 D010 D010
레지스터 31d(1st)의 출력
D001 D011 D011
레지스터 32e(2nd)의 출력
D000 D000
레지스터 32o(2nd)의 출력
D001 D001
레지스터 19'u의 출력
D001 D011
레지스터 19'd의 출력
D010 D000
레지스터 19u의 출력
레지스터 19d의 출력

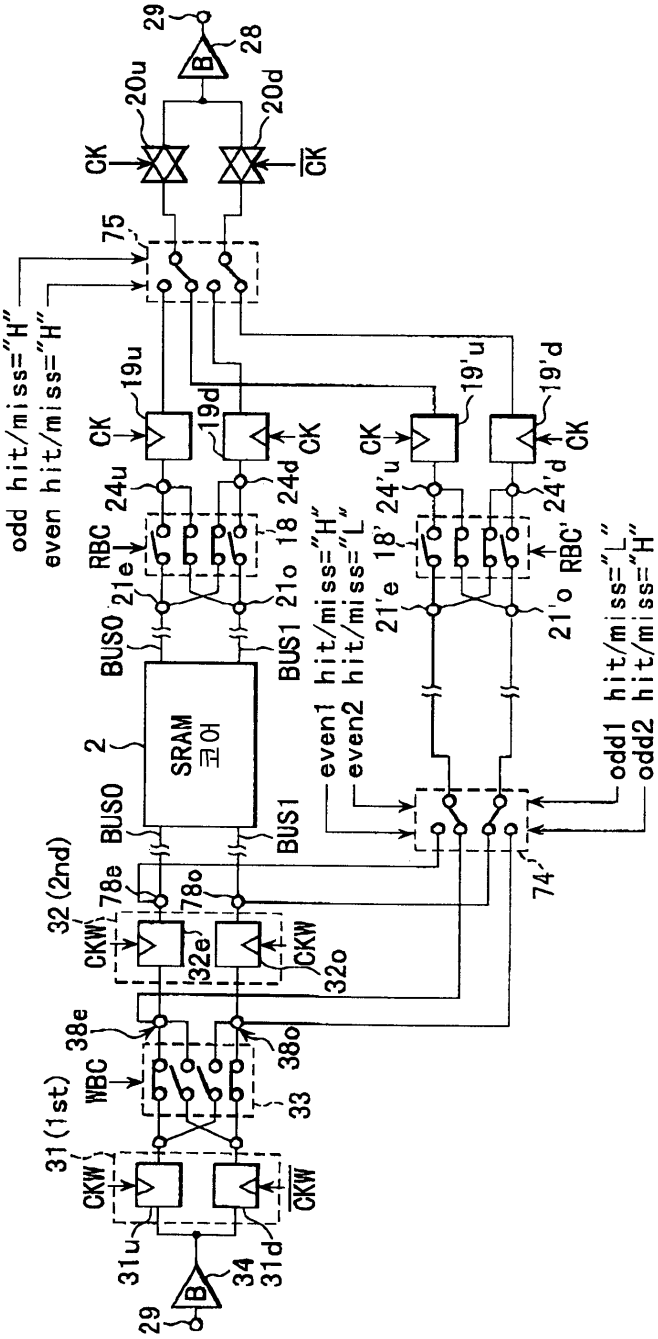
도면23a


29
28
B
20u
20d
CK
CK
75
odd hit/miss="H"
even hit/miss="H"
19u
19d
CK
CK
24u
24d
RBC
21e
21o
18
BUS0
BUS1
2
SRAM
코어
BUS0
BUS1
even1 hit/miss="L"
even2 hit/miss="H"
21'e
18'
24'u
19'u
CK
CK
24'd
19'd
21'o
RBC'
odd1 hit/miss="L"
odd2 hit/miss="H"
74'
32 (2nd)
CKW
78e
78o
32e
32o
CKW
38e
38o
WBC
33
31 (1st)
CKW
CKW
31u
31d
34
B
29

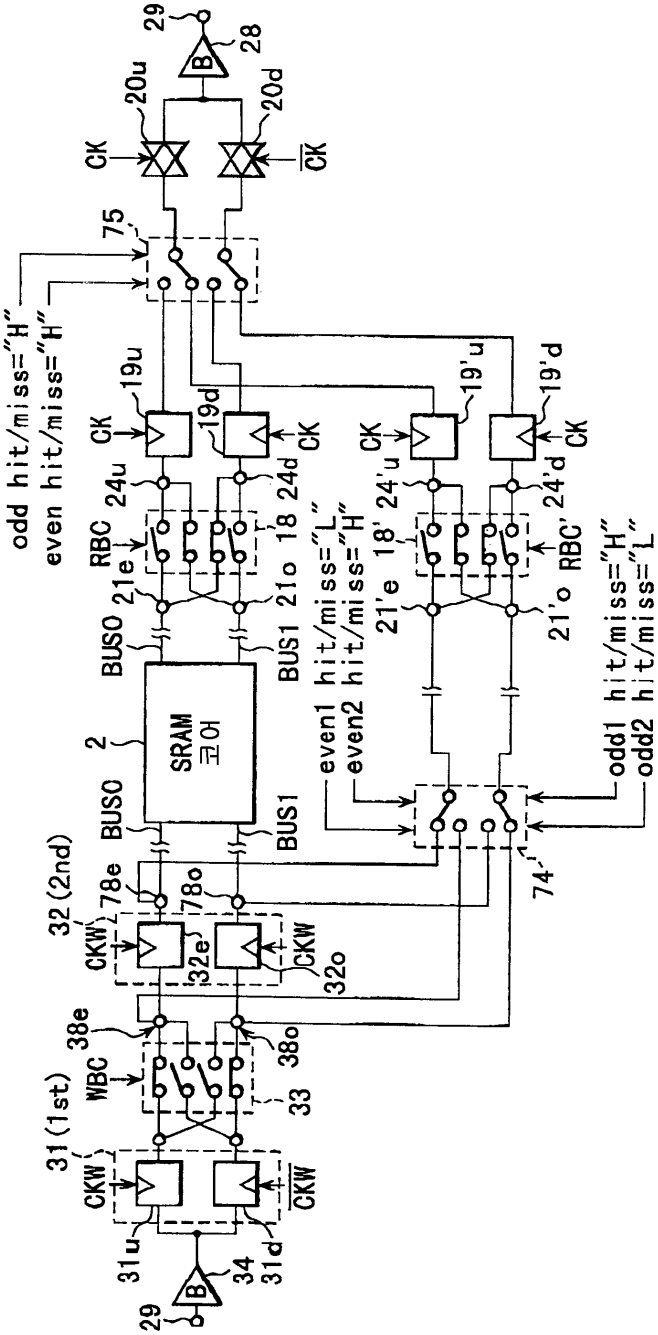
도면23b


29
28
20u
20d
CK
CK
75
A0=1
odd hit/miss="H"
even hit/miss="H"
19u
19d
CK
CK
24u
24d
RBC
21e
21o
18
BUS0
BUS1
2
SRAM
코어
BUS0
BUS1
even1 hit/miss="H"
even2 hit/miss="L"
19'u
19'd
CK
CK
24'u
24'd
RBC'
21e
21o
18'
odd1 hit/miss="L"
odd2 hit/miss="H"
74
32 (2nd)
CK
78e
78o
32e
32o
CK
38e
38o
WBC
33
31 (1st)
CK
CK
31u
31d
34
29

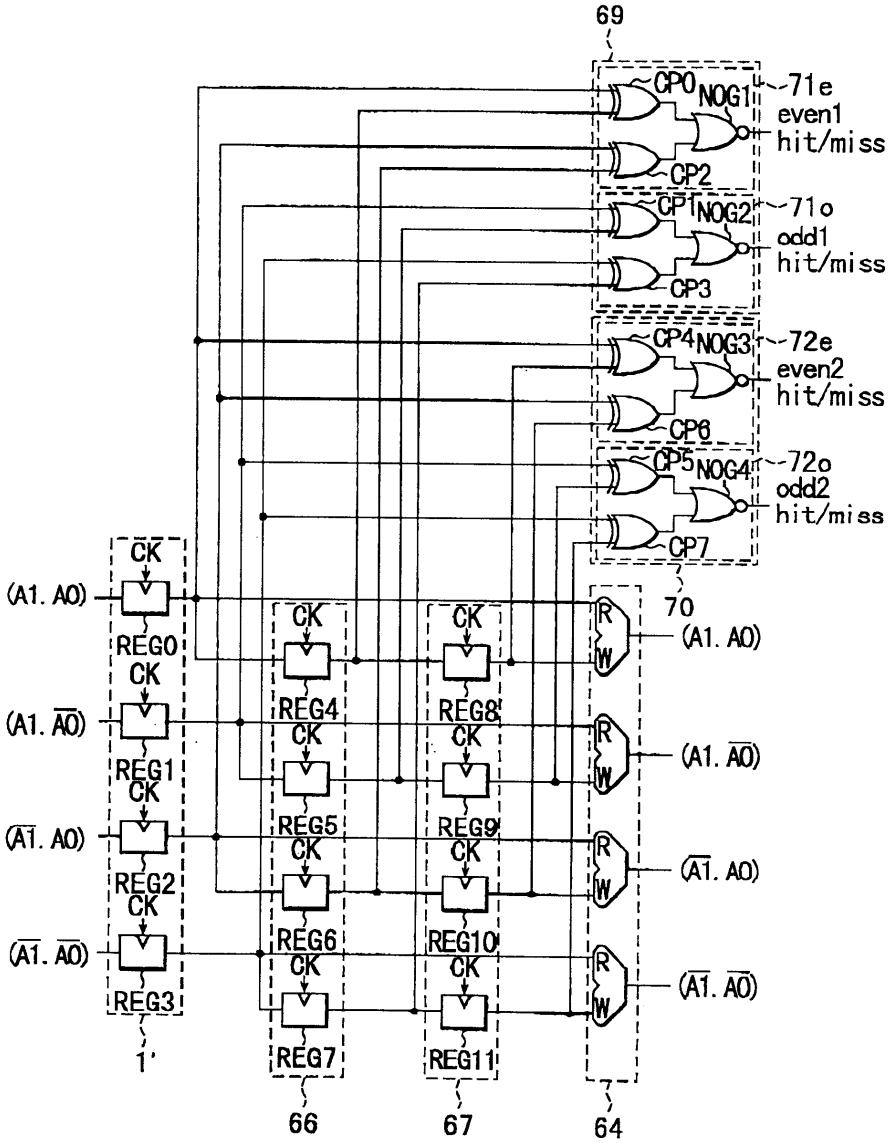
도면23c


odd hit/miss="H"
even hit/miss="H"
29
28
20u
20d
CK
CK
75
19u
19d
CK
CK
24u
24d
RBC
21e
21o
18
BUS0
BUS1
2
SRAM
코어
BUS0
BUS1
even1 hit/miss="H"
even2 hit/miss="L"
19'u
19'd
CK
CK
24'u
24'd
RBC
21'e
18'
21'o
odd1 hit/miss="L"
odd2 hit/miss="H"
74
32 (2nd)
CKW
78e
78o
32e
32o
CKW
38e
38o
WBC
33
31 (1st)
CKW
CKW
31u
31d
34
29

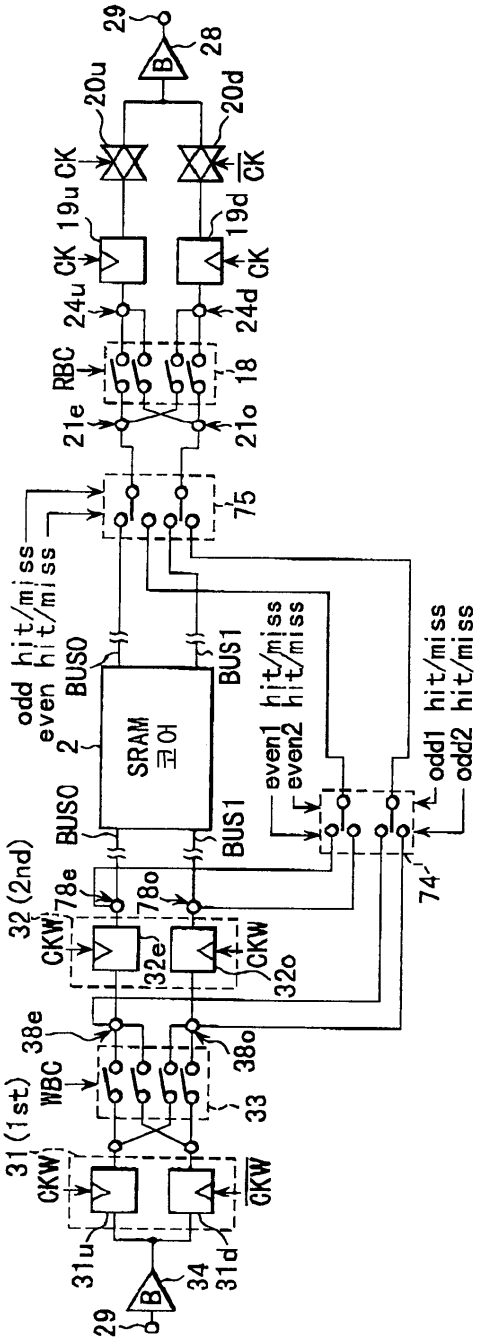
도면23d


29
28
B
20u
20d
CK
$\overline{CK}$
75
odd hit/miss="H"
even hit/miss="H"
19u
19d
19'u
19'd
24u
24d
24'u
24'd
RBC
RBC'
18
18'
21e
21o
21'e
21'o
BUS0
BUS1
SRAM
코어
2
even1 hit/miss="L"
even2 hit/miss="H"
odd1 hit/miss="H"
odd2 hit/miss="L"
74
32 (2nd)
78e
78o
CKW
32e
32o
38e
38o
WBC
33
31 (1st)
31u
31d
34
$\overline{CKW}$

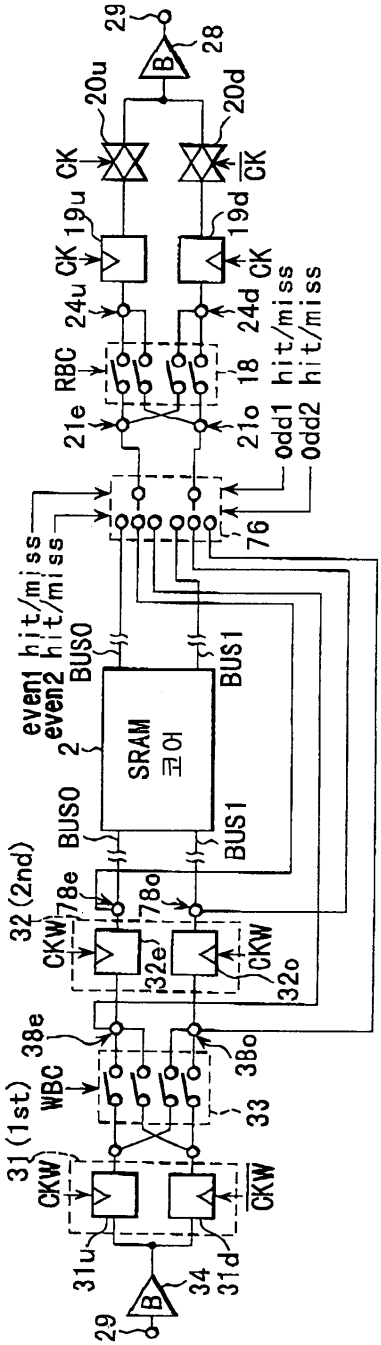
도면24


69
CP0
NOG1
71e
even1
hit/miss
CP2
CP1
NOG2
71o
odd1
hit/miss
CP3
CP4
NOG3
72e
even2
hit/miss
CP6
CP5
NOG4
72o
odd2
hit/miss
CP7
70
CK
(A1. A0)
REG0
(A1. $\overline{A0}$)
REG1
($\overline{A1}$. A0)
REG2
($\overline{A1}$. $\overline{A0}$)
REG3
1'
REG4
REG5
REG6
REG7
66
REG8
REG9
REG10
REG11
67
R
W
64

도면25


29
28
B
20u
20d
CK
19u
19d
24u
24d
RBC
18
21e
21o
75
odd hit/miss
even hit/miss
BUS0
BUS1
2
SRAM
코어
even1 hit/miss
even2 hit/miss
odd1 hit/miss
odd2 hit/miss
74
32 (2nd)
CKW
78e
78o
32e
32o
38e
38o
WBC
33
31 (1st)
31u
31d
34

도면26


29
28
B
20u
20d
CK
CK
19u
19d
24u
24d
RBC
18
21e
21o
odd1 hit/miss
odd2 hit/miss
76
even1 hit/miss
even2 hit/miss
BUS0
BUS1
2
SRAM
코어
78e
78o
32 (2nd)
CKW
32e
32o
38e
38o
WBC
33
31 (1st)
31u
31d
34