(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/10 (2006.01)

(45) 공고일자 2006년11월24일
(11) 등록번호 10-0649436
(24) 등록일자 2006년11월17일

(21) 출원번호 10-1999-0035026
(22) 출원일자 1999년08월23일
심사청구일자 2004년03월03일

(65) 공개번호 10-2000-0017466
(43) 공개일자 2000년03월25일

(30) 우선권주장 98-244009 1998년08월28일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

가부시키가이샤 히타치초에루. 에스. 아이. 시스테무즈
일본국 도오쿄오도 코다이라시죠 스이혼초 5초메 22반 1고

(72) 발명자 후지이이사무
일본도쿄토아키시마시미호리쵸5-5-7

나카이키요시
일본도쿄토오우메시신마치5-23-7-203

스즈키유키히데
일본도쿄토아키시마시미호리쵸5-5-7

모리타사다유키
일본도쿄토히가시야마토시무코하라1-7-6-207

에가와히데카즈
일본도쿄토아키시마시쯔쯔지가오카3-6-10-505

아베카쯔라
일본도쿄토히가시무라야마시온타쵸1-59-2-A240

사카모토노리아키
일본도쿄토히가시무라야마시온타쵸1-59-2-A220

(74) 대리인 특허법인 원전

심사관 : 정병홍

전체 청구항 수 : 총 10 항

(54) 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치

(57) 요약

논리회로를 실현하는 1 내지 복수의 MOSFET가 형성되어 이루어지는 단위영역의 복수개를 제1 방향으로 배치한다. 그 영역상에 상기 제1 방향으로 연장하는 제1 배선을 형성한다. 상기 복수 배치된 단위영역을 따라서, 또 그 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선을 형성한다. 상기 인접하는 단위영역 사이에 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선을 구비한 배선 전용영역을 설치한다. 상기 단위영역에 형성된 논리회로는 필요에 따라 인접하는 상기 배선 전용영역과의 조합에 의해 상기 제1 배선에 접속되는 제1 접속형태와, 상기 제2 배선을 통하여 제3 배선에 접속되는 제2 접속형태의 양쪽을 갖도록 한다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 단위영역상에서 상기 제1 방향으로 연장하는 제1 배선과,

상기 복수 배치된 단위영역을 따라서, 또한, 그 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선과,

상기 단위영역에 인접하여 설치되고, 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선이 형성되는 배선전용영역을 구비하고,

상기 단위영역은, 특정 논리기능을 실현하는 1 내지 복수의 MOSFET가 형성되는 것이며,

상기 배선영역에 형성되는 제3 배선은, 상기 단위영역내에서 논리회로를 실현하는 복수의 MOSFET사이를 접속하는 배선과 동일한 공정으로 형성되고, 상기 제1 단위영역에 형성된 논리기능을 실현하는 회로와 상기 제2 배선과의 사이에 형성되어 신호의 수수(授受)에 이용되며,

상기 회로 입력단자는, 상기 제1 배선과 상기 제3 배선 중 하나에 접속되는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 2.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 직사각형의 단위영역상에서 상기 제1 방향으로 연장하는 제1 배선과,

상기 복수 배치된 단위영역을 따라서, 또 그 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선과,

상기 인접한 단위영역 사이에 설치되고, 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선을 구비한 배선영역을 구비하고,

상기 단위영역은, 논리회로를 실현하는 1 내지 복수의 MOSFET가 형성되고, 인접한 상기 배선전용영역과의 조합에 의해 상기 제1 배선에 접속되는 제1 접속형태와, 상기 제2 배선을 통하여 제3 배선에 접속되는 제2 접속형태의 양쪽을 가지며,

상기 제3 배선은, 상기 단위영역내에서 논리회로를 실현하는 복수의 MOSFET사이를 접속하는 배선과 동일한 공정으로 형성되고, 상기 배선전용영역은, 각 단위영역에 일대일로 대응하여 설치되는 것이며, 그것에 대응하는 상기 단위영역에 형성된 논리회로에서 상기 제 2접속형태가 필요로 된 경우에 사용되는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 단위영역상의 중앙부에 형성되고, 상기 제1 방향으로 연장하는 신호선과,

상기 제1 방향으로 복수 배치된 단위영역상의 양측에 형성되고, 상기 제1 방향으로 연장하는 전원선을 구비하고,

상기 단위영역은,

특정 논리기능을 실현하는 1 내지 복수의 MOSFET가 형성되는 것이며,

상기 단위영역에는, N채널형 MOSFET와 P채널형 MOSFET가 형성되는 것이고, 상기 N채널형 MOSFET가 형성되는 단위영역상의 단부에는, 회로의 기준전위에 대응한 제1 전압을 공급하는 전원선이 형성되며, 상기 P채널형 MOSFET가 형성되는 단위영역상의 단부에는, 전원 전압에 대응한 제2 전압을 공급하는 전원선이 형성되고,

상기 전원선은,

제1 전압과 제2 전압으로 동작하는 논리회로에 대응한 단위영역상에서는 각각이 하나의 배선폭을 갖도록 형성되고,

상기 제1 전압 및 제2 전압과는 다른 제3 전압으로 동작하는 논리회로에 대응한 단위영역상에서는, 상기 하나의 배선폭이 상기 제1 또는 제2 전압을 공급하는 전원선과 상기 제3 전압을 공급하는 전원선 및 그들의 배선 간극에 의해 분할되는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 6.

삭제

청구항 7.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 단위영역상의 중앙부에 형성되고, 상기 제1 방향으로 연장하는 신호선과,

상기 제1 방향으로 복수 배치된 단위영역상의 양측에 형성되고, 상기 제1 방향으로 연장하는 전원선을 구비하고,

상기 단위영역은, 특정 논리기능을 실현하는 1 내지 복수의 MOSFET가 형성되는 것이며,

상기 MOSFET를 구성하는 소스, 드레인의 반도체 영역의 일단측은, 상기 단위영역의 단부에 근접하도록 형성되고,

상기 신호선 및 전원선은, 제2층째의 금속배선층에 의해 구성되고, 상기 MOSFET의 게이트, 소스 및 드레인에 접속되는 신호선은, 제1층째의 금속배선층에 의해 구성되는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 8.

삭제

청구항 9.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 단위영역상의 중앙부에 형성되고, 상기 제1 방향으로 연장하는 제1 신호선과,

상기 제1 방향으로 복수 배치된 단위영역상의 양측에 형성되고, 상기 제1 방향으로 연장하는 제1과 제2의 전원선을 구비한 제1 셀군과,

상기 제1 방향으로 복수 배치된 단위영역과.

상기 제1 방향으로 복수 배치된 단위영역상의 중앙부에 형성되고, 상기 제1 방향으로 연장하는 제2 신호선과,

상기 제1 방향으로 복수 배치된 단위영역상의 양측에 형성되고, 상기 제1 방향으로 연장하는 제1과 제2 전원선을 구비한 제2 셀군을 구비하고,

상기 제1 셀군과 제2 셀군은, 상기 제1 또는 제2 전원선에 대응한 단위영역의 단부가 서로 인접하도록 배면에 맞추어 각 단위영역이 배치되어 상기 제1 또는 제2 전원선을 하나의 전원선으로 구성함과 동시에, 상기 전원선에 대응하여 설치되는 컨택트부를, 상기 단위영역의 기준으로 되는 피치에 맞추어 형성하여 이루어지는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 10.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 직사각형의 단위영역상에 형성되고, 상기 제1 방향으로 연장하는 제1 배선과,

상기 복수 배치된 단위영역을 따라서, 또한, 그 영역밖에 형성되어 상기 제1 방향으로 연장하는 제2 배선을 구비하고,

상기 제1 배선 및 제2 배선은, 제2층째의 금속배선층에 의해 구성되고, 상기 MOSFET의 드레인과 상기 제2 배선을 접속시키는 배선은, 제1층째의 금속배선층에 의해 구성되며,

상기 단위영역은, 논리회로를 실현하는 1 내지 복수의 MOSFET이 형성되는 것이고,

상기 복수 MOSFET 중, 드레인영역이 상기 제1 방향으로 복수개가 나란히 배치되고, 그들이 병렬 형태로 접속되어 하나의 MOSFET를 구성하는 것은, 상기 각 드레인영역의 각각이 상기 제2 배선에 접속되는 복수의 배선을 갖도록 하여 이루어지는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 11.

삭제

청구항 12.

제1 방향으로 복수 배치된 단위영역과,

상기 제1 방향으로 복수 배치된 단위영역상의 중앙부에 형성되고, 상기 제1 방향으로 연장하는 제1 신호선과,

상기 제1 방향으로 복수 배치된 단위영역상의 양측에 형성되고, 상기 제1 방향으로 연장하는 제1과 제2 전원선을 구비한 단위회로와,

상기 단위회로의 복수개가 제2 방향으로 나란히 배치되어 이루어지는 회로블럭과,

상기 제2 방향에 있어서 회로블럭의 양측에 상기 제1과 제2 전원선에 대응한 제1 전압과 제2 전압을 공급하는 제3 전원선과 제4 전원선의 쌍을 상기 제2 방향으로 연장하여 각각 배치하고, 상기 쌍으로 된 제3 전원선과 제4 전원선을 상기 단위회로의 제1 전원선과 제2 전원선으로 각각 서로 접속하여 이루어지며,

상기 회로블럭은, 반도체 칩의 제1 방향의 중앙부에서, 상기 제2 방향으로 나란히 배치되는 복수의 본딩패드열을 따라 배치되고, 상기 반도체 칩의 양측에는, 동일한 기억구성을 갖는 메모리 어레이가 구성되어 상기 회로블럭 및 본딩패드를 사이에 두도록 배치하여 이루어지는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 13.

삭제

청구항 14.

제 12 항에 있어서,

상기 반도체 칩의 제2 방향의 중앙부에는 상기 메모리 어레이의 불량 구제를 위한 용장회로가 형성되고,

상기 메모리 어레이는, 상기 회로블럭 및 본딩패드열과 상기 용장회로에 의해 4개로 분할하여 구성되는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 15.

제1 방향으로 연속하여 복수 배치된 직사각형의 단위영역과,

상기 복수의 단위영역 상을 상기 제1 방향으로 연장하는 제1 배선과,

상기 복수 배치된 직사각형의 단위영역을 따라서, 또 상기 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선과,

인접하는 상기 단위영역 사이에 각각 설치된 중간영역과,

상기 제1 방향과 직교하는 제2 방향으로 연장하여, 어딘가의 상기 중간영역에 형성되고, 상기 제2 배선과 접속되는 제3 배선을 구비하며,

상기 단위영역은, 논리회로를 구성하기 위한 트랜지스터를 가지고,

상기 제3 배선이 형성된 중간영역에 대응하는 단위영역은, 상기 논리회로의 입력신호를 상기 제1 배선과 제3 배선으로부터 받고,

상기 제3 배선이 형성되지 않은 중간영역에 대응하는 단위영역은, 상기 논리회로의 입력신호를 상기 제1 배선으로부터 받는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

청구항 16.

제1 방향으로 복수 배치된 직사각형의 단위영역과,

상기 제1 방향으로 복수 배치된 단위영역상에서 상기 제1 방향으로 연장하는 제1 배선과,

상기 복수 배치된 직사각형의 단위영역을 따라서, 또한, 상기 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선과,

상기 단위영역에 인접하여 설치되고, 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선이 형성되는 배선영역을 구비하며,

상기 단위영역은, 특정 논리기능을 실현하는 1 내지 복수의 회로소자가 형성되는 것이며,

상기 배선영역에 형성되는 제3 배선은, 상기 단위영역에 형성된 논리기능을 실현하는 회로소자와 상기 제2 배선의 사이에 형성되어 신호의 수수에 이용되는 것이며,

상기 회로 소자의 입력단자는, 상기 제1 배선과 상기 제3 배선 중 어느 것에 접속되어지는 것을 특징으로 하는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치에 관한 것으로서, 예컨대, 반도체 칩의 중앙부에 랜덤 로직(Random logic)으로 이루어지는 주변회로 및 본딩패드를 배치한 다이나믹형 램(RAM)(Random Access Memory)에서의 소자와 배선의 레이아웃 기술에 이용하여 유효한 기술에 관한 것이다.

반도체 칩의 중앙부에 본딩패드와 그것에 대응하여 주변회로를 배치한 다이나믹형 램(RAM)의 예로서, 미국특허 No.5,602,771호(1997년 2월 11일) 공보가 있다. 이 공보의 다이나믹형 램(RAM)에 있어서는, 메모리 칩의 종횡의 중앙부에 + 자 형상으로 주변회로를 구성하는 영역을 설치하고, 이러한 십자형상의 영역에 의해 4분할로 구획된 영역에 메모리 어레이를 배치한다.

발명이 이루고자 하는 기술적 과제

다이나믹형 램(RAM)에서는, 규칙적인 회로패턴에 의해 구성되는 메모리 어레이부와, 랜덤·로직회로로 이루어지는 주변회로에 의해 구성된다. 상기 주변회로는, 메모리 어레이의 기억용량 또는 동작 모드의 종류에 대응하여 개별적으로 설계되기 때문에, 이러한 주변회로의 회로설계 및 그 레이아웃에 많은 설계 공정수가 소비되는 것이다. 그래서, 본원의 발명자 등은, 상기한 바와 같은 랜덤 로직회로의 설계 공정수를 저감시키는 것을 생각하였다.

본 발명의 목적은, 소자 및 배선 레이아웃을 합리화 할 수 있는 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치를 제공하는데 있다. 본 발명의 다른 목적은, 회로의 성능을 떨어뜨리지 않고, 회로소자의 합리적인 배치를 실현한 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치를 제공하는데 있다. 본 발명의 상기 및 그 이외의 목적과 신규한 특징은 본 명세서의 상세한 설명 및 첨부 도면으로부터 명백해질 것이다.

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면, 다음과 같다. 즉, 논리회로를 실현하는 1 내지 복수의 MOSFET가 형성되어 이루어지는 단위영역의 복수개를 제1 방향으로 배치하고, 그 상부에 상기 제1 방향으로 연장하는 제1 배선을 형성하며, 상기 복수 배치된 단위영역을 따라서, 또 그 단위영역 밖에서 상기 제1 방향으로 연장하는 제

2 배선을 형성하여, 상기 인접하는 단위영역 사이에 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선을 구비한 배선 전용영역을 설치해 놓고, 상기 단위영역에 형성된 논리회로는 필요에 따라 인접하는 상기 배선 전용영역과의 조합에 의해 상기 제1 배선에 접속되는 제1 접속형태와, 상기 제2 배선을 통하여 제3 배선에 접속되는 제2 접속형태의 양쪽을 갖도록 한다.

발명의 구성

도 1에는 본 발명에 관한 다이나믹형 램(RAM)의 일실시예의 개략 레이아웃도가 나타나 있다. 동도의 각 회로블럭은, 공지의 반도체 집적회로의 제조기술에 의해 단결정 실리콘과 같은 1개의 반도체 기판상에서 형성된다. 동도의 각 회로는 상기 반도체 기판상에서의 기하학적인 배치에 거의 맞추어 묘사되어 있다. 이 실시예에서는 메모리 어레이는, 상기한 바와 같이, 전체로서 4개로 나누어져, 메모리뱅크 0~3을 구성하게 된다.

상기 메모리뱅크 0~3은 반도체 칩의 장변 방향을 따라 상하로 2개, 좌우로 2개씩으로 분할된 메모리 어레이에 대응된다. 상기 칩의 장변 방향을 따라 중앙 부분에 어드레스 입력회로, 데이터 입출력회로 및 본딩패드열로 이루어지는 주변회로가 설치된다. 이 주변회로는 랜덤·로직회로로 이루어지는 상기 각 회로의 레이아웃을 합리적으로 하기 위해서 랜덤·로직회로와 본딩패드가 나란히 배치된다.

상기 공보 기재의 다이나믹형 램(RAM)에 있어서는, 본딩패드와 주변회로가 반도체 칩의 장변 방향을 따라 중앙 부분에 직선적으로 나란히 배치된다. 이 구성에서는 본딩패드 수가 한정되어 버리고, 본딩패드와 주변회로의 접속 거리가 길어지게 된다. 이 실시예에서는, 상기 주변회로와 본딩패드열이 나란히 배치된다. 이 구성에서는, 본딩패드열은 반도체 칩의 장변 방향을 따라 중심선으로부터 편향된 위치에 배치된다. 이 결과, 반도체 칩의 장변 방향을 따라 중앙 부분에는 비교적 큰 집합된 영역을 확보할 수 있고, 후술하는 바와 같은 회로소자의 레이아웃 설계를 행함에 있어서 적합하게 된다. 결국, 본원과 동일하게 주변회로와 본딩패드열이 나란히 배치되는 구성이라도 본딩패드를 중심으로 하여 주변회로를 좌우로 분배하여 배치하도록 한 경우에 비해 고집적화나 고속화에 적합한 것으로 된다.

이 실시예의 다이나믹형 램(RAM)은, 후술하는 바와 같은 싱크로너스 D램(RAM)에 향해져 있고, 상기 주변회로에는 이하의 각 회로블럭이 포함된다. 동도에서의 반도체 칩의 장변 방향을 따라 상반분의 중앙부에서는, 다음의 각 회로블럭이 설치된다. VPP-G는 승압 전압 발생회로이며, 메모리셀이 접속된 워드선의 선택회로나 후술하는 셰어드 스위치 MOSFET(shared switch MOSFET)의 선택회로의 동작전압에 이용되어 선택 레벨을 결정한다. VPP-C는 상기 승압회로의 동작을 제어하는 제어회로이다.

HVDDQ-G는 전원 전압(VDD)을 1/2로 분압한 전압을 형성하는 것이며, 차동회로로 구성된 입력 버퍼의 참조전압으로 되어, VDD 진폭의 입력신호의 하이레벨/로우레벨의 판정을 행하는데 이용된다. IOB와 CL-C는 입출력회로와 클럭 제어회로이며, CL-C는 출력 버퍼의 CAS 레이턴시에 대응한 동작 제어에 이용된다. 이 IOB와 CL-C는 동일한 회로가 모두 5개 설치된다.

Y-PRED와 RWB는 Y 프리디코더(predecoder)와 리드/라이트(read/write) 버퍼이다. 리드/라이트 버퍼는 메인 앰프의 동작 제어 및 라이트 앰프의 동작을 행한다. VPERI-G와 VDL-G는 강압 전압 발생회로이며, 주변회로의 강압한 동작전압(VPREI)과 센스앰프의 동작전압(VDL)을 형성한다. 이들 강압 전압 발생회로는, 동일한 회로가 그밖에 2개 설치된다. VPP-S는 VPP 전압이 소망의 전압인가 아닌가를 검출하는 VPP센서이다. 그리고, 반도체 칩의 중앙 부분에는 상기 강압 전압(VPERI)을 안정화하는 안정화 용량(VPERI-C)이 설치된다.

동도에서의 반도체 칩의 장변 방향을 따라 하반분의 중앙부에서는, 다음의 각 회로블럭이 설치된다. XAD-L은 X 어드레스 래치회로이며, Y-CLK는 Y클럭회로이고, Y계의 동작에 대응한 클럭신호를 발생한다. MDEC/CLKB와 COMD는 모드 디코더/클럭버퍼와 커맨드 회로이다. ADMR은 어드레스 모드 레지스터이며, 동일한 회로가 그밖에 1개 설치된다. Y-CNT와 Y-CNC는 Y 카운터와 그 제어회로이며, REFC는 리프레시제어회로이고, BOP는 본딩 옵션회로이며, PUP-G는 전원투입 검출회로이다.

상기한 바와 같은 복수로 이루어지는 회로블럭을 따라 본딩패드가 거의 직선적으로 나란하게 형성된다. 이 구성에서는, 본딩패드를 사이에 두고 주변회로가 좌우로 분리하여 배치되어 버리는 것에 비하여, 각 회로블럭에서의 신호 전달경로가 본딩패드를 회피하기 위해 바람직하지 않게 길어지게 되는 일도 없고, 짧은 길이로 형성할 수 있기 때문에 동작의 고속화가 가능하게 된다. 그리고, 1개의 회로블럭을 집합된 영역에 집중하여 형성할 수 있기 때문에, 후술하는 바와 같은 자동배선을 고려한 회로소자의 레이아웃을 용이하게 하는 것이다.

이 실시예에서는, 반도체 칩의 단변 방향의 중앙부에, 별도의 주변회로(BSLO -WER)가 설치된다. 이 회로(BSLOWER)는, 특히 제한되지 않지만, 후술하는 바와 같이, 메모리 어레이(메모리뱅크)의 결함, 결국 불량 워드선을 예비 워드선으로 치환한다든지, 또는 불량 비트선을 예비 비트선으로 치환하기 위한 결함 구제회로가 설치된다.

도 2에는 상기한 각 회로블럭에 대응한 일실시예의 개략 소자 레이아웃도가 나타나 있다. 회로블럭은 복수의 단위영역(이하, 셀이라고 함)의 조합에 의해 구성된다. 각 셀은 각각이 하나의 논리기능을 구성하는 것이며, 예컨대, 게이트 회로나 인버터 회로라고 하는 기본 논리회로의 조합에 의해 구성되고, 적어도 하나의 입력단자를 가지는 것을 말한다. 동도에 있어서, 각 셀에 붙여진 F의 문자는, 그 셀의 방향을 나타내고 있다. 이 실시예에서는 동도의 우측의 열에 배치되는 셀열과 좌측에 배치되는 셀열은 배면에 맞추어 배치되는 것을 나타내고 있다. 결국, 상기 우측 셀열과 좌측 셀열은 상기 2개의 셀열이 접하는 중심선에 대하여 미러 반전(mirror inverted)시킨 형태로 된다. 상기한 2개의 셀열을 따라 좌우로 배선영역이 설치된다. 이 배선영역은 제2층째 금속배선층(M2)이 이용된다.

도 3에는, 상기 회로블럭을 구성하는 3개의 셀의 일실시예의 개략 소자 레이아웃도가 나타나 있다. 각각의 셀프레임에는 1개 내지 2개의 P채널형 MOSFET(PchM -OS)와 1개 내지 2개의 N채널형 MOSFET(NchMOS)가 형성된다. 특히 제한되지 않지만, P채널형 MOSFET는 상기 F의 문자로 나타낸 셀 방향을 기준으로 하여 상측에 배치되고, 하측에는 N채널형 MOSFET가 배치된다. 동도에서는 게이트 전극을 하나의 굵은 선으로 나타내고 있고, 이러한 게이트 전극을 사이에 두도록 확산층이 형성되어 소스, 드레인 영역으로 된다. 이와 같은 셀의 방향과 P채널형 MOSFET(PchMOS)와 N채널형 MOSFET(NchMOS)와의 배치 관계는 이하의 실시예에 있어서 모두 동일하다.

CMOS 회로를 구성하는 한쌍의 P채널형 MOSFET와 N채널형 MOSFET는, 특히 제한되지 않지만, 게이트 전극이 일직선상에 나란하게 되도록 배치되고, 이러한 게이트 전극은 각각이 ×표시로 나타낸 개소에서 게이트 전극을 구성하는 도전성 폴리실리콘층이 게이트 CONT(컨택트)부에 의해 제1층째 금속배선층(M1)에 접속된다. 따라서, 상기 제1층째 금속배선층(M1)을 통하여 대응하는 P채널형 MOSFET와 N채널형 MOSFET의 게이트 전극이 공통으로 접속된다.

좌단의 셀에서는 하나의 P채널형 MOSFET와 하나의 N채널형 MOSFET밖에 형성되지 않기 때문에, P채널형 MOSFET의 소스영역은, 도시하지 않지만, 후술하는 바와 같이 셀프레임의 상측을 횡방향으로 연장되는 제2층째 금속배선층(M2)으로 이루어지는 전원 전압(VDD)(또는 VPERI)등과 같은 동작전압이 공급되는 전원선에 접속되고, N채널형 MOSFET의 소스영역은, 마찬가지로 도시하지 않지만, 후술하는 바와 같이, 셀프레임의 하측을 횡방향으로 연장되는 제2층째 금속배선층(M2)으로 이루어지는 0 V의 회로의 접지전위(VSS)와 같은 동작전압이 공급되는 전원선에 접속된다. 그리고, 상기 전원선이 배치되지 않은 셀열의 중앙부에는 상기한 바와 같이, 제2층째 금속배선층(M2)으로 이루어지는 배선채널이 설치된다.

중앙부와 우단의 셀은, 2개의 P채널형 MOSFET와 2개의 N채널형 MOSFET가 형성되어 있고, 상기한 바와 같이, 게이트 전극은 대응하는 것이 공통으로 접속된다. 따라서, 2개의 P채널형 MOSFET를 병렬 형태로 접속하고, 소스에 공통으로 VDD 또는 VPERI의 전압을 인가하고, N채널형 MOSFET의 한쪽의 MOSFET의 소스와 다른 쪽의 MOSFET의 드레인을 접속하여 직렬 형태로 하고, 상기 다른 쪽의 MOSFET의 소스에 상기 회로의 접지전위(VSS)를 인가하고, 한쪽의 MOSFET의 드레인을 상기 P채널형 MOSFET의 공통화된 드레인에 접속하여 출력단자로 하고, 상기한 바와 같이, 공통화된 게이트 전극을 2개의 입력단자로 한 경우에는, 하이레벨을 논리 1로 하는 정(正)논리를 채용하는 경우에는 난드(NAND)게이트 회로를 구성할 수 있다.

상기한 바와 같은 N채널형 MOSFET의 소스와 드레인의 접속은 또는 상기 병렬 형태의 P채널형 MOSFET의 소스 또는 드레인끼리의 접속의 한쪽은 확산층을 공통으로 형성하는 것에 의해 상기 게이트 전극 사이의 접속과 같이 특별한 배선(M1)을 설치하지 않고 전기적으로 접속시킬 수 있다. 동도면에서는 셀을 구성하는 MOSFET를 명확하게 표현하기 위해, 각각의 MOSFET는 게이트 전극을 사이에 두고 소스와 드레인이 형성되도록 나타내고 있다.

상기의 예와는 반대로, P채널형 MOSFET를 직렬 형태로 접속하고, N채널형 MOSFET를 병렬 형태로 접속한 경우에는, 상기한 바와 같은 정논리를 채용하는 경우에는, 노아(NOR)게이트 회로를 형성할 수 있다. 이와 같이, 셀프레임내에 형성되는 MOSFET의 수 및 그 접속형태의 변경에 의해 여러가지의 논리회로 또는 그 조합으로 이루어지는 논리기능을 실현할 수 있다. 예컨대, 논리기능으로서는 상기 인버터 회로나 논리기능 이외에 플립플롭 회로 등의 래치회로나 카운터 회로, 비교 일치회로와 같은 비교적 큰 회로 규모도 포함하는 등 여러가지이다. 이들 플립플롭 회로, 카운터 회로 및 비교 일치회로 등을 각각의 논리 게이트로 분해하여 셀로 하여도 된다.

이 실시예에서의 셀은, 셀 이외로부터 적어도 하나의 입력신호가 공급되는 것을 나타낸다. 즉, 상기한 바와 같은 플립플롭 회로, 카운터 회로 및 비교회로 등과 같이 복수의 논리게이트로 구성되는 것이라도, 그 복수의 논리게이트 회로만으로 신

호의 전달경로가 구성되는 것, 보다 구체적으로는 상기한 바와 같은 소스, 드레인의 확산층의 공통화에 의한 전기적 접속과 제1층째 배선층(M1)에 의한 전기적 접속에 의해서만 구성되는 논리회로는 회로 규모의 대소에 상관없이 하나의 셀로 간주된다.

예컨대, 복수의 인버터 회로를 종렬 접속하여 지연회로를 구성하는 경우, 상기 인버터 회로의 수에 대응한 다수의 P채널형 MOSFET와 N채널형 MOSFET가 설치되지만, 초단(initial stage)의 인버터 회로를 제외하고, 인버터 회로의 입력에는 전단(preceding stage)의 출력신호가 전달되기 때문에, 하나의 입력단자를 갖는 하나의 셀로 간주된다. 2개의 인버터 회로의 입력과 출력을 교차 접속한 래치회로에서도, 서로 입력과 출력이 교차 접속되는 것이기 때문에, 출력 임피던스가 작게(출력 구동 능력이 크게) 형성된 한쪽의 인버터 회로의 입력을 하나의 입력단자로 한 셀로서 취급할 수 있다.

상기 셀열에 있어서는 상기 P채널형 MOSFET와 N채널형 MOSFET의 각각에 대응하여 셀열의 양측에 전원선이 배치된다. 이러한 전원선이 형성되지 않은 중앙 부분에는 제2층째 금속배선층(M2)으로 이루어지는 배선채널이 형성되어 있고, 셀에 대하여 입력신호를 공급하는 배선 또는 출력신호를 다음 단(next stage)의 셀에 전달하는 배선으로 이용된다.

이 실시예에서는 상기한 바와 같은 각 셀마다 배선 전용영역으로서의 슬릿셀이 설치된다. 따라서, 셀프레임의 안에 슬릿셀이 일체적으로 설치된다. 이 슬릿셀은 필요에 따라 제1층째 금속배선층(M1)이 설치된다. 즉, 기본적으로는 상기 일련의 셀열의 중앙부를 연장하도록 형성된 배선채널을 이용하여 셀내 및 셀 사이의 배선을 행하는 것이지만, 배선 수가 부족하게 된 경우에 상기 슬릿셀이 활용된다. 결국, 셀에 대한 입력신호를 전달하는 배선이 부족한 경우에는 슬릿셀에 제1층째 금속배선층(M1)을 형성하여, 셀열의 외측으로 연장되는 제2층째 금속배선층(M2)에 접속시키도록 하는 것이다.

랜덤·로직회로의 레이아웃 설계는 회로 설계를 행한 후에 이러한 회로를 상기한 바와 같은 셀로 분해하여 레이아웃 배치하고, 각 셀 사이의 배선 설계는 컴퓨터를 이용하여 자동적으로 행하도록 할 수 있다. 그러나, 상기한 바와 같은 셀열의 중앙부에 설치된 배선 수가 부족한 경우, 미(未)배선 그대로 한다든지 또는 다른 배선과의 단락상태를 발생시켜 버린다. 따라서, 종래의 회로 레이아웃 기술에서는 배선에러가 발생한 셀의 레이아웃 설계를 고쳐서 다시 하는 것이 필요하게 된다. 그러나, 이 실시예와 같이 각 셀에 상기의 슬릿셀을 설치한 구성에서는, 이러한 슬릿셀에 의한 배선경로가 존재한다는 정보를 입력(input)해 놓는 것에 의해, 상기 자동배선 설계에서 입력신호 경로가 부족할 경우에는 이러한 슬릿셀을 선택하여, 셀열의 외측에 설치된 배선채널과의 조합에 의한 자동배선을 행하도록 할 수 있다.

따라서, 동도의 실시예와 같이 좌측셀과 중앙셀에서는 슬릿셀을 이용한 제1층째 금속배선층(M1)과, 셀열을 따라 외측에 설치된 제2층째 금속배선층(M2)과의 조합에 의해 다른 셀로부터의 신호를 입력으로서 받아 들이도록 할 수 있다. 중앙셀의 그 밖에 입력단자에는 셀열의 중앙부에 설치되는 배선에 의해 입력신호가 전달된다. 우측셀은, 예컨대 인접하는 중앙셀 등으로부터의 신호를 셀열의 중앙부에 설치된 배선채널에 의해 전달하는 경우에는 슬릿셀이 설치됨에도 불구하고, 그곳에서는 제1층째 금속배선층(M1)은 형성되지 않는다.

이 실시예에서는, 하나의 셀이 복수의 입력단자를 갖는 경우, 적어도 하나의 입력단자에 전달되는 신호는 상기 슬릿셀에 형성된 제1층째 금속배선층(M1)을 이용하고, 다른 입력단자에 전달되는 신호는 셀열의 중앙부에 설치된 제2층째 금속배선층(M2)에 의한 배선채널이 이용되는 형태와, 모든 입력신호가 셀열의 중앙부에 설치된 제2층째 금속배선층(M2)에 의한 배선채널에 의해서만 구성되고, 상기 슬릿셀을 사용하지 않는 형태가 존재한다.

이 실시예에서는, 셀마다 슬릿셀을 배치하는 것이지만, 본원 발명에서는 반드시 셀마다 슬릿셀을 설치할 필요는 없다. 예컨대, 회로설계에 있어서 하나의 입력단자 밖에 갖지 않고, 그 입력단자에는 인접하는 셀의 출력신호 밖에 받을 수 없는 등과, 상기 셀열의 중앙부의 배선채널이 남아 있는 것이 사전에 판명되어 있는 경우에는 상기 슬릿셀을 생략할 수 있다.

이와 같이 슬릿셀을 선택적으로 설치하는 구성으로 한 경우에는 슬릿셀을 하나의 셀로 간주하여 논리게이트 회로 등이 형성되는 본래의 소자와 각 셀 사이에 선택적으로 설치된다. 이와 같은 배선 전용영역으로서의 슬릿셀을 선택적으로 설치하는 구성에서는 복수의 셀열로 이루어지는 회로블럭의 전용면적을 작게 할 수 있다. 이와 같이 슬릿셀을 설치하는가 아닌가의 판단은 회로설계자에 의한 경험에 맡기도록 해도 된다. 설령, 상기한 바와 같은 경험에 의한 슬릿셀의 삽입판단이 잘못이었다고 해도, 셀의 설계를 다시 하는 개소는 대폭 저감할 수 있기 때문에, 상기한 바와 같은 자동배선 설계기술에 의한 설계 공정수의 대폭적인 저감에 기여할 수 있다.

도 4에는, 상기 회로블럭을 구성하는 2개의 셀의 다른 일실시예의 개략 소자레이아웃도가 나타나 있다. 다이나믹형 램(RAM)에서는 저소비전력과 고속화 등을 위해 내부회로를 강압한 전압(VPERI)으로 동작시키는 것이 있다. 이와 같은 내부 강압 전압을 이용한 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치에 있어서는, 입력 버퍼 회로 등의 입력회로에서는 전원 전압(VDD)에 대응한 신호레벨을 받기 위해 외부 단자로부터 공급된 전원 전압(VDD)과 회로의 접지전위

(VSS)의 2 전원선으로 동작하는 회로와, 이러한 상기 강압한 내부전압(VPERI)과 접지전위(VSS)로 동작하는 회로가 존재하고, 이러한 다른 전압계로 동작하는 회로 사이에 설치되는 셀에서는 상기 VDD와 VPERI 및 VSS와 같은 3개 이상의 다전원으로 동작하는 회로가 존재하게 된다.

이 실시예에서는, 상기한 바와 같이, VDD와 VSS로 동작하는 2개의 전원셀과, VDD 및 VPERI와 VSS 및 VSSI로 동작하는 다전원셀을 나란히 배치하는 경우의 전원선의 레이아웃 예가 나타나 있다. 상기 다른 전원계의 셀을 나란히 배치하여 하나의 회로블럭을 구성하는 경우, 기본으로 되는 전원 전압(VDD, VSS)의 2 전원선을 각각 셀열의 양측에 P채널형 MOSFET와 N채널형 MOSFET에 대응하여 각각 형성한다.

상기 2개의 전원셀의 전원 배선폭을 기본으로 하여 VDD와 VPERI 및 VSS와 VSSI와 같은 다전원셀을 상기 2개의 전원셀에 나란히 배치하는 경우에는, 상기 기본으로 되는 배선폭을 상기 VDD와 VPERI 및 VSS와 VSSI에 분배하여 구성한다. 이 구성에 의해, 하나의 회로블럭에 있어서 2개의 전원과 3개 이상의 다전원을 갖는 경우라도, 전원선이 점유하는 폭을 일정하게 할 수 있기 때문에 효율 좋은 소자 및 셀열의 중앙부에 설치되는 배선 채널의 폭을 확보할 수 있다. 다른 관점에서 말하면, 2개의 전원셀과 3개 이상의 다전원셀을 동일한 높이의 셀로 나란히 배치하여 회로블럭을 구성할 수 있는 것으로 되어, 랜덤·로직부를 셀의 높이에서 보면 규칙적으로 할 수 있다.

상기한 바와 같은 전원 구성으로 함으로써, 다전원셀에서는 상기 전원 전압(VDD)으로 동작하는 입력부와, VPERI로 동작하는 내부회로가 혼재해도, 각각의 동작전압에 대응한 전압의 공급이 가능하게 되는 것이다. 또한, VSS와 VSSI와 같이 회로의 접지선을 분리한 것은, 예컨대, 입력회로에서 비교적 큰 신호 진폭으로 동작함으로써, 접지선(VSS)에 비교적 큰 노이즈가 발생하는 경우, 상기 강압한 전압(VPERI)에 의해 신호 진폭이 작게 되어 레벨마진이 작게 되는 내부회로의 접지선을 VSSI와 같이 분리함으로써, 상기 입력회로에서 발생한 노이즈의 영향을 작게 할 수 있다.

또한, 강압한 내부신호를 외부 단자로 출력하는 출력계의 회로에서도 마찬가지로 접지선(VSSI, VSS)으로 분리하는 것이 유익하다. 결국, VPERI 레벨의 내부신호를 VDD로 레벨 변환하고, 이 변환된 출력신호를 출력단자로 출력시키는 출력계의 회로에 있어서, 상기 레벨 변환회로에서는 상기한 바와 같이, VSSI와 VPERI 및 VDD로 동작하는 셀과, VDD와 VSS로 동작하는 출력회로를 구성하는 셀에 이용할 수 있다.

다이나믹형 램(RAM)에서는, 후술하는 바와 같이, 메모리셀이 접속된 비트선의 신호 진폭은 상기 VPERI 보다도 더 강압된 전압(VDL)으로 된다. 이 전압(VDL)은 센스앰프의 동작전압으로서 이용되는 것이고, 메모리셀로부터 판독된 VDL 레벨의 신호를 상기 VPERI 레벨로 변환하는 회로에 있어서도, 상기한 바와 같은 레벨 변환을 행하는 회로가 존재하고, 상기 VDL과 VPERI 및 VSS 또는 VSSI의 3개 이상의 다전원으로 동작하는 셀이 존재하고, 이러한 회로블럭에서도 상기한 바와 같이 이용할 수 있는 것이다.

도 5에는 상기 회로블럭을 구성하는 하나의 셀의 또 다른 일실시예의 개략 소자 레이아웃도가 나타나 있다. 논리회로에서는, MOSFET의 사이즈는 일정하지 않고, 각각의 기능이나 필요로 하는 전류 구동능력에 따라 소자 사이즈가 다르다. MOSFET의 소자 사이즈는, 특별한 경우를 제외하고 게이트 길이가 일정하며, 게이트폭이 상기 전류 구동능력(컨덕턴스)에 따라 설정된다.

이 실시예에서는, 셀의 크기는 상기한 바와 같은 전원배선이 양측에 배치되는 것이기 때문에, 일정한 높이(셀열 방향에서 보면, 폭)를 갖도록 형성된다. 이와 같은 일정한 높이를 갖는 셀내에 형성되는 MOSFET의 사이즈가 상기한 바와 같이 회로 정수에 따라 각기 다르게 설정되는 것이다. 이와 같은 사이즈가 다른 MOSFET를 셀내에 배치할 때에, 이 실시예에서는 셀프레임의 양측을 기준으로 하여 MOSFET의 채널폭을 설정하는 것이다. 결국, 셀프레임의 상측에 배치되는 P채널형 MOSFET(Pc -hMOS)의 소스, 드레인의 상단이 셀프레임의 상측에 나란하도록 배치되고, 셀프레임의 하측에 배치되는 N채널형 MOSFET(NchMOS)의 소스, 드레인의 하단이 셀프레임의 하측에 나란하도록 배치된다.

이 구성에서는, 전류 구동능력이 작게 된 P채널형 MOSFET와 N채널형 MOSFET는 각각의 소스, 드레인의 끝을 상하단에 맞춘 결과, 게이트 사이를 접속하는 M1 배선 부분이 길게 형성된다. 이것에 비해서, 전원 구동능력이 크게 된 P채널형 MOSFET와 N채널형 MOSFET는 각각의 소스, 드레인의 끝을 상하단에 맞춘 결과, 게이트 사이를 접속하는 M1 배선부분이 상대적으로 짧게 형성된다.

상기한 바와 같이, 셀프레임의 양측에 배치되는 전원선을 제외한 중앙 부분에는, 동도에서 굵은 점선으로 나타낸 제2층째 금속배선층(M2)에 의한 배선채널이 형성된다. 상기한 바와 같은 소자 구성에서는 전원 구동능력이 크게 된 P채널형

MOSFET와 N채널형 MOSFET의 게이트 사이를 접속하는 M1 배선부분이 상대적으로 짧게 형성되고, 그 결과로서, 상기 배선채널(M2) 중 접속 가능한 배선이 적은 수로 한정된다. 따라서, 이러한 큰 소자 사이즈로 된 회로에 대한 입력신호의 신호경로를 구성하는 배선 채널이 우선적으로 할당된다.

이것에 대하여, 전류 구동능력이 작게 된 P채널형 MOSFET와 N채널형 MOSFET의 게이트 사이를 접속하는 M1 배선부분이 상대적으로 길게 형성되고, 그 결과로서, 상기 배선채널(M2) 중 접속 가능한 배선이 많은 수가 되어, 상기 큰 소자 사이즈로 된 회로에 대하여 우선적으로 배선채널을 할당하더라도, 상기 큰 소자 사이즈로 된 회로가 사용 불능인 배선채널로 남아 있어, 이러한 배선을 이용한 접속이 가능하게 되는 것이다. 이것에 의해 소자간의 접속을 행하는 배선채널을 합리적으로 사용할 수 있다.

상기의 구성은, 다른 이점도 생기는 것으로 된다. 설령, 작은 사이즈의 MOS -FET를 셀열의 중앙부에 접근시켜 배치하면, 그 소스와 전원선 사이를 제1층째 금속배선층(M1)에 의해 접속하는 것이 필요하게 되어 버린다. 이 제1층째 금속배선층은 다양한 반도체 집적회로의 제조 프로세스의 중에서 비교적 빠른 단계에서 형성된다. 따라서, 그 후의 제조 프로세스 중에서 열처리의 영향을 받기 어렵게 하기 위해, 시트 저항값(sheet resistance value)이 비교적 큰 텅스텐 등을 포함한 고융점의 금속재료가 사용된다.

따라서, 작은 사이즈의 MOSFET를 셀열의 중앙부에 접근시켜 배치하는 구성은, 증폭소자로서의 MOSFET의 소스에 접속되는 배선저항이 MOSFET에 흐르는 전류에 의해 게이트, 소스간 전압을 작게 하는 방향으로 작용하여 부귀환(negative feedb -ack)을 걸어버리기 때문에, 신호 전달속도를 지연시켜 버린다. 이것에 비해서, 본원과 같은 작은 사이즈의 MOSFET를 셀열의 단부와 떨어져 배치하는 구성은, 동일한 배선저항이 입력측의 게이트에 접속되고, 상기한 바와 같이 소스측에 접속되는 경우와 같이 부귀환이 걸리지 않기 때문에 스위칭을 고속으로 할 수 있게 된다.

도 6에는 상기 회로블럭을 구성하는 복수의 셀의 또 다른 일실시예의 개략 소자 레이아웃도가 나타나 있다. 이 실시예에서는 상기한 바와 같이, 2개의 셀열이 배면에 맞추어(back to back) 배치된다. 이 구성에 의해, F의 문자로 나타낸 셀 방향의 상측에는 P채널형 MOSFET가 형성되고, 2개의 셀열에서 P채널형 MOSFET가 동일한 N형 웰영역에 형성할 수 있음과 동시에, 전원 전압(VDD) 또는 내부 강압 전압(VPERI)(VDL)을 2개의 셀열에 대하여 공용할 수 있다. 이 결과, 전원 배선폭을 하나의 셀열에서 보면 절반으로 할 수 있기 때문에, 셀열의 중앙부에 설치되는 배선채널의 폭을 그만큼 크게 할 수 있으므로 배선 수를 많이 채용할 수 있다.

상기한 바와 같은 전원선의 공통화를 행하기 위한 전제 조건으로서, 셀피치와 급전부의 컨택트부(CONT)의 피치를 동일한 피치로 하는 것이다. 여기서, 셀피치는 반도체 집적회로에서의 배선의 최소 피치에 상당하는 것이며, 자동배선에서는 이러한 피치에 맞추어 제2층째와 제3층째의 배선이 형성된다. 상기한 바와 같이, 2개의 셀열을 배면에 맞추고, 전원선을 공통화한 경우에 있어서, 컨택트부의 피치를 셀피치에 맞춘다는 조건을 부가함으로써, 배면 맞춤의 2개의 셀열에서 공용화한 전원선에 설치되는 컨택트부(CONT)와 스루홀(TH)을 합치시킬 수 있다. 여기서, 컨택트부(CONT)는 소스, 드레인의 확산층 및 웰에 형성되는 오믹 컨택트(Ohmic Contac -t)용의 확산층과 제1층째의 금속배선층(M1)을 접속시키는 부분을 말하며, 스루홀은 상기 제1층째 금속배선층(M1)과 제2층째 금속배선층(M2)을 접속시키는 부분을 말한다.

셀열의 하측에서는 N채널형 MOSFET의 게이트 전극을 사이에 두고 좌측에 형성된 확산층을 소스로 한 경우에는, 이러한 소스측에 대응한 확산층 및 P형 웰영역에 상기한 바와 같은 셀피치에 대응하여 설치되는 컨택트부(CONT)와 스루홀(TH)로 이루어지는 급전셀이 형성되고, 드레인측에 대응한 영역은 배선영역으로 되어, 이러한 배선영역에는 예컨대 셀열을 따라 외측에 형성된 배선채널(M2)에 접속시키는 제1층째의 금속배선(M1)에 의한 출력 배선이 형성된다.

도 7에는 상기 회로블럭을 구성하는 복수의 셀의 또 다른 일실시예의 개략 소자 레이아웃도가 나타나 있다. 이 실시예에서는, 출력 배선에 관한 연구가 이루어져 있다. 이 실시예에서는, 하나의 MOSFET가 등가적으로 병렬 접속된 복수의 MOSFET에 의해 구성된다. 출력 배선 A 및 B를 형성하는 2개의 CMOS 인버터 회로는 셀의 높이에 따라 제한되는 기본 MOSFET를 3개 병렬 접속하여, 하나의 MOSFET로서 이용하도록 된다. 결국, 3개의 게이트 전극에 의해 4개의 확산층이 형성되고, 예컨대, 좌측으로부터 차례대로 드레인, 소스, 드레인, 소스와 같이 하여 이용된다. 양단의 드레인과 소스를 제외한 소스 및 드레인은, 각각 2개의 MOSFET의 소스 및 드레인으로서 병용된다. 출력 배선 C를 형성하는 CMOS 인버터 회로에서는 5개의 게이트 전극에 의해 6개의 확산층이 형성되고, 예컨대, 좌측으로부터 차례로 드레인, 소스, 드레인, 소스, 드레인, 소스와 같이 하여 이용된다.

이와 같이, 복수의 MOSFET를 병렬 접속하여 하나의 MOSFET로서 이용하는 경우에는, 필연적으로 큰 전류를 흐르게 할 수 있다. 이와 같은 큰 전류를 효율좋게 인출하기 위해, 상기 드레인에 대하여 2개 또는 3개 설치하도록 하는 것이다. 결국, 셀로부터 인출되는 출력선은, 상기한 바와 같이 비교적 큰 저항치를 갖는 제1층째 금속배선층(M1)을 이용하는 것이기 때

문에, 상기한 바와 같이 복수의 출력선을 설치함으로써, 그곳에서의 배선저항을 작게 할 수 있다. 도시하지 않지만, 동일한 셀 내에 형성되는 MOSFET의 상기 드레인끼리 및 소스끼리를 접속하는 배선은 상기한 바와 같이 제1층째 금속배선층(M1)에 의해 형성된다.

도 8에는, 상기 회로블럭으로 구성되는 주변회로에 대한 전원공급의 일실시예를 설명하기 위한 배선 레이아웃도가 나타나 있다. 상기한 바와 같이, 배면에 맞추어 2개의 셀열이 배치되어 이루어지는 회로블럭이, 상기 셀열과는 직교하는 방향으로 나란하게 되어 도 1에 나타낸 바와 같이. 본딩패드열을 따라 주변회로가 구성된다.

이 실시예에서는, 상기한 바와 같은 복수의 회로블록에 대한 전원공급 배선에 관한 연구가 이루어져 있다. 즉, 상기 회로블럭열의 양측을 따라 제3층째 금속배선층(M3)으로 이루어지는 전원배선이 형성된다. 그리고, 상기 회로블럭에 대한 전원공급을 행하는 제2층째 금속배선층(M2)에 의해 상기 회로블럭열의 양측에 배치되는 대응하는 전원선이 스루홀(TH2)을 통하여 서로 접속된다. 이와 같이, 전원선을 회로블럭의 전원선을 이용하여 사다리 형태로 하는 것에 의해, 전원 임피던스를 작게 할 수 있다.

도 9의 (a) 및 도 9의 (b)에는 본 발명이 적용되는 다이나믹형 램(RAM)의 다른 일실시예의 개략 구성도가 나타나 있다. 동도에 있어서, 도 9의 (a)에는 확산층의 개략 레이아웃이 나타나고, 도 9의 (b)에는 개략 배선층 레이아웃이 나타나 있다. 동도의 레이아웃은 다이니믹형 램(RAM)을 구성하는 각 회로블럭 중, 그 주요부를 이해할 수 있도록 대표적인 부분이 나타나 있고, 그것이 공지의 반도체 집적회로의 제조기술에 의해 단결정 실리콘과 같은 1개의 반도체 기판상에서 형성된다.

이 실시예에서도, 메모리 어레이는 전체로서 4개로 나누어져 있다. 반도체 칩의 장변 방향에 대하여 좌우로 나누어지고, 도 9의 (a)에 나타내는 바와 같이, 장변 방향의 중앙 부분에 어드레스 입력회로, 데이터 입출력회로 및 도 9의 (b)에 나타내는 바와 같이, 본딩패드열과 제3층째의 배선층(M3)으로 이루어지는 배선채널이 형성된다. 상기한 바와 같은 장변 방향의 중앙부에는 상기한 입출력 인터페이스회로 및 승압회로나 강압회로를 포함하는 전원회로 등이 설치된다. 그리고, 단변 방향의 중앙부에는, 특히 제한되지 않지만, 후술하는 바와 같이 용장회로가 설치되고, 이러한 용장회로가 형성되는 부분에는 제2층째 금속배선층(M2)에 의한 배선채널이 형성된다.

이 실시예에서는, 상기 제3층째의 배선채널과 제2층째의 배선채널이 교차하는 반도체 칩의 중앙부에는 안정화 용량을 형성하는 확산층이 형성된다. 이 안정화 용량은, 특히 제한되지 않지만, 상기 주변회로의 동작전압을 형성하는 강압 전원회로의 안정화 용량으로서 이용된다. 상기 강압 전원회로는, 후술하는 바와 같이 복수회로가 반도체 칩상의 장변 방향 중앙부의 주변회로가 형성되는 부분에 분산하여 배치되고, 이러한 주변회로의 극간적인 반도체 영역을 활용하여 작은 용량치의 안정화 용량도 접속된다. 이들 분산하여 설치되는 안정화 용량은, 상기한 바와 같이 한정된 반도체 영역을 이용하는 것이기 때문에, 상기 칩 중앙부에 형성되는 안정화 용량에 비해 작은 용량치로 된다.

상기한 바와 같이, 반도체 칩상의 비교적 길게 된 장변 방향 중앙부에 주변회로가 형성되는 것이며, 상기 강압 전원회로를 복수개 분산시켜 배치시킴으로써, 주변회로가 동작시에 필요로 하는 전류가 비교적 짧은 거리의 배선경로를 통하여 공급되기 때문에, 동작전압의 안정화를 도모할 수 있다. 이와 같은 강압 전압을 공급하는 전원선으로서는, 특히 제한되지 않지만, 상기 제3층째 금속배선층(M3)을 이용하여 구성된다.

상기 주변회로는, 특히 제한되지 않지만, 도 9의 (b)에 나타낸 본딩패드열을 사이에 두고, 도 9의 (a)에 나타낸 바와 같이, 좌측의 비교적 큰 회로 셀열은, 입력회로나 프리디코더, 전원회로 등의 주변회로이며, 우측의 비교적 작은 회로 셀열은 출력회로를 구성하는 것이다. 이 실시예에서는, 주변회로는 상기 출력회로를 그 이외의 것과 구분하여 본딩패드열을 사이에 두고 배치시키는 것이다. 결국, 출력회로는 메인 앰프로부터의 판독신호를 증폭하여 출력시키는 회로이며, 다른 회로와의 관련이 약하므로 상기한 바와 같이, 분리하여 배치시켜도 집적도는 그만큼 저하하지 않을 뿐만 아니라, 본딩패드열을 칩 중앙측에 접근시킬수 있다. 이렇게, 반도체 칩 상에서 중앙 접근으로 본딩패드열을 배치하는 구성에서는, 이러한 본딩패드열을 사이에 두도록 LOC 기술에 의해 칩상에 붙이는 리드와의 본딩 와이어에 의한 접속이 용이하게 된다.

도 10에는, 본 발명에 관한 다이나믹형 램(RAM)의 일실시예의 개략 레이아웃도가 나타나 있다. 이 실시예에서는, 메모리 어레이는 상기한 바와 같이 전체로서 4개로 나누어진다. 반도체 칩의 장변 방향을 따라 상하로 2개, 좌우로 2개씩의 메모리 어레이가 분할되어 설치되고, 상기한 바와 같이 상기 칩의 장변 방향을 따라 중앙 부분에 어드레스 입력회로, 데이터 입출력회로 및 본딩패드열로 이루어지는 입출력 인터페이스회로(PERI) 등이 설치된다. 상기 메모리 어레이의 상기 중앙측에는 메인 앰프(MA)가 배치된다.

상술한 바와 같이, 반도체 칩의 장변 방향을 따라 상하로 2개와, 좌우로 2개씩으로 나누어 합계 4개로 이루어지는 각 메모리 어레이에 있어서, 장변 방향에 대하여 좌우 방향의 중간부에 X계 프리디코더 회로(ROWPDC) 및 구제회로(ROWRED),

Y계 프리디코더 회로(COLPDC) 및 구제회로(COLRED)가 집합되어 배치된다. 결국, 상기 4개의 메모리 어레이에 각각 대응하여, 상기 X계 프리디코더 회로(ROWPDC) 및 구제회로(ROWRED), Y계 프리디코더 회로(COLPDC) 및 구제회로(COLRED)가 상기 좌우 2개씩 설치된 메모리 어레이에 대응하여 2쌍씩 분배되어 설치된다.

상기 메모리 어레이의 상기 중간 부분을 따라 상기한 바와 같이 메인워드 드라이버영역(MWD)이 형성되어, 각각의 메모리 어레이에 대응하여 하방, 상방측으로 연장하도록 설치된 메인워드선을 각각 구동하게 된다. 이 구성에서는 상기한 바와 같은 서브어레이를 이용한 경우에는, 16개의 서브어레이를 관통하도록 메인워드선이 연장된다. 그리고, 상기 메모리 어레이에 있어서, 상기 칩 중앙 부분과는 반대측의 칩 주변측에 Y디코더(YDC)가 설치된다. 결국, 이 실시예에서는 상기 중앙측에 배치된 메인 앰프(MA)와 주변측에 배치된 Y 디코더(YDC)에 의해 상기 4분할되어 이루어지는 각 메모리 어레이가 각각 끼워지게 배치되는 것이다. 이 경우에는, 상기칩 중앙부에는 종방향과 횡방향으로 연장되는 배선채널이 교차하는 부분이 발생하고, 그곳에 안정화 용량(C)이 형성된다. 또한, 상기한 바와 같이 주변회로 등의 극간에도 분산하여 작은 용량값의 안정화 용량이 적절히 설치된다.

상기 메모리 어레이에 있어서, 특히 제한되지 않지만, 상기 칩 중앙 부분과는 반대측의 칩 주변측에 Y 디코더(YDC)가 설치된다. 이 실시예에서는, 상기 중앙측에 배치된 메인 앰프(MA)와 주변측에 배치된 Y 디코더(YDC)에 의해 상기 4분할되어 이루어지는 각 메모리 어레이가 끼워지게 배치된다. 상기 메모리 어레이는, 그 하나를 확대하여 나타낸 바와 같이, 복수의 서브어레이(15)로 분할된다. 이러한 서브어레이(15)는 그것을 사이에 두도록 배치된 센스앰프 영역(16), 서브워드 드라이버 영역(17)에 둘러싸여 형성된다. 상기 센스앰프 영역(16)과, 상기 서브워드 드라이버 영역(17)의 교차부는 교차영역(18)으로 된다. 상기 센스앰프 영역(16)에 설치되는 센스앰프는 셰어드 센스(shared sense) 방식에 의해 구성되고, 메모리셀 어레이의 양단에 배치되는 센스앰프를 제외하고, 센스앰프를 중심으로 하여 좌우로 상보 비트선이 설치되고, 좌우 어느 하나의 메모리셀 어레이의 상보 비트선에 선택적으로 접속된다.

하나의 서브어레이(15)는, 도시하지 않지만, 예컨대, 256개의 서브워드선과, 그것과 직교하는 256쌍으로 이루어지는 상보 비트선(또는 데이터선)에 의해 구성된다. 또한, 서브어레이에는 불량워드선 또는 불량비트선의 구제를 위해 예비 워드선 및 예비 상보 비트선도 설치되는 것이다. 상기 하나의 메모리 어레이에 있어서, 상기 서브어레이가 워드선의 배열 방향으로 16개 설치되기 때문에, 전체로서의 상기 서브워드선은 약 4K분 설치되고, 비트선의 배열 방향으로 16개 설치되기 때문에, 상보 비트선은 전체로서 약 4K분 설치된다. 이와 같은 메모리 어레이가 전체로서 4개 설치되기 때문에, 전체로는 4 x 4K x 4K = 64 M비트와 같은 기억용량을 갖게 된다. 이것에 의해, 상보 비트선은 그 길이가 상기 16개의 서브어레이에 대응하여 1/16의 길이로 분할된다. 서브워드선은 상기 16개의 서브어레이에 대응하여 1/16의 길이로 분할된다.

상기 하나의 메모리 어레이의 분할된 서브어레이(15)마다 서브워드 드라이버(서브워드선 구동회로)(17)가 설치된다. 서브워드 드라이버(17)는 상기한 바와 같이 메인워드선에 대하여 1/16의 길이로 분할되고, 그것과 평행하게 연장되는 서브워드선의 선택신호를 형성한다. 이 실시예에서는, 메인워드선의 수를 줄이기 위해서, 환언하면, 메인워드선의 배선피치를 완만하게 하기 위해, 특히 제한되지 않지만, 하나의 메인워드선에 대하여 상보 비트선 방향으로 4개로 이루어지는 서브워드선을 배치시킨다. 이와 같이, 메인워드선 방향으로는 8개로 분할되고, 또 상보 비트선 방향에 대하여 4개씩이 할당된 서브워드선 중에서 1개의 서브워드선을 선택하기 위해, 메인워드 드라이버(MWD)에는 도시하고 있지 않은 서브워드 선택 드라이버가 배치된다. 이 서브워드 선택 드라이버는 상기 서브워드 드라이버의 배열 방향으로 연장되는 4개의 서브워드 선택선 중에서 1개를 선택하는 선택신호를 형성한다.

도 10과 같은 레이아웃을 채용한 경우에 있어서, Y 어드레스가 입력되면 어드레스 버퍼(ADDBUP)를 통하여 상기 메모리 어레이의 중간부에 설치된 구제회로, 프리디코더를 통하여 칩의 주변측에 배치된 Y 디코더(YDC)에 전달되고, 여기서 Y 선택신호가 형성된다. 상기 Y 선택신호에서 하나의 서브어레이의 상보 비트선이 선택되어 그것과 반대측의 칩 중앙부측의 메인 앰프(MA)에 전달되고, 증폭되어 도시하지 않은 출력회로를 통하여 출력된다.

이 구성은 일견(一見) 신호가 칩을 돌아다녀 판독신호가 출력되기까지의 시간이 길어지게 되도록 판단된다. 그러나, 구제회로에는 어드레스 신호를 그대로 입력할 필요가 있으므로, 구제회로를 칩 중앙의 어딘가에 배치하면, 불량 어드레스인가 아닌가의 판정 결과를 기다려 프리디코더의 출력시간이 결정된다. 결국, 프리디코더와 구제회로가 떨어져 있으면, 그곳에서의 신호지연이 실제의 Y 선택동작을 지연시키는 원인으로 된다.

이 실시예에서는, 메모리 어레이를 사이에 두고 메인 앰프(MA)와 Y 디코더(YDC)가 양측에 배치되기 때문에, 서브어레이의 상보 비트선을 선택하기 위한 신호 전달경로와, 선택된 상보 비트선으로부터 입출력선을 통하여 메인 앰프(MA)의 입력에 도달하는 신호 전달경로의 합은, 어느 상보 비트선을 선택하려고 하더라도 메모리 어레이를 횡단하는 만큼의 신호 전달경로로 되어 상기한 바와 같이 1 왕복하는 것의 절반으로 단축할 수 있는 것이다. 이것에 의해, 메모리 액세스의 고속화가 가능하게 되는 것이다.

도 11에는 본 발명에 관한 다이나믹형 램(RAM)의 센스앰프부를 중심으로 하여, 어드레스 입력에서 데이터 출력까지의 간략화된 일실시예의 회로도가 나타나 있다. 동도에서는 2개의 서브어레이(15)에 상하로부터 끼워지게 된 센스앰프(16)와 교차영역(18)에 설치되는 회로가 예시적으로 나타나고, 그 이외는 블럭도로서 나타나 있다.

다이나믹형 메모리셀은, 상기 하나의 서브어레이(15)에 설치된 서브워드선(SWL)과, 상보 비트선(BL, BLB) 중의 한쪽의 비트선(BL)과의 사이에 설치된 하나가 대표로서 예시적으로 나타나 있다. 다이나믹형 메모리셀은, 어드레스 선택 MOSFET (Qm)과 기억 캐패시터(Cs)로 구성된다. 어드레스 선택 MOSFET(Qm)의 게이트는 서브워드선(SWL)에 접속되고, 이 MOSFET(Qm)의 드레인이 비트선(BL)에 접속되고, 소스에 기억 캐패시터(Cs)가 접속된다. 기억 캐패시터(Cs)의 다른 쪽의 전극은 공통화되어 플레이트 전압(VPLT)이 공급된다. 상기 MOSFET(Qm)의 기판(채널)에는 부(負)의 백바이어스 전압(negative back bias voltage)(VBB)이 인가된다. 특히 제한되지 않지만, 상기 백바이어스 전압(VBB)은 -1V의 전압으로 설정된다. 상기 서브워드선(SWL)의 선택 레벨은 상기 비트선의 하이레벨에 대하여 상기 어드레스 선택 MOSFE-T(Qm)의 문턱치 전압분만큼 높아진 고전압(VPP)으로 된다.

센스앰프를 내부 강압 전압(VDL)으로 작동시키도록 한 경우, 센스앰프에 의해 증폭되어 비트선에 공급되는 하이레벨은 상기 내부전압(VDL) 레벨로 된다. 따라서, 상기 워드선의 선택 레벨에 대응한 고전압(VPP)은 VDL + Vth + α로 된다. 센스앰프의 좌측에 설치된 서브어레이의 한쌍의 상보 비트선(BL, BLB)은 동도에 나타낸 바와 같이 평행하게 배치된다. 이러한 상보 비트선(BL, BLB)은 셰어드 스위치 MOS -FET(Q1, Q2)에 의해 센스앰프의 단위회로의 입출력 노드와 접속된다.

센스앰프의 단위회로는, 게이트와 드레인이 교차 접속되어 래치 형태로 된 N채널형 증폭기 MOSFET(Q5, Q6) 및 P채널형 증폭기 MOSFET(Q7, Q8)로 이루어지는 CMOS 래치회로로 구성된다. N채널형 MOSFET(Q5, Q6)의 소스는 공통 소스선(CSN)에 접속된다. P채널형 MOSFET(Q7, Q8)의 소스는 공통 소스선(CSP)에 접속된다. 상기 공통 소스선(CSN, CSP)에는 각각 파워스위치 MOSFET가 접속된다. 특히 제한되지 않지만, N채널형 증폭기 MOSFET(Q5, Q6)의 소스가 접속된 공통 소스선(CSN)에는 상기 교차영역(18)에 설치된 N채널형 파워스위치 MOSFET(Q14)에 의해 접지전위에 대응한 동작전압이 주어진다.

특히 제한되지 않지만, 상기 P채널형 증폭기 MOSFET(Q7, Q8)의 소스가 접속된 공통 소스선(CSP)에는 상기 교차영역(18)에 설치된 오버 드라이브용의 N채널형 파워 MOSFET(Q16)와, 상기 내부전압(VDL)을 공급하는 N채널형 파워 MOSFET(Q15)가 설치된다. 상기 오버 드라이브용의 전압으로는, 특히 제한되지 않지만 외부 단자로부터 공급되는 전원전압(VDD)이 이용된다. 또는, 센스앰프 동작속도의 전원 전압(VDD) 의존성을 경감하기 위해, 게이트에 VPP가 인가되고, 드레인에 전원 전압(VDD)이 공급된 N채널형 MOSFET의 소스로부터 상기 전압을 얻는 것으로 하여 약간 강압해도 된다.

상기 N채널형 파워 MOSFET(Q16)의 게이트에 공급되는 센스앰프 오버 드라이브용 활성화신호(SAP1)는, 상기 N채널형 MOSFET(Q15)의 게이트에 공급되는 활성화신호(SAP2)와 동상(同相)의 신호로 되고, SAP1과 SAP2는 시계열적으로 하이레벨로 된다. 특히 제한되지 않지만, SAP1과 SAP2의 하이레벨은 승압 전압(VPP) 레벨의 신호로 된다. 결국, 승압 전압(VPP)은 약 3.6V이므로 상기 N채널형 MOSFET(Q15,16)를 충분히 온 상태로 하게 할 수 있다. MOSFET(Q16)이 오프 상태(신호 SAP1이 로우레벨)인 후에는 MOSFET(Q15)의 온 상태(신호 SAP2가 하이레벨)에 의해 소스측으로부터 내부전압(VDL)에 대응한 전압을 출력시킬 수 있다.

상기 센스앰프의 단위회로의 입출력 노드에는 상보 비트선을 단락시키는 이퀄라이즈 MOSFET(Q11)와, 상보 비트선에 하프 프리차지(half precharge)전압(VBLR)을 공급하는 스위치 MOSFET(Q9, Q10)으로 이루어지는 프리차지(이퀄라이즈) 회로가 설치된다. 이들 MOSFET(Q9 ~ Q11)의 게이트는 공통으로 프리차지 신호(PCB)가 공급된다. 이 프리차지 신호(PCB)를 형성하는 드라이버 회로는, 도시하지 않지만, 상기 교차영역에 인버터 회로를 설치하여 그 상승이나 하강을 고속으로 한다. 결국, 메모리 액세스의 개시시에 워드선 선택타이밍에 선행하여, 각 교차영역에 분산하여 설치된 인버터 회로를 통하여 상기 프리차지 회로를 구성하는 MOSFET(Q9 ~ Q11)를 고속으로 전환하도록 하는 것이다.

상기 교차영역(18)에는 IO 스위치회로(IOSW)(로컬 IO와 메인 IO를 접속하는 스위치 MOSFET(Q19, Q20)이 놓여진다. 게다가, 도 3에 나타낸 회로 이외에도, 필요에 따라 센스앰프의 공통 소스선(CSP, CSN)의 하프 프리차지회로, 로컬 입출력선(LIO)의 하프 프리차지 회로, 메인 입출력선의 VDL 프리차지 회로, 셰어드선택 신호선(SHR, SHL)의 분산 드라이버 회로 등도 설치된다.

센스앰프의 단위회로는 셰어드 스위치 MOSFET(Q3, Q4)를 통하여 도면 하측의 서브어레이(15)와 같은 상보 비트선(BL, BLB)에 접속된다. 예컨대, 상측의 서브어레이의 서브워드선(SWL)이 선택된 때에는 센스앰프의 상측 셰어드 스위치 MOSFET (Q1, Q2)는 온 상태로, 하측 셰어드 스위치 MOSFET(Q3, Q4)가 오프 상태로 된다. 스위치 MOSFET(Q12, Q13)는 컬럼(Y) 스위치회로를 구성하는 것이며, 상기 선택신호(YS)가 선택 레벨(하이 레벨)로 되면, 온 상태로 되고, 상기 센스앰프의 단위회로의 입출력 노드와 로컬 입출력선(LIO1과 LIO1B, LIO2, LIO2B) 등을 접속시킨다.

이것에 의해 센스앰프의 입출력 노드는, 상기 상측의 상보 비트선(BL, BLB)에 접속되고, 선택된 서브워드선(SWL)에 접속된 메모리셀의 미소신호를 증폭하고, 상기 컬럼 스위치회로(Q12, Q13)를 통하여 로컬 입출력선(LIO1, LIO1B)에 전달된다. 상기 로컬 입출력선(LIO1, LIO1B)은 상기 센스앰프열을 따라, 즉, 동도에서는 횡방향으로 연장된다. 상기 로컬 입출력선(LIO1, LIO1B)은 교차영역(18)에 설치된 N채널형 MOSFET(Q19, Q20)로 이루어지는 IO 스위치회로를 통하여 메인 앰프(61)의 입력단자가 접속되는 메인 입출력선(MIO, MIOB)에 접속된다.

상기 IO 스위치회로는 X계의 어드레스 신호를 해독하여 형성된 선택신호로 스위치 제어된다. 또한, IO 스위치회로는 상기 N채널형 MOSFET(Q19, Q20)의 각각에 P채널형 MOSFET를 병렬로 접속한 CMOS 스위치 구성으로 해도 된다. 싱크로너스 D램(RAM)의 버스트 모드(burst mode)에서는 상기 컬럼 선택신호(YS)가 카운터 동작에 의해 전환되고, 상기 로컬 입출력선(LIO1, LIO1B 및 LIO2, LIO2B)과 서브어레이의 2쌍씩의 상보 비트선(BL, BLB)의 접속이 순차로 전환된다.

어드레스 신호(Ai)는, 어드레스 버퍼(51)에 공급된다. 이 어드레스 버퍼는 시분할적으로 동작하여 X 어드레스 신호와 Y 어드레스 신호를 받아들인다. X 어드레스 신호는 프리디코더(52)에 공급되고, 메인로우 디코더(11)와 메인워드 드라이버(12)를 통하여 메인워드선(MWL)의 선택신호가 형성된다. 상기 어드레스 버퍼(51)는, 외부 단자로부터 공급되는 어드레스 신호(Ai)를 받는 것이므로, 외부 단자로부터 공급되는 전원 전압(VDD)에 의해 동작되고, 상기 프리디코더는 상기의 강압 전압(VPERI)에 의해 동작되며, 상기 메인워드 드라이버(12)는 승압 전압(VPP)에 의해 동작된다. 이 메인워드 드라이버(12)로서, 다음에 설명하는 상기 프리디코드 신호를 받는 레벨 변환 기능이 있는 논리회로가 이용된다. 컬럼 디코더(드라이버)(53)는 상기 어드레스 버퍼(51)의 시분할적인 동작에 의해 공급되는 Y 어드레스 신호를 받아, 상기 선택신호(YS)를 형성한다.

상기 메인 앰프(61)는 상기 강압 전압(VPERI)에 의해 동작되고, 외부 단자로부터 공급되는 전원 전압(VDD)으로 동작되는 출력 버퍼(62)를 통하여 외부 단자(Dout)로부터 출력된다. 외부 단자(Din)로부터 입력되는 기록신호는 입력 버퍼(63)를 통하여 받아들여지고, 동도에서 메인 앰프(61)에 포함되는 라이트 앰프(라이트 드라이버)를 통하여 상기 메인 입출력선(MIO, MIOB)에 기록신호를 공급한다. 상기 출력 버퍼(62)의 입력부에는 레벨 변환회로와 그 출력신호를 상기 클럭신호에 대응한 타이밍 신호에 동기시켜 출력시키기 위한 논리부가 설치된다.

특히 제한되지 않지만, 상기 외부 단자로부터 공급되는 전원 전압(VDD)은 제1의 형태에서는 3.3 V로 되고, 내부회로에 공급되는 강압 전압(VPERI)은 2.5 V로 설정되며, 상기 센스앰프의 동작전압(VDL)은 2.0 V로 된다. 그리고, 워드선의 선택신호(승압 전압은 3.6 V로 된다. 비트선의 프리차지 전압(VBLR)은 VDL/2에 대응한 1.0V로 되고, 플레이트 전압(VPLT)도 1.0V로 된다. 그리고, 기판 전압(VBB)은 -1.0V로 된다. 상기 외부 단자로부터 공급되는 전원 전압(VDD)은 2.5V의 저전압으로 되어도 된다. 이와 같이, 낮은 전원 전압(VDD)인 경우에는 강압 전압(VPERI)이 2.0V로 되고, 강압 전압(VDL)이 1.8V정도로 더 낮게 된다.

이 실시예에 있어서, 어드레스 버퍼(51)의 출력신호를 받는 프리디코더(52)에서는 전원 전압(VDD)과 내부 강압 전압(VPERI)으로 동작하는 회로블럭으로 이루어지고, 상기 도 4에 나타낸 바와 같은 2개의 전원셀과 다전원셀이 조합되어 구성된다. 또는 메인 앰프(61)에서도, VDL 레벨의 신호를 VPERI 레벨로 변환하는 레벨 변환회로가 설치되고, 또한, 출력 버퍼(62)에서 VPERI 레벨을 VDD 레벨로 변환하는 레벨 변환회로가 설치되며, 상기한 바와 같이, 2개의 전원셀과 다전원셀의 조합으로 이루어지는 회로블럭이 이용된다.

도 12에는, 본 발명이 적용되는 약 64M 비트의 싱크로너스 D램(RAM)(이하, 단지 SD램(RAM)이라고 함)의 일실시예의 전체 블럭도가 나타나 있다. 이 실시예의 SD램(RAM)은, 특히 제한되지 않지만, 4개의 메모리뱅크 중 메모리뱅크 0을 구성하는 메모리 어레이(200A)와 메모리뱅크 3을 구성하는 메모리 어레이(200D)가 예시적으로 나타나 있다. 결국, 4개의 메모리뱅크 중의 2개의 메모리뱅크 1과 2에 대응한 메모리 어레이(200B, 200C)가 생략되어 있다. 4개의 메모리뱅크 0～3에 각각 대응된 메모리 어레이(200A～200D)는 동도면에 예시적으로 나타내고 있는 메모리 어레이(200A, 200D)와 같이 매트릭스 배치된 다이나믹형 메모리셀을 구비하고, 도면에 따르면 동일 열(列)에 배치된 메모리셀의 선택단자는 열마다의 워드선(미도시됨)에 결합되고, 동일 행(行)에 배치된 메모리셀의 데이터 입출력단자는 행마다 상보데이터선(미도시됨)에 결합된다.

상기 메모리 어레이(200A)의 도시되지 않은 워드선은 행(로우)디코더(201A)에 의한 로우 어드레스 신호의 디코드 결과에 따라 1개가 선택 레벨로 구동된다. 메모리 어레이(200A)의 도시되지 않은 상보데이터선은 센스앰프 및 컬럼 선택회로를 포함하는 I/O선(202A)에 결합된다. 센스앰프 및 컬럼 선택회로를 포함하는 I/O선(202A)에서의 센스앰프는 메모리셀로부터의 데이터 판독에 따라 각각의 상보데이터선에 나타나는 미소 전위차를 검출하여 증폭하는 증폭회로이다. 그곳에서의 컬럼 스위치회로는 상보데이터선을 각각 따로 선택하여 상보 I/O선에 도통(導通)시키기 위한 스위치회로이다. 카운터 스위치회로는 컬럼 디코더(203A)에 의한 컬럼 어드레스 신호의 디코드 결과에 따라 선택 동작된다.

메모리 어레이(200B 내지 200D)도 마찬가지로, 메모리 어레이(200D)에 예시적으로 나타나 있는 바와 같이, 로우 디코더(201B), 센스앰프 및 컬럼 선택회로를 포함하는 I/O선(202B), 컬럼 디코더(203B)가 설치된다. 상기 상보 I/O선은 라이트버퍼(214A, 214B)의 출력단자 및 메인 앰프(212A, 212B)의 입력단자에 접속된다. 상기 메인 앰프(212A, 212B)의 출력신호는 래치/레지스터(213)의 입력단자에 전달되어 이 래치/레지스터(213)의 출력신호는 출력 버퍼(211)를 통하여 외부 단자로부터 출력된다. 또한, 외부 단자로부터 입력된 기록신호는 입력 버퍼(210)를 통하여 상기 라이트버퍼(214A, 214B)의 입력단자에 전달된다. 상기 외부 단자는, 특히 제한되지 않지만, 16 비트로 이루어지는 데이터(D0 - D15)를 출력하는 데이터 입출력단자로 된다. 또한, 상기 생략된 메모리 어레이(200B, 200C)에 대응하여 각각 상기한 바와 같은 메인 앰프, 라이트버퍼가 설치된다.

어드레스 입력단자로부터 공급되는 어드레스 신호(A0～A13)는 컬럼 어드레스 버퍼(205)와 로우 어드레스 버퍼(206)에 어드레스 멀티플렉스 형식으로 받아들여진다. 공급된 어드레스 신호는 각각의 버퍼가 유지한다. 로우 어드레스 버퍼(206)는 리프레시 동작 모드에 있어서는 리프레시 카운터(208)로부터 출력되는 리프레시 어드레스 신호를 로우 어드레스 신호로서 받아들인다. 컬럼 어드레스 버퍼(205)의 출력은 컬럼 어드레스 카운터(207)의 프리셋트 데이터(preset data)로서 공급되어, 열(컬럼) 어드레스 카운터(207)는 후술하는 커맨드 등으로 지정되는 동작 모드에 따라, 상기 프리셋트 데이터로서의 컬럼 어드레스 신호 또는 그 컬럼 어드레스 신호를 순차 증가(increment)시킨 값을 컬럼 디코더(203A～203D)를 향하여 출력한다.

동도에서 점선으로 나타낸 컨트롤러(209)는, 특히 제한되지 않지만, 클럭신호(CLK), 클럭 인에이블신호(CKE), 칩 셀렉트신호(/CS), 컬럼 어드레스 스트로브신호(/CAS)(기호/는 이것이 붙여진 신호가 로우 인에이블의 신호인 것을 의미한다), 로우 어드레스 스트로브신호(/RAS) 및 라이트 인에이블신호(/WE) 등의 외부 제어신호와, 어드레스 입력단자(A0～A11)로부터의 제어 데이터가 공급되어, 그들 신호의 레벨의 변화나 타이밍 등에 기초하여 SD램(RAM)의 동작 모드 및 상기 회로블럭의 동작을 제어하기 위한 내부 타이밍신호를 형성하는 것이므로, 모드 레지스터(10), 커맨드 디코더(20), 타이밍 발생회로(30) 및 클럭버퍼(40)등을 구비한다.

클럭신호(CLK)는 클럭버퍼(40)를 통하여 상기 설명한 바와 같은 클럭 동기회로(50)에 입력되고, 내부 클럭이 발생된다. 상기 내부 클럭은, 특히 제한되지 않지만, 출력 버퍼(211), 입력 버퍼(210)를 활성화하는 타이밍신호로서 이용됨과 동시에, 타이밍 발생회로(30)에 공급되어 이러한 클럭신호에 기초하여 열 어드레스 버퍼(205), 행 어드레스 버퍼(206) 및 열 어드레스 카운터(207)에 공급되는 타이밍신호가 형성된다.

다른 외부 입력신호는 해당 내부 클럭신호의 상승 에지에 동기하여 의미있는 것으로 된다. 칩 셀렉트신호(/CS)는 그 로우 레벨에 의해 커맨드 입력사이클의 개시를 지시한다. 칩 셀렉트신호(/CS)가 하이레벨인 때(칩 비선택상태)나 그 이외의 입력은 의미를 가지지 않는다. 다만, 후술하는 메모리뱅크의 선택상태나 버스트 동작등의 내부동작은 칩 비선택 상태로의 변화에 의해 영향받지 않는다. /RAS, /CAS, /WE의 각 신호는 통상의 D램(RAM)에서의 대응신호와는 기능이 상이하고, 후술하는 커맨드 사이클을 정의할 때에 의미있는 신호로 된다.

클럭 인에이블신호(CKE)는 다음 클럭신호의 유효성을 지시하는 신호이며, 해당 신호(CKE)가 하이레벨이라면 다음 클럭신호(CLK)의 상승 에지가 유효로 되고, 로우레벨인 때에는 무효로 된다. 또한, 리드모드(read mode)에 있어서, 출력 버퍼(211)에 대한 출력 인에이블(output enable)의 제어를 행하는 외부 제어신호(/OE)를 설치한 경우에는, 이러한 신호(/OE)도 컨트롤러(209)에 공급되어, 그 신호가 예컨대 하이레벨인 때에는 출력 버퍼(211)는 고출력 임피던스 상태로 된다.

상기 로우 어드레스 신호는 클럭신호(CLK)(내부 클럭신호)의 상승 에지에 동기하는 후술하는 로우 어드레스 스트로브·뱅크 액티브 커맨드 사이클에서의 A0～A11의 레벨에 의해 정의된다.

어드레스 신호(A12, A13)는 상기 로우 어드레스 스트로브·뱅크 액티브 커맨드 사이클에 있어서 뱅크 선택신호로 간주된다. 즉, A12와 A13의 조합에 의해, 4개의 메모리뱅크 0～3 중 하나가 선택된다. 메모리뱅크의 선택 제어는, 특히 제한되지 않지만, 선택 메모리뱅크측의 로우 디코더만의 활성화, 비선택 메모리뱅크측의 컬럼 스위치회로의 모든 비선택, 선택 메모리뱅크측만의 입력 버퍼(210) 및 출력 버퍼(211)로의 접속 등의 처리에 의해 행할 수 있다.

상기 컬럼 어드레스 신호는, 클럭신호(CLK)(내부 클럭)의 상승 에지에 동기하는 리드 또는 라이트 커맨드(후술하는 컬럼 어드레스·리드 커맨드, 컬럼 어드레스·라이트 커맨드) 사이클에서의 A0～A9의 레벨에 의해 정의된다. 그리고, 이와 같이 하여 정의된 컬럼 어드레스는 버스트 액세스의 개시 어드레스(start address)로 된다.

다음에, 커맨드에 의해 지시되는 SD램(RAM)의 주된 동작 모드를 설명한다.

(1) 모드 레지스터 세트 커맨드(Mo)

상기 모드 레지스터(30)를 세트하기 위한 커맨드이며, /CS, /RAS, /CAS, /WE = 로우레벨에 의해 해당 커맨드 지정되고, 세트해야 할 데이터(레지스터 세트 데이터)는 A0～A11을 통하여 주어진다. 레지스터 세트 데이터는, 특히 제한되지 않지만, 버스트 길이(burst length), CAS 레이턴시, 라이트모드 등으로 된다. 특히, 제한되지 않지만, 설정 가능한 버스트 길이는 1, 2, 4, 8, 풀 페이지(full page)로 되고, 설정 가능한 CAS 레이턴시는 1, 2, 3으로 되며, 설정 가능한 라이트모드는 버스트 라이트와 싱글 라이트로 된다.

상기 CAS 레이턴시는 후술하는 컬럼 어드레스·리드 커맨드에 의해 지시되는 리드동작에 있어서 /CAS의 상승으로부터 출력 버퍼(211)의 출력동작까지 내부 클럭신호의 어느 사이클만큼을 소비할지를 지시하는 것이다. 판독 데이터가 확정되기까지는 데이터 판독을 위한 내부 동작시간이 필요하게 되어, 그것을 내부 클럭신호의 사용주파수에 따라 설정하기 위한 것이다. 환언하면, 주파수가 높은 내부 클럭신호를 이용하는 경우에는, CAS 레이턴시를 상대적으로 큰 값으로 설정하고, 주파수가 낮은 내부 클럭신호를 이용하는 경우에는, CAS 레이턴시를 상대적으로 작은 값으로 설정한다.

(2) 로우 어드레스 스트로브·뱅크 액티브 커맨드(Ac)

이것은, 로우 어드레스 스트로브의 지시와 A12와 A13에 의한 메모리뱅크의 선택을 유효하게 하는 커맨드이며, /CS, /RAS = 로우레벨, /CAS, /WE = 하이레벨에 의해 지시되고, 이때, A0～A9에 공급되는 어드레스가 로우 어드레신호로서, A12와 A13에 공급되는 신호가 메모리뱅크의 선택신호로서 받아 들여진다. 받아들임 동작(capturing operation)은 상술하는 바와 같이, 내부 클럭신호의 상승 에지에 동기하여 행해진다. 예컨대, 해당 커맨드가 지정되면, 그것에 의해 지정되는 메모리뱅크에서의 워드선이 선택되고, 해당 워드선에 접속된 메모리셀이 각각 대응하는 상보데이터선에 도통된다.

(3) 컬럼 어드레스·리드 커맨드(Re)

이 커맨드는 버스트 리드 동작을 개시하기 위해 필요한 커맨드임과 동시에, 컬럼 어드레스 스트로브의 지시를 주는 커맨드이며, /CS, /CAS = 로우레벨, /RAS, /WE = 하이레벨에 의해 지시되고, 이때, A0～A7(×16 비트 구성의 경우)에 공급되는 컬럼 어드레스가 컬럼 어드레스 신호로서 받아 들여진다. 이것에 의해 받아 들여진 컬럼 어드레스 신호는 버스트 개시 어드레스로서 컬럼 어드레스 카운터(207)에 공급된다. 이것에 의해 지시된 버스트 리드 동작에서는, 그 전에 로우 어드레스 스트로브·뱅크 액티브 커맨드 사이클로 메모리뱅크와 그것에서의 워드선의 선택이 행해지고 있고, 해당 선택워드선의 메모리셀은 내부 클럭신호에 동기하여 컬럼 어드레스 카운터(207)로부터 출력되는 어드레스 신호에 따라 순차 선택되어 연속적으로 판독된다. 연속적으로 판독되는 데이터수는 상기 버스트 길이에 의해 지정된 갯수로 된다. 또한, 출력 버퍼(211)로부터의 데이터 판독 개시는 상기 CAS 레이턴시로 규정되는 내부 클럭신호의 사이클 수를 기다려 행해진다.

(4) 컬럼 어드레스·라이트 커맨드(Wr)

라이트 동작의 양태로서 모드 레지스터(10)에 버스트 라이트가 설정되어 있을 때는 해당 버스트 라이트 동작을 개시하기 위해 필요한 커맨드로 되고, 라이트동작의 양태로서 모드 레지스터(10)에 싱글 라이트가 설정되어 있을 때는 해당 싱글 라이트 동작을 개시하기 위해 필요한 커맨드로 된다. 또한, 해당 커맨드는 싱글라이트 및 버스트 라이트에서의 컬럼 어드레스 스트로브의 지시를 준다. 해당 커맨드는 /CS, /CAS, /WE = 로우레벨, /RAS = 하이레벨에 의해 지시되고, 이때, A0～A9에 공급되는 어드레스가 컬럼 어드레스 신호로서 받아 들여진다. 이것에 의해 받아 들여진 컬럼 어드레스 신호는

버스트 라이트에서는 버스트 개시 어드레스로서 컬럼 어드레스 카운터(207)에 공급된다. 이것에 의해 지시된 버스트 라이트 동작의 순서도 버스트 리드 동작과 마찬가지로 행해진다. 다만, 라이트 동작에는 CAS 레이턴시는 없으며, 라이트 데이터의 받아들임은 해당 컬럼 어드레스·라이트 커맨드 사이클로부터 개시된다.

(5) 프리차지 커맨드(Pr)

이것은 A12와 A13에 의해 선택된 메모리뱅크에 대한 프리차지 동작의 개시 커맨드로 되고, /CS, /RAS, /WE = 로우레벨, /CAS = 하이레벨에 의해 지시된다.

(6) 오토 리프레시 커맨드(auto refresh command)

이 커맨드는 오토 리프레시를 개시하기 위해 필요로 하는 커맨드이며, /CS, /RAS, /CAS = 로우레벨, /WE, CKE = 하이레벨에 의해 지시된다.

(7) 버스트 스톱·인·풀 페이지 커맨드(burst stop·in·full page command)

풀 페이지에 대한 버스트 동작을 모든 메모리뱅크에 대하여 정지시키기 위해 필요한 커맨드이며, 풀 페이지 이외의 버스트 동작에서는 무시된다. 이 커맨드는 /CS, /WE = 로우레벨, /RAS, /CAS = 하이레벨에 의해 지시된다.

(8) 노 오퍼레이션 커맨드(Nop)(No-operation command)

이것은 실질적인 동작을 행하지 않는 것을 지시하는 커맨드이며, /CS = 로우레벨, /RAS, /CAS, /WE = 하이레벨에 의해 지시된다.

SD램(RAM)에서는, 하나의 메모리뱅크에서 버스트 동작이 행해지고 있을 때, 그 도중에 다른 메모리뱅크를 지정하여, 로우 어드레스 스트로브·뱅크 액티브 커맨드가 공급되면, 해당 실행중인 한쪽의 메모리뱅크에서의 동작에는 어떠한 영향을 주지않고, 해당 다른 메모리뱅크에서의 로우 어드레스계의 동작이 가능하게 된다. 예컨대, SD램(RAM)은 외부로부터 공급되는 데이터, 어드레스 및 제어신호를 내부에 유지하는 수단을 가지고, 그 유지내용, 특히 어드레스 및 제어신호는, 특히 제한되지 않지만 메모리뱅크마다 유지되도록 되어 있다. 또는, 로우 어드레스 스트로브·뱅크 액티브 커맨드 사이클에 의해 선택된 메모리 블럭에서의 워드선 1개분의 데이터가 컬럼계 동작의 전에 미리 판독동작을 위해 래치/레지스터(213)에 유지되도록 되어 있다.

따라서, 예컨대, 16비트로 이루어지는 데이터 입출력단자에서 데이터(D0-D15)가 충돌하지 않는 한, 처리가 종료하고 있지 않는 커맨드 실행중에, 해당 실행중인 커맨드가 처리대상으로 하는 메모리뱅크와는 다른 메모리뱅크에 대한 프리차지 커맨드, 로우 어드레스 스트로브·뱅크 액티브 커맨드를 발행하여, 내부 동작을 미리 개시하는 것이 가능하다. 이 실시예의 SD램(RAM)은 상기한 바와 같이 16비트의 단위로의 메모리 액세스를 행하고, A0～A11의 어드레스에 의해 약 1M의 어드레스를 가지며, 4개의 메모리뱅크로 구성되는 것이기 때문에, 전체로서는 약 64M비트(1M ×4뱅크 ×16비트)와 같은 기억용량을 가지게 된다.

상기한 실시예로부터 얻어지는 작용, 효과는 다음과 같다.

(1) 논리회로를 실현하는 1 내지 복수의 MOSFET가 형성되어 이루어지는 단위영역의 복수개를 제1 방향으로 배치하고, 그 상부에 상기 제1 방향으로 연장하는 제1 배선을 형성하고, 상기 복수 배치된 단위영역을 따라서, 또 그 단위영역밖에서 상기 제1 방향으로 연장하는 제2 배선을 형성하며, 상기 인접하는 단위영역 사이에 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선을 구비한 배선 전용영역을 설치해 놓고, 상기 단위영역에 형성된 논리회로는 필요에 따라 인접하는 상기 배선 전용영역과의 조합에 의해 상기 제1 배선에 접속되는 제1 접속형태와, 상기 제2 배선을 통하여 제3 배선에 접속되는 제2 접속형태의 양쪽을 갖도록 하는 것에 의해, 셀의 배치에 상관없이 입력신호 영역이 확보되기 때문에, 자동 배선기술에 의한 배선설계에서도 미결선을 대폭 저감시킬 수 있다는 효과가 얻어진다.

(2) 상기 배선 전용영역을, 각 단위영역에 대응하여 일대일로 대응하여 설치하고, 그것에 대응한 상기 단위영역에 형성된 논리회로에서 상기 제2 접속형태가 필요로 한 경우에 사용함으로써, 셀의 배치에 상관없이 모든 셀에서 입력신호 영역이 확보되기 때문에, 자동 배선기술에 의한 배선설계에서도 미결선을 방지할 수 있어 자동 배선기술에 의한 모든 신호선의 결선이 가능하게 된다는 효과가 얻어진다.

(3) 상기 제3 배선을 상기 단위영역내에서 논리회로를 실현하는 복수의 MOSFET 사이를 접속하는 배선과 동일한 공정으로 형성하는 것에 의해 다층 배선을 효율 좋게 이용할 수 있다는 효과가 얻어진다.

(4) 제1 방향으로 복수 배치된 단위영역의 중앙부에 상기 제1 방향으로 연장하는 신호선을 형성하고, 상기 제1 방향으로 복수 배치된 단위영역상의 양측에 상기 제1 방향으로 연장하는 전원선을 설치하고, 상기 전원선을 상기 제1 전압과 제2 전압으로 동작하는 논리회로에 대응한 단위영역상에서는 각각이 하나의 배선폭을 갖도록 형성하고, 상기 제1 전압 및 제2 전압과는 다른 제3 전압으로 동작하는 논리회로에 대응한 단위영역상에서는 상기 하나의 배선폭이 상기 제1 또는 제2 전압을 공급하는 전원선과 상기 제3 전압을 공급하는 전원선 및 그들의 배선 간극에 의해 분할한 것으로 함으로써, 셀내의 전원 수 및 종류에 무관하게 셀의 높이 및 전체로서의 전원 배선폭을 통일할 수 있기 때문에 셀의 배치가 용이하게 되고, 고집적화가 가능하게 된다는 효과가 얻어진다.

(5) 제1 방향으로 복수 배치된 단위영역상의 중앙부에 상기 제1 방향으로 연장하는 신호선을 형성하고, 상기 제1 방향으로 복수 배치된 단위영역상의 양측에 형성되고, 이러한 제1 방향으로 연장하는 전원선을 형성하여, 상기 단위영역에는 특정 논리기능을 실현하는 1 내지 복수의 MOSFET가 형성되고, 상기 MOSFET를 구성하는 소스, 드레인의 반도체 영역의 일단측을, 상기 단위영역의 단부에 근접하도록 형성함으로써, 동작의 고속화를 도모하면서 단위영역상의 중앙부에 제1 방향으로 연장하는 신호선을 효율좋게 사용할 수 있다는 효과가 얻어진다.

(6) 상기 신호선 및 전원선을 제2층째의 금속배선층에 의해 형성하고, 상기 MOSFET의 게이트, 소스 및 드레인에 접속되는 신호선을 제1층째의 금속배선층에 의해 구성하는 것에 의해, 다층배선을 합리적으로 사용할 수 있다는 효과가 얻어진다.

(7) 제1 방향으로 복수 배치된 단위영역상의 중앙부에 상기 제1 방향으로 연장하는 제1 신호선을 형성하고, 상기 제1 방향으로 복수 배치된 단위영역상의 양측에 상기 제1 방향으로 연장하는 제1과 제2 전원선을 배치한 제1 셀군(群)과, 동일한 제2 셀군의 상기 제1 또는 제2 전원선에 대응한 단위영역의 단부가 서로 인접하도록 배면에 맞추어 배치하여 상기 제1 또는 제2 전원선을 하나의 전원선으로 구성함과 동시에, 이러한 전원선에 대응하여 설치되는 컨택트부를 상기 단위영역의 기준으로 되는 피치에 맞춤으로써, 고집적화가 가능하게 된다는 효과가 얻어진다.

(8) 제1 방향으로 복수 배치된 단위영역과, 상기 제1 방향으로 복수 배치된 직사각형의 단위영역상에 형성되고, 이러한 제1 방향으로 연장하는 제1 배선과, 상기 복수 배치된 단위영역을 따라서, 또한, 그 영역 밖에 형성되어 상기 제1 방향으로 연장하는 제2 배선을 구비하며, 상기 단위영역에 논리회로를 실현하는 1 내지 복수의 MOSFET를 형성하고, 그 드레인 영역이 상기 제1 방향으로 복수개가 나란히 배치되고, 그들이 병렬 형태로 접속되어 하나의 MOSFET를 구성하는 것은 상기 각 드레인 영역의 각각이 상기 제2 배선에 접속되는 복수의 배선을 갖도록 함으로써, 출력 배선의 저저항화를 실현할 수 있다는 효과가 얻어진다.

(9) 상기 제1 배선 및 제2 배선을 제2층째의 금속배선층으로 하고, 상기 MOSFET의 드레인과 상기 제2 배선을 접속시키는 배선을 제1층째의 금속배선층에 의해 구성하는 것에 의해, 상기한 저저항화와 함께 다층배선을 합리적으로 사용하고, 또 고집적화가 가능하게 된다는 효과가 얻어진다.

(10) 제1 방향으로 복수 배치된 단위영역상의 중앙부에 상기 제1 방향으로 제1 신호선을 형성하고, 상기 제1 방향으로 복수 배치된 단위영역상의 양측에 상기 제1 방향으로 연장하는 제1과 제2 전원선을 설치하고, 상기 단위회로의 복수개가 제2 방향으로 나란히 배치되어 회로블럭을 구성하며, 상기 제2 방향에서 회로블럭의 양측에 상기 제1과 제2 전원선에 대응한 제1 전압과 제2 전압을 공급하는 제3 전원선과 제4 전원선의 쌍을 상기 제2 방향으로 연장하여 각각 배치하고, 상기 쌍으로 된 제3 전원선과 제4 전원선을 상기 단위회로의 제1 전원선과 제2 전원선으로 각각 서로 접속함으로써, 최소의 배선에 의해 전원 임피던스를 작게 할 수 있다는 효과가 얻어진다.

(11) 상기 회로블럭을 반도체 칩의 제1 방향의 중앙부에 있어서, 상기 제2 방향으로 나란히 배치되는 복수의 본딩패드열을 따라 배치하고, 상기 반도체 칩의 양측에는 동일한 기억 구성을 가지는 메모리 어레이를 구성하여 상기 회로블럭 및 본딩패드를 사이에 두도록 배치함으로써, 신호 전달경로를 최소로 하고, 또 고집적화를 실현한 반도체 기억장치를 얻을 수 있다는 효과가 얻어진다.

(12) 상기 반도체 칩의 제2 방향의 중앙부에는 상기 메모리 어레이의 불량 구제를 위한 용장회로를 형성하고, 상기 메모리 어레이는 상기 회로블럭 및 본딩패드열과 상기 용장회로에 의해 4개로 분할되어 구성됨으로써, 각 회로블럭을 반도체 칩상에 효율좋게 배치시킬 수 있다는 효과가 얻어진다.

(13) 제1 방향으로 연속하여 복수 배치되고, 논리회로를 구성하기 위한 트랜지스터를 구비한 직사각형의 단위영역 상을 상기 제1 방향으로 연장하는 제1 배선을 형성하고, 상기 복수 배치된 직사각형의 단위영역을 따라서 또한, 상기 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선을 형성하며, 인접하는 상기 단위영역 사이에 각각 중간영역을 설치하고, 상기 제1 방향과 직교하는 제2 방향으로 연장하여, 어딘가의 상기 중간영역에 상기 제2 배선과 접속되는 제3 배선을 형성하며, 상기 제3 배선이 형성된 중간영역에 대응하는 단위영역의 논리회로의 입력신호는 상기 제1 배선과 제3 배선으로부터 받고, 상기 제3 배선이 형성되지 않는 중간영역에 대응하는 단위영역의 논리회로의 입력신호는 상기 제1 배선으로부터 받도록 함으로써, 단위영역의 배치에 상관없이 입력신호 영역이 확보되기 때문에, 자동 배선기술에 의한 배선 설계에서도 미결선을 대폭 저감시킬 수 있다는 효과가 얻어진다.

(14) 제1 방향으로 복수 배치되고, 특정 논리기능을 실현하는 1 내지 복수의 회로소자가 설치되는 직사각형의 단위영역상에 상기 제1 방향으로 연장하는 제1 배선을 형성하고, 상기 복수 배치된 직사각형의 단위영역을 따라서 또한, 그 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선을 형성하며, 상기 단위영역에 인접하고 또한, 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선이 형성되는 배선영역을 설치하여, 상기 배선영역의 제3 배선을 상기 단위영역에 형성된 논리기능을 실현하는 회로소자와 상기 제2 배선의 사이에서 신호의 수수(授受)에 이용함으로써, 단위영역의 배치에 상관없이 입력신호 영역이 확보되기 때문에, 자동 배선기술에 의한 배선 설계에서도 미결선을 대폭 저감시킬 수 있다는 효과가 얻어진다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본원 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경 가능한 것은 말할 필요도 없다. 예컨대, 배선 전용영역을 포함하여 논리기능을 갖는 셀과, 논리기능만을 갖는 셀과, 배선 전용영역만으로 이루어지는 셀을 조합하여, 하나의 회로블럭을 구성하도록 하는 것이어도 된다. 즉, 입력 단자수가 비교적 많은 셀에는 상기한 배선 전용영역을 포함하여 셀로서 레이아웃 설계하고, 입력 단자수가 예컨대, 1 내지 2와 같이 적은 셀에는 배선 전용영역을 설치하지 않는 것으로 하여, 회로 구성에 따라 배선 전용영역만으로 이루어지는 셀을 인접하여 배치시키도록 하는 것이어도 된다.

상기 도 10에 나타낸 다이나믹형 램(RAM)에서 메모리 어레이, 서브어레이 및 서브워드 드라이버의 구성은 여러가지의 실시 형태를 채용할 수 있고, 다이나믹형 램(RAM)의 입출력 인터페이스는 싱크로너스 사양이나 램버스(램(RAM)bus) 사양 등에 적합한 것 등 여러가지의 실시 형태를 채용할 수 있는 것이다. 워드선은 상기한 바와 같은 계층 워드선(hierarchy word-line) 방식 이외에 워드션트(word-shunt)방식을 채용하는 것이어도 된다.

본 발명에 관한 메모리의 주변회로와 배선 레이아웃이 개선된 반도체장치는, 상기한 바와 같은 다이나믹형 램(RAM) 이외에, 스태틱형 램(RAM)(static 램(RAM))등과 같은 다른 반도체 기억장치, 또는 랜덤·로직부를 갖는 1칩 마이크로컴퓨터 등과 같은 각종 디지털 집적회로장치에 널리 이용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중 대표적은 것에 의해 얻어지는 효과를 간단하게 설명하면, 다음과 같다. 즉, 논리회로를 실현하는 1 내지 복수의 MOSFET가 형성되어 이루어지는 단위영역의 복수개를 제1 방향으로 배치하고, 그 상부에 상기 제1 방향으로 연장하는 제1 배선을 형성하고, 상기 복수 배치된 단위영역을 따라서, 또한, 그 단위영역 밖에서 상기 제1 방향으로 연장하는 제2 배선을 형성하고, 상기 인접하는 단위영역 사이에 상기 제1 방향과 직교하는 제2 방향으로 연장하는 제3 배선을 구비한 배선 전용영역을 설치해 놓고, 상기 단위영역에 형성된 논리회로는 필요에 따라 인접하는 상기 배선 전용영역과의 조합에 의해 상기 제1 배선에 접속되는 제1 접속형태와, 상기 제2 배선을 통하여 제3 배선에 접속되는 제2 접속형태의 양쪽을 갖도록 함으로써, 셀의 배치에 상관없이 입력신호 영역이 확보되기 때문에, 자동 배선기술에 의한 배선 설계에서도 미결선을 대폭 저감시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명에 관한 다이나믹형 램(RAM)의 일실시예를 나타내는 개략 레이아웃도,

도 2는 도 1에서의 각 회로블럭의 일실시예를 나타내는 개략 소자 레이아웃도,

도 3은 도 1에서의 회로블럭을 구성하는 셀의 일실시예를 나타내는 개략 소자 레이아웃도,

도 4는 도 1에서의 회로블럭을 구성하는 셀의 다른 일실시예를 나타내는 개략 소자 레이아웃도,

도 5는 도 1에서의 회로블럭을 구성하는 셀의 또 다른 일실시예를 나타내는 개략 소자 레이아웃도,

도 6은 도 1에서의 회로블럭을 구성하는 셀의 또 다른 일실시예를 나타내는 개략 소자 레이아웃도,

도 7은 도 1에서의 회로블럭을 구성하는 셀의 또 다른 일실시예를 나타내는 개략 소자 레이아웃도,

도 8은 도 1에서의 회로블럭으로 구성되는 주변회로에 대한 전원공급의 일실시예를 설명하기 위한 배선 레이아웃도,

도 9의 (a) 및 도 9의 (b)는 본 발명이 적용되는 다이나믹형 램(RAM)의 다른 일실시예를 나타내는 개략 구성도,

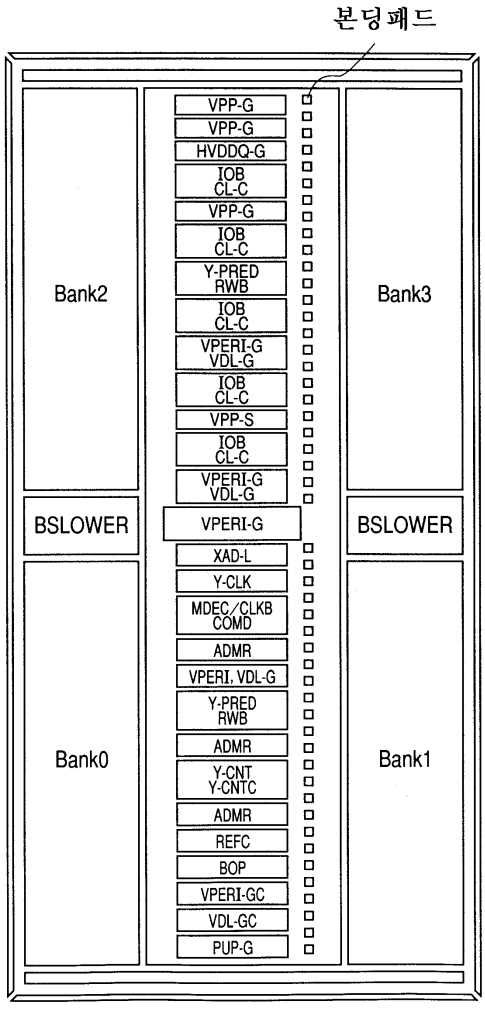
도 10은 본 발명에 관한 다이나믹형 램(RAM)의 일실시예를 나타내는 개략 레이아웃도,

도 11은 본 발명에 관한 다이나믹형 램(RAM)의 센스앰프부를 중심으로 한 어드레스 입력으로부터 데이터 출력까지의 간략화된 일실시예를 나타내는 회로도,

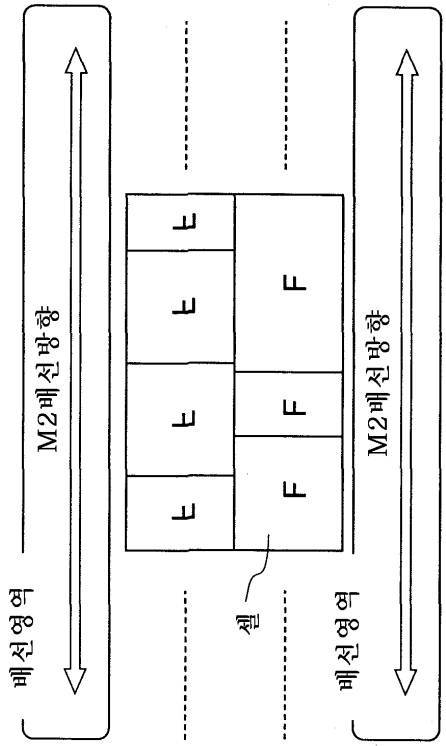
도 12는 본 발명이 적용되는 SD램(RAM)의 일실시예를 나타내는 전체 블럭도이다.

도면

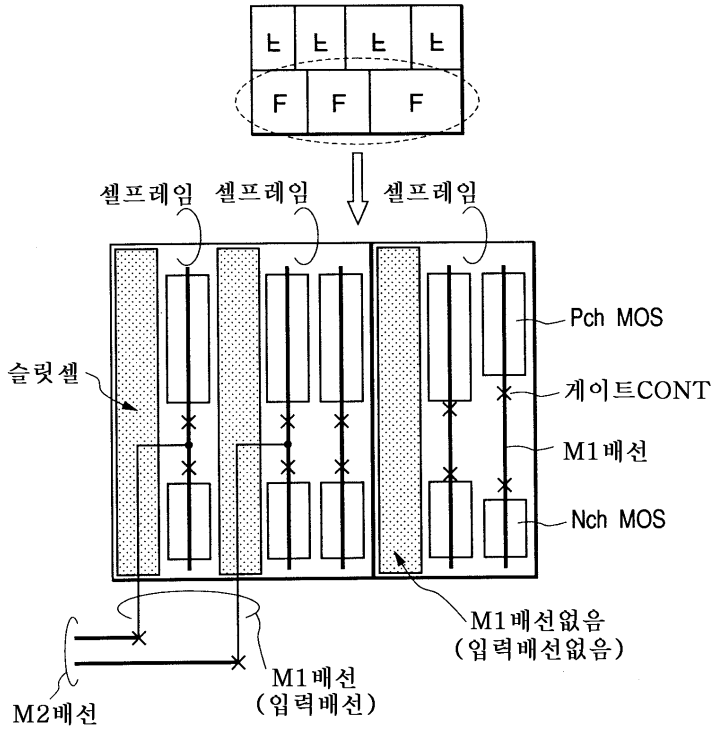
도면1



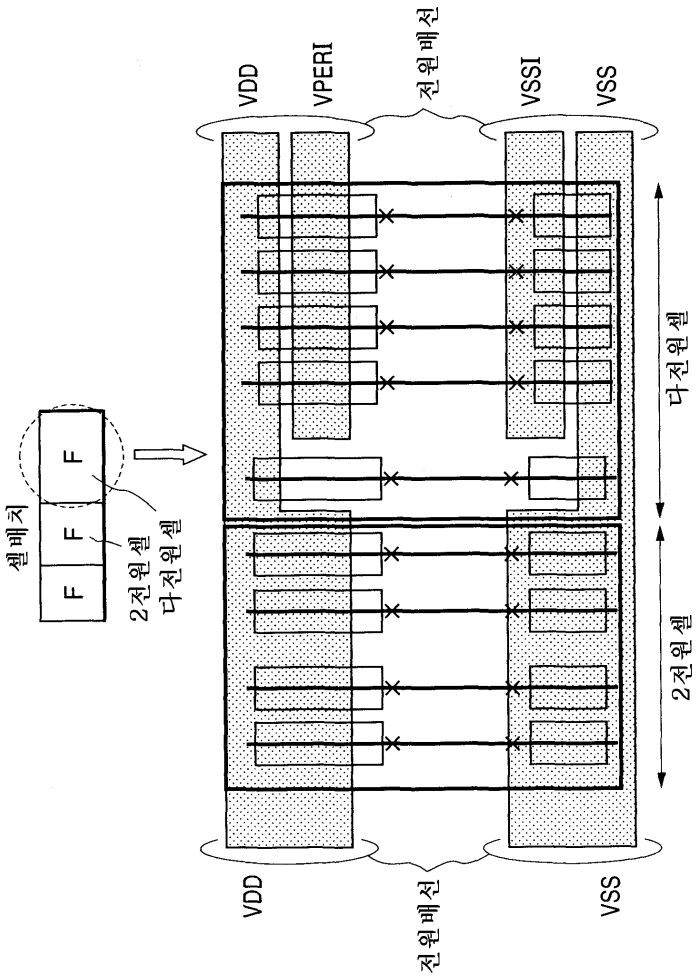
도면2


M2배선방향
M2배선방향
배선영역
배선영역
셀

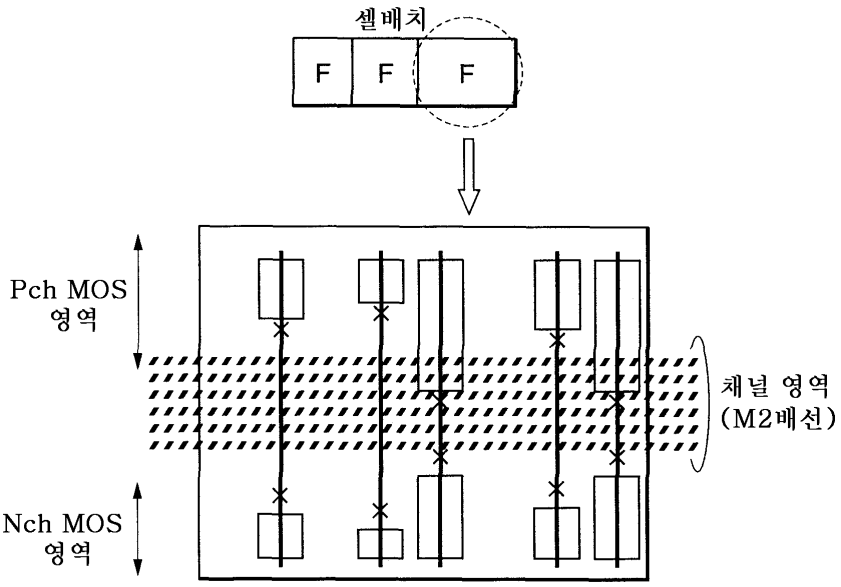
도면3


셀프레임
셀프레임
셀프레임
슬릿셀
Pch MOS
게이트CONT
M1배선
Nch MOS
M1배선없음
(입력배선없음)
M1배선
(입력배선)
M2배선

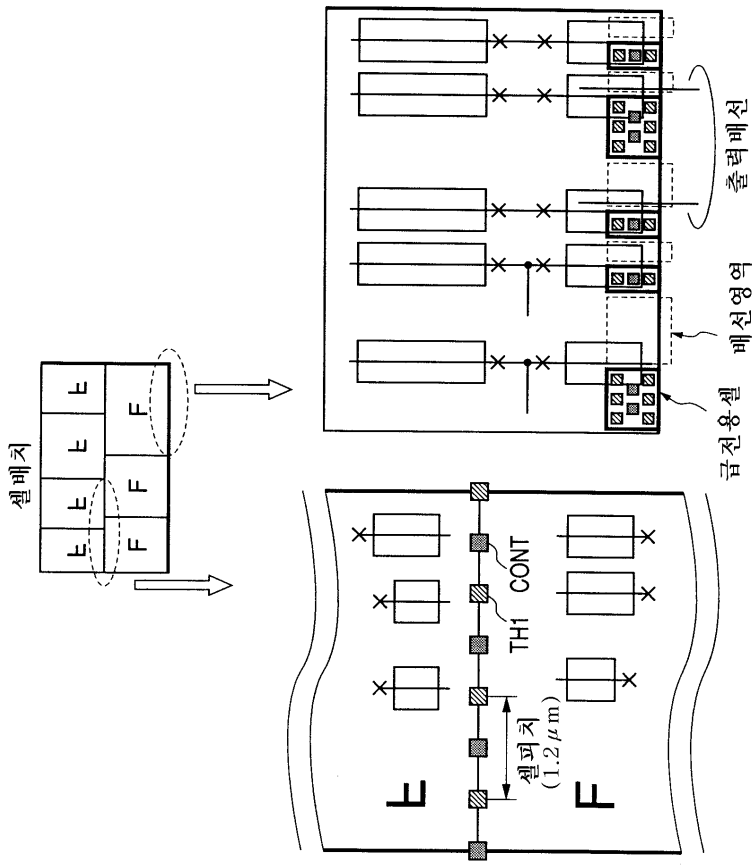
도면4


VDD
VPERI
전원배선
VSSI
VSS
다전원셀
2전원셀
셀배치
F
F
F
2전원셀
다전원셀
VDD
전원배선
VSS

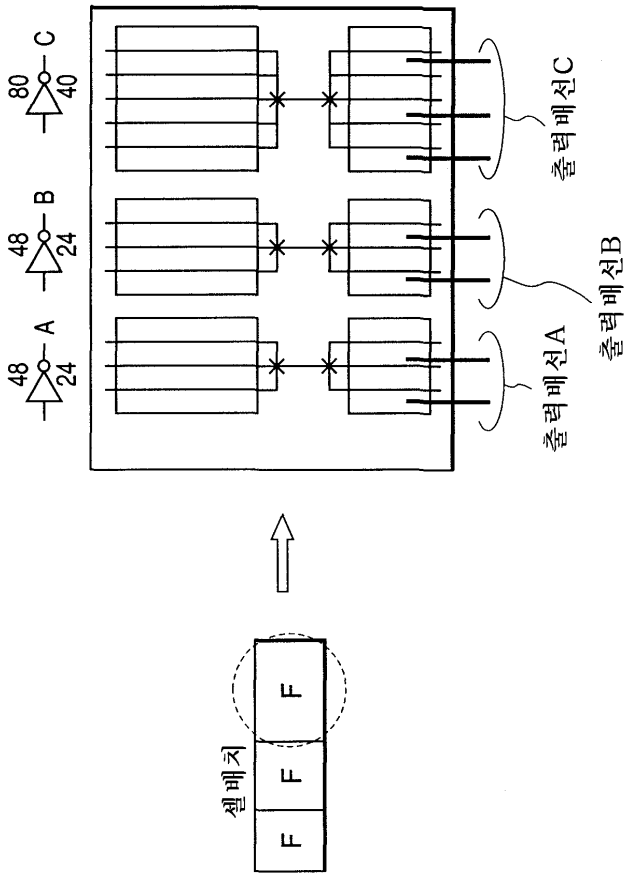
도면5


셀배치
F
F
F
Pch MOS
영역
채널 영역
(M2배선)
Nch MOS
영역

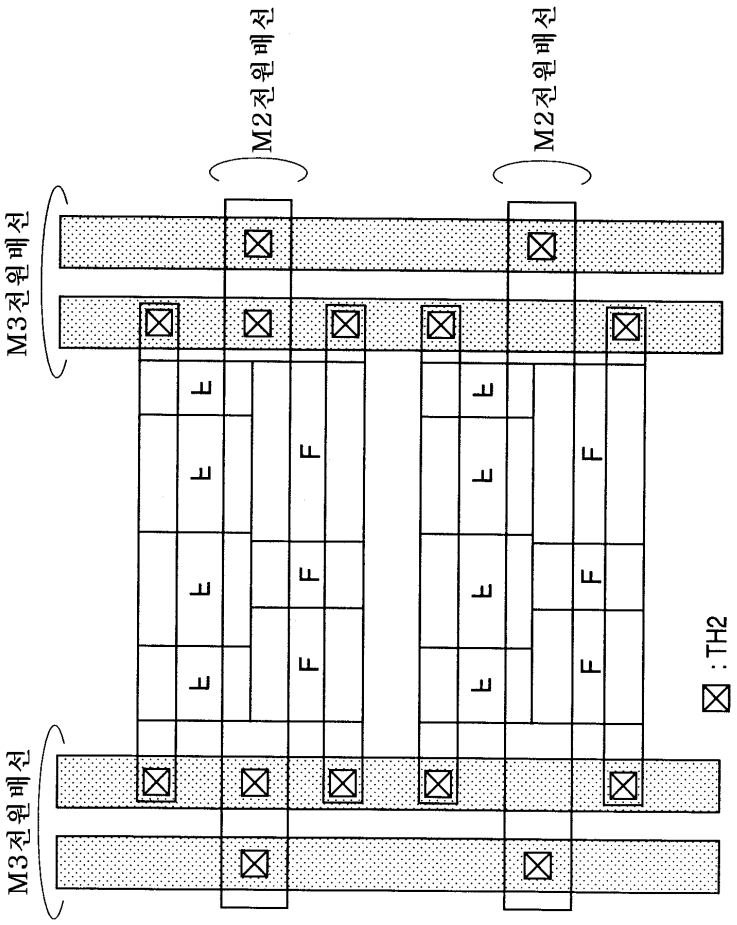
도면6



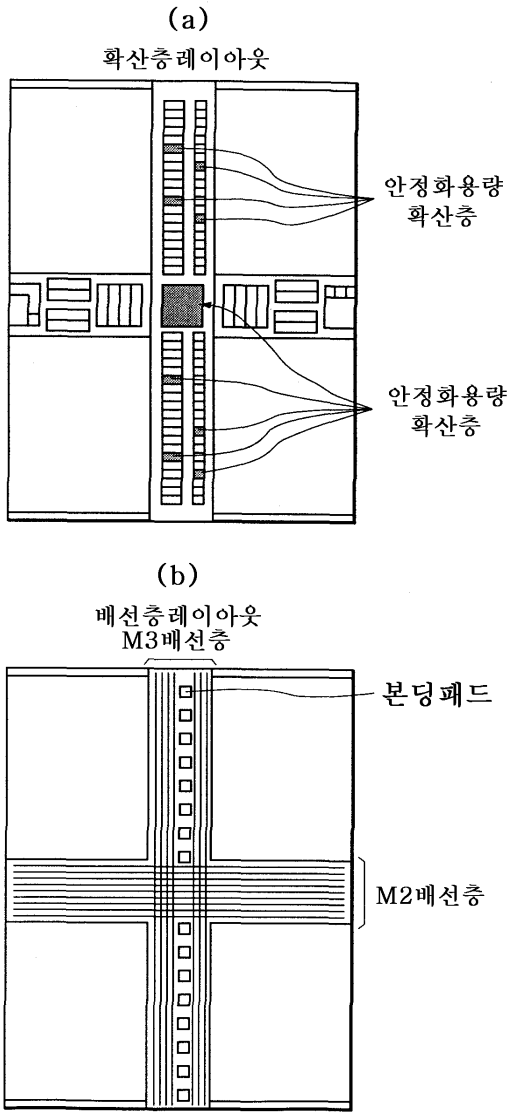
도면7



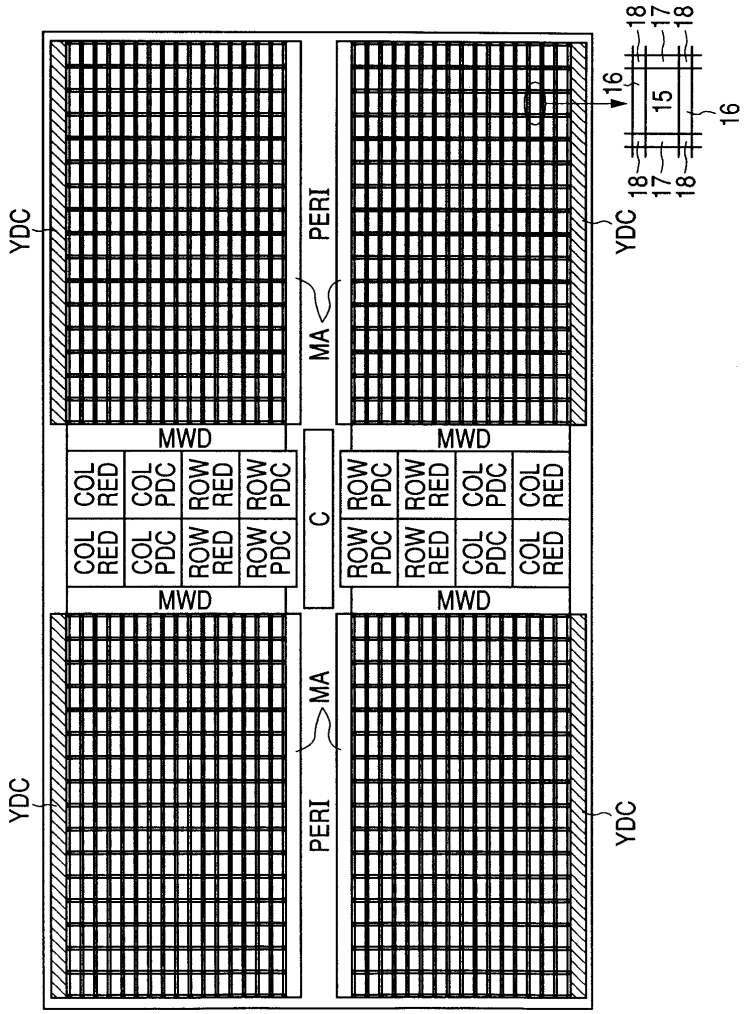
도면8



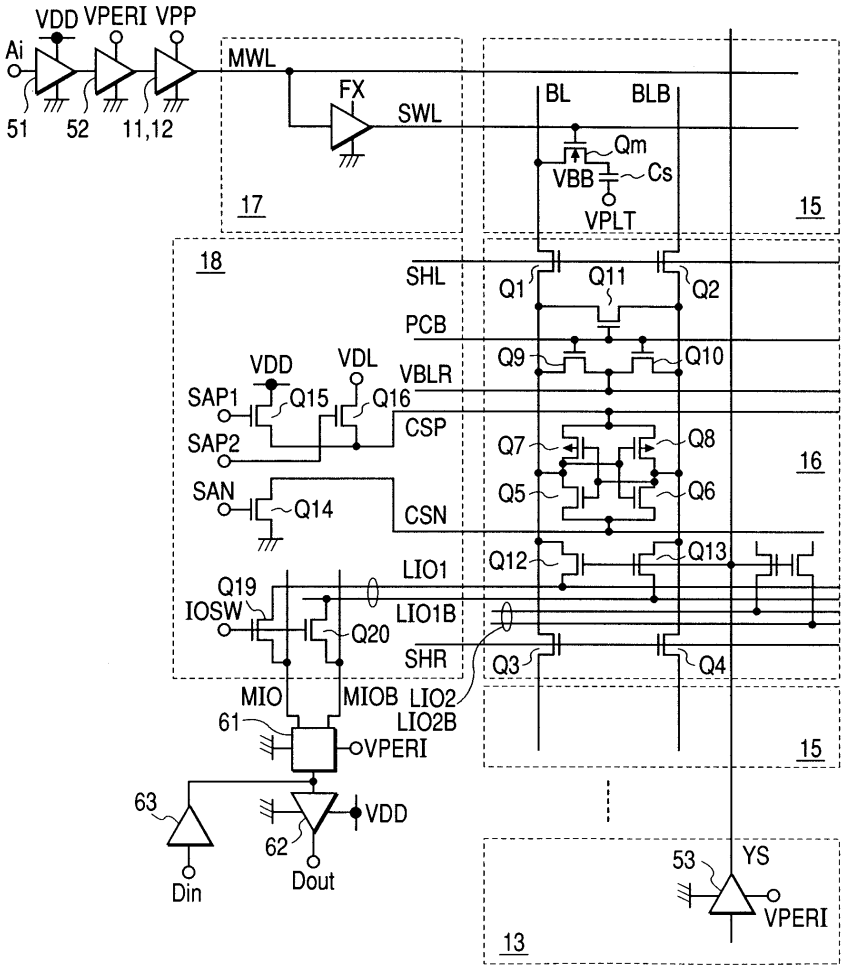
도면9



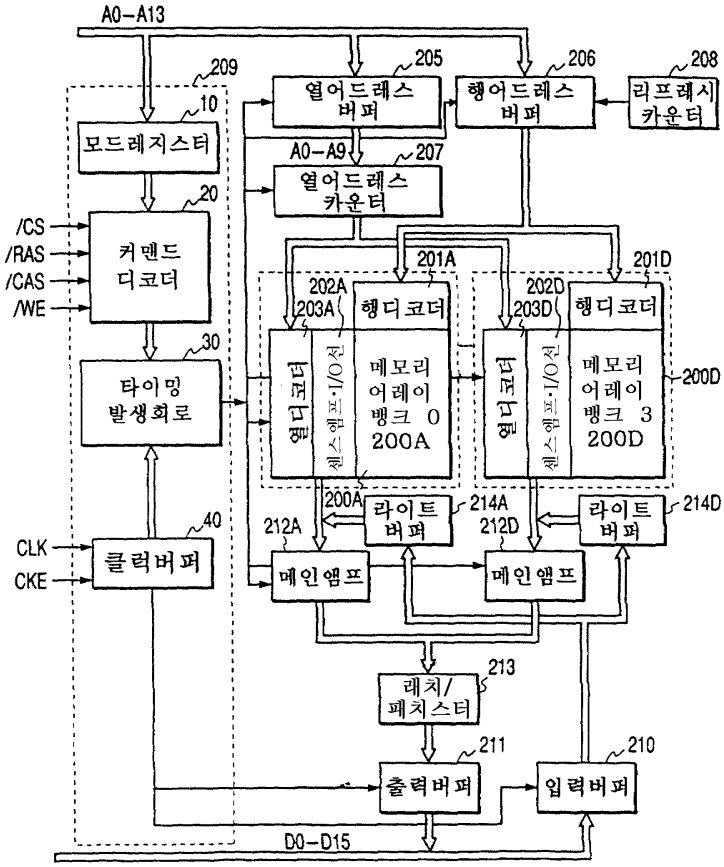
도면10



도면11


VDD VPERI VPP
Ai
51 52 11,12
MWL
FX
SWL
17
BL BLB
Qm
VBB Cs
VPLT
15
18
SHL
Q1 Q11 Q2
PCB
Q9 Q10
VDD VDL VBLR
SAP1 Q15 Q16
CSP
SAP2
Q7 Q8
16
SAN Q14
CSN
Q5 Q6
Q12 Q13
LIO1
Q19
IOSW
LIO1B
Q20
SHR
Q3 Q4
MIO MIOB LIO2
LIO2B
61
VPERI
15
63
VDD
62
Din
Dout
53 YS
VPERI
13

도면12


A0-A13
209
205
206
208
열어드레스 버퍼
행어드레스 버퍼
리프레시 카운터
10
모드레지스터
A0-A9
207
열어드레스 카운터
20
/CS
/RAS
/CAS
/WE
커맨드 디코더
201A
201D
202A
203A
행디코더
202D
203D
행디코더
30
타이밍 발생회로
열디코더
센스앰프·I/O선
메모리 어레이 뱅크 0 200A
열디코더
센스앰프·I/O선
메모리 어레이 뱅크 3 200D
200D
200A
라이트 버퍼
214A
212D
라이트 버퍼
214D
212A
40
CLK
CKE
클럭버퍼
메인앰프
메인앰프
213
래치/ 패치스터
211
210
출력버퍼
입력버퍼
D0-D15