(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3917683号

(P3917683)

(45)発行日　平成19年5月23日(2007.5.23)　(24)登録日　平成19年2月16日(2007.2.16)

(51)Int.Cl.		F I		
H01L 27/118	(2006.01)	H01L	21/82	M
H01L 21/82	(2006.01)	H01L	21/82	C
H01L 23/522	(2006.01)	H01L	21/90	B
H01L 21/768	(2006.01)			

請求項の数 11　(全 19 頁)

(21)出願番号　特願平8-103054
(22)出願日　平成8年4月25日(1996.4.25)
(65)公開番号　特開平9-293843
(43)公開日　平成9年11月11日(1997.11.11)
審査請求日　平成15年3月14日(2003.3.14)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　岡　則昭
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　竹田　敏文
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　杉浦　順
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

５層以上の配線を有し、各層の前記配線をＸ－Ｙ格子座標に配置すると共に、各層の前記配線間を前記Ｘ－Ｙ格子座標の格子点で電気的に接続することによって形成される半導体集積回路装置であって、第１～第３層目配線のそれぞれのピッチを同一にすると共に、前記第３層目配線よりも上層の配線のピッチを前記第１～第３層目配線のピッチの３倍以上にし、各層の前記配線を共通のＸ－Ｙ格子上に配置したことを特徴とする半導体集積回路装置。

【請求項２】

請求項１記載の半導体集積回路装置であって、前記第１～第３層目配線の膜厚および幅をそれぞれ同一にし、前記第３層目配線よりも上層の配線の膜厚および幅をそれぞれ同一にしたことを特徴とする半導体集積回路装置。

【請求項３】

請求項２記載の半導体集積回路装置であって、前記第３層目配線よりも上層の配線の膜厚および幅のそれぞれを前記第１層目配線の膜厚および幅の２倍以上にしたことを特徴とする半導体集積回路装置。

【請求項４】

請求項１、２または３記載の半導体集積回路装置であって、各層の前記配線のうち、奇数層目の配線をＸ方向に延在し、偶数層目の配線をＹ方向に延在したことを特徴とする半導体集積回路装置。

【請求項５】
請求項１～４のいずれか１項に記載の半導体集積回路装置であって、各層の前記配線間を電気的に分離する層間絶縁膜に平坦化処理が施され、前記層間絶縁膜に形成された接続孔の内部にプラグが埋め込まれていることを特徴とする半導体集積回路装置。
【請求項６】
請求項５記載の半導体集積回路装置であって、前記接続孔は、下層の接続孔の真上に上層の接続孔を配置するスタックド・ビア構造で構成されていることを特徴とする半導体集積回路装置。
【請求項７】
請求項５または６記載の半導体集積回路装置であって、前記接続孔は、下層の接続孔の径と上層の接続孔の径が同一であることを特徴とする半導体集積回路装置。
【請求項８】
請求項１～７のいずれか１項に記載の半導体集積回路装置であって、前記半導体集積回路装置は、ゲートアレイ方式を採用する半導体集積回路装置であることを特徴とする半導体集積回路装置。
【請求項９】
請求項８記載の半導体集積回路装置であって、前記第１～第３層目配線で信号配線が構成され、前記第３層目配線よりも上層の配線で前記信号配線よりも低抵抗の配線が構成されていることを特徴とする半導体集積回路装置。
【請求項１０】
請求項９記載の半導体集積回路装置であって、ゲートアレイの論理部を構成する基本セルのセル内配線が主として前記第１層目配線で構成され、セル間配線が主として前記第２層目配線と前記第３層目配線とで構成されていることを特徴とする半導体集積回路装置。
【請求項１１】
請求項１～１０のいずれか１項に記載の半導体集積回路装置であって、各層の前記配線は、アルミニウムを主成分とする導電材料で構成されていることを特徴とする半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置およびその製造方法に関し、特に、自動配置配線システムによって５層以上の配線を形成する半導体集積回路装置に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
ゲートアレイ(Gate Array)方式を採用する論理ＬＳＩは、あらかじめＣＭＯＳＦＥＴなどの半導体素子を幾つか組み込んだ基本セルを半導体基板上に多数配置しておき、その後、この基本セル内および基本セル間を論理設計に基づいて結線することにより、所望の論理機能を実現している。
【０００３】
上記論理機能を実現するための結線は、ＣＡＤ(Computer Aided Design) を用いた自動配置配線システム（ＤＡ； Design Automation）により行われる。自動配置配線システムは、マクロセルなどを用いて設計、検証された論理回路を半導体基板上に自動的にレイアウトすると共に、この論理回路上に仮想的に設定されたＸ－Ｙ格子座標に配線を自動的にレイアウトして論理回路間を結線する。例えば３層配線構造の論理ＬＳＩの場合、第１層目配線および第３層目配線が主としてＸ格子座標に配置され、第２層目配線が主としてＹ格子座標に配置されて結線パターンが形成される。
【０００４】
そして、このように配置配線された論理回路が期待値と一致することがシミュレーションによって確認されると、その情報に基づいて結線パターンのフォトマスクが作成され、あ

らかじめ基本セルが形成された半導体基板上にウエハプロセスに従って配線が形成されることにより、所望の論理機能を備えた論理ＬＳＩが実現する。

【０００５】

上記ゲートアレイ方式を採用する論理ＬＳＩは、近年、数百万ゲートの回路を備えるようになっている。このような大規模論理ＬＳＩを１チップ上に実現するためには、例えば0.３５μｍといったディープ・サブミクロンのＣＭＯＳデザインルールを採用する必要がある。また、このような大規模論理ＬＳＩを使ってマルチメディア・システムなどを実現するためには、クロック周波数１５０～２５０MHzといった高速で論理回路を動作させる必要がある。

【０００６】

ところが、論理ＬＳＩを大規模化するためにＣＭＯＳＦＥＴを微細化し、それに合わせて配線の幅およびピッチを微細化していくと、配線抵抗および配線間容量が大きくなり、いわゆるＣＲ時定数により定まる配線遅延がゲート遅延を上回るようになる結果、システムの最高動作速度がこの配線遅延によって制約されるようになる。

【０００７】

従来、上記のような配線遅延を低減するために、配線層を３層から４層、さらには５層以上へと増やすことよって、配線領域を広げることが行われてきた。

【０００８】

例えば特開平６－１３５９０号公報に記載された論理ＬＳＩは、４層配線構造を採用し、第１層目配線を基本セル内配線に、第２層目および第３層目配線を基本セル間配線に、第４層目配線を電源配線に用いている。そして、配線の幅、ピッチおよび膜厚を上層に行くほど大きく設定し、基本セル間の距離が規定値以下のときには第２層目配線、規定値以上のときには第３層目配線を使って基本セル間を結線することにより、配線遅延の抑制を図っている。

【０００９】

特開平６－２３２２６２号公報に記載された論理ＬＳＩは、上記公報と同じく４層配線構造を採用し、第１層目配線を主として基本セル内配線に、第２層目を縦（Ｙ）方向の基本セル間配線に用いている。そして、第３層目および第４層目配線の膜厚を第１層目および第２層目配線の膜厚よりも厚くし、第３層目配線を横（Ｘ）方向の基本セル間配線やバス配線に、第４層目配線を電源配線に用いることで配線遅延の抑制を図っている。

【００１０】

特開平７－１６９８４２号公報に記載された論理ＬＳＩは、５層以上の配線構造を採用し、第１層目から第３層目までの配線のピッチを狭く（２μｍ未満）することで高集積化を実現する一方、第４層目以上の配線のピッチを広く（２μｍ以上、３μｍ未満）することで配線遅延の防止を図っている。また、第１層目から第３層目までの配線のピッチを同一とし、かつ第４層目以上の配線のピッチを同一とすることで、自動配線設計を可能としている。

【００１１】

【発明が解決しようとする課題】

前述した従来技術は、電源配線やバス配線などに用いる上層配線の膜厚、ピッチを下層の信号配線の膜厚、ピッチよりも大きくすることで配線抵抗、配線容量を低減し、配線遅延の防止を図っている。

【００１２】

しかし、上層配線と下層配線とで配線ピッチを変えると、自動配置配線システムでＸ－Ｙ格子座標に配線をレイアウトする際、上層配線と下層配線とで異なるＸ－Ｙ格子座標を使用しなければならないため、ＣＡＤの配線アルゴリズムが複雑になり、特に５層以上の多層配線を有するような大規模ゲートアレイを実現しようとする場合には、自動配線に要する時間が著しく長くなり、ゲートアレイの開発期間が長期化してしまうという問題が生じる。

【００１３】

本発明の目的は、自動配置配線システムによって５層以上の多層配線を形成する大規模論理ＬＳＩにおいて、自動配線に要する時間を短縮することのできる技術を提供することにある。

【００１４】

本発明の他の目的は、上記大規模論理ＬＳＩの動作速度を向上させることのできる技術を提供することにある。

【００１５】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１６】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１７】

本発明の半導体集積回路装置は、５層以上の配線を有し、各層の前記配線をＸ－Ｙ格子座標に自動的に配置すると共に、各層の前記配線間を前記Ｘ－Ｙ格子座標の格子点で電気的に接続する自動配置配線システムによって形成されるものであり、前記５層以上の配線のうち、第１～第３層目配線のそれぞれのピッチを同一にすると共に、前記第３層目配線よりも上層の配線のピッチを前記第１～第３層目配線のピッチの３倍以上にし、各層の前記配線を共通のＸ－Ｙ格子上に配置している。

【００１８】

本発明の半導体集積回路装置の製造方法は、前記半導体集積回路装置を製造するに際し、各層の前記配線間を電気的に分離する層間絶縁膜に化学的機械的研磨法で平坦化処理を施す工程と、前記平坦化処理を施した前記層間絶縁膜に接続孔を形成する工程と、前記接続孔を形成した前記層間絶縁膜上に導電膜を堆積した後、前記導電膜をエッチバックして前記接続孔の内部にプラグを埋め込む工程を含んでいる。

【００１９】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【００２０】

本実施の形態の半導体集積回路装置は、５層の配線を有するＣＭＯＳ(Complementary Metal Oxide Semiconductor) ゲートアレイである。このＣＭＯＳゲートアレイを形成した半導体チップを図１に示す。

【００２１】

単結晶シリコンからなる半導体チップ１の主面の中央部には、ゲートアレイの論理部を構成する多数の基本セル２がＸ（横）方向およびＹ（縦）方向に沿ってマトリクス状に配置されている。各基本セル２は、同図には示さないｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴを所定数組み合わせて構成されており、論理設計に基づいて各基本セル２内のＭＩＳＦＥＴ間および基本セル２間を結線することにより、所望の論理機能を実現している。

【００２２】

上記論理部の周囲には、複数の入出力（Ｉ／Ｏ）バッファ回路３が論理部を取り囲むように配置されている。各入出力バッファ回路３は、前記基本セル２と同様、ｎチャネル型ＭＩＳＦＥＴとｐチャネル型ＭＩＳＦＥＴを所定数組み合わせて構成されており、必要に応じて結線パターンを変えることにより、入力バッファ回路、出力バッファ回路または双方向性バッファ回路などの回路機能が形成されている。

【００２３】

上記入出力バッファ回路３の周囲、すなわち半導体チップ１の周辺部には、外部装置との

電気的な接続を取るためのボンディングパッド（外部端子）４が複数配置されている。これらのボンディングパッド４は、入出力バッファ回路３の配列に対応する位置に配置されている。

【００２４】

本実施の形態のＣＭＯＳゲートアレイは、上記半導体チップ１上に５層の配線（５０～９０）を形成し、第１～第３層目配線（５０、６０、７０）で信号配線を構成すると共に、第４および第５層目配線（８０、９０）で信号用以外の配線すなわち電源配線（ＶccおよびＧＮＤ）、クロック配線、バス配線などを構成している。

【００２５】

前記論理部を構成する各基本セル２内のＭＩＳＦＥＴ間は、Ｘ方向に延在する第１層目配線５０により結線されている。また、基本セル２間は、Ｙ方向に延在する第２層目配線６０とＸ方向に延在する第３層目配線７０とにより結線されている。第４層目配線８０は第２層目配線６０と同じくＹ方向に延在しており、第５層目配線９０は第１層目配線５０および第３層目配線７０と同じくＸ方向に延在している。これらの配線（５０～９０）の結線パターンは、ＣＡＤを用いた自動配置配線システムにより形成されている。

【００２６】

上記第１層目配線５０は、ＣＭＯＳプロセスの加工精度で決まる最小の配線幅／配線間スペースで形成されている。具体的には、第１層目配線５０は、膜厚0.５μｍ、幅0.８μｍ、配線間スペース0.６μｍで形成されている。従って、第１層目配線５０のピッチ（Ｐ）は1.４μｍである。ここで配線のピッチとは、第１層目配線５０の配線幅方向の中心位置とこれに隣接する第１層目配線５０の配線幅方向の中心位置との距離を意味している。以下、配線ピッチの定義は同様である。

【００２７】

第２層目配線６０は、膜厚0.５μｍ、幅0.８μｍ、配線間スペース0.６μｍで形成されている。また、第３層目配線７０は、膜厚0.５μｍ、幅0.８μｍ、配線間スペース0.６μｍで形成されている。従って、第２層目配線６０および第３層目配線７０のピッチ（Ｐ）は1.４μｍである。すなわち、本実施の形態のＣＭＯＳゲートアレイは、信号配線を構成する第１～第３層目配線（５０、６０、７０）の膜厚、幅、配線間スペースおよびピッチがそれぞれ同一となっている。

【００２８】

一方、第４層目配線８０は、膜厚2.０μｍ、幅2.４μｍ、配線間スペース1.８μｍで形成されている。従って、第４層目配線８０のピッチ（Ｐ’）は4.２μｍである。また、第５層目配線９０は、膜厚2.０μｍ、幅2.４μｍ、配線間スペース1.８μｍで形成されている。従って、第５層目配線９０のピッチ（Ｐ’）も4.２μｍである。すなわち、本実施の形態のＣＭＯＳゲートアレイは、電源配線、クロック配線、バス配線などを構成する第４層目配線８０および第５層目配線９０の膜厚、幅、配線間スペースおよびピッチがそれぞれ同一となっている。第４層目配線８０および第５層目配線９０のピッチ（Ｐ’＝4.２μｍ）は、信号配線を構成する前記第１～第３層目配線（５０、６０、７０）のピッチ（Ｐ＝1.４μｍ）の丁度３倍である。また、第４層目配線８０および第５層目配線９０の膜厚は、第１～第３層目配線（５０、６０、７０）の膜厚の４倍であり、幅は３倍である。

【００２９】

図２は、上記第１～第５層目配線（５０～９０）が形成された基本セル２の断面構造を示している。

【００３０】

p^-型の単結晶シリコンからなる半導体基板１Ａの主面には、ｎ型ウエル５およびｐ型ウエル６が形成されている。基本セル２の一部を構成するｎチャネル型ＭＩＳＦＥＴＱｎは、素子分離用のフィールド酸化膜７とその下部のｐ型チャネルストッパ領域５とで周囲を囲まれたｐ型ウエル６の活性領域に形成されている。ｎチャネル型ＭＩＳＦＥＴＱｎは、主としてゲート酸化膜９、ゲート電極１０および一対のｎ型半導体領域１１、１１（ソース領域およびドレイン領域）で構成されている。ゲート電極１０は、例えば多結晶シリコ

ンからなる単層膜、または多結晶シリコン膜上にタングステンシリサイド（WSi_2)などの高融点金属シリサイド膜を積層した２層膜で構成されている。

【００３１】

基本セル２の他の一部を構成するｐチャネル型ＭＩＳＦＥＴＱｐは、フィールド酸化膜７で周囲を囲まれたｎ型ウエル５の活性領域に形成されている。ｐチャネル型ＭＩＳＦＥＴＱｐは、主としてゲート酸化膜９、ゲート電極１０および一対のｐ型半導体領域１２、１２（ソース領域およびドレイン領域）で構成されている。

【００３２】

上記ｎチャネル型ＭＩＳＦＥＴＱｎおよびｐチャネル型ＭＩＳＦＥＴＱｐの上部には第１層目配線５０が形成されている。第１層目配線５０は、例えばＴｉＮ（チタンナイトライド）、Ａｌ（アルミニウム）合金およびW（タングステン）の３層膜で構成されており、前述したピッチ（Ｐ）でＸ方向に延在している。

【００３３】

第１層目配線５０は、ｎチャネル型ＭＩＳＦＥＴＱｎおよびｐチャネル型ＭＩＳＦＥＴＱｐを覆う酸化シリコン膜１３に開孔された接続孔１４を通じてｎチャネル型ＭＩＳＦＥＴＱｎのゲート電極１０、ｎ型半導体領域１１、ｐチャネル型ＭＩＳＦＥＴＱｐのゲート電極１０、ｐ型半導体領域１２のいずれかと電気的に接続されている。接続孔１４の内部にはWプラグ１５が埋め込まれている。

【００３４】

上記第１層目配線５０の上部には、第２層目配線６０が形成されている。第２層目配線６０は、第１層目配線５０と同じ導電材料（例えばＴｉＮ、Ａｌ合金およびWの３層膜）で構成されており、前述したピッチ（Ｐ）でＹ方向に延在している。

【００３５】

第２層目配線６０は、第１層目配線５０を覆う酸化シリコンからなる第１層間絶縁膜１６に開孔された接続孔１７を通じて第１層目配線５０と電気的に接続されている。接続孔１７の内部にはWプラグ１８が埋め込まれている。接続孔１７は、Ｘ方向に延在する第１層目配線５０とＹ方向に延在する第２層目配線６０とが交差する領域、すなわち自動配置配線システムのＸ－Ｙ格子座標の格子点に配置されている。

【００３６】

上記第２層目配線６０の上部には、第３層目配線７０が形成されている。第３層目配線７０は、第１層目配線５０と同じ導電材料で構成されており、前述したピッチ（Ｐ）でＸ方向に延在している。また、第３層目配線７０は、Ｘ方向に延在する前記第１層目配線５０と同一の格子上に配置されている。

【００３７】

第３層目配線７０は、第２層目配線６０を覆う酸化シリコンからなる第２層間絶縁膜１９に開孔された接続孔２０を通じて第２層目配線６０と電気的に接続されている。この接続孔２０は、前述したＸ－Ｙ格子座標の格子点に配置されている。また、接続孔２０の内部にはWプラグ２１が埋め込まれている。

【００３８】

上記第３層目配線７０の上部には、第４層目配線８０が形成されている。第４層目配線８０は、第１層目配線５０と同じ導電材料で構成されており、前述したピッチ（Ｐ’）すなわち第１～第３層目配線（５０～７０）のピッチ（Ｐ）の３倍のピッチでＹ方向に延在している。また、第４層目配線８０は、Ｙ方向に延在する前記第２層目配線６０と同一の格子上に配置されている。

【００３９】

第４層目配線８０は、第３層目配線７０を覆う酸化シリコンからなる第３層間絶縁膜２２に開孔された接続孔２３を通じて第３層目配線７０と電気的に接続されている。この接続孔２３は、前述したＸ－Ｙ格子座標の格子点に配置されている。また、接続孔２３の内部にはWプラグ２４が埋め込まれている。

【００４０】

上記第４層目配線８０の上部には、第５層目配線９０が形成されている。第５層目配線９０は、第１層目配線５０と同じ導電材料で構成されており、前述したピッチ（Ｐ’）でＸ方向に延在している。また、第５層目配線９０は、Ｘ方向に延在する前記第１層目配線５０および第３層目配線７０と同一の格子上に配置されている。

【００４１】

第５層目配線９０は、第４層目配線８０を覆う酸化シリコンからなる第４層間絶縁膜２５に開孔された接続孔２６を通じて第４層目配線８０と電気的に接続されている。この接続孔２６は、前述したＸ－Ｙ格子座標の格子点に配置されている。また、接続孔２６の内部にはＷプラグ２７が埋め込まれている。

【００４２】

上記第５層目配線９０の上部には、酸化シリコンと窒化シリコンとの２層膜などからなるパッシベーション膜が形成されているが、その図示は省略する。

【００４３】

このように、本実施の形態のＣＭＯＳゲートアレイは、信号配線を構成する第１～第３層目配線（５０、６０、７０）のそれぞれのピッチ（Ｐ）を同一にすると共に、信号用以外の配線を構成する第４層目配線８０および第５層目配線９０のそれぞれのピッチ（Ｐ’）を上記ピッチ（Ｐ）の３倍にしている。

【００４４】

また、本実施の形態のＣＭＯＳゲートアレイは、第１層目配線５０、第３層目配線７０および第５層目配線９０を同一のＸ格子上に配置し、第２層目配線６０および第４層目配線８０を同一のＹ格子上に配置している。つまり、本実施の形態のＣＭＯＳゲートアレイは、第１～第５層目配線（５０～９０）を共通のＸ－Ｙ格子上に配置している。そして、第１～第５層目配線（５０～９０）の配線間を接続する接続孔（１７、２０、２３、２６）を上記共通のＸ－Ｙ格子の格子点に配置している。

【００４５】

図３は、一例として上記第２層目配線６０に着目した場合の、第１～第３層目配線（５０、６０、７０）相互間および基板間に形成される容量の成分を示す説明図である。

【００４６】

図中のＣｊＳＤは、第１層目配線５０との間に形成される容量の平面成分、ＣｊＳＵは第３層目配線７０との間に形成される容量の平面成分をそれぞれ示している。これらの成分を小さくするためには、層間絶縁膜（１６、１９）の膜厚を厚くしたり、第２層目配線６０の幅を狭くしたりすればよい。

【００４７】

ＣｊＦＤは、第２層目配線６０の側面と第１層目配線５０との間に形成される容量成分、ＣｊＦＵは第２層目配線６０の側面と第３層目配線７０との間に形成される容量成分をそれぞれ示している。これらの成分を小さくするためには、第２層目配線６０の膜厚を薄くすればよい。

【００４８】

ＣｊＣは、隣接する第２層目配線６０同士の間に形成される容量成分を示している。この成分を小さくするためには、第２層目配線６０の膜厚を薄くしたり、配線間スペースを広くしたりすればよい。

【００４９】

以上のことから、配線容量を低減するためには、層間絶縁膜の膜厚を厚くし、配線の幅を狭く、かつ膜厚を薄くすればよいことが分かる。しかし、配線の幅と配線間スペースは、配線の集積度を支配するファクターであることから、配線の集積度（配線密度）を向上させるためには、プロセスの加工精度で決まる最小の幅／スペースで配線を形成する必要がある。

【００５０】

図４は、配線抵抗（Ｒ）と配線容量（Ｃ）との積すなわちＣＲ時定数と配線長との関係を第２層目配線６０と第４層目配線８０とで比較したグラフである。

【００５１】
このグラフから、配線長が１㎜程度と比較的短いときのＣＲ時定数は第２層目配線６０の方が小さいが、配線長がそれよりも長いときは第４層目配線８０の方が小さいことが分かる。これは、配線長が短いときは容量成分が支配的となり、長いときは抵抗成分が支配的となることによる。
【００５２】
このことから、配線を高密度化してゲートアレイの大規模化を推進し、かつ配線遅延を抑制して動作速度を向上させるためには、配線長が短い配線はその幅を狭く、かつ膜厚を薄くすることによって配線容量の平面成分および側面成分を可能な限り小さくし、配線長が長い配線はその幅を広く、かつ膜厚を厚くすることによって抵抗を小さくすればよいことが分かる。
【００５３】
ここで、第４層目配線８０および第５層目配線９０の配線ピッチを第１～第３層目配線（５０、６０、７０）の配線ピッチと同じにした場合には、図５に示すように、隣接する配線同士の間に形成される容量成分（ＣｊＣ）は、配線の膜厚が厚い分、大きくなってしまうが、配線ピッチを３倍以上とすれば、容量は約３分の１程度に減少することが分かる。
【００５４】
本実施の形態のＣＭＯＳゲートアレイによれば、容量成分が支配的となる第１～第３層目配線（５０、６０、７０）を、ＣＭＯＳプロセスの加工精度で決まる最小の配線幅／配線間スペースで形成しているため、配線を高密度化してゲートアレイの大規模化を推進することができる。
【００５５】
また、本実施の形態のＣＭＯＳゲートアレイによれば、抵抗成分が支配的となる第４層目配線８０および第５層目配線９０のピッチ（Ｐ’）を第１～第３層目配線（５０、６０、７０）のピッチ（Ｐ）の３倍にしているので、第４層目配線８０および第５層目配線９０の膜厚を厚く、幅および配線間スペースを十分に広くすることができる。これにより、第４層目配線８０および第５層目配線９０の配線抵抗および配線容量を低減してゲートアレイの動作速度を向上させることができる。
【００５６】
また、本実施の形態のＣＭＯＳゲートアレイによれば、第１～第５層目配線（５０～９０）を共通のＸ－Ｙ格子上に配置することにより、自動配置配線システムでＸ－Ｙ格子座標に配線をレイアウトする際の配線アルゴリズムが簡略化される。これにより、自動配線に要する時間が短縮されるので、ゲートアレイの開発期間を短縮することができる。
【００５７】
図６は、ＣＡＤを用いた自動配置配線システム（ＤＡ）による配線形成プロセスのフロー図である。その概要を簡単に説明すると、まず、ゲートアレイを構成する論理回路の設計を行った後、この論理回路に論理シミュレーションを施して論理機能の動作検証を行い、最終的な論理機能を決定する（１００）。
【００５８】
次に、ＣＡＤを用い、上記の論理機能に基づいてＸ－Ｙ格子座標上に配線および接続孔を自動的に配置する（２００）。
【００５９】
次に、Ｘ－Ｙ格子座標上に自動配置された上記配線および接続孔を三次元的に分割する。すなわち、自動配置配線システムのプログラム上において、第１～第５層目配線（５０～９０）および接続孔（１７、２０、２３、２６）の識別を行う（３００）。
【００６０】
次に、前記自動配置工程（２００）で形成された結線パターンのレイアウトルールの違反チェックを行う（４００）。この違反チェックは、主にウエハプロセスにおいて問題なく上記結線パターン通りに配線が形成できるか否かをチェックするものであり、この違反チェックで不良とされた場合には、結線パターンの修正を行い、再度この違反チェックを行

う。
【００６１】
次に、前記自動配置配線システムの情報に基づいてマスクパターンが発生する（５００）。ここまでが自動配置配線システム（ＤＡ）による配線形成プロセスの概要である。
【００６２】
その後、上記マスクパターンの情報に基づき、電子線描画装置などを用いて第１～第５層目配線（５０～９０）のパターンを形成したフォトマスクおよび接続孔（１７、２０、２３、２６）のパターンを形成したフォトマスクを製作し（６００）、これらのフォトマスクを使って半導体基板上に第１～第５層目配線（５０～９０）および接続孔（１７、２０、２３、２６）を形成する（７００）。
【００６３】
次に、本実施の形態のＣＭＯＳゲートアレイの製造プロセス（ウエハプロセス）を図７～図１６を用いて説明する。
【００６４】
まず、図７に示すように、あらかじめ周知のＣＭＯＳプロセスを用いてｎチャネル型ＭＩＳＦＥＴＱｎおよびｐチャネル型ＭＩＳＦＥＴＱｐを形成した半導体基板１Ａを用意する。
【００６５】
次に、図８に示すように、ｎチャネル型ＭＩＳＦＥＴＱｎおよびｐチャネル型ＭＩＳＦＥＴＱｐの上部に第１層目配線５０を形成する。第１層目配線５０を形成するには、まず、ｎチャネル型ＭＩＳＦＥＴＱｎおよびｐチャネル型ＭＩＳＦＥＴＱｐの上部にＣＶＤ法で酸化シリコン膜１３を堆積し、次いでフォトレジストをマスクにして酸化シリコン膜１３をエッチングし、ｎチャネル型ＭＩＳＦＥＴＱｎのゲート電極１０、ｎ型半導体領域１１、ｐチャネル型ＭＩＳＦＥＴＱｐのゲート電極１０、ｐ型半導体領域１２のいずれかの上部に接続孔１４を形成する。次に、酸化シリコン膜１３の上部にＣＶＤ法でW膜を堆積した後、酸化シリコン膜１３上のW膜をエッチバックして接続孔１４の内部にWプラグ１５を形成する。その後、酸化シリコン膜１３の上部にスパッタリング法でＴｉＮ膜、Ａｌ合金膜およびW膜を堆積し、フォトレジストをマスクにしてこれらの膜をパターニングする。
【００６６】
次に、図９に示すように、第１層目配線５０の上部にＣＶＤ法で酸化シリコンからなる第１層間絶縁膜１６Ａを堆積した後、化学的機械研磨(Chemical Mechanical Polishing; ＣＭＰ）法を用いてこの第１層間絶縁膜１６Ａを平坦化する。
【００６７】
次に、図１０に示すように、第１層間絶縁膜１６Ａの上部にＣＶＤ法で酸化シリコンからなる第１層間絶縁膜１６Ｂを堆積し、この第１層間絶縁膜１６Ｂと下層の第１層間絶縁膜１６Ａとで第１層間絶縁膜１６を形成する。第１層間絶縁膜１６は下層の第１層間絶縁膜１６Ａの表面が平坦化されているので、第１層目配線５０による配線段差が緩和され、その表面が平坦になる。また、第１層間絶縁膜１６は前記化学的機械研磨処理によって膜厚が薄くなった第１層間絶縁膜１６Ａの上部に第１層間絶縁膜１６Ｂを堆積して形成するので、十分な膜厚を確保することができ、配線容量を低減することができる。
【００６８】
次に、図１１に示すように、第１層間絶縁膜１６の上部に第２層目配線６０を形成する。第２層目配線６０を形成するには、まず、フォトレジストをマスクにして第１層間絶縁膜１６をエッチングし、第１層目配線５０に達する接続孔１７を形成する。次に、第１層間絶縁膜１６の上部にＣＶＤ法でW膜を堆積した後、第１層間絶縁膜１６上のW膜をエッチバックして接続孔１７の内部にWプラグ１８を形成する。その後、第１層間絶縁膜１６の上部にスパッタリング法でＴｉＮ膜、Ａｌ合金膜およびW膜を堆積し、フォトレジストをマスクにしてこれらの膜をパターニングする。
【００６９】

第１層目配線５０とＭＩＳＦＥＴを接続する前記接続孔１４の内部にはWプラグ１５が埋め込まれているので、接続孔１４の上部の第１層目配線５０は、その表面が平坦になっている。そのため、この接続孔１４の上部に第２層目配線６０と第１層目配線５０とを接続する接続孔１７を配置する、いわゆるスタックド・ビア(Stacked Via) 構造を容易に実現することができる。

【００７０】

また、第１層間絶縁膜１６の表面は、前記化学的機械研磨処理によって平坦化されているので、第１層間絶縁膜１６に接続孔１７を形成する際に、フォトマスクの焦点深度を十分に確保することができる。これにより、第１層間絶縁膜１６に第１層目配線５０とＭＩＳＦＥＴを接続する前記接続孔１４と同じ径の微細な接続孔１７を形成することができる。

【００７１】

次に、図１２に示すように、第２層目配線６０の上部に第２層間絶縁膜１９を形成する。第２層間絶縁膜１９は、前記第１層間絶縁膜１６と同様、ＣＶＤ法で堆積した酸化シリコンからなる第２層間絶縁膜１９Ａを化学的機械研磨法で平坦化した後、その上部にＣＶＤ法で酸化シリコンからなる第２層間絶縁膜１９Ｂを堆積して形成する。

【００７２】

次に、図１３に示すように、第２層間絶縁膜１９の上部に第３層目配線７０を形成する。第３層目配線７０を形成するには、まず、フォトレジストをマスクにして第２層間絶縁膜１９をエッチングし、第２層目配線６０に達する接続孔２０を形成する。次に、第２層間絶縁膜１９の上部にＣＶＤ法でW膜を堆積した後、第２層間絶縁膜１９上のW膜をエッチバックして接続孔２０の内部にWプラグ２１を形成する。その後、第２層間絶縁膜１９の上部にスパッタリング法でＴｉＮ膜、Ａｌ合金膜およびW膜を堆積し、フォトレジストをマスクにしてこれらの膜をパターニングする。

【００７３】

第２層目配線６０と第１層目配線５０を接続する前記接続孔１７の内部にはWプラグ１８が埋め込まれているので、接続孔１７の上部の第２層目配線６０は、その表面が平坦になっている。そのため、この接続孔１７の上部に第３層目配線７０と第２層目配線６０とを接続する接続孔２０を配置するスタックド・ビア構造を容易に実現することができる。

【００７４】

また、第２層間絶縁膜１９の表面は、前記化学的機械研磨処理によって平坦化されているので、第２層間絶縁膜１９に接続孔２０を形成する際に、フォトマスクの焦点深度を十分に確保することができる。これにより、第２層間絶縁膜１９に下層の接続孔１７と同じ径の微細な接続孔２０を形成することができる。

【００７５】

次に、図１４に示すように、第３層目配線７０の上部に第３層間絶縁膜２２を形成する。第３層間絶縁膜２２は、前記第２層間絶縁膜１９と同様、ＣＶＤ法で堆積した酸化シリコンからなる第３層間絶縁膜２２Ａを化学的機械研磨法で平坦化した後、その上部にＣＶＤ法で酸化シリコンからなる第３層間絶縁膜２２Ｂを堆積して形成する。

【００７６】

次に、図１５に示すように、第３層間絶縁膜２２の上部に第４層目配線８０を形成する。第４層目配線８０を形成するには、まず、フォトレジストをマスクにして第３層間絶縁膜２２をエッチングし、第３層目配線７０に達する接続孔２３を形成する。次に、第３層間絶縁膜２２の上部にＣＶＤ法でW膜を堆積した後、第３層間絶縁膜２２上のW膜をエッチバックして接続孔２３の内部にWプラグ２４を形成する。その後、第３層間絶縁膜２２の上部にスパッタリング法でＴｉＮ膜、Ａｌ合金膜およびW膜を堆積し、フォトレジストをマスクにしてこれらの膜をパターニングする。

【００７７】

第３層目配線７０と第２層目配線６０を接続する前記接続孔２０の内部にはWプラグ２１が埋め込まれているので、接続孔２０の上部の第３層目配線７０は、その表面が平坦になっている。そのため、この接続孔２０の上部に第４層目配線８０と第３層目配線７０とを

接続する接続孔２３を配置するスタックド・ビア構造を容易に実現することができる。

【００７８】

また、第３層間絶縁膜２２の表面は、前記化学的機械研磨処理によって平坦化されているので、第３層間絶縁膜２２に接続孔２３を形成する際に、フォトマスクの焦点深度を十分に確保することができる。これにより、第３層間絶縁膜２２に下層の接続孔２０と同じ径の微細な接続孔２３を形成することができる。

【００７９】

次に、図１６に示すように、第４層目配線８０の上部に第４層間絶縁膜２５を形成する。第４層間絶縁膜２５は、前記第３層間絶縁膜２２と同様、ＣＶＤ法で堆積した酸化シリコンからなる第４層間絶縁膜２５Ａを化学的機械研磨法で平坦化した後、その上部にＣＶＤ法で酸化シリコンからなる第４層間絶縁膜２５Ｂを堆積して形成する。

【００８０】

その後、第４層間絶縁膜２５の上部に第５層目配線９０を形成することにより、前記図２に示す本実施の形態のＣＭＯＳゲートアレイが略完成する。

【００８１】

第５層目配線９０を形成するには、まず、フォトレジストをマスクにして第４層間絶縁膜２５をエッチングし、第４層目配線８０に達する接続孔２６を形成する。次に、第４層間絶縁膜２５の上部にＣＶＤ法でW膜を堆積した後、第４層間絶縁膜２５上のW膜をエッチバックして接続孔２６の内部にWプラグ２７を形成する。その後、第４層間絶縁膜２５の上部にスパッタリング法でＴｉＮ膜、Ａｌ合金膜およびW膜を堆積し、フォトレジストをマスクにしてこれらの膜をパターニングする。

【００８２】

第４層目配線８０と第３層目配線７０を接続する前記接続孔２３の内部にはWプラグ２４が埋め込まれているので、接続孔２３の上部の第４層目配線８０は、その表面が平坦になっている。そのため、この接続孔２３の上部に第５層目配線９０と第４層目配線８０とを接続する接続孔２６を配置するスタックド・ビア構造を容易に実現することができる。

【００８３】

また、第４層間絶縁膜２５の表面は、前記化学的機械研磨処理によって平坦化されているので、第４層間絶縁膜２５に接続孔２６を形成する際に、フォトマスクの焦点深度を十分に確保することができる。これにより、第４層間絶縁膜２５に下層の接続孔２３と同じ径の微細な接続孔２６を形成することができる。

【００８４】

上記した製造方法によれば、第１～第５層目配線（５０～９０）間を接続する接続孔（１７、２０、２３、２６）をスタックド・ビア構造とすることにより、接続孔（１７、２０、２３、２６）が配置される格子点の数を大幅に少なくすることができるので、その分、配線領域を広く確保することができ、配線設計の自由度を向上させることができる。

【００８５】

また、上記した製造方法によれば、第１～第３層目配線（５０、６０、７０）の膜厚、幅、配線間スペースおよびピッチがそれぞれ同一となっており、かつ第４層目配線８０および第５層目配線９０の膜厚、幅、配線間スペースおよびピッチがそれぞれ同一となっていることや、第１～第５層目配線（５０～９０）間を接続する接続孔（１７、２０、２３、２６）の径が同一となっていることなどにより、製造プロセスが簡略化されるため、ＣＭＯＳゲートアレイの製造歩留まりを向上させることができる。

【００８６】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００８７】

前記実施の形態では、５層配線構造のゲートアレイについて説明したが、６層以上の配線構造のゲートアレイに適用することもできる。この場合も、信号配線を構成する第１～第

３層目配線のピッチを同一にすると共に、信号以外の低抵抗配線を構成する第４層目以上の配線のピッチを上記ピッチの３倍以上とし、各層の配線を共通のＸ－Ｙ格子上に配置することにより、動作速度の向上した大規模ゲートアレイを短期間で開発することができる。第４層目以上の配線のピッチは、第１～第３層目配線のピッチの３倍に限らず、４倍、５倍またはそれ以上にすることができる。

【００８８】

また、基本セルを構成するＭＩＳＦＥＴのソース、ドレイン領域をシリサイド化する、層間絶縁膜を酸化シリコンよりも低誘電率の絶縁材料で構成する、配線をＡｌよりも電気抵抗が小さい銅（Ｃｕ）で構成する、などといった技術を付加することにより、動作速度がさらに向上した大規模ゲートアレイを実現することができる。

【００８９】

前記実施の形態ではＣＭＯＳゲートアレイについて説明したが、本発明は、エンベッデッドアレイ、セルベースＩＣなどの各種特定用途向けＩＣに適用することができる。本発明は、少なくとも５層以上の配線を有し、各層の配線を自動配置配線システムによって配置する半導体集積回路装置に広く適用することができる。

【００９０】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【００９１】

本発明によれば、５層以上の配線を有し、各層の配線を自動配置配線システムによって配置する半導体集積回路装置において、信号配線を構成する第１～第３層目配線のピッチを同一にすると共に、信号以外の配線を構成する第４層目以上の配線のピッチを上記ピッチの３倍以上とすることにより、動作速度の向上した大規模半導体集積回路装置を実現することができる。

【００９２】

また、上記各層の配線を共通のＸ－Ｙ格子上に配置することにより、自動配置配線システムによって配線を配置する時間が短縮されるので、上記半導体集積回路装置を短期間で開発することができる。

【００９３】

また、上記各層の配線間を接続する接続孔をスタックド・ビア構造とすることにより、接続孔が配置される格子点の数を大幅に少なくすることができるので、自動配置配線システムを用いた論理設計の自由度が向上する。

【図面の簡単な説明】

【図１】本発明の実施の形態である半導体集積回路装置が形成された半導体チップの平面図である。

【図２】本発明の実施の形態である半導体集積回路装置の要部断面図である。

【図３】配線相互間および基板間に形成される容量成分を示す説明図である。

【図４】ＣＲ時定数と配線長との関係を示すグラフである。

【図５】配線ピッチと配線容量との関係を示すグラフである。

【図６】ＣＡＤを用いた自動配置配線システムによる配線形成プロセスのフロー図である。

【図７】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

【図８】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

【図９】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

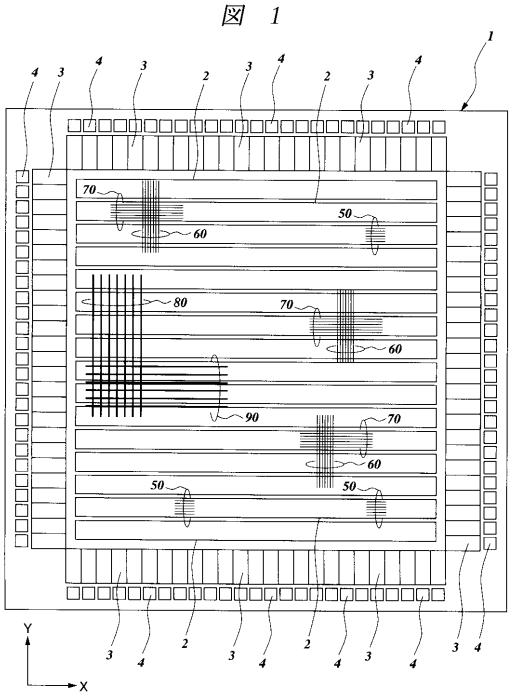
【図１０】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

【図１１】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。
【図１２】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。
【図１３】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。
【図１４】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。
【図１５】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。
【図１６】本発明の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。
【符号の説明】
１　半導体チップ
１Ａ　半導体基板
２　基本セル
３　入出力バッファ回路
４　ボンディングパッド（外部端子）
５　ｎ型ウエル
６　ｐ型ウエル
７　フィールド酸化膜
８　ｐ型チャネルストッパ領域
９　ゲート酸化膜
１０　ゲート電極
１１　ｎ型半導体領域（ソース領域、ドレイン領域）
１２　ｐ型半導体領域（ソース領域、ドレイン領域）
１３　酸化シリコン膜
１４　接続孔
１５　Ｗプラグ
１６　第１層間絶縁膜
１６Ａ　第１層間絶縁膜
１６Ｂ　第１層間絶縁膜
１７　接続孔
１８　Ｗプラグ
１９　第２層間絶縁膜
１９Ａ　第２層間絶縁膜
１９Ｂ　第２層間絶縁膜
２０　接続孔
２１　Ｗプラグ
２２　第３層間絶縁膜
２２Ａ　第３層間絶縁膜
２２Ｂ　第３層間絶縁膜
２３　接続孔
２４　Ｗプラグ
２５　第４層間絶縁膜
２５Ａ　第４層間絶縁膜
２５Ｂ　第４層間絶縁膜
２６　接続孔
２７　Ｗプラグ
５０　第１層目配線

６０　第２層目配線
７０　第３層目配線
８０　第４層目配線
９０　第５層目配線
Ｑｎ　ｎチャネル型ＭＩＳＦＥＴ
Ｑｐ　ｐチャネル型ＭＩＳＦＥＴ

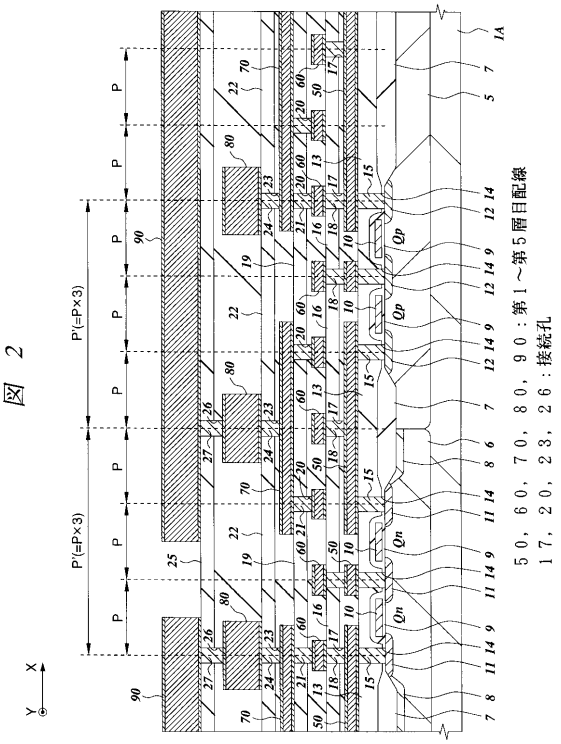
【図１】

図 1



【図２】

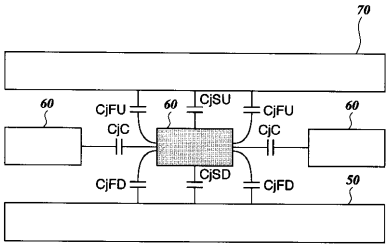
図 2



５０，６０，７０，８０，９０：第１～第５層目配線
１７，２０，２３，２６：接続孔

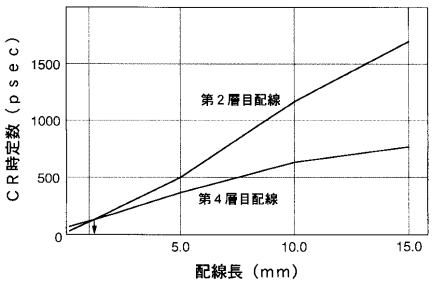
【図３】

図 3



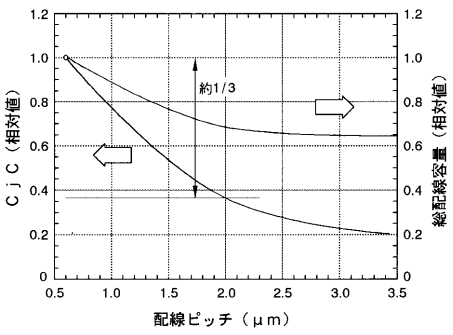
【図４】

図 4



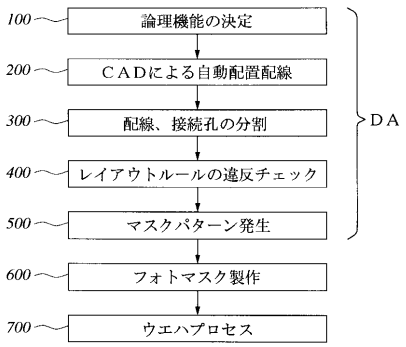
【図５】

図 5



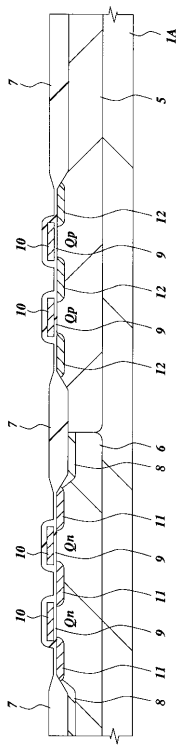
【図６】

図 6



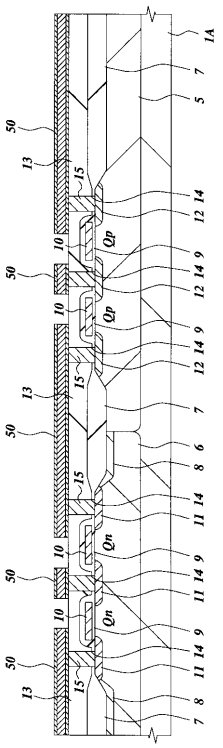
【図７】

図 7



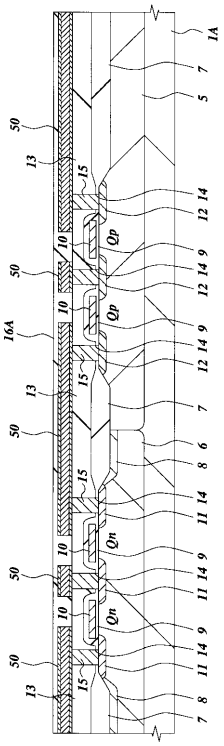
【図８】

図 8



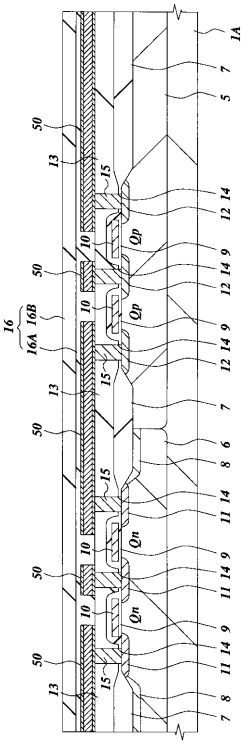
【図９】

図 9



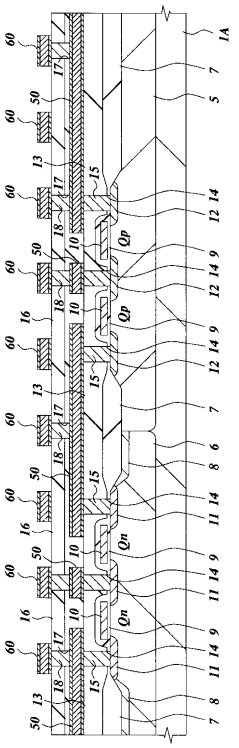
【図１０】

図 10



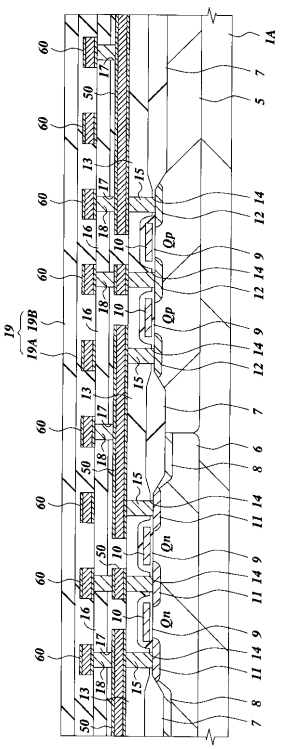
【図１１】

図 11



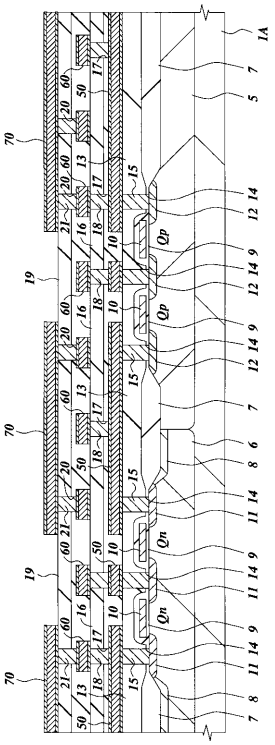
【図１２】

図 12



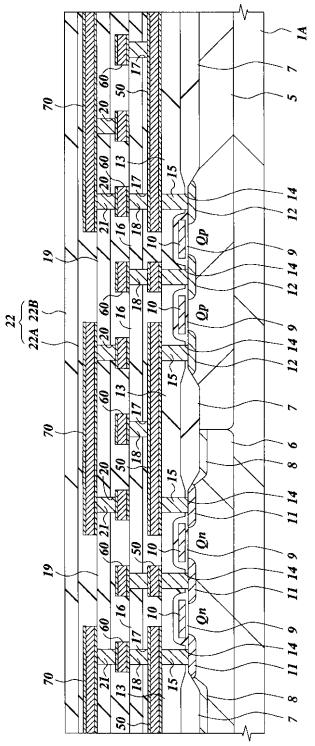
【図１３】

図 13



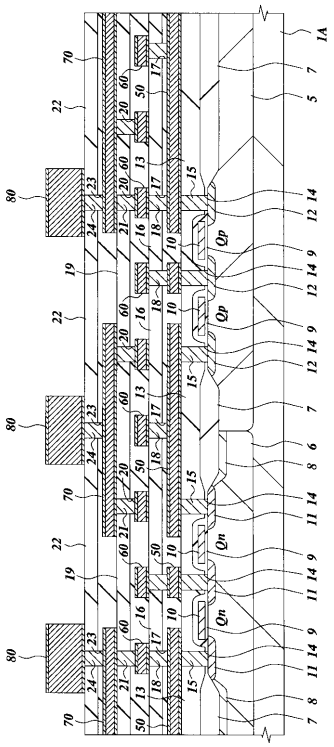
【図１４】

図 14



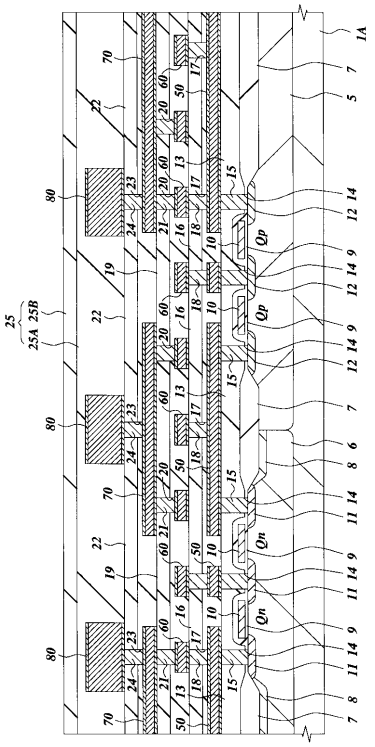
【図１５】

図 15



【図１６】

図 16



フロントページの続き

(72)発明者　小笠原　茂雄
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　林　崇弘
東京都小平市上水本町５丁目２２番１号　株式会社日立マイコンシステム内
(72)発明者　三木　維康
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　片桐　光昭
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　高橋　卯
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　瀧内　健夫

(56)参考文献　特開平０２－１０６９６８（ＪＰ，Ａ）
特開平０７－１６９８４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/768
H01L 21/82
H01L 27/118