

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月30日(30.12.2020)



(10) 国際公開番号

WO 2020/262583 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2020/025146
- (22) 国際出願日: 2020年6月26日(26.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-119167 2019年6月26日(26.06.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 宮崎 俊彦 (MIYAZAKI Toshihiko); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 川原 雄基(KAWAHARA Yuki); 〒2430014 神奈川県厚木市旭町四丁目1

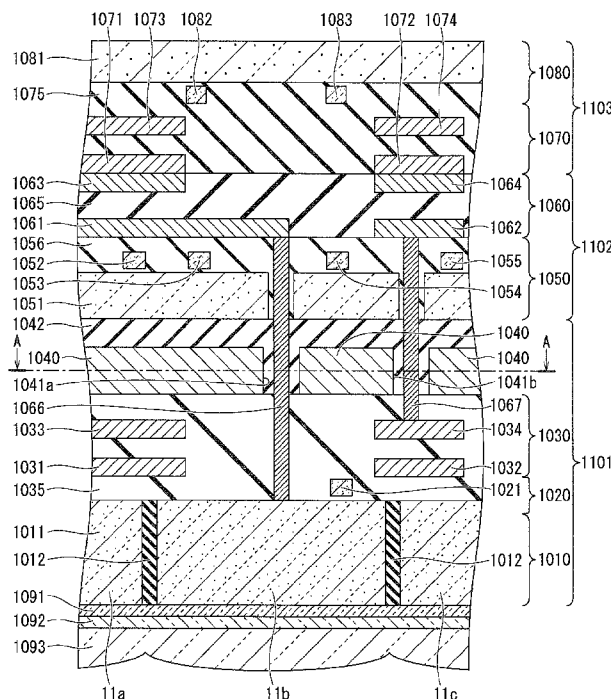
4番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 鈴木 毅(SUZUKI Tsuyoshi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 飯島 匡(IIJIMA Tadashi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: The present invention provides a semiconductor device having a multilayer structure composed of a plurality of substrates, wherein: propagation of noise or heat between elements that are formed on upper and lower substrates is able to be suppressed; and deterioration of the characteristics of the elements is also able to be suppressed. This semiconductor device is provided with: a first substrate which comprises a first element layer that contains a first active element, a first wiring layer that is arranged on the first element layer, and a shield layer that is arranged on the first wiring layer and contains a conductive material; and a second substrate which comprises a second element layer that is arranged on the shield layer and contains a second active element, and a second wiring layer that is arranged on the second element layer. The first substrate and the second substrate are stacked upon each other.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 複数の基板の積層構造において、上下の基板に形成された素子間のノイズや熱の伝播を抑制することができ、素子の特性の劣化を抑制することができる半導体装置を提供する。半導体装置は、第1能動素子を含む第1素子層と、第1素子層上に配置された第1配線層と、第1配線層上に配置された導電性材料を含むシールド層とを含む第1基板と、シールド層上に配置された第2能動素子を含む第2素子層と、第2素子層上に配置された第2配線層とを含む第2基板とを備え、第1基板と第2基板とが積層されて構成されている。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本開示に係る技術（本技術）は、半導体装置及びその製造方法に関する。

背景技術

[0002] 従来、トランジスタ等の素子がそれぞれ形成された複数の基板を積層することにより、縦方向に素子密度を増大させる方法が知られている（特許文献1参照）。この方法では、平面を1面使用するだけでなく、積層する毎に2面、3面と素子数を増大させることが特徴である。面積が限られている素子に使用する場合、素子を増大させ、複雑な回路を小さい面積に構成することができる。

[0003] イメージセンサでは、画素サイズが固定されており、画素毎に形成する素子面積が画素サイズに限定されている。そのため、素子の大きさを自由に変更できず、更に回路を複雑にするために素子数を増やすことには限界があるため、イメージセンサのような素子面積が制限されているデバイスには、複数の基板の積層構造による素子面積の増大は非常に有益な方法となる。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-99582号公報

発明の概要

発明が解決しようとする課題

[0005] 複数の基板の積層構造では、上下の基板に形成された素子間で電磁波、赤外線、サージ等のノイズや熱が相互に伝播し、素子の特性が劣化する可能性がある。

[0006] 本技術は、複数の基板の積層構造において、上下の基板に形成された素子間のノイズや熱の伝播を抑制することができ、素子の特性の劣化を抑制することができる半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

- [0007] 本技術の一態様に係る半導体装置は、第1能動素子を含む第1素子層と、第1素子層上に配置された第1配線層と、第1配線層上に配置された導電性材料を含むシールド層とを含む第1基板と、シールド層上に配置された第2能動素子を含む第2素子層と、第2素子層上に配置された第2配線層とを含む第2基板とを備え、第1基板と第2基板とが積層されて構成されていることを要旨とする。
- [0008] 本技術の他の態様に係る半導体装置の製造方法は、第1能動素子を含む第1素子層上に第1配線層を形成し、第1配線層上に導電性材料を含むシールド層を形成することにより、第1素子層、第1配線層及びシールド層を含む第1基板を形成し、第2能動素子を含む第2素子層を形成した第2基板を用意し、第1基板のシールド層側に、第2基板の前記第2素子層側を張り合わせるることにより、シールド層上に第2素子層を形成し、第2素子層上に第2配線層を形成することを要旨とする。
- [0009] 本技術の他の態様に係る半導体装置は、第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層とを含む第1基板と、第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、前記第1基板と前記第2基板とが積層されて構成されており、前記第1基板と前記第2基板との間に導電性材料を含む電磁遮蔽層を備えていることを要旨とする。
- [0010] 本技術の他の態様に係る半導体装置の製造方法は、第1能動素子を含む第1素子層上に第1配線層を形成することにより、前記第1素子層及び前記第1配線層を含む第1基板を形成し、第2基板を用意し、前記第1基板または前記第2基板に導電性材料を含む電磁遮蔽層を形成し、前記電磁遮蔽層を介して前記第1基板と前記第2基板を貼り合わせ、前記第2基板上に、第2能動素子を含む第2素子層を形成し、前記第2素子層上に第2配線層を形成することを要旨とする。
- [0011] 本技術の他の態様に係る半導体装置は、第1能動素子を含む第1素子層と

、前記第1素子層上に配置された第1配線層と、前記第1素子層下に配置された光電変換部とを含む第1基板と、第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、前記第1基板と前記第2基板とが積層されて構成されており、前記第2能動素子と前記光電変換部との間に周囲より屈折率が高い材料で構成された光減衰部を備えていることを要旨とする。

[0012] 本技術の他の態様に係る半導体装置の製造方法は、第1能動素子を含む第1素子層上に第1配線層を形成し、前記第1素子層下に光電変換部を形成することにより、前記第1素子層、前記第1配線層及び前記光電変換部を含む第1基板を形成し、第2基板を用意し、前記第2基板に周囲より屈折率が高い材料で構成された光減衰部を形成し、前記第1基板と前記第2基板の前記光減衰部側を貼り合わせ、前記第2基板上に、第2能動素子を含む第2素子層を形成し、前記第2素子層上に第2配線層を形成することを要旨とする。

[0013] 本技術の他の態様に係る半導体装置は、第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1素子層下に配置された光電変換部とを含む第1基板と、第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板と、前記第2基板に含まれる半導体材料よりも屈折率が低い材料からなる反射防止部とを備え、前記第1基板と前記第2基板とが積層されて構成されており、少なくとも前記第2能動素子と前記光電変換部との間に前記反射防止部が配置されていることを要旨とする。

[0014] 本技術の他の態様に係る半導体装置の製造方法は、第1能動素子を含む第1素子層上に第1配線層を形成し、前記第1素子層下に光電変換部を形成することにより、前記第1素子層、前記第1配線層及び前記光電変換部を含む第1基板を形成し、第2基板を用意し、前記第2基板に含まれる半導体材料よりも屈折率が低い材料からなる反射防止部を前記第2基板に形成し、前記第1基板と前記第2基板の前記反射防止部側を貼り合わせ、前記第2基板上

に、第2能動素子を含む第2素子層を形成し、前記第2素子層上に第2配線層を形成することを要旨とする。

図面の簡単な説明

[0015] [図1]本技術の第1実施形態に係る撮像装置の概略構成の一例を表す図である。

[図2]図1のセンサ画素および読み出し回路の一例を表す図である。

[図3]複数の読み出し回路と複数の垂直信号線との接続態様の一例を表す図である。

[図4]図1の撮像装置の垂直方向の断面構成の一例を表す図である。

[図5]図1の撮像装置の垂直方向の断面構成の一例を表す図である。

[図6]図1の撮像装置の水平方向の断面構成の一例を表す図である。

[図7]図1の撮像装置の水平方向の断面構成の一例を表す図である。

[図8]図1の撮像装置の水平方向の断面構成の一例を表す図である。

[図9]図1の撮像装置の水平方向の断面構成の一例を表す図である。

[図10]上記実施の形態およびその変形例に係る撮像装置を備えた撮像装置の回路構成の一例を表す図である。

[図11]図10の撮像装置を3つの基板を積層して構成した例を表す図である。

[図12]ロジック回路を、センサ画素の設けられた基板と、読み出し回路の設けられた基板とに分けて形成した例を表す図である。

[図13]ロジック回路を、第3基板に形成した例を表す図である。

[図14]上記実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。

[図15]図14の撮像システムにおける撮像手順の一例を表す図である。

[図16]本技術の第1実施形態に係る半導体装置の概略構成図である。

[図17]本技術の第1実施形態に係る半導体装置の基板積層化の概念図である。

[図18]本技術の第1実施形態に係る半導体装置の画素領域の等価回路である。

。

[図19]本技術の第1実施形態に係る半導体装置の画素領域の要部断面図である。

[図20]図19のA-A方向から見た水平方向の断面図である。

[図21]本技術の第1実施形態に係る半導体装置の製造方法の工程断面図である。

[図22]本技術の第1実施形態に係る半導体装置の製造方法の図21に引き続く工程断面図である。

[図23]本技術の第1実施形態に係る半導体装置の製造方法の図22に引き続く工程断面図である。

[図24]本技術の第1実施形態に係る半導体装置の製造方法の図23に引き続く工程断面図である。

[図25]本技術の第1実施形態に係る半導体装置の製造方法の図24に引き続く工程断面図である。

[図26]本技術の第1実施形態に係る半導体装置の製造方法の図25に引き続く工程断面図である。

[図27]本技術の第1実施形態に係る半導体装置の製造方法の図26に引き続く工程断面図である。

[図28]本技術の第1実施形態に係る半導体装置の製造方法の図27に引き続く工程断面図である。

[図29]本技術の第1実施形態に係る半導体装置の製造方法の図28に引き続く工程断面図である。

[図30]本技術の第1実施形態に係る半導体装置の製造方法の図29に引き続く工程断面図である。

[図31]本技術の第1実施形態に係る半導体装置の製造方法の図30に引き続く工程断面図である。

[図32]本技術の第1実施形態に係る半導体装置の製造方法の図31に引き続く工程断面図である。

[図33]本技術の第2実施形態に係る半導体装置の画素領域の要部断面図である。

[図34]図33のA-A方向から見た水平方向の断面図である。

[図35A]本技術の第3実施形態に係る半導体装置の画素領域の要部断面図である。

[図35B]本技術の第3実施形態に係る半導体装置の電磁遮蔽層1302と第1能動素子1221の位置関係を示す模式図である。

[図36A]本技術の第3実施形態に係る半導体装置の製造方法の工程断面図である。

[図36B]本技術の第3実施形態に係る半導体装置の製造方法の工程断面図である。

[図36C]本技術の第3実施形態に係る半導体装置の製造方法の工程断面図である。

[図36D]本技術の第3実施形態に係る半導体装置の製造方法の工程断面図である。

[図37]本技術の第3実施形態の変形例1に係る半導体装置の製造方法を示す模式断面図である。

[図38]本技術の第3実施形態の変形例2に係る半導体装置の画素領域の要部断面図である。

[図39]本技術の第3実施形態の変形例3に係る半導体装置の電磁遮蔽層1302を示す模式断面図である。

[図40A]本技術の第3実施形態の変形例4に係る半導体装置の電磁遮蔽層1302を示す模式断面図であり、画素領域の要部断面図である。

[図40B]本技術の第3実施形態の変形例4に係る半導体装置の電磁遮蔽層1302と第1能動素子1221の位置関係を示す模式図である。

[図41A]本技術の第3実施形態の変形例5に係る半導体装置の電磁遮蔽層1302を示す模式断面図であり、画素領域の要部断面図である。

[図41B]本技術の第3実施形態の変形例5に係る半導体装置の電磁遮蔽層13

02を示す模式断面図であり、電磁遮蔽層1302と第1能動素子1221の位置関係を示す模式図である。

[図42]本技術の第4実施形態に係る半導体装置の画素領域の要部断面図である。

[図43A]光減衰部1501, 1502の周囲を拡大して示す模式図であり、図43Aは光減衰部1501, 1502に入射した光の経路を示す断面図である。

[図43B]光減衰部1501, 1502の周囲を拡大して示す模式図であり、光減衰部1501, 1502の配置例を示す模式上面図である。

[図44A]本技術の第4実施形態に係る半導体装置の製造方法の工程断面図である。

[図44B]本技術の第4実施形態に係る半導体装置の製造方法の図44Aに引き続く工程断面図である。

[図44C]本技術の第4実施形態に係る半導体装置の製造方法の図44Bに引き続く工程断面図である。

[図45D]本技術の第4実施形態に係る半導体装置の製造方法の図44Cに引き続く工程断面図である。

[図45E]本技術の第4実施形態に係る半導体装置の製造方法の図45Dに引き続く工程断面図である。

[図45F]本技術の第4実施形態に係る半導体装置の製造方法の図45Eに引き続く工程断面図である。

[図46G]本技術の第4実施形態に係る半導体装置の製造方法の図45Fに引き続く工程断面図である。

[図46H]本技術の第4実施形態に係る半導体装置の製造方法の図46Gに引き続く工程断面図である。

[図47I]本技術の第4実施形態に係る半導体装置の製造方法の図46Hに引き続く工程断面図である。

[図47J]本技術の第4実施形態に係る半導体装置の製造方法の図47Iに引き

続く工程断面図である。

[図48]本技術の第4実施形態の変形例1に係る半導体装置の部分拡大断面図である。

[図49]本技術の第4実施形態の変形例2に係る半導体装置の部分拡大断面図である。

[図50A]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の工程断面図である。

[図50B]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図50Aに引き続く工程断面図である。

[図50C]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図50Bに引き続く工程断面図である。

[図51D]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図50Cに引き続く工程断面図である。

[図51E]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図51Dに引き続く工程断面図である。

[図51F]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図51Eに引き続く工程断面図である。

[図52G]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図51Fに引き続く工程断面図である。

[図52H]本技術の第4実施形態の変形例2に係る半導体装置の製造方法の図52Gに引き続く工程断面図である。

[図53]本技術の第4実施形態の変形例3に係る半導体装置の部分拡大断面図である。

[図54A]本技術の第4実施形態の変形例3に係る半導体装置の製造方法の工程断面図である。

[図54B]本技術の第4実施形態の変形例3に係る半導体装置の製造方法の図54Aに引き続く工程断面図である。

[図54C]本技術の第4実施形態の変形例3に係る半導体装置の製造方法の図5

4 B に引き続く工程断面図である。

[図55D]本技術の第4実施形態の変形例3に係る半導体装置の製造方法の図54 C に引き続く工程断面図である。

[図55E]本技術の第4実施形態の変形例3に係る半導体装置の製造方法の図55 D に引き続く工程断面図である。

[図55F]本技術の第4実施形態の変形例3に係る半導体装置の製造方法の図55 E に引き続く工程断面図である。

[図56]本技術の第4実施形態の変形例4に係る半導体装置の部分拡大断面図である。

[図57]本技術の第4実施形態の変形例5に係る半導体装置の部分拡大断面図である。

[図58]本技術の第5実施形態に係る半導体装置の部分拡大断面図である。

[図59]反射防止部1701と接続配線1666の位置関係を示す模式図である。

[図60]本技術の第5実施形態に係る半導体装置の製造方法の工程断面図である。

[図61]本技術の第5実施形態に係る半導体装置の製造方法の図60に引き続く工程断面図である。

[図62]本技術の第5実施形態の変形例1に係る半導体装置の部分拡大断面図である。

[図63]本技術の第5実施形態の変形例1に係る半導体装置の製造方法の工程断面図である。

[図64]本技術の第5実施形態の変形例2に係る半導体装置の部分拡大断面図である。

[図65]本技術の第5実施形態の変形例2に係る半導体装置の製造方法の工程断面図である。

[図66]本技術の第5実施形態の変形例3に係る半導体装置の部分拡大断面図である。

[図67]本技術の第5実施形態の変形例4に係る半導体装置の部分拡大断面図である。

[図68]本技術の第5実施形態の変形例5に係る半導体装置の部分拡大断面図である。

[図69]本技術のその他の実施形態に係る電子機器の概略構成図である。

[図70]本開示の一実施の形態に係る撮像装置の機能構成の一例を表すブロック図である。

[図71]図70に示した撮像装置の概略構成を表す平面模式図である。

[図72]図71に示した「I-I'」線に沿った断面構成を表す模式図である。

[図73]図70に示した画素共有ユニットの等価回路図である。

[図74]複数の画素共有ユニットと複数の垂直信号線との接続態様の一例を表す図である。

[図75]図72に示した撮像装置の具体的な構成の一例を表す断面模式図である。

[図76A]図75に示した第1基板の要部の平面構成の一例を表す模式図である。

[図76B]図76Aに示した第1基板の要部とともにパッド部の平面構成を表す模式図である。

[図77]図75に示した第2基板（半導体層）の平面構成の一例を表す模式図である。

[図78]図75に示した第1配線層とともに、画素回路および第1基板の要部の平面構成の一例を表す模式図である。

[図79]図75に示した第1配線層および第2配線層の平面構成の一例を表す模式図である。

[図80]図75に示した第2配線層および第3配線層の平面構成の一例を表す模式図である。

[図81]図75に示した第3配線層および第4配線層の平面構成の一例を表す

模式図である。

[図82]図72に示した撮像装置への入力信号の経路について説明するための模式図である。

[図83]図72に示した撮像装置の画素信号の信号経路について説明するための模式図である。

[図84]図77に示した第2基板（半導体層）の平面構成の一変形例を表す模式図である。

[図85]図84に示した画素回路とともに、第1配線層および第1基板の要部の平面構成を表す模式図である。

[図86]図85に示した第1配線層とともに、第2配線層の平面構成の一例を表す模式図である。

[図87]図86に示した第2配線層とともに、第3配線層の平面構成の一例を表す模式図である。

[図88]図87に示した第3配線層とともに、第4配線層の平面構成の一例を表す模式図である。

[図89]図76Aに示した第1基板の平面構成の一変形例を表す模式図である。

[図90]図89に示した第1基板に積層される第2基板（半導体層）の平面構成の一例を表す模式図である。

[図91]図90に示した画素回路とともに、第1配線層の平面構成の一例を表す模式図である。

[図92]図91に示した第1配線層とともに、第2配線層の平面構成の一例を表す模式図である。

[図93]図92に示した第2配線層とともに、第3配線層の平面構成の一例を表す模式図である。

[図94]図93に示した第3配線層とともに、第4配線層の平面構成の一例を表す模式図である。

[図95]図89に示した第1基板の平面構成の他の例を表す模式図である。

[図96]図95に示した第1基板に積層される第2基板（半導体層）の平面構成の一例を表す模式図である。

[図97]図96に示した画素回路とともに、第1配線層の平面構成の一例を表す模式図である。

[図98]図97に示した第1配線層とともに、第2配線層の平面構成の一例を表す模式図である。

[図99]図98に示した第2配線層とともに、第3配線層の平面構成の一例を表す模式図である。

[図100]図99に示した第3配線層とともに、第4配線層の平面構成の一例を表す模式図である。

[図101]図72に示した撮像装置の他の例を表す断面模式図である。

[図102]図101に示した撮像装置への入力信号の経路について説明するための模式図である。

[図103]図101に示した撮像装置の画素信号の信号経路について説明するための模式図である。

[図104]図75に示した撮像装置の他の例を表す断面模式図である。

[図105]図73に示した等価回路の他の例を表す図である。

[図106]図76A等に示した画素分離部の他の例を表す平面模式図である。

[図107]本開示の第7実施形態に係る撮像装置の構成例を示す厚さ方向の断面図である。

[図108]本開示の第7実施形態に係る撮像装置の構成例を示す厚さ方向の断面図である。

[図109]本開示の第7実施形態に係る撮像装置の構成例を示す厚さ方向の断面図である。

[図110]本開示の第7実施形態に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図111]本開示の第7実施形態に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図112]本開示の第7実施形態に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図113]上記実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。

[図114]図113に示した撮像システムの撮像手順の一例を表す図である。

[図115]車両制御システムの概略的な構成の一例を示すブロック図である。

[図116]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図117]内視鏡手術システムの概略的な構成の一例を示す図である。

[図118]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0016] 以下において、図面を参照して本技術の第1～第7実施形態を説明する。

以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。なお、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0017] (第1実施形態)

[構成]

図1は、本技術の第1実施形態に係る撮像装置1の概略構成の一例を表したものである。撮像装置1は、3つの基板(第1基板10、第2基板20、第3基板30)を備えている。撮像装置1は、3つの基板(第1基板10、第2基板20、第3基板30)を貼り合わせて構成された3次元構造の撮像装置である。第1基板10、第2基板20および第3基板30は、この順に積層されている。

[0018] 第1基板10は、半導体基板11に、光電変換を行う複数のセンサ画素1

2を有している。複数のセンサ画素12は、第1基板10における画素領域13内に行列状に設けられている。第2基板20は、半導体基板21に、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を4つのセンサ画素12ごとに1つずつ有している。半導体基板21は、本技術の「第2半導体基板」の一具体例に相当する。第2基板20は、行方向に延在する複数の画素駆動線23と、列方向に延在する複数の垂直信号線24とを有している。第3基板30は、半導体基板31に、画素信号を処理するロジック回路32を有している。半導体基板31は、本技術の「第3半導体基板」の一具体例に相当する。ロジック回路32は、例えば、垂直駆動回路33、カラム信号処理回路34、水平駆動回路35およびシステム制御回路36を有している。ロジック回路32（具体的には水平駆動回路35）は、センサ画素12ごとの出力電圧 V_{out} を外部に出力する。ロジック回路32では、例えば、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 $CoSi_2$ や $NiSi$ などのサリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されていてもよい。

[0019] 垂直駆動回路33は、例えば、複数のセンサ画素12を行単位で順に選択する。カラム信号処理回路34は、例えば、垂直駆動回路33によって選択された行の各センサ画素12から出力される画素信号に対して、相関二重サンプリング(Correlated Double Sampling: CDS)処理を施す。カラム信号処理回路34は、例えば、CDS処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素12の受光量に応じた画素データを保持する。水平駆動回路35は、例えば、カラム信号処理回路34に保持されている画素データを順次、外部に出力する。システム制御回路36は、例えば、ロジック回路32内の各ブロック（垂直駆動回路33、カラム信号処理回路34および水平駆動回路35）の駆動を制御する。

[0020] 図2は、センサ画素12および読み出し回路22の一例を表したものである。以下では、図2に示したように、4つのセンサ画素12が1つの読み出

し回路22を共有している場合について説明する。ここで、「共有」とは、4つのセンサ画素12の出力が共通の読み出し回路22に入力されることを指している。

[0021] 各センサ画素12は、互いに共通の構成要素を有している。図2には、各センサ画素12の構成要素を互いに区別するために、各センサ画素12の構成要素の符号の末尾に識別番号(1, 2, 3, 4)が付与されている。以下では、各センサ画素12の構成要素を互いに区別する必要がある場合には、各センサ画素12の構成要素の符号の末尾に識別番号を付与するが、各センサ画素12の構成要素を互いに区別する必要のない場合には、各センサ画素12の構成要素の符号の末尾の識別番号を省略するものとする。

[0022] 各センサ画素12は、例えば、フォトダイオードPDと、フォトダイオードPDと電氣的に接続された転送トランジスタTRと、転送トランジスタTRを介してフォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDとを有している。フォトダイオードPDは、本技術の「光電変換素子」の一具体例に相当する。フォトダイオードPDは、光電変換を行って受光量に応じた電荷を発生する。フォトダイオードPDのカソードが転送トランジスタTRのソースに電氣的に接続されており、フォトダイオードPDのアノードが基準電位線(例えばグラウンド)に電氣的に接続されている。転送トランジスタTRのドレインがフローティングディフュージョンFDに電氣的に接続され、転送トランジスタTRのゲートは画素駆動線23に電氣的に接続されている。転送トランジスタTRは、例えば、CMOS(Complementary Metal Oxide Semiconductor)トランジスタである。

[0023] 1つの読み出し回路22を共有する各センサ画素12のフローティングディフュージョンFDは、互いに電氣的に接続されるとともに、共通の読み出し回路22の入力端に電氣的に接続されている。読み出し回路22は、例えば、リセットトランジスタRSTと、選択トランジスタSELと、増幅トランジスタAMPとを有している。なお、選択トランジスタSELは、必要に

応じて省略してもよい。リセットトランジスタ RST のソース（読み出し回路 22 の入力端）がフローティングディフュージョン FD に電氣的に接続されており、リセットトランジスタ RST のドレインが電源線 VDD および増幅トランジスタ AMP のドレインに電氣的に接続されている。リセットトランジスタ RST のゲートは画素駆動線 23（図 1 参照）に電氣的に接続されている。増幅トランジスタ AMP のソースが選択トランジスタ SEL のドレインに電氣的に接続されており、増幅トランジスタ AMP のゲートがリセットトランジスタ RST のソースに電氣的に接続されている。選択トランジスタ SEL のソース（読み出し回路 22 の出力端）が垂直信号線 24 に電氣的に接続されており、選択トランジスタ SEL のゲートが画素駆動線 23（図 1 参照）に電氣的に接続されている。

[0024] 転送トランジスタ TR は、転送トランジスタ TR がオン状態となると、フォトダイオード PD の電荷をフローティングディフュージョン FD に転送する。転送トランジスタ TR のゲート（転送ゲート TG）は、例えば、後述の図 4 に示したように、半導体基板 11 の表面からウェル層 42 を貫通して PD 41 に達する深さまで延在している。リセットトランジスタ RST は、フローティングディフュージョン FD の電位を所定の電位にリセットする。リセットトランジスタ RST がオン状態となると、フローティングディフュージョン FD の電位を電源線 VDD の電位にリセットする。選択トランジスタ SEL は、読み出し回路 22 からの画素信号の出力タイミングを制御する。増幅トランジスタ AMP は、画素信号として、フローティングディフュージョン FD に保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタ AMP は、ソースフォロア型のアンプを構成しており、フォトダイオード PD で発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタ AMP は、選択トランジスタ SEL がオン状態となると、フローティングディフュージョン FD の電位を増幅して、その電位に応じた電圧を、垂直信号線 24 を介してカラム信号処理回路 34 に出力する。リセットトランジスタ RST、増幅トランジスタ AMP および選択ト

ランジスタSELは、例えば、CMOSトランジスタである。

[0025] 増幅トランジスタAMPのソース（読み出し回路22の出力端）が垂直信号線24に電氣的に接続されており、FD転送トランジスタFDGが、リセットトランジスタRSTのソースと増幅トランジスタAMPのゲートとの間に設けられており、増幅トランジスタAMPのゲートがFD転送トランジスタFDGのソースに電氣的に接続されている。

[0026] FD転送トランジスタFDGは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量（FD容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、FD容量Cが大きくなければ、フローティングディフュージョンFDで、フォトダイオードPDの電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際のVが大きくなりすぎないように（言い換えると、小さくなるように）、FD容量Cが大きくなっている必要がある。これらを踏まえると、FD転送トランジスタFDGをオンにしたときには、FD転送トランジスタFDG分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、FD転送トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、FD転送トランジスタFDGをオンオフ切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

[0027] 図3は、複数の読み出し回路22と、複数の垂直信号線24との接続態様の一例を表したものである。複数の読み出し回路22が、垂直信号線24の延在方向（例えば列方向）に並んで配置されている場合、複数の垂直信号線24は、読み出し回路22ごとに1つずつ割り当てられていてもよい。例えば、図3に示したように、4つの読み出し回路22が、垂直信号線24の延在方向（例えば列方向）に並んで配置されている場合、4つの垂直信号線24が、読み出し回路22ごとに1つずつ割り当てられていてもよい。なお、

図3では、各垂直信号線24を区別するために、各垂直信号線24の符号の末尾に識別番号(1, 2, 3, 4)が付与されている。

[0028] 図4は、撮像装置1の垂直方向の断面構成の一例を表したものである。図4には、撮像装置1において、センサ画素12と対向する箇所の断面構成が例示されている。撮像装置1は、第1基板10、第2基板20および第3基板30をこの順に積層して構成されており、さらに、第1基板10の裏面側(光入射面側)に、カラーフィルタ40および受光レンズ50を備えている。カラーフィルタ40および受光レンズ50は、それぞれ、例えば、センサ画素12ごとに1つずつ設けられている。つまり、撮像装置1は、裏面照射型の撮像装置である。

[0029] 第1基板10は、半導体基板11上に絶縁層46を積層して構成されている。絶縁層46は、本技術の「第1絶縁層」の一具体例に相当する。第1基板10は、層間絶縁膜51の一部として、絶縁層46を有している。絶縁層46は、半導体基板11と、後述の半導体基板21との間隙に設けられている。半導体基板11は、シリコン基板で構成されている。半導体基板11は、例えば、表面の一部およびその近傍に、pウェル層42を有しており、それ以外の領域(pウェル層42よりも深い領域)に、pウェル層42とは異なる導電型のPD41を有している。pウェル層42は、p型の半導体領域で構成されている。PD41は、pウェル層42とは異なる導電型(具体的にはn型)の半導体領域で構成されている。半導体基板11は、pウェル層42内に、pウェル層42とは異なる導電型(具体的にはn型)の半導体領域として、フローティングディフュージョンFDを有している。

[0030] 第1基板10は、フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDをセンサ画素12ごとに有している。第1基板10は、半導体基板11の表面側(光入射面側とは反対側、第2基板20側)の部分に、転送トランジスタTRおよびフローティングディフュージョンFDが設けられた構成となっている。第1基板10は、各センサ画素12を分離する素子分離部43を有している。素子分離部43は、半導体基

板 1 1 の法線方向（半導体基板 1 1 の表面に対して垂直な方向）に延在して形成されている。素子分離部 4 3 は、互いに隣接する 2 つのセンサ画素 1 2 の間に設けられている。素子分離部 4 3 は、互いに隣接するセンサ画素 1 2 同士を電氣的に分離する。素子分離部 4 3 は、例えば、酸化シリコンによって構成されている。素子分離部 4 3 は、例えば、半導体基板 1 1 を貫通している。第 1 基板 1 0 は、例えば、さらに、素子分離部 4 3 の側面であって、かつ、フォトダイオード PD 側の面に接する p ウェル層 4 4 を有している。p ウェル層 4 4 は、フォトダイオード PD とは異なる導電型（具体的には p 型）の半導体領域で構成されている。第 1 基板 1 0 は、例えば、さらに、半導体基板 1 1 の裏面に接する固定電荷膜 4 5 を有している。固定電荷膜 4 5 は、半導体基板 1 1 の受光面側の界面準位に起因する暗電流の発生を抑制するため、負に帯電している。固定電荷膜 4 5 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。固定電荷膜 4 5 が誘起する電界により、半導体基板 1 1 の受光面側の界面にホール蓄積層が形成される。このホール蓄積層によって、界面からの電子の発生が抑制される。カラーフィルタ 4 0 は、半導体基板 1 1 の裏面側に設けられている。カラーフィルタ 4 0 は、例えば、固定電荷膜 4 5 に接して設けられており、固定電荷膜 4 5 を介してセンサ画素 1 2 と対向する位置に設けられている。受光レンズ 5 0 は、例えば、カラーフィルタ 4 0 に接して設けられており、カラーフィルタ 4 0 および固定電荷膜 4 5 を介してセンサ画素 1 2 と対向する位置に設けられている。

[0031] 第 2 基板 2 0 は、半導体基板 2 1 上に絶縁層 5 2 を積層して構成されている。絶縁層 5 2 は、本技術の「第 3 絶縁層」の一具体例に相当する。第 2 基板 2 0 は、層間絶縁膜 5 1 の一部として、絶縁層 5 2 を有している。絶縁層 5 2 は、半導体基板 2 1 と、半導体基板 3 1 との間隙に設けられている。半導体基板 2 1 は、シリコン基板で構成されている。第 2 基板 2 0 は、4 つのセンサ画素 1 2 ごとに、1 つの読み出し回路 2 2 を有している。第 2 基板 2

0は、半導体基板21の表面側（第3基板30側）の部分に読み出し回路22が設けられた構成となっている。第2基板20は、半導体基板11の表面側に半導体基板21の裏面を向けて第1基板10に貼り合わされている。つまり、第2基板20は、第1基板10に、フェイストゥバックで貼り合わされている。第2基板20は、さらに、半導体基板21と同一の層内に、半導体基板21を貫通する絶縁層53を有している。絶縁層53は、本技術の「第2絶縁層」の一具体例に相当する。第2基板20は、層間絶縁膜51の一部として、絶縁層53を有している。絶縁層53は、後述の貫通配線54の側面を覆うように設けられている。

[0032] 第1基板10および第2基板20からなる積層体は、層間絶縁膜51と、層間絶縁膜51内に設けられた貫通配線54を有している。貫通配線54は、本技術の「第1貫通配線」の一具体例に相当する。上記積層体は、センサ画素12ごとに、1つの貫通配線54を有している。貫通配線54は、半導体基板21の法線方向に延びており、層間絶縁膜51のうち、絶縁層53を含む箇所を貫通して設けられている。第1基板10および第2基板20は、貫通配線54によって互いに電氣的に接続されている。具体的には、貫通配線54は、フローティングディフュージョンFDおよび後述の接続配線55に電氣的に接続されている。

[0033] 第1基板10および第2基板20からなる積層体は、さらに、層間絶縁膜51内に設けられた貫通配線47、48（後述の図10参照）を有している。貫通配線48は、本技術の「第1貫通配線」の一具体例に相当する。上記積層体は、センサ画素12ごとに、1つの貫通配線47と、1つの貫通配線48とを有している。貫通配線47、48は、それぞれ、半導体基板21の法線方向に延びており、層間絶縁膜51のうち、絶縁層53を含む箇所を貫通して設けられている。第1基板10および第2基板20は、貫通配線47、48によって互いに電氣的に接続されている。具体的には、貫通配線47は、半導体基板11のpウェル層42と、第2基板20内の配線とに電氣的に接続されている。貫通配線48は、転送ゲートTGおよび画素駆動線23

に電氣的に接続されている。

[0034] 第2基板20は、例えば、絶縁層52内に、読み出し回路22や半導体基板21と電氣的に接続された複数の接続部59を有している。第2基板20は、さらに、例えば、絶縁層52上に配線層56を有している。配線層56は、例えば、絶縁層57と、絶縁層57内に設けられた複数の画素駆動線23および複数の垂直信号線24を有している。配線層56は、さらに、例えば、絶縁層57内に複数の接続配線55を4つのセンサ画素12ごとに1つずつ有している。接続配線55は、読み出し回路22を共有する4つのセンサ画素12に含まれるフローティングディフュージョンFDに電氣的に接続された各貫通配線54を互いに電氣的に接続している。ここで、貫通配線54、48の総数は、第1基板10に含まれるセンサ画素12の総数よりも多く、第1基板10に含まれるセンサ画素12の総数の2倍となっている。また、貫通配線54、48、47の総数は、第1基板10に含まれるセンサ画素12の総数よりも多く、第1基板10に含まれるセンサ画素12の総数の3倍となっている。

[0035] 配線層56は、さらに、例えば、絶縁層57内に複数のパッド電極58を有している。各パッド電極58は、例えば、Cu（銅）、Al（アルミニウム）などの金属で形成されている。各パッド電極58は、配線層56の表面に露出している。各パッド電極58は、第2基板20と第3基板30との電氣的な接続と、第2基板20と第3基板30との貼り合わせに用いられる。複数のパッド電極58は、例えば、画素駆動線23および垂直信号線24ごとに1つずつ設けられている。ここで、パッド電極58の総数（または、パッド電極58とパッド電極64（後述）との接合の総数）は、第1基板10に含まれるセンサ画素12の総数よりも少ない。

[0036] 第3基板30は、例えば、半導体基板31上に層間絶縁膜61を積層して構成されている。なお、第3基板30は、後述するように、第2基板20に、表面側の面同士で貼り合わされていることから、第3基板30内の構成について説明する際には、上下の説明が、図面での上下方向とは逆となってい

る。半導体基板 31 は、シリコン基板で構成されている。第 3 基板 30 は、半導体基板 31 の表面側の部分にロジック回路 32 が設けられた構成となっている。第 3 基板 30 は、さらに、例えば、層間絶縁膜 61 上に配線層 62 を有している。配線層 62 は、例えば、絶縁層 63 と、絶縁層 63 内に設けられた複数のパッド電極 64 を有している。複数のパッド電極 64 は、ロジック回路 32 と電氣的に接続されている。各パッド電極 64 は、例えば、Cu（銅）で形成されている。各パッド電極 64 は、配線層 62 の表面に露出している。各パッド電極 64 は、第 2 基板 20 と第 3 基板 30 との電氣的な接続と、第 2 基板 20 と第 3 基板 30 との貼り合わせに用いられる。また、パッド電極 64 は、必ずしも複数でなくてもよく、1 つでもロジック回路 32 と電氣的に接続が可能である。第 2 基板 20 および第 3 基板 30 は、パッド電極 58, 64 同士の接合によって、互いに電氣的に接続されている。つまり、転送トランジスタ TR のゲート（転送ゲート TG）は、貫通配線 54 と、パッド電極 58, 64 とを介して、ロジック回路 32 に電氣的に接続されている。第 3 基板 30 は、半導体基板 21 の表面側に半導体基板 31 の表面を向けて第 2 基板 20 に貼り合わされている。つまり、第 3 基板 30 は、第 2 基板 20 に、フェイストゥーフェイスで貼り合わされている。

[0037] [効果]

従来、2 次元構造の撮像装置の 1 画素あたりの面積の微細化は、微細プロセスの導入と実装密度の向上によって実現されてきた。近年、撮像装置の更なる小型化および 1 画素あたりの面積の微細化を実現するため、3 次元構造の撮像装置が開発されている。3 次元構造の撮像装置では、例えば、複数のセンサ画素を有する半導体基板と、各センサ画素で得られた信号を処理する信号処理回路を有する半導体基板とが互いに積層されている。これにより、今までと同等のチップサイズで、センサ画素の集積度をより高くしたり、信号処理回路のサイズをより大きくしたりすることができる。

[0038] ところで、3 次元構造の撮像装置において、半導体チップを 3 層積層する場合には、全ての半導体基板を表面側の面同士（フェイストゥーフェイス）

で貼り合わせることができない。漫然と半導体基板を３層積層した場合には、半導体基板同士を電氣的に接続する構造に起因して、チップサイズが大きくなったり、１画素あたりの面積の微細化を阻害したりしてしまう可能性がある。

[0039] 一方、本実施の形態では、センサ画素１２および読み出し回路２２が互いに異なる基板（第１基板１０および第２基板２０）に形成されている。これにより、センサ画素１２および読み出し回路２２を同一基板に形成した場合と比べて、センサ画素１２および読み出し回路２２の面積を拡大することができる。その結果、光電変換効率を向上させたり、トランジスタノイズを低減したりすることができる。また、センサ画素１２を有する第１基板１０と、読み出し回路２２を有する第２基板２０とが、層間絶縁膜５１内に設けられた貫通配線５４によって互いに電氣的に接続されている。これにより、パッド電極同士の接合や、半導体基板を貫通させた貫通配線（例えばＴＳＶ（Thorough Si Via））によって、第１基板１０と第２基板２０とを互いに電氣的に接続した場合と比べて、チップサイズをより小型化することができる。また、１画素あたりの面積の更なる微細化により、解像度をより高くすることができる。また、従前と同様のチップサイズとした場合には、センサ画素１２の形成領域を拡大することができる。また、本実施の形態では、読み出し回路２２およびロジック回路３２が互いに異なる基板（第２基板２０および第３基板３０）に形成されている。これにより、読み出し回路２２およびロジック回路３２を同一基板に形成した場合と比べて、読み出し回路２２およびロジック回路３２の面積を拡大することができる。また、読み出し回路２２およびロジック回路３２の面積が素子分離部４３によって律束されないため、ノイズ特性を向上させることができる。また、本実施の形態では、第２基板２０および第３基板３０は、パッド電極５８、６４同士の接合によって、互いに電氣的に接続されている。ここで、読み出し回路２２は第２基板２０に形成され、ロジック回路３２は第３基板３０に形成されていることから、第２基板２０と第３基板３０とを互いに電氣的に接続するための構造を

、第1基板10と第2基板20とを互いに電氣的に接続するための構造と比べて、配置や接続のためのコンタクトの数などをより自由なレイアウトで形成することが可能である。従って、第2基板20と第3基板30との電氣的な接続に、パッド電極58, 64同士の接合を用いることができる。このように、本実施の形態では、基板の集積度に応じて基板同士の電氣的な接続がなされている。これにより、基板同士の電氣的に接続する構造に起因して、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。

[0040] また、本実施の形態では、フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDを有するセンサ画素12が第1基板10に形成され、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELを有する読み出し回路22が第2基板20に形成されている。これにより、センサ画素12および読み出し回路22を同一基板に形成した場合と比べて、センサ画素12および読み出し回路22の面積を拡大することができる。その結果、第2基板20と第3基板30との電氣的な接続に、パッド電極58, 64同士の接合を用いた場合であっても、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。具体的には、第1基板10に設けるトランジスタが少なくなることにより、特にセンサ画素12のフォトダイオードPDの面積を拡大することができる。それにより、光電変換における飽和信号電荷量を増加させ、光電変換効率を高めることができる。第2基板20では、読み出し回路22における各トランジスタのレイアウトの自由度を確保することができる。また、各トランジスタの面積を拡大することができるので、特に増幅トランジスタAMPの面積を拡大することで、画素信号に影響するノイズを

低減することができる。第2基板20と第3基板30との電気的な接続に、パッド電極58, 64同士の接合を用いた場合であっても、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。

[0041] また、本実施の形態では、第2基板20は、半導体基板11の表面側に半導体基板21の裏面を向けて第1基板10に貼り合わされており、第3基板30は、半導体基板21の表面側に半導体基板31の表面側を向けて第2基板20に貼り合わされている。これにより、第1基板10と第2基板20との電気的な接続に貫通配線54を用い、第2基板20と第3基板30との電気的な接続に、パッド電極58, 64同士の接合を用いることにより、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。

[0042] また、本実施の形態では、貫通配線54の断面積は、パッド電極58, 64同士の接合箇所の断面積よりも小さくなっている。これにより、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。

[0043] また、本実施の形態のロジック回路32では、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi などのシリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されている。ここで、ロジック回路32は、第3基板30に設けられている。そのため、センサ画素12や読み出し回路22を形成するプロセスとは別のプロセスで、ロジック回路32を形成することができる。その結果、センサ画素12や読み出し回路22を形成する際に、熱酸化などの高温プロセスを用いることができる。また、ロジック回路32には、耐熱性の低い材料であるシリサイドを用いることもできる。従

って、ロジック回路32のソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域を設けた場合には、接触抵抗を低減することができ、その結果、ロジック回路32での演算速度を高速化することができる。

[0044] また、本実施の形態では、第1基板10には、各センサ画素12を分離する素子分離部43が設けられている。しかし、本実施の形態では、フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDを有するセンサ画素12が第1基板10に形成され、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELを有する読み出し回路22が第2基板20に形成されている。これにより、1画素あたりの面積の微細化によって素子分離部43で囲まれた面積が小さくなった場合であっても、センサ画素12および読み出し回路22の面積を拡大することができる。その結果、素子分離部43を用いた場合であっても、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまうことがない。従って、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。

[0045] また、本実施の形態では、素子分離部43は、半導体基板11を貫通している。これにより、1画素あたりの面積の微細化によってセンサ画素12同士の距離が近づいた場合であっても、隣接するセンサ画素12間での信号クロストークを抑制でき、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0046] また、本実施の形態では、第1基板10および第2基板20からなる積層体は、センサ画素12ごとに、3つの貫通配線54、47、48を有している。貫通配線54は、転送トランジスタTRのゲート（転送ゲートTG）に電氣的に接続され、貫通配線47は、半導体基板11のpウェル層42に電氣的に接続され、貫通配線48は、フローティングディフュージョンFDに電氣的に接続されている。つまり、貫通配線54、47、48の数は、第1

基板 10 に含まれるセンサ画素 12 の数よりも多くなっている。しかし、本実施の形態では、第 1 基板 10 と第 2 基板 20 との電気的な接続には、断面積の小さな貫通配線 54 が用いられている。これにより、チップサイズをより小型化することができ、また、第 1 基板 10 における 1 画素あたりの面積をより微細化することができる。その結果、今までと同等のチップサイズで、1 画素あたりの面積の微細化を阻害することのない 3 層構造の撮像装置 1 を提供することができる。

[0047] (変形例)

以下に、上記実施の形態に係る撮像装置 1 の変形例について説明する。なお、以下の変形例において、上記実施の形態と共通の構成に対しては、同一の符号が付与されている。

[0048] [変形例 A]

図 5 は、上記実施の形態に係る撮像装置 1 の垂直方向の断面構成の一変形例を表したものである。図 5 には、図 4 に記載の断面構成の一変形例が示されている。本変形例では、転送トランジスタ TR が、平面型の転送ゲート TG を有している。そのため、転送ゲート TG は、ウェル層 42 を貫通しておらず、半導体基板 11 の表面だけに形成されている。転送トランジスタ TR に平面型の転送ゲート TG が用いられる場合であっても、撮像装置 1 は、上記実施の形態と同様の効果を有する。

[0049] [変形例 B]

図 6、図 7 は、上記実施の形態に係る撮像装置 1 の水平方向の断面構成の一変形例を表すものである。図 6、図 7 の上側の図は、図 4 の断面 Sec 1 での断面構成の一変形例であり、図 6 の下側の図は、図 4 の断面 Sec 2 での断面構成の一変形例である。なお、図 6、図 7 の上側の断面図では、図 4 の断面 Sec 1 での断面構成の一変形例を表す図に、図 4 の半導体基板 11 の表面構成の一変形例を表す図が重ね合わされるとともに、絶縁層 46 が省略されている。また、図 6、図 7 の下側の断面図では、図 4 の断面 Sec 2 での断面構成の一変形例を表す図に、半導体基板 21 の表面構成の一変形例

を表す図が重ね合わされている。

[0050] 図6、図7に示したように、複数の貫通配線54、複数の貫通配線48および複数の貫通配線47（図中の行列状に配置された複数のドット）は、第1基板10の面内において第1方向V1（図6、図7の左右方向）に帯状に並んで配置されている。なお、図6、図7には、複数の貫通配線54、複数の貫通配線48および複数の貫通配線47が第1方向V1に2列に並んで配置されている場合が例示されている。読み出し回路22を共有する4つのセンサ画素12において、4つのフローティングディフュージョンFDは、例えば、素子分離部43を介して互いに近接して配置されている。読み出し回路22を共有する4つのセンサ画素12において、4つの転送ゲートTG（TG1、TG2、TG3、TG4）は、4つのフローティングディフュージョンFDを囲むように配置されており、例えば、4つの転送ゲートTGによって円環形状となる形状となっている。

[0051] 絶縁層53は、第1方向V1に延在する複数のブロックで構成されている。半導体基板21は、第1方向V1に延在するとともに、絶縁層53を介して第1方向V1と直交する第2方向V2に並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と正対して配置されておらず、第2方向V2にずれて配置されている。

[0052] 図6では、4つのセンサ画素12によって共有される1つの読み出し回路22は、第2基板20において、4つのセンサ画素12と対向する領域を第2方向V2にずらした領域内にある、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELによって構成されている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、1つのブロック21A内の増幅トランジスタAMP、リセットトランジスタRSTおよび選択トランジスタSELによって構成されている。

[0053] 図7では、4つのセンサ画素12によって共有される1つの読み出し回路22は、第2基板20において、4つのセンサ画素12と対向する領域を第2方向V2にずらした領域内にある、リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSELおよびFD転送トランジスタFDGによって構成されている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、1つのブロック21A内の増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELおよびFD転送トランジスタFDGによって構成されている。

[0054] 本変形例では、4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と正対して配置されておらず、4つのセンサ画素12と正対する位置から第2方向V2にずれて配置されている。このようにした場合には、配線25を短くすることができ、または、配線25を省略して、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとを共通の不純物領域で構成することもできる。その結果、読み出し回路22のサイズを小さくしたり、読み出し回路22内の他の箇所のサイズを大きくしたりすることができる。

[0055] [変形例C]

図8は、上記実施の形態に係る撮像装置1の水平方向の断面構成の一変形例を表すものである。図8には、図10の断面構成の一変形例が示されている。

[0056] 本変形例では、半導体基板21が、絶縁層53を介して第1方向V1および第2方向V2に並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、一組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。このようにした場合には、互いに隣接する読み出し回路22同士のクロストークを、絶縁層53によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0057] [変形例D]

図9は、上記実施の形態およびその変形例に係る撮像装置1の水平方向の断面構成の一例を表したものである。

[0058] 本変形例では、第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに有し、フローティングディフュージョンFDを4つのセンサ画素12ごとに共有している。従って、本変形例では、4つのセンサ画素12ごとに、1つの貫通配線54が設けられている。

[0059] マトリクス状に配置された複数のセンサ画素12において、1つのフローティングディフュージョンFDを共有する4つのセンサ画素12に対応する単位領域を、1つのセンサ画素12分だけ第1方向V1にずらすことにより得られる領域に対応する4つのセンサ画素12を、便宜的に、4つのセンサ画素12Aと称することとする。このとき、本変形例では、第1基板10は、貫通配線47を4つのセンサ画素12Aごとに共有している。従って、本変形例では、4つのセンサ画素12Aごとに、1つの貫通配線47が設けられている。

[0060] 本変形例では、第1基板10は、フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに分離する素子分離部43を有している。素子分離部43は、半導体基板11の法線方向から見て、センサ画素12を完全には囲っておらず、フローティングディフュージョンFD（貫通配線54）の近傍と、貫通配線47の近傍に、隙間（未形成領域）を有している。そして、その隙間によって、4つのセンサ画素12による1つの貫通配線54の共有や、4つのセンサ画素12Aによる1つの貫通配線47の共有を可能にしている。本変形例では、第2基板20は、フローティングディフュージョンFDを共有する4つのセンサ画素12ごとに読み出し回路22を有している。

[0061] [変形例E]

図10は、上記実施の形態およびその変形例に係る撮像装置1の回路構成の一例を表したものである。本変形例に係る撮像装置1は、列並列ADC搭載のCMOSイメージセンサである。

[0062] 図10に示すように、本変形例に係る撮像装置1は、光電変換素子を含む複数のセンサ画素12が行列状（マトリックス状）に2次元配置されてなる画素領域13に加えて、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38、水平駆動回路35、水平出力線37およびシステム制御回路36を有する構成となっている。

[0063] このシステム構成において、システム制御回路36は、マスタクロックMCKに基づいて、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38および水平駆動回路35などの動作の基準となるクロック信号や制御信号などを生成し、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38および水平駆動回路35などに対して与える。

[0064] また、垂直駆動回路33は、画素領域13の各センサ画素12とともに、第1基板10形成されており、さらに、読み出し回路22の形成されている第2基板20にも形成される。カラム信号処理回路34、参照電圧供給部38、水平駆動回路35、水平出力線37およびシステム制御回路36は、第3基板30に形成される。

[0065] センサ画素12としては、ここでは図示を省略するが、例えば、フォトダイオードPDの他に、フォトダイオードPDで光電変換して得られる電荷をフローティングディフュージョンFDに転送する転送トランジスタTRとを有する構成のものをを用いることができる。また、読み出し回路22としては、ここでは図示を省略するが、例えば、フローティングディフュージョンFDの電位を制御するリセットトランジスタRSTと、フローティングディフュージョンFDの電位に応じた信号を出力する増幅トランジスタAMPと、画素選択を行うための選択トランジスタSELとを有する3トランジスタ構成のものをを用いることができる。

[0066] 画素領域13には、センサ画素12が2次元配置されるとともに、このm行n列の画素配置に対して行毎に画素駆動線23が配線され、列毎に垂直信号線24が配線されている。複数の画素駆動線23の各一端は、垂直駆動回路33の各行に対応した各出力端に接続されている。垂直駆動回路33は、

シフトレジスタなどによって構成され、複数の画素駆動線 2 3 を介して画素領域 1 3 の行アドレスや行走査の制御を行う。

[0067] カラム信号処理回路 3 4 は、例えば、画素領域 1 3 の画素列毎、即ち垂直信号線 2 4 毎に設けられた A D C（アナログーデジタル変換回路）3 4 - 1 ~ 3 4 - m を有し、画素領域 1 3 の各センサ画素 1 2 から列毎に出力されるアナログ信号をデジタル信号に変換して出力する。

[0068] 参照電圧供給部 3 8 は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ（RAMP）波形の参照電圧 V_{ref} を生成する手段として、例えば D A C（デジタルーアナログ変換回路）3 8 A を有している。なお、ランプ波形の参照電圧 V_{ref} を生成する手段としては、D A C 3 8 A に限られるものではない。

[0069] D A C 3 8 A は、システム制御回路 3 6 から与えられる制御信号 C S 1 による制御の下に、当該システム制御回路 3 6 から与えられるクロック C K に基づいてランプ波形の参照電圧 V_{ref} を生成してカラム処理部 1 5 の A D C 3 4 - 1 ~ 3 4 - m に対して供給する。

[0070] なお、A D C 3 4 - 1 ~ 3 4 - m の各々は、センサ画素 1 2 全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、通常フレームレートモード時に比べて、センサ画素 1 2 の露光時間を $1/N$ に設定してフレームレートを N 倍、例えば 2 倍に上げる高速フレームレートモードとの各動作モードに対応した A D 変換動作を選択的に実行し得る構成となっている。この動作モードの切り替えは、システム制御回路 3 6 から与えられる制御信号 C S 2, C S 3 による制御によって実行される。また、システム制御回路 3 6 に対しては、外部のシステムコントローラ（図示せず）から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

[0071] A D C 3 4 - 1 ~ 3 4 - m は全て同じ構成となっており、ここでは、A D C 3 4 - m を例に挙げて説明するものとする。A D C 3 4 - m は、比較器 3 4 A、計数手段である例えばアップ／ダウンカウンタ（図中、U/D C N T

と記している) 34 B、転送スイッチ 34 C およびメモリ装置 34 D を有する構成となっている。

[0072] 比較器 34 A は、画素領域 13 の n 列目の各センサ画素 12 から出力される信号に応じた垂直信号線 24 の信号電圧 V_x と、参照電圧供給部 38 から供給されるランプ波形の参照電圧 V_{ref} とを比較し、例えば、参照電圧 V_{ref} が信号電圧 V_x よりも大なるときに出力 V_{co} が "H" レベルになり、参照電圧 V_{ref} が信号電圧 V_x 以下のときに出力 V_{co} が "L" レベルになる。

[0073] アップ／ダウンカウンタ 34 B は非同期カウンタであり、システム制御回路 36 から与えられる制御信号 CS_2 による制御の下に、システム制御回路 36 からクロック CK が DAC 18 A と同時に与えられ、当該クロック CK に同期してダウン (DOWN) カウントまたはアップ (UP) カウントを行うことにより、比較器 34 A での比較動作の開始から比較動作の終了までの比較期間を計測する。

[0074] 具体的には、通常フレームレートモードでは、1つのセンサ画素 12 からの信号の読み出し動作において、1回目の読み出し動作時にダウンカウントを行うことにより1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことにより2回目の読み出し時の比較時間を計測する。

[0075] 一方、高速フレームレートモードでは、ある行のセンサ画素 12 についてのカウント結果をそのまま保持しておき、引き続き、次の行のセンサ画素 12 について、前回のカウント結果から1回目の読み出し動作時にダウンカウントを行うことで1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことで2回目の読み出し時の比較時間を計測する。

[0076] 転送スイッチ 34 C は、システム制御回路 36 から与えられる制御信号 CS_3 による制御の下に、通常フレームレートモードでは、ある行のセンサ画素 12 についてのアップ／ダウンカウンタ 34 B のカウント動作が完了した

時点でオン（閉）状態となって当該アップ／ダウンカウンタ 34 B のカウント結果をメモリ装置 34 D に転送する。

[0077] 一方、例えば $N = 2$ の高速フレームレートでは、ある行のセンサ画素 1 2 についてのアップ／ダウンカウンタ 34 B のカウント動作が完了した時点でオフ（開）状態のままであり、引き続き、次の行のセンサ画素 1 2 についてのアップ／ダウンカウンタ 34 B のカウント動作が完了した時点でオン状態となって当該アップ／ダウンカウンタ 34 B の垂直 2 画素分についてのカウント結果をメモリ装置 34 D に転送する。

[0078] このようにして、画素領域 1 3 の各センサ画素 1 2 から垂直信号線 2 4 を経由して列毎に供給されるアナログ信号が、ADC 34 - 1 ~ 34 - m における比較器 34 A およびアップ／ダウンカウンタ 34 B の各動作により、 N ビットのデジタル信号に変換されてメモリ装置 34 D に格納される。

[0079] 水平駆動回路 35 は、シフトレジスタなどによって構成され、カラム信号処理回路 34 における ADC 34 - 1 ~ 34 - m の列アドレスや列走査の制御を行う。この水平駆動回路 35 による制御の下に、ADC 34 - 1 ~ 34 - m の各々で AD 変換された N ビットのデジタル信号は順に水平出力線 37 に読み出され、当該水平出力線 37 を経由して撮像データとして出力される。

[0080] なお、本技術には直接関連しないため特に図示しないが、水平出力線 37 を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。

[0081] 上記構成の本変形例に係る列並列 ADC 搭載の撮像装置 1 では、アップ／ダウンカウンタ 34 B のカウント結果を、転送スイッチ 34 C を介して選択的にメモリ装置 34 D に転送することができるため、アップ／ダウンカウンタ 34 B のカウント動作と、当該アップ／ダウンカウンタ 34 B のカウント結果の水平出力線 37 への読み出し動作とを独立して制御することが可能である。

[0082] [変形例 F]

図11は、図10の撮像装置を3つの基板（第1基板10、第2基板20、第3基板30）を積層して構成した例を表す。本変形例では、第1基板10において、中央部分に、複数のセンサ画素12を含む画素領域13が形成されており、画素領域13の周囲に垂直駆動回路33が形成されている。また、第2基板20において、中央部分に、複数の読み出し回路22を含む読み出し回路領域15が形成されており、読み出し回路領域15の周囲に垂直駆動回路33が形成されている。第3基板30において、カラム信号処理回路34、水平駆動回路35、システム制御回路36、水平出力線37および参照電圧供給部38が形成されている。これにより、上記実施の形態およびその変形例と同様、基板同士を電氣的に接続する構造に起因して、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置1を提供することができる。なお、垂直駆動回路33は、第1基板10のみに形成されても、第2基板20のみに形成されてもよい。

[0083] [変形例G]

図12は、上記実施の形態およびその変形例に係る撮像装置1の断面構成の一変形例を表す。上記実施の形態およびその変形例では、撮像装置1は、3つの基板（第1基板10、第2基板20、第3基板30）を積層して構成されていた。しかし、上記実施の形態およびその変形例において、撮像装置1が、2つの基板（第1基板10、第2基板20）を積層して構成されていてもよい。このとき、ロジック回路32は、例えば、図12に示したように、第1基板10と、第2基板20とに分けて形成されている。ここで、ロジック回路32のうち、第1基板10側に設けられた回路32Aでは、高温プロセスに耐え得る材料（例えば、high-k）からなる高誘電率膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタが設けられている。一方、第2基板20側に設けられた回路32Bでは、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi など

のシリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域26が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されている。これにより、センサ画素12を形成する際に、熱酸化などの高温プロセスを用いることができる。また、ロジック回路32のうち、第2基板20側に設けられた回路32Bにおいて、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域26を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

[0084] 図13は、上記実施の形態およびその変形例に係る撮像装置1の断面構成の一変形例を表す。上記実施の形態およびその変形例に係る第3基板30のロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi などのシリサイド(Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域37が形成されていてもよい。これにより、センサ画素12を形成する際に、熱酸化などの高温プロセスを用いることができる。また、ロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域37を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

[0085] [変形例H]

上記実施の形態およびその変形例において、導電型が逆になっていてもよい。例えば、上記実施の形態およびその変形例の記載において、p型をn型に読み替えるとともに、n型をp型に読み替えてもよい。このようにした場合であっても、上記実施の形態およびその変形例と同様の効果を得ることができる。

[0086] (適用例)

図14は、上記実施の形態およびその変形例に係る撮像装置1を備えた撮

像システム2の概略構成の一例を表したものである。

[0087] 撮像システム2は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム2は、例えば、上記実施の形態およびその変形例に係る撮像装置1、DSP回路141、フレームメモリ142、表示部143、記憶部144、操作部145および電源部146を備えている。撮像システム2において、上記実施の形態およびその変形例に係る撮像装置1、DSP回路141、フレームメモリ142、表示部143、記憶部144、操作部145および電源部146は、バスライン147を介して相互に接続されている。

[0088] 上記実施の形態およびその変形例に係る撮像装置1は、入射光に応じた画像データを出力する。DSP回路141は、上記実施の形態およびその変形例に係る撮像装置1から出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ142は、DSP回路141により処理された画像データを、フレーム単位で一時的に保持する。表示部143は、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置からなり、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画を表示する。記憶部144は、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部145は、ユーザによる操作に従い、撮像システム2が有する各種の機能についての操作指令を発する。電源部146は、上記実施の形態およびその変形例に係る撮像装置1、DSP回路141、フレームメモリ142、表示部143、記憶部144および操作部145の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0089] 次に、撮像システム2における撮像手順について説明する。

[0090] 図15は、撮像システム2における撮像動作のフローチャートの一例を表す。ユーザは、操作部145を操作することにより撮像開始を指示する（ス

テップS101)。すると、操作部145は、撮像指令を撮像装置1に送信する(ステップS102)。撮像装置1(具体的にはシステム制御回路36)は、撮像指令を受けると、所定の撮像方式での撮像を実行する(ステップS103)。

[0091] 撮像装置1は、撮像により得られた画像データをDSP回路141に出力する。ここで、画像データとは、フローティングディフュージョンFDに一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP回路141は、撮像装置1から入力された画像データに基づいて所定の信号処理(例えばノイズ低減処理など)を行う(ステップS104)。DSP回路141は、所定の信号処理がなされた画像データをフレームメモリ142に保持させ、フレームメモリ142は、画像データを記憶部144に記憶させる(ステップS105)。このようにして、撮像システム2における撮像が行われる。

[0092] 本適用例では、上記実施の形態およびその変形例に係る撮像装置1が撮像システム2に適用される。これにより、撮像装置1を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム2を提供することができる。

[0093] (第1実施形態のより具体的な構成)

<半導体装置の構成>

本技術の第1実施形態に係る半導体装置のより具体的な構成として、裏面照射型のCMOSイメージセンサ(固体撮像装置)を例示する。本技術の第1実施形態に係る半導体装置は、図16に示すように、画素領域(単位セル領域)1001、垂直駆動回路1003、カラム信号処理回路1004、水平駆動回路1005、出力回路1006及び制御回路1007を備える。

[0094] 画素領域1001は、2次元マトリクス状に配列された複数の画素(単位セル)1002を有する。複数の画素1002のそれぞれは、光電変換部と、複数の画素トランジスタ(セル用回路)とを有している。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、選択トラ

ンジスタ及び増幅トランジスタの4つのトランジスタを採用できる。

[0095] 垂直駆動回路1003は、例えばシフトレジスタで構成される。垂直駆動回路1003は、画素駆動配線1008aを順次選択し、選択した画素駆動配線1008aに画素1002を駆動するためのパルスを供給し、各画素1002を行単位で駆動する。即ち、垂直駆動回路1003は、画素領域1001の各画素1002を行単位で順次垂直方向に選択走査し、各画素1002の光電変換部で生成した信号電荷に基づく画素からの出力信号（画素信号）を、垂直信号線1008bを通してカラム信号処理回路1004に供給する。

[0096] カラム信号処理回路1004は、例えば、画素1002の列毎に配置されており、1行分の画素1002から出力される信号を画素列毎にノイズ除去等の信号処理を行う。例えば、カラム信号処理回路1004は、画素固有の固定パターンノイズを除去するための相関2重サンプリング（CDS）及びアナログ・デジタル（AD）変換等の信号処理を行う。

[0097] 水平駆動回路1005は、例えばシフトレジスタで構成される。水平駆動回路1005は、水平走査パルスをカラム信号処理回路1004に順次出力して、カラム信号処理回路1004を順番に選択し、選択したカラム信号処理回路1004に、信号処理が行われた画素信号を水平信号線1009に出力させる。出力回路1006は、カラム信号処理回路1004の各々から水平信号線1009を通して、順次に供給される画素信号に対し信号処理を行って出力する。

[0098] 制御回路1007は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路1003、カラム信号処理回路1004、及び水平駆動回路1005等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路1007は、生成したクロック信号や制御信号を、垂直駆動回路1003、カラム信号処理回路1004及び水平駆動回路1005等に出力する。

[0099] 本技術の第1実施形態に係る半導体装置は、図16に示した構成を、図1

7に示すように、積層化により3次元構造としている。即ち、本技術の第1実施形態に係る半導体装置は、第1基板（センサ基板）1101、第2基板（画素トランジスタ基板）1102、第3基板（ロジック基板）1103の3つの基板を貼り合わせた積層構造で構成されている。

[0100] 第1基板1101は、入射光を光電変換する光電変換部が形成された光電変換部形成領域1101aを含む。光電変換部形成領域1101aには、光電変換部に加えて、光電変換された信号電荷を制御する転送トランジスタ等の画素トランジスタの少なくとも一部が形成されていてもよい。

[0101] 第2基板1102は、光電変換された信号電荷を制御する画素トランジスタの少なくとも一部が形成された画素トランジスタ形成領域1102aを含む。画素トランジスタ形成領域1102aは、例えばリセットトランジスタ、選択トランジスタ及び増幅トランジスタ等の画素トランジスタの少なくとも一部が形成されていてもよい。なお、画素トランジスタのうち、例えば増幅トランジスタだけを第2基板1102に設け、リセットトランジスタ及び選択トランジスタのいずれか一方、又は両方を第3基板1103に設けてもよい。

[0102] 第3基板1103は、信号処理を実行するロジック回路が形成されたロジック回路形成領域1103aを含む。ロジック回路形成領域1103aは、ロジック回路として、例えば図16に示した垂直駆動回路1003、カラム信号処理回路1004、水平駆動回路1005、出力回路1006及び制御回路1007の少なくとも一部を含んでよい。

[0103] なお、図17では第1基板1101、第2基板1102、第3基板1103の3つの基板を貼り合わせた積層構造を例示するが、例えば第1基板1101及び第2基板1102の2つの基板を貼り合わせた積層構造であってもよい。その場合、例えば第3基板1103のロジック回路形成領域1103aを第2基板1102等に形成してもよい。また、第3基板1103上に更に1つ以上の基板を貼り合わせた積層構造であってもよい。

[0104] 図18は、本技術の第1実施形態に係る半導体装置の画素1002の等価

回路の一例を示す。図 18 中に破線で境界を示すように、画素 1002 は、第 1 基板 1101 内に設けられた能動素子を含む回路と、第 2 基板 1102 内に設けられた能動素子を含む回路から構成されている。「能動素子」とは、トランジスタのように増幅機能若しくはスイッチング機能を有する半導体素子である。

[0105] 図 18 に示すように、第 1 基板 1101 内にはアノードが接地された光電変換部であるフォトダイオード PD と、フォトダイオード PD のカソードにソースが接続された転送トランジスタ T1 を能動素子として含む。転送トランジスタ T1 のドレインには、浮遊状態の電荷蓄積領域（フローティング・ディフュージョン領域）FD が接続されている。電荷蓄積領域 FD は、第 2 基板 1102 内に設けられた能動素子であるリセットトランジスタ T2 のソースと、能動素子である増幅トランジスタ T3 のゲートに接続される。第 2 基板 1102 内には更に選択トランジスタ T4 が能動素子として設けられている。増幅トランジスタ T3 のソースは選択トランジスタ T4 のドレインに接続され、増幅トランジスタ T3 のドレインは電源 Vdd に接続される。選択トランジスタ T4 のソースは垂直信号線 VSL に接続される。リセットトランジスタ T2 のドレインは電源 Vdd に接続される。

[0106] 第 1 実施形態に係る半導体装置の動作時には、フォトダイオード PD で生成された信号電荷が転送トランジスタ T1 を介して電荷蓄積領域 FD に蓄積され、電荷蓄積領域 FD に蓄積された信号電荷が読み出されて、増幅トランジスタ T3 のゲートに印加される。選択トランジスタ T4 のゲートには水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。選択用制御信号をハイ（H）レベルにすることにより、選択トランジスタ T4 が導通し、増幅トランジスタ T3 で増幅された電荷蓄積領域 FD の電位に対応する電流が垂直信号線 VSL に流れる。また、リセットトランジスタ T2 のゲートに印加するリセット用制御信号をハイ（H）レベルにすることにより、リセットトランジスタ T2 が導通し、電荷蓄積領域 FD に蓄積された信号電荷をリセットする。

[0107] 図19は、第1実施形態に係る半導体装置の断面構造の一部を模式的に示す。第1実施形態に係る半導体装置は、第1基板1101、第2基板1102及び第3基板1103の3つの基板を貼り合わせた積層構造を有する。第1実施形態に係る半導体装置は裏面照射型の固体撮像装置であり、裏面側（図19の下側）から光を入射する。

[0108] 第1基板1101は、センサ層1010と、センサ層1010上に配置された、第1能動素子1021を含む第1素子層1020と、第1素子層1020上に配置された第1配線層1030と、第1配線層1030上に配置されたシールド層（遮蔽層）1040とを備える。第2基板1102は、シールド層1040上に層間絶縁膜1042を介して配置された、第2能動素子1052, 1053, 1054, 1055を含む第2素子層1050と、第2素子層1050上に配置された第2配線層1060とを備える。第3基板1103は、第2配線層1060上に配置された第3配線層1070と、第3配線層1070上に配置された第3能動素子1082, 1083を含む第3素子層1080とを備える。

[0109] センサ層1010は、シリコン（Si）等の半導体基板（Si基板）1011に形成された複数の光電変換部1011a, 1011b, 1011cを有する。光電変換部1011a, 1011b, 1011cのそれぞれはフォトダイオードで構成される。フォトダイオードは、Si基板1011に形成されたp型のウェル領域（不図示）と、n型の電荷生成領域（不図示）とのpn接合で構成される。

[0110] 隣接する光電変換部1011a, 1011b, 1011c同士は、素子分離部1012により素子分離されている。素子分離部1012は、図19の下側から見た場合に、例えば格子状に形成されている。素子分離部1012は、隣接する光電変換部1011a, 1011b, 1011c同士を電氣的且つ光学的に分離する機能を有する。素子分離部1012は、例えばSi基板1011に設けられた溝部に埋め込まれた絶縁膜で構成することができる。絶縁膜は、例えばハフニウム酸化膜（ HfO_2 膜）等の固定電荷膜と、シリ

コン酸化膜（ SiO_2 膜）との積層構造であってもよい。或いは、素子分離部1012は、 Si 基板1011に設けられた溝部に埋め込まれた絶縁膜と、溝部に絶縁膜を介して埋め込まれたタングステン（ W ）等の遮光性の金属膜とにより構成されていてもよい。素子分離部1012の下側には、タングステン（ W ）等の遮光膜（不図示）が配置されていてもよい。

[0111] センサ層1010の裏面側には、平坦化膜1091、カラーフィルタ1092、マイクロレンズ1093、配線（不図示）等が配置されている。平坦化膜1091は、光電変換部1011a, 1011b, 1011cの裏面側を平坦化する。マイクロレンズ1093は、光電変換部1011a, 1011b, 1011cへの入射光を集光する。カラーフィルタ1092は、光電変換部1011a, 1011b, 1011cへの入射光を色分離する。

[0112] 第1素子層1020は、例えば、複数の光電変換部1011a, 1011b, 1011cによる入射光の光電変換によって生成された電気信号を独立に取り出す第1セル用回路を構成する。第1素子層1020は、 Si 基板1011の表面に形成された、第1セル用回路を構成する第1能動素子1021を備える。第1能動素子1021は、例えば図18に示した転送トランジスタT1で構成することができる。転送トランジスタT1は、MOSトランジスタで能動素子を構成することができるが、より一般的には酸化膜（ SiO_2 膜）以外の材料をゲート絶縁膜に含むMISFETやMISSIT等の絶縁ゲート型トランジスタ（MISトランジスタ）であってもよい。

[0113] 図19では便宜的に、第1能動素子1021のゲート電極のみを模式的に示している。第1能動素子1021のゲート電極は、例えばT字状の断面形状を有する縦型ゲートであってもよい。なお、図18に示した回路構成とは異なるが、第1素子層1020は、転送トランジスタT1に加えて、リセットトランジスタT2、増幅トランジスタT3及び選択トランジスタT4等の画素トランジスタの少なくともいずれかを更に備えていてもよい。

[0114] 第1配線層1030は、第1素子層1020と電氣的に接続されている。第1配線層1030は、層間絶縁膜1035に埋め込まれた配線1031,

1032, 1033, 1034を有する。配線1031, 1032, 1033, 1034の材料としては、例えば銅(Cu)等の金属が使用可能であり、層間絶縁膜1035の材料としては、シリコン酸化膜(SiO₂膜)等が使用可能である。図19では、下側の配線1031, 1032と、上側の配線1033, 1034とで2層配線構造をなす場合を例示するが、第1配線層1030の配線の層数はこれに限定されない。例えば、第1配線層1030の配線の層数は1層でもよく、3層以上であってもよい。下側の配線1031, 1032と、上側の配線1033, 1034とは、ビア(不図示)により電氣的に接続されていてよい。

[0115] シールド層1040は、シールド層1040の下方に配置されている第1素子層1020と、シールド層1040の上方に配置されている第2素子層1050との間を熱的、光学的、電磁氣的に遮蔽する機能を有する。シールド層1040は、赤外線透過を遮蔽する機能を有していてもよく、サージを防ぐ容量を形成する機能を有していてもよい。

[0116] シールド層1040の材料としては、例えば銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、タングステン(W)等の金属、又はこれらの合金等の導電性材料を含む材料が使用可能である。また、必要な場合はシールド層1040の材料として、フェライト等の強磁性体も使用し得る。シールド層1040の材料としては、熱的、光学的、電磁氣的に遮蔽可能であれば、他の導電性材料であってもよい。

[0117] シールド層1040の厚さは例えば300nm以上500nm以下程度であるが、300nm未満であってもよく、500nmより厚くてもよい。図示を省略するが、シールド層1040はSi基板1011を介して接地電位に接続されている。図17では、シールド層1040が単層である場合を例示するが、異なる材料からなる複数の導電性材料を積層した積層構造であってもよい。シールド層1040には、接続配線1066, 1067を貫通させるための開口部(貫通孔)1041a, 1041bが設けられている。

[0118] 第2素子層1050は、例えば、複数の画素1002のそれぞれに対応し

て、第1素子層1020に接続された第2セル用回路を構成する。第2素子層1050は、Siからなる半導体基板（Si基板）1051に形成され、第2セル用回路を構成する第2能動素子1052，1053，1054，1055を有する。例えば、第2能動素子1052，1053，1054，1055のそれぞれは、図18に示したリセットトランジスタT2、増幅トランジスタT3及び選択トランジスタT4の少なくともいずれかで構成することができる。リセットトランジスタT2、増幅トランジスタT3及び選択トランジスタT4のそれぞれは、MOSトランジスタで構成することができるが、より一般的にはMISトランジスタであってもよい。図19では便宜的に、第2能動素子1052，1053，1054，1055のゲート電極のみを模式的に示している。

[0119] 第2配線層1060は、第2素子層1050と電氣的に接続されている。第2配線層1060は、層間絶縁膜1065に埋め込まれた配線1061，1062，1063，1064を有する。配線1061，1062，1063，1064の材料としては、例えば銅（Cu）等の金属が使用可能であり、層間絶縁膜1065の材料としては、シリコン酸化膜（SiO₂膜）等が使用可能である。図19では、下側の配線1061，1062と、上側の配線1063，1064との2層配線構造をなす場合を例示するが、第2配線層1060の配線の層数はこれに限定されない。例えば、第2配線層1060の配線の層数は1層でもよく、3層以上であってもよい。下側の配線1061，1062と、上側の配線1063，1064とは、ビア（不図示）により電氣的に接続されていてよい。

[0120] 第2配線層1060の最下層の配線1061には接続配線1066の上端が接続されている。接続配線1066は、第2素子層1050、シールド層1040及び第1配線層1030を貫通するように上下方向に延伸する。接続配線1066は、シールド層1040の開口部1041aを貫通するように設けられている。接続配線1066の下端は、第1素子層1020に含まれるSi基板1011の上部に設けられたコンタクト部（不図示）に接続さ

れている。例えば、接続配線1066は、配線1061を介して電氣的に接続される第2能動素子1053で構成される増幅トランジスタのゲート電極と、第1素子層1020に含まれるSi基板1011の上部に形成された電荷蓄積領域とを電氣的に接続してもよい。

[0121] また、第2配線層1060の最下層の配線1062には接続配線1067の上端が接続されている。接続配線1067は、第2素子層1050及びシールド層1040を貫通するように上下方向に延伸する。接続配線1067は、シールド層1040の開口部1041bを貫通するように設けられている。接続配線1067の下端は、第1配線層1030の配線1034に接続されている。

[0122] 図20は、図19のA-A方向から見た水平方向の断面図を示す。図20のB-B方向から見た鉛直方向の断面が図19に対応する。図20に示すように、接続配線1066、1067及び層間絶縁膜1042は同軸状の断面形状を有する。シールド層1040の開口部1041a、1041bは、例えば円形の断面形状を有し、層間絶縁膜1042を介して接続配線1066、1067の外周面を取り囲むようにそれぞれ設けられている。なお、シールド層1040の水平方向の断面パターンはこれに限定されない。例えば、シールド層1040の水平方向の断面パターンは、互いに平行に延伸するストライプ状のパターンや、格子状のパターン、ドット状のパターンであってもよい。

[0123] 第3配線層1070は、層間絶縁膜1075に埋め込まれた配線1071、1072、1073、1074を有する。配線1071、1072、1073、1074の材料としては、例えば銅(Cu)等の金属が使用可能である。図19では、下側の配線1071、1072と上側の配線1073、1074とで2層配線構造をなす場合を例示するが、第3配線層1070の配線の層数はこれに限定されない。例えば、第3配線層1070の配線の層数は1層でもよく、3層以上であってもよい。最下層の配線1071、1072は、第2配線層1060の最上層の配線1063、1064と電氣的に接

続されている。

[0124] 第3素子層1080は、Siからなる半導体基板（Si基板）1081に形成され、ロジック回路を構成する第3能動素子1082，1083を有する。第3能動素子1082，1083のそれぞれは、MOSトランジスタで構成することができるが、より一般的にはMISトランジスタであってもよい。図19では便宜的に、第3能動素子1082，1083のゲート電極のみを模式的に示している。

[0125] 第1実施形態に係る半導体装置によれば、第1基板1101に形成された第1素子層1020と、第2基板1102に形成された第2素子層1050との間にシールド層1040を有することにより、シールド層1040の下方に配置されている第1素子層1020と、シールド層1040の上方に配置されている第2素子層1050との間を光学的、電磁氣的、熱的に遮蔽する。このため、第1素子層1020に含まれる第1能動素子1021と、第2素子層1050に含まれる第2能動素子1052，1053，1054，1055との間で伝搬されるノイズや熱の相互の影響が除外され、素子特性へ及ぼす、ノイズや誤動作等を抑制することができる。この結果、第1素子層1020に含まれる第1能動素子1021及び第2素子層1050に含まれる第2能動素子1052，1053，1054，1055の素子の特性の劣化を抑制することができる。

[0126] <半導体装置の製造方法>

次に、図21～図32を参照して、第1実施形態に係る半導体装置の製造方法の一例を説明する。

[0127] まず、Si基板1011上にフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をエッチング用マスクとして用いて、反応性イオンエッチング（RIE）等のドライエッチングにより垂直側壁を有する深い溝部（トレンチ）を形成する。その後、フォトレジスト膜を除去し、Si基板1011を清浄化する。そして、原子層堆積（ALD）法又は化学気相成長（C

V D) 法等により、溝部内部に絶縁膜、或いは絶縁膜と金属膜との積層構造を埋め込む。その後、エッチバック又は化学的機械研磨 (CMP) 等により、S i 基板 1 0 1 1 上の絶縁膜や金属膜を除去する。この結果、図 2 1 に示すように、S i 基板 1 0 1 1 の上部に素子分離部 1 0 1 2 が壁状に形成される。

[0128] 次に、フォトリソグラフィ技術、イオン注入及び熱処理等により、S i 基板 1 0 1 1 の上部にフォトダイオードを構成する p 型のウェル領域及び n 型の電荷生成領域を形成し、光電変換部 1 0 1 1 a, 1 0 1 1 b, 1 0 1 1 c を形成する。また、S i 基板 1 0 1 1 の上部に n 型の電荷蓄積領域等の拡散層も形成される。更に、C V D 法、リソグラフィ技術及びエッチング等により、第 1 能動素子 1 0 2 1 のゲート絶縁膜及びゲート電極を形成する。この結果、図 2 2 に示すように、第 1 能動素子 1 0 2 1 が形成されて、第 1 素子層 1 0 2 0 が形成される。

[0129] 次に、デュアルダマシン法等により、図 2 3 に示すように、S i 基板 1 0 1 1 上に層間絶縁膜 1 0 3 5 と配線 1 0 3 1, 1 0 3 2, 1 0 3 3, 1 0 3 4 とを交互に積層することにより、第 1 配線層 1 0 3 0 を形成する。

[0130] 次に、C V D 法等により、第 1 配線層 1 0 3 0 上に金属膜からなるシールド層 1 0 4 0 を堆積する。そして、シールド層 1 0 4 0 上にフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をエッチング用マスクとして用いて、R I E 等のドライエッチングによりシールド層 1 0 4 0 の一部を選択的に除去する。その後、フォトレジスト膜を除去する。この結果、図 2 4 に示すように、シールド層 1 0 4 0 に層間絶縁膜 1 0 3 5 の表面を露出する開口部 1 0 4 1 a, 1 0 4 1 b が形成される。その後、C V D 法等により、図 2 5 に示すように、シールド層 1 0 4 0 の開口部 1 0 4 1 a, 1 0 4 1 b を埋め込むように、シールド層 1 0 4 0 上に層間絶縁膜 1 0 4 2 を堆積する。

[0131] 一方、図 2 6 に示すように、S i 基板 1 0 5 1 を別途用意し、フォトリソ

グラフィ技術、イオン注入及び熱処理等により、S i 基板 1 0 5 1 の上部に第2能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 のソース領域及びドレイン領域を形成する。また、C V D 法、フォトリソグラフィ技術及びエッチング等により、S i 基板 1 0 5 1 上に第2能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 のゲート絶縁膜及びゲート電極を形成する。この結果、第2能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 が形成される。その後、C V D 法等により、S i 基板 1 0 5 1 上に層間絶縁膜 1 0 5 6 を堆積する。

[0132] 次に、S i 基板 1 0 5 1 の第2能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 が形成された面（表面）側に支持基板 1 0 5 7 を接着剤等を用いて接着する。そして、S i 基板 1 0 5 1 の第2能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 が形成された面と反対側の面（裏面）をC M P 等により研削することにより、図 2 7 に示すように、S i 基板 1 0 5 1 を薄化する。

[0133] 次に、図 2 7 に示したS i 基板 1 0 5 1 の第2能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 が形成された面と反対側の面（裏面）と、図 2 5 に示した第1基板 1 1 0 1 の層間絶縁膜 1 0 4 2 の表面とを対向させて、図 2 8 に示すように接着する。接着方法としては、例えばプラズマを照射した後、水洗を行い、ウェハ接合装置にてウェハとウェハを接着させる。但し、接着方法はこれに限定されず、例えば接着材等を用いて接着してもよい。更に、支持基板 1 0 5 7 をはがし、支持基板 1 0 5 7 との接着に用いた接着剤を洗浄により剥離する。

[0134] 次に、フォトリソ技術及びR I E等のドライエッチング等により、第2素子層 1 0 5 0、シールド層 1 0 4 0、第1配線層 1 0 3 0を貫通し、S i 基板 1 0 1 1 の表面を露出する、接続配線 1 0 6 6を形成するための溝部と、第2素子層 1 0 5 0、シールド層 1 0 4 0を貫通し、配線 1 0 3 4の表面を露出する、接続配線 1 0 6 7を形成するための溝部をそれぞれ形成する。そして、C V D 法等により溝部を埋め込むように金属膜を堆積し、エッチバック又はC M P 等により層間絶縁膜 1 0 5 6 上の金属膜を除去する。この

結果、図29に示すように、Si基板1011に下端が接続する接続配線1066と、配線1034に下端が接続する接続配線1067が形成される。

[0135] 接続配線1066, 1067は、シールド層1040の開口部1041a, 1041bを貫通するように形成される。また、第2素子層1050のSi基板1051には、接続配線1066, 1067の外周面を囲むように絶縁構造が形成される。なお、第2素子層1050のSi基板1051の、接続配線1066, 1067が貫通する部分に予め絶縁層が形成する場合には、Si基板1051に絶縁構造を形成しなくてもよい。

[0136] 次に、デュアルダマシン法等により、図30に示すように、層間絶縁膜1056上に、層間絶縁膜1065と配線1061, 1062, 1063, 1064とを交互に積層することにより、第2配線層1060を形成する。第2配線層1060の配線1061は、接続配線1066の上端と接続するように形成される。第2配線層1060の配線1062は、接続配線1067の上端と接続するように形成される。

[0137] 一方、図31に示すように、Si基板1081を別途用意し、フォトリソグラフィ技術、イオン注入及び熱処理等により、Si基板1081の上部に第3能動素子1082, 1083のソース領域及びドレイン領域を形成する。また、CVD法、フォトリソグラフィ技術及びエッチング等により、第3能動素子1082, 1083のゲート絶縁膜及びゲート電極を形成する。この結果、第3能動素子1082, 1083が形成され、第3素子層1080が形成される。更に、デュアルダマシン法等により、Si基板1081上に層間絶縁膜1075と配線1071, 1072, 1073, 1074とを交互に積層することにより、第3配線層1070を形成する。この結果、第3基板1103が形成される。

[0138] 次に、図31に示した第3基板1103の第3配線層1070の配線1071, 1072側を、図30に示した第2基板1102の第2配線層1060の配線1063, 1064側と対向させて、図32に示すように貼り合わせる。その後、CMP等により、Si基板1081を表面側から研削するこ

とにより、S i 基板 1 0 8 1 を薄化する。

[0139] 次に、CMP等により、S i 基板 1 0 1 1 を裏面から研削することにより、素子分離部 1 0 1 2 を露出させ、光電変換部 1 0 1 1 a, 1 0 1 1 b, 1 0 1 1 c を素子分離する。更に、S i 基板 1 0 1 1 の裏面に配線（不図示）、平坦化膜 1 0 9 1、カラーフィルタ 1 0 9 2 及びマイクロレンズ 1 0 9 3 等を形成する。この結果、図 1 6 に示した第 1 実施形態に係る半導体装置が完成する。

[0140] 第 1 実施形態に係る半導体装置の製造方法によれば、第 1 素子層 1 0 2 0 と第 2 素子層 1 0 5 0 との間にシールド層 1 0 4 0 を形成するので、シールド層 1 0 4 0 の下方に配置されている第 1 素子層 1 0 2 0 と、上方に配置されている第 2 素子層 1 0 5 0 との間を光学的、電磁氣的、熱的に遮蔽する。このため、第 1 素子層 1 0 2 0 と第 2 素子層 1 0 5 0 との間でノイズや熱の相互の伝搬を抑制することができる。このため、第 1 素子層 1 0 2 0 に含まれる第 1 能動素子 1 0 2 1 及び第 2 素子層 1 0 5 0 に含まれる第 2 能動素子 1 0 5 2, 1 0 5 3, 1 0 5 4, 1 0 5 5 の素子の特性の劣化を抑制することができる半導体装置を製造可能となる。

[0141] （第 2 実施形態）

本技術の第 2 実施形態に係る半導体装置は、図 3 3 に示すように、シールド層 1 0 4 0 の構造が、図 1 9 に示した第 1 実施形態に係る半導体装置と異なる。本技術の第 2 実施形態に係る半導体装置の他の構成は、図 1 9 に示した第 1 実施形態に係る半導体装置と同様であるので、重複した説明を省略する。

[0142] なお、図 3 3 においては、S i 基板 1 0 1 1 の裏面側の平坦化膜、カラーフィルタ及びマイクロレンズ等は図示を省略している。また、本技術の第 2 実施形態に係る半導体装置として、第 1 基板 1 1 0 1 及び第 2 基板 1 1 0 2 の 2 枚の基板を貼り合わせた積層構造を例示するが、第 2 基板 1 1 0 2 上に図 1 9 に示した第 3 基板 1 1 0 3 のような他の基板が更に積層されていてもよい。

[0143] 本技術の第2実施形態に係る半導体装置では、シールド層1040の一部として、シールド層1040の開口部1041a, 1041bの周囲に鞘部1043, 1044がそれぞれ設けられている。鞘部1043, 1044は、シールド層1040と電氣的に接続されている。鞘部1043, 1044の材料としては、シールド層1040と同様に、例えば銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、タングステン(W)等の金属、又はこれらの合金等の導電性材料を含む材料が使用可能である。鞘部1043, 1044は、シールド層1040と同じ材料を使用してもよく、異なる材料を使用してもよい。

[0144] 鞘部1043は、接続配線1066の外周面を取り囲むように上下方向にそれぞれ延伸する。鞘部1043の上端は、第2配線層1060の配線1061の近傍に位置する。鞘部1043の下端は、Si基板1011の近傍に位置する。鞘部1043と接続配線1066との間、鞘部1043と第2素子層1050の間には絶縁構造が形成されている。

[0145] 鞘部1044は、接続配線1067の外周面を取り囲むように上下方向にそれぞれ延伸する。鞘部1044の上端は、第2配線層1060の配線1062の近傍に位置する。鞘部1044の下端は、第1配線層1030の配線1034の近傍に位置する。鞘部1044と接続配線1067との間、鞘部1044と第2素子層1050の間には絶縁構造が形成されている。

[0146] 図34は、図33のA-A方向から見た水平方向の断面図を示す。図34のB-B方向から見た鉛直方向の断面が図33に対応する。図34に示すように、接続配線1066, 1067及び層間絶縁膜1042は、同軸状の断面形状を有する。鞘部1043, 1044は、円筒状の断面形状を有し、接続配線1066, 1067と同軸で、層間絶縁膜1042を介して接続配線1066, 1067を取り囲むように設けられている。なお、図34では鞘部1043, 1044が円筒状の断面形状を有する場合を例示するが、鞘部1043, 1044の断面パターンはこれに限定されない。

[0147] 本技術の第2実施形態に係る半導体装置を製造する際には、例えば第2素

子層 1050 を形成した後、CVD 法及び RIE 等のドライエッチング等により、第 2 素子層 1050 及びシールド層 1040 等を貫通する溝部に、鞘部 1043, 1044 となる金属膜、層間絶縁膜、接続配線 1066, 1067 を順次埋め込むことにより、接続配線 1066, 1067 及び鞘部 1043, 1044 を形成可能である。本技術の第 2 実施形態に係る半導体装置の他の製造工程は、本技術の第 1 実施形態に係る半導体装置の製造工程と同様であるので、重複した説明を省略する。

[0148] 本技術の第 2 実施形態に係る半導体装置によれば、本技術の第 1 実施形態に係る半導体装置と同様に、第 1 基板 1101 に形成された第 1 素子層 1020 と、第 2 基板 1102 に形成された第 2 素子層 1050 との間にシールド層 1040 を有することにより、シールド層 1040 の下方に配置されている第 1 素子層 1020 と、シールド層 1040 の上方に配置されている第 2 素子層 1050 との間を光学的、電磁氣的、熱的に遮蔽する。このため、第 1 素子層 1020 に含まれる第 1 能動素子 1021 と、第 2 素子層 1050 に含まれる第 2 能動素子 1052, 1053, 1054, 1055 との間で伝搬されるノイズや熱の相互の影響が除外され、素子特性へ及ぼす、ノイズや誤動作等を抑制することができる。この結果、第 1 素子層 1020 に含まれる第 1 能動素子 1021 及び第 2 素子層 1050 に含まれる第 2 能動素子 1052, 1053, 1054, 1055 の素子の特性の劣化を抑制することができる。

[0149] 更に、本技術の第 2 実施形態に係る半導体装置によれば、シールド層 1040 の一部として、接続配線 1066, 1067 の外周面に沿って延伸するように鞘部 1043, 1044 を備えることにより、鞘部 1043, 1044 の内側の接続配線 1066, 1067 が容量カップリング等の影響を受けずに安定して信号を伝搬することができる。

[0150] (第 3 実施形態)

本技術の第 3 実施形態に係る半導体装置について、図 35 及び図 36 を用いて説明する。第 3 実施形態に係る半導体装置は裏面照射型の固体撮像装置

であり、裏面側（図35の下側）から光を入射する。本技術の第3実施形態に係る半導体装置の他の構成は、図19に示した第1実施形態に係る半導体装置と同様であるので、重複した構成については図示と説明を省略する。

[0151] 図35Aに示すように、本実施形態の半導体装置は、半導体基板1211と、第1能動素子1221と、第1配線層1230と、開口部1241aと、層間絶縁膜1242と、半導体基板1251と、第2能動素子1252と、配線1261と、層間絶縁膜1256, 1265と、接続配線1266と、電磁遮蔽層1302と、拡散防止層1301, 1303とを備えている。図35Bは、電磁遮蔽層1302と第1能動素子1221の位置関係を示す模式図である。本実施形態では、画素を構成する各光電変換部の全領域に電磁遮蔽層1302を形成しており、平面視において複数の第1能動素子1221を電磁遮蔽層1302が覆っている。

[0152] 電磁遮蔽層1302は、導電性材料を含んで構成された層であり、第1配線層1230と層間絶縁膜1242との間において、少なくとも第1能動素子1221を覆うように形成されている。電磁遮蔽層1302は、電磁遮蔽層1302内における電位が一定になる程度の導電性を有しており、第1能動素子1221側の電位変動が第2能動素子1252に影響しないように電磁的に遮蔽する機能を有する。電磁遮蔽層1302を構成する材料としては、金属層または半導体層を用いることができ、特にタングステン（W）、チタン（Ti）、窒化チタン（TiN）、炭素（C）、多結晶シリコン（Si）を用いることが、後工程において構成原子が拡散することを防止するうえで好ましい。電磁遮蔽層1302には、図示しない配線等が接続されて固定電位を与えることが好ましく、接地電位を与えることがより好ましい。

[0153] 拡散防止層1301, 1303は、電磁遮蔽層1302の上下面に形成された誘電体材料からなる層であり、電磁遮蔽層1302を形成する際に電磁遮蔽層1302中に取り込まれた酸素等の原子が第1配線層1230や層間絶縁膜1242に拡散することを防止する。拡散防止層1301, 1303を構成する材料は限定されないが、例えばSiNを用いることができる。

[0154] 次に、本実施形態に係る半導体装置の製造方法について図36を用いて説明する。図36は、本実施形態に係る半導体装置の製造方法の工程断面図である。はじめに図36Aに示すように、半導体基板1211上に第1能動素子1221を含む第1配線層1230を形成した第1基板を用意する。また、図36Bに示すように、半導体基板1251の一方の面に層間絶縁膜1242を形成し、層間絶縁膜1242の表面に拡散防止層1303、電磁遮蔽層1302、拡散防止層1301を順に積層した基板を用意する。次に、図36Cに示すように、第1配線層1230と拡散防止層1301とを貼り合わせる。次に、図36Dに示すように、半導体基板1251上に第2能動素子1252を形成し、層間絶縁膜1256を形成し、開口部1241aを形成して接続配線1266を形成し、配線1261と層間絶縁膜1265を形成する。

[0155] 本技術の第3実施形態に係る半導体装置によれば、第1能動素子1221を駆動した際に生じる電位変動は、電磁遮蔽層1302によって電磁氣的に遮蔽される。これにより、基板バイアス変動を防止して第2能動素子1252に対するノイズを低減することができる。特に、電磁遮蔽層1302を接地電位に固定することが、ノイズ低減の観点から好ましい。また本実施形態では、第1基板に光電変換部を備えない半導体装置においても、第1能動素子1221と第2能動素子1252との間に設けられた電磁遮蔽層1302で基板バイアス変動を防止してノイズを低減することができる。

[0156] また、電磁遮蔽層1302を構成する材料として高融点材料であるタングステン(W)、チタン(Ti)、窒化チタン(TiN)、炭素(C)、多結晶シリコン(Si)を用いると、第1基板と第2基板とを貼り合わせた後に、第2能動素子1252形成等の高温環境下による工程が存在しても、電磁遮蔽層1302が第1配線層1230や層間絶縁膜1242に拡散することを防止できる。

[0157] (第3実施形態の変形例1)

図37は、第3実施形態の変形例1に係る半導体装置の製造方法を示す模

式断面図である。図37に示すように本変形例1では、半導体基板1211上に第1能動素子1221を含む第1配線層1230を形成し、第1配線層1230の表面に拡散防止層1303、電磁遮蔽層1302、拡散防止層1301を順に積層した第1基板を用意する。図36A～図36Dでは、第2基板側に電磁遮蔽層1302を形成して貼り合わせる例を示したが、図37に示すように第1基板側に形成するとしてもよい。この場合、第2基板側の層間絶縁膜1242は表面を露出させておき、層間絶縁膜1242と拡散防止層1303とを貼り合わせる。

[0158] 本変形例1でも、第1能動素子1221を駆動した際に生じる電位変動は、電磁遮蔽層1302によって電磁氣的に遮蔽され、基板バイアス変動を防止して第2能動素子1252に対するノイズを低減することができる。

[0159] (第3実施形態の変形例2)

図38は、第3実施形態の変形例2に係る半導体装置の画素領域の要部断面図である。図38に示すように本変形例2では、層間絶縁膜1265上にさらに第3基板として第1配線層1230と、開口部1241aと、層間絶縁膜1242と、半導体基板1251と、第2能動素子1252と、配線1261と、層間絶縁膜1256, 1265と、接続配線1266と、電磁遮蔽層1302と、拡散防止層1301, 1303とを備えた積層構造を有している。

[0160] 本変形例のような3層以上の基板の積層構造においても、電磁遮蔽層1302を各能動素子の間に設けることで、各能動素子を駆動した際に生じる電位変動を電磁遮蔽層1302で電磁氣的に遮蔽できる。これにより、基板バイアス変動を防止して各能動素子に対するノイズを低減することができる。

[0161] (第3実施形態の変形例3)

図39は、第3実施形態の変形例3に係る半導体装置の電磁遮蔽層1302を示す模式断面図である。本変形例3では、電磁遮蔽層1302を光電変換部の領域内で選択的に形成し、電磁遮蔽層1302の周囲にも拡散防止層1304を形成した点が第3実施形態とは異なっている。電磁遮蔽層130

2を形成する領域は、少なくとも第1能動素子1221を覆っていればよい。ため、拡散防止層1303上の全面に電磁遮蔽層1302を形成した後に、公知のフォトリソグラフィ技術を用いて電磁遮蔽層1302をパターニングする。その後、電磁遮蔽層1302の周囲も埋めることで拡散防止層1304と拡散防止層1301を同時に形成する。

[0162] 本変形例では、電磁遮蔽層1302を所望の領域に限定して形成するため、第1配線層1230や層間絶縁膜1242の内部において配線や接続配線を形成できる領域が拡大し、素子設計の自由度を向上させることができる。

[0163] (第3実施形態の変形例4)

図40は、第3実施形態の変形例4に係る半導体装置の電磁遮蔽層1302を示す模式断面図であり、図40Aは画素領域の要部断面図であり、図40Bは電磁遮蔽層1302と第1能動素子1221の位置関係を示す模式図である。図40Aに示すように、本変形例4の半導体装置は、第3実施形態で示した図35Aと同様の積層構造を備えている。本変形例4では、図40Bに示すように、画素を構成する複数の光電変換部で共通の電磁遮蔽層1302を形成しており、各光電変換部に含まれる複数の第1能動素子1221を一括して電磁遮蔽層1302が覆っている。

[0164] 本変形例では、光電変換部の直上領域から外れた位置にまで電磁遮蔽層1302が形成されているため、配線や接続配線を電磁遮蔽層1302に接続して固定電位である接地電位を与えることが容易となる。また、電磁遮蔽層1302を部分的に延伸して接地配線に接続するとしてもよい。

[0165] (第3実施形態の変形例5)

図41は、第3実施形態の変形例5に係る半導体装置の電磁遮蔽層1302を示す模式断面図であり、図41Aは画素領域の要部断面図であり、図41Bは電磁遮蔽層1302と第1能動素子1221の位置関係を示す模式図である。図41Aに示すように、本変形例5の半導体装置では、層間絶縁膜1242、1256、1265、半導体基板1251及び拡散防止層1303を貫通して接続配線1311が形成されており、接続配線1311の下端が

電磁遮蔽層 1302 と電氣的に接続されている。また、接続配線 1311 を介して電磁遮蔽層 1302 には固定電位である接地電位が与えられる。

[0166] 本変形例における電磁遮蔽層 1302 の平面形状は限定されないが、図 4 1 B に示すように複数の光電変換部に共通の電磁遮蔽層 1302 を形成するとしてもよい。また、接続配線 1311 は最上層から電磁遮蔽層 1302 まですべて貫通して形成されるものに限定されず、例えば各層に設けられた配線から形成されるとしてもよい。

[0167] 本変形例では、半導体装置の厚さ方向に接続配線 1311 を形成して電磁遮蔽層 1302 に電氣的に接続するため、電磁遮蔽層 1302 の面積を小さくしながらも固定電位を供給することができる。

[0168] (第 4 実施形態)

本技術の第 4 実施形態に係る半導体装置について、図 4 2 及び図 4 3 を用いて説明する。第 4 実施形態に係る半導体装置は裏面照射型の固体撮像装置であり、裏面側（図 3 5 の下側）から光を入射する。本技術の第 4 実施形態に係る半導体装置の他の構成は、図 4 に示した第 1 実施形態に係る半導体装置と同様であるので、重複した構成については図示と説明を省略する。

[0169] 図 4 2 は、本技術の第 4 実施形態に係る半導体装置の画素領域の要部断面図である。図 4 2 に示すように、本実施形態の半導体装置は、第 1 基板 1410、第 2 基板 1420 および第 3 基板 1430 をこの順に積層して構成されている。また、第 1 基板 1410、第 2 基板 1420 および第 3 基板 1430 には、半導体基板 1411、フォトダイオード 1441、フローティングディフュージョン FD、転送トランジスタ TR、転送ゲート TG、絶縁層 1446、光減衰部 1501、1502、半導体基板 1421、読み出し回路 1422、絶縁層 1452、配線層 1462、半導体基板 1431、及びロジック回路 1432 を備えている。フォトダイオード PD、転送トランジスタ TR 及び読み出し回路 1422 は、それぞれ本技術における光電変換部、第 1 能動素子及び第 2 能動素子に相当している。

[0170] 光減衰部 1501、1502 は、絶縁層 1446 中に設けられた微小サイ

ズの構造物であり、絶縁層 1446 を構成する材料よりも屈折率が高い材料で構成されている。光減衰部 1501, 1502 の形状は限定されないが、図 42 では略円柱形状の場合を示している。光減衰部 1501, 1502 が配置される位置は、フォトダイオード PD と読み出し回路 1422 の間である。光減衰部 1501, 1502 を構成する材料は限定されないが、周囲の絶縁層 1446 を SiO_2 で構成する場合には、光減衰部 1501, 1502 を Si で構成することが好ましい。

[0171] 図 43 は、光減衰部 1501, 1502 の周囲を拡大して示す模式図であり、図 43A は光減衰部 1501, 1502 に入射した光の経路を示す断面図であり、図 43B は光減衰部 1501, 1502 の配置例を示す模式上面図である。図 43A に示すように、光減衰部 1501, 1502 が周囲より屈折率の高い材料で構成されていることで、光減衰部 1501, 1502 に入射した光は、図中に矢印で示すように光減衰部 1501, 1502 と絶縁層 1446 の界面で全反射し、光減衰部 1501, 1502 内部を繰り返し全反射するうちに光強度が減衰して吸収される。

[0172] 一般的に半導体装置では、読み出し回路 1422 やロジック回路 1432 の駆動時にホットキャリアによる放射光が生じることがある。放射光の強度は距離の 2 乗に反比例するため、放射光の発生領域から近い位置に配置されたフォトダイオード PD に放射光が入射した場合にはノイズが生じる。本実施形態の半導体装置では、光減衰部 1501, 1502 に入射した放射光は繰り返し反射により光減衰部 1501, 1502 の内部で減衰される。これにより、フォトダイオード PD に到達するホットキャリアによる放射光の強度を低下させ、フォトダイオード PD でのノイズを低減することができる。光減衰部 1501, 1502 の高さは $1.1\ \mu\text{m}$ 以上であることが好ましく、隣り合う光減衰部 1501, 1502 の間隔は $0.38\ \mu\text{m}$ 以下であることが好ましい。光減衰部 1501, 1502 の高さを $1.1\ \mu\text{m}$ 以上とすることで、上方から垂直に侵入して全反射しない放射光についても、光減衰部 1501, 1502 を通過する間に 90% 程度吸収することができる。

[0173] また、絶縁層 1446 を SiO_2 で構成し、光減衰部 1501, 1502 を Si で構成した場合には、 SiO_2 の屈折率は約 1.48 であり、 Si の屈折率は約 3.88 であるため、光減衰部 1501, 1502 と絶縁層 1446 の界面における臨界角は約 22 度となる。これにより、光減衰部 1501, 1502 に対して入射した光が全反射する範囲を大きくして、光の繰り返し全反射と光吸収の効果を高めることができる。

[0174] また、図 43A, 図 43B に示すように、光減衰部 1501 と光減衰部 1502 とは絶縁層 1446 中において異なる深さに形成されており、平面視において相補的に配置されている。これにより、上方に配置された読み出し回路 1422 やロジック回路 1432 から発生した放射光は、フォトダイオード PD 方向に進行する過程で光減衰部 1501 または光減衰部 1502 に入射するため、フォトダイオード PD にまで到達する放射光を効果的に遮ることができる。

[0175] 次に、本実施形態の半導体装置の製造方法について図 44～図 47 を用いて説明する。はじめに図 44A に示すように、 Si からなる半導体基板 1421 の一方の面に SiO_2 からなる絶縁層 1512 と Si からなる半導体層 1511 が形成された SOI (Silicon on Insulator) 基板を用意する。次に図 44B に示すように、半導体基板 1421 の他方の面に SiO_2 からなる絶縁層 1446 を CVD 法等で堆積する。次に図 44C に示すように、絶縁層 1446 上にフォトリソグラフィ技術を用いてレジストマスク 1513 をパターンニングし、エッチングにより絶縁層 1446 に凹部 1514 を形成する。

[0176] 次に図 45D に示すように、レジストマスク 1513 を剥離し、CVD 技術を用いて絶縁層 1446 上に Si を堆積させて CMP 技術で平坦化し、凹部 1514 内を光減衰部 1502 で埋める。次に図 45E に示すように、CVD 技術で Si を堆積させて光減衰部 1502 上にも絶縁層 1446 を形成する。次に図 45F に示すように、フォトリソグラフィとエッチング、 Si 堆積と平坦化、さらに Si 堆積を繰り返し、絶縁層 1446 中に埋め込まれ

た光減衰部 1501 を形成する。

[0177] 次に図 46G に示すように、SOI 基板を反転させて、図 46H に示すように絶縁層 1512 と半導体層 1511 を剥離し、半導体基板 1421 に読み出し回路 1422 を形成する。次に図 47I に示すように、半導体基板 1421 上に絶縁層 1452 を形成して第 2 基板 1420 を構成し、別途用意しておいた第 1 基板 1410 の絶縁層 1446 と、第 2 基板 1420 の絶縁層 1446 とを貼り合わせる。最後に図 47J に示すように、第 3 基板 1430 の配線層 1462 と絶縁層 1452 を貼り合わせて図 42 に示した本実施形態の半導体装置を得る。

[0178] 図 44～図 47 に示したように、フォトリソグラフィとエッチング、Si 堆積と平坦化の工程で絶縁層 1446 中に光減衰部 1501, 1502 を形成するので、フォトダイオード PD と読み出し回路 1422 の間において所望の位置に光減衰部 1501, 1502 を形成することができる。また、必要に応じてフォトリソグラフィとエッチング、Si 堆積と平坦化の工程を繰り返すことで、光減衰部 1501, 1502 を 3 層以上の構造とすることもできる。

[0179] 本技術の第 4 実施形態に係る半導体装置によれば、フォトダイオード PD と読み出し回路 1422 の間に周囲より屈折率が高い材料で構成された光減衰部 1501, 1502 を備えていることで、読み出し回路 1422 やロジック回路 1432 でホットキャリアによる生じた放射光がフォトダイオード PD まで到達することを抑制し、ノイズを低減することができる。

[0180] (第 4 実施形態の変形例 1)

図 48 は、本技術の第 4 実施形態の変形例 1 に係る半導体装置の部分拡大断面図である。本変形例では、光減衰部 1521, 1522 の形状が図 43A に示した例とは異なっている。図 48 に示すように本変形例の半導体装置では、光減衰部 1521, 1522 は、略円筒形状の底面部分が円錐形状の凸形状 1521a, 1522a として形成されている。本変形例の光減衰部 1521, 1522 の形成方法としては、図 44C に示した凹部 1514 の

形成時に、レジストマスク 1513 の形状や膜厚を適宜変更することや、凹部 1514 のエッチング条件を変更することなどが挙げられる。

[0181] 本変形例の半導体装置では、光減衰部 1521, 1522 の底面部分が凸形状 1521a, 1522a とされていることで、直上方向から入射した放射光についても、凸形状 1521a, 1522a で全反射され、放射光を効果的に減衰させることができる。ここでは、凸形状 1521a, 1522a の一例として円錐形状のものを示したが、上方から到達した放射光を反射できる角度で形成されていればよく、傾斜面や微小な凹凸形状、すり鉢形状等であってもよい。

[0182] (第4実施形態の変形例2)

図49は、本技術の第4実施形態の変形例2に係る半導体装置の部分拡大断面図である。本変形例では、光減衰部 1531 が量子ドットとして形成されている点が図43Aに示した例とは異なっている。図49に示すように本変形例の半導体装置では、絶縁層 1446 中に微小なサイズの Si からなる量子ドットの光減衰部 1531 が複数形成されている。光減衰部 1531 のサイズは、直径が数 nm ～数十 nm 程度であり、絶縁層 1446 中に立体的に分布している。絶縁層 1446 を上面視した際に、光減衰部 1531 の面密度が 1 以上になることが好ましい。

[0183] 次に、本変形例の半導体装置の製造方法について図50～図52を用いて説明する。はじめに図50Aに示すように、Si からなる半導体基板 1421 の一方の面に SiO₂ からなる絶縁層 1512 と Si からなる半導体層 1511 が形成された SOI 基板を用意する。次に図50Bに示すように、半導体基板 1421 の他方の面に SiO₂ からなる絶縁層 1446 を CVD 法等で堆積する。このとき、絶縁層 1446 を構成する SiO₂ として、Si リッチな SiO₂ を形成する。Si リッチな SiO₂ の具体的な形成方法は限定されないが、例えばジクロロシラン (SiH₂Cl₂) ガス (DCS ガス) と亜酸化窒素 (N₂O) ガスの比率を 7 ～ 13 : 1 とし、0.8 ～ 1.5 atm の圧力で形成する等が挙げられる。次に図50Cに示すように、絶縁層 1446

をアニールして絶縁層 1446 中に Si からなる量子ドットを積層させて光減衰部 1531 を形成する。具体的なアニール条件は限定されないが、例えば 1000℃ の N₂ 雰囲気中で 1 時間のアニールを実施する。

[0184] 次に、図 51D に示すように SOI 基板を反転させて、図 51E に示すように絶縁層 1512 と半導体層 1511 を剥離して、CMP 技術で半導体基板 1421 を削って薄くする。次に、図 51F に示すように半導体基板 1421 に読み出し回路 1422 を形成し、半導体基板 1421 上に絶縁層 1452 を形成して第 2 基板 1420 を構成し、別途用意しておいた第 1 基板 1410 の絶縁層 1446 と、第 2 基板 1420 の絶縁層 1446 とを貼り合わせる。最後に図 51G に示すように、第 3 基板 1430 の配線層 1462 と絶縁層 1452 を貼り合わせて図 52H に示した本変形例の半導体装置を得る。

[0185] 本変形例の半導体装置でも、フォトダイオード PD と読み出し回路 1422 の間に周囲より屈折率が高い Si 量子ドットの光減衰部 1531 を配置することで、読み出し回路 1422 やロジック回路 1432 でホットキャリアによる生じた放射光がフォトダイオード PD まで到達することを抑制し、ノイズを低減することができる。

[0186] (第 4 実施形態の変形例 3)

図 53 は、本技術の第 4 実施形態の変形例 3 に係る半導体装置の部分拡大断面図である。本変形例では、光減衰部 1542 が半導体基板 1421 に形成されている点が図 43A に示した例とは異なっている。図 3 に示すように本変形例の半導体装置では、半導体基板 1421 の裏面側に凹部 1541 が形成され、半導体基板 1421 の一部が凸形状の光減衰部 1542 として絶縁層 1446 中に突出して配置されている。本変形例では、半導体基板 1421 を構成する Si で光減衰部 1542 が形成され、絶縁層 1446 を構成する SiO₂ 中に突出しているため、光減衰部 1542 は周囲の絶縁層 1446 よりも屈折率が高い。

[0187] 次に、本変形例の半導体装置の製造方法について図 54、図 55 を用いて

説明する。はじめに図54Aに示すように、Siからなる半導体基板1421を用意する。次に図54Bに示すように、半導体基板1421の一方の面にフォトリソグラフィ技術を用いてレジストマスクをパターニングし、エッチングにより半導体基板1421に凹部1541と光減衰部1542を形成する。次に図54Cに示すように、レジストマスクを除去して半導体基板1421上にSiO₂からなる絶縁層1446をCVD法等で堆積し、凹部1541を絶縁層1446で埋めた後にCMP技術で平坦化する。

[0188] 次に図55Dに示すように、半導体基板1421を反転させて、図55Eに示すようにCMP技術で半導体基板1421を削って薄くする。次に図55Fに示すように、別途用意しておいた第1基板1410の絶縁層1446と、第2基板1420の絶縁層1446とを貼り合わせる。読み出し回路1422の形成や、第3基板1430との貼り合わせについては説明を省略する。

[0189] 本変形例の半導体装置でも、半導体基板1421に形成された凸形状の光減衰部1542と絶縁層1446との界面で放射光が全反射し、光減衰部1542内で放射光を減衰させるため、読み出し回路1422やロジック回路1432でホットキャリアによる生じた放射光がフォトダイオードPDまで到達することを抑制し、ノイズを低減することができる。

[0190] (第4実施形態の変形例4)

図56は、本技術の第4実施形態の変形例4に係る半導体装置の部分拡大断面図である。本変形例では、絶縁層1446中に光減衰部1501が一層だけ形成されている点が、図42に示した例と異なっている。本変形例においても、光減衰部1501のサイズや配置を適切なものとするすることで、読み出し回路1422やロジック回路1432でホットキャリアによる生じた放射光がフォトダイオードPDまで到達することを抑制し、ノイズを低減することができる。

[0191] (第4実施形態の変形例5)

図57は、本技術の第4実施形態の変形例5に係る半導体装置の部分拡大

断面図である。本変形例では、絶縁層 1446 中に形成された光減衰部 1501 と、半導体基板 1421 に形成された凸形状の光減衰部 1542 を組み合わせた点が、図 42 に示した例と異なっている。本変形例においても、光減衰部 1501 と光減衰部 1542 のサイズや配置を適切なものとする事で、読み出し回路 1422 やロジック回路 1432 でホットキャリアによる生じた放射光がフォトダイオード PD まで到達することを抑制し、ノイズを低減することができる。

[0192] (第 5 実施形態)

本技術の第 5 実施形態に係る半導体装置について、図 58 及び図 59 を用いて説明する。第 5 実施形態に係る半導体装置は裏面照射型の固体撮像装置であり、裏面側（図 58 の下側）から光を入射する。本技術の第 5 実施形態に係る半導体装置の他の構成は、図 19 に示した第 1 実施形態に係る半導体装置と同様であるので、重複した構成については図示と説明を省略する。

[0193] 図 58 は、本技術の第 5 実施形態に係る半導体装置の部分拡大断面図である。図 59 は、反射防止部 1701 と接続配線 1666 の位置関係を示す模式図である。図 58 及び図 59 に示すように本実施形態の半導体装置は、Si 基板 1611、1651 と、素子分離部 1612 と、第 1 配線層 1630 と、層間絶縁膜 1656、1665 と、配線 1661 と、接続配線 1666 と、反射防止部 1701 を備えている。第 1 実施形態で述べたように、Si 基板 1651 には本技術における第 2 能動素子が含まれ、Si 基板 1611 には本技術における光電変換部が含まれているが、図 58 では図示を省略している。

[0194] 反射防止部 1701 は、少なくとも Si 基板 1651 の第 2 能動素子と Si 基板 1611 の光電変換部との間に配置されており、Si 基板 1651 の裏面での光の反射率を低下させる機能を有している。図 58 に示した例では、反射防止部 1701 は Si 基板 1651 の裏面（図 58 の下側）全体に接触して設けられており、第 1 配線層 1630 に含まれる絶縁材料である酸化ケイ素（ SiO_2 ）と、Si 基板 1651 を構成する Si の中間の屈折率を有

する誘電体膜として形成されている。反射防止部 1701 を構成する材料としては、例えば窒化ケイ素 (SiN) が挙げられる。

[0195] 次に本実施形態に係る半導体装置の製造方法について図 60 及び図 61 を用いて説明する。はじめに図 60 に示すように、Si 基板 1611 と素子分離部 1612 と第 1 配線層 1630 を備えた第 1 基板を用意する。また、Si 基板 1651 の裏面に反射防止部 1701 を構成する SiN を CVD 技術等を用いて成膜し、反射防止部 1701 と第 1 配線層 1630 を貼り合わせる。次に図 61 に示すように、Si 基板 1651 の表面を削って薄肉化し、フォトリソグラフィ技術を用いて第 1 配線層 1630 の途中まで凹部 1702 を形成する。その後は、凹部 1702 及び Si 基板 1651 の表面を層間絶縁膜 1656 で埋め、層間絶縁膜 1665、配線 1661、接続配線 1666 の形成等を実施して、本実施形態の半導体装置を得る。なお、図 60 の段階において、反射防止部 1701 は、Si 基板 1651 側ではなく、第 1 配線層 1630 の上面側に設けるようにしてもよい。

[0196] 反射防止部 1701 を設けない場合には、第 1 配線層 1630 に含まれる SiO_2 と Si 基板 1651 の屈折率差が大きいため、両者の界面での全反射が生じやすくなる。Si 基板 1611 と Si 基板 1651 の間は距離があるため、Si 基板 1611 の光電変換部に入射して Si 基板 1651 で反射された光は、素子分離部 1612 を超えて他の光電変換部に入射する可能性がある。Si 基板 1651 の裏面で反射されて光電変換部に入射した光は、光電変換部で電気信号に変換されるためノイズが生じてしまう。

[0197] 本実施形態では、第 2 能動素子と光電変換部の間に反射防止部 1701 が設けられ、反射防止部 1701 を Si の中間の屈折率を有する SiN で構成していることで、SiN と Si の屈折率差は反射防止部 1701 を設けない場合よりも小さくなり、Si 基板 1651 での全反射を抑制することができ、光電変換部のノイズを低減することができる。

[0198] (第 5 実施形態の変形例 1)

図 62 は、本技術の第 5 実施形態の変形例 1 に係る半導体装置の部分拡大

断面図である。本変形例では、反射防止部 1711 が Si 基板 1651 よりも広い範囲に形成されている点が図 58 に示した例とは異なっている。図 62 に示すように本変形例では、反射防止部 1711 が半導体装置の全域にわたって設けられており、接続配線 1666 は反射防止部 1711 に設けられた開口を貫通して設けられている。

[0199] 図 63 は、本変形例に係る半導体装置の製造方法を示している。はじめに図 60 と同様に、Si 基板 1611 と素子分離部 1612 と第 1 配線層 1630 を備えた第 1 基板を用意する。また、Si 基板 1651 の裏面に反射防止部 1711 を構成する SiN を CVD 技術等を用いて成膜し、反射防止部 1711 と第 1 配線層 1630 を貼り合わせる。次に図 63 に示すように、Si 基板 1651 の表面を削って薄肉化し、フォトリソグラフィ技術を用いて反射防止部 1711 の表面まで凹部 1702 を形成する。その後は、凹部 1702 及び Si 基板 1651 の表面を層間絶縁膜 1656 で埋め、層間絶縁膜 1665、配線 1661、接続配線 1666 の形成等を実施して、本変形例の半導体装置を得る。

[0200] 本変形例でも、第 2 能動素子と光電変換部の間に反射防止部 1711 が設けられ、反射防止部 1711 が Si 基板 1651 よりも広い範囲に設けられているため、Si 基板 1651 での全反射を抑制することができ、光電変換部のノイズを低減することができる。

[0201] (第 5 実施形態の変形例 2)

図 64 は、本技術の第 5 実施形態の変形例 2 に係る半導体装置の部分拡大断面図である。本変形例では、反射防止部 1721 に加えて反射防止部 1722 が Si 基板 1651 の側面に設けられている点が図 62 に示した例とは異なっている。図 64 に示すように本変形例では、反射防止部 1721 が半導体装置の全域にわたって設けられており、接続配線 1666 は反射防止部 1711 に設けられた開口を貫通して設けられている。また、Si 基板 1651 の側面を覆って反射防止部 1722 が設けられている。

[0202] 図 65 は、本変形例に係る半導体装置の製造方法を示している。はじめに

図60と同様に、Si基板1611と素子分離部1612と第1配線層1630を備えた第1基板を用意する。また、Si基板1651の裏面に反射防止部1721を構成するSiNをCVD技術等を用いて成膜し、反射防止部1721と第1配線層1630を貼り合わせる。次に図61に示すように、Si基板1651の表面を削って薄肉化し、フォトリソグラフィ技術を用いて第1配線層1630の途中まで凹部1702を形成し、Si基板1651の表面を酸化してSiO₂膜を形成する。次に図65に示すように、SiN膜を成膜して、Si基板1651表面のSiO₂膜上にSiN膜1723を形成するとともに、凹部1702内に露出しているSi基板1651の側面に反射防止部1722を設ける。最後に、SiN膜1723と凹部1702を層間絶縁膜1656で埋め、Si基板1651の表面が露出するまで層間絶縁膜1656、SiN膜1723及びSiO₂膜を研磨し、層間絶縁膜1665、配線1661、接続配線1666の形成等を実施して、本実施形態の半導体装置を得る。

[0203] 本変形例でも、第2能動素子と光電変換部の間に、Si基板1651よりも広い範囲に反射防止部1721が設けられ、Si基板1651の側面に反射防止部1722が設けられているため、Si基板1651での全反射を抑制することができ、光電変換部のノイズを低減することができる。

[0204] (第5実施形態の変形例3)

図66は、本技術の第5実施形態の変形例3に係る半導体装置の部分拡大断面図である。本変形例では、Si基板1651の裏面に形成された反射防止部1731を多層構造で構成する点が図58に示した例とは異なっている。図66に示すように本変形例の半導体装置では、反射防止部1731はSi基板1651の裏面(図58の下側)全体に接触して設けられており、屈折率の異なる誘電体を複数層積層した構造を有している。反射防止部1731を構成する誘電体膜の層数は2層に限定されず、3層以上であってもよい。反射防止部1731に含まれる誘電体材料は、第1配線層1630に含まれるSiO₂よりも屈折率が大きく、Si基板1651のSiよりも屈折率が

小さい材料であり、S i 基板 1 6 5 1 側から第 1 配線層 1 6 3 0 に向かって屈折率が徐々に小さくなるように積層されている。反射防止部 1 7 3 1 を構成する具体的な材料は限定されないが、例えば窒化ケイ素 (S i N)、酸窒化ケイ素 (S i O N)、炭化ケイ素 (S i C)、酸炭化ケイ素 (S i O C)、酸化アルミニウム (A l ₂ O₃)、酸化ハフニウム (H f O₂) 等を用いることができる。

[0205] 本変形例でも、第 2 能動素子と光電変換部の間に反射防止部 1 7 3 1 が設けられ、S i 基板 1 6 5 1 から第 1 配線層 1 6 3 0 に向かって屈折率が徐々に小さくなっているため、S i 基板 1 6 5 1 での全反射を抑制することができ、光電変換部のノイズを低減することができる。

[0206] (第 5 実施形態の変形例 4)

図 6 7 は、本技術の第 5 実施形態の変形例 4 に係る半導体装置の部分拡大断面図である。本変形例では、S i 基板 1 6 5 1 の裏面と反射防止部 1 7 3 1 の間に、屈折率が異なる中間膜 1 7 3 2 が設けられている点が図 5 8 に示した例とは異なっている。中間膜 1 7 3 2 は、反射防止部 1 7 3 1 を構成する材料よりも屈折率が小さい材料で構成されており、反射防止部 1 7 3 1 の膜厚よりも薄く形成されている。中間膜 1 7 3 2 の膜厚は限定されないが、1 n m ~ 数 n m 程度の膜厚であれば、反射防止部 1 7 3 1 よりも屈折率が小さい材料であっても光の反射防止効果に与える影響が小さくなる。

[0207] 本変形例でも、第 2 能動素子と光電変換部の間に反射防止部 1 7 3 1 が設けられているため、反射防止部 1 7 3 1 と S i 基板 1 6 5 1 との間に屈折率が異なる中間膜 1 7 3 2 が設けられていても、S i 基板 1 6 5 1 での全反射を抑制することができ、光電変換部のノイズを低減することができる。

[0208] (第 5 実施形態の変形例 5)

図 6 8 は、本技術の第 5 実施形態の変形例 5 に係る半導体装置の部分拡大断面図である。本変形例では、S i 基板 1 6 5 1 の裏面に設けられた反射防止部 1 7 4 1 が、凹凸構造を有している点が図 5 8 に示した例とは異なっている。反射防止部 1 7 4 1 は、第 1 配線層 1 6 3 0 に含まれる絶縁材料であ

る SiO_2 と、 Si 基板1651を構成する Si の中間の屈折率を有する誘電体膜として形成されており、微小な凹凸が複数形成されている。

[0209] 本変形例の半導体装置では、反射防止部1741の凹凸構造のサイズを光の波長よりも大きなミクロン単位の凹凸とした場合には、反射防止部1741に到達した光は乱反射されるため、 Si 基板1651の裏面で反射されて光電変換部に入射する光を減少させて、ノイズを低減できる。また、凹凸構造のサイズを光の波長よりも小さなナノメートル単位の凹凸とした場合には、屈折率が徐々に変化するモスアイ構造となるため、 Si 基板1651の裏面で反射される光を抑制でき、光電変換部に光が入射することによるノイズを低減できる。

[0210] (その他の実施形態)

上記のように、本技術は第1～第5実施形態によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0211] 例えば、本技術は第1～第5実施形態に係る半導体装置は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。例えば、図69に示す電子機器（カメラ）に適用することができる。図69に示す電子機器は、例えば、静止画または動画を撮影可能なビデオカメラであり、半導体装置2200と、光学系（光学レンズ）2201と、シャッタ装置2202と、半導体装置2200及びシャッタ装置2202を駆動する駆動部2204と、信号処理部2203とを有する。

[0212] 半導体装置2200は、第1～第5実施形態に係る半導体装置を適用可能である。光学系2201は、被写体からの像光（入射光）を半導体装置2200の画素領域2001へ導く。この光学系2201は、複数の光学レンズから構成されていてもよい。シャッタ装置2202は、半導体装置2200への光照射期間及び遮光期間を制御する。駆動部204は、半導体装置22

00の転送動作及びシャッタ装置2202のシャッタ動作を制御する。信号処理部2203は、半導体装置2200から出力された信号に対し、各種の信号処理を行う。信号処理後の映像信号は、メモリ等の記憶媒体に記憶されるか、或いは、モニタ等に出力される。

[0213] 本技術の一実施の形態に係る撮像装置によれば、基板の集積度に応じて基板同士の電氣的な接続をするようにしたので、基板同士を電氣的に接続する構造に起因して、チップサイズが大きくなったり、1画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像装置を提供することができる。なお、本技術の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0214] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

[0215] また、本技術の第1～第5実施形態に係る半導体装置として、裏面照射型のCMOS型イメージセンサを例示したが、裏面照射型のCCD型イメージセンサ等の固体撮像装置に適用することもできる。更に、本技術の半導体装置は、固体撮像装置以外の、例えば半導体を用いた記憶装置、半導体を用いた表示装置、半導体を用いたセンサ装置、半導体を用いた計算装置等の各種の半導体装置に適用してもよい。

[0216] 例えば、光電変換部を有する画素の代わりに、単位セルとしてのメモリセルを有する、DRAM等の半導体記憶装置の構成でもよい。現在のDRAMは1トランジスタ型のメモリセル（単位セル）であるが、本技術の積層構造を採用することにより、1970年代に使われた3トランジスタ型のメモリセル（単位セル）を有するDRAMを、集積密度を低下することなく構成できる。更に1トランジスタ型のメモリセル（単位セル）を有するDRAMを

多層に積層した３次元構造の半導体記憶装置の上層のＤＲＡＭと下層のＤＲＡＭの間に、上述したシールド構造を形成することにより、上層のＤＲＡＭと下層のＤＲＡＭの間を熱的、光学的、電磁氣的に遮蔽することができる。そのため、高速動作ＤＲＡＭ等の電気エネルギーの集中する動作において、ノイズや誤動作等を防ぐことができる。

[0217] また、本技術の第１～第５実施形態に係る半導体装置では、負の電荷（電子）を信号電荷として用いる場合を例に説明したが、正の電荷（正孔）を信号電荷として用いる場合に適用することもできる。正孔を信号電荷として用いる場合には、ｐ型領域とｎ型領域を逆に構成すればよい。

[0218] （第６実施形態）

以下、本開示の第６実施形態に係る撮像装置１について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

- １． 実施の形態（３つの基板の積層構造を有する撮像装置）
- ２． 変形例１（平面構成の例１）
- ３． 変形例２（平面構成の例２）
- ４． 変形例３（平面構成の例３）
- ５． 変形例４（画素アレイ部の中央部に基板間のコンタクト部を有する例）
- ６． 変形例５（プレーナ型の転送トランジスタを有する例）
- ７． 変形例６（１つの画素回路に１つの画素が接続される例）
- ８． 変形例７（画素分離部の構成例）

[0219] ＜１．実施の形態＞

〔撮像装置１の機能構成〕

図７０は、本開示の一実施の形態に係る撮像装置（撮像装置１）の機能構成の一例を示すブロック図である。

[0220] 図７０の撮像装置１は、例えば、入力部５１０Ａ、行駆動部５２０、タイミング制御部５３０、画素アレイ部５４０、列信号処理部５５０、画像信号処理部５６０および出力部５１０Ｂを含んでいる。

[0221] 画素アレイ部５４０には、画素５４１がアレイ状に繰り返し配置されてい

る。より具体的には、複数の画素を含んだ画素共有ユニット539が繰り返し単位となり、これが、行方向と列方向とからなるアレイ状に繰り返し配置されている。なお、本明細書では、便宜上、行方向をH方向、行方向と直交する列方向をV方向、と呼ぶ場合がある。図70の例において、1つの画素共有ユニット539が、4つの画素（画素541A、541B、541C、541D）を含んでいる。画素541A、541B、541C、541Dは各々、フォトダイオードPD（後述の図75等に図示）を有している。画素共有ユニット539は、1つの画素回路（後述の図72の画素回路210）を共有する単位である。換言すれば、4つの画素（画素541A、541B、541C、541D）毎に、1つの画素回路（後述の画素回路210）を有している。この画素回路を時分割で動作させることにより、画素541A、541B、541C、541D各々の画素信号が順次読み出されるようになっている。画素541A、541B、541C、541Dは、例えば2行×2列で配置されている。画素アレイ部540には、画素541A、541B、541C、541Dとともに、複数の行駆動信号線542および複数の垂直信号線（列読出し線）543が設けられている。行駆動信号線542は、画素アレイ部540において行方向に並んで配列された、複数の画素共有ユニット539各々に含まれる画素541を駆動する。画素共有ユニット539のうち、行方向に並んで配列された各画素を駆動する。後に図73を参照して詳しく説明するが、画素共有ユニット539には、複数のトランジスタが設けられている。これら複数のトランジスタをそれぞれ駆動するために、1つの画素共有ユニット539には複数の行駆動信号線542が接続されている。垂直信号線（列読出し線）543には、画素共有ユニット539が接続されている。画素共有ユニット539に含まれる画素541A、541B、541C、541D各々から、垂直信号線（列読出し線）543を介して画素信号が読み出される。

[0222] 行駆動部520は、例えば、画素駆動するための行の位置を決める行アドレス制御部、言い換えれば、行デコーダ部と、画素541A、541B、5

4 1 C, 5 4 1 Dを駆動するための信号を発生させる行駆動回路部とを含んでいる。

[0223] 列信号処理部550は、例えば、垂直信号線543に接続され、画素541A, 541B, 541C, 541D（画素共有ユニット539）とソースフォロア回路を形成する負荷回路部を備える。列信号処理部550は、垂直信号線543を介して画素共有ユニット539から読み出された信号を増幅する増幅回路部を有していてもよい。列信号処理部550は、ノイズ処理部を有していてもよい。ノイズ処理部では、例えば、光電変換の結果として画素共有ユニット539から読み出された信号から、系のノイズレベルが取り除かれる。

[0224] 列信号処理部550は、例えば、アナログデジタルコンバータ（ADC）を有している。アナログデジタルコンバータでは、画素共有ユニット539から読み出された信号もしくは上記ノイズ処理されたアナログ信号がデジタル信号に変換される。ADCは、例えば、コンパレータ部およびカウンタ部を含んでいる。コンパレータ部では、変換対象となるアナログ信号と、これと比較対象となる参照信号とが比較される。カウンタ部では、コンパレータ部での比較結果が反転するまでの時間が計測されるようになっている。列信号処理部550は、読出し列を走査する制御を行う水平走査回路部を含んでもよい。

[0225] タイミング制御部530は、装置へ入力された基準クロック信号やタイミング制御信号を基にして、行駆動部520および列信号処理部550へ、タイミングを制御する信号を供給する。

[0226] 画像信号処理部560は、光電変換の結果得られたデータ、言い換えれば、撮像装置1における撮像動作の結果得られたデータに対して、各種の信号処理を施す回路である。画像信号処理部560は、例えば、画像信号処理回路部およびデータ保持部を含んでいる。画像信号処理部560は、プロセッサ部を含んでもよい。

[0227] 画像信号処理部560において実行される信号処理の一例は、AD変換さ

れた撮像データが、暗い被写体を撮影したデータである場合には階調を多く持たせ、明るい被写体を撮影したデータである場合には階調を少なくするトーンカーブ補正処理である。この場合、撮像データの階調をどのようなトーンカーブに基づいて補正するか、トーンカーブの特性データを予め画像信号処理部560のデータ保持部に記憶させておくことが望ましい。

[0228] 入力部510Aは、例えば、上記基準クロック信号、タイミング制御信号および特性データなどを装置外部から撮像装置1へ入力するためのものである。タイミング制御信号は、例えば、垂直同期信号および水平同期信号などである。特性データは、例えば、画像信号処理部560のデータ保持部へ記憶させるためのものである。入力部510Aは、例えば、入力端子511、入力回路部512、入力振幅変更部513、入力データ変換回路部514および電源供給部（不図示）を含んでいる。

[0229] 入力端子511は、データを入力するための外部端子である。入力回路部512は、入力端子511へ入力された信号を撮像装置1の内部へと取り込むためのものである。入力振幅変更部513では、入力回路部512で取り込まれた信号の振幅が、撮像装置1の内部で利用しやすい振幅へと変更される。入力データ変換回路部514では、入力データのデータ列の並びが変更される。入力データ変換回路部514は、例えば、シリアルパラレル変換回路により構成されている。このシリアルパラレル変換回路では、入力データとして受け取ったシリアル信号がパラレル信号へと変換される。なお、入力部510Aでは、入力振幅変更部513および入力データ変換回路部514が、省略されていてもよい。電源供給部は、外部から撮像装置1へ供給された電源をもとにして、撮像装置1の内部で必要となる各種の電圧に設定された電源を供給する。

[0230] 撮像装置1が外部のメモリデバイスと接続されるとき、入力部510Aには、外部のメモリデバイスからのデータを受け取るメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、SRAMおよびDRAM等である。

[0231] 出力部510Bは、画像データを装置外部へと出力する。この画像データは、例えば、撮像装置1で撮影された画像データ、および、画像信号処理部560で信号処理された画像データ等である。出力部510Bは、例えば、出力データ変換回路部515、出力振幅変更部516、出力回路部517および出力端子518を含んでいる。

[0232] 出力データ変換回路部515は、例えば、パラレルシリアル変換回路により構成されており、出力データ変換回路部515では、撮像装置1内部で利用したパラレル信号がシリアル信号へと変換される。出力振幅変更部516は、撮像装置1の内部で用いた信号の振幅を変更する。変更された振幅の信号は、撮像装置1の外部に接続される外部デバイスで利用しやすくなる。出力回路部517は、撮像装置1の内部から装置外部へとデータを出力する回路であり、出力回路部517により、出力端子518に接続された撮像装置1外部の配線が駆動される。出力端子518では、撮像装置1から装置外部へとデータが出力される。出力部510Bでは、出力データ変換回路部515および出力振幅変更部516が、省略されていてもよい。

[0233] 撮像装置1が外部のメモリデバイスと接続されるとき、出力部510Bには、外部のメモリデバイスへとデータを出力するメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、SRAMおよびDRAM等である。

[0234] [撮像装置1の概略構成]

図71および図72は、撮像装置1の概略構成の一例を表したものである。撮像装置1は、3つの基板（第1基板100、第2基板200、第3基板300）を備えている。図71は、第1基板100、第2基板200、第3基板300各々の平面構成を模式的に表したものであり、図72は、互いに積層された第1基板100、第2基板200および第3基板300の断面構成を模式的に表している。図72は、図71に示した「I-I'」線に沿った断面構成に対応する。撮像装置1は、3つの基板（第1基板100、第2基板200、第3基板300）を貼り合わせて構成された3次元構造の

撮像装置である。第1基板100は、半導体層100Sおよび配線層100Tを含む。第2基板200は、半導体層200Sおよび配線層200Tを含む。第3基板300は、半導体層300Sおよび配線層300Tを含む。ここで、第1基板100、第2基板200および第3基板300の各基板に含まれる配線とその周囲の層間絶縁膜を合せたものを、便宜上、それぞれの基板（第1基板100、第2基板200および第3基板300）に設けられた配線層（100T、200T、300T）と呼ぶ。第1基板100、第2基板200および第3基板300は、この順に積層されており、積層方向に沿って、半導体層100S、配線層100T、半導体層200S、配線層200T、配線層300Tおよび半導体層300Sの順に配置されている。第1基板100、第2基板200および第3基板300の具体的な構成については後述する。図72に示した矢印は、撮像装置1への光Lの入射方向を表す。本明細書では、便宜上、以降の断面図で、撮像装置1における光入射側を「下」「下側」「下方」、光入射側と反対側を「上」「上側」「上方」と呼ぶ場合がある。また、本明細書では、便宜上、半導体層と配線層を備えた基板に関して、配線層の側を表面、半導体層の側を裏面と呼ぶ場合がある。なお、明細書の記載は、上記の呼び方に限定されない。撮像装置1は、例えば、フォトダイオードを有する第1基板100の裏面側から光が入射する、裏面照射型撮像装置となっている。

- [0235] 画素アレイ部540および画素アレイ部540に含まれる画素共有ユニット539は、ともに、第1基板100および第2基板200の双方を用いて構成されている。第1基板100には、画素共有ユニット539が有する複数の画素541A、541B、541C、541Dが設けられている。これらの画素541のそれぞれが、フォトダイオード（後述のフォトダイオードPD）および転送トランジスタ（後述の転送トランジスタTR）を有している。第2基板200には、画素共有ユニット539が有する画素回路（後述の画素回路210）が設けられている。画素回路は、画素541A、541B、541C、541D各々のフォトダイオードから転送トランジスタを介

して転送された画素信号を読み出し、あるいは、フォトダイオードをリセットする。この第2基板200は、このような画素回路に加えて、行方向に延在する複数の行駆動信号線542および列方向に延在する複数の垂直信号線543を有している。第2基板200は、更に、行方向に延在する電源線544を有している。第3基板300は、例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bを有している。行駆動部520は、例えば、第1基板100、第2基板200および第3基板300の積層方向（以下、単に積層方向という）において、一部が画素アレイ部540に重なる領域に設けられている。より具体的には、行駆動部520は、積層方向において、画素アレイ部540のH方向の端部近傍に重なる領域に設けられている（図71）。列信号処理部550は、例えば、積層方向において、一部が画素アレイ部540に重なる領域に設けられている。より具体的には、列信号処理部550は、積層方向において、画素アレイ部540のV方向の端部近傍に重なる領域に設けられている（図71）。図示は省略するが、入力部510Aおよび出力部510Bは、第3基板300以外の部分に配置されていてもよく、例えば、第2基板200に配置されていてもよい。あるいは、第1基板100の裏面（光入射面）側に入力部510Aおよび出力部510Bを設けるようにしてもよい。なお、上記第2基板200に設けられた画素回路は、別の呼称として、画素トランジスタ回路、画素トランジスタ群、画素トランジスタ、画素読み出し回路または読出回路と呼ばれることもある。本明細書では、画素回路との呼称を用いる。

[0236] 第1基板100と第2基板200とは、例えば、貫通電極（後述の図75の貫通電極120E，121E）により電氣的に接続されている。第2基板200と第3基板300とは、例えば、コンタクト部201，202，301，302を介して電氣的に接続されている。第2基板200にコンタクト部201，202が設けられ、第3基板300にコンタクト部301，302が設けられている。第2基板200のコンタクト部201が第3基板300

0のコンタクト部301に接し、第2基板200のコンタクト部202が第3基板300のコンタクト部302に接している。第2基板200は、複数のコンタクト部201が設けられたコンタクト領域201Rと、複数のコンタクト部202が設けられたコンタクト領域202Rとを有している。第3基板300は、複数のコンタクト部301が設けられたコンタクト領域301Rと、複数のコンタクト部302が設けられたコンタクト領域302Rとを有している。コンタクト領域201R, 301Rは、積層方向において、画素アレイ部540と行駆動部520との間に設けられている(図72)。換言すれば、コンタクト領域201R, 301Rは、例えば、行駆動部520(第3基板300)と、画素アレイ部540(第2基板200)とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域201R, 301Rは、例えば、このような領域のうち、H方向の端部に配置されている(図71)。第3基板300では、例えば、行駆動部520の一部、具体的には行駆動部520のH方向の端部に重なる位置にコンタクト領域301Rが設けられている(図71, 図72)。コンタクト部201, 301は、例えば、第3基板300に設けられた行駆動部520と、第2基板200に設けられた行駆動信号線542とを接続するものである。コンタクト部201, 301は、例えば、第3基板300に設けられた入力部510Aと電源線544および基準電位線(後述の基準電位線VSS)とを接続していてもよい。コンタクト領域202R, 302Rは、積層方向において、画素アレイ部540と列信号処理部550との間に設けられている(図72)。換言すれば、コンタクト領域202R, 302Rは、例えば、列信号処理部550(第3基板300)と画素アレイ部540(第2基板200)とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域202R, 302Rは、例えば、このような領域のうち、V方向の端部に配置されている(図71)。第3基板300では、例えば、列信号処理部550の一部、具体的には列信号処理部550のV方向の端部に重なる位置にコンタクト領域301Rが設けられている(図71, 図72)。

コンタクト部202, 302は、例えば、画素アレイ部540が有する複数の画素共有ユニット539各々から出力された画素信号（フォトダイオードでの光電変換の結果発生した電荷の量に対応した信号）を、第3基板300に設けられた列信号処理部550へと接続するためのものである。画素信号は、第2基板200から第3基板300に送られるようになっている。

[0237] 図72は、上記のように、撮像装置1の断面図の一例である。第1基板100、第2基板200、第3基板300は、配線層100T、200T、300Tを介して電氣的に接続される。例えば、撮像装置1は、第2基板200と第3基板300とを電氣的に接続する電氣的接続部を有する。具体的には、導電材料で形成された電極でコンタクト部201, 202, 301, 302を形成する。導電材料は、例えば、銅（Cu）、アルミニウム（Al）、金（Au）、などの金属材料で形成される。コンタクト領域201R、202R、301R、302Rは、例えば電極として形成された配線同士を直接接合することで、第2基板と第3基板とを電氣的に接続し、第2基板200と第3基板300との信号の入力及び／又は出力を可能にする。

[0238] 第2基板200と第3基板300とを電氣的に接続する電氣的接続部は、所望の箇所に設けることができる。例えば、図72においてコンタクト領域201R、202R、301R、302Rとして述べたように、画素アレイ部540と積層方向に重なる領域に設けても良い。また、電氣的接続部を画素アレイ部540と積層方向に重ならない領域に設けても良い。具体的には、画素アレイ部540の外側に配置された周辺部と、積層方向に重なる領域に設けても良い。

[0239] 第1基板100および第2基板200には、例えば、接続孔部H1, H2が設けられている。接続孔部H1, H2は、第1基板100および第2基板200を貫通している（図72）。接続孔部H1, H2は、画素アレイ部540（または画素アレイ部540に重なる部分）の外側に設けられている（図71）。例えば、接続孔部H1は、H方向において画素アレイ部540より外側に配置されており、接続孔部H2は、V方向において画素アレイ部5

40よりも外側に配置されている。例えば、接続孔部H1は、第3基板300に設けられた入力部510Aに達しており、接続孔部H2は、第3基板300に設けられた出力部510Bに達している。接続孔部H1、H2は、空洞でもよく、少なくとも一部に導電材料を含んでいても良い。例えば、入力部510A及び／又は出力部510Bとして形成された電極に、ボンディングワイヤを接続する構成がある。または、入力部510A及び／又は出力部510Bとして形成された電極と、接続孔部H1、H2に設けられた導電材料とを接続する構成がある。接続孔部H1、H2に設けられた導電材料は、接続孔部H1、H2の一部または全部に埋め込まれていても良く、導電材料が接続孔部H1、H2の側壁に形成されていても良い。

[0240] なお、図72では第3基板300に入力部510A、出力部510Bを設ける構造としたが、これに限定されない。例えば、配線層200T、300Tを介して第3基板300の信号を第2基板200へ送ることで、入力部510A及び／又は出力部510Bを第2基板200に設けることもできる。同様に、配線層100T、200Tを介して、第2基板200の信号を第1基板1000へ送ることで、入力部510A及び／又は出力部510Bを第1基板100に設けることもできる。

[0241] 図73は、画素共有ユニット539の構成の一例を表す等価回路図である。画素共有ユニット539は、複数の画素541（図73では、画素541A、541B、541C、541Dの4つの画素541を表す）と、この複数の画素541に接続された1の画素回路210と、画素回路210に接続された垂直信号線5433とを含んでいる。画素回路210は、例えば、4つのトランジスタ、具体的には、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDを含んでいる。上述のように、画素共有ユニット539は、1の画素回路210を時分割で動作させることにより、画素共有ユニット539に含まれる4つの画素541（画素541A、541B、541C、541D）それぞれの画素信号を順次垂直信号線543へ出力するようになっている。

。複数の画素541に1の画素回路210が接続されており、この複数の画素541の画素信号が、1の画素回路210により時分割で出力される態様を、「複数の画素541が1の画素回路210を共有する」という。

[0242] 画素541A, 541B, 541C, 541Dは、互いに共通の構成要素を有している。以降、画素541A, 541B, 541C, 541Dの構成要素を互いに区別するために、画素541Aの構成要素の符号の末尾には識別番号1、画素541Bの構成要素の符号の末尾には識別番号2、画素541Cの構成要素の符号の末尾には識別番号3、画素541Dの構成要素の符号の末尾には識別番号4を付与する。画素541A, 541B, 541C, 541Dの構成要素を互いに区別する必要のない場合には、画素541A, 541B, 541C, 541Dの構成要素の符号の末尾の識別番号を省略する。

[0243] 画素541A, 541B, 541C, 541Dは、例えば、フォトダイオードPDと、フォトダイオードPDと電氣的に接続された転送トランジスタTRと、転送トランジスタTRに電氣的に接続されたフローティングディフュージョンFDとを有している。フォトダイオードPD（PD1, PD2, PD3, PD4）では、カソードが転送トランジスタTRのソースに電氣的に接続されており、アノードが基準電位線（例えばグラウンド）に電氣的に接続されている。フォトダイオードPDは、入射した光を光電変換し、その受光量に応じた電荷を発生する。転送トランジスタTR（転送トランジスタTR1, TR2, TR3, TR4）は、例えば、n型のCMOS（Complementary Metal Oxide Semiconductor）トランジスタである。転送トランジスタTRでは、ドレインがフローティングディフュージョンFDに電氣的に接続され、ゲートが駆動信号線に電氣的に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542（図70参照）のうちの一部である。転送トランジスタTRは、フォトダイオードPDで発生した電荷をフローティングディフュージョンFDへと転送する。フローティングディフュージョンFD（フローティングディフュージョンF

D 1, F D 2, F D 3, F D 4) は、p 型半導体層中に形成された n 型拡散層領域である。フローティングディフュージョン F D は、フォトダイオード P D から転送された電荷を一時的に保持する電荷保持手段であり、かつ、その電荷量に応じた電圧を発生させる、電荷—電圧変換手段である。

[0244] 1 の画素共有ユニット 5 3 9 に含まれる 4 つのフローティングディフュージョン F D (フローティングディフュージョン F D 1, F D 2, F D 3, F D 4) は、互いに電氣的に接続されるとともに、増幅トランジスタ A M P のゲートおよび F D 変換ゲイン切替トランジスタ F D G のソースに電氣的に接続されている。F D 変換ゲイン切替トランジスタ F D G のドレインはリセットトランジスタ R S T のソースに接続され、F D 変換ゲイン切替トランジスタ F D G のゲートは駆動信号線に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 のうちの一部である。リセットトランジスタ R S T のドレインは電源線 V D D に接続され、リセットトランジスタ R S T のゲートは駆動信号線に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 のうちの一部である。増幅トランジスタ A M P のゲートはフローティングディフュージョン F D に接続され、増幅トランジスタ A M P のドレインは電源線 V D D に接続され、増幅トランジスタ A M P のソースは選択トランジスタ S E L のドレインに接続されている。選択トランジスタ S E L のソースは垂直信号線 5 4 3 に接続され、選択トランジスタ S E L のゲートは駆動信号線に接続されている。この駆動信号線は、1 の画素共有ユニット 5 3 9 に接続された複数の行駆動信号線 5 4 2 のうちの一部である。

[0245] 転送トランジスタ T R は、転送トランジスタ T R がオン状態となると、フォトダイオード P D の電荷をフローティングディフュージョン F D に転送する。転送トランジスタ T R のゲート (転送ゲート T G) は、例えば、いわゆる縦型電極を含んでおり、後述の図 7 5 に示すように、半導体層 (後述の図 7 5 の半導体層 1 0 0 S) の表面から P D に達する深さまで延在して設けられている。リセットトランジスタ R S T は、フローティングディフュージョ

ンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、画素回路210からの画素信号の出力タイミングを制御する。増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、選択トランジスタSELを介して垂直信号線543に接続されている。この増幅トランジスタAMPは、列信号処理部550において、垂直信号線543に接続された負荷回路部（図70参照）とともにソースフォロアを構成している。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電圧を、垂直信号線543を介して列信号処理部550に出力する。リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELは、例えば、N型のCMOSトランジスタである。

[0246] FD変換ゲイン切替トランジスタFDGは、フローティングディフュージョンFDでの電荷－電圧変換のゲインを変更する際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量（FD容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、FD容量Cが大きくなければ、フローティングディフュージョンFDで、フォトダイオードPDの電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際のVが大きくなりすぎないように（言い換えると、小さくなるように）、FD容量Cが大きくなっている必要がある。これらを踏まえると、FD変換ゲイン切替トランジスタFDGをオンにしたときには、FD変換ゲイン切替トランジスタFDG分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、FD変換ゲイン切替トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、FD変換ゲイ

ン切替トランジスタFDGをオンオフ切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。FD変換ゲイン切替トランジスタFDGは、例えば、N型のCMOSTランジスタである。

[0247] なお、FD変換ゲイン切替トランジスタFDGを設けない構成も可能である。このとき、例えば、画素回路210は、例えば増幅トランジスタAMP、選択トランジスタSELおよびリセットトランジスタRSTの3つのトランジスタで構成される。画素回路210は、例えば、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGなどの画素トランジスタの少なくとも1つを有する。

[0248] 選択トランジスタSELは、電源線VDDと増幅トランジスタAMPとの間に設けられていてもよい。この場合、リセットトランジスタRSTのドレインが電源線VDDおよび選択トランジスタSELのドレインに電氣的に接続されている。選択トランジスタSELのソースが増幅トランジスタAMPのドレインに電氣的に接続されており、選択トランジスタSELのゲートが行駆動信号線542（図70参照）に電氣的に接続されている。増幅トランジスタAMPのソース（画素回路210の出力端）が垂直信号線543に電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。なお、図示は省略するが、1の画素回路210を共有する画素541の数は、4以外であってもよい。例えば、2つまたは8つの画素541が1の画素回路210を共有してもよい。

[0249] 図74は、複数の画素共有ユニット539と、垂直信号線543との接続態様の一例を表したものである。例えば、列方向に並ぶ4つの画素共有ユニット539が4つのグループに分けられており、この4つのグループ各々に垂直信号線543が接続されている。図74には、説明を簡単にするため、4つのグループが各々、1つの画素共有ユニット539を有する例を示したが、4つのグループが各々、複数の画素共有ユニット539を含んでいても

よい。このように、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 5 3 9 が、1 つまたは複数の画素共有ユニット 5 3 9 を含むグループに分けられていてもよい。例えば、このグループそれぞれに、垂直信号線 5 4 3 および列信号処理部 5 5 0 が接続されており、それぞれのグループから画素信号を同時に読み出すことができるようになっている。あるいは、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 5 3 9 に 1 つの垂直信号線 5 4 3 が接続されていてもよい。このとき、1 つの垂直信号線 5 4 3 に接続された複数の画素共有ユニット 5 3 9 から、時分割で順次画素信号が読み出されるようになっている。

[0250] [撮像装置 1 の具体的構成]

図 7 5 は、撮像装置 1 の第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の主面に対して垂直方向の断面構成の一例を表したものである。図 7 5 は、構成要素の位置関係を分かりやすくするため、模式的に表したものであり、実際の断面と異なってもよい。撮像装置 1 では、第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 がこの順に積層されている。撮像装置 1 は、さらに、第 1 基板 1 0 0 の裏面側（光入射面側）に受光レンズ 4 0 1 を有している。受光レンズ 4 0 1 と第 1 基板 1 0 0 との間に、カラーフィルタ層（図示せず）が設けられていてもよい。受光レンズ 4 0 1 は、例えば、画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D 各々に設けられている。撮像装置 1 は、例えば、裏面照射型の撮像装置である。撮像装置 1 は、中央部に配置された画素アレイ部 5 4 0 と、画素アレイ部 5 4 0 の外側に配置された周辺部 5 4 0 B とを有している。

[0251] 第 1 基板 1 0 0 は、受光レンズ 4 0 1 側から順に、絶縁膜 1 1 1、固定電荷膜 1 1 2、半導体層 1 0 0 S および配線層 1 0 0 T を有している。半導体層 1 0 0 S は、例えばシリコン基板により構成されている。半導体層 1 0 0 S は、例えば、表面（配線層 1 0 0 T 側の面）の一部およびその近傍に、p ウェル層 1 1 5 を有しており、それ以外の領域（p ウェル層 1 1 5 よりも深い領域）に、n 型半導体領域 1 1 4 を有している。例えば、この n 型半導体

領域 114 および p ウェル層 115 により p n 接合型のフォトダイオード PD が構成されている。p ウェル層 115 は、p 型半導体領域である。

[0252] 図 76A は、第 1 基板 100 の平面構成の一例を表したものである。図 76A は、主に、第 1 基板 100 の画素分離部 117、フォトダイオード PD、フローティングディフュージョン FD、VSS コンタクト領域 118 および転送トランジスタ TR の平面構成を表している。図 75 とともに、図 76A を用いて第 1 基板 100 の構成について説明する。

[0253] 半導体層 100S の表面近傍には、フローティングディフュージョン FD および VSS コンタクト領域 118 が設けられている。フローティングディフュージョン FD は、p ウェル層 115 内に設けられた n 型半導体領域により構成されている。画素 541A、541B、541C、541D 各々のフローティングディフュージョン FD（フローティングディフュージョン FD 1、FD 2、FD 3、FD 4）は、例えば、画素共有ユニット 539 の中央部に互いに近接して設けられている（図 76A）。詳細は後述するが、この画素共有ユニット 539 に含まれる 4 つのフローティングディフュージョン（フローティングディフュージョン FD 1、FD 2、FD 3、FD 4）は、第 1 基板 100 内（より具体的には配線層 100T の内）で、電氣的接続手段（後述のパッド部 120）を介して互いに電氣的に接続されている。更に、フローティングディフュージョン FD は、第 1 基板 100 から第 2 基板 200 へ（より具体的には、配線層 100T から配線層 200T へ）と電氣的接続手段（後述の貫通電極 120E）を介して接続されている。第 2 基板 200（より具体的には配線層 200T の内部）では、この電氣的手段により、フローティングディフュージョン FD が、増幅トランジスタ AMP のゲートおよび FD 変換ゲイン切替トランジスタ FDG のソースに電氣的に接続されている。

[0254] VSS コンタクト領域 118 は、基準電位線 VSS に電氣的に接続される領域であり、フローティングディフュージョン FD と離間して配置されている。例えば、画素 541A、541B、541C、541D では、各画素の

V方向の一端にフローティングディフュージョンFDが配置され、他端にVSSコンタクト領域118が配置されている（図76A）。VSSコンタクト領域118は、例えば、p型半導体領域により構成されている。VSSコンタクト領域118は、例えば接地電位や固定電位に接続されている。これにより、半導体層100Sに基準電位が供給される。

[0255] 第1基板100には、フォトダイオードPD、フローティングディフュージョンFDおよびVSSコンタクト領域118とともに、転送トランジスタTRが設けられている。このフォトダイオードPD、フローティングディフュージョンFD、VSSコンタクト領域118および転送トランジスタTRは、画素541A、541B、541C、541D各々に設けられている。転送トランジスタTRは、半導体層100Sの表面側（光入射面側とは反対側、第2基板200側）に設けられている。転送トランジスタTRは、転送ゲートTGを有している。転送ゲートTGは、例えば、半導体層100Sの表面に対向する水平部分TGbと、半導体層100S内に設けられた垂直部分Tgaとを含んでいる。垂直部分Tgaは、半導体層100Sの厚み方向に延在している。垂直部分Tgaの一端は水平部分TGbに接し、他端はn型半導体領域114内に設けられている。転送トランジスタTRを、このような縦型トランジスタにより構成することにより、画素信号の転送不良が生じにくくなり、画素信号の読み出し効率を向上させることができる。

[0256] 転送ゲートTGの水平部分TGbは、垂直部分Tgaに対向する位置から例えば、H方向において画素共有ユニット539の中央部に向かって延在している（図76A）。これにより、転送ゲートTGに達する貫通電極（後述の貫通電極TGV）のH方向の位置を、フローティングディフュージョンFD、VSSコンタクト領域118に接続される貫通電極（後述の貫通電極120E、121E）のH方向の位置に近づけることができる。例えば、第1基板100に設けられた複数の画素共有ユニット539は、互いに同じ構成を有している（図76A）。

[0257] 半導体層100Sには、画素541A、541B、541C、541Dを

互いに分離する画素分離部 117 が設けられている。画素分離部 117 は、半導体層 100S の法線方向（半導体層 100S の表面に対して垂直な方向）に延在して形成されている。画素分離部 117 は、画素 541A, 541B, 541C, 541D を互いに仕切るように設けられており、例えば格子状の平面形状を有している（図 76A, 図 76B）。画素分離部 117 は、例えば、画素 541A, 541B, 541C, 541D を互いに電気的および光学的に分離する。画素分離部 117 は、例えば、遮光膜 117A および絶縁膜 117B を含んでいる。遮光膜 117A には、例えば、タングステン (W) 等が用いられる。絶縁膜 117B は、遮光膜 117A と p ウェル層 115 または n 型半導体領域 114 との間に設けられている。絶縁膜 117B は、例えば、酸化シリコン (SiO₂) によって構成されている。画素分離部 117 は、例えば、FTI (Full Trench Isolation) 構造を有しており、半導体層 100S を貫通している。図示しないが、画素分離部 117 は半導体層 100S を貫通する FTI 構造に限定されない。例えば、半導体層 100S を貫通しない DTI (Deep Trench Isolation) 構造であっても良い。画素分離部 117 は、半導体層 100S の法線方向に延在して、半導体層 100S の一部の領域に形成される。

[0258] 半導体層 100S には、例えば、第 1 ピニング領域 113 および第 2 ピニング領域 116 が設けられている。第 1 ピニング領域 113 は、半導体層 100S の裏面近傍に設けられており、n 型半導体領域 114 と固定電荷膜 112 との間に配置されている。第 2 ピニング領域 116 は、画素分離部 117 の側面、具体的には、画素分離部 117 と p ウェル層 115 または n 型半導体領域 114 との間に設けられている。第 1 ピニング領域 113 および第 2 ピニング領域 116 は、例えば、p 型半導体領域により構成されている。

[0259] 半導体層 100S と絶縁膜 111 との間には、負の固定電荷を有する固定電荷膜 112 が設けられている。固定電荷膜 112 が誘起する電界により、半導体層 100S の受光面（裏面）側の界面に、ホール蓄積層の第 1 ピニング領域 113 が形成される。これにより、半導体層 100S の受光面側の界

面準位に起因した暗電流の発生が抑えられる。固定電荷膜 112 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。この負の固定電荷を有する絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。

[0260] 固定電荷膜 112 と絶縁膜 111 との間には、遮光膜 117A が設けられている。この遮光膜 117A は、画素分離部 117 を構成する遮光膜 117A と連続して設けられていてもよい。この固定電荷膜 112 と絶縁膜 111 との間の遮光膜 117A は、例えば、半導体層 100S 内の画素分離部 117 に対向する位置に選択的に設けられている。絶縁膜 111 は、この遮光膜 117A を覆うように設けられている。絶縁膜 111 は、例えば、酸化シリコンにより構成されている。

[0261] 半導体層 100S と第 2 基板 200 との間に設けられた配線層 100T は、半導体層 100S 側から、層間絶縁膜 119、パッド部 120、121、パッシベーション膜 122、層間絶縁膜 123 および接合膜 124 をこの順に有している。転送ゲート TG の水平部分 TGb は、例えば、この配線層 100T に設けられている。層間絶縁膜 119 は、半導体層 100S の表面全面にわたって設けられており、半導体層 100S に接している。層間絶縁膜 119 は、例えば酸化シリコン膜により構成されている。なお、配線層 100T の構成は上述の限りでなく、配線と絶縁膜とを有する構成であれば良い。

[0262] 図 76B は、図 76A に示した平面構成とともに、パッド部 120、121 の構成を表している。パッド部 120、121 は、層間絶縁膜 119 上の選択的な領域に設けられている。パッド部 120 は、画素 541A、541B、541C、541D 各々のフローティングディフュージョン FD（フローティングディフュージョン FD1、FD2、FD3、FD4）を互いに接続するためのものである。パッド部 120 は、例えば、画素共有ユニット 539 毎に、平面視で画素共有ユニット 539 の中央部に配置されている（図 76B）。このパッド部 120 は、画素分離部 117 を跨ぐように設けられ

ており、フローティングディフュージョンFD 1, FD 2, FD 3, FD 4 各々の少なくとも一部に重畳して配置されている（図 7 5, 図 7 6 B）。具体的には、パッド部 1 2 0 は、画素回路 2 1 0 を共有する複数のフローティングディフュージョンFD（フローティングディフュージョンFD 1, FD 2, FD 3, FD 4）各々の少なくとも一部と、その画素回路 2 1 0 を共有する複数のフォトダイオードPD（フォトダイオードPD 1, PD 2, PD 3, PD 4）の間に形成された画素分離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 0 とフローティングディフュージョンFD 1, FD 2, FD 3, FD 4 とを電氣的に接続するための接続ビア 1 2 0 C が設けられている。接続ビア 1 2 0 C は、画素 5 4 1 A, 5 4 1 B, 5 4 1 C, 5 4 1 D 各々に設けられている。例えば、接続ビア 1 2 0 C にパッド部 1 2 0 の一部が埋め込まれることにより、パッド部 1 2 0 とフローティングディフュージョンFD 1, FD 2, FD 3, FD 4 とが電氣的に接続されている。

[0263] パッド部 1 2 1 は、複数のVSSコンタクト領域 1 1 8 を互いに接続するためのものである。例えば、V方向に隣り合う一方の画素共有ユニット 5 3 9 の画素 5 4 1 C, 5 4 1 D に設けられたVSSコンタクト領域 1 1 8 と、他方の画素共有ユニット 5 3 9 の画素 5 4 1 A, 5 4 1 B に設けられたVSSコンタクト領域 1 1 8 とがパッド部 1 2 1 により電氣的に接続されている。パッド部 1 2 1 は、例えば、画素分離部 1 1 7 を跨ぐように設けられており、これら4つのVSSコンタクト領域 1 1 8 各々の少なくとも一部に重畳して配置されている。具体的には、パッド部 1 2 1 は、複数のVSSコンタクト領域 1 1 8 各々の少なくとも一部と、その複数のVSSコンタクト領域 1 1 8 の間に形成された画素分離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 1 とVSSコンタクト領域 1 1 8 とを電氣的に接続するための接続ビア 1 2 1 C が設けられている。接続ビア 1 2 1 C

は、画素541A, 541B, 541C, 541D各々に設けられている。例えば、接続ビア121Cにパッド部121の一部が埋め込まれることにより、パッド部121とVSSコンタクト領域118とが電氣的に接続されている。例えば、V方向に並ぶ複数の画素共有ユニット539各々のパッド部120およびパッド部121は、H方向において略同じ位置に配置されている(図76B)。

[0264] パッド部120を設けることで、チップ全体において、各フローティングディフュージョンFDから画素回路210(例えば増幅トランジスタAMPのゲート電極)へ接続するための配線を減らすことができる。同様に、パッド部121を設けることで、チップ全体において、各VSSコンタクト領域118への電位を供給する配線を減らすことができる。これにより、チップ全体の面積の縮小、微細化された画素における配線間の電氣的干渉の抑制、及び／又は部品点数の削減によるコスト削減などが可能になる。

[0265] パッド部120、121は、第1基板100、第2基板200の所望の位置に設けることができる。具体的には、パッド部120、121を配線層100T、半導体層200Sの絶縁領域212のいずれかに設けることができる。配線層100Tに設ける場合には、パッド部120、121を半導体層100Sに直接接触させても良い。具体的には、パッド部120、121が、フローティングディフュージョンFD及び／又はVSSコンタクト領域118の各々の少なくとも一部と直接接続される構成でも良い。また、パッド部120、121に接続するフローティングディフュージョンFD及び／又はVSSコンタクト領域118の各々から接続ビア120C, 121Cを設け、配線層100T、半導体層200Sの絶縁領域2112の所望の位置にパッド部120、121を設ける構成でも良い。

[0266] 特に、パッド部120、121を配線層100Tに設ける場合には、半導体層200Sの絶縁領域212におけるフローティングディフュージョンFD及び／又はVSSコンタクト領域118に接続される配線を減らすことができる。これにより、画素回路210を形成する第2基板200のうち、フ

ローティングディフュージョンFDから画素回路210に接続するための貫通配線を形成するための絶縁領域212の面積を削減することができる。よって、画素回路210を形成する第2基板200の面積を大きく確保することができる。画素回路210の面積を確保することで、画素トランジスタを大きく形成することができ、ノイズ低減などによる画質向上に寄与することができる。

[0267] 特に、画素分離部117にFTI構造を用いた場合、フローティングディフュージョンFD及び／又はVSSコンタクト領域118は、各画素541に設けることが好ましいため、パッド部120、121の構成を用いることで、第1基板100と第2基板200とを接続する配線を大幅に削減することができる。

[0268] また、図76Bのように、例えば複数のフローティングディフュージョンFDが接続されるパッド部120と、複数のVSSコンタクト領域118が接続されるパッド部121とは、V方向において直線状に交互に配置される。また、パッド部120、121は、複数のフォトダイオードPDや、複数の転送ゲートTGや、複数のフローティングディフュージョンFDに囲まれる位置に形成される。これにより、複数の素子を形成する第1基板100において、フローティングディフュージョンFDとVSSコンタクト領域118以外の素子を自由に配置することができ、チップ全体のレイアウトの効率化を図ることができる。また、各画素共有ユニット539に形成される素子のレイアウトにおける対称性が確保され、各画素541の特性のばらつきを抑えることができる。

[0269] パッド部120、121は、例えば、ポリシリコン(Poly Si)、より具体的には、不純物が添加されたドーパドポリシリコンにより構成されている。パッド部120、121はポリシリコン、タングステン(W)、チタン(Ti)および窒化チタン(TiN)等の耐熱性の高い導電性材料により構成されていることが好ましい。これにより、第1基板100に第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成することが可

能となる。以下、この理由について説明する。なお、以下の説明において、第1基板100と第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成する方法を、第1の製造方法と呼ぶ。

[0270] ここで、第2基板200に画素回路210を形成した後に、これを第1基板100に貼り合わせることも考え得る（以下第2の製造方法という）。この第2の製造方法では、第1基板100の表面（配線層100Tの表面）および第2基板200の表面（配線層200Tの表面）それぞれに、電氣的接続用の電極を予め形成しておく。第1基板100と第2基板200を貼り合わせると、これと同時に、第1基板100の表面と第2基板200の表面のそれぞれに形成された電氣的接続用の電極同士が接触する。これにより、第1基板100に含まれる配線と第2基板200に含まれる配線との間で電氣的接続が形成される。よって、第2の製造方法を用いた撮像装置1の構成とすることで、例えば第1基板100と第2基板200の各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。

[0271] このような第2の製造方法では、第1基板100と第2基板200とを貼り合わせる際に、貼り合せ用の製造装置に起因して、位置合わせの誤差が生じることがある。また、第1基板100および第2基板200は、例えば、直径数十cm程度の大きさを有するが、第1基板100と第2基板200とを貼り合わせる際に、この第1基板100、第2基板200各部の微視的領域で、基板の伸び縮みが発生するおそれがある。この基板の伸び縮みは、基板同士が接触するタイミングが多少ずれることに起因する。このような第1基板100および第2基板200の伸び縮みに起因して、第1基板100の表面および第2基板200の表面それぞれに形成された電氣的接続用の電極の位置に、誤差が生じることがある。第2の製造方法では、このような誤差が生じて、第1基板100および第2基板200それぞれの電極同士が接触するように対処しておくことが好ましい。具体的には、第1基板100および第2基板200の電極の少なくとも一方、好ましくは両方を、上記誤差

を考慮して大きくしておく。このため、第2の製造方法を用いると、例えば、第1基板100または第2基板200の表面に形成された電極の大きさ（基板平面方向の大きさ）が、第1基板100または第2基板200の内部から表面に厚み方向へ延在する内部電極の大きさよりも大きくなる。

[0272] 一方、パッド部120, 121を耐熱性の導電材料により構成することで、上記第1の製造方法を用いることが可能となる。第1の製造方法では、フォトダイオードPDおよび転送トランジスタTRなどを含む第1基板100を形成した後、この第1基板100と第2基板200（半導体層2000S）とを貼り合わせる。このとき、第2基板200は、画素回路210を構成する能動素子および配線層などのパターンは未形成の状態である。第2基板200はパターンを形成する前の状態であるため、仮に、第1基板100と第2基板200を貼り合わせる際、その貼り合せ位置に誤差が生じたとしても、この貼り合せ誤差によって、第1基板100のパターンと第2基板200のパターンとの間の位置合わせに誤差が生じることはない。なぜならば、第2基板200のパターンは、第1基板100と第2基板200を貼り合わせた後に、形成するからである。なお、第2基板にパターンを形成する際には、例えば、パターン形成のための露光装置において、第1基板に形成されたパターンを位置合わせの対象としながらパターン形成する。上記理由により、第1基板100と第2基板200との貼り合せ位置の誤差は、第1の製造方法においては、撮像装置1を製造する上で問題とならない。同様の理由で、第2の製造方法で生じる基板の伸び縮みに起因した誤差も、第1の製造方法においては、撮像装置1を製造する上で問題とならない。

[0273] 第1の製造方法では、このようにして第1基板100と第2基板200（半導体層2000S）とを貼り合せた後、第2基板200上に能動素子を形成する。この後、貫通電極120E, 121Eおよび貫通電極TGV（図75）を形成する。この貫通電極120E, 121E, TGVの形成では、例えば、第2基板200の上方から、露光装置による縮小投影露光を用いて貫通電極のパターンを形成する。縮小露光投影を用いるため、仮に、第2基板2

00と露光装置との位置合わせに誤差が生じて、その誤差の大きさは、第2基板200においては、上記第2の製造方法の誤差の数分の一（縮小露光投影倍率の逆数）にしかない。よって、第1の製造方法を用いた撮像装置1の構成とすることで、第1基板100と第2基板200の各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。

[0274] このような第1の製造方法を用いて製造された撮像装置1は、第2の製造方法で製造された撮像装置と異なる特徴を有する。具体的には、第1の製造方法により製造された撮像装置1では、例えば、貫通電極120E、121E、TGVが、第2基板200から第1基板100に至るまで、略一定の太さ（基板平面方向の大きさ）となっている。あるいは、貫通電極120E、121E、TGVがテーパ形状を有するときには、一定の傾きのテーパ形状を有している。このような貫通電極120E、121E、TGVを有する撮像装置1は、画素541を微細化しやすい。

[0275] ここで、第1の製造方法により撮像装置1を製造すると、第1基板100と第2基板200（半導体層200S）とを貼り合わせた後に、第2基板200に能動素子を形成するので、第1基板100にも、能動素子の形成の際に必要な加熱処理の影響が及ぶことになる。このため、上記のように、第1基板100に設けられたパッド部120、121には、耐熱性の高い導電材料を用いることが好ましい。例えば、パッド部120、121には、第2基板200の配線層200Tに含まれる配線材の少なくとも一部よりも、融点の高い（すなわち耐熱性の高い）材料を用いていることが好ましい。例えば、パッド部120、121にドーフトポリシリコン、タングステン、チタンあるいは窒化チタン等の耐熱性の高い導電材を用いる。これにより、上記第1の製造方法を用いて撮像装置1を製造することが可能となる。

[0276] パッシベーション膜122は、例えば、パッド部120、121を覆うように、半導体層100Sの表面全面にわたって設けられている（図75）。パッシベーション膜122は、例えば、窒化シリコン（SiN）膜により構

成されている。層間絶縁膜 123 は、パッシベーション膜 122 を間にしてパッド部 120, 121 を覆っている。この層間絶縁膜 123 は、例えば、半導体層 100S の表面全面にわたって設けられている。層間絶縁膜 123 は、例えば酸化シリコン (SiO) 膜により構成されている。接合膜 124 は、第 1 基板 100 (具体的には配線層 100T) と第 2 基板 200 との接合面に設けられている。即ち、接合膜 124 は、第 2 基板 200 に接している。この接合膜 124 は、第 1 基板 100 の主面全面にわたって設けられている。接合膜 124 は、例えば、窒化シリコン膜により構成されている。

[0277] 受光レンズ 401 は、例えば、固定電荷膜 112 および絶縁膜 111 を間にして半導体層 100S に対向している (図 75)。受光レンズ 401 は、例えば画素 541A, 541B, 541C, 541D 各々のフォトダイオード PD に対向する位置に設けられている。

[0278] 第 2 基板 200 は、第 1 基板 100 側から、半導体層 200S および配線層 200T をこの順に有している。半導体層 200S は、シリコン基板で構成されている。半導体層 200S では、厚み方向にわたって、ウェル領域 211 が設けられている。ウェル領域 211 は、例えば、p 型半導体領域である。第 2 基板 200 には、画素共有ユニット 539 毎に配置された画素回路 210 が設けられている。この画素回路 210 は、例えば、半導体層 200S の表面側 (配線層 200T 側) に設けられている。撮像装置 1 では、第 1 基板 100 の表面側 (配線層 100T 側) に第 2 基板 200 の裏面側 (半導体層 200S 側) が向かうようにして、第 2 基板 200 が第 1 基板 100 に貼り合わされている。つまり、第 2 基板 200 は、第 1 基板 100 に、フェイストウバックで貼り合わされている。

[0279] 図 77~図 81 は、第 2 基板 200 の平面構成の一例を模式的に表している。図 77 には、半導体層 200S の表面近傍に設けられた画素回路 210 の構成を表す。図 78 は、配線層 200T (具体的には後述の第 1 配線層 W1) と、配線層 200T に接続された半導体層 200S および第 1 基板 100 の各部の構成を模式的に表している。図 79~図 81 は、配線層 200T

の平面構成の一例を表している。以下、図75とともに、図77～図81を用いて第2基板200の構成について説明する。図77および図78ではフォトダイオードPDの外形（画素分離部117とフォトダイオードPDとの境界）を破線で表し、画素回路210を構成する各トランジスタのゲート電極に重なる部分の半導体層200Sと素子分離領域213または絶縁領域214との境界を点線で表す。増幅トランジスタAMPのゲート電極に重なる部分では、チャネル幅方向の一方に、半導体層200Sと素子分離領域213との境界、および素子分離領域213と絶縁領域212との境界が設けられている。

[0280] 第2基板200には、半導体層200Sを分断する絶縁領域212と、半導体層200Sの厚み方向の一部に設けられた素子分離領域213とが設けられている（図75）。例えば、H方向に隣り合う2つの画素回路210の間に設けられた絶縁領域212に、この2つの画素回路210に接続された2つの画素共有ユニット539の貫通電極120E、121Eおよび貫通電極TGV（貫通電極TGV1、TGV2、TGV3、TGV4）が配置されている（図78）。

[0281] 絶縁領域212は、半導体層200Sの厚みと略同じ厚みを有している（図75）。半導体層200Sは、この絶縁領域212により分断されている。この絶縁領域212に、貫通電極120E、121Eおよび貫通電極TGVが配置されている。絶縁領域212は、例えば酸化シリコンにより構成されている。

[0282] 貫通電極120E、121Eは、絶縁領域212を厚み方向に貫通して設けられている。貫通電極120E、121Eの上端は、配線層200Tの配線（後述の第1配線W1、第2配線W2、第3配線W3、第4配線W4）に接続されている。この貫通電極120E、121Eは、絶縁領域212、接合膜124、層間絶縁膜123およびパッシベーション膜122を貫通して設けられ、その下端はパッド部120、121に接続されている（図75）。貫通電極120Eは、パッド部120と画素回路210とを電氣的に接続

するためのものである。即ち、貫通電極 120E により、第 1 基板 100 のフローティングディフュージョン FD が第 2 基板 200 の画素回路 210 に電氣的に接続される。貫通電極 121E は、パッド部 121 と配線層 200T の基準電位線 VSS とを電氣的に接続するためのものである。即ち、貫通電極 121E により、第 1 基板 100 の VSS コンタクト領域 118 が第 2 基板 200 の基準電位線 VSS に電氣的に接続される。

[0283] 貫通電極 TGV は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 TGV の上端は、配線 200T の配線に接続されている。この貫通電極 TGV は、絶縁領域 212、接合膜 124、層間絶縁膜 123、パッシベーション膜 122 および層間絶縁膜 119 を貫通して設けられ、その下端は転送ゲート TG に接続されている（図 75）。このような貫通電極 TGV は、画素 541A, 541B, 541C, 541D 各々の転送ゲート TG（転送ゲート TG1, TG2, TG3, TG4）と、配線層 200T の配線（行駆動信号線 542 の一部、具体的には、後述の図 80 の配線 TRG1, TRG2, TRG3, TRG4）とを電氣的に接続するためのものである。即ち、貫通電極 TGV により、第 1 基板 100 の転送ゲート TG が第 2 基板 200 の配線 TRG に電氣的に接続され、転送トランジスタ TR（転送トランジスタ TR1, TR2, TR3, TR4）各々に駆動信号が送られるようになっている。

[0284] 絶縁領域 212 は、第 1 基板 100 と第 2 基板 200 とを電氣的に接続するための前記貫通電極 120E, 121E および貫通電極 TGV を、半導体層 200S と絶縁して設けるための領域である。例えば、H 方向に隣り合う 2 つの画素回路 210（画素共有ユニット 539）の間に設けられた絶縁領域 212 に、この 2 つの画素回路 210 に接続された貫通電極 120E, 121E および貫通電極 TGV（貫通電極 TGV1, TGV2, TGV3, TGV4）が配置されている。絶縁領域 212 は、例えば、V 方向に延在して設けられている（図 77, 図 78）。ここでは、転送ゲート TG の水平部分 TGb の配置を工夫することにより、垂直部分 TGa の位置に比べて、貫通

電極 T G V の H 方向の位置が貫通電極 1 2 0 E, 1 2 1 E の H 方向の位置に近づくように配置されている (図 7 6 A, 図 7 8)。例えば、貫通電極 T G V は、H 方向において、貫通電極 1 2 0 E, 1 2 0 E と略同じ位置に配置されている。これにより、V 方向に延在する絶縁領域 2 1 2 に、貫通電極 1 2 0 E, 1 2 1 E および貫通電極 T G V をまとめて設けることができる。別の配置例として、垂直部分 T G a に重畳する領域のみに水平部分 T G b を設けることも考え得る。この場合には、垂直部分 T G a の略直上に貫通電極 T G V が形成され、例えば、各画素 5 4 1 の H 方向および V 方向の略中央部に貫通電極 T G V が配置される。このとき、貫通電極 T G V の H 方向の位置と貫通電極 1 2 0 E, 1 2 1 E の H 方向の位置とが大きくずれる。貫通電極 T G V および貫通電極 1 2 0 E, 1 2 1 E の周囲には、近接する半導体層 2 0 0 S から電氣的に絶縁するため、例えば、絶縁領域 2 1 2 を設ける。貫通電極 T G V の H 方向の位置と貫通電極 1 2 0 E, 1 2 1 E の H 方向の位置とが大きく離れる場合には、貫通電極 1 2 0 E, 1 2 1 E, T G V 各々の周囲に絶縁領域 2 1 2 を独立して設けることが必要となる。これにより、半導体層 2 0 0 S が細かく分断されることになる。これに比べ、V 方向に延在する絶縁領域 2 1 2 に、貫通電極 1 2 0 E, 1 2 1 E および貫通電極 T G V をまとめて配置するレイアウトは、半導体層 2 0 0 S の H 方向の大きさを大きくすることができる。よって、半導体層 2 0 0 S における半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタ AMP のサイズを大きくし、ノイズを抑えることが可能となる。

- [0285] 画素共有ユニット 5 3 9 は、図 7 3 を参照して説明したように、複数の画素 5 4 1 のそれぞれに設けられたフローティングディフュージョン F D の間を電氣的に接続し、これら複数の画素 5 4 1 が 1 つの画素回路 2 1 0 を共有する構造を有している。そして、前記フローティングディフュージョン F D 間の電氣的接続は、第 1 基板 1 0 0 に設けられたパッド部 1 2 0 によってなされている (図 7 5、図 7 6 B)。第 1 基板 1 0 0 に設けられた電氣的接続部 (パッド部 1 2 0) と第 2 基板 2 0 0 に設けられた画素回路 2 1 0 は、1

つの貫通電極 120E を介して電氣的に接続されている。別の構造例として、フローティングディフュージョンFD間の電氣的接続部を第2基板200に設けることも考え得る。この場合、画素共有ユニット539には、フローティングディフュージョンFD1, FD2, FD3, FD4各々に接続される4つの貫通電極が設けられる。したがって、第2基板200において、半導体層200Sを貫通する貫通電極の数が増え、これら貫通電極の周囲を絶縁する絶縁領域212が大きくなる。これに比べ、第1基板100にパッド部120を設ける構造(図75, 図76B)は、貫通電極の数を減らし、絶縁領域212を小さくすることができる。よって、半導体層200Sにおける半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

[0286] 素子分離領域213は、半導体層200Sの表面側に設けられている。素子分離領域213は、STI (Shallow Trench Isolation) 構造を有している。この素子分離領域213では、半導体層200Sが厚み方向(第2基板200の主面に対して垂直方向)に掘り込まれており、この掘り込みに絶縁膜が埋め込まれている。この絶縁膜は、例えば、酸化シリコンにより構成されている。素子分離領域213は、画素回路210を構成する複数のトランジスタ間を、画素回路210のレイアウトに応じて素子分離するものである。素子分離領域213の下方(半導体層200Sの深部)には、半導体層200S(具体的には、ウェル領域211)が延在している。

[0287] ここで、図76A, 図76Bおよび図77を参照して、第1基板100での画素共有ユニット539の外形形状(基板平面方向の外形形状)と、第2基板200での画素共有ユニット539の外形形状との違いを説明する。

[0288] 撮像装置1では、第1基板100および第2基板200の両方にわたり、画素共有ユニット539が設けられている。例えば、第1基板100に設けられた画素共有ユニット539の外形形状と、第2基板200に設けられた画素共有ユニット539の外形形状とは互いに異なっている。

[0289] 図76A、図76Bでは、画素541A、541B、541C、541Dの外形線を一点鎖線で表し、画素共有ユニット539の外形形状を太線で表している。例えば、第1基板100の画素共有ユニット539は、H方向に隣接して配置された2つの画素541（画素541A、541B）と、これにV方向に隣接して配置された2つの画素541（画素541C、541D）により構成されている。即ち、第1基板100の画素共有ユニット539は、隣接する2行×2列の4つの画素541により構成されており、第1基板100の画素共有ユニット539は、略正方形の外形形状を有している。画素アレイ部540では、このような画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2個分に相当するピッチ）、かつ、V方向へ2画素ピッチ（画素541の2個分に相当するピッチ）、で隣接して配列されている。

[0290] 図77および図78では、画素541A、541B、541C、541Dの外形線を一点鎖線で表し、画素共有ユニット539の外形形状を太線で表している。例えば、第2基板200の画素共有ユニット539の外形形状は、H方向において第1基板100の画素共有ユニット539よりも小さく、V方向において第1基板100の画素共有ユニット539よりも大きくなっている。例えば、第2基板200の画素共有ユニット539は、H方向には画素1個分に相当する大きさ（領域）で形成され、V方向には、画素4個分に相当する大きさで形成されている。即ち、第2基板200の画素共有ユニット539は、隣接する1行×4列に配列された画素に相当する大きさで形成されており、第2基板200の画素共有ユニット539は、略長方形の外形形状を有している。

[0291] 例えば、各画素回路210では、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGがこの順にV方向に並んで配置されている（図77）。各画素回路210の外形形状を、上記のように、略長形状に設けることにより、一方向（図77ではV方向）に4つのトランジスタ（選択トランジスタSE

Ｌ、増幅トランジスタＡＭＰ、リセットトランジスタＲＳＴおよびＦＤ変換ゲイン切替トランジスタＦＤＧ）を並べて配置することができる。これにより、増幅トランジスタＡＭＰのドレインと、リセットトランジスタＲＳＴのドレインとを一の拡散領域（電源線ＶＤＤに接続される拡散領域）で共有することができる。例えば、各画素回路２１０の形成領域を略正形状に設けることも可能である（後述の図９０参照）。この場合には、一方向に沿って２つのトランジスタが配置され、増幅トランジスタＡＭＰのドレインと、リセットトランジスタＲＳＴのドレインとを一の拡散領域で共有することが困難となる。よって、画素回路２１０の形成領域を略長形状に設けることにより、４つのトランジスタを近接して配置しやすくなり、画素回路２１０の形成領域を小さくすることができる。即ち、画素の微細化を行うことができる。また、画素回路２１０の形成領域を小さくすることが不要であるときには、増幅トランジスタＡＭＰの形成領域を大きくし、ノイズを抑えることが可能となる。

[0292] 例えば、半導体層２００Ｓの表面近傍には、選択トランジスタＳＥＬ、増幅トランジスタＡＭＰ、リセットトランジスタＲＳＴおよびＦＤ変換ゲイン切替トランジスタＦＤＧに加えて、基準電位線ＶＳＳに接続されるＶＳＳコンタクト領域２１８が設けられている。ＶＳＳコンタクト領域２１８は、例えば、ｐ型半導体領域により構成されている。ＶＳＳコンタクト領域２１８は、配線層２００Ｔの配線および貫通電極１２１Ｅを介して第１基板１００（半導体層１００Ｓ）のＶＳＳコンタクト領域１１８に電氣的に接続されている。このＶＳＳコンタクト領域２１８は、例えば、素子分離領域２１３を間にして、ＦＤ変換ゲイン切替トランジスタＦＤＧのソースと隣り合う位置に設けられている（図７７）。

[0293] 次に、図７６Ｂおよび図７７を参照して、第１基板１００に設けられた画素共有ユニット５３９と第２基板２００に設けられた画素共有ユニット５３９との位置関係を説明する。例えば、第１基板１００のＶ方向に並ぶ２つの画素共有ユニット５３９のうち、一方（例えば図７６Ｂの紙面上側）の画素

共有ユニット539は、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち的一方（例えば、図77の紙面左側）の画素共有ユニット539に接続されている。例えば、第1基板100のV方向に並ぶ2つの画素共有ユニット539のうち、他方（例えば図76Bの紙面下側）の画素共有ユニット539は、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうちの他方（例えば、図77の紙面右側）の画素共有ユニット539に接続されている。

[0294] 例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539では、一方の画素共有ユニット539の内部レイアウト（トランジスタ等の配置）が、他方の画素共有ユニット539の内部レイアウトをV方向およびH方向に反転させたレイアウトに略等しくなっている。以下、このレイアウトによって得られる効果を説明する。

[0295] 第1基板100のV方向に並ぶ2つの画素共有ユニット539では、各々のパッド部120が、画素共有ユニット539の外形形状の中央部、即ち、画素共有ユニット539のV方向およびH方向の中央部に配置される（図76B）。一方、第2基板200の画素共有ユニット539は、上記のように、V方向に長い略長方形の外形形状を有しているので、例えば、パッド部120に接続される増幅トランジスタAMPは、画素共有ユニット539のV方向の中央から紙面上方にずれた位置に配置されている。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトが同じであるとき、一方の画素共有ユニット539の増幅トランジスタAMPと、パッド部120（例えば、図76の紙面上側の画素共有ユニット539のパッド部120）との距離は比較的短くなる。しかし、他方の画素共有ユニット539の増幅トランジスタAMPと、パッド部120（例えば、図76の紙面下側の画素共有ユニット539のパッド部120）との距離が長くなる。このため、この増幅トランジスタAMPとパッド部120との接続に要する配線の面積が大きくなり、画素共有ユニット539の配線レイアウトが複雑になるおそれがある。このことは、撮像装置1の微細化に影響を及ぼす

可能性がある。

[0296] これに対して、第2基板200のH方向に並ぶ2つの画素共有ユニット539で、互いの内部レイアウトを少なくともV方向に反転させることにより、これら2つの画素共有ユニット539の両方の増幅トランジスタAMPとパッド部120との距離を短くすることができる。したがって、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトを同じにした構成と比べて、撮像装置1の微細化を行いやすくなる。なお、第2基板200の複数の画素共有ユニット539各々の平面レイアウトは、図77に記載の範囲では左右対称であるが、後述する図78に記載の第1配線層W1のレイアウトまで含めると、左右非対称のものとなる。

[0297] また、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトは、互いに、H方向にも反転されていることが好ましい。以下、この理由について説明する。図78に示したように、第2基板200のH方向に並ぶ2つの画素共有ユニット539はそれぞれ、第1基板100のパッド部120、121に接続されている。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539のH方向の中央部（H方向に並ぶ2つの画素共有ユニット539の間）にパッド部120、121が配置されている。したがって、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトを、互いに、H方向にも反転させることにより、第2基板200の複数の画素共有ユニット539それぞれとパッド部120、121との距離を小さくすることができる。即ち、撮像装置1の微細化を更に行いやすくなる。

[0298] また、第2基板200の画素共有ユニット539の外形線の位置は、第1基板100の画素共有ユニット539のいずれかの外形線の位置に揃っていてもよい。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、一方（例えば図78の紙面左側）の画素共有ユニット539では、V方向の一方（例えば図78の紙面上側）の外形線が、対応する第1基板100の画素共有ユニット539（例えば図76Bの紙面上側）の

V方向の一方の外形線の外側に配置されている。また、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、他方（例えば図78の紙面右側）の画素共有ユニット539では、V方向の他方（例えば図78の紙面下側）の外形線が、対応する第1基板100の画素共有ユニット539（例えば図76Bの紙面下側）のV方向の他方の外形線の外側に配置されている。このように、第2基板200の画素共有ユニット539と、第1基板100の画素共有ユニット539とを互いに配置することにより、増幅トランジスタAMPとパッド部120との距離を短くすることが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

[0299] また、第2基板200の複数の画素共有ユニット539の間で、互いの外形線の位置は揃っていなくてもよい。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539は、V方向の外形線の位置がずれて配置されている。これにより、増幅トランジスタAMPとパッド部120との距離を短くすることが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

[0300] 図76Bおよび図78を参照して、画素アレイ部540での画素共有ユニット539の繰り返し配置について説明する。第1基板100の画素共有ユニット539は、H方向に2つ分の画素541の大きさ、およびV方向に2つ分の画素541の大きさを有している（図76B）。例えば、第1基板100の画素アレイ部540では、この4つの画素541に相当する大きさの画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、かつ、V方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、で隣接して繰り返し配列されている。あるいは、第1基板100の画素アレイ部540に、画素共有ユニット539がV方向に2つ隣接して配置された一対の画素共有ユニット539が設けられていてもよい。第1基板100の画素アレイ部540では、例えば、この一対の画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、かつ、V方向へ4画素ピッチ（画素541の4つ分に相当するピッチ）

チ)、で隣接して繰り返し配列している。第2基板200の画素共有ユニット539は、H方向に1つ分の画素541の大きさ、およびV方向に4つ分の画素541の大きさを有している(図78)。例えば、第2基板200の画素アレイ部540には、この4つの画素541に相当する大きさの画素共有ユニット539を2つ含む、一对の画素共有ユニット539が設けられている。この画素共有ユニット539は、H方向に隣接して配置され、かつ、V方向にはずらして配置されている。第2基板200の画素アレイ部540では、例えば、この一对の画素共有ユニット539が、H方向へ2画素ピッチ(画素541の2個分に相当するピッチ)、かつ、V方向へ4画素ピッチ(画素541の4個分に相当するピッチ)、で隙間なく隣接して繰り返し配列されている。このような画素共有ユニット539の繰り返し配置により、画素共有ユニット539を隙間なく配置することが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

[0301] 増幅トランジスタAMPは、例えば、Fin型等の三次元構造を有していることが好ましい(図75)。これにより、実効のゲート幅の大きさが大きくなり、ノイズを抑えることが可能となる。選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGは、例えば、プレーナー構造を有している。増幅トランジスタAMPがプレーナー構造を有していてもよい。あるいは、選択トランジスタSEL、リセットトランジスタRSTまたはFD変換ゲイン切替トランジスタFDGが、三次元構造を有していてもよい。

[0302] 配線層200Tは、例えば、パッシベーション膜221、層間絶縁膜222および複数の配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)を含んでいる。パッシベーション膜221は、例えば、半導体層200Sの表面に接しており、半導体層200Sの表面全面を覆っている。このパッシベーション膜221は、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDG各々のゲート電極を覆っている。層間絶縁膜222は、

パッシベーション膜 221 と第 3 基板 300 との間に設けられている。この層間絶縁膜 222 により、複数の配線（第 1 配線層 W1、第 2 配線層 W2、第 3 配線層 W3、第 4 配線層 W4）が分離されている。層間絶縁膜 222 は、例えば、酸化シリコンにより構成されている。

[0303] 配線層 200T には、例えば、半導体層 200S 側から、第 1 配線層 W1、第 2 配線層 W2、第 3 配線層 W3、第 4 配線層 W4 およびコンタクト部 201、202 がこの順に設けられ、これらが互いに層間絶縁膜 222 により絶縁されている。層間絶縁膜 222 には、第 1 配線層 W1、第 2 配線層 W2、第 3 配線層 W3 または第 4 配線層 W4 と、これらの下層とを接続する接続部が複数設けられている。接続部は、層間絶縁膜 222 に設けた接続孔に、導電材料を埋設した部分である。例えば、層間絶縁膜 222 には、第 1 配線層 W1 と半導体層 200S の VSS コンタクト領域 218 とを接続する接続部 218V が設けられている。例えば、このような第 2 基板 200 の素子同士を接続する接続部の孔径は、貫通電極 120E、121E および貫通電極 TGV の孔径と異なっている。具体的には、第 2 基板 200 の素子同士を接続する接続孔の孔径は、貫通電極 120E、121E および貫通電極 TGV の孔径よりも小さくなっていることが好ましい。以下、この理由について説明する。配線層 200T 内に設けられた接続部（接続部 218V 等）の深さは、貫通電極 120E、121E および貫通電極 TGV の深さよりも小さい。このため接続部は、貫通電極 120E、121E および貫通電極 TGV に比べて、容易に接続孔へ導電材を埋めることができる。この接続部の孔径を、貫通電極 120E、121E および貫通電極 TGV の孔径よりも小さくすることにより、撮像装置 1 の微細化を行いやすくなる。

[0304] 例えば、第 1 配線層 W1 により、貫通電極 120E と増幅トランジスタ AMP のゲートおよび FD 変換ゲイン切替トランジスタ FDG のソース（具体的には FD 変換ゲイン切替トランジスタ FDG のソースに達する接続孔）とが接続されている。第 1 配線層 W1 は、例えば、貫通電極 121E と接続部 218V とを接続しており、これにより、半導体層 200S の VSS コンタ

クト領域218と半導体層100SのVSSコンタクト領域118とが電氣的に接続される。

[0305] 次に、図79～図81を用いて、配線層200Tの平面構成について説明する。図79は、第1配線層W1および第2配線層W2の平面構成の一例を表したものである。図80は、第2配線層W2および第3配線層W3の平面構成の一例を表したものである。図81は、第3配線層W3および第4配線層W4の平面構成の一例を表したものである。

[0306] 例えば、第3配線層W3は、H方向（行方向）に延在する配線TRG1、TRG2、TRG3、TRG4、SELL、RSTL、FDGLを含んでいる（図80）。これらの配線は、図73を参照して説明した複数の行駆動信号線542に該当する。配線TRG1、TRG2、TRG3、TRG4は各々、転送ゲートTG1、TG2、TG3、TG4に駆動信号を送るためのものである。配線TRG1、TRG2、TRG3、TRG4は各々、第2配線層W2、第1配線層W1および貫通電極120Eを介して転送ゲートTG1、TG2、TG3、TG4に接続されている。配線SELLは選択トランジスタSELのゲートに、配線RSTLはリセットトランジスタRSTのゲートに、配線FDGLは、FD変換ゲイン切替トランジスタFDGのゲートに各々駆動信号を送るためのものである。配線SELL、RSTL、FDGLは各々、第2配線層W2、第1配線層W1および接続部を介して、選択トランジスタSEL、リセットトランジスタRST、FD変換ゲイン切替トランジスタFDG各々のゲートに接続されている。

[0307] 例えば、第4配線層W4は、V方向（列方向）に延在する電源線VDD、基準電位線VSSおよび垂直信号線543を含んでいる（図81）。電源線VDDは、第3配線層W3、第2配線層W2、第1配線層W1および接続部を介して増幅トランジスタAMPのドレインおよびリセットトランジスタRSTのドレインに接続されている。基準電位線VSSは、第3配線層W3、第2配線層W2、第1配線層W1および接続部218Vを介してVSSコンタクト領域218に接続されている。また、基準電位線VSSは、第3配線

層W3、第2配線層W2、第1配線層W1、貫通電極121Eおよびパッド部121を介して第1基板100のVSSコンタクト領域118に接続されている。垂直信号線543は、第3配線層W3、第2配線層W2、第1配線層W1および接続部を介して選択トランジスタSELのソース(Vout)に接続されている。

[0308] コンタクト部201, 202は、平面視で画素アレイ部540に重なる位置に設けられていてもよく（例えば、図72）、あるいは、画素アレイ部540の外側の周辺部540Bに設けられていてもよい（例えば、図75）。コンタクト部201, 202は、第2基板200の表面（配線層200T側の面）に設けられている。コンタクト部201, 202は、例えば、Cu（銅）およびAl（アルミニウム）などの金属により構成されている。コンタクト部201, 202は、配線層200Tの表面（第3基板300側の面）に露出している。コンタクト部201, 202は、第2基板200と第3基板300との電氣的な接続および、第2基板200と第3基板300との貼り合わせに用いられる。

[0309] 図75には、第2基板200の周辺部540Bに周辺回路を設けた例を示した。この周辺回路は、行駆動部520の一部または列信号処理部550の一部等を含んでいてもよい。また、図72に記載のように、第2基板200の周辺部540Bには周辺回路を配置せず、接続孔部H1, H2を画素アレイ部540の近傍に配置するようにしてもよい。

[0310] 第3基板300は、例えば、第2基板200側から配線層300Tおよび半導体層300Sをこの順に有している。例えば、半導体層300Sの表面は、第2基板200側に設けられている。半導体層300Sは、シリコン基板で構成されている。この半導体層300Sの表面側の部分には、回路が設けられている。具体的には、半導体層300Sの表面側の部分には、例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bのうちの少なくとも一部が設けられている。半導体層300Sと第2基板200との間に設けら

れた配線層300Tは、例えば、層間絶縁膜と、この層間絶縁膜により分離された複数の配線層と、コンタクト部301、302とを含んでいる。コンタクト部301、302は、配線層300Tの表面（第2基板200側の面）に露出されており、コンタクト部301は第2基板200のコンタクト部201に、コンタクト部302は第2基板200のコンタクト部202に各々接している。コンタクト部301、302は、半導体層300Sに形成された回路（例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bの少なくともいずれか）に電氣的に接続されている。コンタクト部301、302は、例えば、Cu（銅）およびアルミニウム（Al）等の金属により構成されている。例えば、接続孔部H1を介して外部端子TAが入力部510Aに接続されており、接続孔部H2を介して外部端子TBが出力部510Bに接続されている。

[0311] ここで、撮像装置1の特徴について説明する。

[0312] 一般に、撮像装置は、主な構成として、フォトダイオードと画素回路とからなる。ここで、フォトダイオードの面積を大きくすると光電変換の結果発生する電荷が増加し、その結果画素信号のシグナル／ノイズ比（S／N比）が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。一方、画素回路に含まれるトランジスタのサイズ（特に増幅トランジスタのサイズ）を大きくすると、画素回路で発生するノイズが減少し、その結果撮像信号のS／N比が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。

[0313] しかし、フォトダイオードと画素回路とを同一の半導体基板に設けた撮像装置において、半導体基板の限られた面積の中でフォトダイオードの面積を大きくすると、画素回路に備わるトランジスタのサイズが小さくなってしまうことが考えられる。また、画素回路に備わるトランジスタのサイズを大きくすると、フォトダイオードの面積が小さくなってしまうことが考えられる。

[0314] これらの課題を解決するために、例えば、本実施の形態の撮像装置 1 は、複数の画素 541 が 1 つの画素回路 210 を共有し、かつ、共有した画素回路 210 をフォトダイオード PD に重畳して配置する構造を用いる。これにより、半導体基板の限られた面積の中で、フォトダイオード PD の面積をできるだけ大きくすることと、画素回路 210 に備わるトランジスタのサイズをできるだけ大きくすることとを実現することができる。これにより、画素信号の S/N 比を改善し、撮像装置 1 がよりよい画像データ（画像情報）を出力することができる。

[0315] 複数の画素 541 が 1 つの画素回路 210 を共有し、これをフォトダイオード PD に重畳して配置する構造を実現する際、複数の画素 541 各々のフローティングディフュージョン FD から 1 つの画素回路 210 に接続される複数の配線が延在する。画素回路 210 を形成する半導体基板 200 の面積を大きく確保するためには、例えばこれらの延在する複数の配線の間を相互に接続し、1 つにまとめる接続配線を形成することができる。VSS コンタクト領域 118 から延在する複数の配線についても同様に、延在する複数の配線の間を相互に接続し、1 つにまとめる接続配線を形成することができる。

[0316] 例えば、複数の画素 541 各々のフローティングディフュージョン FD から延在する複数の配線の間を相互に接続する接続配線を、画素回路 210 を形成する半導体基板 200 において形成すると、画素回路 210 に含まれるトランジスタを形成する面積が小さくなってしまうことが考えられる。同様に、複数の画素 541 各々の VSS コンタクト領域 118 から延在する複数の配線の間を相互接続して 1 つにまとめる接続配線を、画素回路 210 を形成する半導体基板 200 に形成すると、これにより画素回路 210 に含まれるトランジスタを形成する面積が小さくなってしまうことが考えられる。

[0317] これらの課題を解決するために、例えば本実施の形態の撮像装置 1 は、複数の画素 541 が 1 つの画素回路 210 を共有し、かつ、共有した画素回路 210 をフォトダイオード PD に重畳して配置する構造であって、前記複数

の画素541各々のフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、前記複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を第1基板100に設けた構造を備えることができる。

[0318] ここで、前記複数の画素541各々のフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線とを、第1基板100に設けるための製造方法として、先に述べた第2の製造方法を用いると、例えば、第1基板100および第2基板200各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。また、容易なプロセスで第1基板100および第2基板200の接続配線を形成することができる。具体的には、上記第2の製造方法を用いる場合、第1基板100と第2基板200の貼り合せ境界面となる第1基板100の表面と第2基板200の表面とに、フローティングディフュージョンFDに接続する電極とVSSコンタクト領域118に接続する電極とをそれぞれ設ける。さらに、第1基板100と第2基板200を貼り合せた際にこれら2つの基板表面に設けた電極間で位置ずれが発生してもこれら2つの基板表面に形成した電極同士が接触するように、これら2つの基板表面に形成する電極を大きくすることが好ましい。この場合、撮像装置1に備わる各画素の限られた面積の中に上記電極を配置することが難しくなってしまうことが考えられる。

[0319] 第1基板100と第2基板200の貼り合せ境界面に大きな電極が必要となる課題を解決するために、例えば本実施の形態の撮像装置1は、複数の画素541が1つの画素回路210を共有し、かつ、共有した画素回路210をフォトダイオードPDに重畳して配置する製造方法として、先に述べた第1の製造方法を用いることができる。これにより、第1基板100および第2基板200各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。さらに、この製造方法を用い

ることによって生じる固有の構造を備えることができる。すなわち、第1基板100の半導体層100Sと配線層100Tと第2基板200の半導体層200Sと配線層200Tをこの順で積層した構造、言い換えれば、第1基板100と第2基板200をフェイストゥーバックで積層した構造を備え、かつ、第2基板200の半導体層200Sの表面側から、半導体層200Sと第1基板100の配線層100Tを貫通して、第1基板100の半導体層100Sの表面へと至る、貫通電極120E、121Eを備える。

[0320] 前記複数の画素541各々のフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を第1基板100に設けた構造において、この構造と第2基板200とを前記第1の製造方法を用いて積層し第2基板200に画素回路210を形成すると、画素回路210に備わる能動素子を形成する際に必要となる加熱処理の影響が、第1基板100に形成した上記接続配線に及んでしまう可能性がある。

[0321] そこで、上記接続配線に対して、上記能動素子を形成する際の加熱処理の影響が及んでしまう課題を解決するために、本実施の形態の撮像装置1は、前記複数の画素541各々のフローティングディフュージョンFD同士を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、に耐熱性の高い導電材料を用いることが望ましい。具体的には、耐熱性の高い導電材料は、第2基板200の配線層200Tに含まれる配線材の少なくとも一部よりも、融点の高い材料を用いることができる。

[0322] このように、例えば本実施の形態の撮像装置1は、(1)第1基板100と第2基板200をフェイストゥーバックで積層した構造（具体的には、第1基板100の半導体層100Sと配線層100Tと第2基板200の半導体層200Sと配線層200Tをこの順で積層する構造）と、(2)第2基板200の半導体層200Sの表面側から、半導体層200Sと第1基板1

00の配線層100Tを貫通して、第1基板100の半導体層100Sの表面へと至る、貫通電極120E、121Eを設けた構造と、(3)複数の画素541のそれぞれに備わるフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を耐熱性の高い導電材料で形成した構造と、を備えることで、第1基板100と第2基板200との界面に大きな電極を備えることなく、第1基板100に、複数の画素541のそれぞれに備わるフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を設けることを可能としている。

[0323] [撮像装置1の動作]

次に、図82および図83を用いて撮像装置1の動作について説明する。図82および図83は、図72に各信号の経路を表す矢印を追記したものである。図82は、外部から撮像装置1に入力される入力信号と、電源電位および基準電位の経路を矢印で表したものである。図83は、撮像装置1から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部510Aを介して撮像装置1に入力された入力信号（例えば、画素クロックおよび同期信号）は、第3基板300の行駆動部520へ伝送され、行駆動部520で行駆動信号が作り出される。この行駆動信号は、コンタクト部301、201を介して第2基板200に送られる。更に、この行駆動信号は、配線層200T内の行駆動信号線542を介して、画素アレイ部540の画素共有ユニット539各々に到達する。第2基板200の画素共有ユニット539に到達した行駆動信号のうち、転送ゲートTG以外の駆動信号は画素回路210に入力されて、画素回路210に含まれる各トランジスタが駆動される。転送ゲートTGの駆動信号は貫通電極TG Vを介して第1基板100の転送ゲートTG1、TG2、TG3、TG4に入力され、画素541A、541B、541C、541Dが駆動される（図82）。また、撮像装

置 1 の外部から、第 3 基板 300 の入力部 510A（入力端子 511）に供給された電源電位および基準電位は、コンタクト部 301, 201 を介して第 2 基板 200 に送られ、配線層 200T 内の配線を介して、画素共有ユニット 539 各々の画素回路 210 に供給される。基準電位は、さらに貫通電極 121E を介して、第 1 基板 100 の画素 541A, 541B, 541C, 541D へも供給される。一方、第 1 基板 100 の画素 541A, 541B, 541C, 541D で光電変換された画素信号は、貫通電極 120E を介して画素共有ユニット 539 毎に第 2 基板 200 の画素回路 210 に送られる。この画素信号に基づく画素信号は、画素回路 210 から垂直信号線 543 およびコンタクト部 202, 302 を介して第 3 基板 300 に送られる。この画素信号は、第 3 基板 300 の列信号処理部 550 および画像信号処理部 560 で処理された後、出力部 510B を介して外部に出力される。

[0324] [効果]

本実施の形態では、画素 541A, 541B, 541C, 541D（画素共有ユニット 539）と画素回路 210 とが互いに異なる基板（第 1 基板 100 および第 2 基板 200）に設けられている。これにより、画素 541A, 541B, 541C, 541D および画素回路 210 を同一基板に形成した場合と比べて、画素 541A, 541B, 541C, 541D および画素回路 210 の面積を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 210 のトランジスタノイズを低減することが可能となる。これらにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 は、よりよい画素データ（画像情報）を出力することが可能となる。また、撮像装置 1 の微細化（言い換えれば、画素サイズの縮小および撮像装置 1 の小型化）が可能となる。撮像装置 1 は、画素サイズの縮小により、単位面積当たりの画素数を増加させることができ、高画質の画像を出力することができる。

[0325] また、撮像装置 1 では、第 1 基板 100 および第 2 基板 200 が、絶縁領域 212 に設けられた貫通電極 120E, 121E によって互いに電氣的に

接続されている。例えば、第1基板100と第2基板200とをパッド電極同士の接合により接続する方法や、半導体層を貫通する貫通配線（例えばT S V（Thorough Si Via））により接続する方法も考え得る。このような方法に比べて、絶縁領域212に貫通電極120E，121Eを設けることにより、第1基板100および第2基板200の接続に要する面積を小さくすることができる。これにより、画素サイズを縮小し、撮像装置1をより小型化することができる。また、1画素あたりの面積の更なる微細化により、解像度をより高くすることができる。チップサイズの小型化が不要なときには、画素541A，541B，541C，541Dおよび画素回路210の形成領域を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路210に備わるトランジスタのノイズを低減することが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

[0326] また、撮像装置1では、画素回路210と列信号処理部550および画像信号処理部560とが互いに異なる基板（第2基板200および第3基板300）に設けられている。これにより、画素回路210と列信号処理部550および画像信号処理部560とを同一基板に形成した場合と比べて、画素回路210の面積と、列信号処理部550および画像信号処理部560の面積とを拡大することができる。これにより、列信号処理部550で生じるノイズを低減したり、画像信号処理部560により高度な画像処理回路を搭載することが可能となる。よって、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

[0327] また、撮像装置1では、画素アレイ部540が、第1基板100および第2基板200に設けられ、かつ、列信号処理部550および画像信号処理部560が第3基板300に設けられている。また、第2基板200と第3基板300とを接続するコンタクト部201，202，301，302は、画

素アレイ部540の上方に形成されている。このため、コンタクト部201, 202, 301, 302は、画素アレイに備わる各種配線からレイアウト上の干渉を受けずに自由にレイアウトにすることが可能となる。これにより、第2基板200と第3基板300との電気的な接続に、コンタクト部201, 202, 301, 302を用いることが可能となる。コンタクト部201, 202, 301, 302を用いることにより、例えば、列信号処理部550および画像信号処理部560はレイアウトの自由度が高くなる。これにより、列信号処理部550で生じるノイズを低減したり、画像信号処理部560により高度な画像処理回路を搭載することが可能となる。したがって、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

[0328] また、撮像装置1では、画素分離部117が半導体層100Sを貫通している。これにより、1画素あたりの面積の微細化によって隣り合う画素（画素541A, 541B, 541C, 541D）の距離が近づいた場合であっても、画素541A, 541B, 541C, 541Dの間での混色を抑制できる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

[0329] また、撮像装置1では、画素共有ユニット539毎に画素回路210が設けられている。これにより、画素541A, 541B, 541C, 541D各々に画素回路210を設けた場合に比べて、画素回路210を構成するトランジスタ（増幅トランジスタAMP, リセットトランジスタRST, 選択トランジスタSEL, FD変換ゲイン切替トランジスタFDG）の形成領域を大きくすることが可能となる。例えば、増幅トランジスタAMPの形成領域を大きくすることにより、ノイズを抑えることが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ（画像情報）を出力することが可能となる。

[0330] 更に、撮像装置1では、4つの画素（画素541A, 541B, 541C, 541D）のフローティングディフュージョンFD（フローティングディ

フュージョンFD1, FD2, FD3, FD4)を電氣的に接続するパッド部120が、第1基板100に設けられている。これにより、このようなパッド部120を第2基板200に設ける場合に比べて、第1基板100と第2基板200とを接続する貫通電極(貫通電極120E)の数を減らすことができる。したがって、絶縁領域212を小さくし、画素回路210を構成するトランジスタの形成領域(半導体層200S)を十分な大きさを確保することができる。これにより、画素回路210に備わるトランジスタのノイズを低減することが可能となり、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ(画像情報)を出力することが可能となる。

[0331] 以下、上記実施の形態に係る撮像装置1の変形例について説明する。以下の変形例では、上記実施の形態と共通の構成に同一の符号を付して説明する。

[0332] <2. 変形例1>

図84～図88は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図84は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図77に対応する。図85は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図78に対応する。図86は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図79に対応する。図87は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図80に対応する。図88は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図81に対応する。

[0333] 本変形例では、図85に示したように、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、一方(例えば紙面右側)の画素共有ユニット539の内部レイアウトが、他方(例えば紙面左側)の画素共有ユニ

ット539の内部レイアウトをH方向にのみ反転させた構成となっている。また、一方の画素共有ユニット539の外形線と他方の画素共有ユニット539の外形線との間のV方向のずれが、上記実施の形態で説明したずれ（図78）よりも大きくなっている。このように、V方向のずれを大きくすることにより、他方の画素共有ユニット539の増幅トランジスタAMPと、これに接続されたパッド部120（図76に記載のV方向に並ぶ2つの画素共有ユニット539のうちの他方（紙面下側）のパッド部120）との間の距離を小さくすることができる。このようなレイアウトにより、図84～図88に記載の撮像装置1の変形例1は、H方向に並ぶ2つの画素共有ユニット539の平面レイアウトを互いにV方向に反転させることなく、その面積を、上記実施の形態で説明した第2基板200の画素共有ユニット539の面積と同じにすることができる。なお、第1基板100の画素共有ユニット539の平面レイアウトは、上記実施の形態で説明した平面レイアウト（図76A、図76B）と同じである。したがって、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と同様の効果を得ることができる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

[0334] <3. 変形例2>

図89～図94は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図89は、第1基板100の平面構成を模式的に表しており、上記実施の形態で説明した図76Aに対応する。図90は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図77に対応する。図91は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図78に対応する。図92は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図79に対応する。図93は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施

の形態で説明した図80に対応する。図94は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図81に対応する。

[0335] 本変形例では、各画素回路210の外形が、略正方形の平面形状を有している（図90等）。この点において、本変形例の撮像装置1の平面構成は、上記実施の形態で説明した撮像装置1の平面構成と異なっている。

[0336] 例えば、第1基板100の画素共有ユニット539は、上記実施の形態で説明したのと同様に、2行×2列の画素領域にわたって形成されており、略正方形の平面形状を有している（図89）。例えば、各々の画素共有ユニット539では、一方の画素列の画素541Aおよび画素541Cの転送ゲートTG1、TG3の水平部分TGbが、垂直部分TGaに重畳する位置からH方向において画素共有ユニット539の中央部に向かう方向（より具体的には、画素541A、541Cの外縁に向かう方向、かつ画素共有ユニット539の中央部に向かう方向）に延在し、他方の画素列の画素541Bおよび画素541Dの転送ゲートTG2、TG4の水平部分TGbが、垂直部分TGaに重畳する位置からH方向において画素共有ユニット539の外側に向かう方向（より具体的には、画素541B、541Dの外縁に向かう方向、かつ画素共有ユニット539の外側に向かう方向）に延在している。フローティングディフュージョンFDに接続されたパッド部120は、画素共有ユニット539の中央部（画素共有ユニット539のH方向およびV方向の中央部）に設けられ、VSSコンタクト領域118に接続されたパッド部121は、少なくともH方向において（図89ではH方向およびV方向において）画素共有ユニット539の端部に設けられている。

[0337] 別の配置例として、転送ゲートTG1、TG2、TG3、TG4の水平部分TGbを垂直部分TGaに対向する領域のみに設けることも考え得る。このときには、上記実施の形態で説明したのと同様に、半導体層200Sが細かく分断されやすい。したがって、画素回路210のトランジスタを大きく形成することが困難となる。一方、転送ゲートTG1、TG2、TG3、T

G 4 の水平部分 T G b を、上記変形例のように、垂直部分 T G a に重畳する位置から H 方向に延在させると、上記実施の形態で説明したのと同様に、半導体層 2 0 0 S の幅を大きくすることが可能となる。具体的には、転送ゲート T G 1, T G 3 に接続された貫通電極 T G V 1, T G V 3 の H 方向の位置を、貫通電極 1 2 0 E の H 方向の位置に近接させて配置し、転送ゲート T G 2, T G 4 に接続された貫通電極 T G V 2, T G V 4 の H 方向の位置を、貫通電極 1 2 1 E の H 方向の位置に近接して配置することが可能となる（図 9 1）。これにより、上記実施の形態で説明したのと同様に、V 方向に延在する半導体層 2 0 0 S の幅（H 方向の大きさ）を大きくすることができる。よって、画素回路 2 1 0 のトランジスタのサイズ、特に増幅トランジスタ A M P のサイズを大きくすることが可能となる。その結果、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0338] 第 2 基板 2 0 0 の画素共有ユニット 5 3 9 は、例えば、第 1 基板 1 0 0 の画素共有ユニット 5 3 9 の H 方向および V 方向の大きさと略同じであり、例えば、略 2 行×2 列の画素領域に対応する領域にわたって設けられている。例えば、各画素回路 2 1 0 では、V 方向に延在する 1 の半導体層 2 0 0 S に選択トランジスタ S E L および増幅トランジスタ A M P が V 方向に並んで配置され、F D 変換ゲイン切替トランジスタ F D G およびリセットトランジスタ R S T が V 方向に延在する 1 の半導体層 2 0 0 S に、V 方向に並んで配置されている。この選択トランジスタ S E L および増幅トランジスタ A M P が設けられた 1 の半導体層 2 0 0 S と、F D 変換ゲイン切替トランジスタ F D G およびリセットトランジスタ R S T が設けられた 1 の半導体層 2 0 0 S とは、絶縁領域 2 1 2 を介して H 方向に並んでいる。この絶縁領域 2 1 2 は V 方向に延在している（図 9 0）。

[0339] ここで、第 2 基板 2 0 0 の画素共有ユニット 5 3 9 の外形について、図 9 0 および図 9 1 を参照して説明する。例えば、図 8 9 に示した第 1 基板 1 0 0 の画素共有ユニット 5 3 9 は、パッド部 1 2 0 の H 方向の一方（図 9 1 の

紙面左側)に設けられた増幅トランジスタAMPおよび選択トランジスタSELと、パッド部120のH方向の他方(図91の紙面右側)に設けられたFD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTとに接続されている。この増幅トランジスタAMP、選択トランジスタSEL、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTを含む第2基板200の画素共有ユニット549の外形は、次の4つの外縁により決まる。

[0340] 第1の外縁は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200SのV方向の一端(図91の紙面上側の端)の外縁である。この第1の外縁は、当該画素共有ユニット539に含まれる増幅トランジスタAMPと、この画素共有ユニット539のV方向の一方(図91の紙面上側)に隣り合う画素共有ユニット539に含まれる選択トランジスタSELとの間に設けられている。より具体的には、第1の外縁は、これら増幅トランジスタAMPと選択トランジスタSELとの間の素子分離領域213のV方向の中央部に設けられている。第2の外縁は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200SのV方向の他端(図91の紙面下側の端)の外縁である。この第2の外縁は、当該画素共有ユニット539に含まれる選択トランジスタSELと、この画素共有ユニット539のV方向の他方(図91の紙面下側)に隣り合う画素共有ユニット539に含まれる増幅トランジスタAMPとの間に設けられている。より具体的には、第2の外縁は、これら選択トランジスタSELと増幅トランジスタAMPとの間の素子分離領域213のV方向の中央部に設けられている。第3の外縁は、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200SのV方向の他端(図91の紙面下側の端)の外縁である。この第3の外縁は、当該画素共有ユニット539に含まれるFD変換ゲイン切替トランジスタFDGと、この画素共有ユニット539のV方向の他方(図91の紙面下側)に隣り合う画素共有ユニット539に含まれるリセットトランジスタRSTとの間に設けられている。より具体

的には、第3の外縁は、これらFD変換ゲイン切替トランジスタFDGとリセットトランジスタRSTとの間の素子分離領域213のV方向の中央部に設けられている。第4の外縁は、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200SのV方向の一端（図91の紙面上側の端）の外縁である。この第4の外縁は、当該画素共有ユニット539に含まれるリセットトランジスタRSTと、この画素共有ユニット539のV方向の一方（図91の紙面上側）に隣り合う画素共有ユニット539に含まれるFD変換ゲイン切替トランジスタFDG（不図示）との間に設けられている。より具体的には、第4の外縁は、これらリセットトランジスタRSTとFD変換ゲイン切替トランジスタFDGとの間の素子分離領域213（不図示）のV方向の中央部に設けられている。

[0341] このような第1、第2、第3、第4の外縁を含む第2基板200の画素共有ユニット539の外形では、第1、第2の外縁に対して、第3、第4の外縁がV方向の一方側にずれて配置されている（言い換えればV方向の一方側にオフセットされている）。このようなレイアウトを用いることにより、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースをともに、パッド部120にできるだけ近接して配置することが可能となる。したがって、これらを接続する配線の面積を小さくし、撮像装置1の微細化を行いやすくなる。なおVSSコンタクト領域218は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200Sと、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200Sとの間に設けられている。例えば、複数の画素回路210は、互いに同じ配置を有している。

[0342] このような第2基板200を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

[0343] <4. 変形例3>

図95～図100は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図95は、第1基板100の平面構成を模式的に表しており、上記実施の形態で説明した図76Bに対応する。図96は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図77に対応する。図97は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図78に対応する。図98は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図79に対応する。図99は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図80に対応する。図100は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図81に対応する。

[0344] 本変形例では、第2基板200の半導体層200Sが、H方向に延在している（図97）。即ち、上記図90等を示した撮像装置1の平面構成を90度回転させた構成に略対応している。

[0345] 例えば、第1基板100の画素共有ユニット539は、上記実施の形態で説明したのと同様に、2行×2列の画素領域にわたって形成されており、略正方形の平面形状を有している（図95）。例えば、各々の画素共有ユニット539では、一方の画素行の画素541Aおよび画素541Bの転送ゲートTG1、TG2が、V方向において画素共有ユニット539の中央部に向かって延在し、他方の画素行の画素541Cおよび画素541Dの転送ゲートTG3、TG4が、V方向において画素共有ユニット539の外側方向に延在している。フローティングディフュージョンFDに接続されたパッド部120は、画素共有ユニット539の中央部に設けられ、VSSコンタクト領域118に接続されたパッド部121は、少なくともV方向において（図95ではV方向およびH方向において）画素共有ユニット539の端部に設けられている。このとき、転送ゲートTG1、TG2の貫通電極TG V1、

TGV2のV方向の位置が貫通電極120EのV方向の位置に近づき、転送ゲートTG3, TG4の貫通電極TGV3, TGV4のV方向の位置が貫通電極121EのV方向の位置に近づく(図97)。したがって、上記実施の形態で説明したのと同様の理由により、H方向に延在する半導体層200Sの幅(V方向の大きさ)を大きくすることができる。よって、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

[0346] 各々の画素回路210では、選択トランジスタSELおよび増幅トランジスタAMPがH方向に並んで配置され、選択トランジスタSELと絶縁領域212を間にしてV方向に隣り合う位置にリセットトランジスタRSTが配置されている(図96)。FD変換ゲイン切替トランジスタFDGは、リセットトランジスタRSTとH方向に並んで配置されている。VSSコンタクト領域218は、絶縁領域212に島状に設けられている。例えば、第3配線層W3はH方向に延在し(図99)、第4配線層W4はV方向に延在している(図100)。

[0347] このような第2基板200を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。例えば、上記実施の形態および変形例1で説明した半導体層200Sが、H方向に延在していてもよい。

[0348] <5. 変形例4>

図101は、上記実施の形態に係る撮像装置1の断面構成の一変形例を模式的に表したものである。図101は、上記実施の形態で説明した図72に対応する。本変形例では、撮像装置1が、コンタクト部201, 202, 301, 302に加えて、画素アレイ部540の中央部に対向する位置にコンタクト部203, 204, 303, 304を有している。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

[0349] コンタクト部203, 204は、第2基板200に設けられており、第3

基板300との接合面の露出されている。コンタクト部303, 304は、第3基板300に設けられており、第2基板200との接合面に露出されている。コンタクト部203は、コンタクト部303と接しており、コンタクト部204は、コンタクト部304と接している。即ち、この撮像装置1では、第2基板200と第3基板300とが、コンタクト部201, 202, 301, 302に加えてコンタクト部203, 204, 303, 304により接続されている。

[0350] 次に、図102および図103を用いてこの撮像装置1の動作について説明する。図102には、外部から撮像装置1に入力される入力信号と、電源電位および基準電位の経路を矢印で表す。図103には、撮像装置1から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部510Aを介して撮像装置1に入力された入力信号は、第3基板300の行駆動部520へ伝送され、行駆動部520で行駆動信号が作り出される。この行駆動信号は、コンタクト部303, 203を介して第2基板200に送られる。更に、この行駆動信号は、配線層200T内の行駆動信号線542を介して、画素アレイ部540の画素共有ユニット539各々に到達する。第2基板200の画素共有ユニット539に到達した行駆動信号のうち、転送ゲートTG以外の駆動信号は画素回路210に入力されて、画素回路210に含まれる各トランジスタが駆動される。転送ゲートTGの駆動信号は貫通電極TGVを介して第1基板100の転送ゲートTG1, TG2, TG3, TG4に入力され、画素541A, 541B, 541C, 541Dが駆動される。また、撮像装置1の外部から、第3基板300の入力部510A（入力端子511）に供給された電源電位および基準電位は、コンタクト部303, 203を介して第2基板200に送られ、配線層200T内の配線を介して、画素共有ユニット539各々の画素回路210に供給される。基準電位は、さらに貫通電極121Eを介して、第1基板100の画素541A, 541B, 541C, 541Dへも供給される。一方、第1基板100の画素541A, 541B, 541C, 541Dで光電変換された画素信号は、

画素共有ユニット539毎に第2基板200の画素回路210に送られる。この画素信号に基づく画素信号は、画素回路210から垂直信号線543およびコンタクト部204, 304を介して第3基板300に送られる。この画素信号は、第3基板300の列信号処理部550および画像信号処理部560で処理された後、出力部510Bを介して外部に出力される。

[0351] このようなコンタクト部203, 204, 303, 304を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。コンタクト部303, 304を介した配線の接続先である、第3基板300の回路等の設計に応じてコンタクト部の位置および数等を変えることができる。

[0352] <6. 変形例5>

図104は、上記実施の形態に係る撮像装置1の断面構成の一変形例を表したものである。図104は、上記実施の形態で説明した図75に対応する。本変形例では、第1基板100にプレーナ構造を有する転送トランジスタTRが設けられている。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

[0353] この転送トランジスタTRは、水平部分TGbのみにより転送ゲートTGが構成されている。換言すれば、転送ゲートTGは、垂直部分TGaを有しておらず、半導体層100Sに対向して設けられている。

[0354] このようなプレーナ構造の転送トランジスタTRを有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。更に、第1基板100にプレーナ型の転送ゲートTGを設けることにより、縦型の転送ゲートTGを第1基板100に設ける場合に比べて、より半導体層100Sの表面近くまでフォトダイオードPDを形成し、これにより、飽和信号量(Qs)を増加させることも考え得る。また、第1基板100にプレーナ型の転送ゲートTGを形成する方法は、第1基板100に縦型の転送ゲートTGを形成する方法に比べて、製造工程数が少なく、製造工程に起因したフォトダイオードPDへの悪影響が生じにくい、とも考え得る。

[0355] <7. 変形例6>

図１０５は、上記実施の形態に係る撮像装置１の画素回路の一変形例を表したものである。図１０５は、上記実施の形態で説明した図７３に対応する。本変形例では、１つの画素（画素５４１Ａ）毎に画素回路２１０が設けられている。即ち、画素回路２１０は、複数の画素で共有されていない。この点において、本変形例の撮像装置１は、上記実施の形態で説明した撮像装置１と異なっている。

[0356] 本変形例の撮像装置１は、画素５４１Ａと画素回路２１０とを互いに異なる基板（第１基板１００および第２基板２００）に設ける点では、上記実施の形態で説明した撮像装置１と同じである。このため、本変形例に係る撮像装置１も、上記実施の形態で説明したのと同様の効果を得ることができる。

[0357] ＜８．変形例７＞

図１０６は、上記実施の形態で説明した画素分離部１１７の平面構成の一変形例を表したものである。画素５４１Ａ、５４１Ｂ、５４１Ｃ、５４１Ｄ各々を囲む画素分離部１１７に、隙間が設けられていてもよい。即ち、画素５４１Ａ、５４１Ｂ、５４１Ｃ、５４１Ｄの全周が画素分離部１１７に囲まれていなくてもよい。例えば、画素分離部１１７の隙間は、パッド部１２０、１２１近傍に設けられている（図７６Ｂ参照）。

[0358] 上記実施の形態では、画素分離部１１７が半導体層１００Ｓを貫通するＦＴＩ構造を有する例（図７５参照）を説明したが、画素分離部１１７はＦＴＩ構造以外の構成を有していてもよい。例えば、画素分離部１１７は、半導体層１００Ｓを完全に貫通するように設けられていなくてもよく、いわゆる、ＤＴＩ（Deep Trench Isolation）構造を有していてもよい。

[0359] （第７実施形態）

図１０７から図１０９は、本開示の第７実施形態に係る撮像装置１Ａの構成例を示す厚さ方向の断面図である。図１１０から図１１２は、本開示の第７実施形態に係る複数の画素ユニットＰＵのレイアウト例を示す水平方向の断面図である。なお、図１０７から図１０９に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図

107から図109に示す断面図は、撮像装置1Aの構成を紙面でわかりやすく説明するために、位置sec1からsec3で、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している。

[0360] 具体的には、図107に示す撮像装置1Aの画素ユニットPUにおいて、位置sec1における断面は図110をA1-A1'線で切断した断面であり、位置sec2における断面は図111をB1-B1'線で切断した断面であり、位置sec3における断面は図112をC1-C1'線で切断した断面である。同様に、図108に示す撮像装置1Aにおいて、位置sec1における断面は図110をA2-A2'線で切断した断面であり、位置sec2における断面は図111をB2-B2'線で切断した断面であり、位置sec3における断面は図112をC2-C2'線で切断した断面である。図109に示す撮像装置1Aにおいて、位置sec1における断面は図110をA3-A3'線で切断した断面であり、位置sec2における断面は図111をB3-B3'線で切断した断面であり、位置sec3における断面は図112をC3-C3'線で切断した断面である。

[0361] 図107に示すように、第1基板部10のおもて面10a側に第2基板20が積層されている。第1基板10のおもて面10a側に、フォトダイオードPD、転送トランジスタTR及びフローティングディフュージョンFDが設けられている。フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDは、それぞれ、センサ画素12ごとに設けられている。第1基板10の他方の面は光入射面である。撮像装置1は、裏面照射型の撮像装置であり、裏面にカラーフィルタおよび受光レンズが設けられている。カラーフィルタおよび受光レンズは、それぞれ、センサ画素12ごとに設けられている。

[0362] 第1基板10が有する半導体基板11は、例えばシリコン基板で構成されている。半導体基板11のおもて面の一部およびその近傍には、第1導電型（例えば、p型）のウェル層WEが設けられており、ウェル層WEよりも深い領域に第2導電型（例えば、n型）のフォトダイオードPDが設けられて

いる。ウェル層WE内には、ウェル層WEよりもp型の濃度が高いウェルコンタクト層と、n型のフローティングディフュージョンFDとが設けられている。

[0363] 半導体基板11には、互いに隣り合うセンサ画素12同士を電氣的に分離する素子分離層16が設けられている。素子分離層16は、例えばSTI (Shallow Trench Isolation) 構造を有し、半導体基板11の深さ方向に延在している。半導体基板11において、素子分離層16とフォトダイオードPDとの間には、不純物拡散層17が設けられている。例えば、不純物拡散層17は、半導体基板11の厚さ方向に延設されたp型層とn型層とを有する。素子分離層16側にp型層が位置し、フォトダイオードPD側にn型層が位置する。半導体基板11のおもて面11a側には、絶縁膜15が設けられている。

[0364] 第2基板20は、下側基板20aと上側基板20bとを有する。下側基板20aは、第1半導体基板21を有する。第1半導体基板21は、例えば単結晶シリコンで構成されるシリコン基板である。第1半導体基板21の一方の面211a側に、増幅トランジスタAMPと、増幅トランジスタAMPの周囲を囲む素子分離層213とが設けられている。素子分離層213によって、隣り合う画素ユニットPUの一方の増幅トランジスタAMPと他方の増幅トランジスタAMPは電氣的に分離されている。下側基板20aは、第1半導体基板21のおもて面211aを覆う絶縁膜215を有する。絶縁膜215によって、増幅トランジスタAMP及び素子分離層213は覆われている。また、下側基板20aは、第1半導体基板21の他方の面211bを覆う絶縁膜217を有する。第1基板10の絶縁膜15と下側基板20aの絶縁膜217は互いに接合されて、層間絶縁膜228を構成している。

[0365] 上側基板20bは、第2半導体基板21Aを有する。第2半導体基板21Aは、例えば単結晶シリコンで構成されるシリコン基板である。第2半導体基板21Aの一方の面221a側に、リセットトランジスタRST及び選択トランジスタSELと、素子分離層223とが設けられている。例えば、素

子分離層 223 は、リセットトランジスタ RST と選択トランジスタ SEL との間、及び、選択トランジスタ SEL と第 2 半導体基板 21A のウェル層 との間にそれぞれ設けられている。上側基板 20b は、第 2 半導体基板 21A のおもて面 221a、裏面 221b 及び側面を覆う絶縁膜 225 を有する。下側基板 20a の絶縁膜 215 と上側基板 20b の絶縁膜 225 は互いに接合されて、層間絶縁膜 226 を構成している。

[0366] 撮像装置 1 は、層間絶縁膜 226、228 中に設けられて、第 1 基板 10 又は第 2 基板 20 の少なくとも一方に電氣的に接続する複数の配線 L1 から L10 を備える。配線 L1 は、増幅トランジスタ AMP のドレインと電源線 VDD とを電氣的に接続している。配線 L2 は、1 つの画素ユニット PU に含まれる 4 つのフローティングディフュージョン FD と、増幅トランジスタ AMP のゲート電極 AG とを電氣的に接続している。配線 L3 は、増幅トランジスタ AMP のソースと選択トランジスタ SEL のドレインとを電氣的に接続している。配線 L4 は、選択トランジスタ SEL のゲート電極 SG と画素駆動線 23（図 1 参照）とを電氣的に接続している。

[0367] 配線 L5 は、選択トランジスタ SEL のソースと垂直信号線 24 とを電氣的に接続している。配線 L6 は、リセットトランジスタ RST のドレインと電源線 VDD とを電氣的に接続している。配線 L7 は、リセットトランジスタ RST のゲート電極 RG（後述の図 4A 参照）と画素駆動線 23 とを電氣的に接続している。配線 L8 は、リセットトランジスタ RST のソースと配線 L2 とを電氣的に接続している。配線 L9（第 1 配線の一例）は、転送トランジスタ TR のゲート電極 TG と画素駆動線 23（図 1 参照）とを電氣的に接続している。配線 L10 は、ウェルコンタクト層と、基準電位（例えば、接地電位：0V）を供給する基準電位線とを電氣的に接続している。

[0368] 配線 L1 から L10 において、積層体の厚さ方向に延設されている部分はタングステン（W）で構成されており、積層体の厚さ方向と直交する方向（例えば、水平方向）に延設されている部分は銅（Cu）又は Cu を主成分とする Cu 合金で構成されている。ただし、本開示の実施形態において、配線

L 1 から L 1 0 を構成する材料は、これらに限定されず、他の材料で構成されていてもよい。第 2 基板 2 0 は、上記の配線 L 1 から L 1 0 のうちの任意の配線（例えば、配線 L 1、L 4 から L 7、L 9、L 1 0）に接続する複数のパッド電極 2 2 7 を有する。

[0369] 第 3 基板 3 0 は、第 2 基板 2 0 において第 1 基板 1 0 と向かい合う面の反対側に配置されている。第 3 基板 3 0 は、半導体基板 3 1 と、半導体基板 3 1 のおもて面 3 0 1 a 側を覆う絶縁膜 3 0 4 と、半導体基板 3 1 のおもて面 3 0 1 a 側に設けられた複数の配線 L 3 0 と、複数の配線 L 3 0 にそれぞれ接続するパッド電極 3 0 5 と、を備える。半導体基板 3 1 は、例えば単結晶シリコンで構成されるシリコン基板である。

[0370] 配線 L 3 0 は、コンタクトホール内に設けられている。配線 L 3 0 において、第 3 基板 3 0 の厚さ方向に延設されている部分はチタン (T i) 又はコバルト (C o) で構成されており、第 3 基板 3 0 厚さ方向と直交する方向（例えば、水平方向）に延設されている部分は C u 又は C u を主成分とする C u 合金で構成されている。配線 L 3 0 と半導体基板 3 1 との接続部には、シリサイド 3 9（例えば、チタンシリサイド (T i S i) 又はコバルトシリサイド (C o S i₂)）が形成されている。

[0371] 複数のパッド電極 3 0 5 は、例えば C u 又は C u 合金で構成されている。撮像装置 1 の厚さ方向において、第 3 基板 3 0 のパッド電極 3 0 5 は、第 2 基板 2 0 のパッド電極 2 2 7 と向かい合って電氣的に接続している。例えば、パッド電極 3 0 5、2 2 7 は、互いに向かい合った状態で C u - C u 接合されて一体化している。これにより、第 2 基板 2 0 と第 3 基板 3 0 とが電氣的に接続されるとともに、第 2 基板 2 0 と第 3 基板 3 0 との貼り合わせの強度が高められている。

[0372] 本開示の第 7 実施形態では、複数のセンサ画素 1 2 ごとに、1 つのフローティングディフュージョン用コンタクトが配置されていてもよい。例えば、互いに隣り合う 4 つのセンサ画素 1 2 が、1 つのフローティングディフュージョン用コンタクトを共有していてもよい。同様に、複数のセンサ画素 1 2

ごとに、1つのウェル用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素12が、1つのウェル用コンタクトを共有していてもよい。また、複数のセンサ画素12の各々に、フローティングディフュージョンFDに電氣的に接続する配線L2（フローティングディフュージョン用コンタクト）と、ウェル層WEに電氣的に接続する配線L10（ウェル用コンタクト）とがそれぞれ1つずつ配置されていてもよい。

[0373] 図108及び図112に示すように、撮像装置1Aは、複数のセンサ画素12に跨るように配置された共通パッド電極102（本開示の「第1共通パッド電極」の一例）と、共通パッド電極102上に設けられた1つの配線L2と、を共有する。例えば、撮像装置1Aには、平面視で、4つのセンサ画素12の各フローティングディフュージョンFD1からFD4が素子分離層16を介して互いに隣り合う領域が存在する。この領域に共通パッド電極102が設けられている。共通パッド電極102は、4つのフローティングディフュージョンFD1からFD4に跨るように配置されており、4つのフローティングディフュージョンFD1からFD4とそれぞれ電氣的に接続している。共通パッド電極102は、例えば、n型不純物又はp型不純物がドーピングされたポリシリコン膜で構成されている。

[0374] 共通パッド電極102の中心部上に1つの配線L2（すなわち、フローティングディフュージョン用コンタクト）が設けられている。図108、図110から図112に示すように、共通パッド電極102の中心部上に設けられた配線L2は、第1基板10から、第2基板20の下側基板20aを貫いて第2基板20の上側基板20bまで延設されており、上側基板20bに設けられた配線等を介して、増幅トランジスタAMPのゲート電極AGに接続している。

[0375] また、図107及び図112に示すように、撮像装置1Aは、複数のセンサ画素12に跨るように配置された共通パッド電極110（本開示の「第2共通パッド電極」の一例）と、共通パッド電極110上に設けられた1つの配線L10と、を共有する。例えば、撮像装置1Aには、平面視で、4つの

センサ画素 12 の各ウェル層 WE が素子分離層 16 を介して互いに隣り合う領域が存在する。この領域に共通パッド電極 110 が設けられている。共通パッド電極 110 は、4 つのセンサ画素 12 の各ウェル層 WE に跨るように配置されており、4 つのセンサ画素 12 の各ウェル層 WE とそれぞれ電氣的に接続している。一例を挙げると、共通パッド電極 110 は、Y 軸方向に並ぶ一の共通パッド電極 102 と他の共通パッド電極 102 との間に配置されている。Y 軸方向において、共通パッド電極 102、110 は交互に並んで配置されている。共通パッド電極 110 は、例えば、n 型不純物又は p 型不純物がドーピングされたポリシリコン膜で構成されている。

[0376] 共通パッド電極 110 の中心部上に 1 つの配線 L10 (すなわち、ウェル用コンタクト) が設けられている。図 107、図 109 から図 112 に示すように、共通パッド電極 110 の中心部上に設けられた配線 L10 は、第 1 基板 10 から、第 2 基板 20 の下側基板 20a を貫いて第 2 基板 20 の上側基板 20b まで延設されており、上側基板 20b に設けられた配線等を介して、基準電位 (例えば、接地電位: 0V) を供給する基準電位線に接続している。

[0377] 共通パッド電極 110 の中心部上に設けられた配線 L10 は、共通パッド電極 110 の上面と、下側基板 20a に設けられた貫通孔の内側面と、上側基板 20b に設けられた貫通孔の内側面とに、それぞれ電氣的に接続している。これにより、第 1 基板 10 の半導体基板 11 のウェル層 WE と、第 2 基板 20 の下側基板 20a のウェル層及び上側基板 20b のウェル層は、基準電位 (例えば、接地電位: 0V) に接続される。

[0378] 本開示の第 7 実施形態に係る撮像装置 1A は、光電変換を行うセンサ画素 12 が設けられた第 1 基板 10 と、第 1 基板 10 のおもて面 12a 側に配置され、センサ画素 12 から出力された電荷に基づく画素信号を出力する読み出し回路 22 を有する第 2 基板 20 と、を備える。第 2 基板 20 は、読み出し回路 22 に含まれる増幅トランジスタ AMP が設けられた第 1 半導体基板 21 と、第 1 半導体基板 21 のおもて面 211a 側に配置され、読み出し回

路 2 2 に含まれる選択トランジスタ S E L とリセットトランジスタ R S T とが設けられた第 2 半導体基板 2 1 A と、を有する。

[0379] これによれば、読み出し回路 2 2 に含まれる全てのトランジスタが 1 枚の半導体基板に配置される場合と比べて、トランジスタの配置領域の面積を増大することができるので、読み出し回路 2 2 のレイアウトの自由度が向上する。これにより、各画素ユニット P U で、増幅トランジスタ A M P のゲート面積を最大化することができ、良好なノイズ特性を実現することができる。増幅トランジスタ A M P の面積を最大化することによって、撮像装置 1 で生じるランダムノイズを低減することが可能となる。

[0380] また、撮像装置 1 A は、第 1 基板 1 0 を構成する半導体基板 1 1 のおもて面 1 1 a 側に設けられ、互いに隣り合う複数（例えば、4 つ）のセンサ画素 1 2 に跨るように配置された共通パッド電極 1 0 2、1 1 0、をさらに備える。共通パッド電極 1 0 2 は、4 つのセンサ画素 1 2 のフローティングディフュージョン F D と電氣的に接続している。共通パッド電極 1 1 0 は、4 つのセンサ画素 1 2 のウェル層 W E と電氣的に接続している。これによれば、4 つのセンサ画素 1 2 ごとに、フローティングディフュージョン F D に接続する配線 L 2 を共通化することができる。4 つのセンサ画素 1 2 ごとに、ウェル層 W E に接続する配線 L 1 0 を共通化することができる。これにより、配線 L 2、L 1 0 の本数を低減することができるので、センサ画素 1 2 の面積低減が可能であり、撮像装置 1 A の小型化が可能である。

[0381] また、本開示の第 7 実施形態と同様に、図 4 に示した第 1 実施形態に係る半導体装置の第 2 基板 2 0 に関して、読み出し回路 2 2 を構成することのできる増幅トランジスタ A M P、リセットトランジスタ R S T、選択トランジスタ S E L は、同じ半導体基板 2 1 に形成される例を示したが、少なくとも 1 つのトランジスタを半導体基板 2 1 に形成し、残りのトランジスタを半導体基板 1 1 および 2 1 とは異なる、半導体基板 2 1 A に形成してもよい。半導体基板 2 1 A は、図示しないが、例えば、半導体基板 2 1 上に、絶縁層 5 2、5 7、接続部 5 9、接続配線 5 5 を形成し、さらに半導体基板 2 1 A を

積層する。新たな半導体基板は、層間絶縁膜 51 の半導体基板 11 に積層される面と反対側の面に積層され、所望のトランジスタを形成することができる。一例として、半導体基板 21 に増幅トランジスタ AMP を形成し、リセットトランジスタ RST 及び／又は選択トランジスタ SEL を半導体基板 21A に形成することができる。

[0382] また、新たな半導体基板を複数設け、それぞれに所望の読み出し回路 22 のトランジスタを設けても良い。一例として、半導体基板 21 に増幅トランジスタ AMP を形成することができる。さらに、半導体基板 21 に絶縁層、接続部、接続配線を積層し、さらに半導体基板 21A を積層すると、半導体基板 21A にリセットトランジスタ RST を形成することができる。半導体基板 21A に絶縁層、接続部、接続配線を積層し、さらに半導体基板 21B を積層すると、半導体基板 21B に選択トランジスタ SEL を形成することができる。半導体基板 21、21A、21B に形成するトランジスタは、読み出し回路 22 を構成するいずれのトランジスタでも良い。

[0383] このように、第 2 基板 20 に複数の半導体基板を設ける構成により、1 つの読み出し回路 22 が占める半導体基板 21 の面積を小さくすることができる。各読み出し回路 22 の面積を小さくしたり、各トランジスタを微細化することが出来れば、チップの面積を小さくすることも可能になる。また、読み出し回路 22 を構成することのできる増幅トランジスタ、リセットトランジスタ、選択トランジスタのうち、所望のトランジスタの面積を拡大することができる。特に、増幅トランジスタの面積を拡大することで、ノイズ低減効果も期待できる。

[0384] このように、第 1 ～第 6 実施形態に係る半導体装置においても、第 2 基板 20 に複数の半導体基板を設ける構成とすることができる。第 2 基板 20 に複数の半導体基板を設ける構成とした場合には、第 1 ～第 6 実施形態に係る半導体装置の構造は各々の第 2 基板に含まれる複数の半導体基板間に適用してもよい。例えば、第 1 及び第 2 実施形態に係る半導体装置のシールド層 1040 を、第 2 基板に含まれる複数の半導体基板間に配置してもよい。また

、第4実施形態に係る半導体装置の光減衰部1501, 1502, 1521, 1531, 1542を、第2基板に含まれる複数の半導体基板間に配置してもよい。また、第5実施形態に係る半導体装置の反射防止部1701, 1711, 1721, 1721, 1731, 1741を、第2基板に含まれる複数の半導体基板間に配置してもよい。

[0385] <適用例>

図113は、上記実施の形態およびその変形例に係る撮像装置1を備えた撮像システム7の概略構成の一例を表したものである。

[0386] 撮像システム7は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム7は、例えば、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248を備えている。撮像システム7において、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248は、バスライン249を介して相互に接続されている。

[0387] 上記実施の形態およびその変形例に係る撮像装置1は、入射光に応じた画像データを出力する。DSP回路243は、上記実施の形態およびその変形例に係る撮像装置1から出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ244は、DSP回路243により処理された画像データを、フレーム単位で一時的に保持する。表示部245は、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置からなり、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画を表示する。記憶部246は、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部247は、ユーザによる操作に従い、撮像システム7が有する各種の機能についての操作指

令を発する。電源部248は、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246および操作部247の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0388] 次に、撮像システム7における撮像手順について説明する。

[0389] 図114は、撮像システム7における撮像動作のフローチャートの一例を表す。ユーザは、操作部247を操作することにより撮像開始を指示する（ステップS101）。すると、操作部247は、撮像指令を撮像装置1に送信する（ステップS102）。撮像装置1（具体的にはシステム制御回路36）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップS103）。

[0390] 撮像装置1は、撮像により得られた画像データをDSP回路243に出力する。ここで、画像データとは、フローティングディフュージョンFDに一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP回路243は、撮像装置1から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理など）を行う（ステップS104）。DSP回路243は、所定の信号処理がなされた画像データをフレームメモリ244に保持させ、フレームメモリ244は、画像データを記憶部246に記憶させる（ステップS105）。このようにして、撮像システム7における撮像が行われる。

[0391] 本適用例では、上記実施の形態およびその変形例に係る撮像装置1が撮像システム7に適用される。これにより、撮像装置1を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム7を提供することができる。

[0392] <応用例>

[応用例1]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車

、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0393] 図115は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0394] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図115に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0395] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0396] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

- [0397] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0398] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0399] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0400] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

- [0401] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0402] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0403] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図７４７の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。
- [0404] 図１１６は、撮像部１２０３１の設置位置の例を示す図である。
- [0405] 図１１６では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。
- [0406] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックド

アに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0407] なお、図116には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0408] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0409] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0410] 例えば、マイクロコンピュータ12051は、撮像部12101ないし1

2104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0411] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0412] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像装置1は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影

画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0413] [応用例 2]

図 1 1 7 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0414] 図 1 1 7 では、術者（医師）1 1 1 3 1 が、内視鏡手術システム 1 1 0 0 0 を用いて、患者ベッド 1 1 1 3 3 上の患者 1 1 1 3 2 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 1 1 0 0 0 は、内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

[0415] 内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメラヘッド 1 1 1 0 2 と、から構成される。図示する例では、硬性の鏡筒 1 1 1 0 1 を有するいわゆる硬性鏡として構成される内視鏡 1 1 1 0 0 を図示しているが、内視鏡 1 1 1 0 0 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0416] 鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0417] カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する

電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）11201に送信される。

[0418] CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0419] 表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

[0420] 光源装置11203は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

[0421] 入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0422] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0423] なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置

11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0424] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0425] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

- [0426] 図118は、図117に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。
- [0427] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。
- [0428] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。
- [0429] 撮像部11402は、撮像素子で構成される。撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。
- [0430] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。
- [0431] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制

御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

[0432] 通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して CCU 1 1 2 0 1 に送信する。

[0433] また、通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4 0 5 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0434] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 1 1 2 0 1 の制御部 1 1 4 1 3 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 1 1 1 0 0 に搭載されていることになる。

[0435] カメラヘッド制御部 1 1 4 0 5 は、通信部 1 1 4 0 4 を介して受信した CCU 1 1 2 0 1 からの制御信号に基づいて、カメラヘッド 1 1 1 0 2 の駆動を制御する。

[0436] 通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 から、伝送ケーブル 1 1 4 0 0 を介して送信される画像信号を受信する。

[0437] また、通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 に対して、カメラヘ

ッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0438] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0439] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0440] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0441] カメラヘッド１１１０２及びCCU１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0442] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とCCU１１２０１との間の通信は無線で行われてもよい。

[0443] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡１１１００のカメラヘッド１１１０２に設けられた撮像部１１４０２に好適に適用

され得る。撮像部 11402 に本開示に係る技術を適用することにより、撮像部 11402 を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡 11100 を提供することができる。

[0444] 以上、実施の形態およびその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

[0445] なお、本技術は、以下のような構成を取ることができる。

(1)

第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1配線層上に配置された導電性材料を含むシールド層とを含む第1基板と、

前記シールド層上に配置された第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、

前記第1基板と前記第2基板とが積層されて構成されている、半導体装置。

(2)

前記第1基板が、前記第1素子層下に配置された光電変換部を更に含む、

(1)に記載の半導体装置。

(3)

前記シールド層に開口部が設けられ、

前記開口部を貫通し、前記光電変換部又は前記第1配線層と前記第2配線層とを接続する接続配線を更に備える、

(2)に記載の半導体装置。

(4)

前記シールド層の前記開口部に位置する一部が、前記接続配線と同軸で、

層間絶縁膜を介して前記接続配線の外周面を囲むように前記接続配線の長手方向に沿って延伸する、(3)に記載の半導体装置。

(5)

前記第2基板上に第3基板が積層されている、(1)～(4)のいずれかに記載の半導体装置。

(6)

固体撮像装置を構成する、(1)～(5)のいずれかに記載の半導体装置。

(7)

第1能動素子を含む第1素子層上に第1配線層を形成し、
前記第1配線層上に導電性材料を含むシールド層を形成することにより、
前記第1素子層、前記第1配線層及び前記シールド層を含む第1基板を形成し、

第2能動素子を含む第2素子層を形成した第2基板を用意し、
前記第1基板の前記シールド層側に、前記第2基板の前記第2素子層側を
張り合わせるにより、前記シールド層上に前記第2素子層を形成し、
前記第2素子層上に第2配線層を形成する
ことを含む、半導体装置の製造方法。

(8)

第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層とを含む第1基板と、

第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、

前記第1基板と前記第2基板とが積層されて構成されており、前記第1基板と前記第2基板との間に導電性材料を含む電磁遮蔽層を備えている、半導体装置。

(9)

前記電磁遮蔽層が、接地電位に接続されている、(8)に記載の半導体装

置。

(10)

前記電磁遮蔽層は、平面視で少なくとも前記第1能動素子を覆って配置されている、(8)に記載の半導体装置。

(11)

前記導電性材料が、タングステン、チタン、窒化チタン、炭素、多結晶シリコンの何れか一つを含む、(8)に記載の半導体装置。

(12)

前記電磁遮蔽層が、前記導電性材料の上下面に設けられた拡散防止層を含む、(11)に記載の半導体装置。

(13)

第1能動素子を含む第1素子層上に第1配線層を形成することにより、前記第1素子層及び前記第1配線層を含む第1基板を形成し、

第2基板を用意し、

前記第1基板または前記第2基板に導電性材料を含む電磁遮蔽層を形成し

、

前記電磁遮蔽層を介して前記第1基板と前記第2基板を貼り合わせ、

前記第2基板上に、第2能動素子を含む第2素子層を形成し、

前記第2素子層上に第2配線層を形成する

ことを含む、半導体装置の製造方法。

(14)

第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1素子層下に配置された光電変換部とを含む第1基板と、

第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、

前記第1基板と前記第2基板とが積層されて構成されており、前記第2能動素子と前記光電変換部との間に周囲より屈折率が高い材料で構成された光減衰部を備えている、半導体装置。

(15)

前記光減衰部が、層間絶縁膜中に形成されたシリコン材料からなる、(14)に記載の半導体装置。

(16)

前記光減衰部が、シリコン量子ドットからなる、(14)または(15)に記載の半導体装置。

(17)

前記光減衰部が、前記第2基板に形成された凸形状を含む、(14)～(16)のいずれかに記載の半導体装置。

(18)

第1能動素子を含む第1素子層上に第1配線層を形成し、前記第1素子層下に光電変換部を形成することにより、前記第1素子層、前記第1配線層及び前記光電変換部を含む第1基板を形成し、

第2基板を用意し、

前記第2基板に周囲より屈折率が高い材料で構成された光減衰部を形成し、

、

前記第1基板と前記第2基板の前記光減衰部側を貼り合わせ、

前記第2基板上に、第2能動素子を含む第2素子層を形成し、

前記第2素子層上に第2配線層を形成する

ことを含む、半導体装置の製造方法。

(19)

第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1素子層下に配置された光電変換部とを含む第1基板と、

第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板と、

前記第2基板に含まれる半導体材料よりも屈折率が低い材料からなる反射防止部とを備え、

前記第1基板と前記第2基板とが積層されて構成されており、少なくとも

前記第2能動素子と前記光電変換部との間に前記反射防止部が配置されている、半導体装置。

(20)

前記反射防止部が、さらに平面視で前記第2能動素子の側方領域に配置されている、(19)に記載の半導体装置。

(21)

前記反射防止部が、窒化ケイ素からなる、(18)または(19)に記載の半導体装置。

(22)

前記反射防止部と、前記第2能動素子との間に前記反射防止部とは異なる材料で構成された中間膜を備える、(18)～(21)のいずれかに記載の半導体装置。

(23)

前記中間膜の膜厚が、前記反射防止部の膜厚よりも薄い、(22)に記載の半導体装置。

(24)

前記反射防止部が、複数の凹凸を有している、(18)～(21)のいずれかに記載の半導体装置。

(25)

第1能動素子を含む第1素子層上に第1配線層を形成し、前記第1素子層下に光電変換部を形成することにより、前記第1素子層、前記第1配線層及び前記光電変換部を含む第1基板を形成し、

第2基板を用意し、

前記第2基板に含まれる半導体材料よりも屈折率が低い材料からなる反射防止部を前記

第2基板に形成し、

前記第1基板と前記第2基板の前記反射防止部側を貼り合わせ、

前記第2基板上に、第2能動素子を含む第2素子層を形成し、

前記第2素子層上に第2配線層を形成する

ことを含む、半導体装置の製造方法。

符号の説明

[0446] 1, 1A…撮像装置、10, 1101, 1410…第1基板、11, 21, 21A, 31, 1251, 1411, 1421, 1431…半導体基板、12, 12A…センサ画素、13, 1001, 2001…画素領域、15…カラム処理部、18A, 38A…DAC、20, 1102, 1420…第2基板、20a…下側基板、20b…上側基板、22, 1422…読み出し回路、23…画素駆動線、24, 1008b…垂直信号線、25, 1031, 1033, 1034, 1061, 1062, 1063, 1071, 1261, 1661…配線、26…低抵抗領域、30, 1103, 1430…第3基板、32, 1432…ロジック回路、32A, 32B…回路、33, 1003…垂直駆動回路、34, 1004…カラム信号処理回路、34A…比較器、34B…アップ／ダウンカウンタ、34C…転送スイッチ、34D…メモリ装置、35, 10005…水平駆動回路、36…システム制御回路、37…水平出力線、38…参照電圧供給部、40, 1092…カラーフィルタ、41…PD、42…ウェル層、43, 1012, 1612…素子分離部、44…pウェル層、45…固定電荷膜、46, 52, 53, 57, 63, 1446, 1452, 1512…絶縁層、47, 48, 54…貫通配線、50…受光レンズ、51, 61, 1035, 1042, 1056, 1065, 1075, 1242, 1256, 1265, 1656, 1665…層間絶縁膜、55, 1066, 1067, 1266, 1311, 1666…接続配線、56, 62, 1462…配線層、58, 64…パッド電極、59…接続部、102, 110…共通パッド電極、141…DSP回路、142…フレームメモリ、144…記憶部、1441, PD…フォトダイオード、145…操作部、146…電源部、147…バスライン、204…駆動部、227, 305…パッド電極、1002…画素、1006…出力回路、1008a…画素駆動配線、1009…水平信号線、1010…センサ層、1011, 105

1, 1081, 1611, 1651…Si基板、1011a…光電変換部、
1020…第1素子層、1021, 1221…第1能動素子、1030, 1
230, 1630…第1配線層、1040…シールド層、1041a, 10
41b, 1241a…開口部、1043, 1044…鞘部、1050…第2
素子層、1052, 1053, 1252…第2能動素子、1057…支持基
板、1060…第2配線層、1070…第3配線層、1080…第3素子層
、1082…第3能動素子、1091…平坦化膜、1093…マイクロレン
ズ、1211…半導体基板、1242…層間絶縁膜、1301, 1303,
1304…拡散防止層、1302…電磁遮蔽層、1501, 1502, 15
21, 1531, 1542…光減衰部、1511…半導体層、1513…レ
ジストマスク、1514, 1541, 1702…凹部、1521a…凸形状
、1701, 1711, 1721, 1721, 1731, 1741…反射防
止部、1723…SiN膜、1732…中間膜、2200…半導体装置、2
201…光学系、2202…シャッタ装置、2203…信号処理部、220
4, 11403…駆動部、11000…内視鏡手術システム、1101a…
光電変換部形成領域、1102a…画素トランジスタ形成領域、1103a
…ロジック回路形成領域、11101…鏡筒、11102…カメラヘッド、
11110…術具、11111…気腹チューブ、11112…エネルギー処
置具、11120…支持アーム装置、11131…術者、11132…患者
、11133…患者ベッド、11200…カート、11201…CCU、1
1202…表示装置、11203…光源装置、11204…入力装置、11
205…処置具制御装置、11206…気腹装置、11207…レコーダ、
11208…プリンタ、11400…伝送ケーブル、11401…レンズユ
ニット、11402, 12031, 12101, 12102, 12104,
12105…撮像部、11404…通信部、11405…カメラヘッド制御
部、11411…通信部、11412…画像処理部、11413…制御部、
12000…車両制御システム、12001…通信ネットワーク、1201
0…駆動系制御ユニット、12020…ボディ系制御ユニット、12030

， 1 2 0 4 0 … 車外情報検出ユニット、 1 2 0 4 1 … 運転者状態検出部、 1 2 0 5 0 … 統合制御ユニット、 1 2 0 5 1 … マイクロコンピュータ、 1 2 0 5 2 … 音声画像出力部、 1 2 0 6 1 … オーディオスピーカ、 1 2 0 6 2 … 表示部、 1 2 0 6 3 … インstrumentパネル、 1 2 1 0 0 … 車両、 1 2 1 1 1， 1 2 1 1 2， 1 2 1 1 4 … 撮像範囲、 F D … フローティングディフュージョン、 F D G … F D 転送トランジスタ、 R S T， T 2 … リセットトランジスタ、 S E L， T 4 … 選択トランジスタ、 T 1， T R、 T 3 … 増幅トランジスタ、 T G … 転送ゲート

請求の範囲

- [請求項1] 第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1配線層上に配置された導電性材料を含むシールド層とを含む第1基板と、
- 前記シールド層上に配置された第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、
- 前記第1基板と前記第2基板とが積層されて構成されている、半導体装置。
- [請求項2] 前記第1基板が、前記第1素子層下に配置された光電変換部を更に含む、請求項1に記載の半導体装置。
- [請求項3] 前記シールド層に開口部が設けられ、
- 前記開口部を貫通し、前記光電変換部又は前記第1配線層と前記第2配線層とを接続する接続配線を更に備える、
- 請求項2に記載の半導体装置。
- [請求項4] 前記シールド層の前記開口部に位置する一部が、前記接続配線と同軸で、層間絶縁膜を介して前記接続配線の外周面を囲むように前記接続配線の長手方向に沿って延伸する、請求項3に記載の半導体装置。
- [請求項5] 前記第2基板上に第3基板が積層されている、請求項1に記載の半導体装置。
- [請求項6] 固体撮像装置を構成する、請求項1に記載の半導体装置。
- [請求項7] 第1能動素子を含む第1素子層上に第1配線層を形成し、
- 前記第1配線層上に導電性材料を含むシールド層を形成することにより、前記第1素子層、前記第1配線層及び前記シールド層を含む第1基板を形成し、
- 第2能動素子を含む第2素子層を形成した第2基板を用意し、
- 前記第1基板の前記シールド層側に、前記第2基板の前記第2素子層側を貼り合わせることにより、前記シールド層上に前記第2素子層

を形成し、

前記第2素子層上に第2配線層を形成する

ことを含む、半導体装置の製造方法。

[請求項8] 第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層とを含む第1基板と、

第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、

前記第1基板と前記第2基板とが積層されて構成されており、前記第1基板と前記第2基板との間に導電性材料を含む電磁遮蔽層を備えている、半導体装置。

[請求項9] 前記電磁遮蔽層が、接地電位に接続されている、請求項8に記載の半導体装置。

[請求項10] 前記電磁遮蔽層は、平面視で少なくとも前記第1能動素子を覆って配置されている、請求項8に記載の半導体装置。

[請求項11] 前記導電性材料が、タングステン、チタン、窒化チタン、炭素、多結晶シリコンの何れか一つを含む、請求項8に記載の半導体装置。

[請求項12] 前記電磁遮蔽層が、前記導電性材料の上下面に設けられた拡散防止層を含む、請求項11に記載の半導体装置。

[請求項13] 第1能動素子を含む第1素子層上に第1配線層を形成することにより、前記第1素子層及び前記第1配線層を含む第1基板を形成し、

第2基板を用意し、

前記第1基板または前記第2基板に導電性材料を含む電磁遮蔽層を形成し、

前記電磁遮蔽層を介して前記第1基板と前記第2基板を貼り合わせ、

前記第2基板上に、第2能動素子を含む第2素子層を形成し、

前記第2素子層上に第2配線層を形成する

ことを含む、半導体装置の製造方法。

- [請求項14] 第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1素子層下に配置された光電変換部とを含む第1基板と、
- 第2能動素子を含む第2素子層と、前記第2素子層上に配置された第2配線層とを含む第2基板とを備え、
- 前記第1基板と前記第2基板とが積層されて構成されており、前記第2能動素子と前記光電変換部との間に周囲より屈折率が高い材料で構成された光減衰部を備えている、半導体装置。
- [請求項15] 前記光減衰部が、層間絶縁膜中に形成されたシリコン材料からなる、請求項14に記載の半導体装置。
- [請求項16] 前記光減衰部が、シリコン量子ドットからなる、請求項15に記載の半導体装置。
- [請求項17] 前記光減衰部が、前記第2基板に形成された凸形状を含む、請求項14に記載の半導体装置。
- [請求項18] 第1能動素子を含む第1素子層上に第1配線層を形成し、前記第1素子層下に光電変換部を形成することにより、前記第1素子層、前記第1配線層及び前記光電変換部を含む第1基板を形成し、
- 第2基板を用意し、
- 前記第2基板に周囲より屈折率が高い材料で構成された光減衰部を形成し、
- 前記第1基板と前記第2基板の前記光減衰部側を貼り合わせ、
- 前記第2基板上に、第2能動素子を含む第2素子層を形成し、
- 前記第2素子層上に第2配線層を形成することを含む、半導体装置の製造方法。
- [請求項19] 第1能動素子を含む第1素子層と、前記第1素子層上に配置された第1配線層と、前記第1素子層下に配置された光電変換部とを含む第1基板と、
- 第2能動素子を含む第2素子層と、前記第2素子層上に配置された

第2配線層とを含む第2基板と、

前記第2基板に含まれる半導体材料よりも屈折率が低い材料からなる反射防止部とを備え、

前記第1基板と前記第2基板とが積層されて構成されており、少なくとも前記第2能動素子と前記光電変換部との間に前記反射防止部が配置されている、半導体装置。

[請求項20] 前記反射防止部が、さらに平面視で前記第2能動素子の側方領域に配置されている、請求項19に記載の半導体装置。

[請求項21] 前記反射防止部が、窒化ケイ素からなる、請求項19に記載の半導体装置。

[請求項22] 前記反射防止部と、前記第2能動素子との間に前記反射防止部とは異なる材料で構成された中間膜を備える、請求項19に記載の半導体装置。

[請求項23] 前記中間膜の膜厚が、前記反射防止部の膜厚よりも薄い、請求項22に記載の半導体装置。

[請求項24] 前記反射防止部が、複数の凹凸を有している、請求項19に記載の半導体装置。

[請求項25] 第1能動素子を含む第1素子層上に第1配線層を形成し、前記第1素子層下に光電変換部を形成することにより、前記第1素子層、前記第1配線層及び前記光電変換部を含む第1基板を形成し、

第2基板を用意し、

前記第2基板に含まれる半導体材料よりも屈折率が低い材料からなる反射防止部を前記第2基板に形成し、

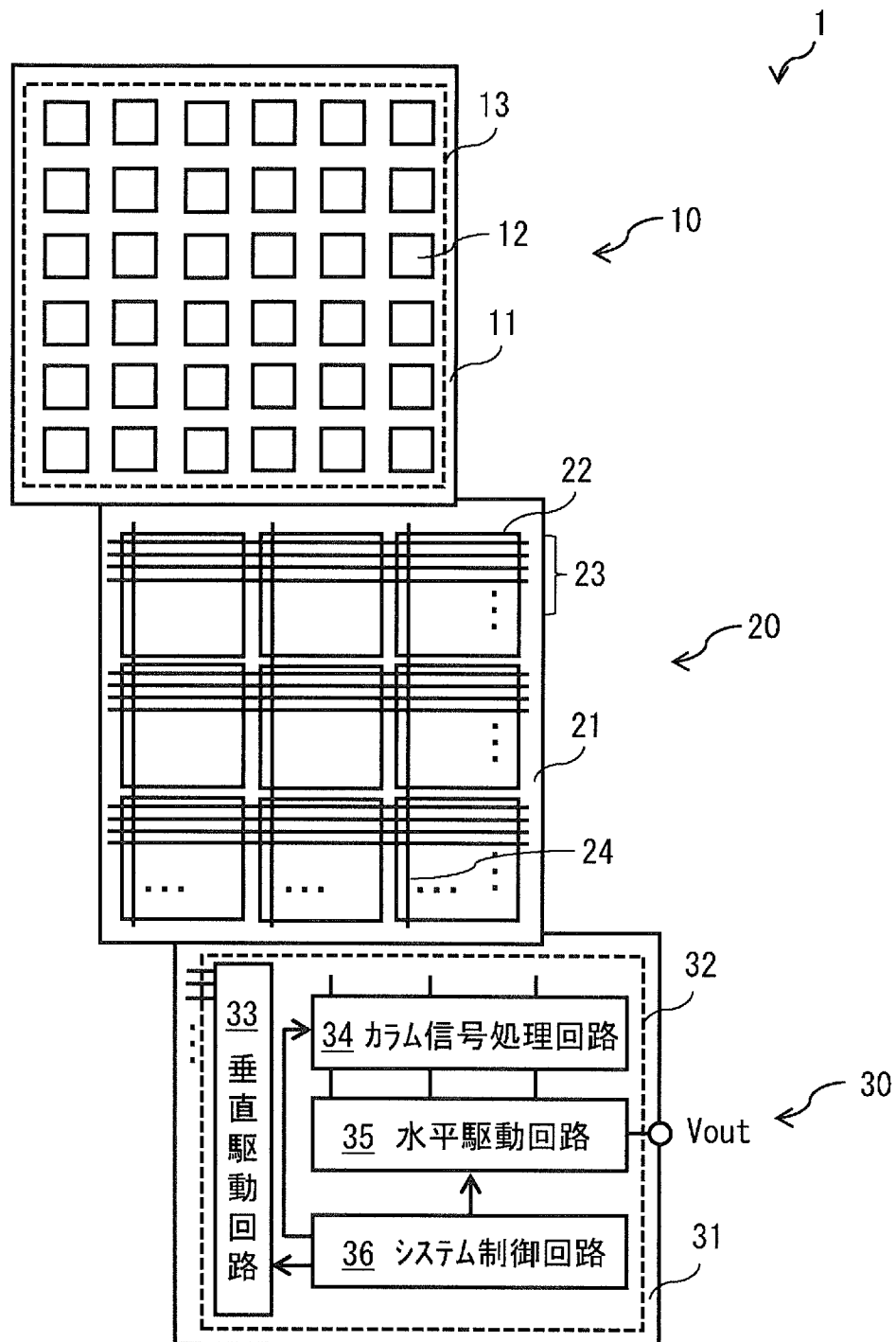
前記第1基板と前記第2基板の前記反射防止部側を貼り合わせ、

前記第2基板上に、第2能動素子を含む第2素子層を形成し、

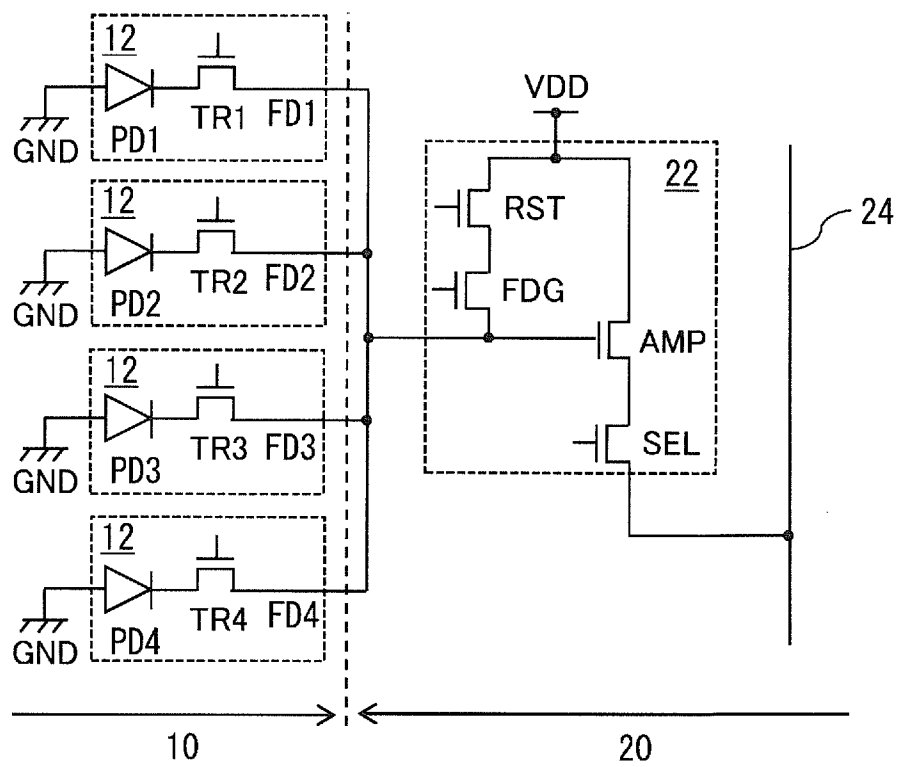
前記第2素子層上に第2配線層を形成する

ことを含む、半導体装置の製造方法。

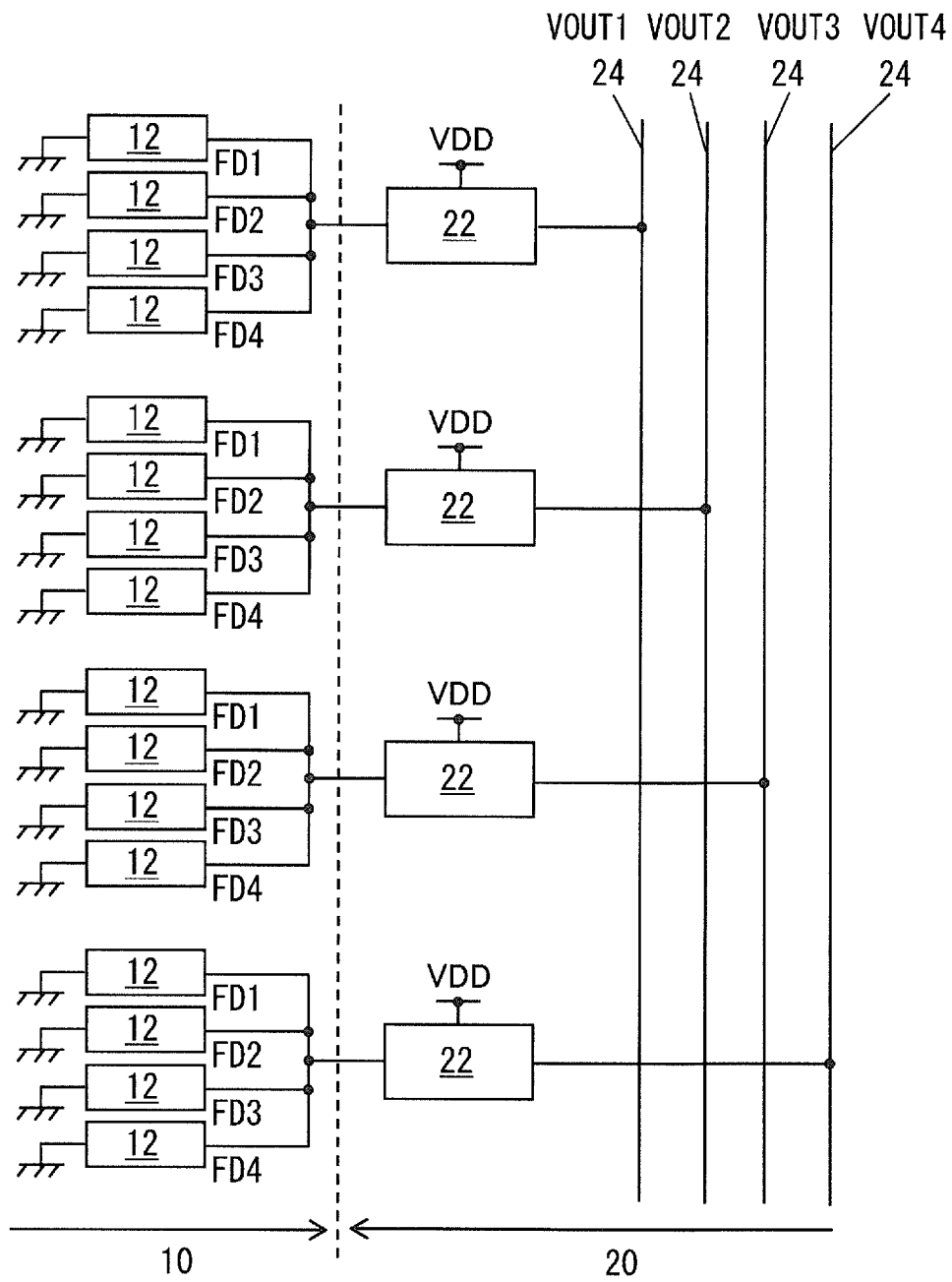
[図1]



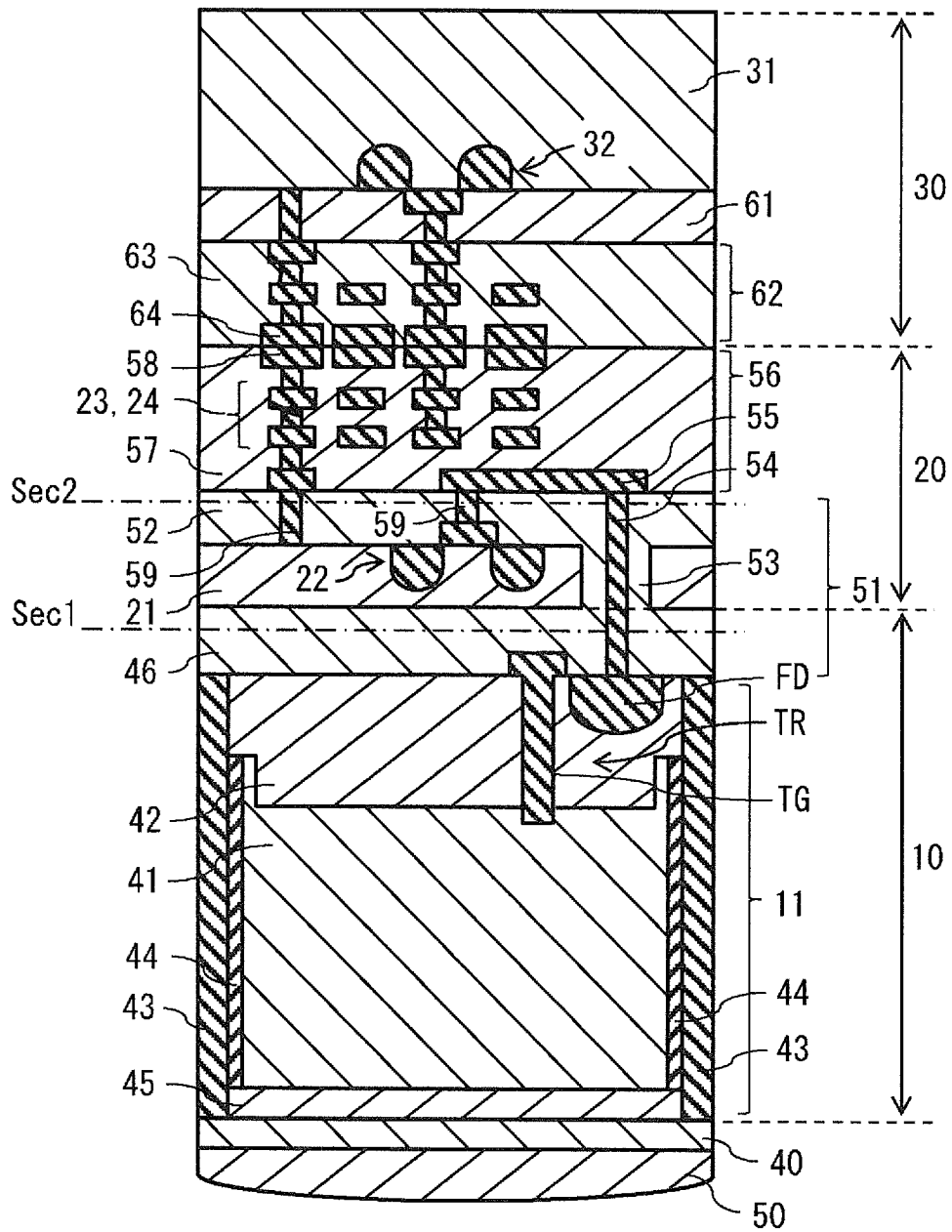
[図2]



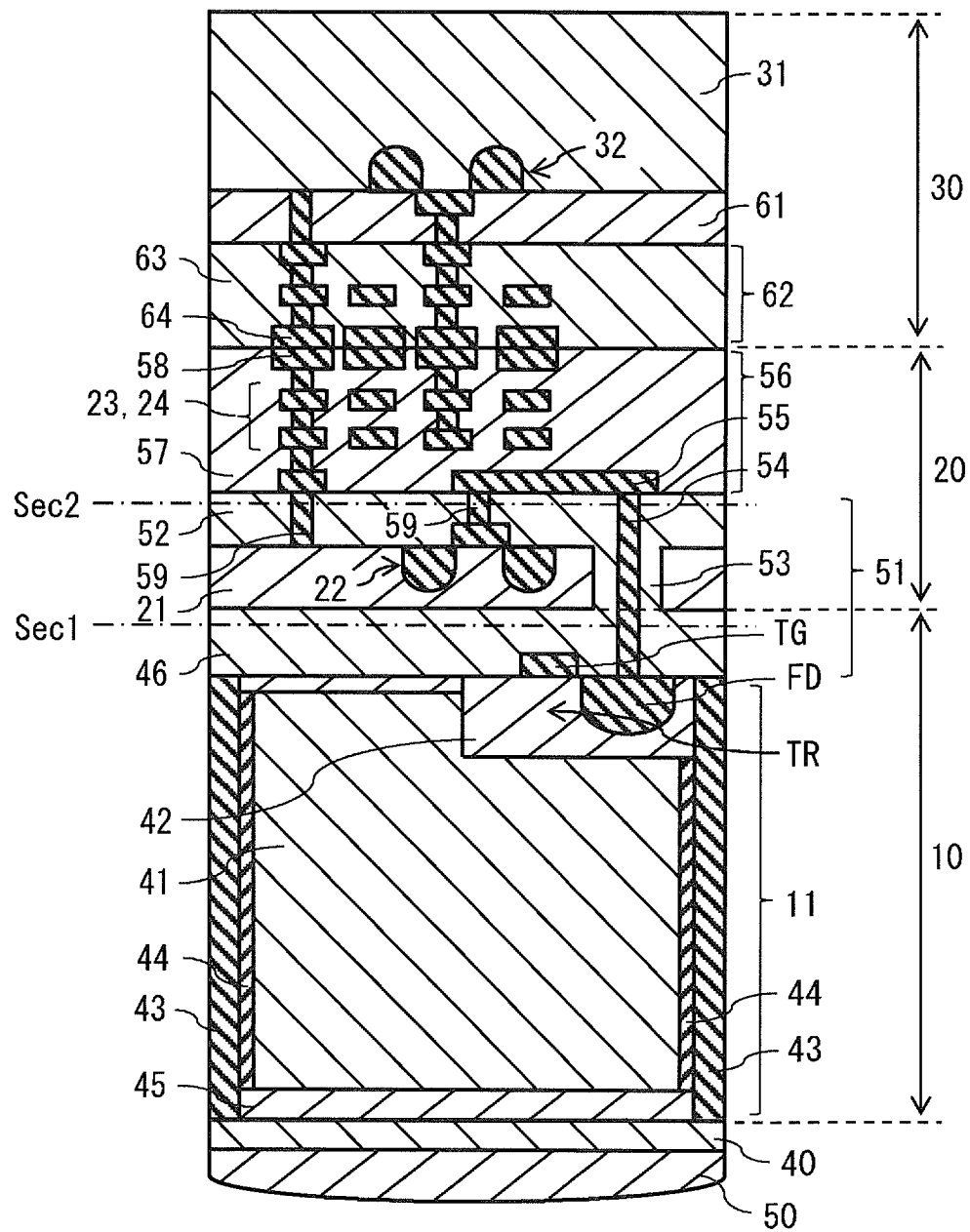
[図3]



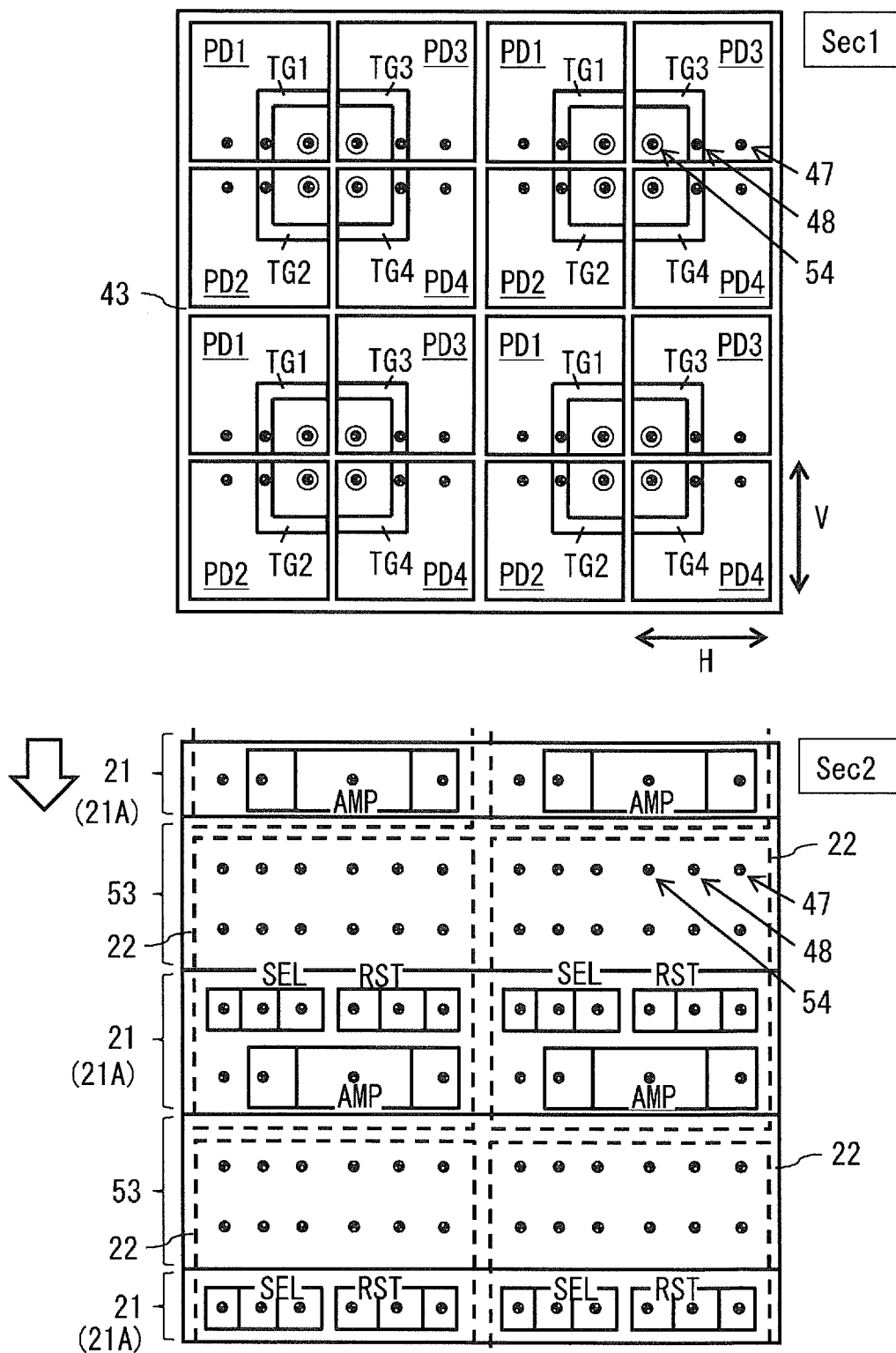
[図4]



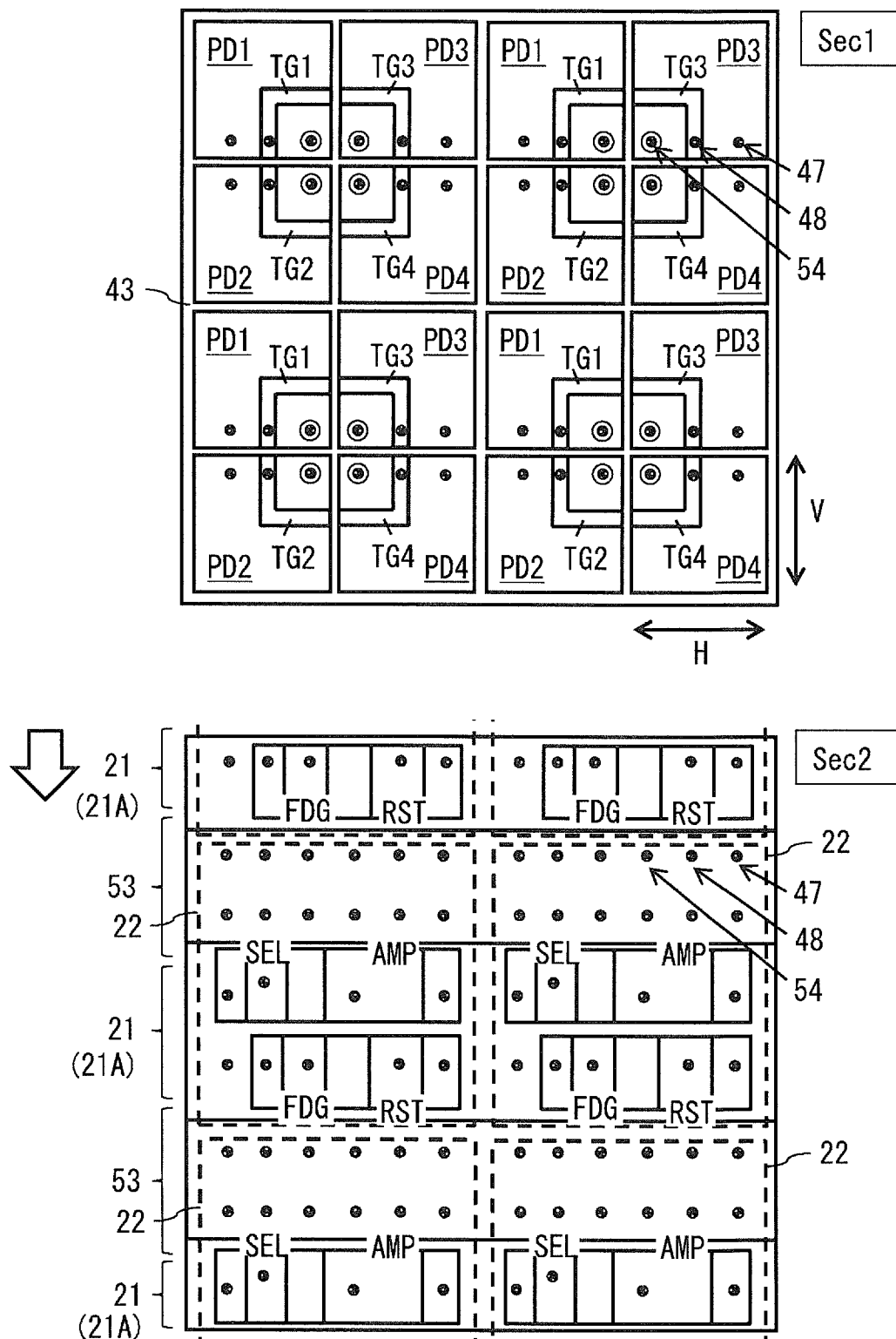
[図5]



[図6]



[図7]



[図8]

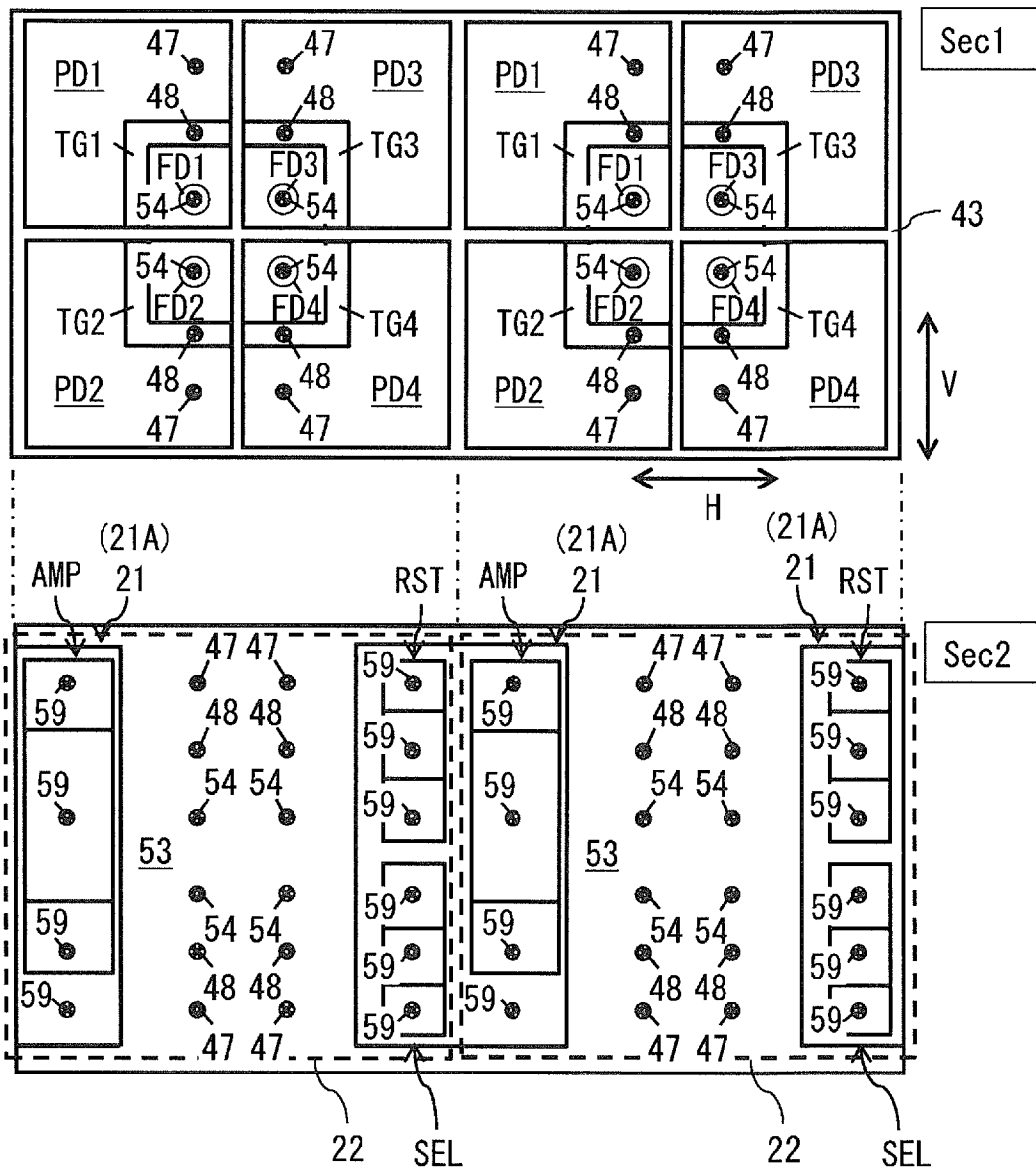
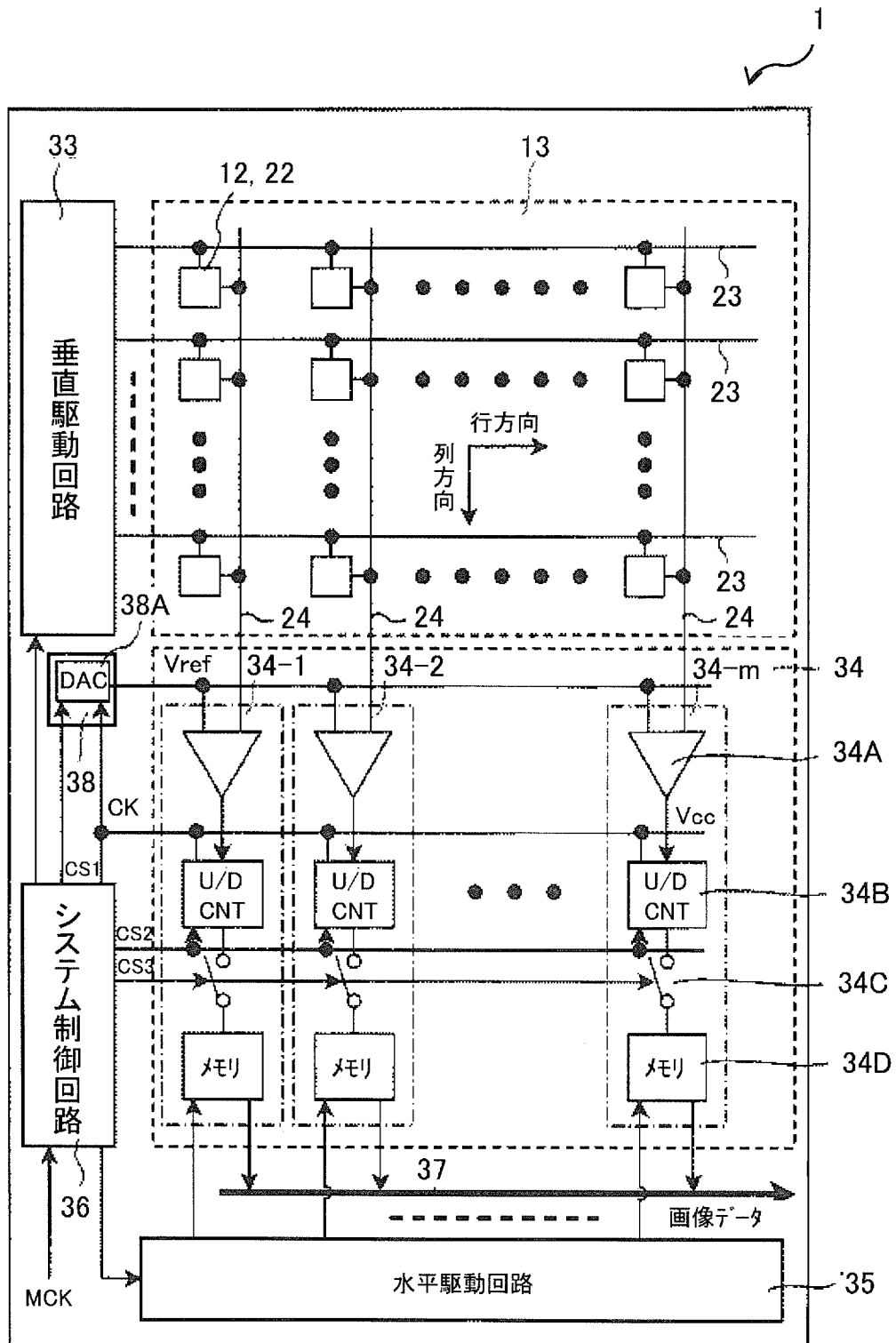
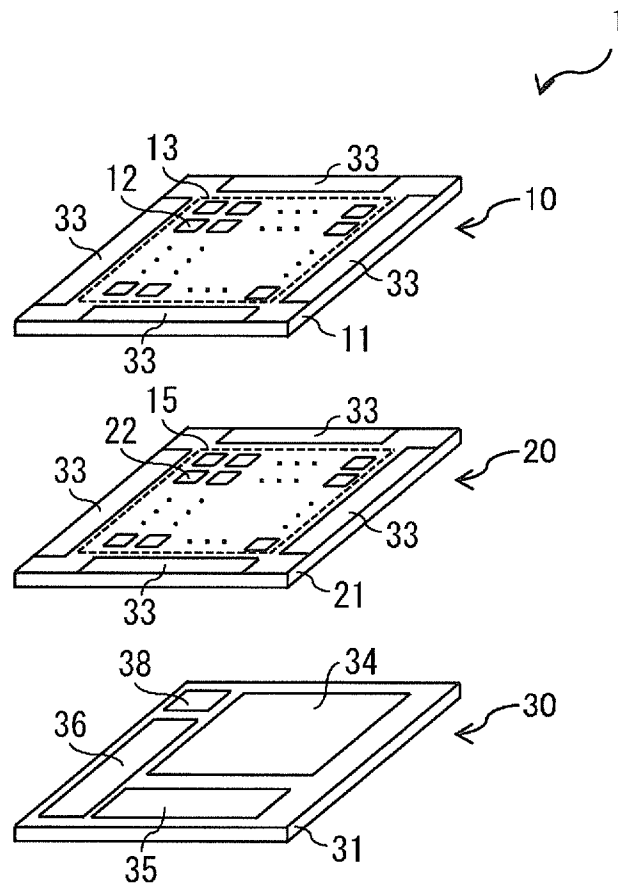


Figure 1 is a plan view of a semiconductor device. The device is divided into two sections, Sec1 and Sec2. Sec1 contains four photodiode (PD) units (PD1, PD2, PD3, PD4) arranged in a 2x2 grid. Each unit includes a gate (TG1, TG2, TG3, TG4) and a floating diffusion (FD) region. The units are connected to a common source/drain region (47) and a common gate region (48). The distance between the units is labeled H. Sec2 contains two sets of control lines (AMP, RST) and a common source/drain region (47). The distance between the sets of control lines is labeled V. The device is labeled 43.

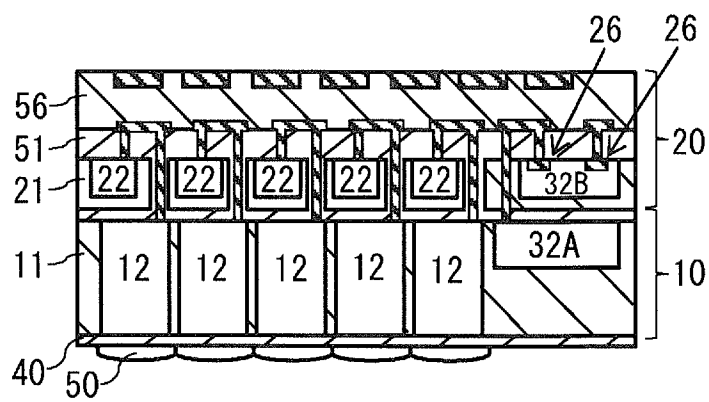
[図10]



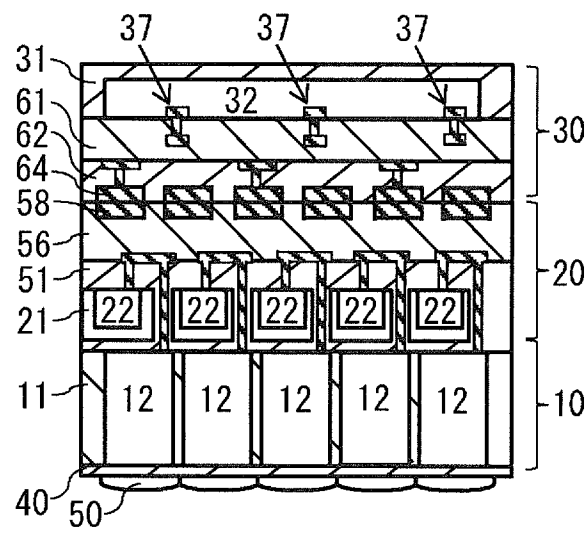
[図11]



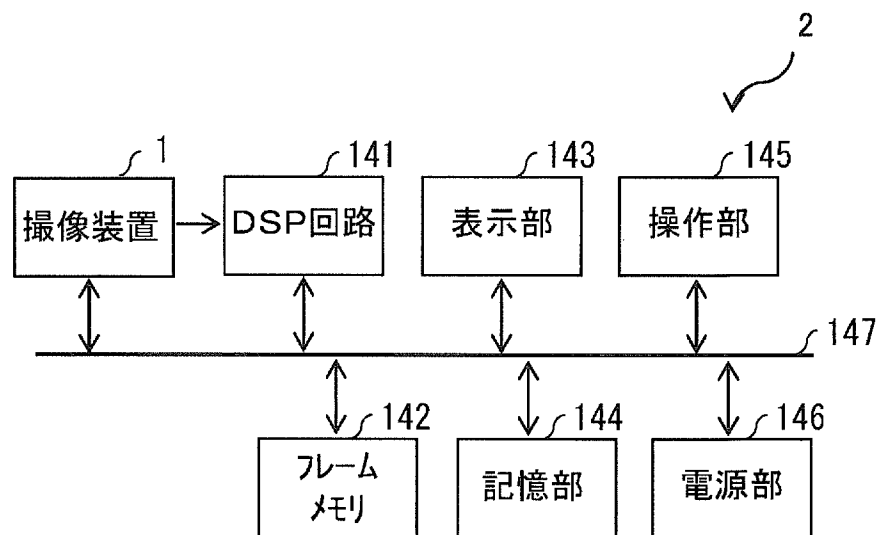
[図12]



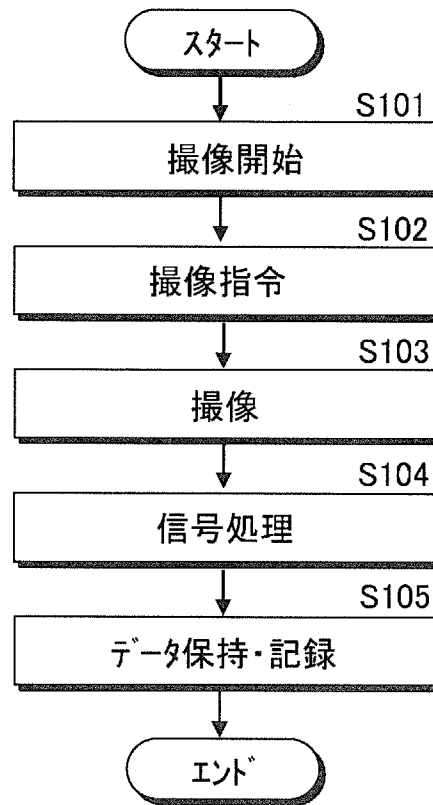
[図13]



[図14]



[図15]



[図16]

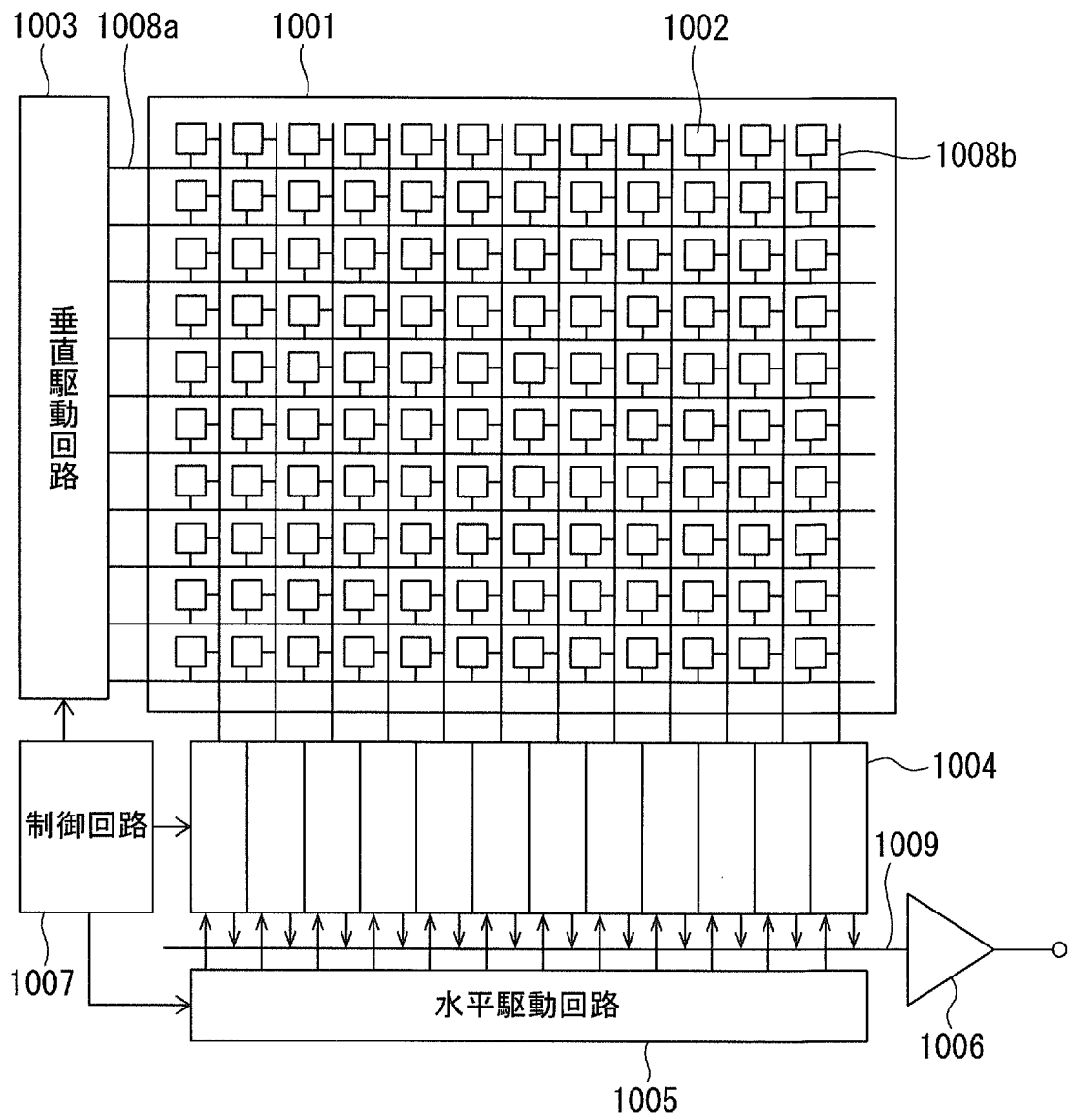
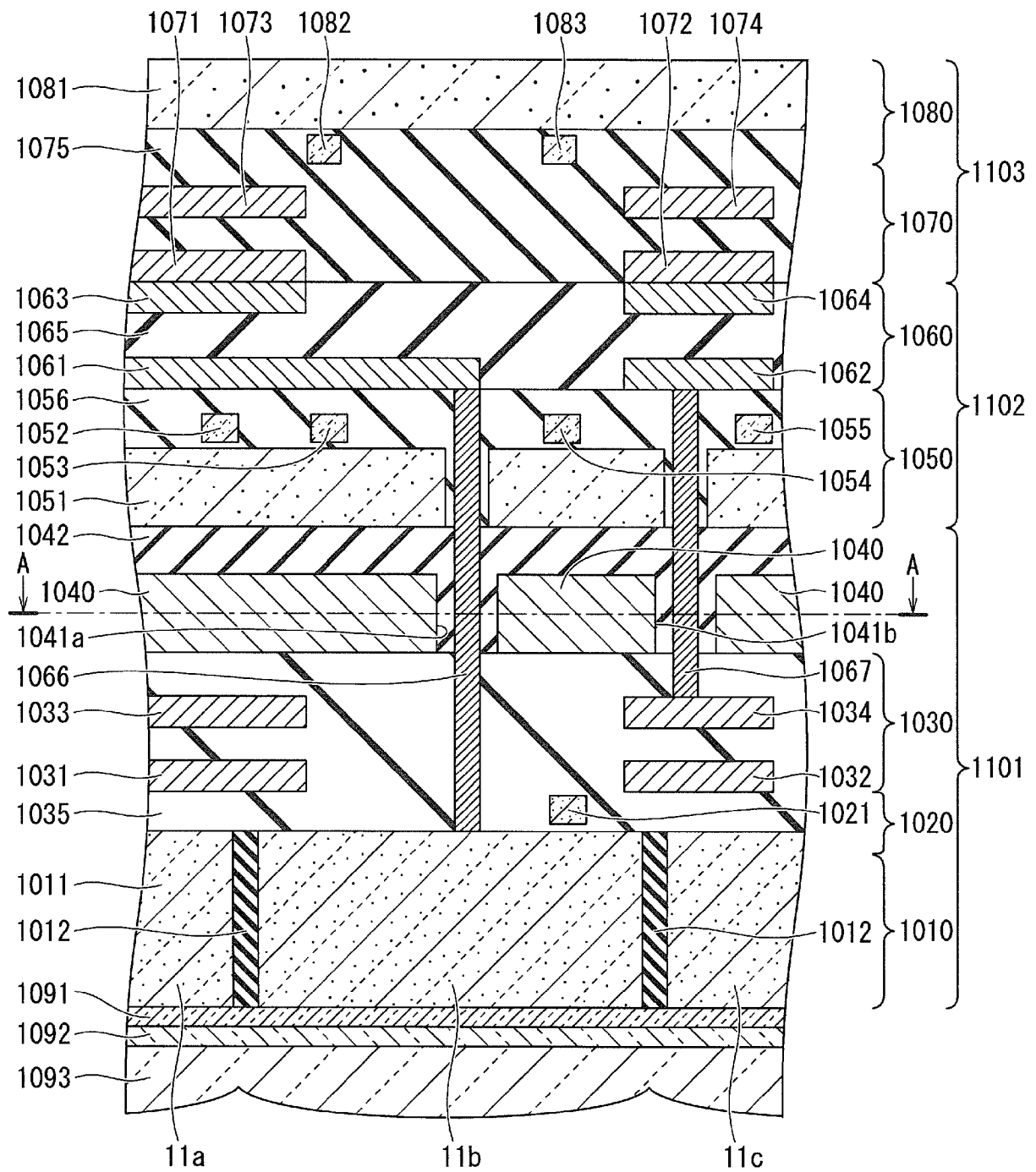
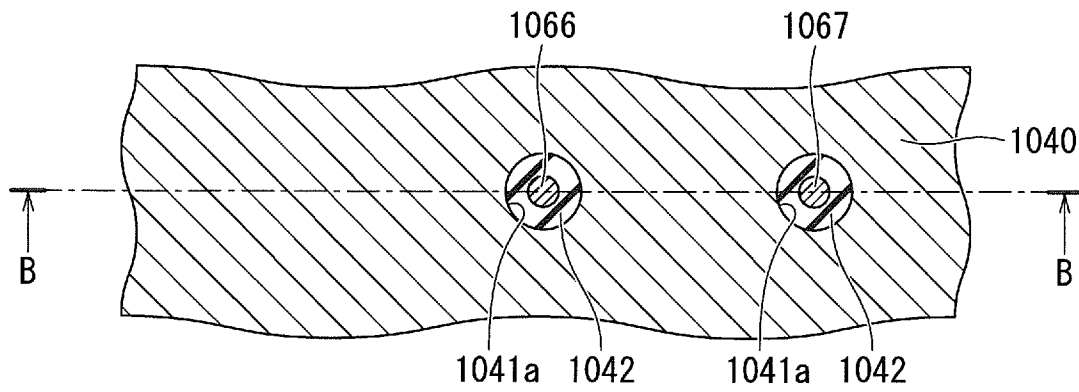


Figure 1 is a perspective view of a substrate 100. The substrate 100 is a rectangular block. On the top surface of the substrate 100, there are three regions: 1101, 1102, and 1103. Region 1101 is the topmost region and is labeled "光電変換部形成領域" (Photovoltaic conversion part formation region). Region 1102 is the middle region and is labeled "画素トランジスタ形成領域" (Pixel transistor formation region). Region 1103 is the bottommost region and is labeled "ロジック回路形成領域" (Logic circuit formation region). The regions 1101, 1102, and 1103 are stacked vertically. The regions 1101, 1102, and 1103 are labeled 1101a, 1102a, and 1103a on the right side of the diagram.

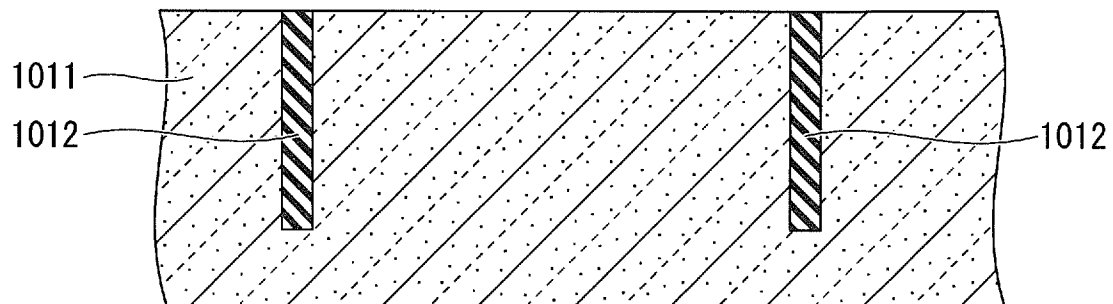
[図19]



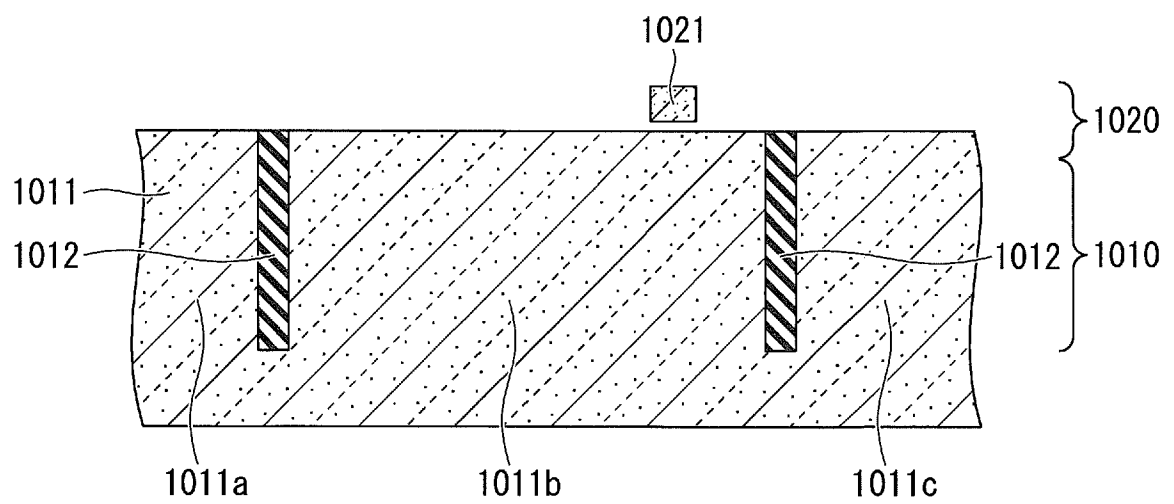
[図20]



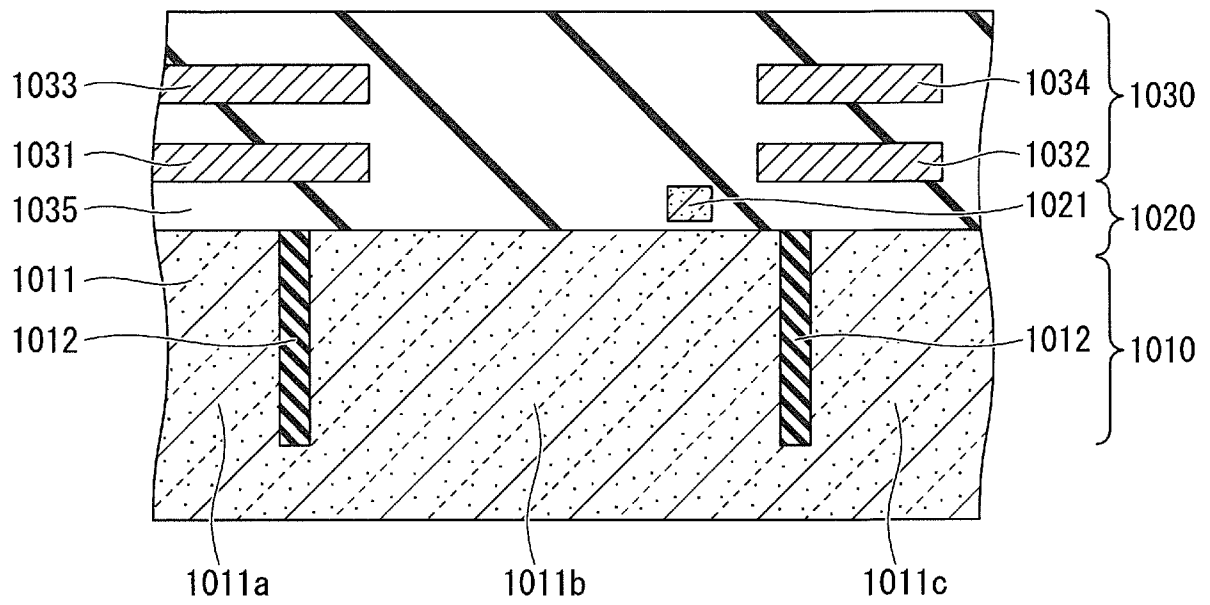
[図21]



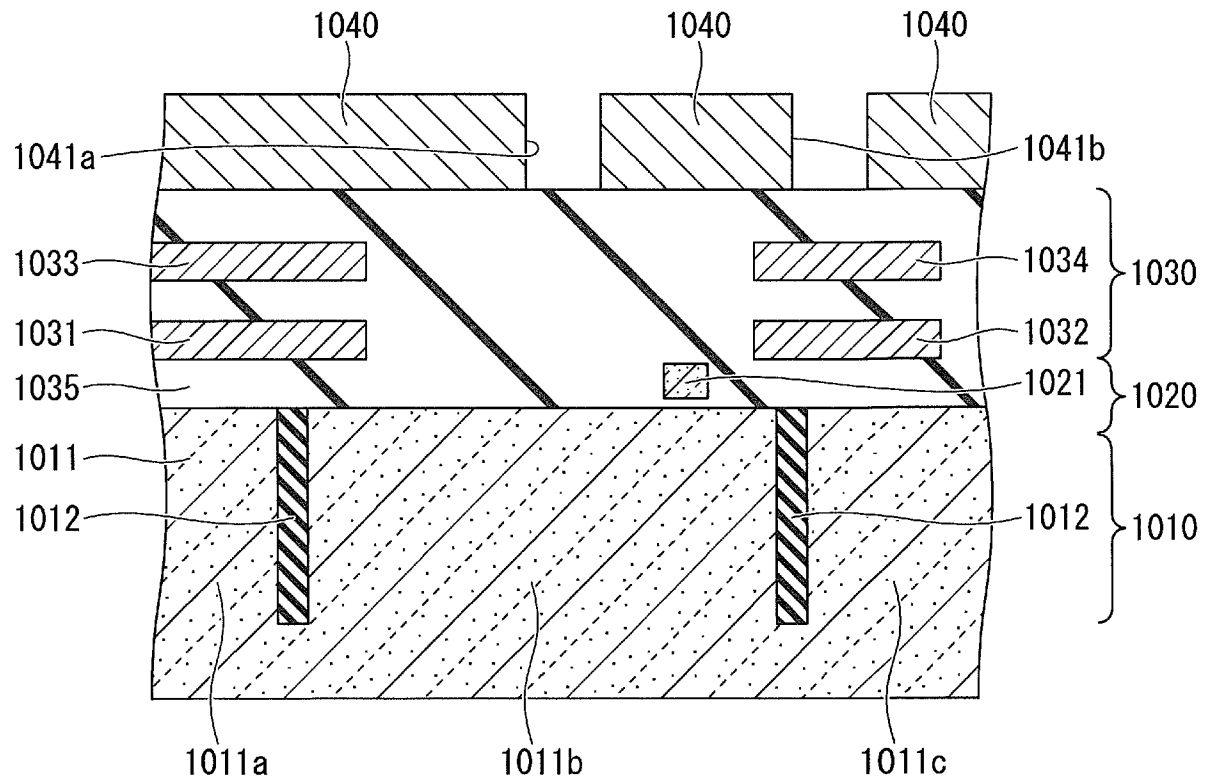
[図22]



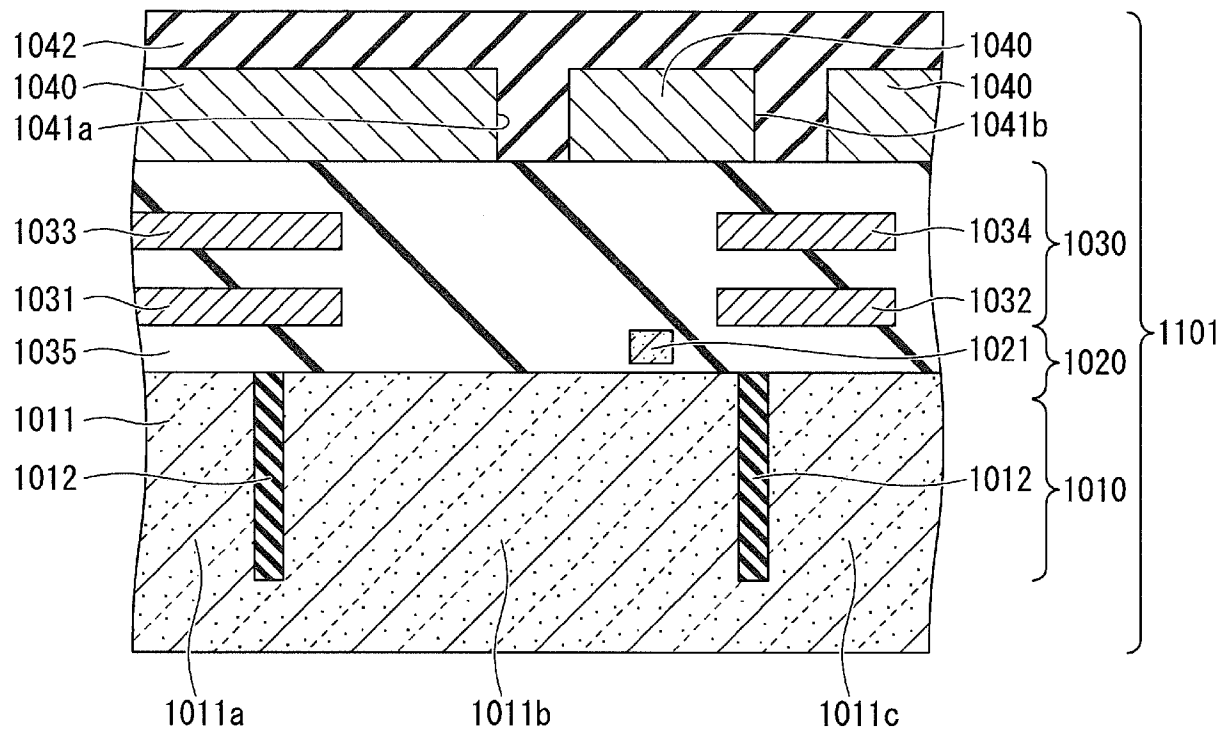
[図23]



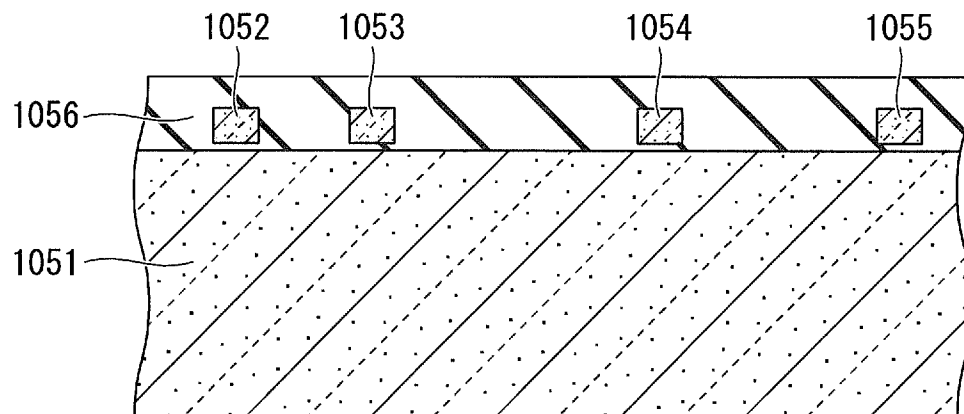
[図24]



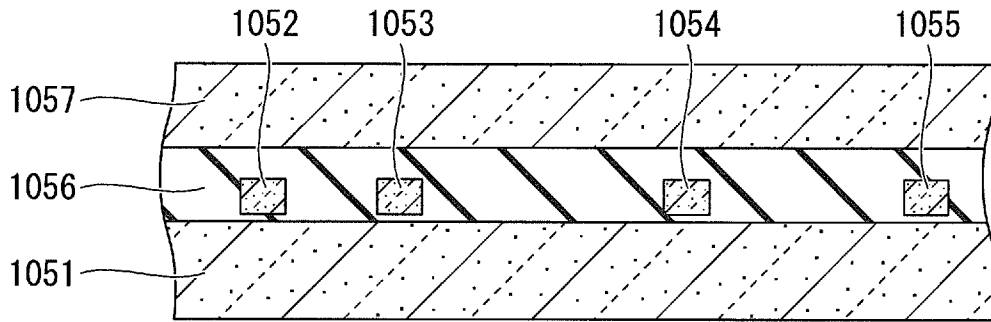
[図25]



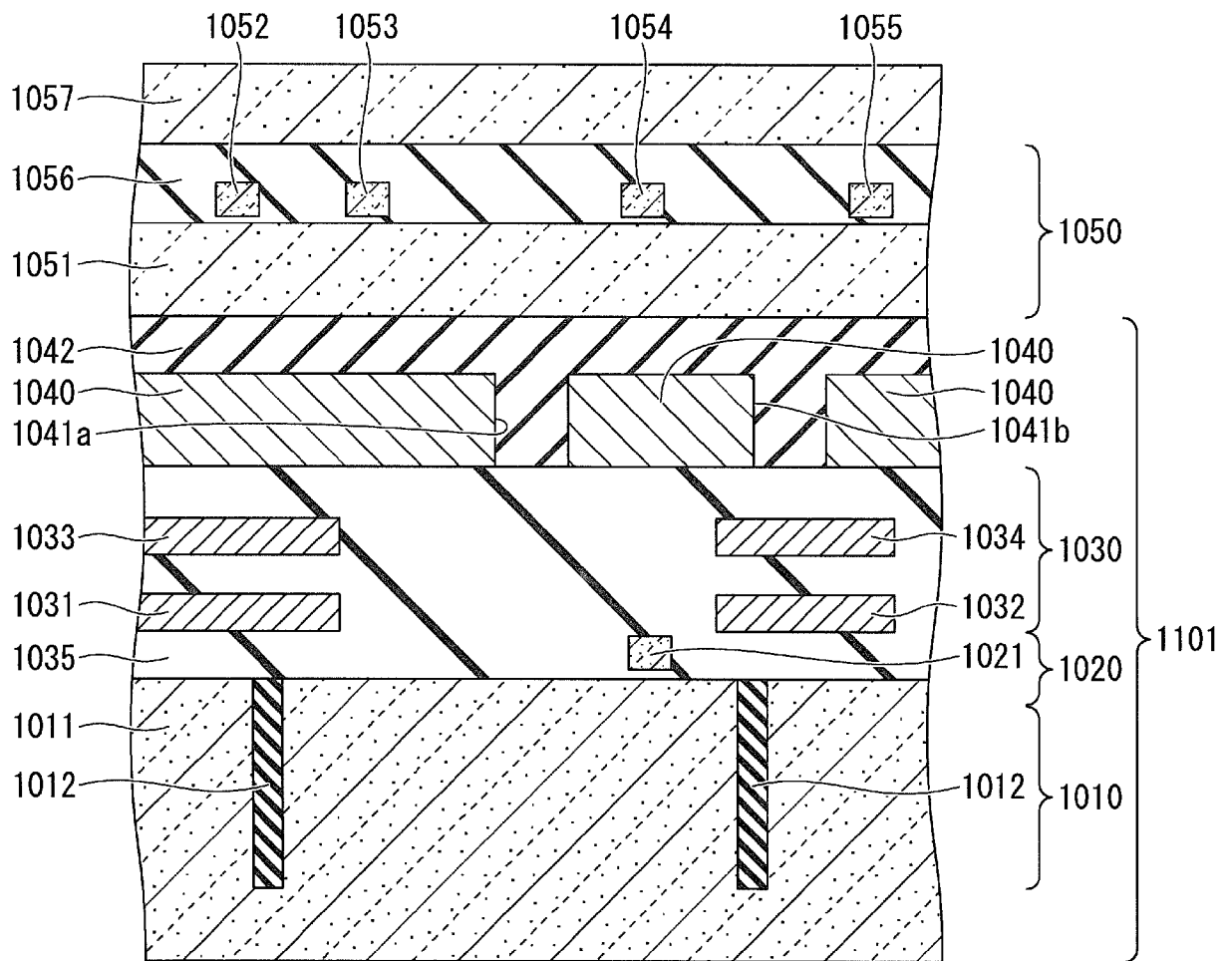
[図26]



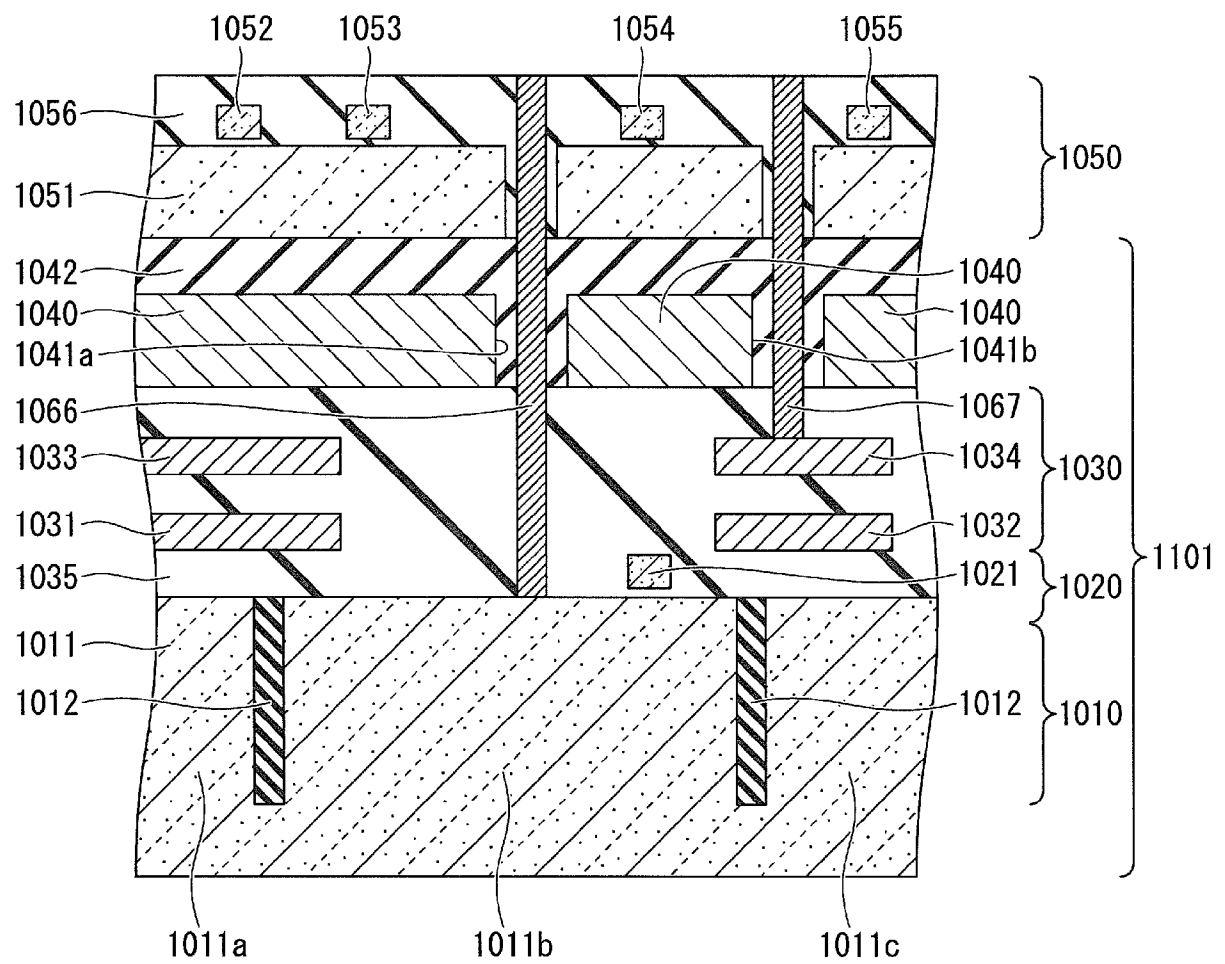
[図27]



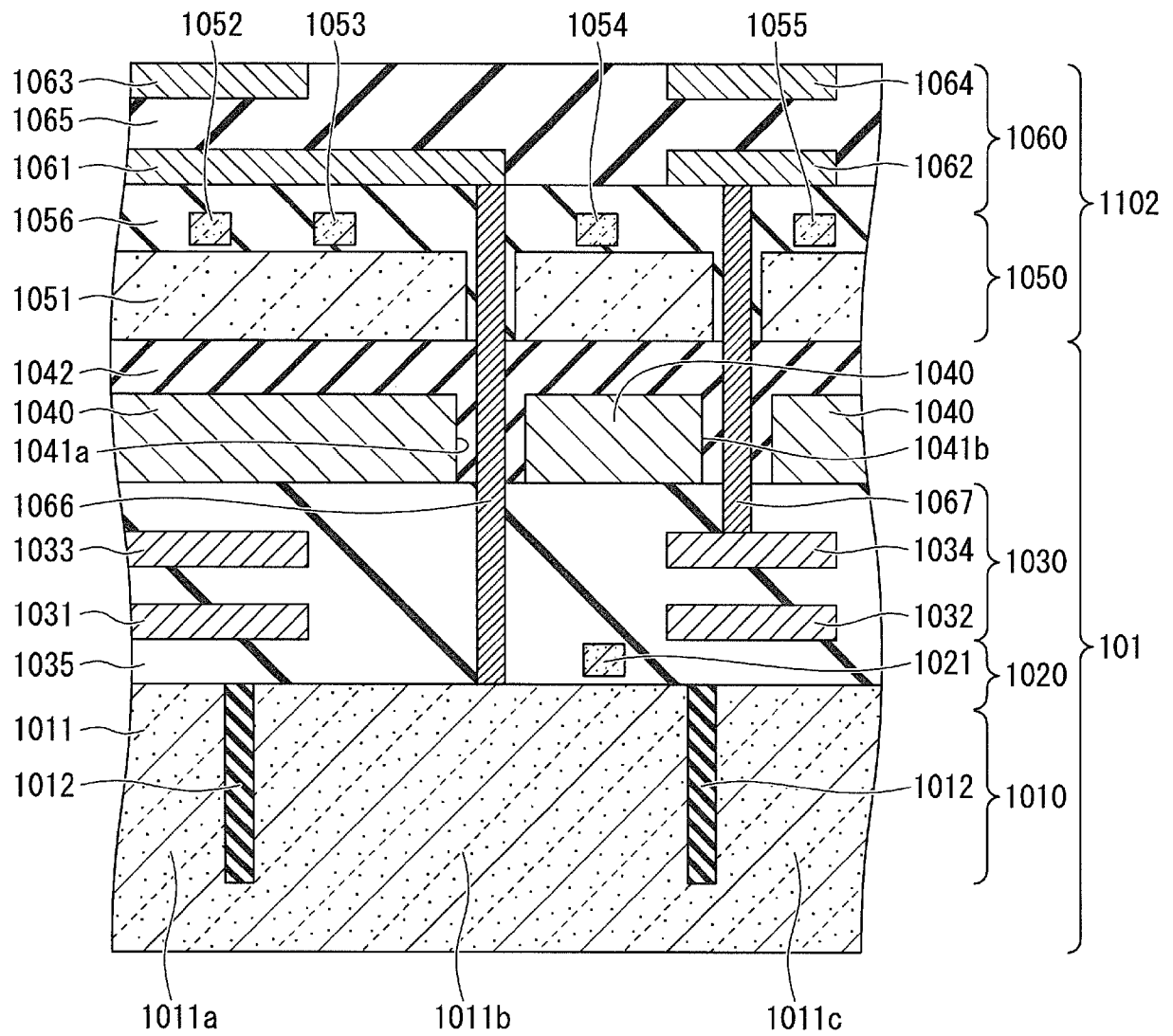
[図28]



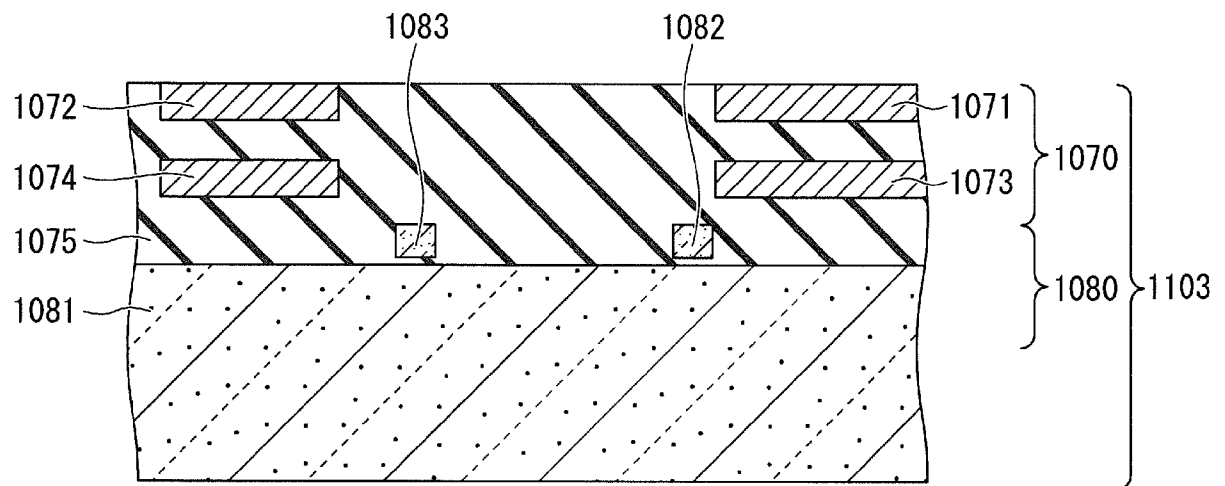
[図29]



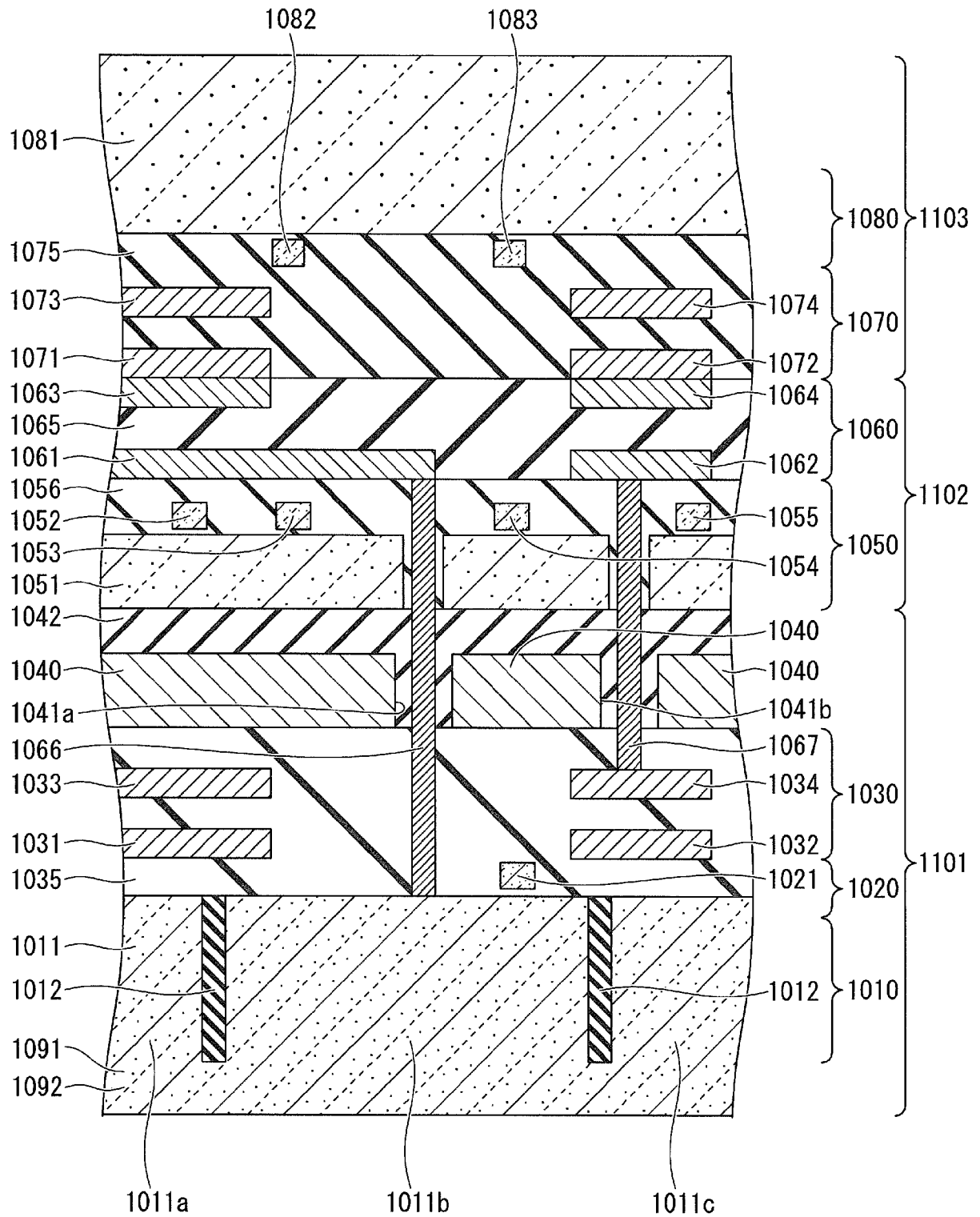
[図30]



[図31]



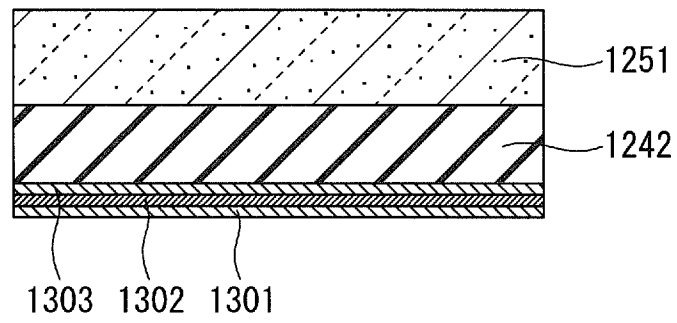
[図32]



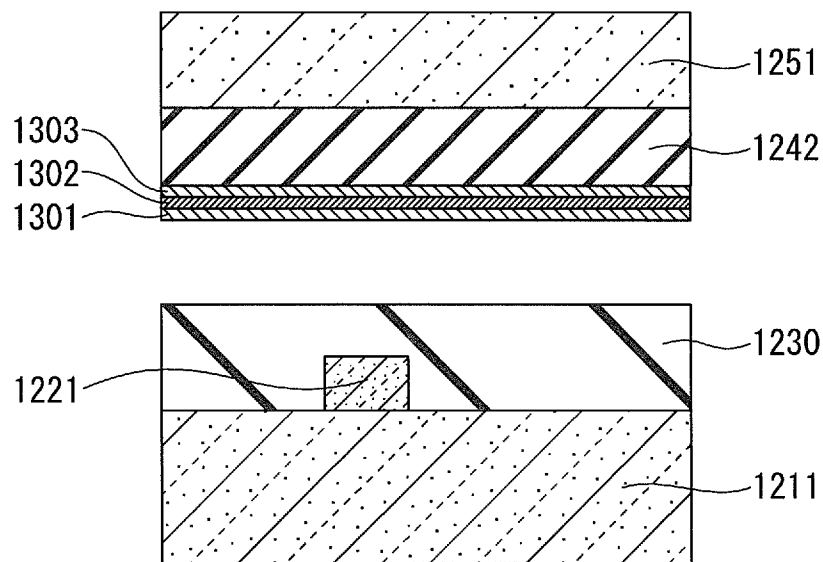
The figure shows four 3x3 grids arranged in a 2x2 pattern. Each grid contains three squares. The top-left and bottom-left grids are identical, each with squares at (1,1), (1,3), and (3,2). The top-right and bottom-right grids are identical, each with squares at (1,2), (1,4), and (3,3). Below the bottom-right grid, the labels '1221' and '1302' are written, with lines pointing to the bottom row of the grid.

A cross-sectional view of a substrate assembly 1200. The assembly includes a substrate 1211 with a top surface 1230. A first conductive layer 1221 is disposed on the top surface 1230 of the substrate 1211. The first conductive layer 1221 is shown as a rectangular block with diagonal hatching.

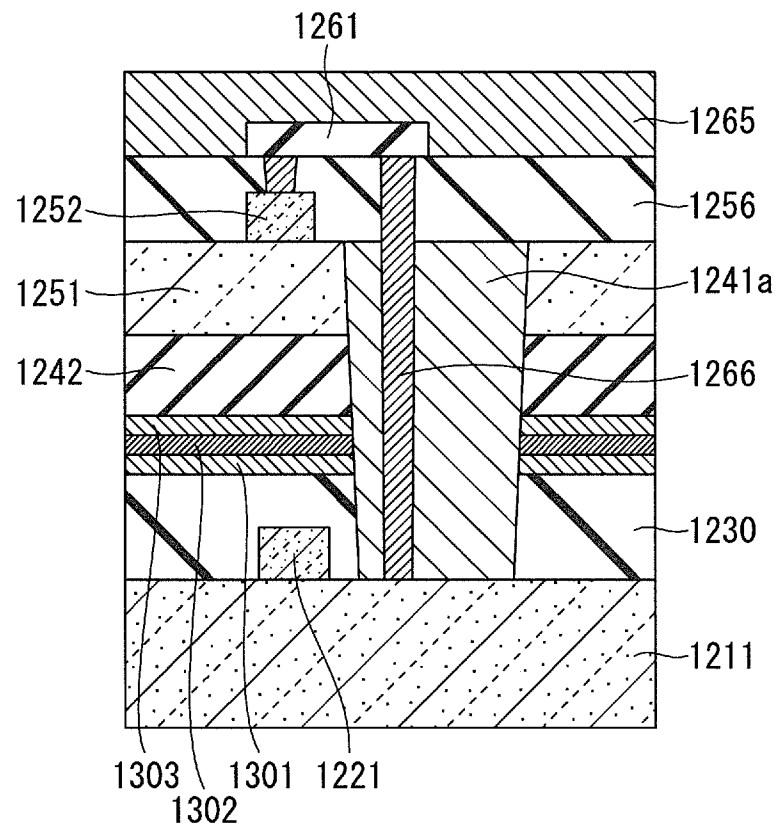
[図36B]



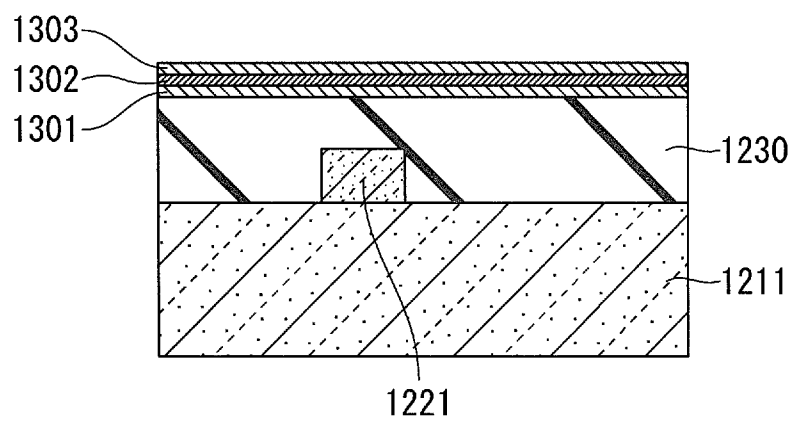
[図36C]



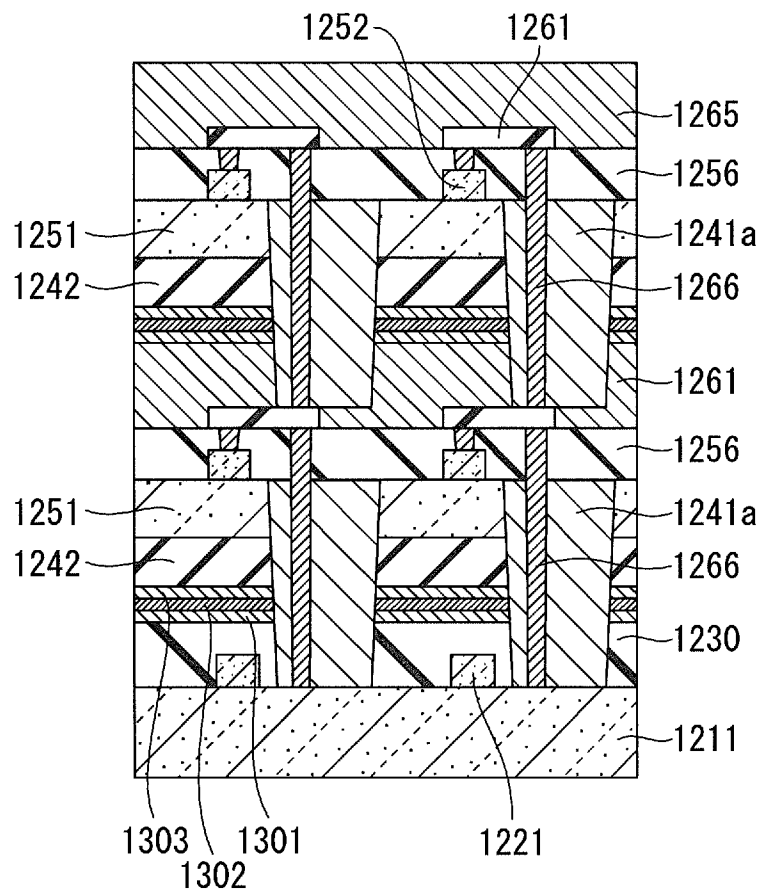
[図36D]



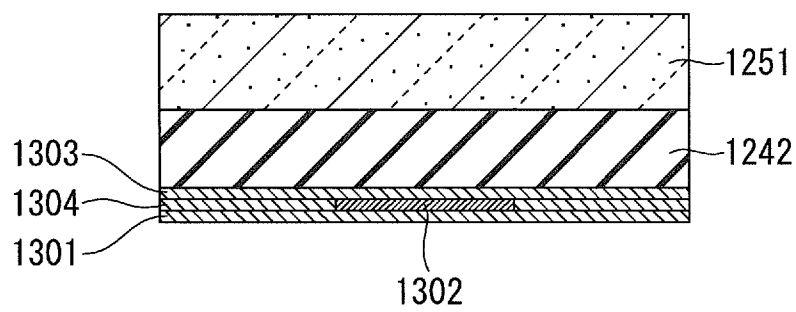
[図37]



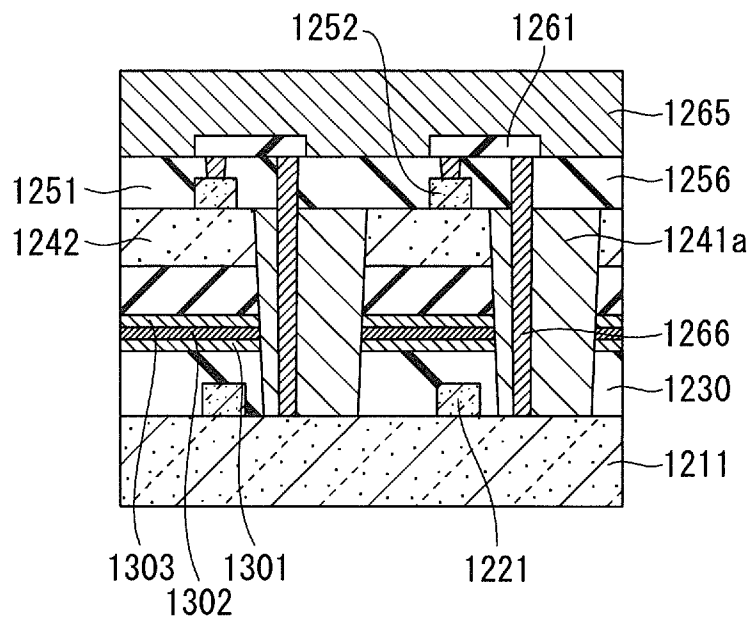
[図38]



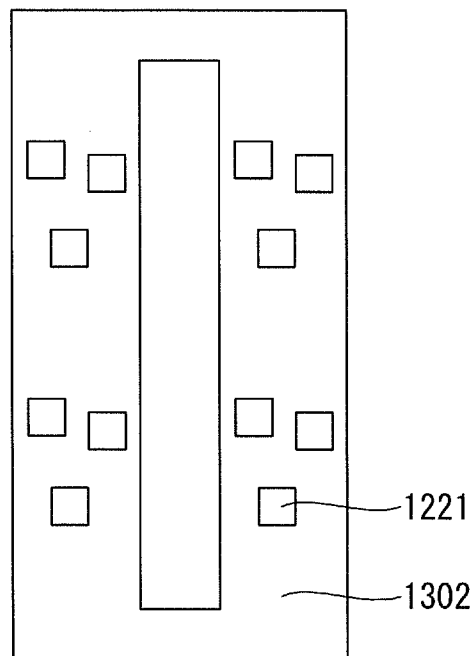
[図39]



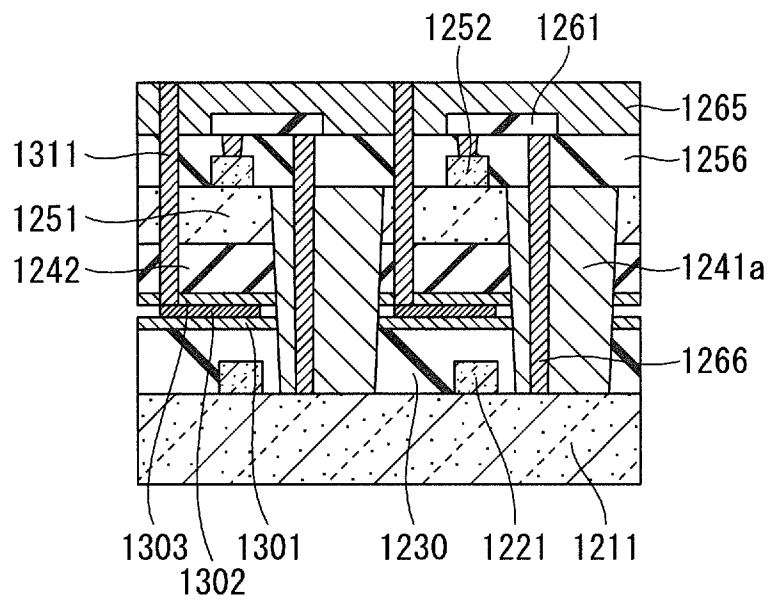
[図40A]



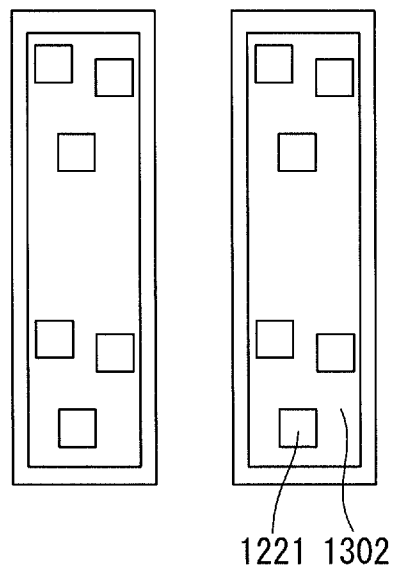
[図40B]



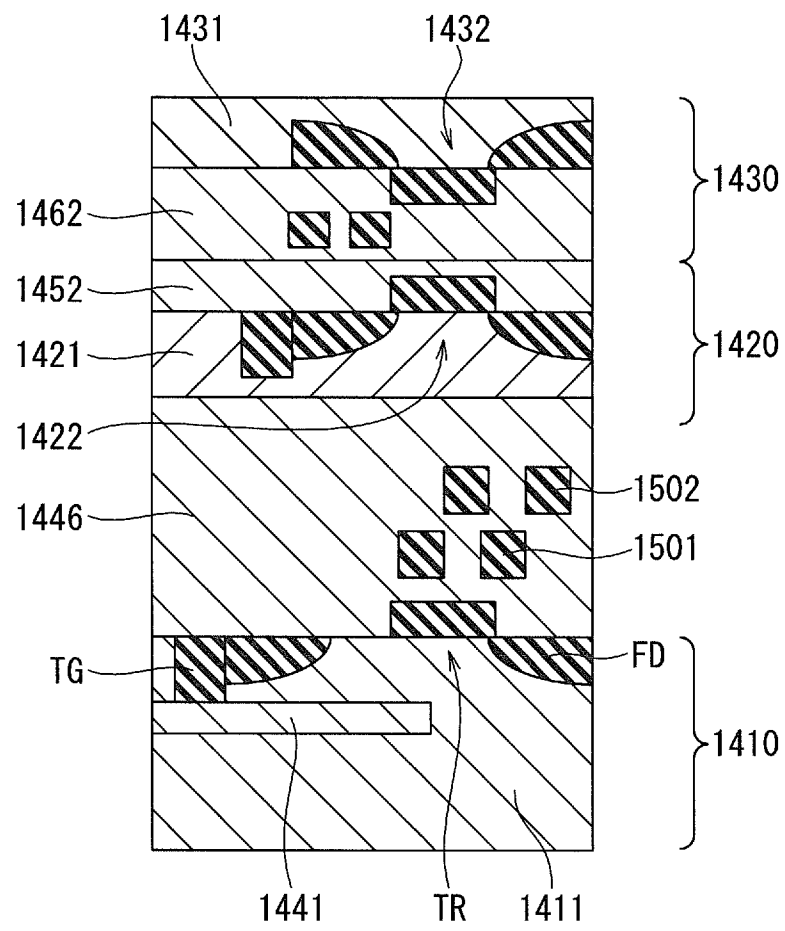
[図41A]



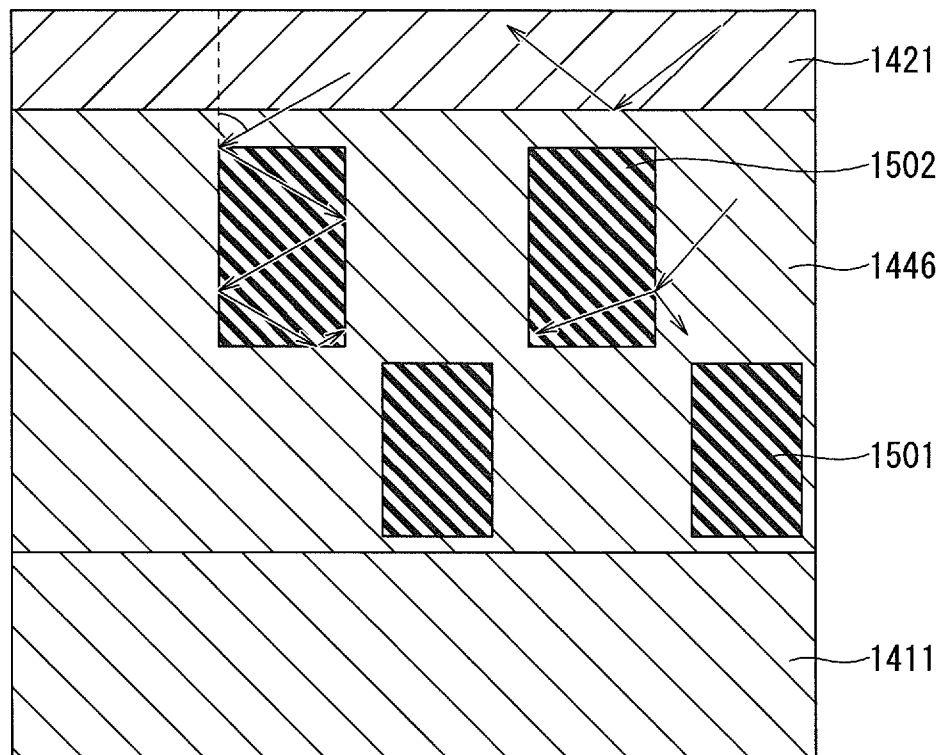
[図41B]



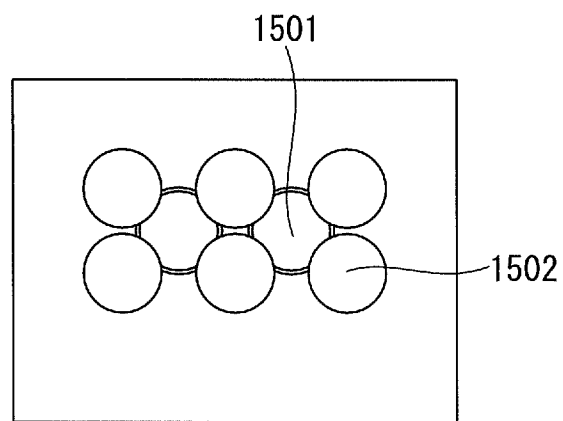
[図42]



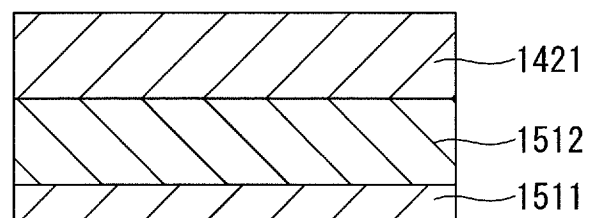
[図43A]



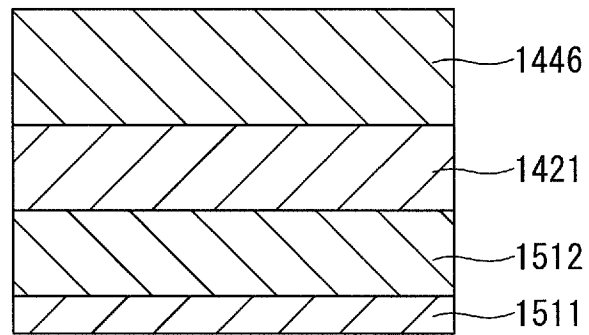
[図43B]



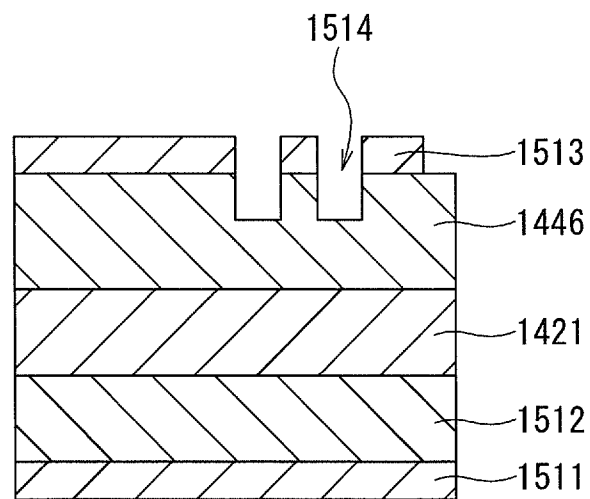
[図44A]



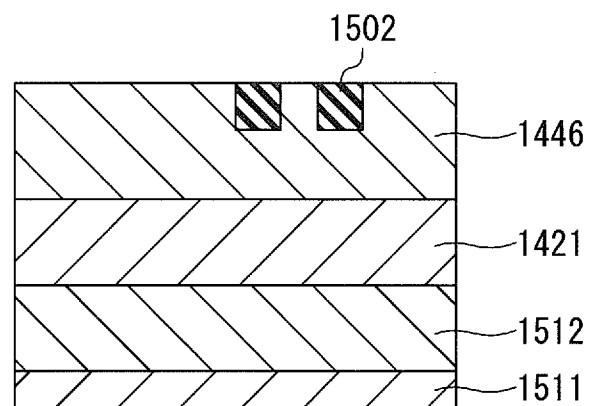
[図44B]



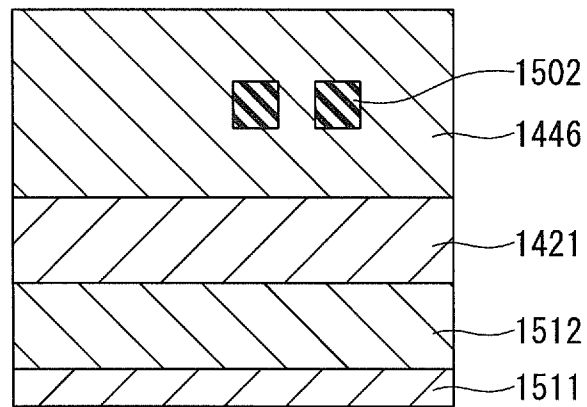
[図44C]



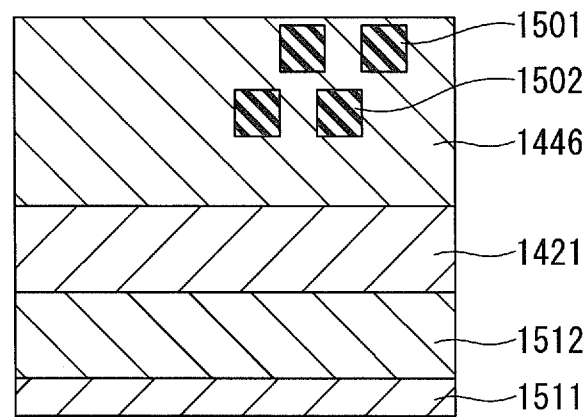
[図45D]



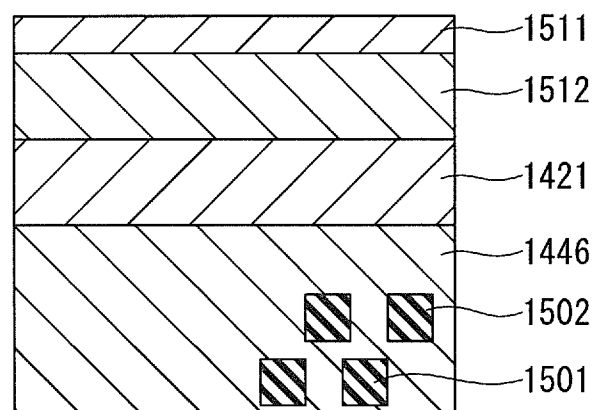
[図45E]



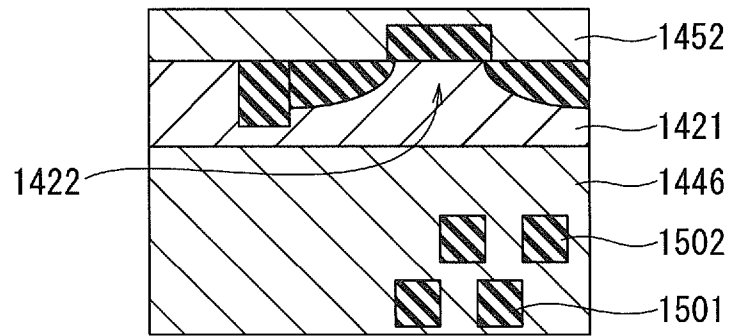
[図45F]



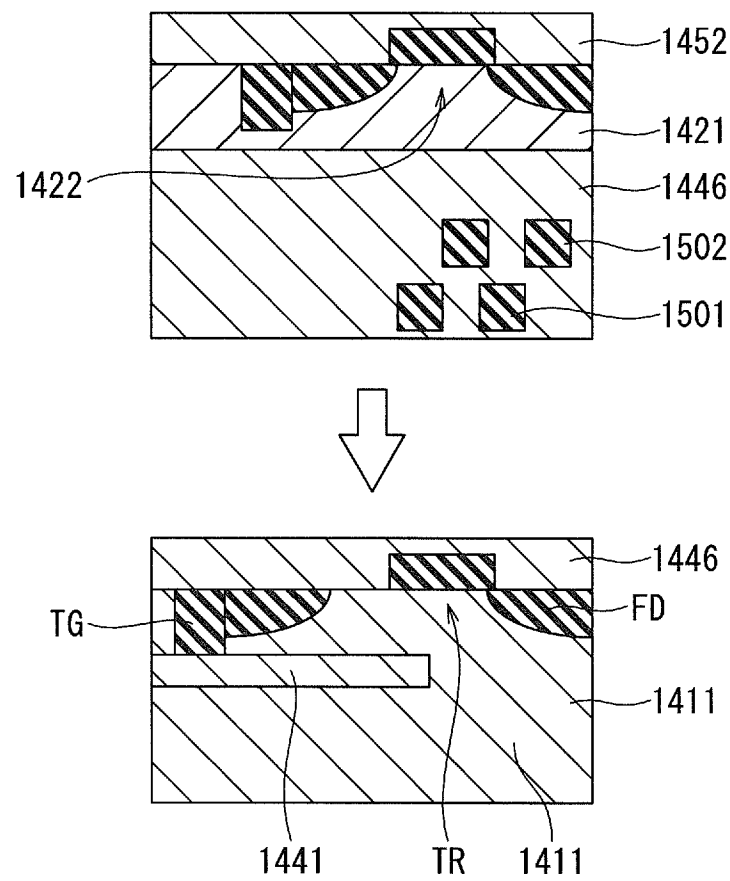
[図46G]



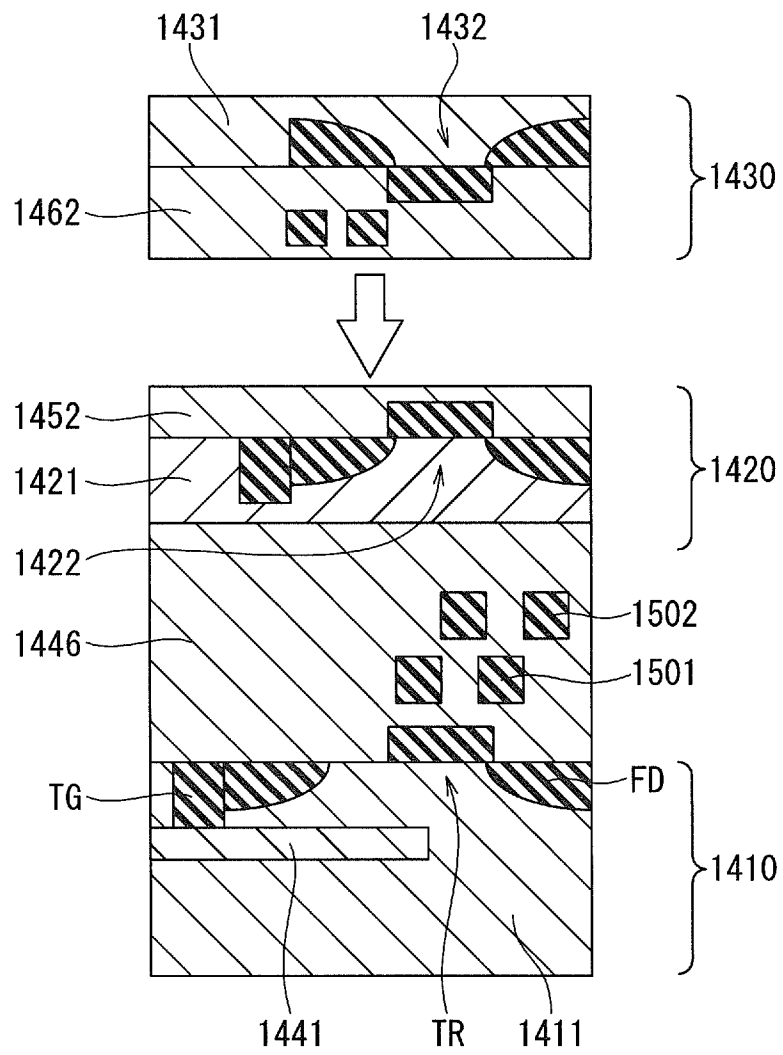
[図46H]



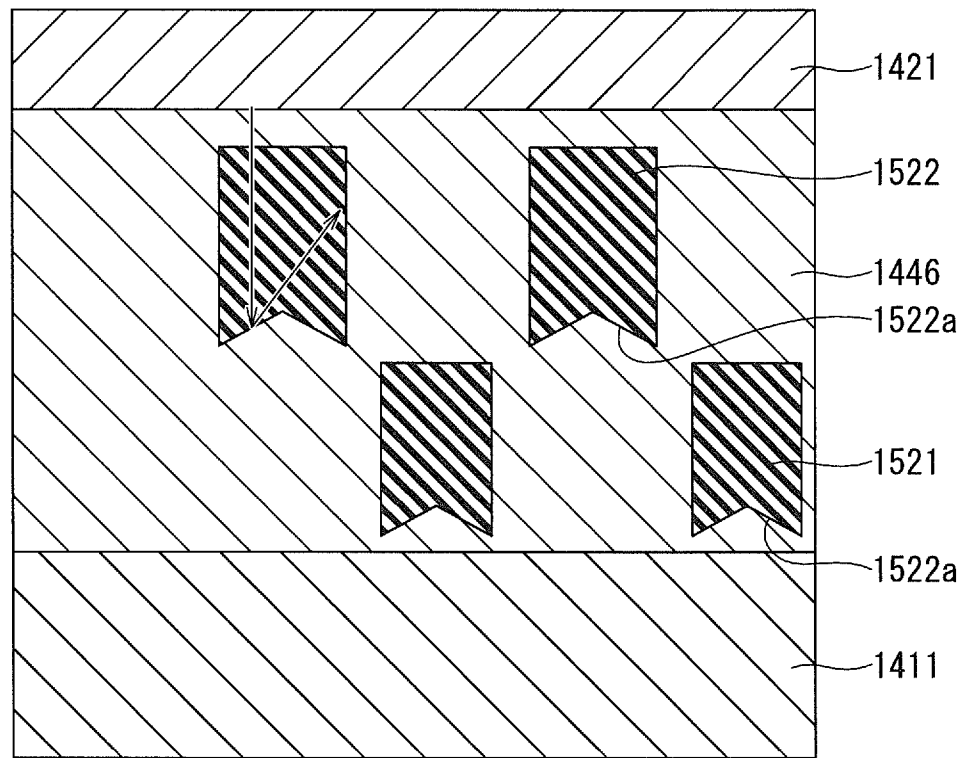
[図47I]



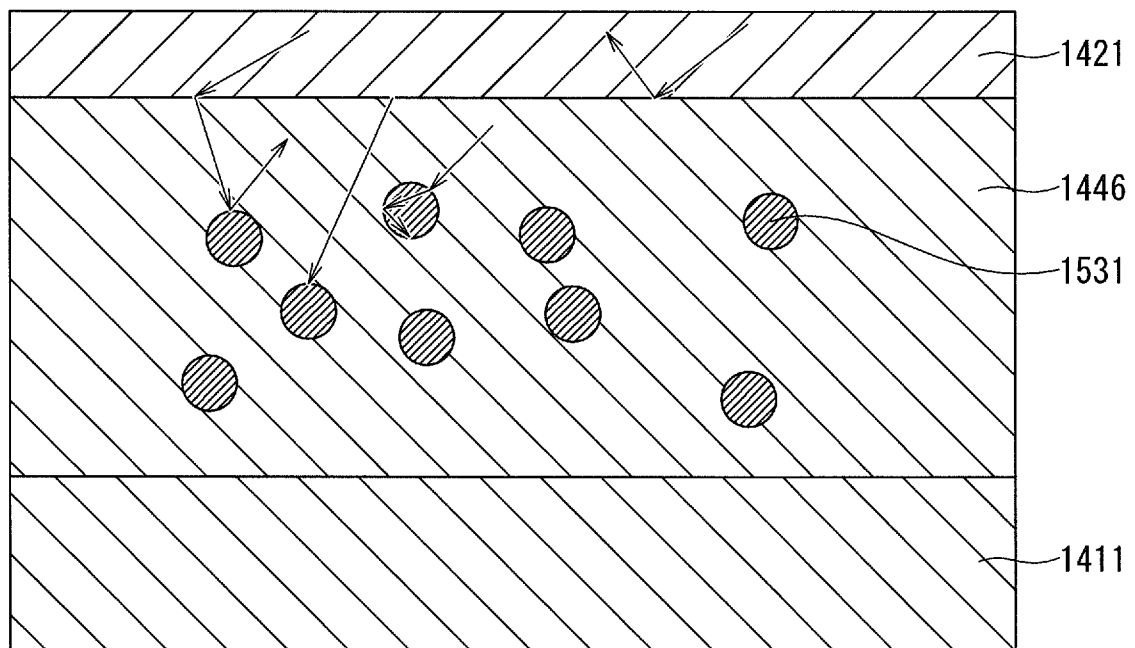
[図47J]



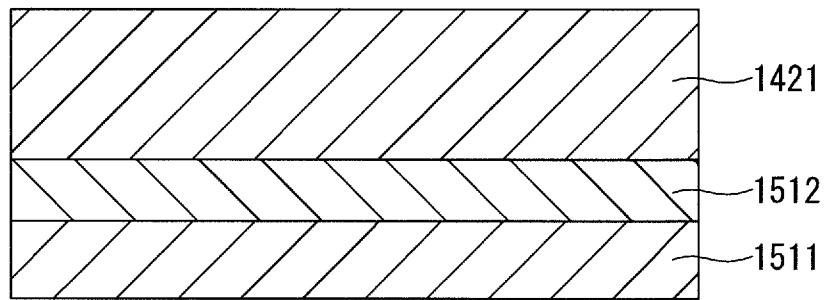
[図48]



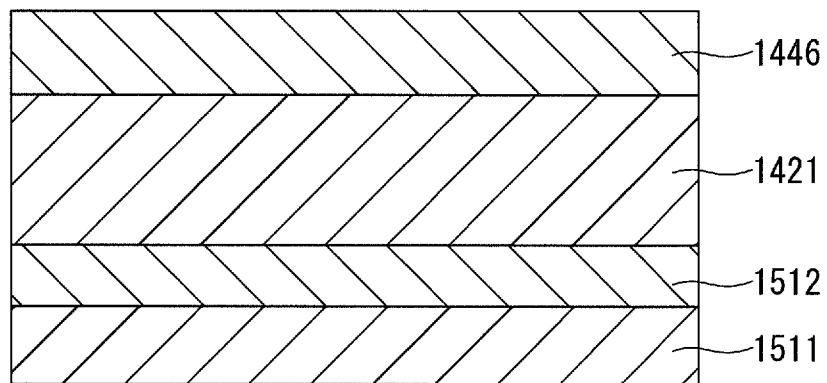
[図49]



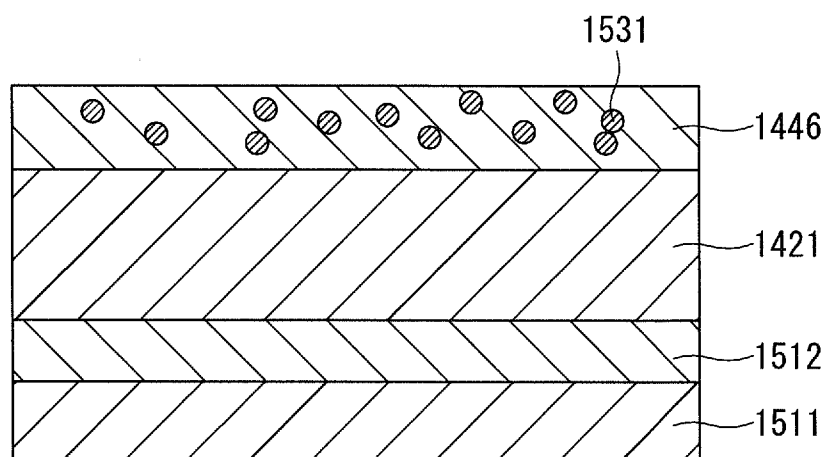
[図50A]



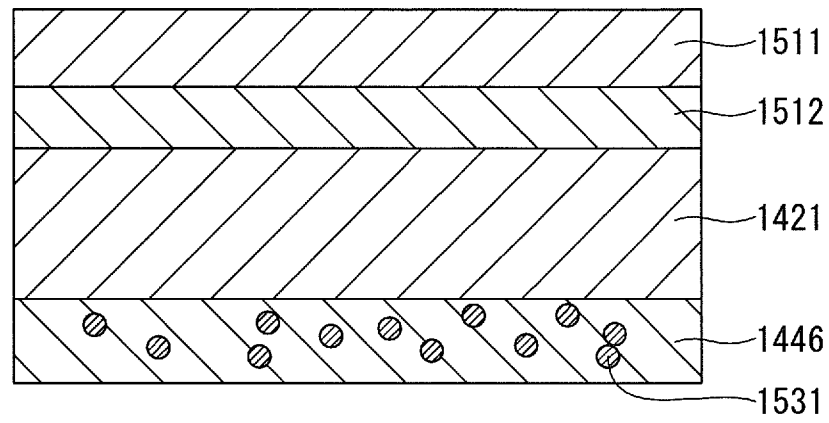
[図50B]



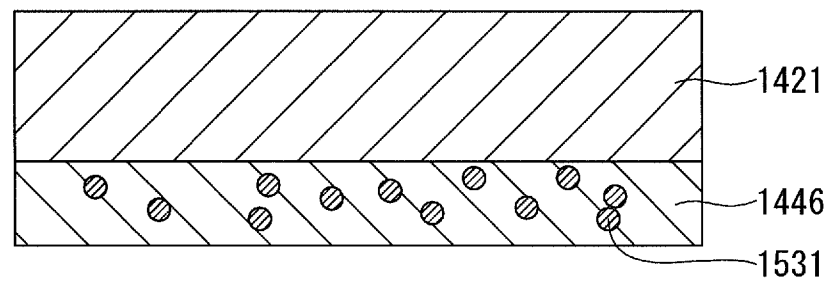
[図50C]



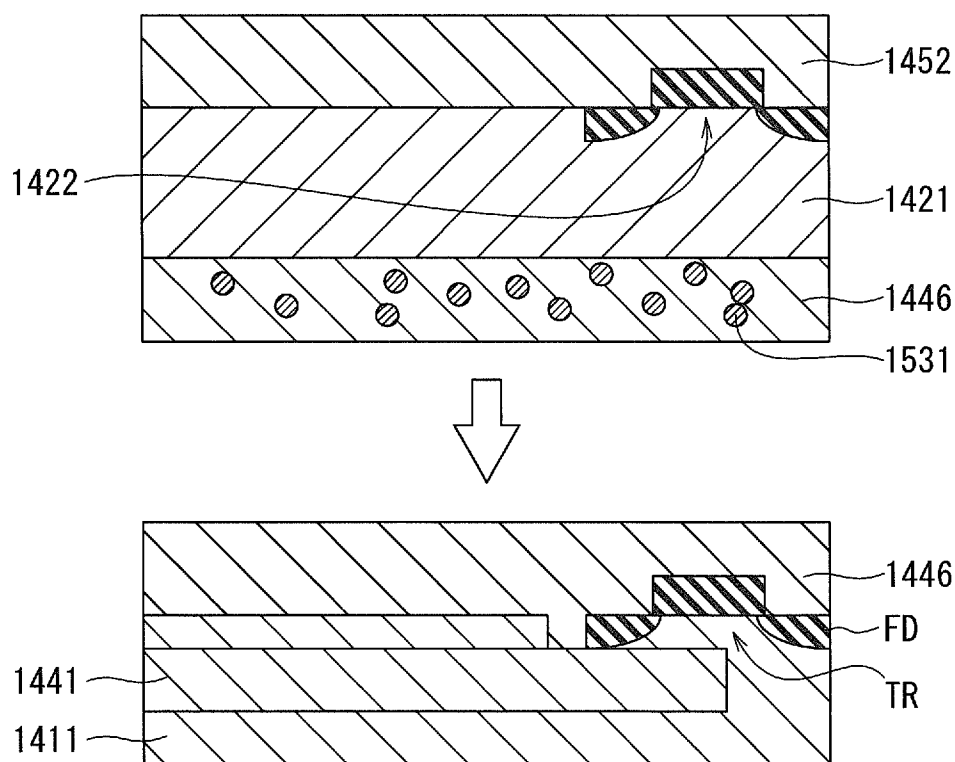
[図51D]



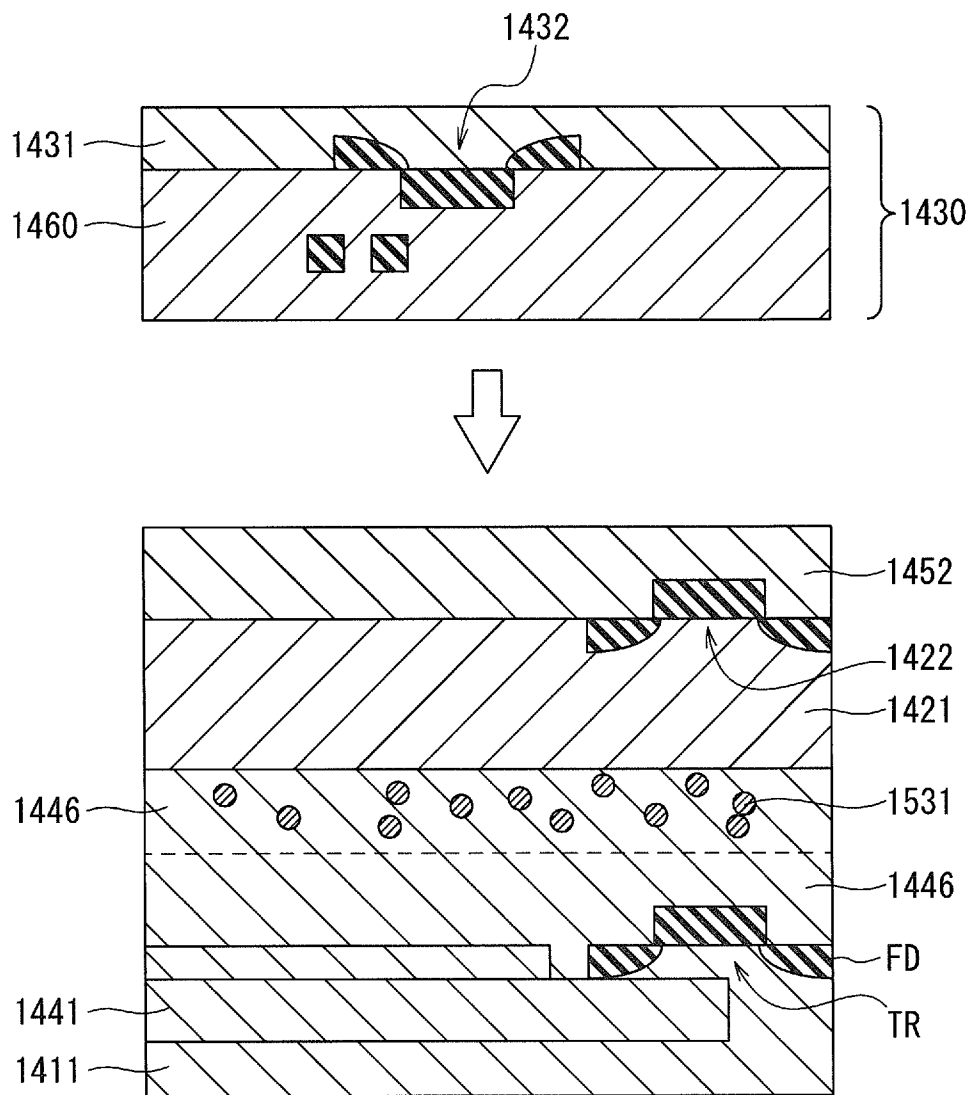
[図51E]



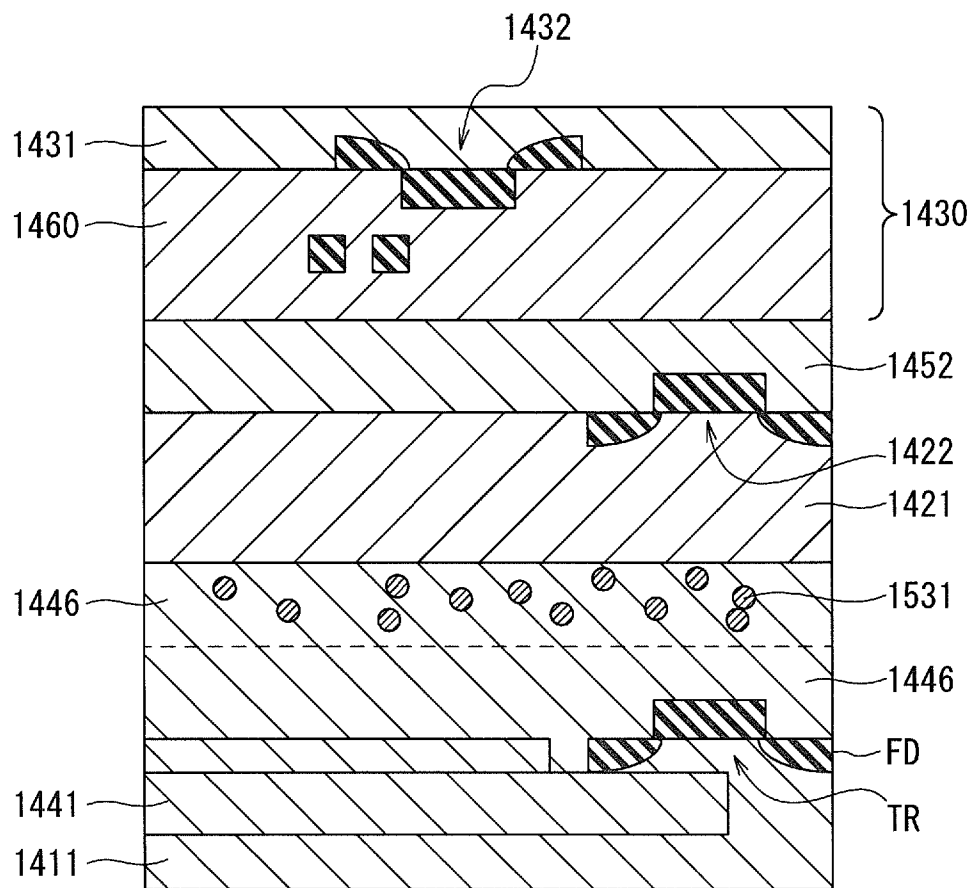
[図51F]



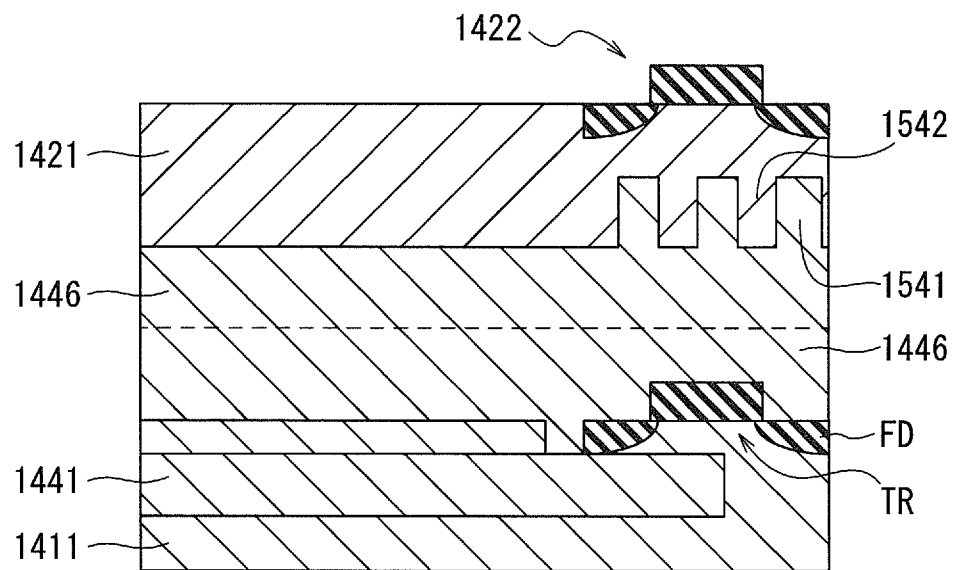
[図52G]



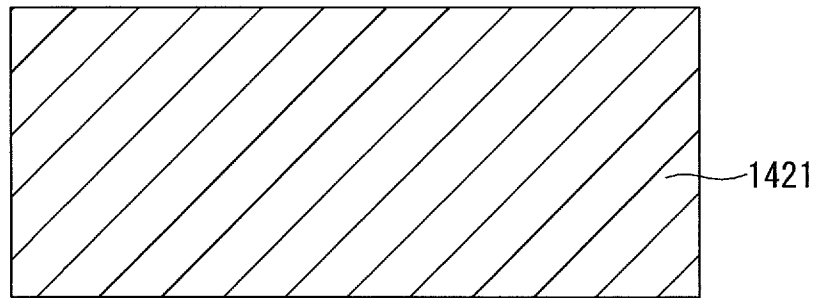
[図52H]



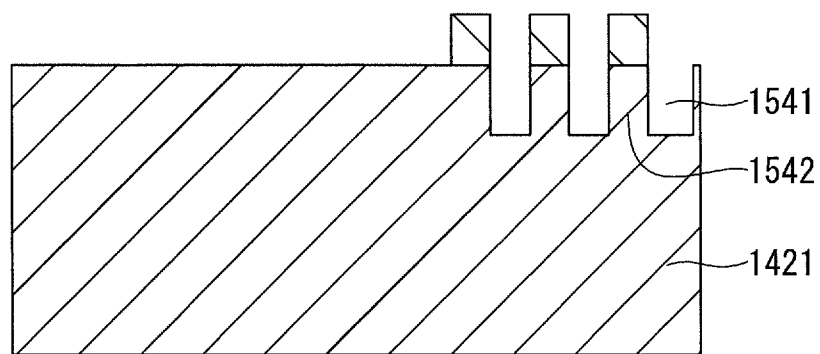
[図53]



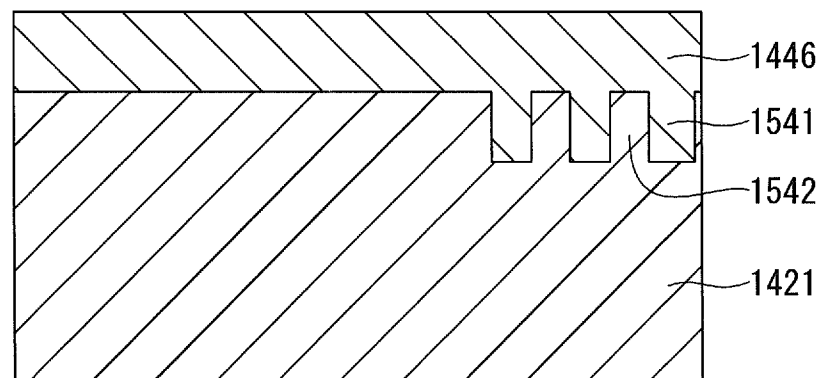
[図54A]



[図54B]



[図54C]



1421

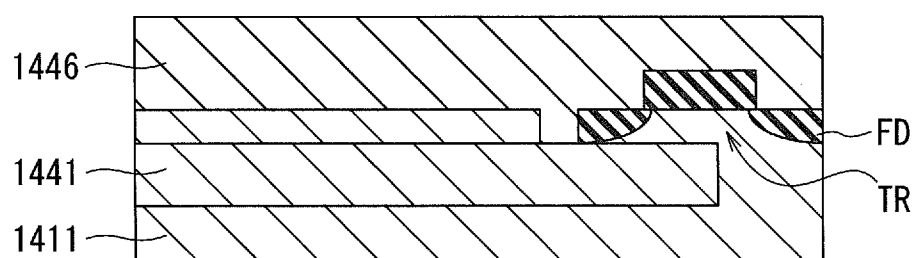
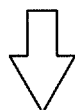
1542

1541

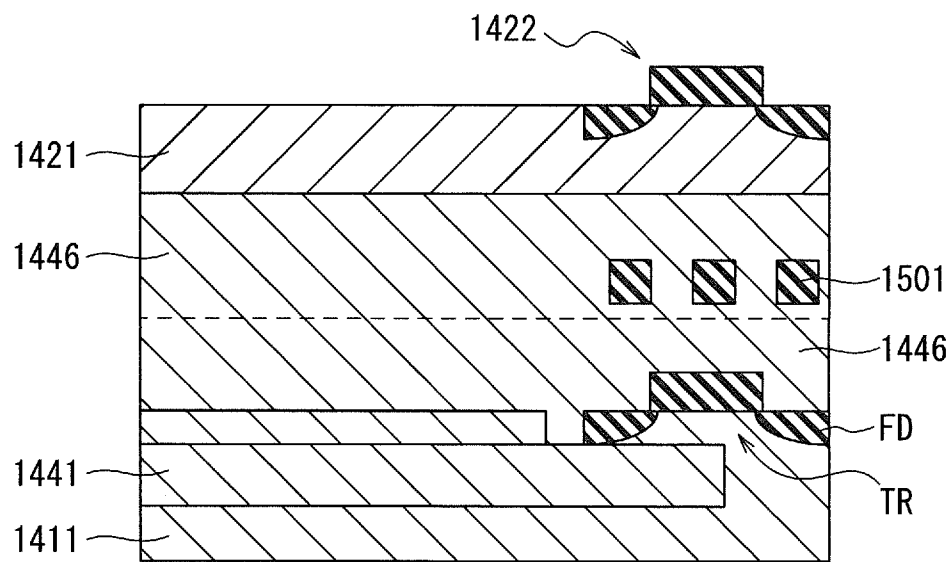
1446

A cross-sectional view of a semiconductor device. A substrate 1446 is shown with a stepped top surface. The steps are formed by a series of rectangular blocks. The top surface of the substrate is labeled 1421. The side surface of the substrate is labeled 1542. The top surface of the steps is labeled 1541.

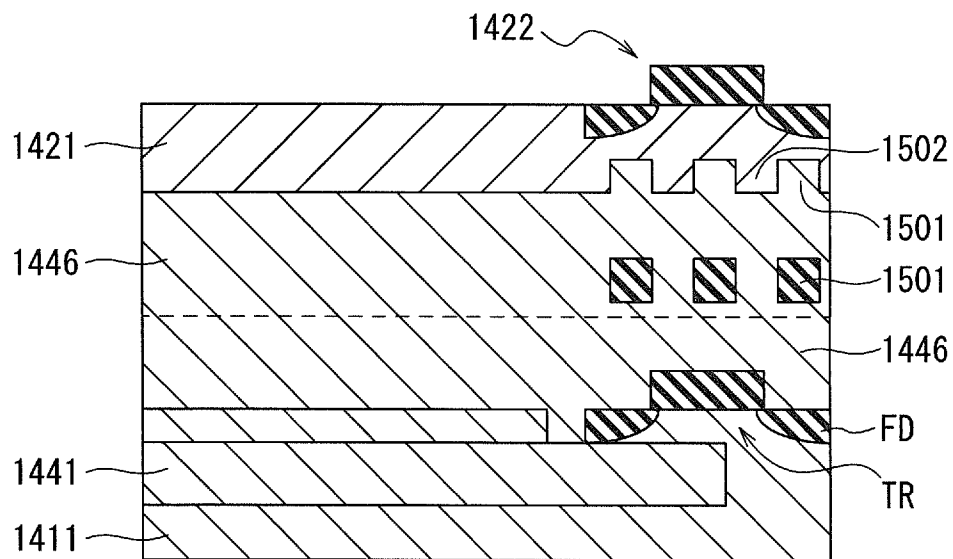
A cross-sectional view of a substrate 1421. The substrate has a top surface 1542 and a bottom surface 1446. The top surface 1542 is stepped, with the steps labeled 1541. The substrate is shown in a cross-section with diagonal hatching.



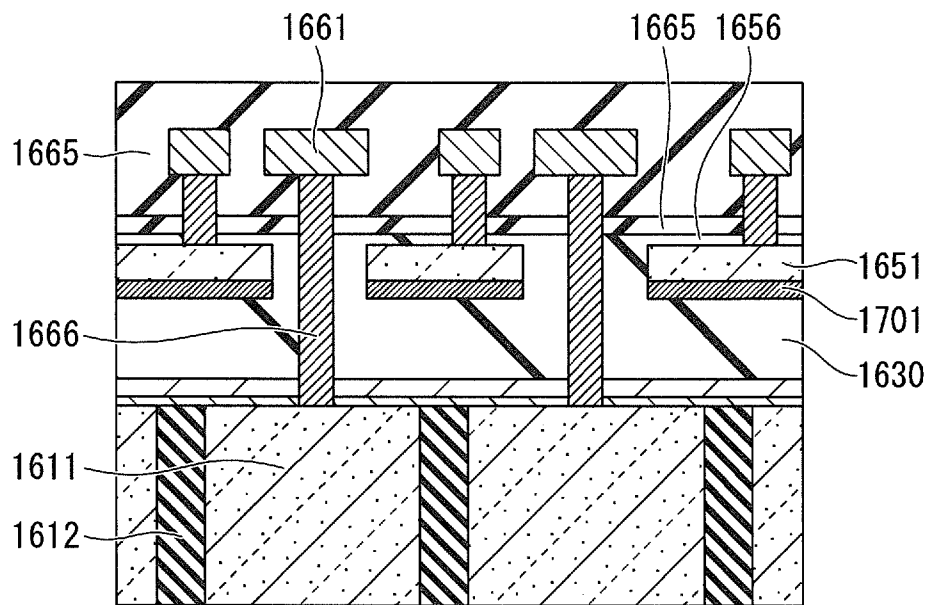
[図56]



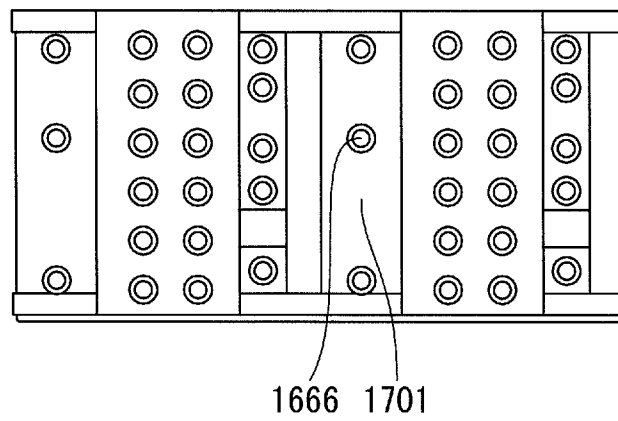
[図57]



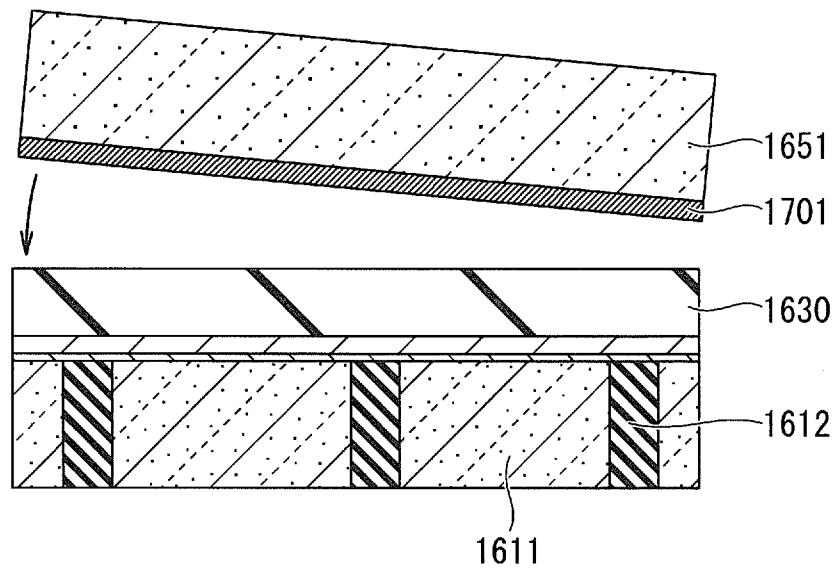
[図58]



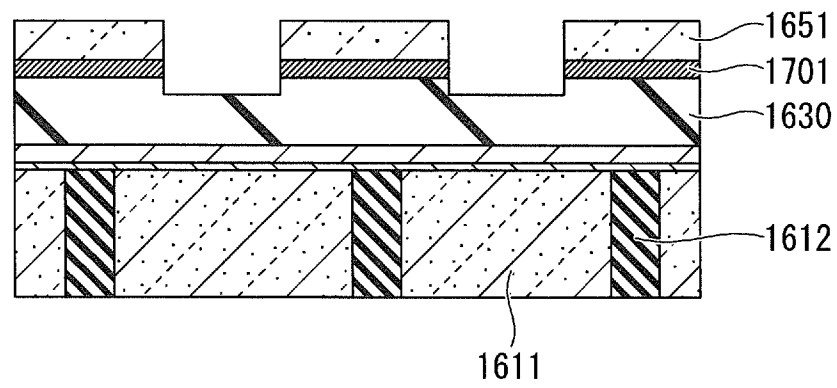
[図59]



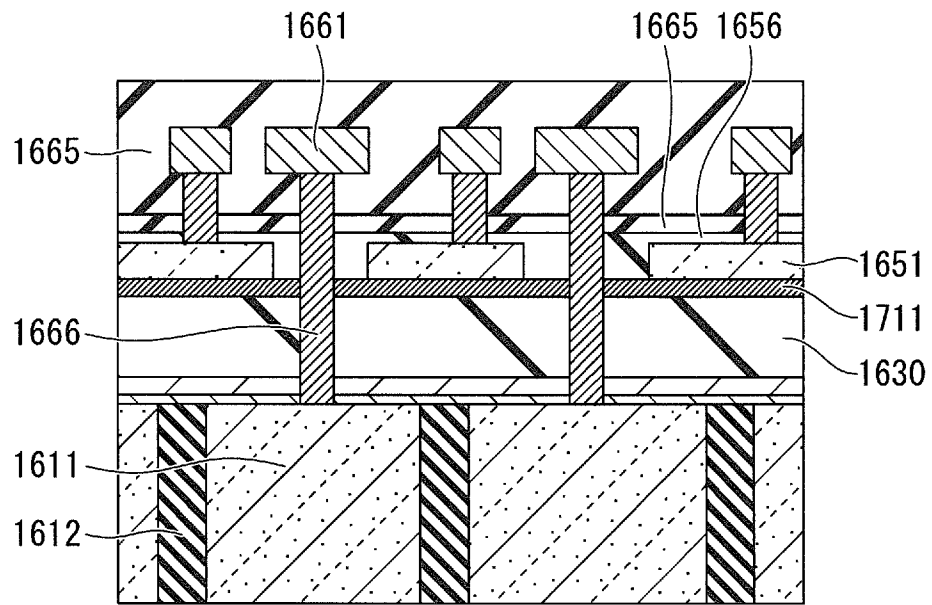
[図60]



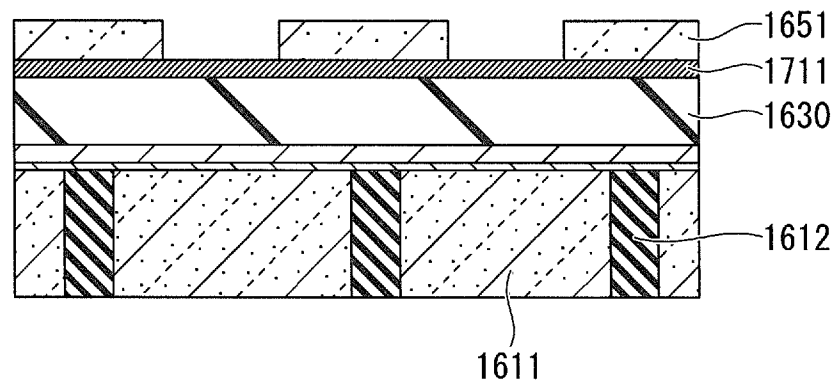
[図61]



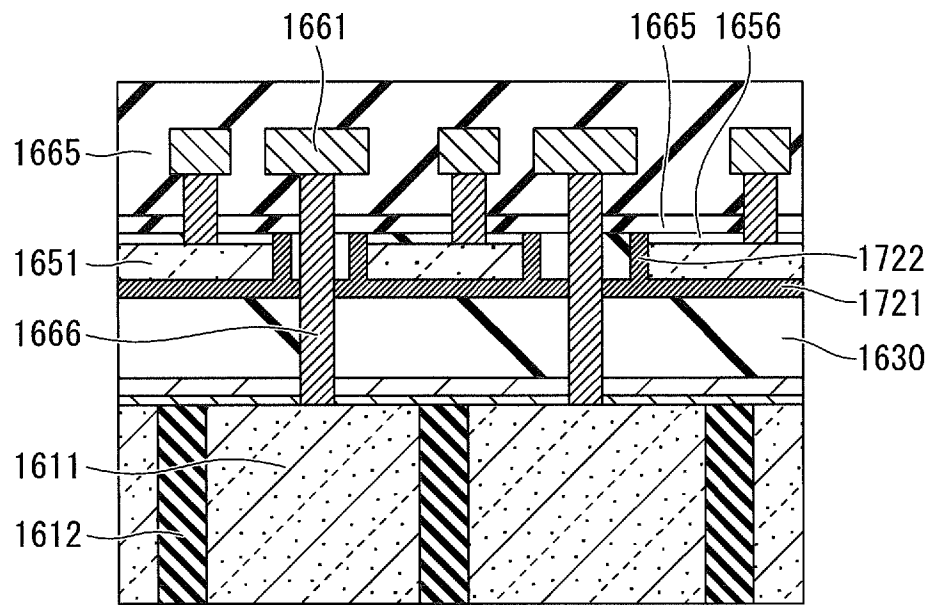
[図62]



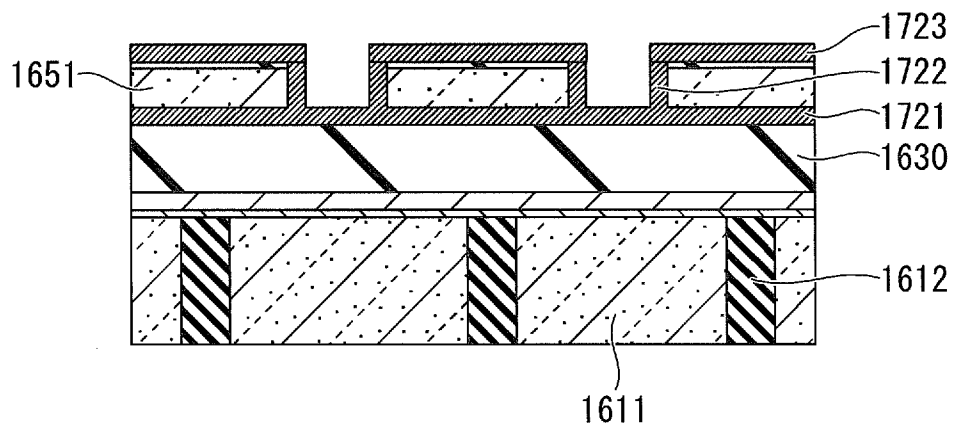
[図63]



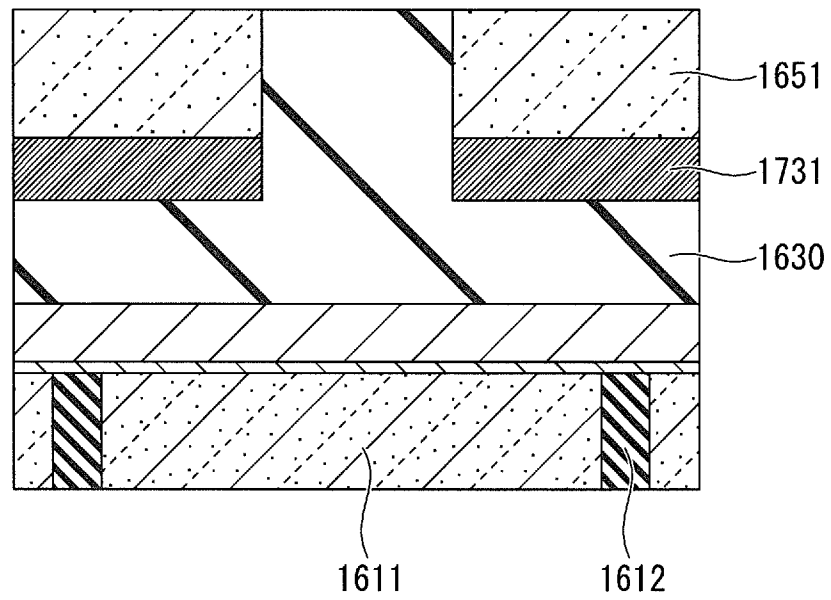
[図64]



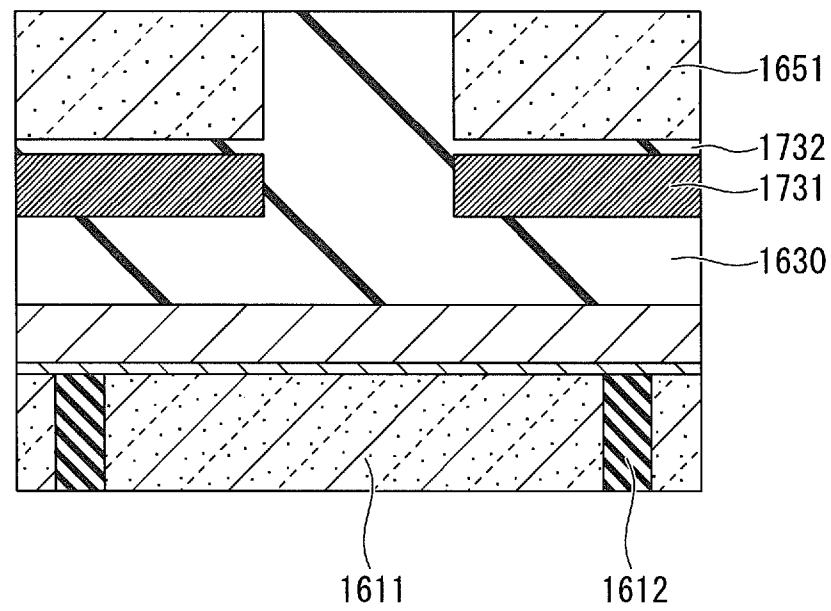
[図65]



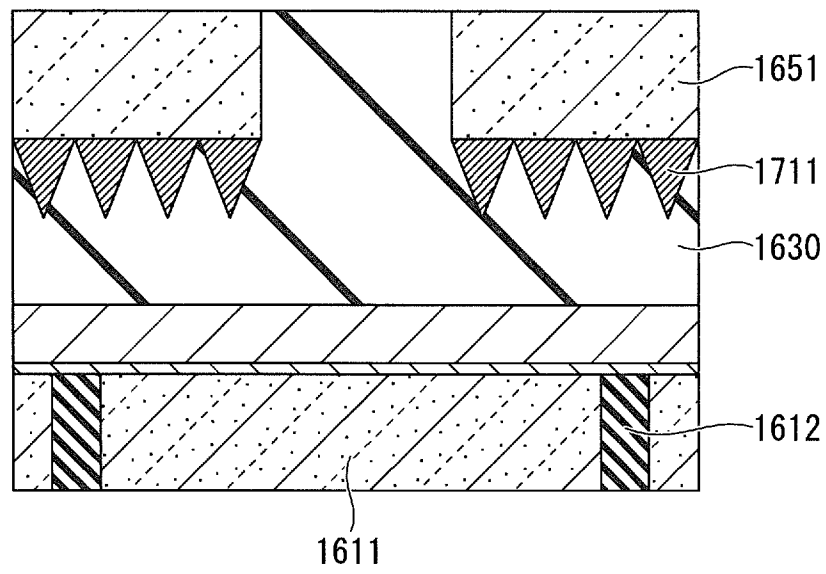
[図66]



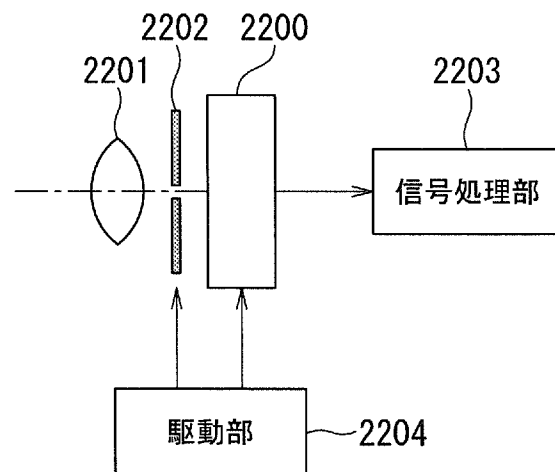
[図67]



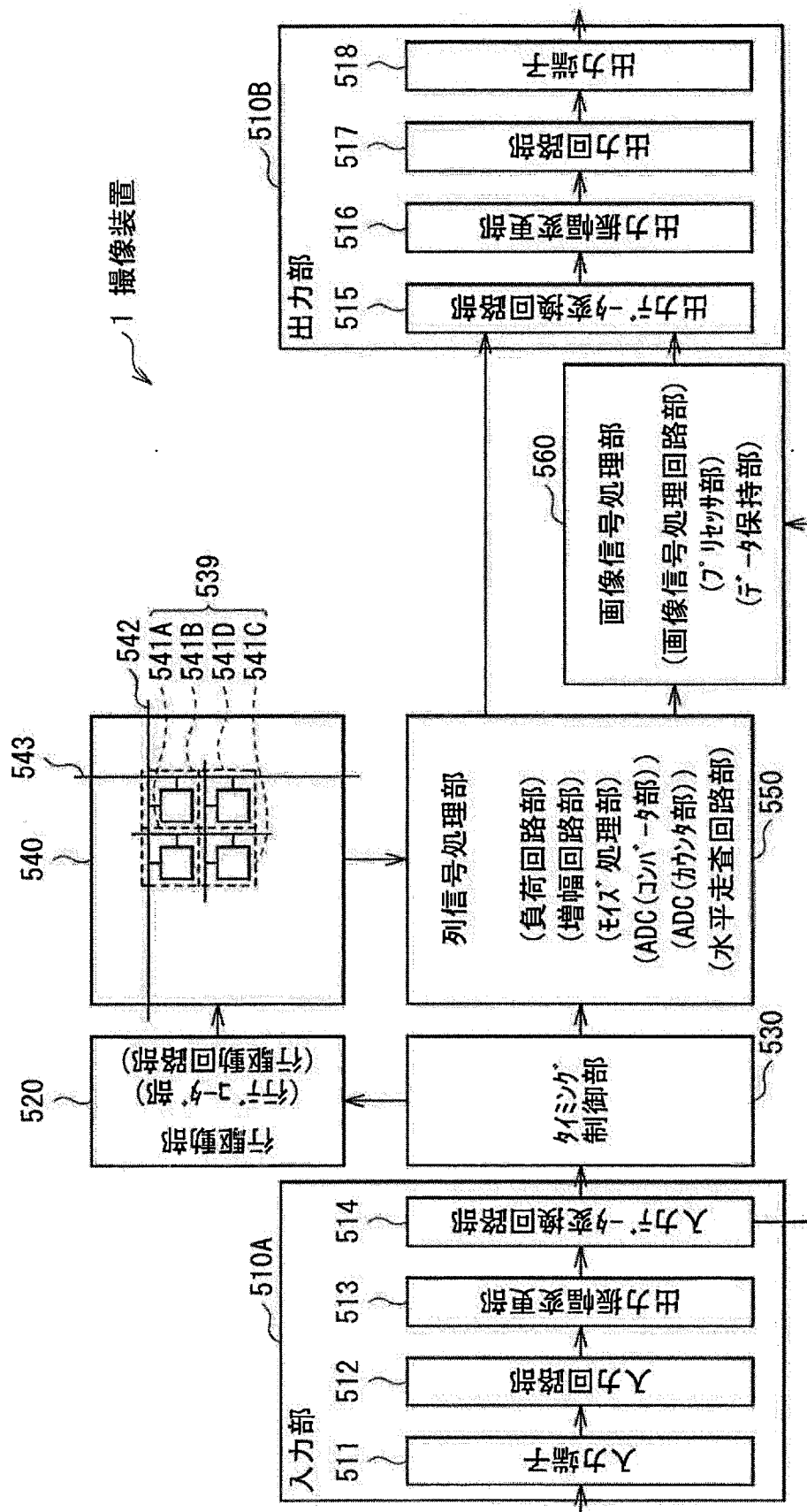
[図68]

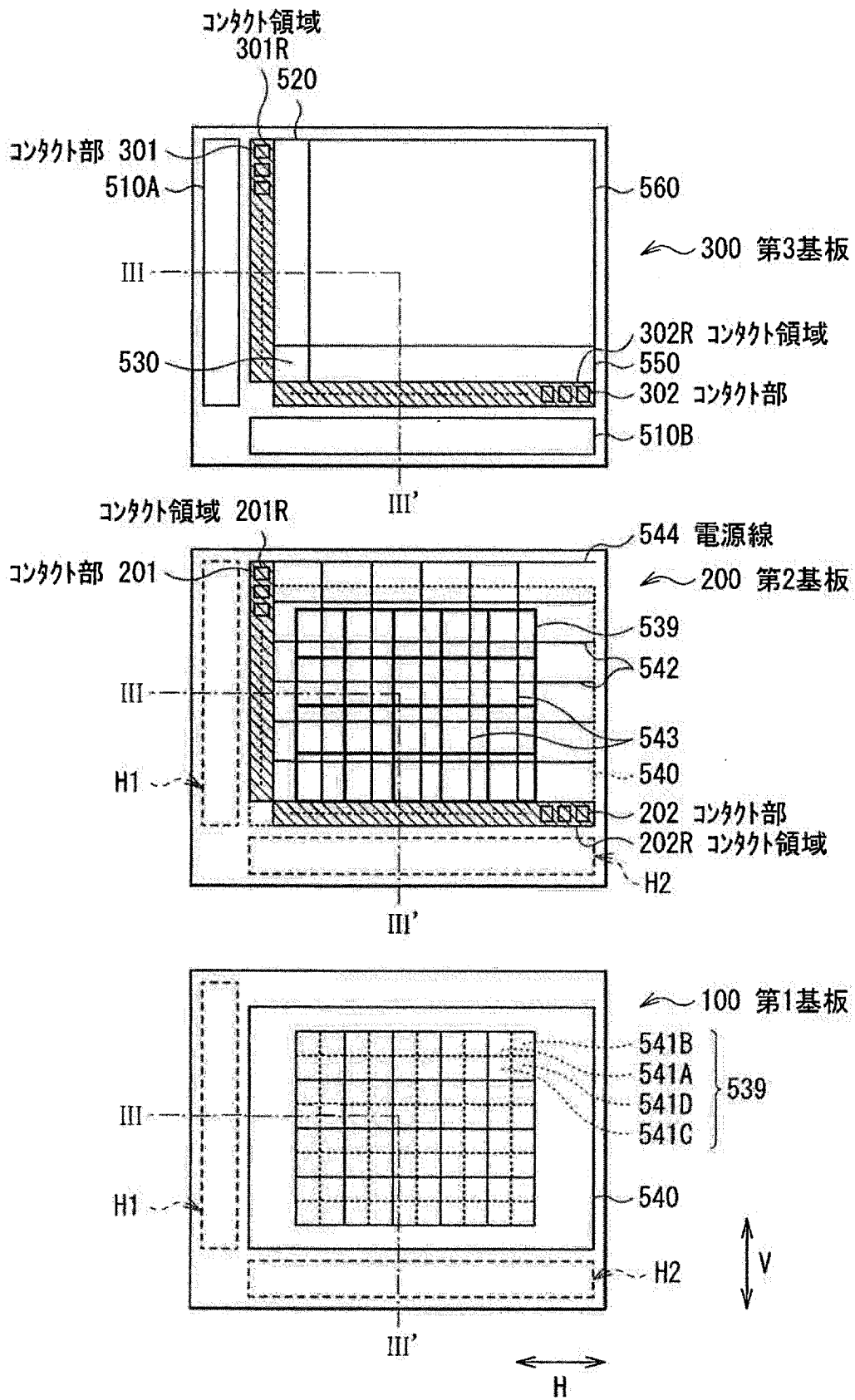


[図69]

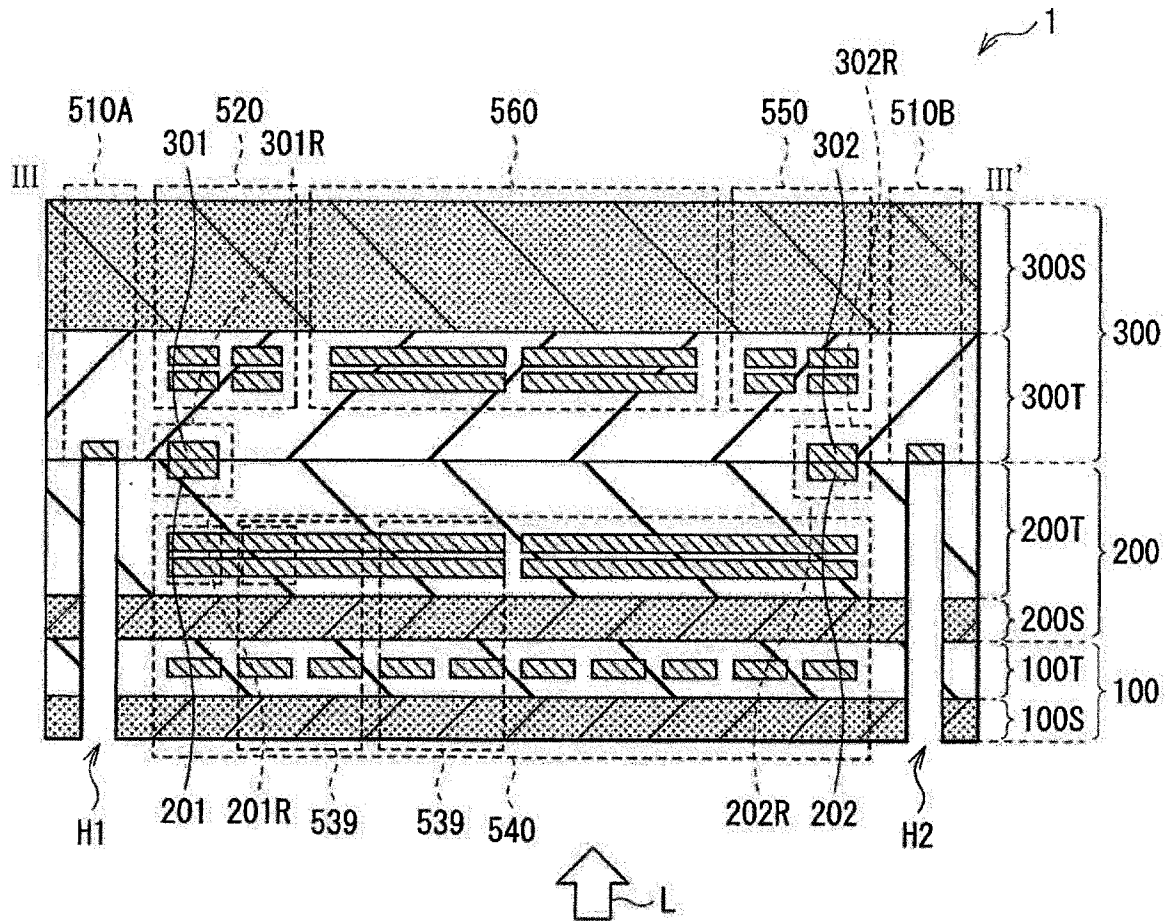


[図70]

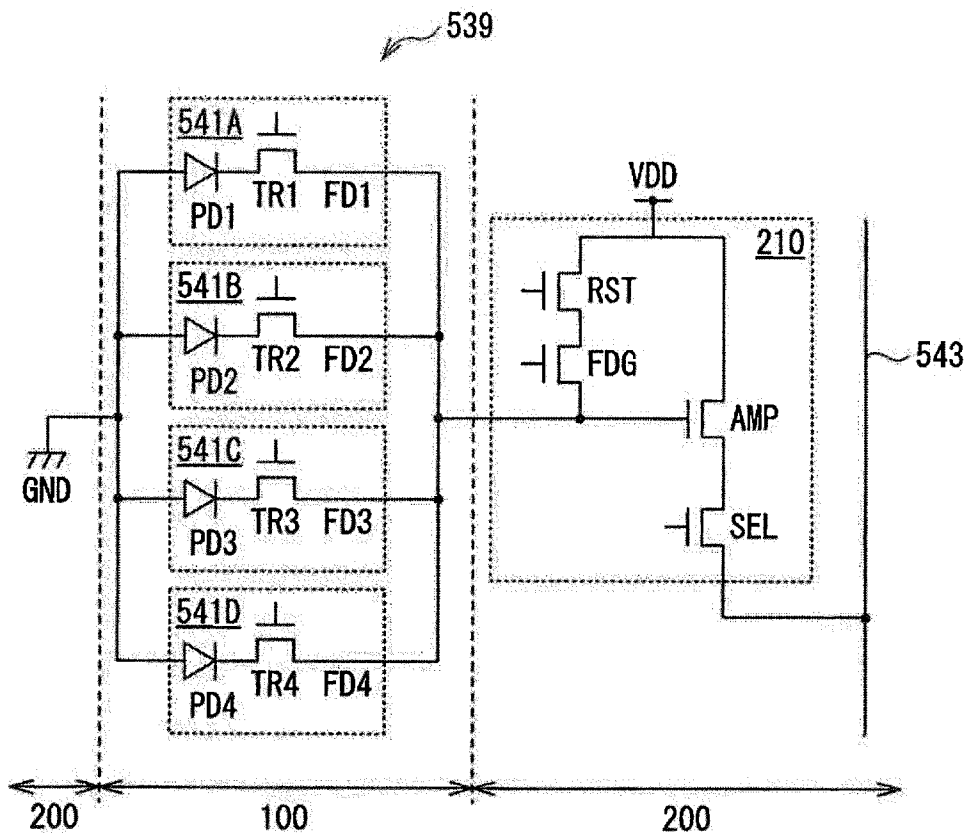




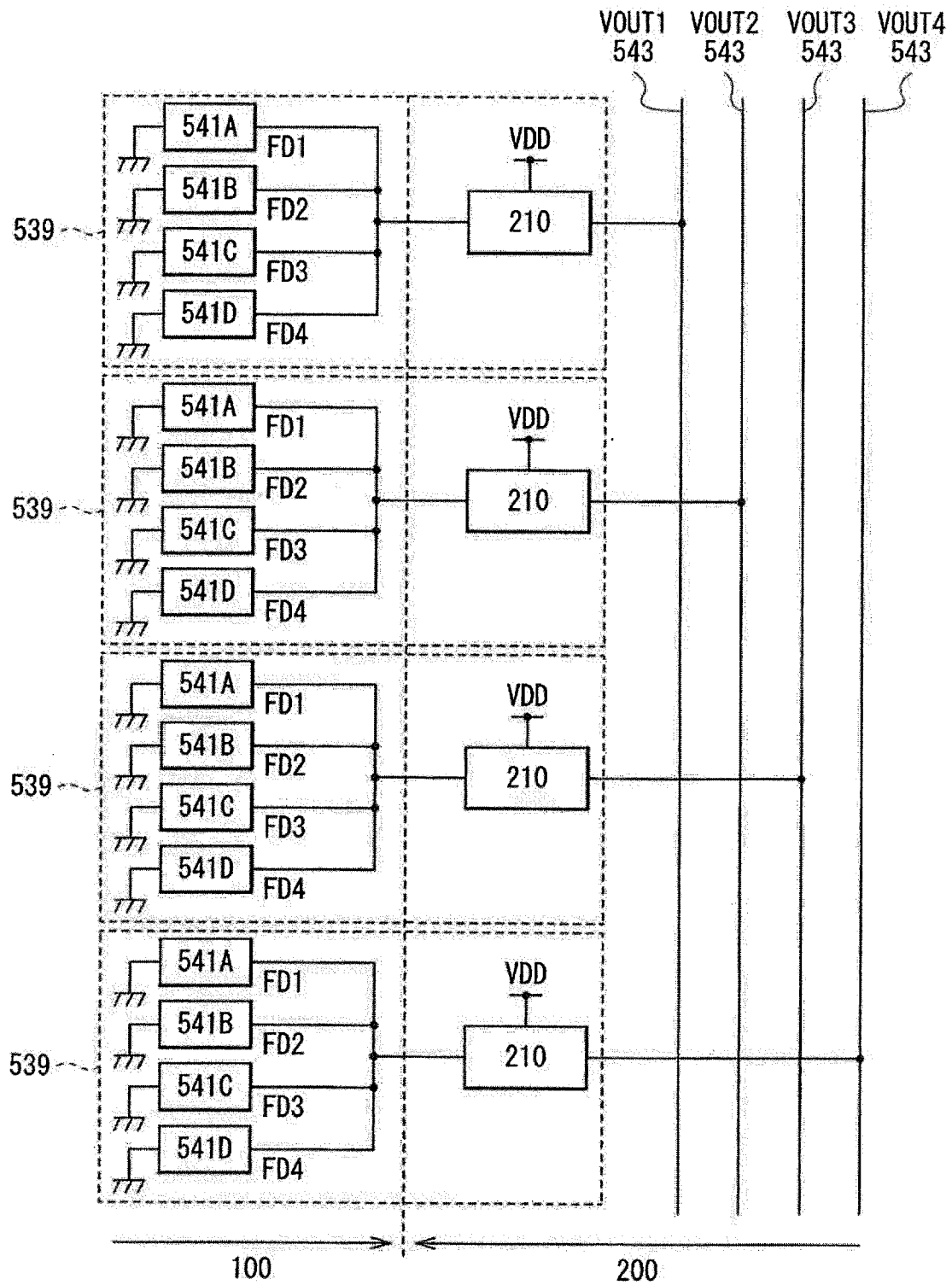
[図72]



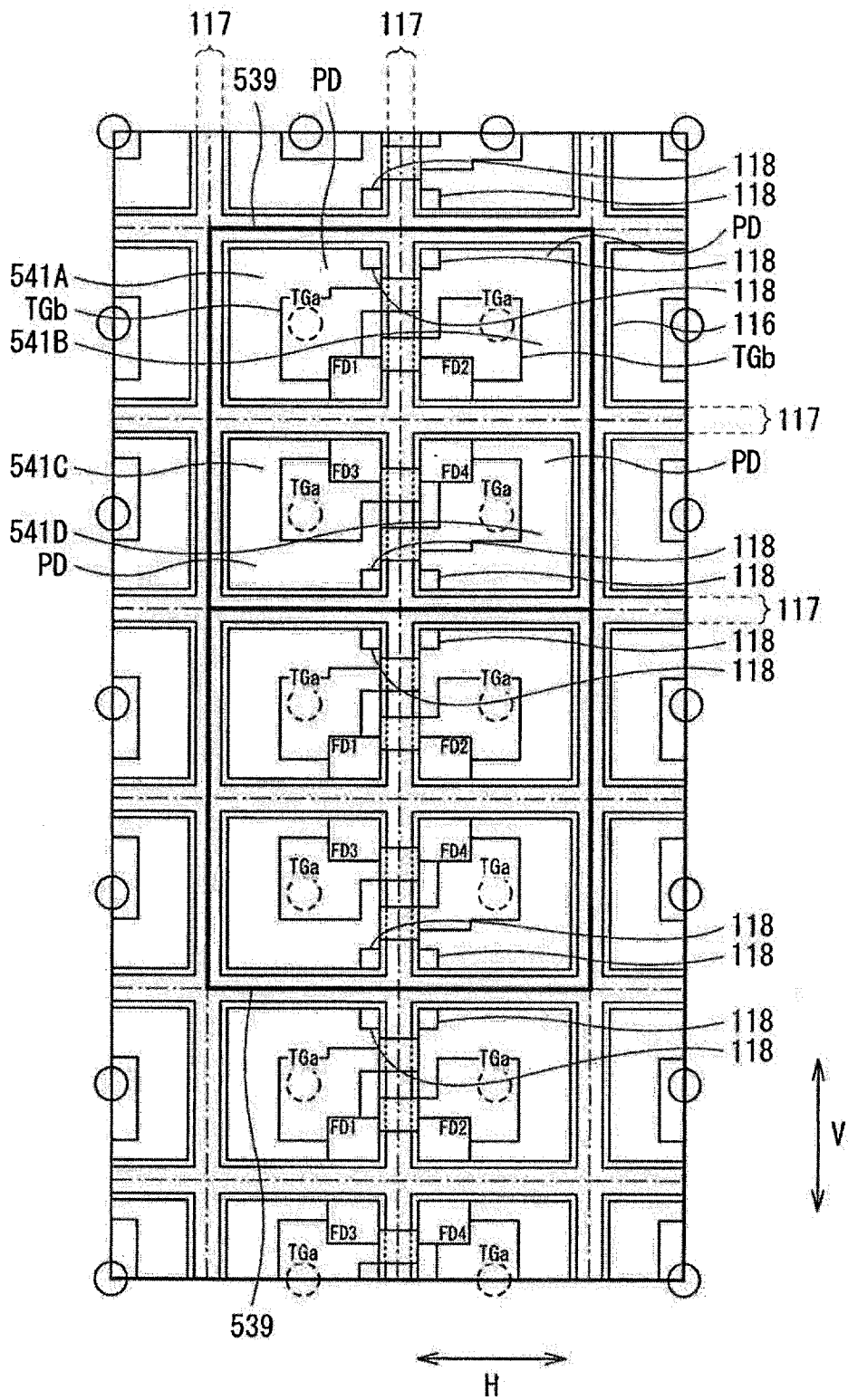
[図73]



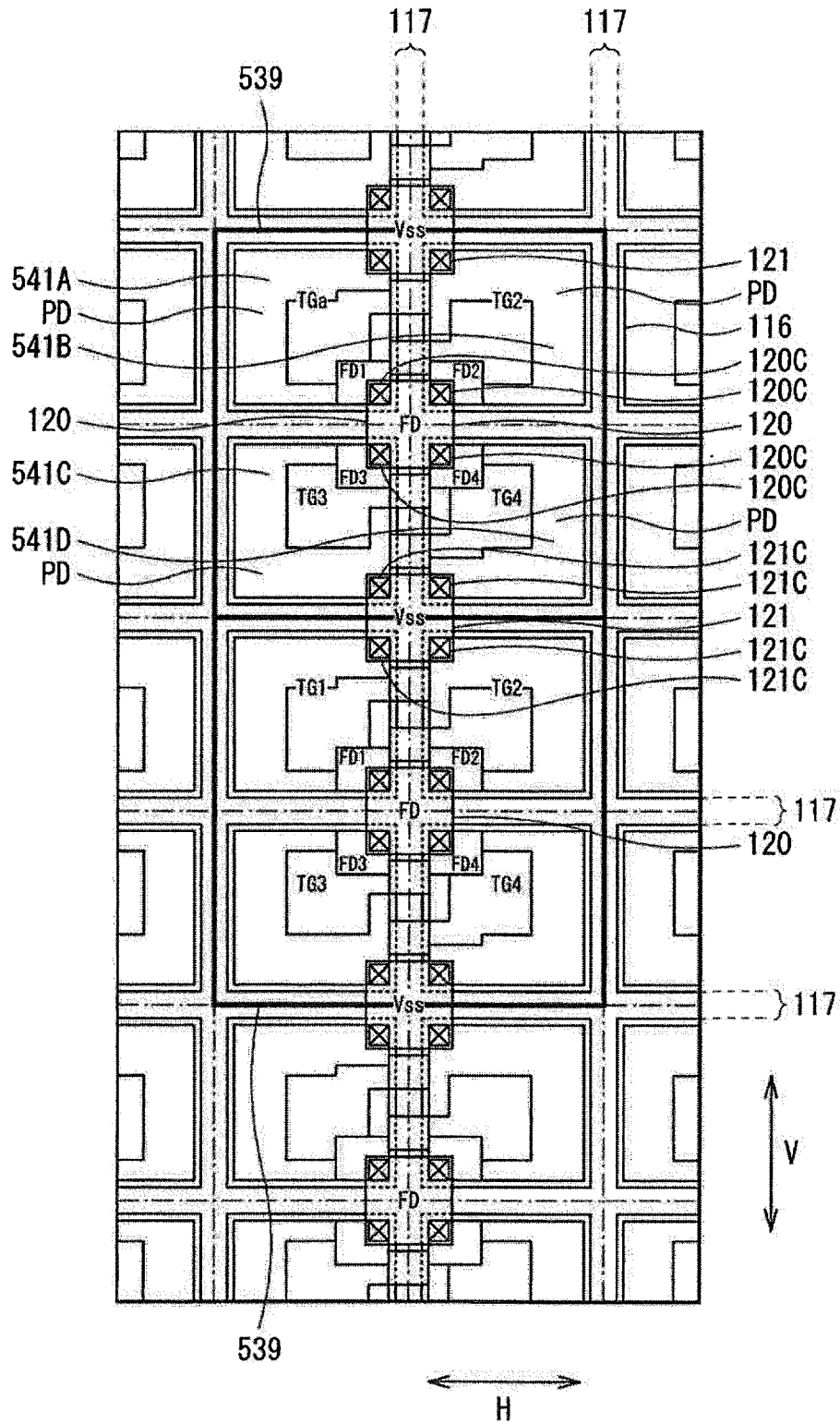
[図74]



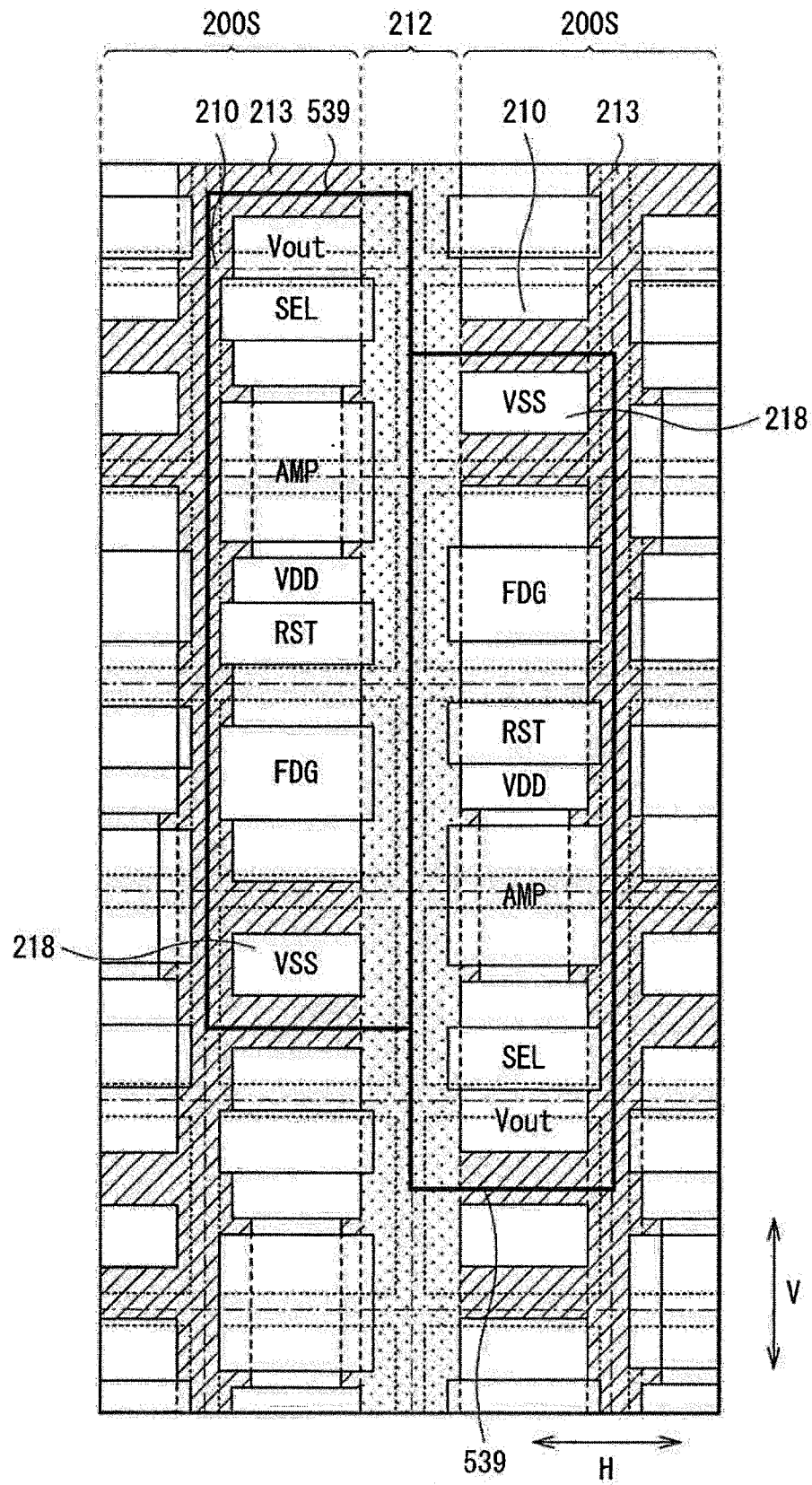
[図76A]



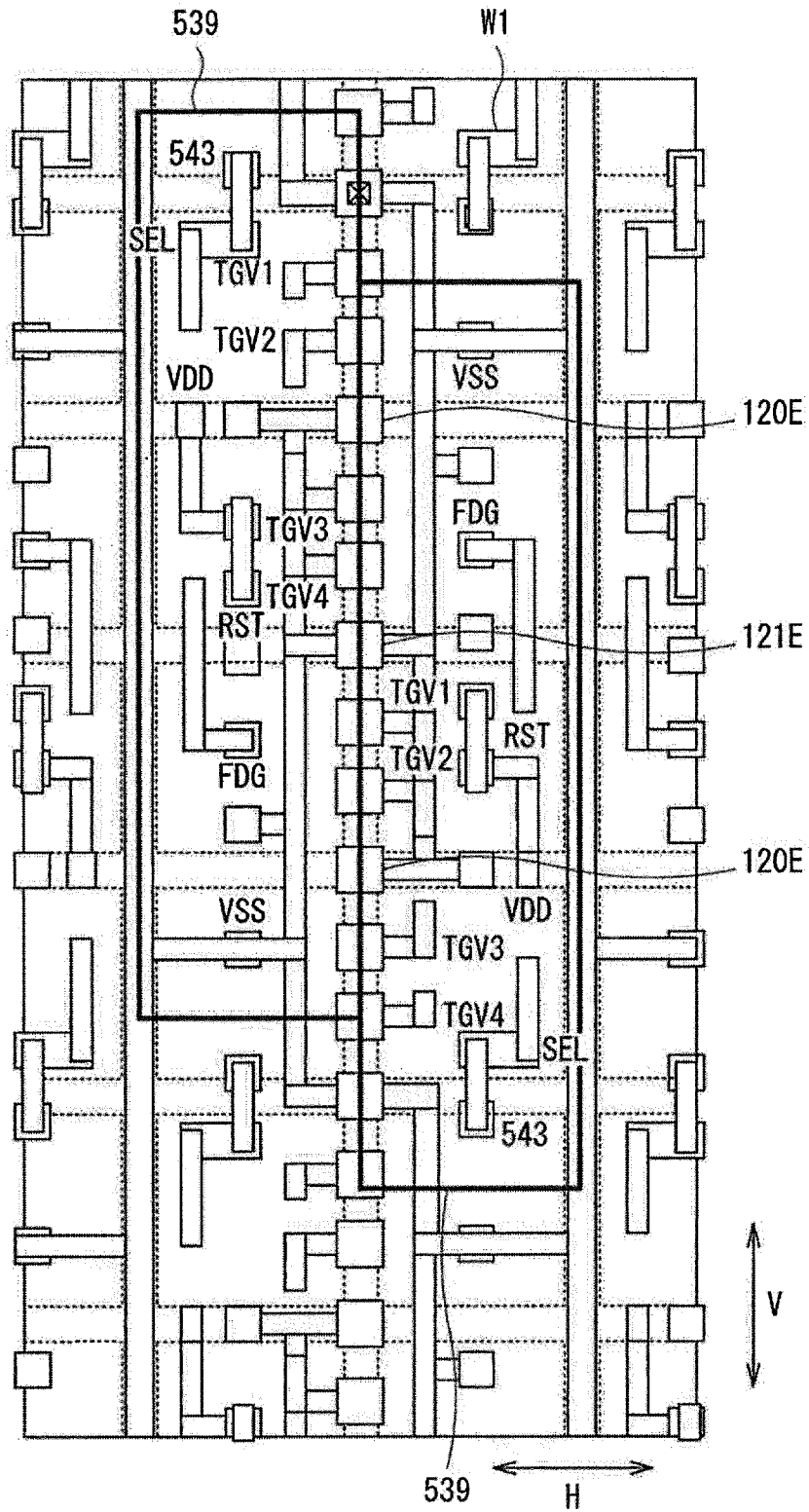
[図76B]



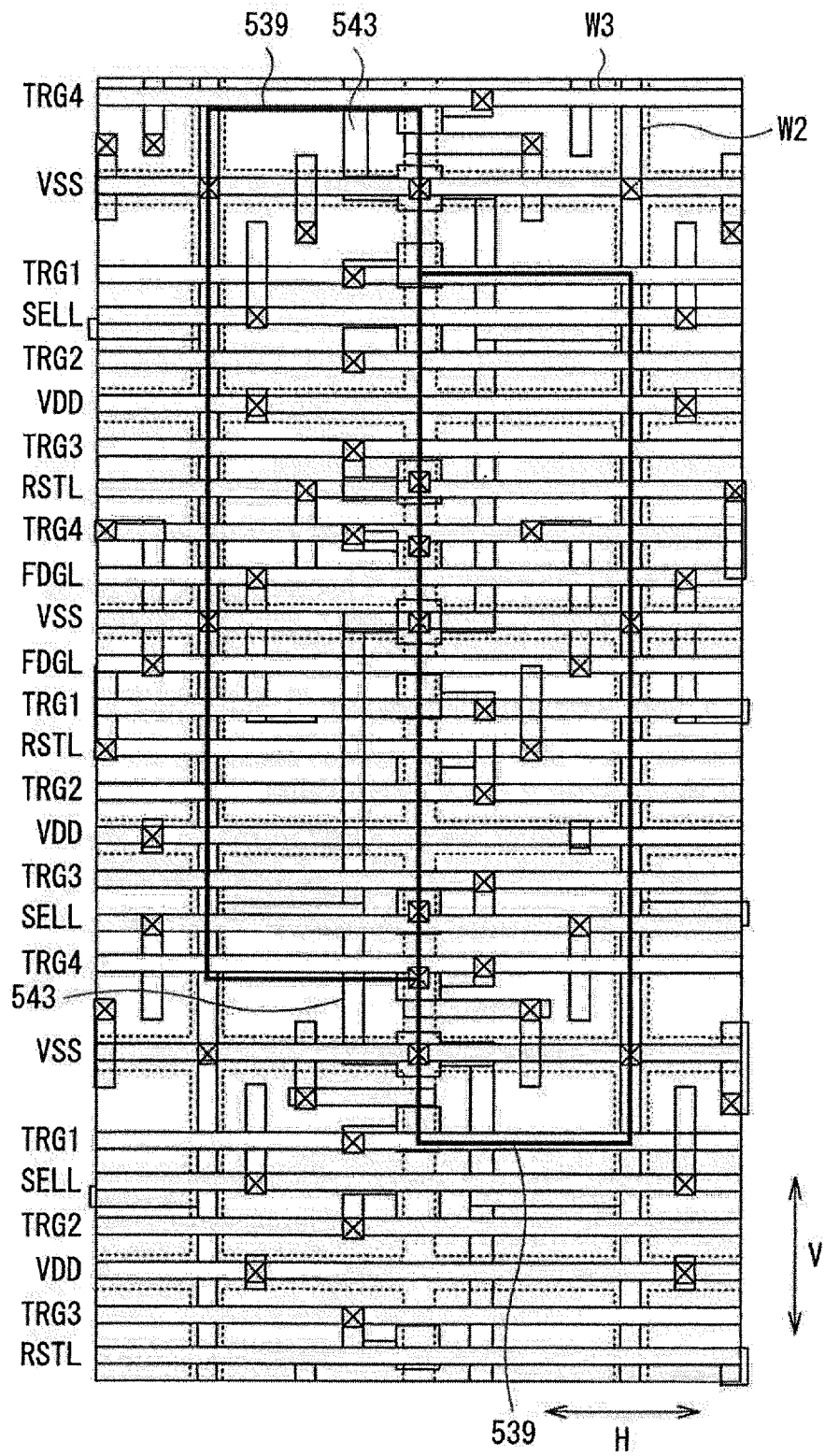
[図77]



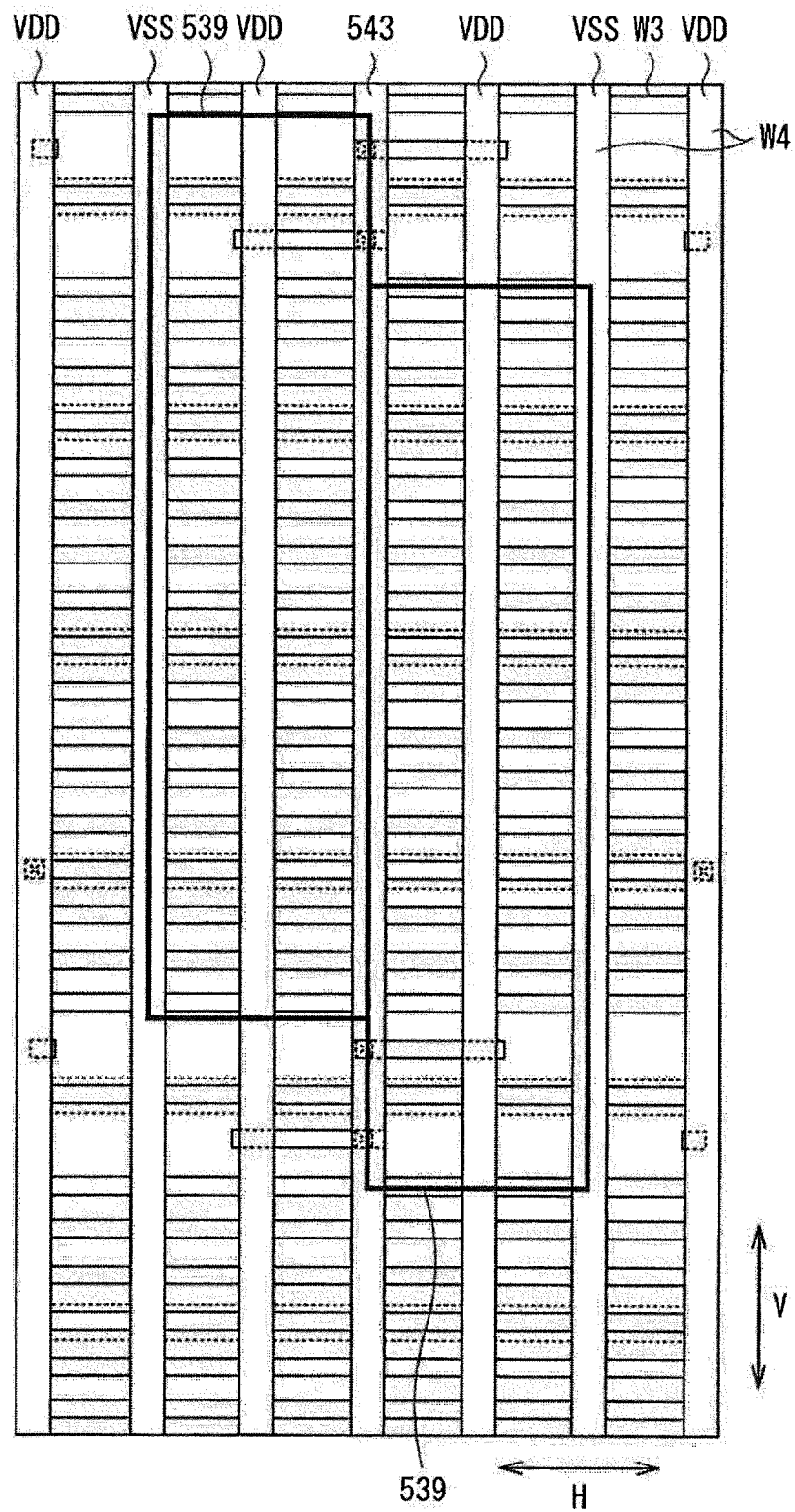
[図79]



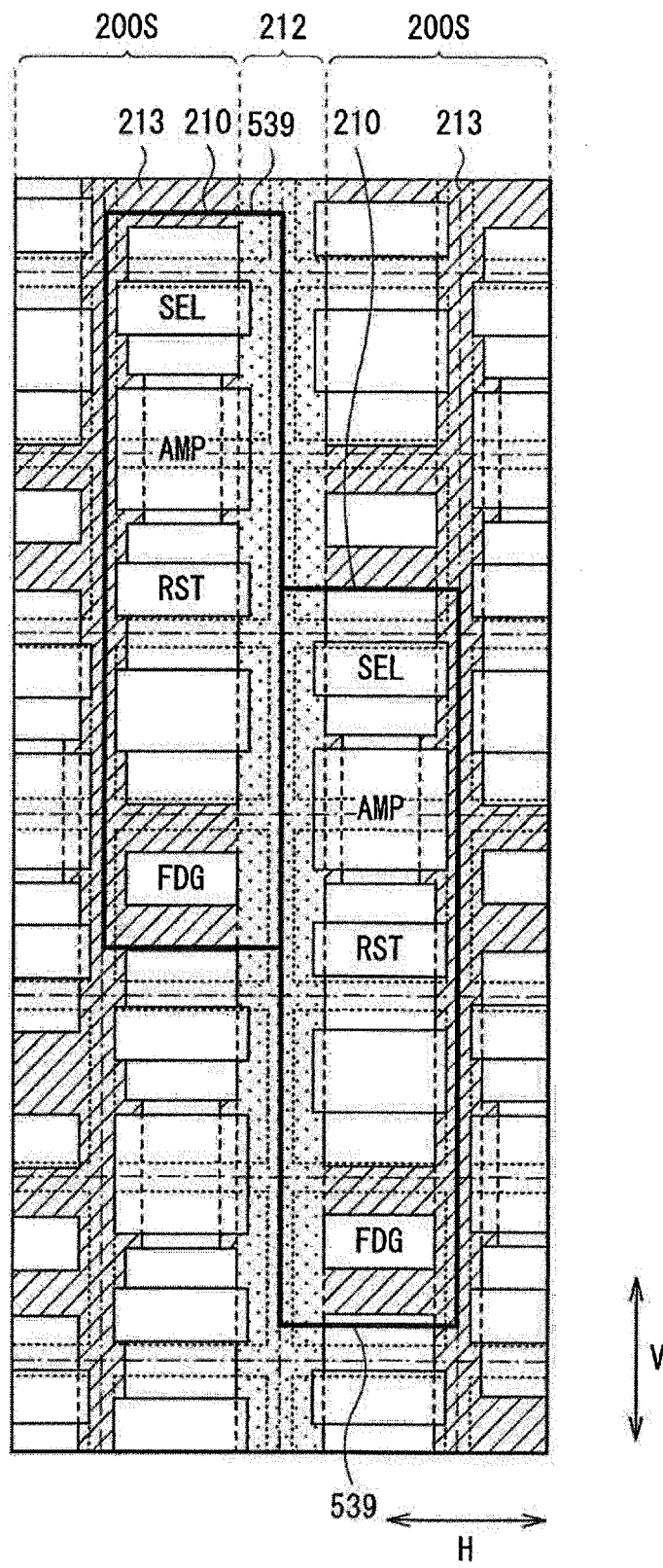
[図80]



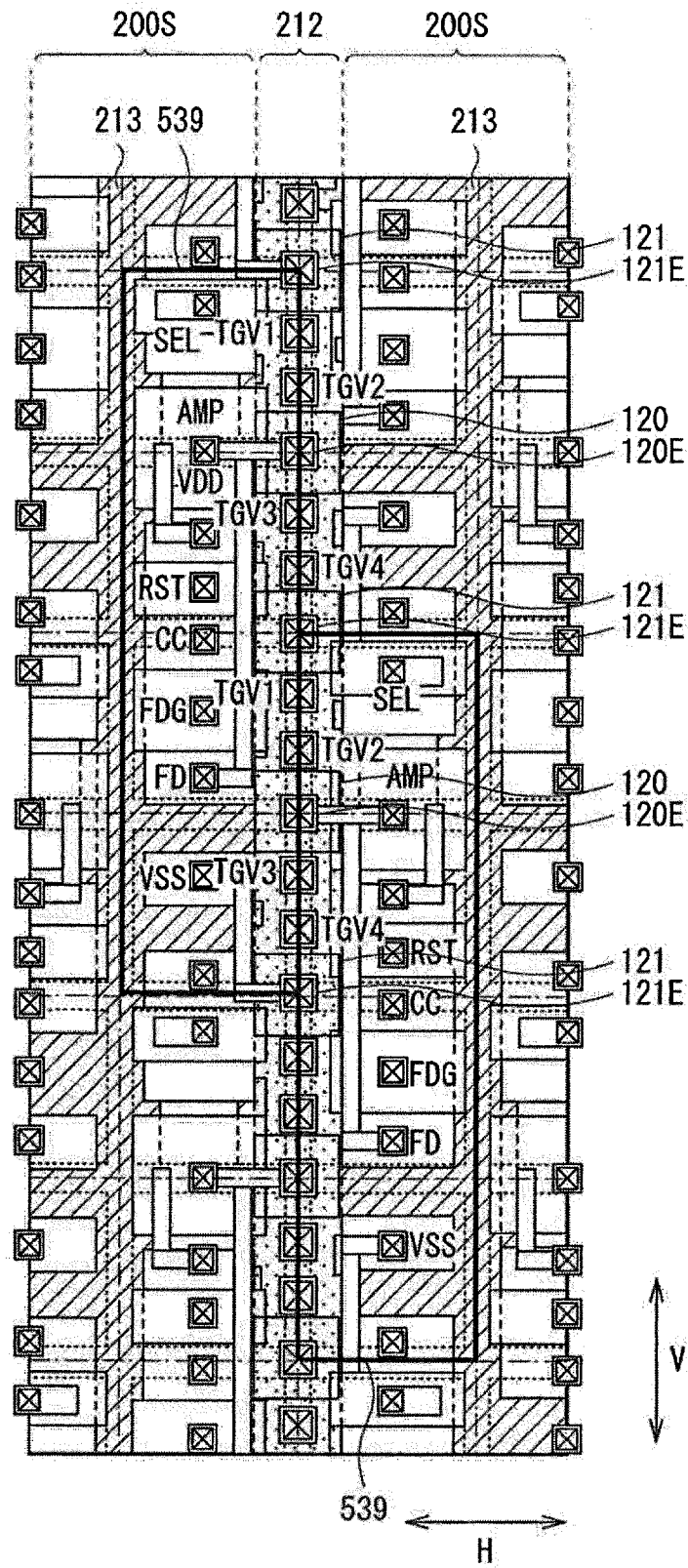
[図81]



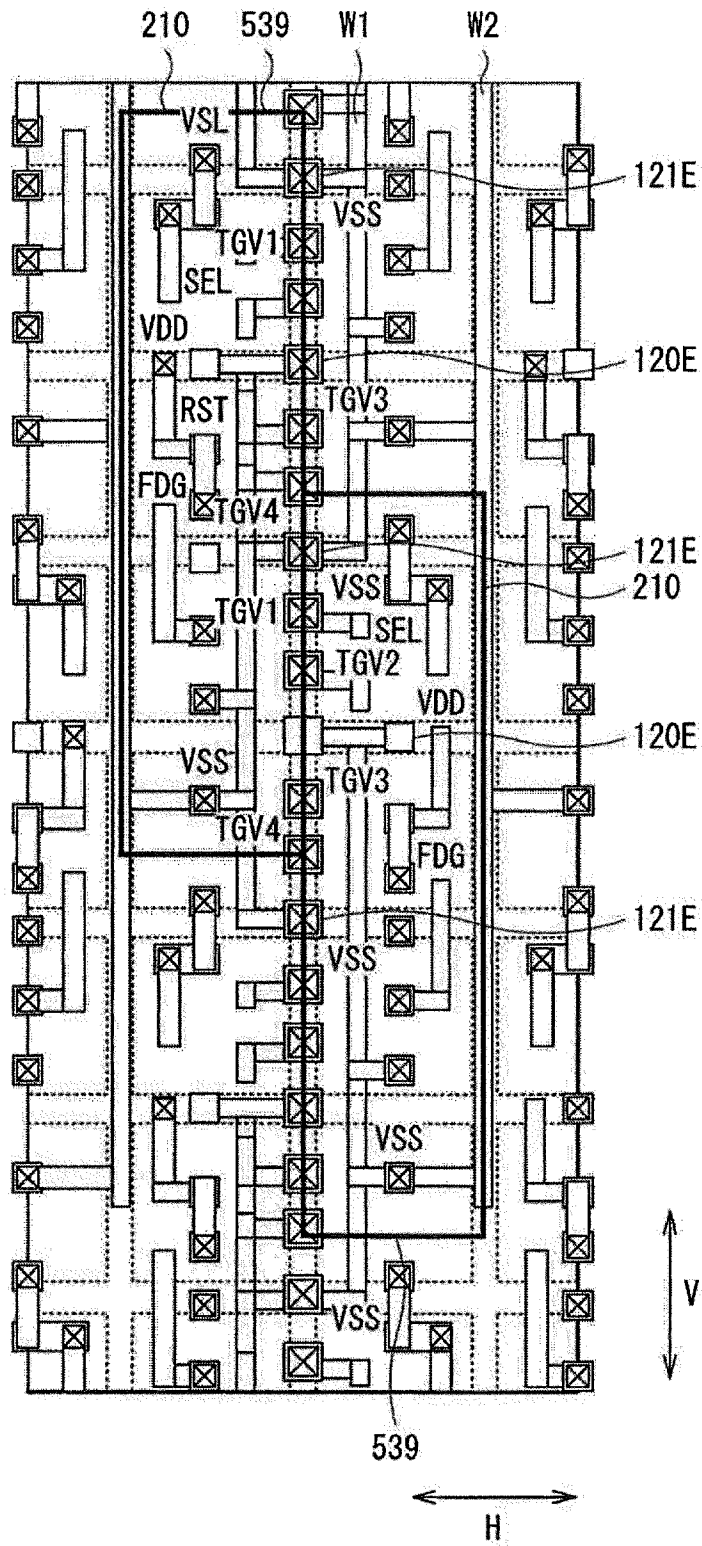
[図84]



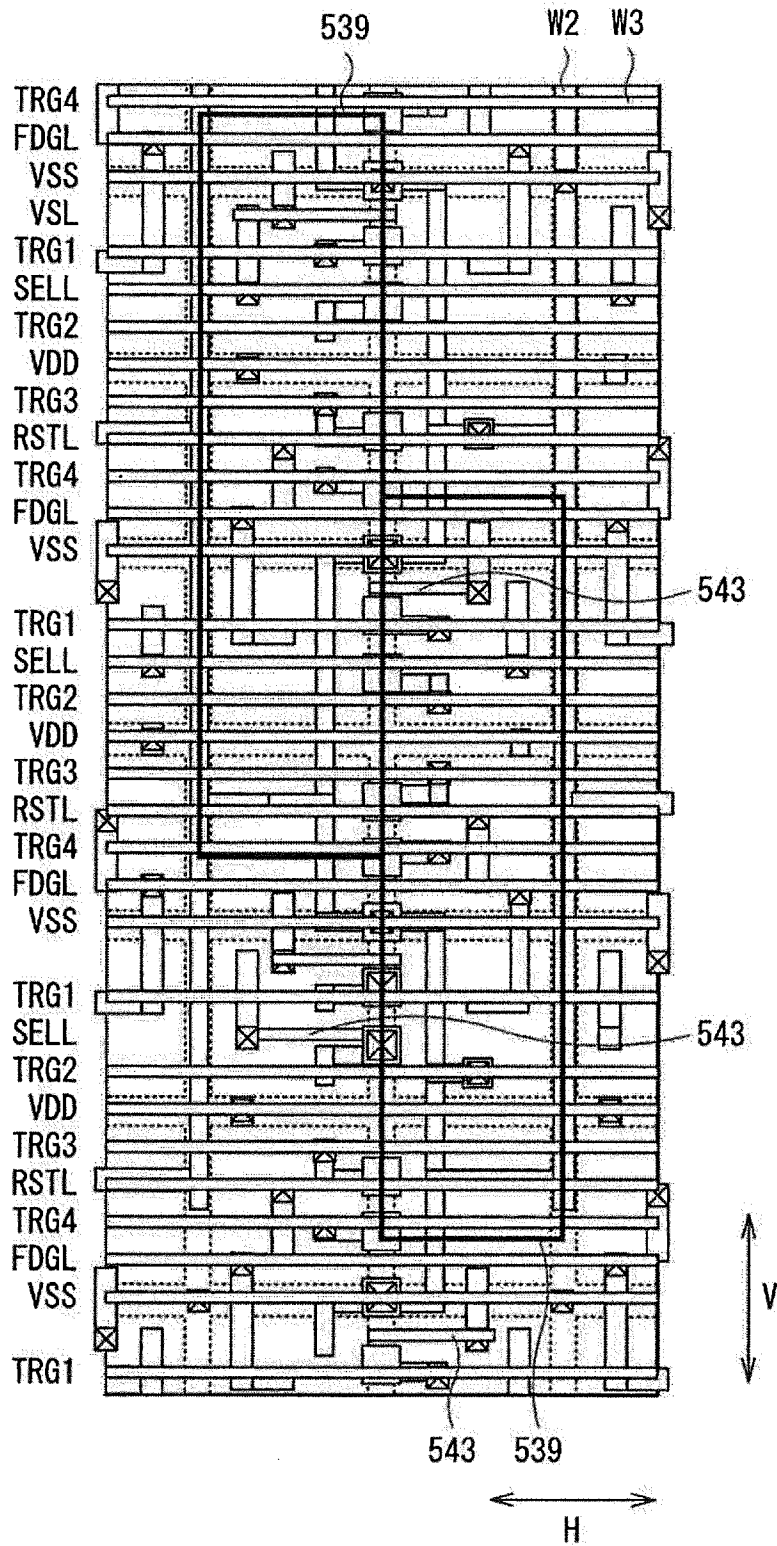
[図85]



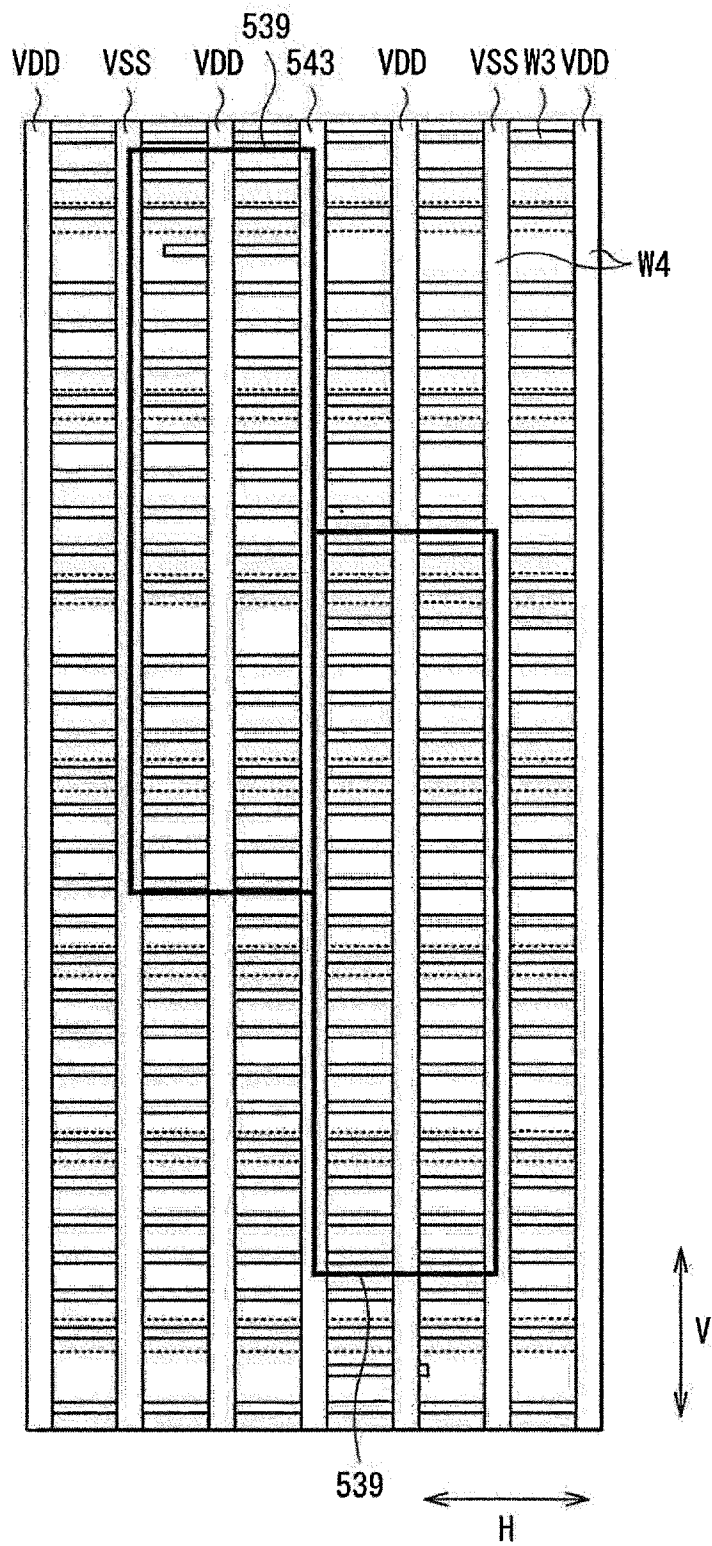
[図86]



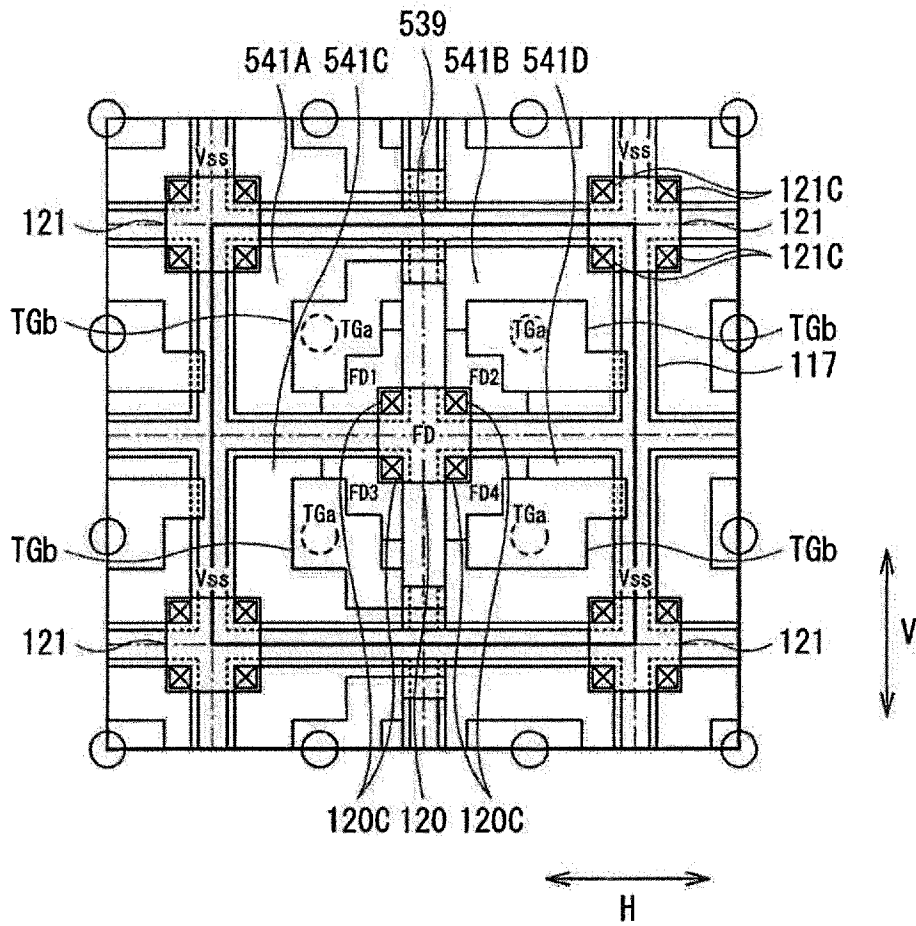
[図87]



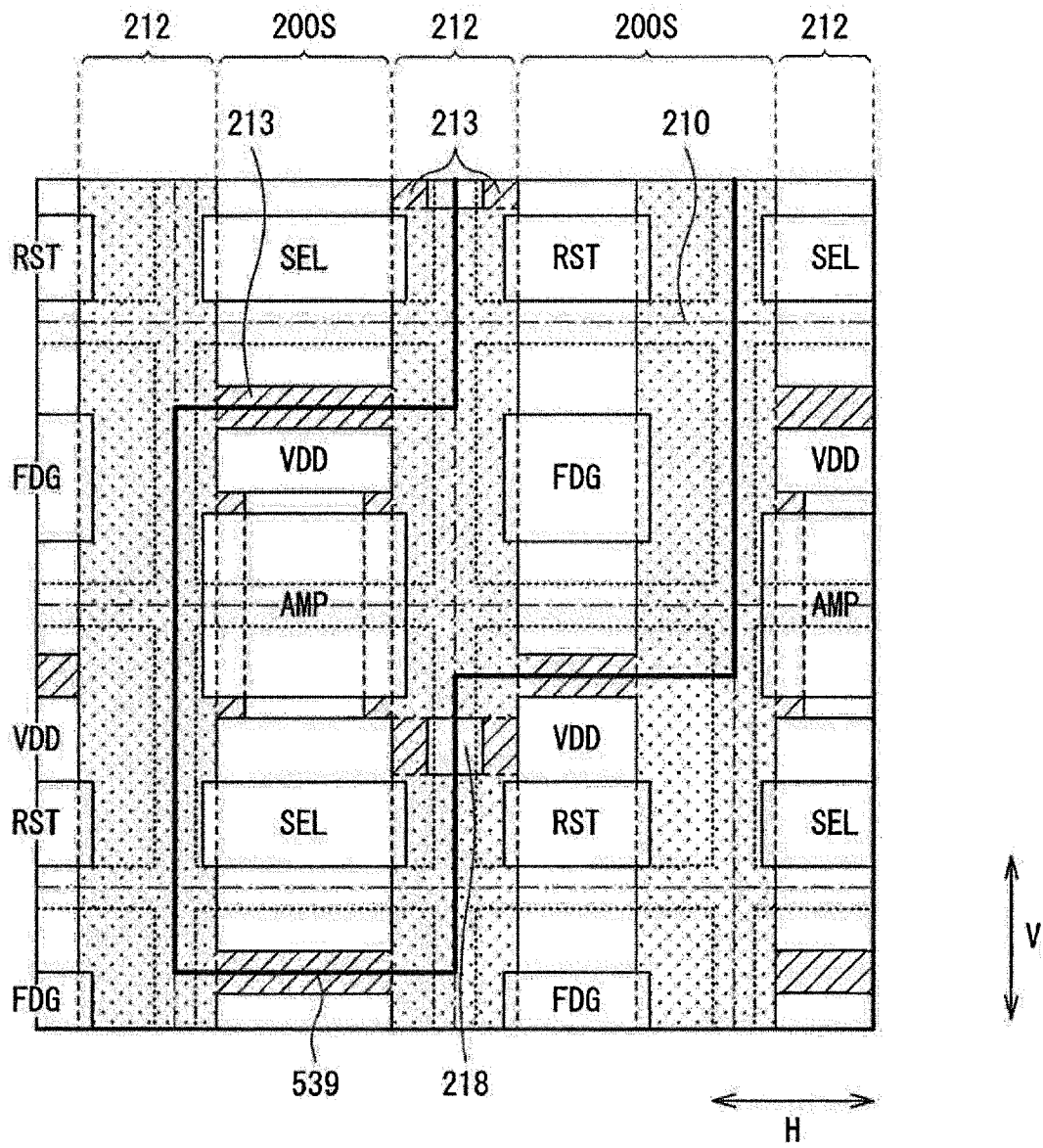
[図88]



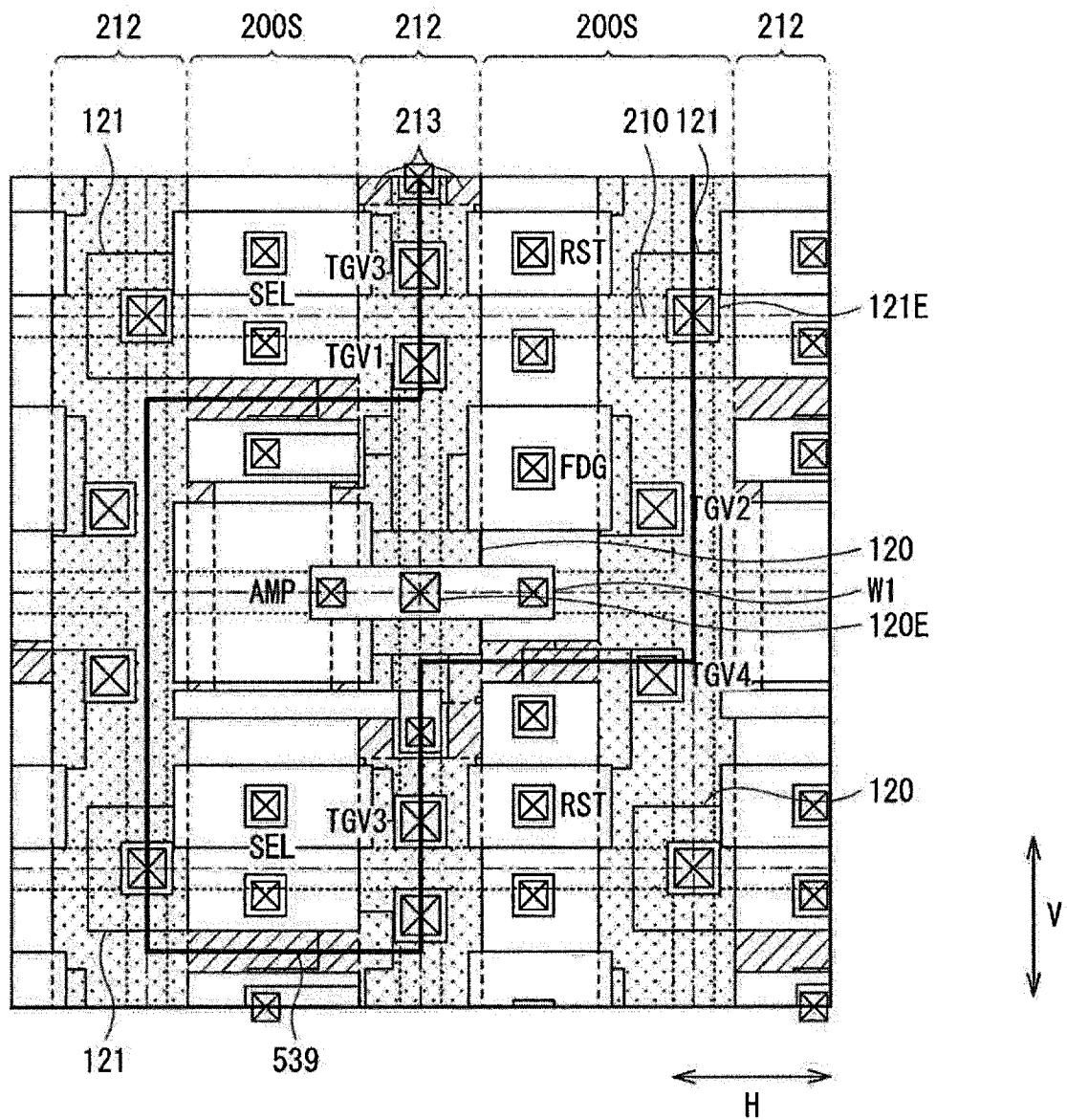
[図89]



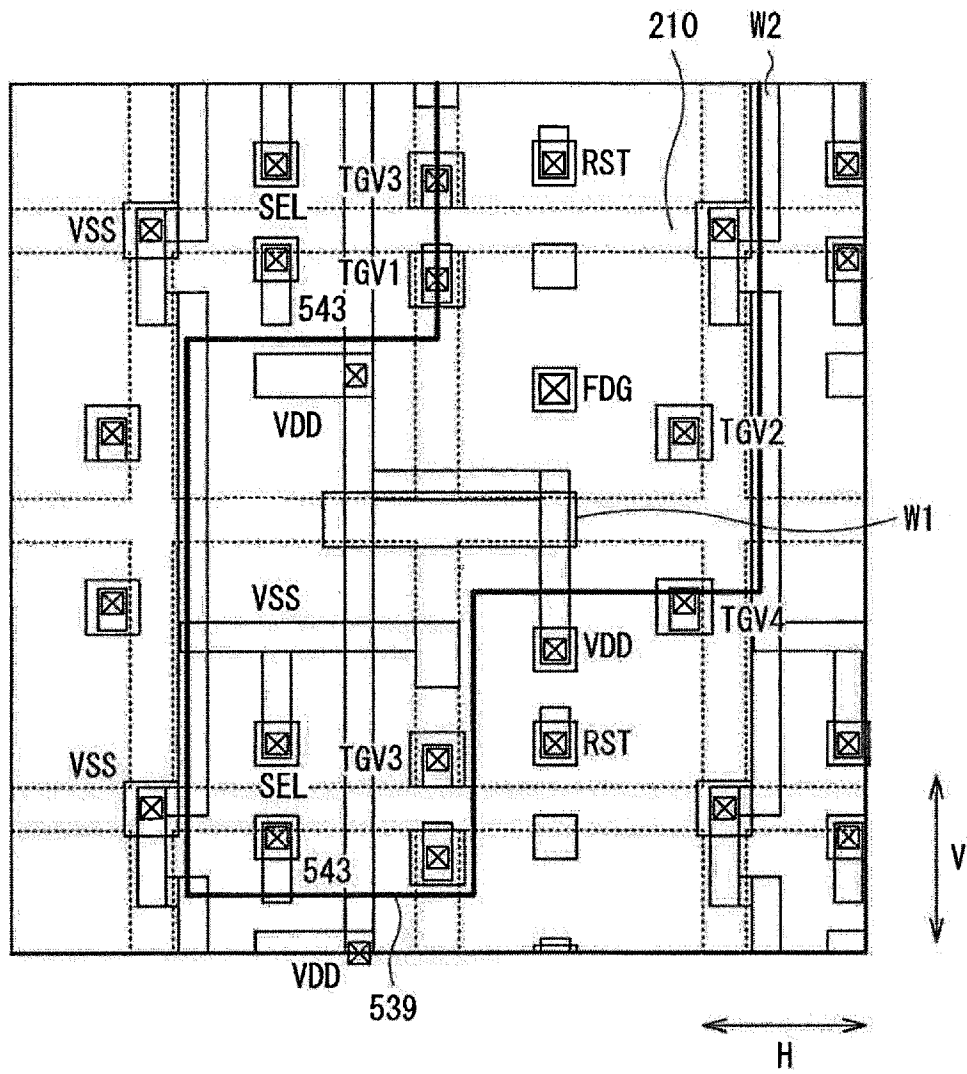
[図90]



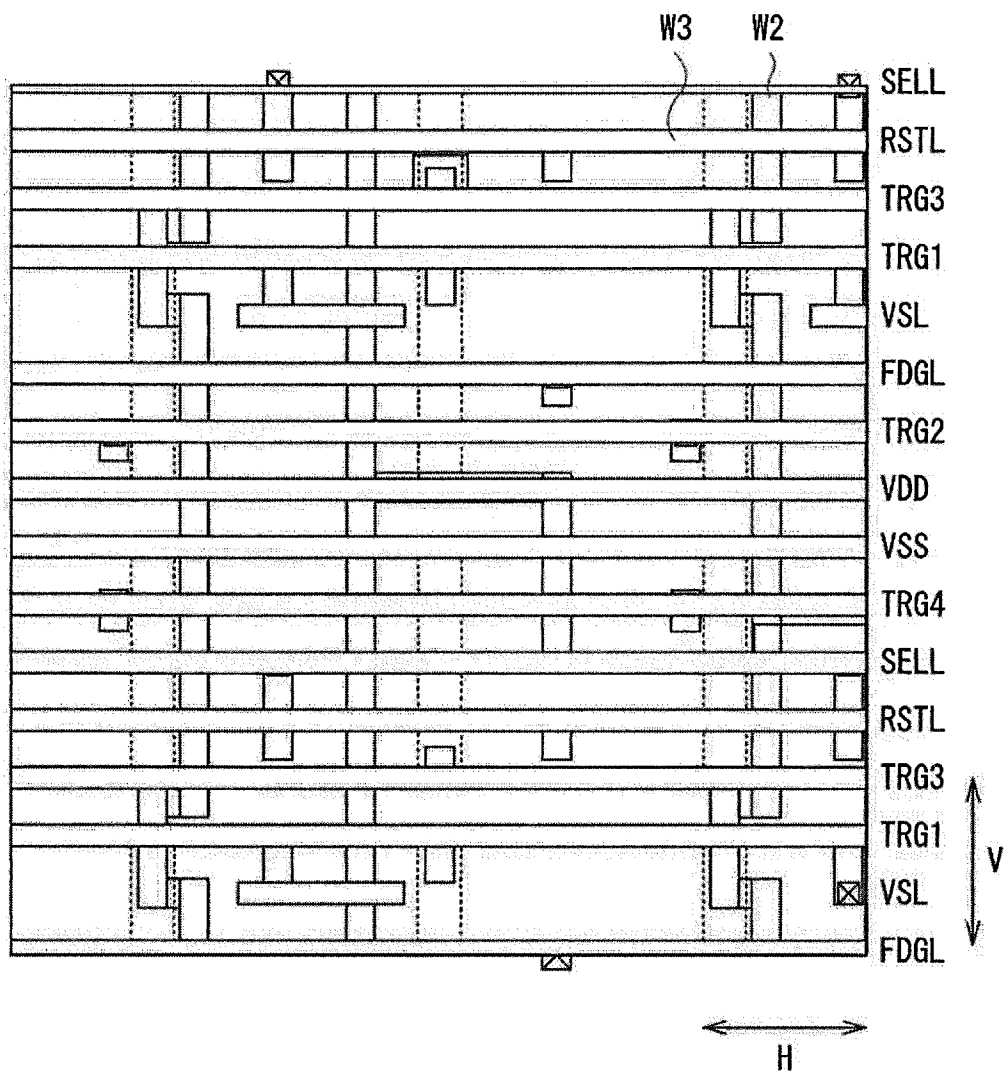
[図91]



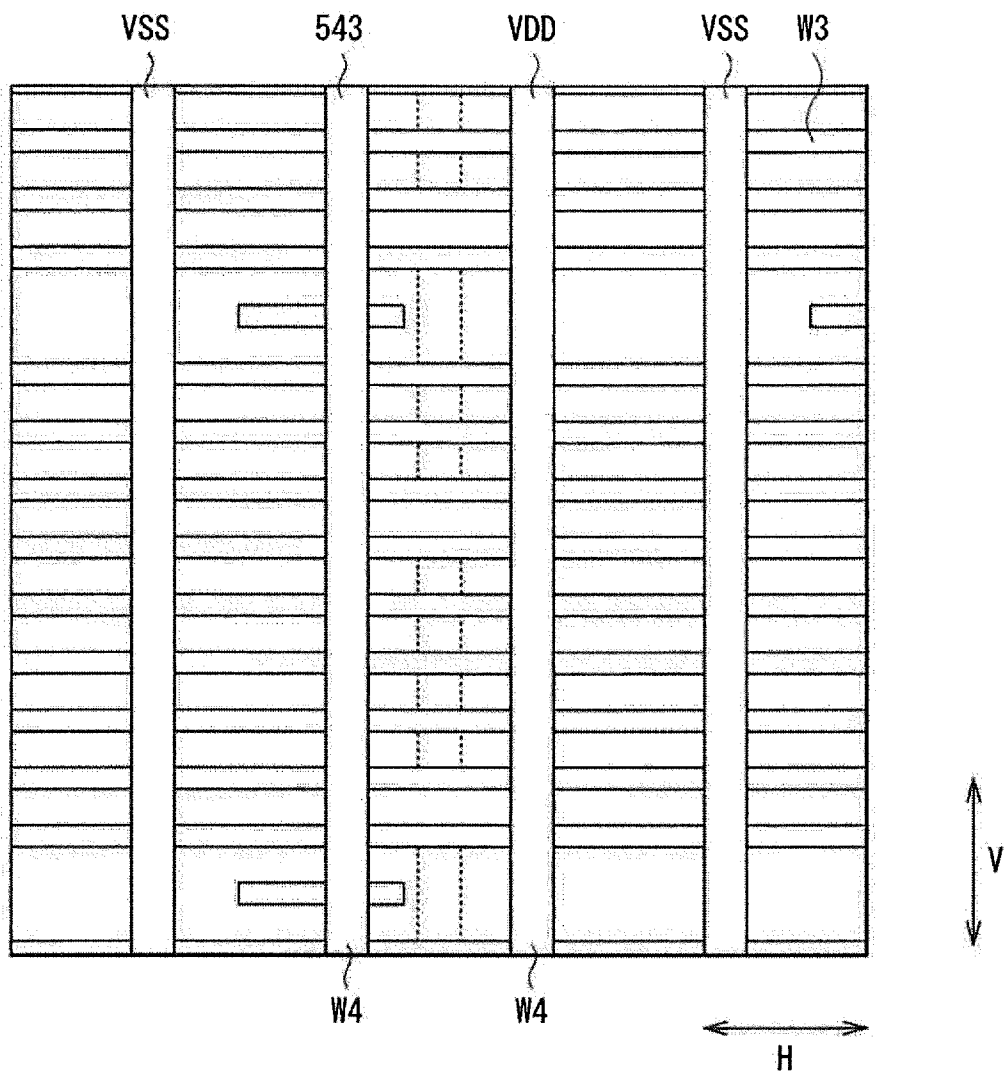
[図92]



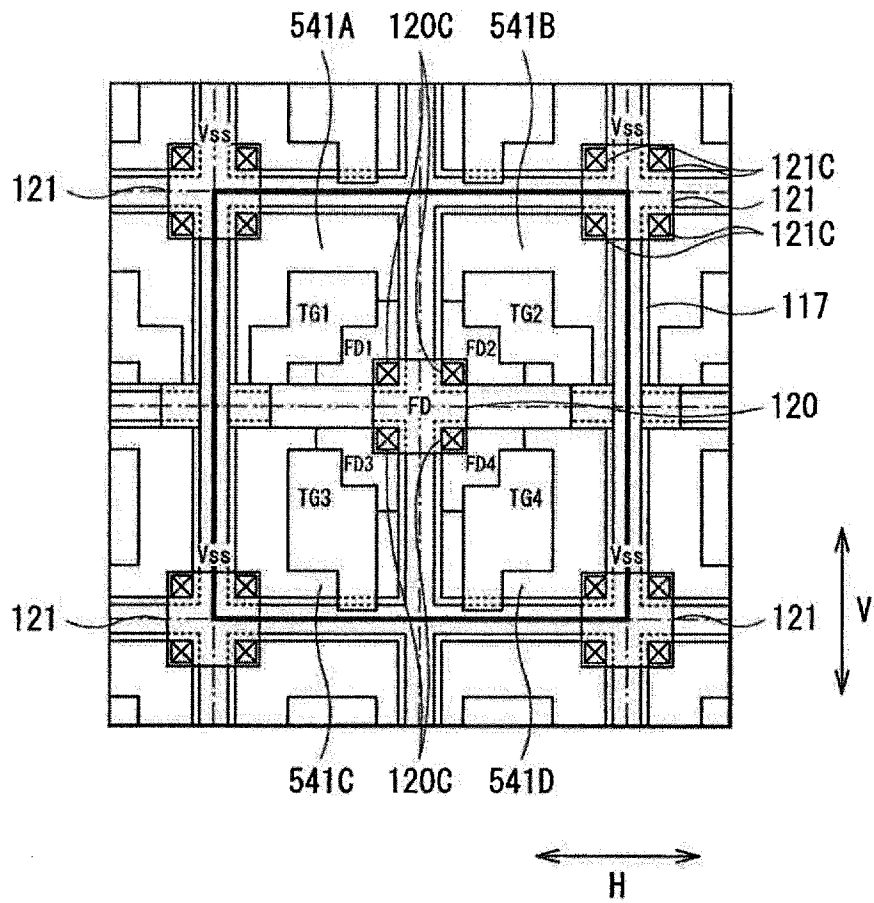
[図93]



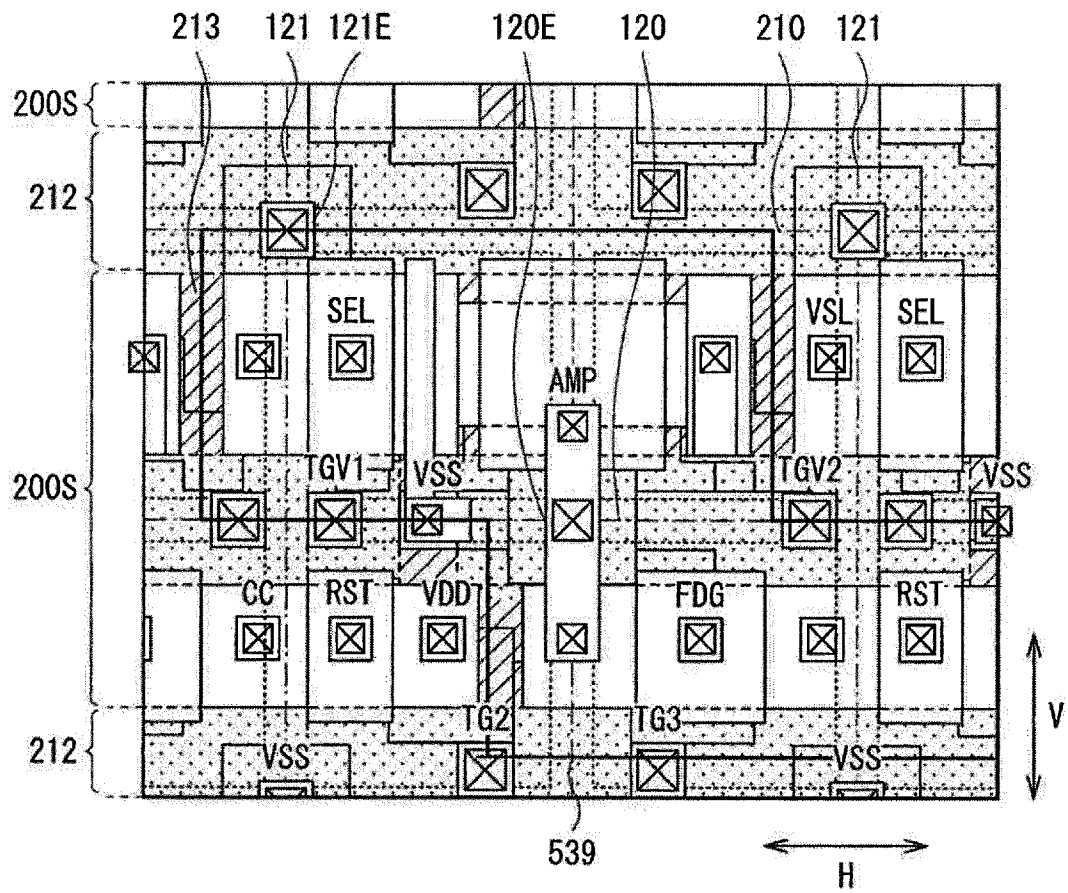
[図94]



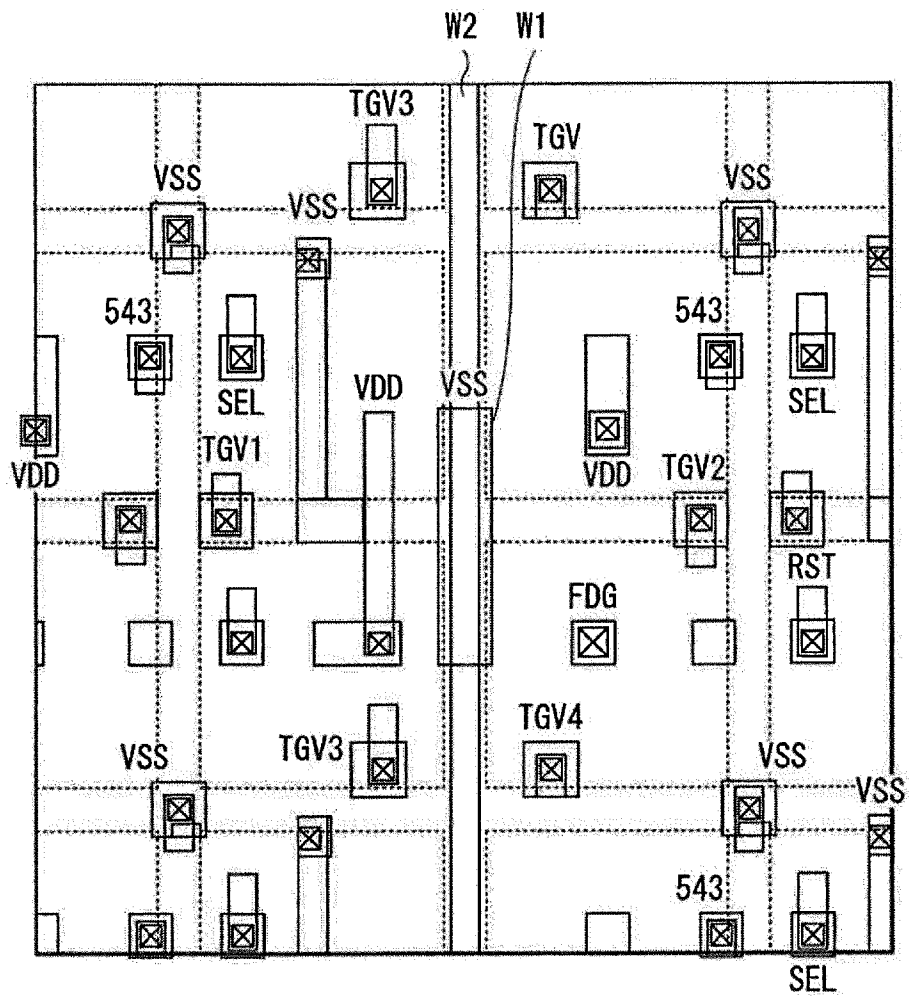
[図95]



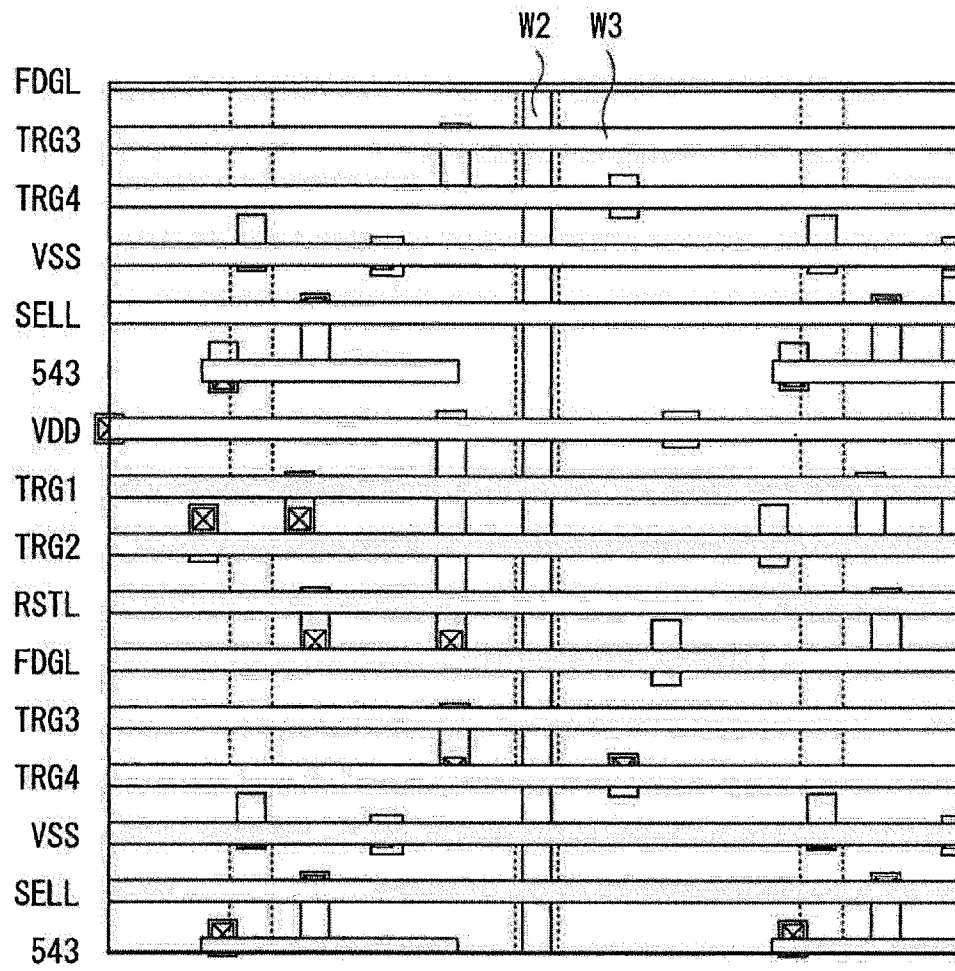
[図97]



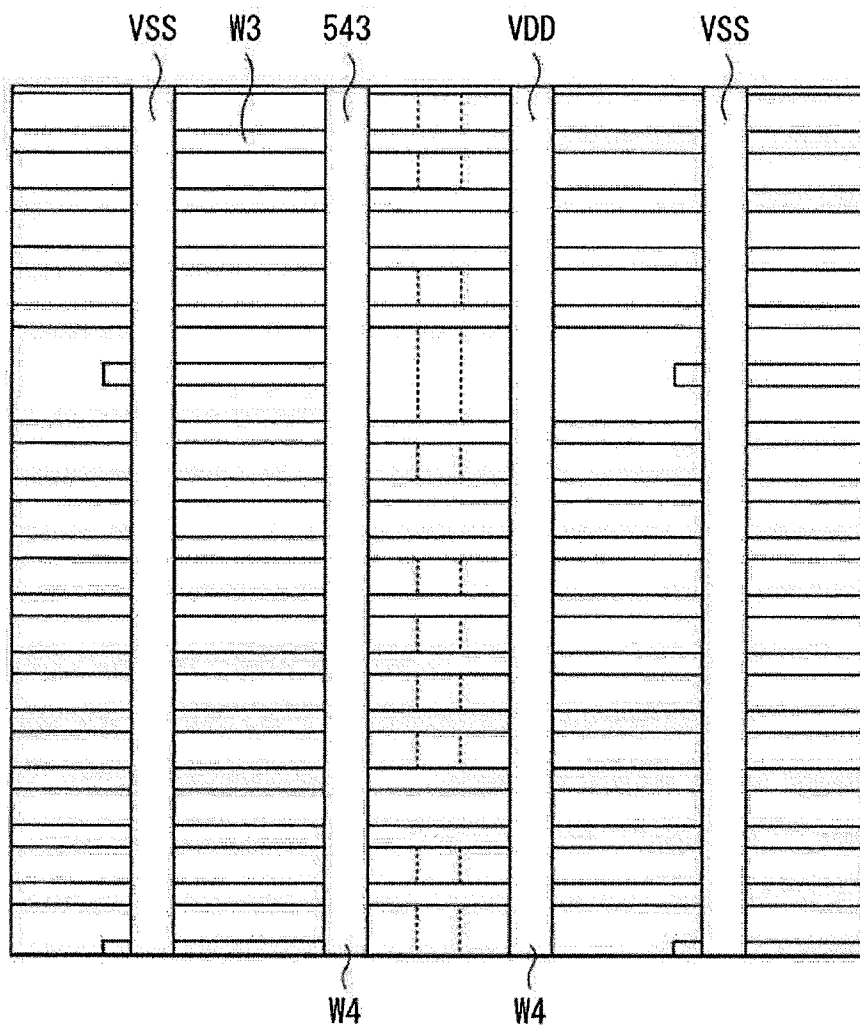
[図98]



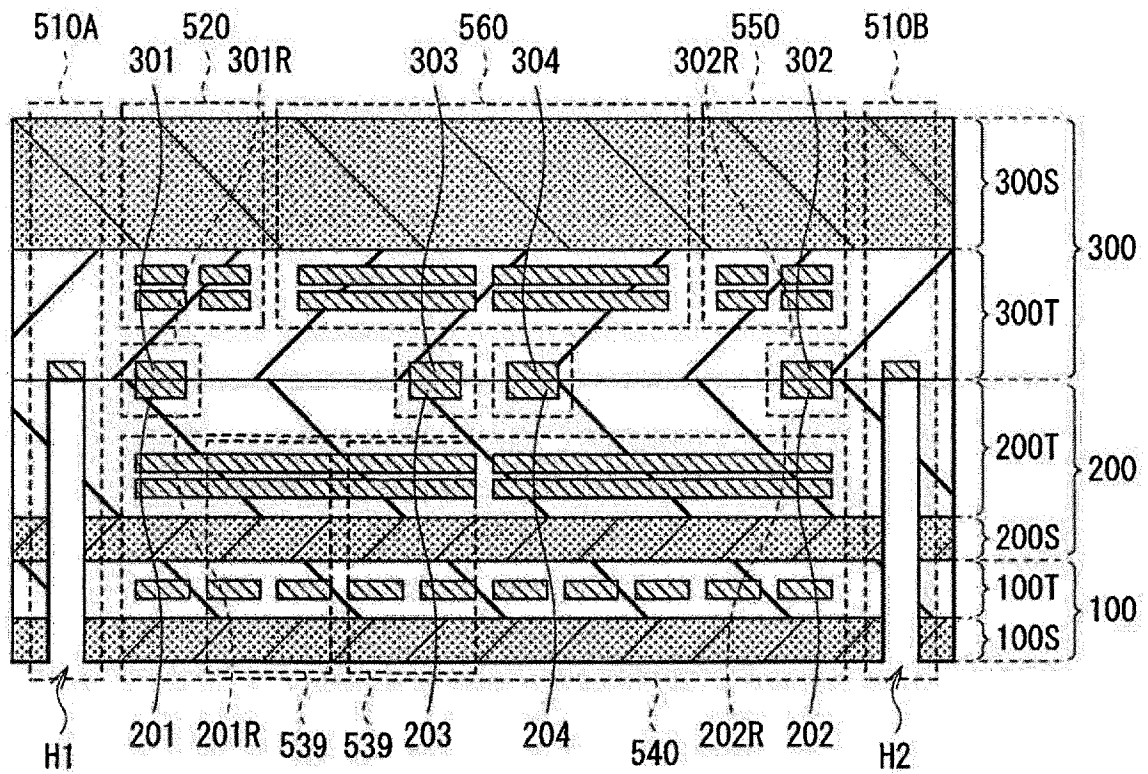
[図99]



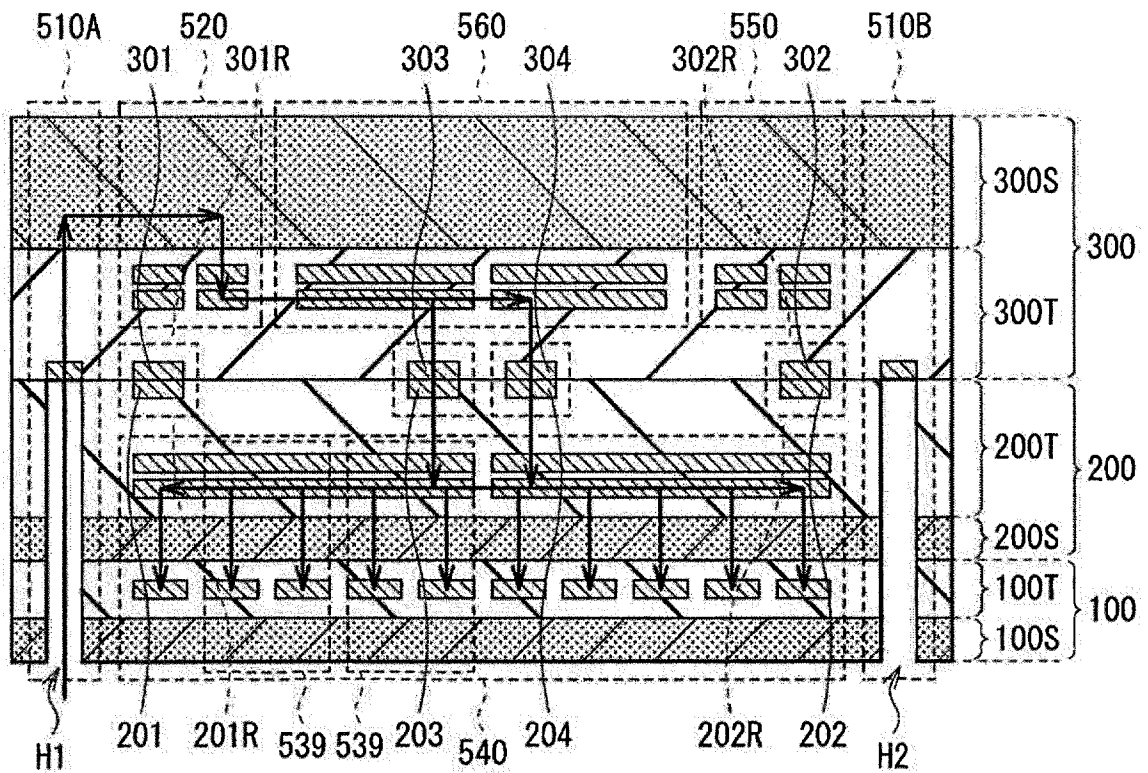
[図100]



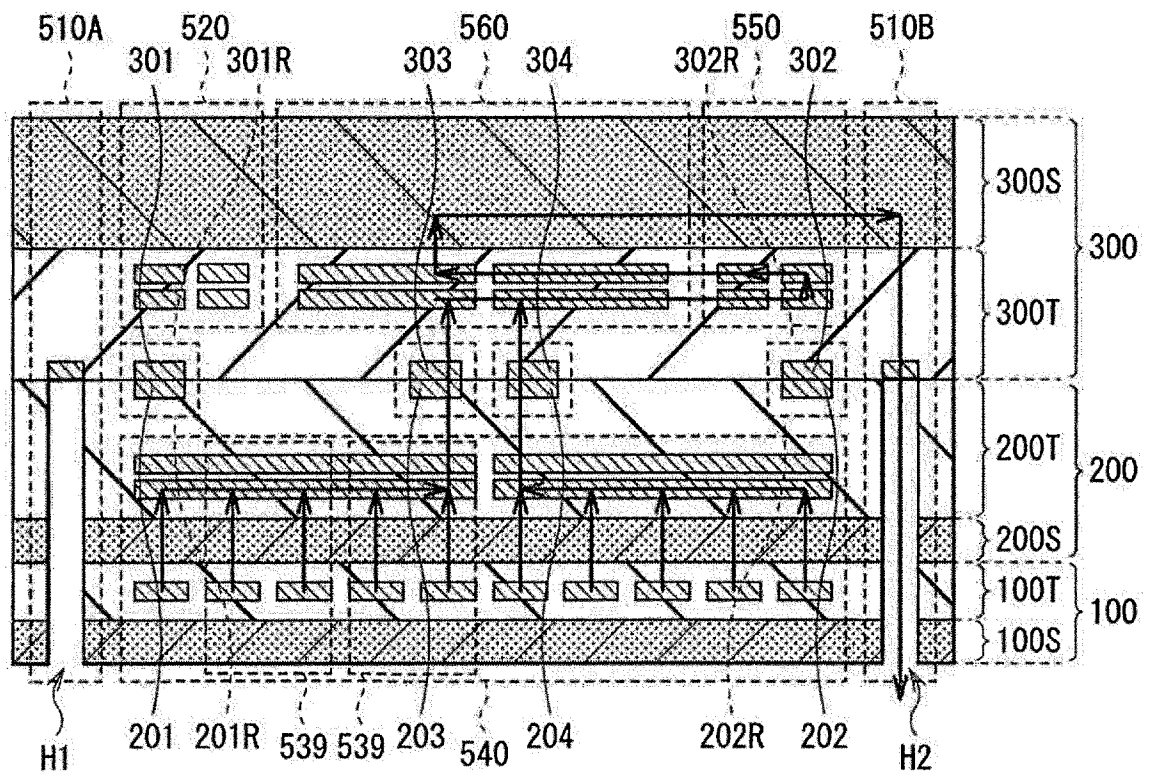
[図101]



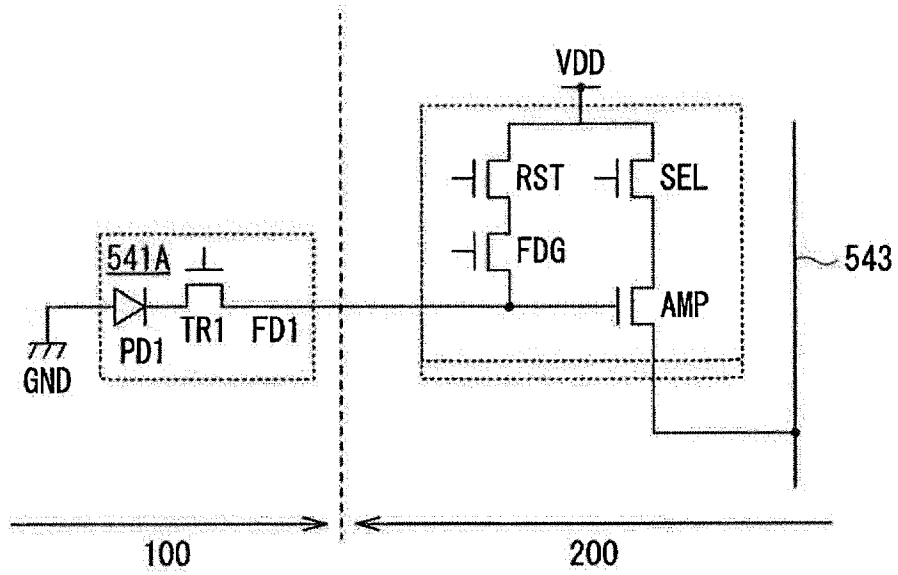
[図102]



[図103]



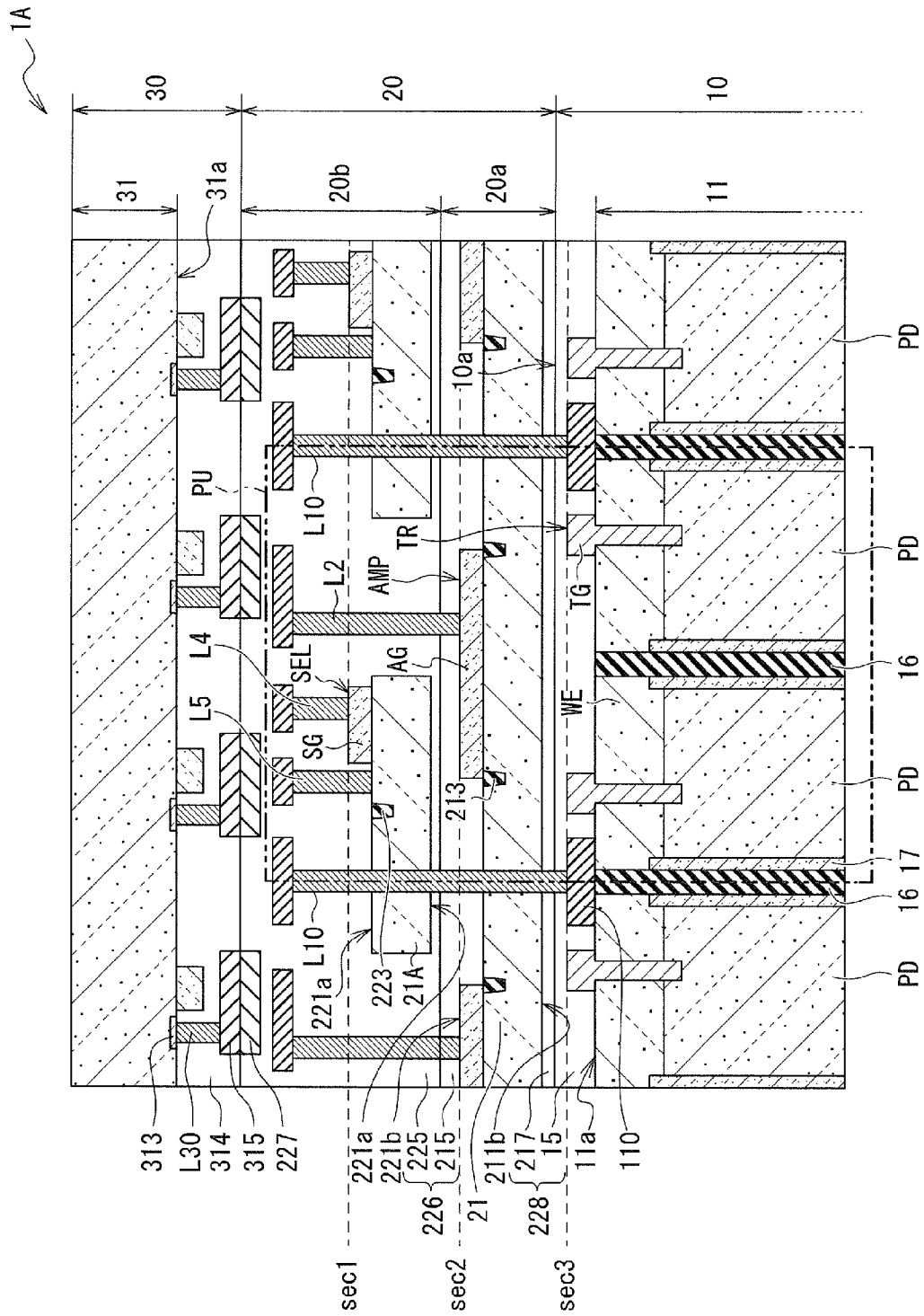
[図105]



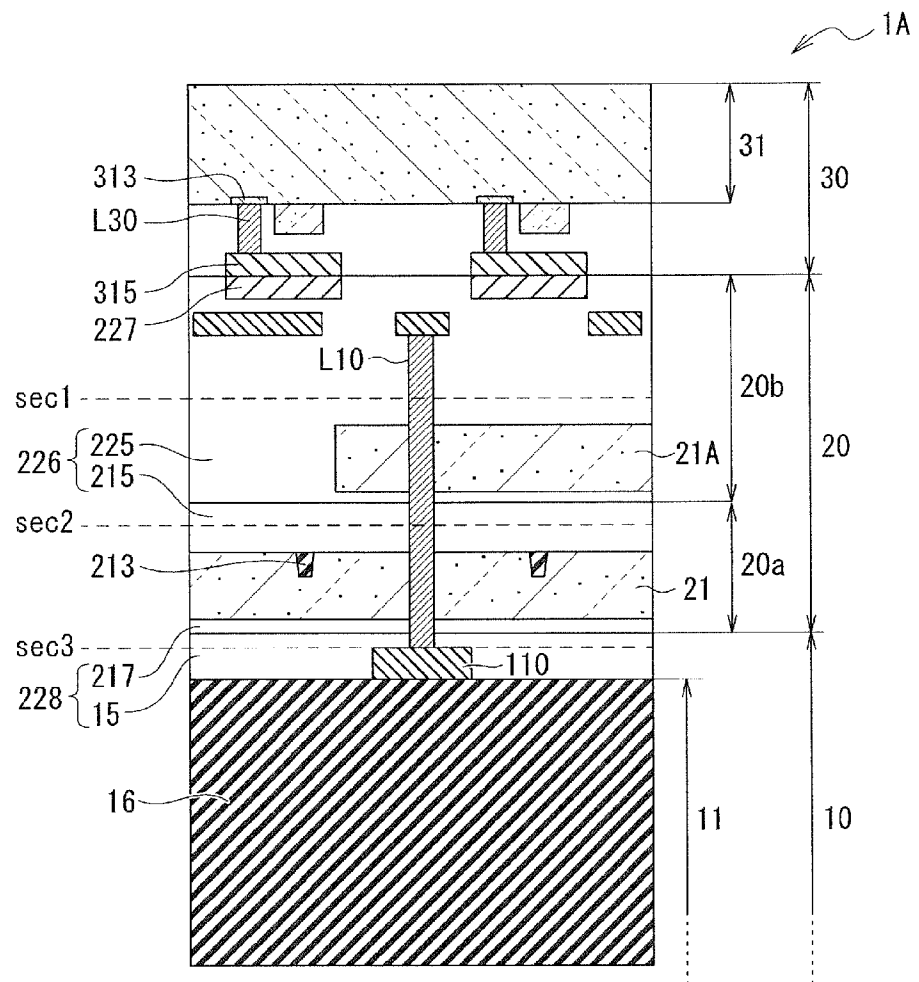
[図106]



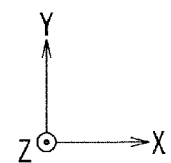
[図107]



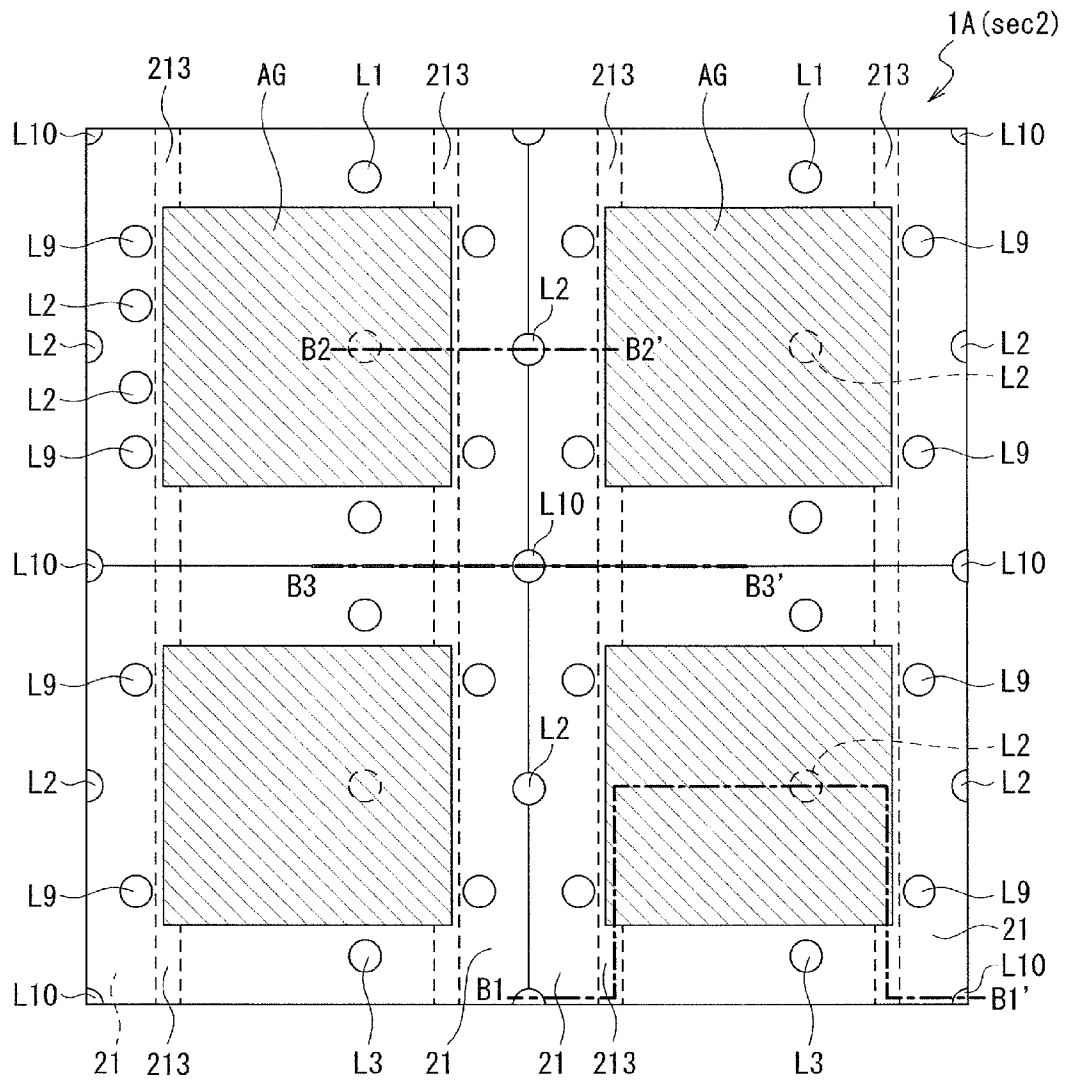
[図109]



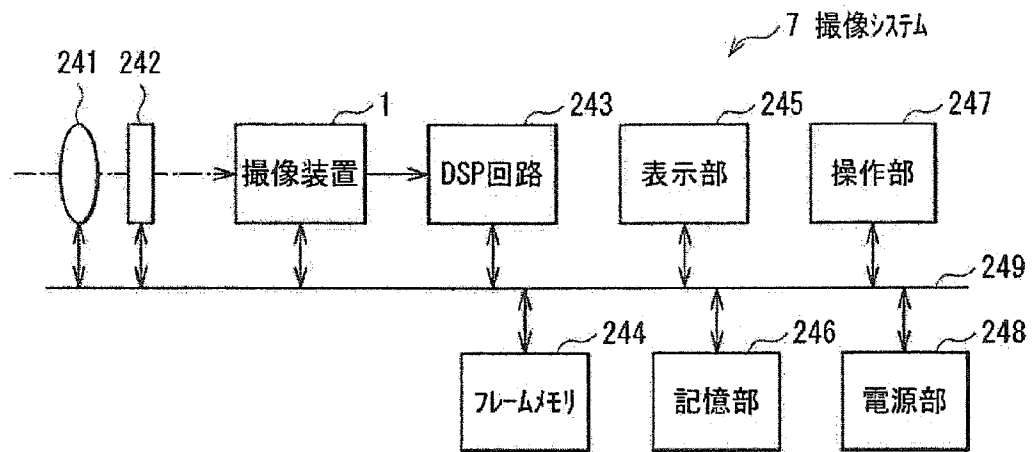
The diagram illustrates a plan view of a semiconductor device 1A (sec1). It features a 2x2 grid of pixel units. Each unit contains a redox transistor (RG) and a storage transistor (SG). The layout includes various layers (L1-L10), gates (G1-G4), and electrical connections (A1-A3, A1'-A3').



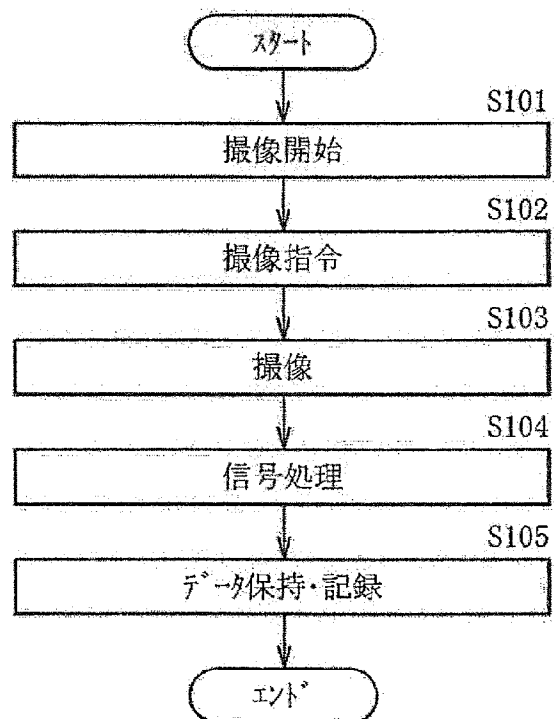
[図111]



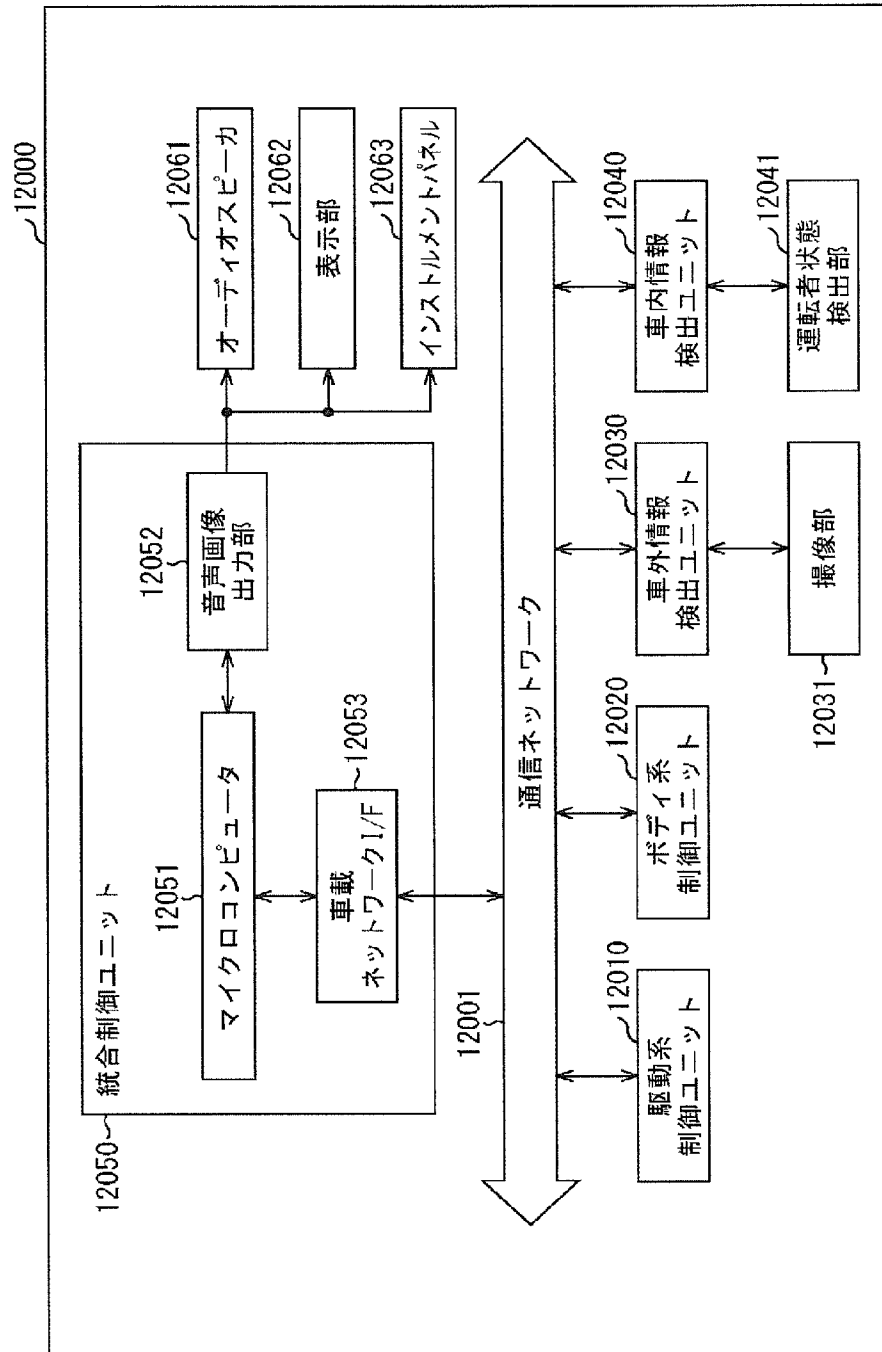
[図113]



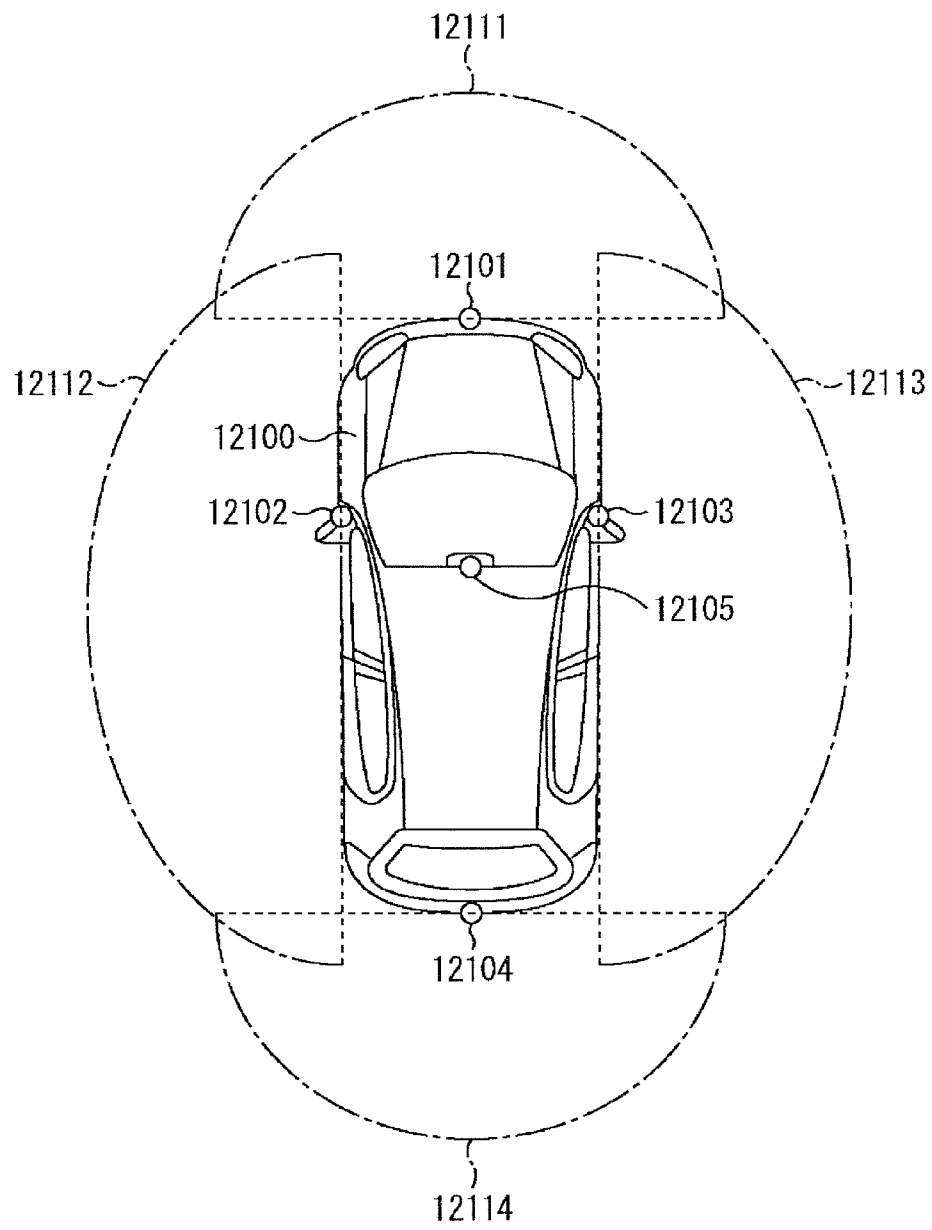
[図114]



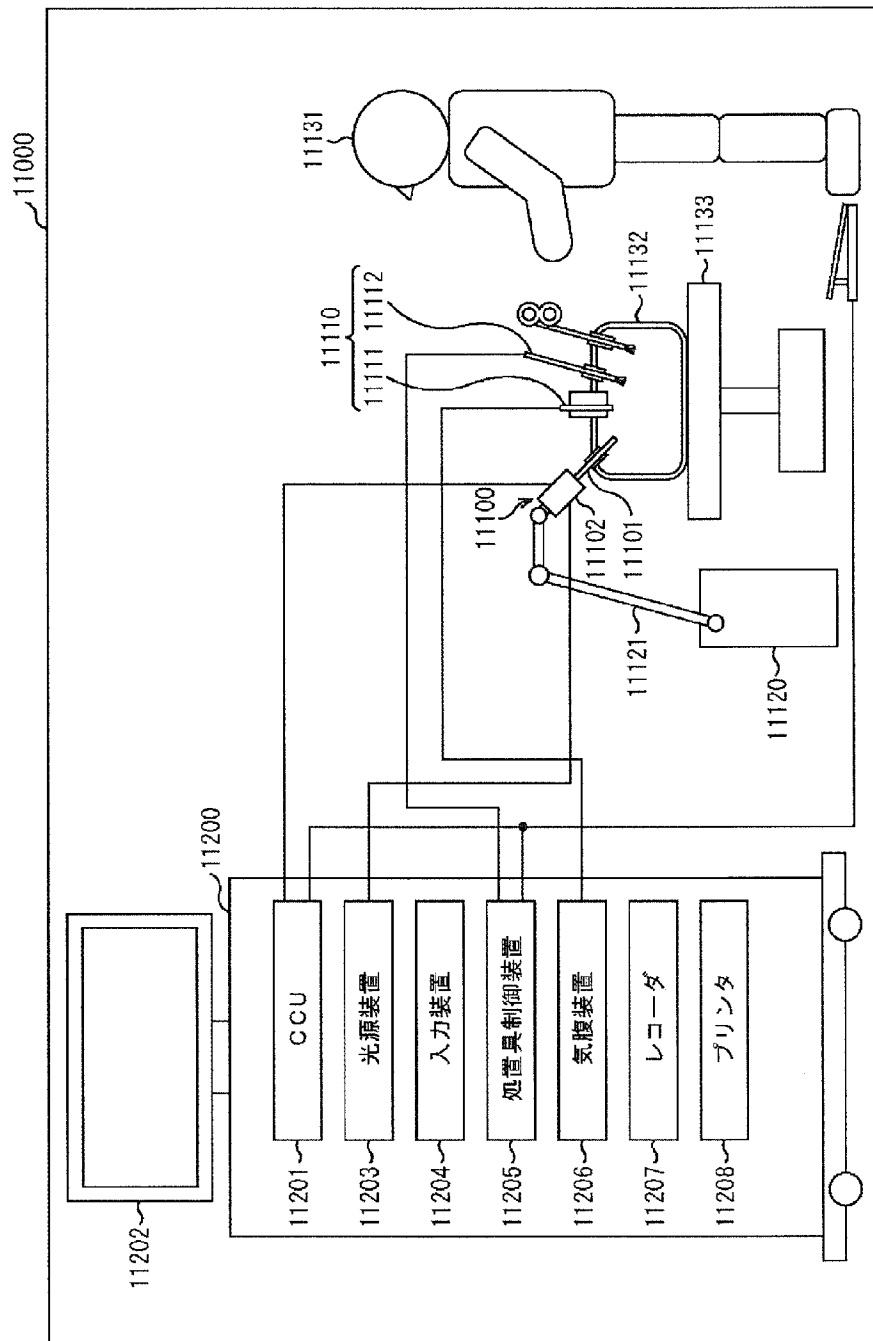
[図115]



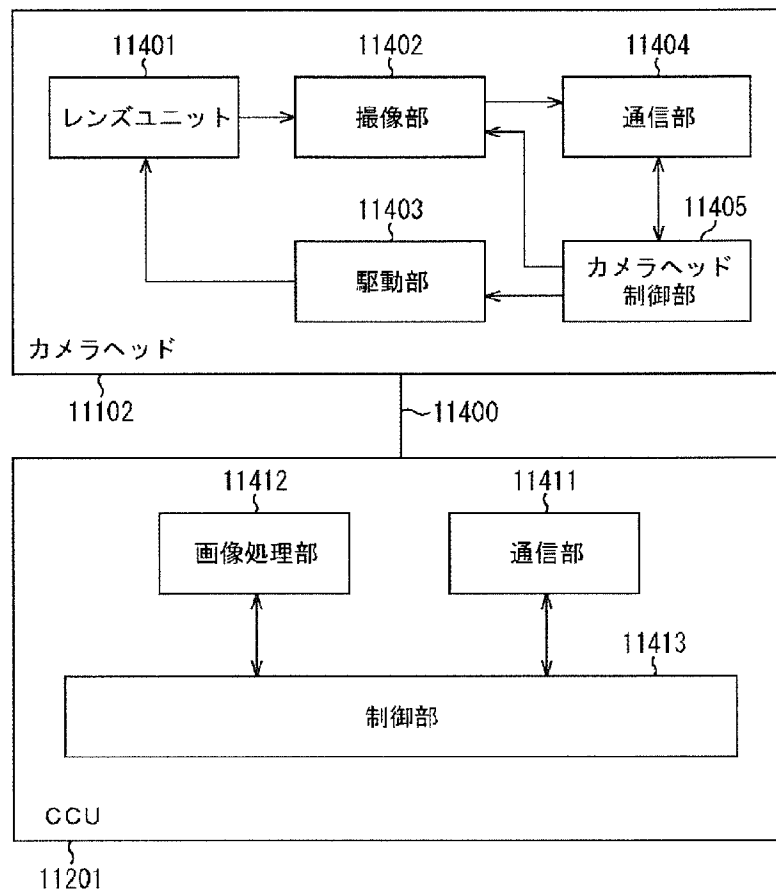
[図116]



[図117]



[図118]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/025146

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i; H04N 5/369 (2011.01) i

FI: H01L27/146 D; H01L27/146 F; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-094720 A (SONY CORP.) 17.05.2012 (2012-05-17) paragraphs [0032]-[0085], fig. 3	1-3, 6-10, 13 4, 5, 11, 12, 14-25
Y	JP 2006-019455 A (NEC ELECTRONICS CORPORATION) 19.01.2006 (2006-01-19) paragraphs [0038]-[0088], fig. 1, 7	4, 11, 12
Y	WO 2017/038403 A1 (SONY CORP.) 09.03.2017 (2017-03-09) paragraphs [0073]-[0077], fig. 17, 18	5
Y	JP 2008-134610 A (SONY CORP.) 12.06.2008 (2008-06-12) paragraphs [0029]-[0052], fig. 1, 2	14-18
Y	JP 2010-016382 A (SAMSUNG ELECTRONICS CO., LTD.) 21.01.2010 (2010-01-21) paragraphs [0029]-[0052], fig. 1	19-25
A	JP 2016-534557 A (APPLE INC.) 04.11.2016 (2016-11-04) paragraphs [0047]-[0052], fig. 7	1-25



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 August 2020 (28.08.2020)Date of mailing of the international search report
08 September 2020 (08.09.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/025146

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2012-094720 A	17 May 2012	US 2012/0105696 A1 paragraphs [0075]- [0183], fig. 3 KR 10-2012-0044246 A CN 102544034 A TW 201218363 A	
JP 2006-019455 A	19 Jan. 2006	US 2006/0001174 A1 paragraphs [0057]- [0115], fig. 1, 7	
WO 2017/038403 A1	09 Mar. 2017	US 2018/0240797 A1 paragraphs [0126]- [0130], fig. 17, 18 DE 112016003966 T5 CN 107924873 A KR 10-2018-0048613 A	
JP 2008-134610 A	12 Jun. 2008	US 2008/0315339 A1 paragraphs [0063]- [0110], fig. 4, 5	
JP 2010-016382 A	21 Jan. 2010	US 2010/0006969 A1 paragraphs [0059]- [0073], fig. 1 KR 10-2010-0004174 A CN 101667547 A	
JP 2016-534557 A	04 Nov. 2016	US 2015/0035028 A1 paragraphs [0057]- [0062], fig. 7 WO 2015/020821 A2 TW 201515202 A KR 10-2016-0033231 A CN 105 706240 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 D; H01L27/146 F; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-094720 A（ソニー株式会社）17.05.2012（2012-05-17） [0032]-[0085], 図3	1-3, 6-10, 13
Y		4, 5, 11, 12, 14-25
Y	JP 2006-019455 A（NECエレクトロニクス株式会社）19.01.2006（2006-01-19） [0038]-[0088], 図1, 7	4, 11, 12
Y	WO 2017/038403 A1（ソニー株式会社）09.03.2017（2017-03-09） [0073]-[0077], 図17, 18	5
Y	JP 2008-134610 A（ソニー株式会社）12.06.2008（2008-06-12） [0029]-[0052], 図1, 2	14-18
Y	JP 2010-016382 A（三星電子株式会社）21.01.2010（2010-01-21） [0029]-[0052], 図1	19-25
A	JP 2016-534557 A（アップル インコーポレイテッド）04.11.2016（2016-11-04） [0047]-[0052], 図7	1-25
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.08.2020		国際調査報告の発送日 08.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/025146

引用文献			公表日	パテントファミリー文献			公表日
JP	2012-094720	A	17.05.2012	US	2012/0105696	A1	
					[0075]-[0183], FIG. 3		
				KR	10-2012-0044246	A	
				CN	102544034	A	
				TW	201218363	A	
JP	2006-019455	A	19.01.2006	US	2006/0001174	A1	
					[0057]-[0115], FIGS. 1, 7		
WO	2017/038403	A1	09.03.2017	US	2018/0240797	A1	
					[0126]-[0130], FIGS. 17, 18		
				DE	112016003966	T5	
				CN	107924873	A	
				KR	10-2018-0048613	A	
JP	2008-134610	A	12.06.2008	US	2008/0315339	A1	
					[0063]-[0110], FIGS. 4, 5		
JP	2010-016382	A	21.01.2010	US	2010/0006969	A1	
					[0059]-[0073], FIG. 1		
				KR	10-2010-0004174	A	
				CN	101667547	A	
JP	2016-534557	A	04.11.2016	US	2015/0035028	A1	
					[0057]-[0062], FIG. 7		
				WO	2015/020821	A2	
				TW	201515202	A	
				KR	10-2016-0033231	A	
				CN	105706240	A	