(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00
H03K 19/0175

(45) 공고일자 1999년10월15일
(11) 등록번호 10-0225833
(24) 등록일자 1999년07월22일

(21) 출원번호 10-1996-0019500
(22) 출원일자 1996년06월01일
(65) 공개번호 특1997-0004348
(43) 공개일자 1997년01월29일

(30) 우선권주장 95-136767 1995년06월02일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사토 후미오
일본 가나가와켄 가와사키시 사이와이구 호리가와쵸 72
(72) 발명자 시게하라 히로시
일본국 오이타현 오이타시 오자마츠오카 3500번지 가부시키가이 샤 도시바 오이타공장내
기누가사 마사노리
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호가부시키가이샤 도시바 반도체시스템 기술센터 내
(74) 대리인 김윤배, 이범일

심사관 : 인치복

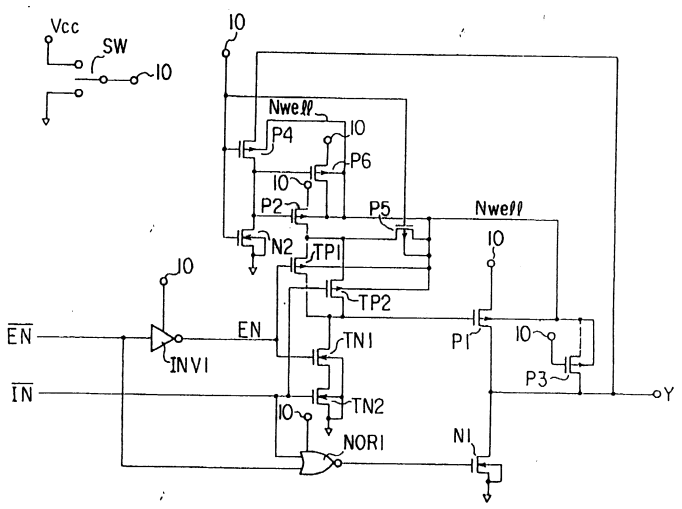
(54) 출력회로

요약

본 발명은, 출력을 풀스윙 시킬 수 있으면서 출력을 저항종단한 경우나 복수의 출력을 접속하여 사용하는 경우에, 적어도 1개의 출력회로의 전원을 접지전위로 떨어뜨려도 전원으로부터 접지전위로 향하고, 기생 다이오드를 경유하여 불필요한 전류가 흐르지 않도록 할 수 있는 출력회로를 제공하는 것을 목적으로 한다.

소스, 드레인, 게이트 및 백게이트를 갖추고, 게이트에 신호가 공급되고, 드레인이 출력단자(Y)에 접속되며, 소스와 백게이트의 사이가 전위적으로 분리된 PMOS트랜지스터(P1)와 PMOS트랜지스터(P1)의 백게이트와 게이트의 사이에 삽입되고, PMOS트랜지스터(P1)의 소스에 전원전위가 공급되어 있는 경우에는 오프상태로 되며, 접지전위가 공급되어 있는 경우에는 온상태로 되도록 제어되는 PMOS트랜지스터(P5)를 구비한 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

출력회로

[도면의 간단한 설명]

제1도는 제1실시예의 상세한 회로도.

제2도는 제1실시예 회로가 형성되는 기판의 단면도.

제3도는 제2실시예의 상세한 회로도.

제4도는 제3실시예의 상세한 회로도.

제5도는 제4실시예의 상세한 회로도.

제6도는 제5실시예의 상세한 회로도.

제7도는 제6실시예의 상세한 회로도.

제8도는 제7실시예의 상세한 회로도.

제9도는 제8실시예의 상세한 회로도.

제10도는 제9실시예의 상세한 회로도.

제11도는 제10실시예의 상세한 회로도.

제12도는 제11실시예의 상세한 회로도.

제13도는 제12실시예의 상세한 회로도.

제14도는 제13실시예의 상세한 회로도.

제15도는 제14실시예의 상세한 회로도.

제16도는 제15실시예의 상세한 회로도.

제17도는 제16실시예의 상세한 회로도.

제18도는 제17실시예의 상세한 회로도.

제19도는 제18실시예의 상세한 회로도.

제20도는 제19실시예의 상세한 회로도.

제21도는 제20실시예의 상세한 회로도.

제22도는 제21실시예의 상세한 회로도.

제23도는 제22실시예의 상세한 회로도.

제24도는 제23실시예의 상세한 회로도.

제25도는 종래의 출력회로를 2개 전원으로 구동하는 경우의 어플리케이션의 전형적인 접속의 일예를 나타낸 회로도.

제26도는 제25도의 종래 출력회로의 상세한 회로도.

제27도는 제25도의 종래 출력회로의 다른 상세한 회로도.

제28도는 버스선·어플리케이션에 있어서의 종래 출력회로의 전형적인 접속의 일예를 나타낸 회로도.

제29도는 제28도의 종래 출력회로의 상세한 회로도.

제30도는 제28도의 종래 출력회로의 다른 상세한 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 전원노드 20, 30 : COMS회로

21, 31 : PMOS회로 22, 32 : NMOS회로

23 : CMOS회로 33 : CMOS회로

41, 42 : CMOS논리회로

INV1, INV2, INV3, INV11, INV12, INV13, INVM : 인버터회로

NAND1, NAND2, NAND3 : NAND회로

NOR1, NOR2, NOR3 : NOR회로 TG : 전송게이트

P1～P10, TP1～TP4, TP21, TP22 : PMOS트랜지스터(P채널 MOS트랜지스터)

N1～N3, TN1～TN4, TN21, TN22, TN23 : NMOS트랜지스터(N채널 MOS트랜지스터)

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 집적회로에 있어서, 신호를 출력하는 출력회로에 관한 것이다.

[종래의 기술 및 그 문제점]

제25도는 이런 종류의 종래 출력회로를 2개 전원으로 구동하는 경우의 어플리케이션의 전형적인 접속의 일예를 나타낸 회로도이다. 제25도에 있어서, 출력회로(51)는 입력신호(IN)에 따른 신호를 발생하고, 출력회로(52)는 이 출력회로(51)의 출력신호에 따라 신호(OUT)를 발생한다. 신호선(53)에는 출력회로(51)로부터의 출력신호가 공급되고, 이 신호선(53)은 상기 출력회로(52)의 입력단자에 접속되어 있다. 상기 양출력회로(51, 52)는 각각 입력단자로의 신호에 따라 출력의 상태가 결정된다. 예컨대, 출력회로(51)에서는 입력신호(IN)에 따라 신호선(53)의 상태가 결정된다. 또한, 신호선(53)은 출력회로(51)의 출력신호의 전반반사(傳搬反射)를 방지하기 위해 저항(54)으로 종단되어 있다. 더욱이, 여기서 상기 출력회로(51, 52)에는 전원전위(VCC)가 공급되어 있지만, 출력회로(51)의 전원단자는 스위치(SW)에 의해 VCC 또는 접지전위중 어느 한쪽의 전위가 선택적으로 공급 가능하게 되어 있다. 그리고, 제25도의 예에서는 스위치(SW)에 의해 접지전위가 선택되어 있다. 더욱이, 출력회로(51)내에서는 다이오드(55)가 도시한 극성으로 전원과 출력단자의 사이에 삽입되어 있다.

그런데, 상기 양출력회로(51, 52)로서 CMOS구성의 것을 사용한 경우, 제26도에 나타낸 바와 같이 그 출력단에는 P채널 및 N채널 MOS트랜지스터(61, 62)가 설치된다. 따라서, 신호선(53)에는 P채널 MOS트랜지스터(61)의 P형 드레인확산층과, N채널 MOS트랜지스터(62)의 N형 드레인확산층이 접속되고, P채널 MOS트랜지스터(61)의 드레인과 백게이트(기판)의 사이에는 pn접합 다이오드(63)가 기생적으로 형성되어 있다. 그리고, 상기 제25도중의 다이오드(55)는 이 pn접합 다이오드(63)를 나타낸 것이다.

이제, 제25도중의 한쪽 출력회로(51)의 전원단자에 접속된 스위칭(SW)가 제25도에 나탄낸 바와 같이, 접지전위를 선택하고 있는 경우를 고려한다. 이 경우, 저항(54)에 인가되어 있고 전원전위(Vcc)와 상기 다이오드(55)의 내장전위(Vf)의 사이에 VfVcc의 관계가 성립하면, 상기 다이오드(55)가 순(順)바이어스 상태로 되고, 제25도중에 나타낸 바와 같이 저항(54)과 이 다이오드(55) 및 스위치(SW)를 통해 Vcc로부터 접지전위로 전류(I)가 흐른다.

이와 같은 전류를 흐르지 않는 상태로 하기 위해서는, 출력회로(51)의 출력단을 N채널 MOS트랜지스터만으로 구성하는 것이 고려된다. 그 예를 제27도에 나타냈다. 이 출력단에는 2개의 N채널 MOS트랜지스터(62, 64)가 설치된다. 한쪽의 N채널 MOS트랜지스터(64)의 게이트 제어신호는 입력신호를 반전시키는 인버터(65)에 의해 공급된다. 다른 쪽의 N채널 MOS트랜지스터(62)의 게이트 제어신호에는 입력신호가 공급된다.

그러나, 제27도와 같이 출력단을 N채널 MOS트랜지스터만으로 구성한 경우, 신호선(53)에 접지전위를 출력할 수 있지만, 전원전위(Vcc)를 출력하는 경우에는 N채널 MOS트랜지스터(64)에 의해 임계치 전압만큼 전위가 저하하기 때문에, 전원전위(Vcc)를 그대로 출력할 수 없어 출력레벨이 저하해 버린다.

이와 같이, 종래에는 신호선의 저항종단을 행하는 경우, 출력회로에 그 저항의 종단선(終端先)의 전위(제25도의 예에서는 Vcc)와 다른 값의 전원전위가 공급되어 있는 경우에는, 그 2점간에 저항을 매개로 전류가 흐른다는 부적절함이 생긴다. 또한, 이와 같은 전류가 흐르지 않도록 하면, 이번에는 출력이 풀스윙하지 않게 된다는 부적절함이 생긴다.

다음에, 출력회로가 트라이스테이트(3상태; tri-stste)구성으로 되어 있는 경우에 대해 종래 기술의 문제점을 설명한다. 컴퓨터 등의 전자기기에 있어서, 신호는 공통의 버스선 상으로 전달된다. 제28도는 버스선·어플리케이션에 있어서의 전형적인 접속의 일예를 나타낸 회로도이다. 버스선(71)에는 출력회로인 2개의 트라이스테이트 버퍼회로(72, 73)로부터 각각 신호가 출력된다. 상기 양 트라이스테이트 버퍼회로(72, 73)는 공히 CMOS구성이고, 인에이블(enable)신호(EN1, EN2)가 액티브로 됨으로써 입력신호(IN1, IN2)에 따른 신호를 상기 버스선(71)상에 출력하고, 인에이블신호(EN1, EN2)가 인액티브로되는 경우에는 출력이 공히 고임피던스 상태로 된다.

더욱이, 여기서 상기 트라이스테이트 버퍼회로(73)에는 전원전위(Vcc)가 공급되어 있지만, 한쪽의 트라이스테이트 버퍼회로(72)의 전원단자는 스위치(SW)에 의해 Vcc 또는 접지전위중 어느 한쪽의 전위가 선택적으로 인가되는 것으로 한다. 제28도에서는 접지전위가 선택되어 있다. 더욱이, 트라이스테이트 버퍼회로(72)내에서는 다이오드(74)가 도시한 극성으로 전원과 출력단자의 사이에 삽입되어 있다.

그런데, 상기 트라이스테이트 버퍼회로로서 CMOS구성의 것을 사용한 경우, 제29도에 나타낸 바와 같이, 그 출력단에는 P채널 MOS트랜지스터 및 N채널 MOS트랜지스터(81, 82)가 설치된다. 더욱이 P채널 MOS트랜지스터(81)의 게이트 제어신호는 입력신호(IN)와 인에이블신호(EN: EN1, EN2)를 반전시키는 인버터(83)의 출력이 공급되는 NAND회로(84)에 의해 형성되고, P채널 MOS트랜지스터(82)의 게이트 제어신호는 인에이블신호(EN)와 입력신호(IN)가 공급되는 NOR회로(85)에 의해 형성된다. 따라서, 출력노드(86)에는 P채널 MOS트랜지스터(81)의 P형 드레인확산층과, N채널 MOS트랜지스터(82)의 N형 드레인확산층이 접속되고, 출력노드(86)와 P채널 MOS트랜지스터(81)의 백게이트의 사이에는 pn접합 다이오드(87)가 기생적으로 형성된다. 상기 제25도중의 다이오드(74)는 이 pn접합 다이오드(87)를 나타낸 것이다.

이제, 제28도중의 한쪽 트라이스테이트 버퍼회로(72)의 전원단자에 접속된 스위치(SW)가 제28도에 나타낸 바와 같이, 접지전위를 선택하고 있는 경우를 고려한다. 이 경우, 제28도중에 나타낸 바와 같이 Vcc레벨을 다른 쪽의 트라이스테이트 버퍼회로(73)가 출력하고 있는 경우, 상기 전원전위(Vcc)와, MOS트랜지스터(81)의 드레인확산층과 백게이트간의 다이오드(74)의 내장전위(Vf)의 사이에 VfVcc의 관계가 성립하면, 상기 다이오드(74)가 순바이어스 상태로 되고, 이 다이오드(74) 및 스위치(SW)를 통해 Vcc로부터 접지전위로 전류(I)가 흐른다.

이와 같은 전류가 흐르지 않도록 하기 위해서는 출력노드(86)에 접속되는 출력단을 N채널 MOS트랜지스터만으로 구성하는 것이 고려된다. 그 예를 제30도에 나타냈다. 이 트라이스테이트 버퍼회로의 출력단에는 2개의 N채널 MOS트랜지스터(82, 88)가 설치된다. 한쪽의 MOS트랜지스터(88)의 게이트 제어신호는 인에이블신호(EN)와 입력신호(IN)를 반전시키는 인버터(83)의 출력이 공급되는 NOR회로(89)에 의해 형성된다. 다른 쪽의 N채널 MOS트랜지스터(82)의 게이트 제어신호는 제29도의 경우와 마찬가지로 인에이블신호(EN)와 입력신호(IN)가 공급되는 NOR회로(85)에 의해 형성된다.

그러나, 제30도와 같이 출력단을 N채널 MOS트랜지스터만으로 구성한 경우, 출력노드(86)로부터 접지전위를 출력할 수 있지만, 전원전위(Vcc)를 그대로 출력할 수 없어, N채널 MOS트랜지스터의 임계치만큼 신호레벨이 저하해 버린다.

이와 같이, 종래에는 버스선을 매개로 복수의 출력회로를 접속하여 사용할 때, 적어도 1개의 출력회로의 전원이 접지전위로 되고, 그 회로가 오프하고 있는 경우에는 다른 출력회로로부터 오프된 출력회로의 기생다이오드를 통해 전류가 흘러버린다는 부적절함이 생긴다. 또한, 이와 같은 전류가 흐르지 않도록 하면, 이번에는 출력이 풀스윙하지 않게 된다는 부적절함이 생긴다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 출력을 풀스윙 시킬 수 있으면서 출력을 저항종단한 경우나 복수의 출력을 접속하여 사용하는 경우에, 적어도 1개의 출력회로의 전원을 접지전위로 떨어뜨려도 전원으로부터 접지전위로 향해, 기생다이오드를 경유하여 불필요한 전류가 흐르는 것을 방지할 수 있는 출력회로를 제공하는 것에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 제1발명의 출력회로는 소스, 드레인, 게이트 및 백게이트를 갖추고, 게이트에 제어신호가 공급되고, 드레인이 출력단자에 접속되며, 소스와 백게이트의 사이가 전위적으로 분리된 MOS트랜지스터와, 이 MOS트랜지스터의 백게이트와 게이트의 사이에 삽입되고, 상기 MOS트랜지스터의 소스, 드레인 사이의 전류통로의 일단 및 타단의 전위관계가 제1상태인 경우에는 오프상태로 되고, 일단 및 타단의 전위관계가 상기 제1상태와는 다른 제2상태인 경우에는 온상태로 되도록 제어되는 스위치 수단을 구비한 것을 특징으로 한다.

제2발명의 출력회로는 제1전원전위와 제2전원전위가 선택적으로 공급되는 전원노드와, 소스, 드레인, 게이트 및 백게이트를 갖추고, 게이트에 제어신호가 공급되고, 소스, 드레인 사이의 전류통로가 상기 전원노드와 출력단자의 사이에 삽입되며, 소스와 백게이트의 사이가 전위적으로 분리된 제1MOS트랜지스터, 소스, 드레인, 게이트 및 백게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1MOS트랜지스터의 백게이트와 게이트 사이에 삽입되고, 상기 전원노드에 제1전원전위가 공급되어 있는 경우에는 오프상태로 되며, 상기 전원노드에 제2전원전위가 공급되어 있는 경우에는 온상태로 되도록 제어되는 상기 제1MOS트랜지스터와 동일 극성의 제2MOS트랜지스터를 구비한 것을 특징으로 한다.

제3발명의 출력회로는 제1전원전위와 제2전원전위가 선택적으로 공급되는 제1전원노드와, 상기 제2전원전위가 공급되는 제2전원노드, 소스, 드레인, 게이트 및 백게이트를 갖추고, 게이트에 제어신호가 공급되고, 소스, 드레인 사이의 전류통로가 상기 제1전원노드와 출력단자 사이에 삽입되며, 소스와 백게이트의 사이가 전위적으로 분리된 제1극성의 제1MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1MOS트랜지스터의 백게이트와 게이트의 사이에 삽입되며, 게이트가 상기 제1전원노드에 접속된 제1극성의 제2MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로의 일단이 상기 출력단자에 접속되며, 게이트가 상기 제1전원노드에 접속된 제1극성의 제3MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제3MOS트랜지스터의 소스, 드레인사이의 전류통로의 타단과 상기 제2전원노드 사이에 삽입되며, 게이트가 상기 제1전원노드에 접속된 제2극성의 제4MOS트랜지스터, 상기 제1전원노드와 상기 제2전원노드 사이에 삽입되고, 제1입력신호에 따라 상기 제1MOS트랜지스터의 게이트에 공급해야 할 상기 제어신호를 출력노드에 발생하는 제1제어신호 발생수단, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1제어신호 발생수단내에 있어서, 상기 제1전원노드와 상기 출력노드 사이의 전류통로의 도중에 접속되며, 게이트가 상기 제3 및 제4트랜지스트의 소스, 드레인 사이의 전류통로의 공통접속점에 접속된 제1극성의 제5MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1제어신호 발생수단 내에 있어서, 상기 출력노드와 상기 제2전원노드 사이의 전원통로의 도중에 접속된 제2극성의 제6MOS트랜지스터 및, 상기 제1전원노드와 상기 제2전원노드의 전압이 전원전압으로서 공급되며, 제2입력신호에 따라 상기 제6MOS트랜지스터의 게이트에 공급해야 할 제어신호를 발생하는 제2제어신호 발생수단을 구비한 것을 특징으로 한다.

제4발명의 출력회로는 제1전원전위와 제2전원전위가 선택적으로 공급되는 제1전원노드와, 상기 제2전원전위가 공급되는 제2전원노드, 소스, 드레인, 게이트 및 백게이트를 갖추고, 게이트에 제어신호가 공급되고, 소스, 드레인 사이의 전류통로가 상기 제1전원노드와 출력단자 사이에 삽입되며, 소스와 백게이트의 사이가 전위적으로 분리된 제1극성의 제1MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1MOS트랜지스터의 게이트와 상기 출력단자의 사이에 삽입되며, 게이트가 상기 제1전원노드에 접속된 제1극성의 제2MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로의 일단이 상기 출력단자에 접속되며, 게이트가 상기 제1전원노드에 접속된 제1극성의 제3MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제3MOS트랜지스터의 소스, 드레인 사이의 전류통로의 타단과 상기 제2전원노드 사이에 삽입되며, 게이트가 상기 제1전원노드에 접속된 제2극성의 제4MOS트랜지스터, 상기 제1전원노드와 상기 제2전원노드 사이에 삽입되고 제1입력신호에 따라 상기 제1MOS트랜지스터의 게이트에 공급해야 할 상기 제어신호를 출력노드에 발생하는 제1제어신호 발생수단, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1제어신호 발생수단 내에 있어서, 상기 제1전원노드와 상기 출력노드 사이의 전류통로의 도중에 접속되며, 게이트가 상기 제3 및 제4트랜지스트의 소스, 드레인 사이의 전류통로의 공통접속점에 접속된 제1극성의 제5MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1제어신호 발생수단 내에 있어서, 상기 출력노드와 상기 제2전원노드 사이의 전원통로의 도중에 접속된 제2극성의 제6MOS트랜지스터 및 상기 제1전원노드와 상기 제2전원노드의 전압이 공급되고, 제2입력신호에 따라 상기 제6MOS트랜지스터의 게이트에 공급해야 할 제어신호를 발생하는 제2제어신호 발생수단을 구비한 것을 특징으로 한다.

제5발명의 출력회로는 제1전원전위와 제2전원전위가 선택적으로 공급되는 제1전원노드와, 상기 제2전원전위가 공급되는 제2전원노드, 소스, 드레인, 게이트 및 백게이트를 갖추고, 게이트에 제어신호가 공급되

고, 소스, 드레인, 사이의 전류통로가 상기 제1전원노드와 출력단자 사이에 삽입되며, 소스와 백게이트의 사이가 전위적으로 분리된 제1극성의 제1MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1MOS트랜지스터의 백게이트와 게이트의 사이에 삽입되며, 게이트가 상기 제1전원노드에 접속된 제1극성의 제2MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로의 일단이 상기 출력단자에 접속되며, 게이트가 상기 제1전원노드에 접속된 제1극성의 제3MOS트랜지스터, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제3MOS트랜지스터의 소스, 드레인사이의 전류통로의 타단과 상기 제2전원노드 사이에 삽입되며, 게이트가 상기 제1전원노드에 접속된 제2극성의 제4MOS트랜지스터, 상기 제1전원노드와 상기 제2전원노드 사이에 삽입되고, 입력신호에 따라 상기 제1MOS트랜지스터의 게이트에 공급해야 할 상기 제어신호를 출력노드에 발생하는 제1제어신호 발생수단, 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1제어신호 발생수단 내에 있어서, 상기 제1전원노드와 상기 출력노드 사이의 전류통로의 도중에 삽입되고, 게이트가 상기 제3 및 제4트랜지스트의 소스, 드레인 사이의 전류통로의 공통접속점에 접속된 제1극성의 제5MOS트랜지스터 및 소스, 드레인 및 게이트를 갖추고, 소스, 드레인 사이의 전류통로가 상기 제1MOS트랜지스터와 상기 제2전원노드 사이에 접속되며, 상기 제1전원노드에 상기 제2전원전위가 공급되는 경우에 오프하도록 제어되는 제1극성의 제6MOS트랜지스터를 구비한 것을 특징으로 한다.

[작용]

제1발명의 출력회로에서는 제어신호에 의해 MOS트랜지스터가 오프상태로되어 있는 경우에 출력단자에 고전위가 가해지면, MOS트랜지스터의 드레인, 백게이트 사이의 기생다이오드 소자를 매개로 백게이트 전위가 상승한다. 이 경우, MOS트랜지스터 소스에 접지전위가 공급되어 있다고 하면, 소스전위가 드레인전위보다도 높아지고, 이에 의해 스위치 수단이 온상태로 되어 백게이트 전위가 이 스위치수단을 매개로 MOS트랜지스터의 게이트에 전달된다. 이에 의해, MOS트랜지스터가 오프상태로 되어 출력단자로부터 접지전위로 된 소스에는 전류가 흐르지 않는다.

제2 내지 제5발명의 출력회로에서는 제어신호에 의해 제1MOS트랜지스터가 오프상태로 되어 있는 경우에 출력단자에 고전위가 가해지면, 제1MOS트랜지스터의 드레인, 백게이트 사이의 기생다이오드 소자를 매개로 백게이트 전위가 상승한다. 이 경우, 전원노드에 접지전위측의 제1전원전위가 공급되어 있는 경우, 소스전위가 드레인전위 보다도 높아지고, 이에 의해 제2MOS트랜지스터가 오프상태로 되어 백게이트 전위가 이 제2MOS트랜지스터를 매개로 제1MOS트랜지스터의 게이트에 전달된다. 이에 의해, 제1MOS트랜지스터가 오프상태로 되어 출력단자로부터 접지전위로 된 소스에는 전류가 흐르지 않는다.

[실시예]

이하, 도면을 참조하면서 본 발명의 제1실시예를 상세히 설명한다.

제1도는 본 발명에 따른 출력회로의 제1실시예에 의한 상세한 회로도이다. 이 출력회로의 기본적인 구성은 상기 제29도에 나타낸 종래회로의 경우와 마찬가지로 출력단이 P채널 및 N채널 MOS트랜지스터로 구성되고, 양MOS트랜지스터의 게이트를 구동하기 위한 제어신호를 발생하는 수단이 NAND와 동등한 기능을 갖는 회로, NOR회로 및 인버터 등을 이용하여 구성되어 있다.

출력단의 P채널 MOS트랜지스터(P1: 이하, P채널 MOS트랜지스터를 PMOS트랜지스터로 칭함)와 N채널 MOS트랜지스터(N1: 이하, N채널 MOS트랜지스터를 NMOS트랜지스터로 칭함)의 드레인의 공히 출력노드(Y)에 접속되어 있다. PMOS트랜지스터(P1)의 소스는 상기 스위치(SW)를 매개로 전원전위(Vcc) 또는 접지전위(GND)가 선택적으로 공급되는 전원노드(10)에 접속되고, NMOS트랜지스터(N1)의 소스는 접지전위노드에 접속되어 있다.

일반적인 반도체장치의 경우, PMOS트랜지스터의 백게이트는 소스와 동전위로 된다. 그러나, 본 실시예에서는 PMOS트랜지스터(P1)의 소스와 백게이트는 전위적으로 분리되어 있다. 더욱이, 이 PMOS트랜지스터(P1)를 포함하는 후술한 PMOS 트랜지스터도 모두 소스와 백게이트가 전위적으로 분리되어 있으며, 후술하는 모든 PMOS트랜지스터의 백게이트는 공통으로 접속되어 있는 것으로 한다. 또한, NMOS트랜지스터(N1)를 포함하는 후술한 NMOS트랜지스터의 모두는 백게이트와 소스와 동전위로 된다.

PMOS트랜지스터(P2)가 온하고 있는 경우, PMOS트랜지스터(TP1, TP2) 및 NMOS트랜지스터(TN1, TN2)는 상기 PMOS트랜지스터(P1)의 게이트 구동신호를 발생하는 NAND회로를 구성하고 있다. 즉, PMOS트랜지스터(TP1, TP2)의 소스는 공통으로 접속되고, 드레인도 공통으로 접속되며, 이 공통 드레인노드는 상기 PMOS트랜지스터(P1)의 게이트노드에 접속되어 있다. 또한, 이 PMOS트랜지스터(P1)의 게이트노드와 접지전위노드의 사이에는 NMOS트랜지스터(TN1, TN2)의 각 드레인, 소스 사이가 직렬로 접속되어 있다. 또한, PMOS트랜지스터(TP1)의 게이트와 NMOS트랜지스터(TN1)의 게이트가 공통으로 접속되고, 이 공통 게이트노드에는 인에이블신호(/EN)가 인버터(INV1)를 매개로 공급된다. 또한, PMOS트랜지스터(TP2)의 게이트와 NMOS트랜지스터(TN2)의 게이트가 공통으로 접속되고, 이 공통 게이트노드에는 입력신호(/IN)가 공급된다. NOR회로(NOR1)는 상기 NMOS트랜지스터(N1)의 게이트 구동신호를 발생하는 것이고, 인에이블신호(/EN)와 입력신호(/IN)가 공급된다.

상기 PMOS트랜지스터(TP1, TP2)의 공통 소스노드에는 PMOS트랜지스터(P2)의 드레인이 접속되어 있다. 이 PMOS트랜지스터(P2)의 소스는 상기 전원노드(10)에 접속되어 있다. 상기 PMOS트랜지스터(P1)의 백게이트와 상기 출력단자(Y)의 사이에는 PMOS트랜지스터(P3)의 소스, 드레인 사이가 접속되어 있다. 이 PMOS트랜지스터(P3)의 게이트는 전원노드(10)에 접속되어 있다.

PMOS트랜지스터(P4)와 NMOS트랜지스터(N2)의 각 게이트노드는 전원노드(10)에 접속되고, PMOS트랜지스터(P4)의 소스는 상기 출력단자(Y)에 접속되고, PMOS트랜지스터(P4)와 NMOS트랜지스터(N2)의 드레인 및 게이트는 각각 서로 공통으로 접속되며, NMOS트랜지스터(N2)의 소스는 접지전위노드에 접속되어 있다.

또한, PMOS트랜지스터(P5)의 소스, 드레인 사이는 상기 PMOS트랜지스터(P1)의 백게이트와 상기 PMOS트랜지스터(P2)의 드레인과의 사이에 접속되어 있다. 더욱이, PMOS트랜지스터(P6)의 소스, 드레인 사이는 전원노드(10)와 상기 PMOS트랜지스터(P1)의 백게이트의 사이에 접속되어 있다. 그리고, 상기 PMOS트랜지시

트(P4)와 NMOS트랜지스터(N2)의 공통 드레인노드의 신호가 상기 PMOS트랜지스터(P2, P6)의 각 게이트에 공급된다.

그런데, 일반적으로 NMOS트랜지스터는 P형 기판에 형성되고, PMOS트랜지스터는 N형 기판에 형성된다. 본 실시예 회로를 단일 기판으로 형성하여, 직접회로로서 구성하는 경우, 여기서는 설명의 편의상 제2도에 나타낸 바와 같이, P형 기판을 이용하는 것으로 한다. 따라서, 상기 각 PMOS트랜지스터는 P형 기판(11) 내의 N웰(12)에 형성되고, NMOS트랜지스터는 P형 기판(11)에 형성된다. 상기와 같이, 전원노드(10)를 스위치(SW) 전환에 의해 접지전위로 설정한 경우, 출력단자(Y)에는 접지전위 보다도 높은 전위가 인가될 가능성이 있다. 이 때문에, 통상은 Vcc에 바이어스되는 N형 기판을 사용하는 것은 불가능하다. 왜냐하면, N형 기판에 PMOS트랜지스터의 드레인으로 되는 P형 확산층이 형성되어 있고, 드레인과 N형 기판 사이에는 기생 pn접합 다이오드가 형성되므로 전원노드(10)가 접지전위로 되어 있는 조건하에서 출력단자(Y)에 접지전위 보다도 높은 전위가 인가되면, 이 기생 pn접합 다이오드가 순방향으로 바이어스되어 불필요한 전류가 흐르지 않기 때문이다. 따라서, 상기 제1도중에서는 PMOS트랜지스터(P1, P2, P3, P4, P5, P6, TP1, TP2)의 백게이트가 N웰인 것을 나타낸 신호 Nwe11을 부여하고 있다. 또한, 상기 PMOS트랜지스터는 거의 동일한 N웰 내에 형성될 필요는 없고, 서로 전기적으로 접속된 각각의 N웰 내에 형성되어도 된다. 더욱이, 상기 PMOS트랜지스터(TP1, TP2)의 백게이트는 PMOS트랜지스터(P2)의 드레인에 접속하도록 해도 된다.

다음에, 상기 구성으로 되는 출력회로의 동작을 설명한다. 더욱이, 설명에 맞게 Vcc레벨을 H, 접지레벨을 L로 하고, PMOS트랜지스터(Px: x는 1, 2,....)의 임계치 전압을 Vtp(Px)로 나타낸 것으로 한다. 또한, 개개의 PMOS트랜지스터를 구별하지 않는 경우는 그 임계치 전압은 Vtp로 나타낸 것으로 한다.

우선, 전원노드(10)에 전원전위(Vcc)가 인가되어 있는 경우의 동작을 설명한다. 이 경우, PMOS트랜지스터(P3, P5, P4)는 게이트노드가 Vcc로 되어 있기 때문에 오프하고 있다. 한편, NMOS트랜지스터(N2)의 게이트노드로 Vcc로 되어 있기 때문에, 이 NMOS트랜지스터(N2)는 온하고 있다. 따라서, PMOS트랜지스터(P2, P6)의 게이트는 접지전위로 풀다운 되고, 양PMOS트랜지스터는 온된다. PMOS트랜지스터(P6)가 온됨으로써 모든 PMOS트랜지스터의 백게이트 Nwe11은 Vcc로 풀업 되고, PMOS트랜지스터(P2)가 온됨으로써 PMOS트랜지스터(TP1, TP2)의 공통 소스노드도 Vcc로 풀업된다. 따라서, PMOS트랜지스터(TP1, TP2) 및 NMOS트랜지스터(TN1, TN2)로 이루어진 회로는 NAND 동작이 가능한 상태로 된다. 즉, 전원노드(10)에 전원전위(Vcc)가 인가되어 있을 때, 본 실시예 회로는 통상의 트라이스테이트 버퍼회로와 동일동작을 하는 것을 의미한다.

다음에, 스위치(SW)에 의해 전원노드(10)에 접지전위가 인가되어 있을 때의 동작을 설명한다. 이 출력회로가 상기 제25도에 나타낸 바와 같이, 버스선에 접속하여 사용되고 있는 경우, 다른 출력회로의 출력상태가 접지전위 보다도 높은 전위(Vy)를 출력하고 있는 상황, 예컨대 Vcc레벨을 출력하고 있는 상황에서는 출력단자(Y)에는 접지전위 보다도 높은 전위가 인가되고, 따라서 이 경우 종래에는 다른 출력회로의 전원전위노드로부터 버스선과 출력단자(Y)를 경유하여 큰 값의 전류가 흐르고 있었다.

본 실시예 회로의 경우, 전원노드(10)에는 접지전위가 인가되어 있기 때문에 PMOS트랜지스터(P3, P5, P4)와 NMOS트랜지스터(N2)의 게이트는 접지전위로 되어 있고, PMOS트랜지스터(P3, P5, P4)는 온되어 있는 상태로 있으며, NMOS트랜지스터(N2)는 오프되어 있는 상태로 있다. 여기서, Vy｜Vty(P4)｜의 경우, PMOS트랜지스터(P4)가 온되고, 더욱이 NMOS트랜지스터(N2)가 오프되어 있기 때문에 PMOS트랜지스터(P2, P6)의 게이트전위는 출력단자(Y)의 전위, 즉 Vy와 동일하게 된다.

한편, Vy｜Vtp(P3)｜의 경우, PMOS트랜지스터(P3)가 온되어 있기 때문에 모든 PMOS트랜지스터의 백게이트 Nwe11의 전위는 출력단자(Y)의 전위, 즉 Vy와 동일하게 된다. 다만, 출력단자(Y)와 PMOS트랜지스터(P1)의 백게이트 사이에 존재하는 pn접합 다이오드에 의해서도 출력단자(Y)의 전위에 거의 가까운 전위가 PMOS트랜지스터(P1)의 백게이트에 전달된다. 더욱이, Vy｜Vtp(P5)｜의 경우, PMOS트랜지스터(P5)가 온하고, 백게이트 Nwe11의 전위는 PMOS트랜지스터(TP1, TP2)의 공통 소스노드에 전달된다. 따라서, PMOS트랜지스터(P2, P6)의 게이트·소스전위차는 공히 0으로 되고, PMOS트랜지스터(P2, P6)는 각각 오프된다.

더욱이, 인버터(INV1)의 전원전위도 접지전위로 되어 있기 때문에 그 출력전위도 접지전위로 되어 있고, Vy｜Vtp(TP1)｜의 경우, PMOS트랜지스터(TP1, TP2)는 온되고, PMOS트랜지스터(P2, P5)의 공통노드의 전위는 PMOS트랜지스터(P1)의 게이트노드에 전달된다. 따라서, PMOS트랜지스터(P1)의 게이트는 출력단자(Y)의 전위(Vy)와 같게 되어 PMOS트랜지스터(P1)의 게이트·소스전위차는 0으로 되고, PMOS트랜지스터(P1)는 오프된다. 동시에, NMOS트랜지스터(TN1)도 오프되고, 더욱이 NOR회로(NOR1)의 전원전위도 접지전위로 되어 있기 때문에 그 출력전위도 접지전위로 되고, NMOS트랜지스터(N1)도 오프된다. 따라서, 출력단자(Y)에서 접지전위노드로 전류는 흐르지 않는다.

상기의 설명에서는 개개의 PMOS트랜지스터의 임계치 전압을 구별했지만, 일반적으로는 동일 집적회로 상에서는 거의 그 값에 차는 없고, PMOS트랜지스터(P3, P5, TP1)는 거의 동시에 온되는 것으로 생각해도 된다. 또한, 전위(Vy)가 ｜Vtp｜를 초과하기 까지의 사이, PMOS트랜지스터(P1)에 흐르는 전류는 게이트소스간 전위차가 거의 ｜Vtp｜이고, 충분히 작아서 문제가 되지 않는다.

이와 같이, 상기 실시예의 회로는 전원전위(Vcc)가 인가되어 있는 경우, 출력은 접지전위에서 전원전위까지 풀스윙 할 수 있으며, 전원노드(10)가 접지전위로 된 때에도, 출력단자(Y)에서 접지전위로의 전류가 흐르지 않도록 할 수 있다.

그런데, 상기 제1도의 실시예에서는 PMOS트랜지스터(P1)의 백게이트의 전위를 그 게이트에 공급하기 위한 스위치 제어를 행하는 PMOS트랜지스터(P5)의 일단을 PMOS트랜지스터(P2)의 드레인에 접속하고 있다. 그러나, 이는 제3도의 제2실시예에 나타낸 바와 같이, PMOS트랜지스터(P1)의 게이트에 직접 접속하도록 해도 된다.

여기서, 전원노드(10)를 접지전위로 설정하고 있는 경우에 출력단자(Y)에 접지전위 보다도 높은 전위가 인가된 경우, 제1도의 동작설명에서와 같이, 출력단자(Y)의 전위는 PMOS트랜지스터(P3, P5, TP1)를 경유하여 PMOS트랜지스터(P1)의 게이트에 전달되지만, 본 제3도의 실시예 회로에서는 출력단자(Y)의 전위는 2개의 PMOS트랜지스터(P3, P5)를 경유하는 것으로 된다. 따라서, 전위의 전달속도가 제1도의 경우 보다도

빠르게 되고, PMOS트랜지스터(P1)가 보다 빠르게 오프하기 때문에, 출력단자(Y)로부터 접지전위로의 과도전류가 감소한다. 그러나, PMOS트랜지스터(P1)의 게이트노드에 기생하는 부하용량이 증가하기 때문에, 이 게이트노드의 스윙변화의 속도는 늦어지게 될 가능성이 있다.

더욱이, 통상동작시, PMOS트랜지스터(P2)의 드레인에서의 스윙폭이 작은것에 비해 PMOS트랜지스터(P1)의 게이트노드는 풀스윙하기 때문에, 기생용량의 증가에 따라 충방전한 양만큼 소비전류가 증가한다.

제4도에 본 발명의 제3실시예에 의한 회로구성을 나타낸다. 상기 제1도와 제3도의 실시예 회로에서는 인에이블신호(/EN)와 입력신호(/IN)의 NAND논리 또는 NOR논리를 취해서 출력단의 PMOS트랜지스터(P1) 및 NMOS트랜지스터(N1)의 온/오프 제어를 행했었지만, 본 실시예의 출력회로에서는 입력신호로서 /IN1과 /IN2의 2개의 신호를 입력하도록 한 것이다.

본 실시예에 있어서, 상기 PMOS트랜지스터(P2)의 소스는 전원노드(10)에 직접적으로는 접속되지 않고, 이 소스와 전원노드(10)의 사이에는 새로운 2개의 PMOS트랜지스터(TP3, TP4)의 소스, 드레인 사이가 병렬로 접속되어 있다. 그리고, 상기 한쪽의 PMOS트랜지스터(TP4)의 게이트에는 인버터(INV1)의 출력인 신호(EN)가 입력되고, 상기 PMOS트랜지스터(TP3)의 게이트에는 입력신호(/IN2)가 입력된다. 상기 PMOS트랜지스터(TP1)의 게이트에는 상기와 마찬가지로 신호(EN)가 입력되고, 상기 PMOS트랜지스터(TP2)의 게이트에는 앞의 입력신호(/IN)대신에 입력신호(/IN1)가 입력된다.

또한, 상기 NMOS트랜지스터(TN1, TN2)로 이루어진 직렬회로에 대해 새로운 소스, 드레인 사이가 직렬로 접속된 2개의 NMOS트랜지스터(TN3, TN4)로 이루어진 직렬회로가 직렬로 접속된다. 이들 NMOS트랜지스터(TN1, TN2, TN3, TN4)의 각 게이트는 신호(/IN2, EN, /IN1, EN)가 각각 공급된다. 또한, NMOS트랜지스터(N1)의 게이트를 구동하는 2입력의 NOR회로(NOR1) 대신에 상기 신호(EN, /IN1, /IN2)가 입력되는 3입력의 NOR회로(NOR2)가 설치된다.

이와 같은 구성으로 되는 출력회로는 입력신호가 2개로 증가한 점이 다를 뿐이고, 기본적인 동작은 제1도 회로의 경우와 마찬가지이다. 그리고, 본 실시예 회로의 제1포인트는 PMOS트랜지스터(P2)의 소스, 드레인 사이가 PMOS트랜지스터(TP1, TP2) 공통 소스노드와, PMOS트랜지스터(TP3, TP4)의 공통 드레인노드 사이에 접속되어 있는 것이다. 즉, PMOS트랜지스터(P2)가 중간노드에 삽입되어 있는 것이다. 그리고, 제2포인트는 전원노드(10)에 접저전위가 인가되어 있는 경우, PMOS트랜지스터(P5)의 일단의 전위는 접지전위를 게이트전위로된 PMOS트랜지스터(TP1)를 매개로 PMOS트랜지스터(P1)의 게이트노드로 전달되는 것이다. 즉, 이때 /EN을 입력신호로 하는 인버터(INV1)의 전원노드(10)가 접지전위로 되기 때문에, PMOS트랜지스터(TP1)의 게이트는 접지전위로 되는 것에 주의해야 한다.

더욱이, 본 제4도의 실시예에 있어서 NMOS트랜지스터(TN1, TN2)의 접속순서 또는 TN3, TN4의 접속순서를 바꾸도록 해도 된다. 더욱이, NMOS트랜지스터(TN1, TN2)의 직렬접속점과 NMOS트랜지스터(TN3, TN4)의 직렬접속점을 서로 접속하도록 회로접속을 변경해도 된다.

제5도에 본 발명의 제4실시예에 의한 회로구성을 나타냈다. 본 실시예 회로에서는 신호(/EN)와 인버터(INV1)를 매개로 MOS트랜지스터(TP1, TN1)에 공급하지 않고, 직접적으로 신호(EN)를 공급하도록 하고, 더욱이 신호(IN)를 인버터(INV11)를 매개로 MOS트랜지스터(TP2, TN2) 및 NOR회로(NOR1)에 공급하도록 한 것이다. 더욱이, 상기 인버터(INV11)의 전원단자는 노드(10)에 접속되어 있다.

본 제4실시예 회로에 있어서, 노드(10)에 전원전압(Vcc)이 공급되어 있는 경우의 동작은 제1도의 경우와 마찬가지이다. 이에 대해, 노드(10)가 접지전위로 되어 있는 경우, PMOS트랜지스터(P5)를 경유한 전위는 PMOS트랜지스터(TP2)를 경유하여 PMOS트랜지스터(P1)의 게이트노드에 전달된다. 왜냐하면, 인버터(INV11)의 전원전위는 접지전위로 되어 있기 때문에, 그 출력은 접지전위로 되어 있기 때문이다. 따라서, 이 경우에 PMOS트랜지스터(P2)는 온된다. 또한, NMOS트랜지스터(TN2)는 오프되고, PMOS트랜지스터(P1)의 게이트노드에서 접지전위로의 전류패스는 없게 된다. 더욱이, 제5도에 있어서 다른 회로부분의 동작은 제1도의 경우와 동일하다.

이상에 의해, 인에이블신호의 신호경로에 노드(10)를 전원노드로 하는 인버터를 설치하지 않고, 입력신호의 신호경로에 노드(10)를 전원노드로 하는 인버터를 설치한 경우에도 원하는 동작이 얻어진다.

제6도에 본 발명의 제5실시예에 의한 회로구성을 나타냈다. 본 실시예 회로에서는 신호(/EN)를 인버터(INV1)를 매개로 MOS트랜지스터(TP1, TP4 및, TN2, TN4)에는 공급하지 않고, 직접적으로 신호(EN)를 이들의 MOS트랜지스터에 공급하고, 더욱이 입력신호(IN1)를 인버터(INV12)를 매개로 MOS트랜지스터(TP2, TN3) 및 NOR회로(NOR2)에 공급하면서 입력신호(IN2)를 인버터(INV13)를 매개로 MOS트랜지스터(TP3, TN1) 및 NOR회로(NOR2)에 공급하도록 한 것이다. 더욱이, 상기 양인버터(INV12, INV13)의 각 전원단자는 노드(10)에 접속되어 있다.

본 제5실시예 회로에 있어서, 노드(10)에 전원전압(Vcc)이 공급되어 있는 경우의 동작은 제4도의 경우와 동일하다. 이에 대해, 노드(10)가 접지전위로 되어 있는 경우, PMOS트랜지스터(P5)를 경유한 전위는 PMOS트랜지스터(TP2)를 경유하여 PMOS트랜지스터(P1)의 게이트노드에 전달된다. 왜냐하면, 인버터(INV12)의 전원전위는 접지전위로 되어 있기 때문에, 그 출력은 접지전위로 되어 있기 때문이다. 따라서, 이 경우에 PMOS트랜지스터(TP2)는 온된다. 또한, 인버터(INV13)의 전원전위도 접지전위로 되어 있고, 그 출력은 접지전위로 되어 있기 때문에 NMOS트랜지스터(TN1, TN3)는 오프되고, PMOS트랜지스터(P1)의 게이트노드에서 접지전위로의 전류패스는 없게 된다. 더욱이, 제6도에 있어서 다른 회로부분의 동작은 제5도의 경우와 동일하다.

이상에 의해, 인에이블신호의 신호경로에 노드(10)를 전원노드로 하는 인버터를 설치하지 않고, 입력신호의 신호경로에 노드(10)를 전원노드로 하는 인버터를 설치한 경우에도 원하는 동작이 얻어진다.

그런데, 상기 제1, 4, 5, 6도의 각 실시예 회로에 있어서의 제1포인트는 전원전위가 접지전위로 된 경우에, PMOS트랜지스터(P5)를 경유한 전위가 PMOS트랜지스터(P1)의 게이트노드로 전달되도록 PMOS트랜지스터(P1)의 백게이트노드와 게이트노드 사이의 도중에 존재하고 있는 PMOS트랜지스터를 온시키기 위하여 그 PMOS트랜지스터의 게이트전위가 접지전위로 되도록 한 것이다. 그것은 그 PMOS트랜지스터의 게이트에 전

위를 공급하고 있는 회로의 전원전압이 접지전위로 되는 것에 의해 실현된다. 더욱이, 이 제1포인트는 제3도의 실시예 회로에서는 적합하지 않다. 왜냐하면, 전원전위가 접지전위로 된 경우에 PMOS트랜지스터(P5)를 경유한 전위는 PMOS트랜지스터(P1)의 게이트노드에 직접 전달되기 때문이다.

제2포인트는 전원전압이 접지전위로 된 경우에 PMOS트랜지스터(P1)의 게이트노드에서 접지전위로의 전류패스가 없게 되도록 이 전류패스 상에 있는 NMOS트랜지스터를 오프시키기 위해 그 NMOS트랜지스터의 게이트전위가 접지전위로 되도록 한 것이다. 그것은 그 PMOS트랜지스터의 게이트에 전위를 공급하고 있는 회로의 전원전압이 접지전위로 됨으로써 실현된다. 이는 제3도의 실시예 회로의 포인트에도 있다.

상기 제1 및 제2포인트를 갖는 다입력의 바이스테이트·버퍼회로에 본 발명을 실시한 경우의 본 발명의 제6실시예에 의한 구성을 제7도에 나타냈다. 제7도에 있어서, N개의 입력신호(/IN1, …/INM, …/INN)는 제1, 3, 4, 5, 6도의 각 실시예 회로에 있어서의 신호(/IN, /IN1, /IN2, /EN)에 상당하고 있다. 더욱이, 여기서는 입력신호(/INM)가 /EN의 기능을 갖는 신호로서 이용되고 있고, 이 신호(/INM)는 인버터(INVM)에 의해 반전된다.

여기서, CMOS회로(20)는 앞의 PMOS트랜지스터(TP1∼TP4, P2) 및 NMOS트랜지스터(TN1∼TN4)를 포함하는 NAND 기능을 갖는 다입력의 회로에 상당하는 것이고, 이 CMOS회로(20)는 PMOS트랜지스터만을 포함하는 PMOS회로(21) 및 NMOS트랜지스터만을 포함하는 NMOS회로(22)로 구성되어 있다. 더욱이, NMOS회로(22) 내에 있어서 상기 인버터(INVM)의 출력을 게이트로 받는 NMOS트랜지스터에는 특히 신호(NM)를 부여하여 나타내고 있다.

또한, CMOS회로(23)는 상기 제4도중의 NOR회로(NOR2)에 상당하는 것이고, 상기 N개의 입력신호(/IN1, …/INM, …/INN)가 입력되고, 그 출력에 따라 출력단의 NMOS트랜지스터(N1)의 게이트 제어가 행해지는 것이다.

그리고, 본 실시예의 경우에도 PMOS트랜지스터(P5)의 소스, 드레인의 일단은 제3도에 나타낸 제2실시예와 마찬가지로 도면중의 실선으로 나타낸 바와 같이, 출력단의 PMOS트랜지스터(P1)의 게이트에 직접 접속해도 되고, 또는 제4도에 나타낸 제3실시예와 마찬가지로 도면중의 파선으로 나타낸 바와 같이, PMOS회로(21) 내의 중간노드, 예컨대 앞의 PMOS트랜지스터(P2)의 드레인에 접속하도록 해도 된다. 다만, 이경우는 상기 제1포인트를 만족시키도록 하지 않으면 안된다.

상기 제2포인트를 갖는 다입력의 출력회로에 본 발명을 실시한 경우의 본 발명의 제7실시예에 의한 다입력의 바이스테이트·버퍼회로의 구성을 제8도에 나타냈다. 제8도에 있어서, N개의 입력신호(/IN1, …/INM, …/INN)는 제1, 3, 4, 5, 6도의 각 실시예 회로에 있어서의 신호(/IN, /IN1, /IN2, /EN)에 상당하고 있다.

본 실시예 회로가 제7도와 다른 점은 상기 PMOS트랜지스터(P5)가 삭제되고, 대신에 PMOS트랜지스터(P7)가 추가되어 있다. 상기 PMOS트랜지스터(P7)의 소스, 드레인 사이는 출력단자(Y)와 출력단의 PMOS트랜지스터(P1)의 게이트와의 사이에 접속되어 있다. 그리고, 이 PMOS트랜지스터(P7)의 게이트는 상기 전원노드(10)에 접속되어 있다.

이제, 전원노드(10)가 상기 스위치(SW)를 매개로 접지전위로 설정되어 있는 경우에 출력단자(Y)에 접지전위 보다도 높은 전위가 인가된 경우, 앞의 제4도의 실시예 회로의 경우 출력단자(Y)의 전위는 PMOS트랜지스터(P5, TP1)를 경유하여 PMOS트랜지스터(P1)의 게이트에 전달되지만, 본 실시예 회로에서는 PMOS트랜지스터(P7)만을 매개로 전달된다. 따라서, 전위의 전달속도가 빨라지고, PMOS트랜지스터(P1)가 보다 빠르게 오프되기 때문에, 출력단자(Y)에서 접지전위로의 과도전류가 감소한다. 그러나, PMOS트랜지스터(P1)의 게이트노드에 기생하는 부하용량이 증가하기 때문에, 이 게이트의 스윙변화의 속도가 늦어지게 될 가능성이 있다. 더욱이, 통상동작시 PMOS트랜지스터(P2)의 드레인에 있어서의 스윙폭이 작은 것에 비해, PMOS트랜지스터(P1)의 게이트노드는 풀스윙하기 때문에 기생용량의 증가에 따라 충방전한 양만큼 소비전류가 증가하는 것으로 된다.

그리고, 본 실시예의 경우에도 PMOS트랜지스터(P7)의 소스, 드레인의 일단은 도면중의 실선으로 나타낸 바와 같이, PMOS트랜지스터(P1)의 게이트에 직접 접속해도 되고, 또는 도면중의 파선으로 나타낸 바와 같이 PMOS회로(21) 내의 중간노드, 예컨대 PMOS트랜지스터(P2)의 드레인에 접속하도록 해도 된다. 다만, 중간노드에 접속한 경우에는 상기 제1포인트를 만족하지 않으면 안된다.

상기 PMOS트랜지스터(P7)의 소스, 드레인의 일단을 PMOS회로(21) 내의 중간노드인 PMOS트랜지스터(P2)의 드레인에 접속한 경우이고, 또 다입력의 출력회로에 본 발명을 실시한 경우의 본 발명의 제8실시예 회로의 구성을 제9도에 나타냈다.

제10도는 본 발명의 제9도의 실시예에 의한 다입력의 바이스테이트·버퍼회로의 구성을 나타내고 있다. 본 실시예 회로의 경우에도 M개의 입력신호(/IN1∼/INM)가 입력된다. 본 실시예 회로가 제7도와 다른 점은 상기 PMOS트랜지스터(P6)를 삭제하고, 그 대신에 PMOS트랜지스터(P8, P9)을 추가하고 있는 점이다. 상기 PMOS트랜지스터(P8)의 소스, 드레인 사이는 상기 PMOS트랜지스터(P1)의 백게이트(Ne11)와 전원노드(10)의 사이에 접속되고, 그 게이트는 출력단자(Y)에 접속되어 있다. 상기 PMOS트랜지스터(P9)의 소스, 드레인 사이는 전원노드(10)와 Nwe11 사이에 접속되고, 그 게이트는 출력단의 PMOS트랜지스터(P1)의 게이트에 접속되어 있다.

앞의 제7도의 실시예 회로에 있어서, 전원노드(10)에 전원전위(Vcc)가 공급되어 있는 경우, 즉 통상동작시 Nwe11은 PMOS트랜지스터(P6)에 의해 항상 Vcc로 풀업되어 있었다. 이에 대해, 본 제10도의 실시예 회로에서는 이 PMOS트랜지스터(P6)를 삭제했기 때문에, PMOS트랜지스터(P8, P9)가 대신에 Nwe11을 풀업하는 역할을 담당한다. 즉, PMOS트랜지스터(P1)의 게이트노드가 접지전위의 경우, PMOS트랜지스터(P1)가 온되고, 또는 PMOS트랜지스터(P9)가 Nwe11을 풀업한다.한편, PMOS트랜지스터(P1)의 게이트노드가 Vcc의 경우 PMOS트랜지스터(P1)가 오프되고, NMOS트랜지스터(N1)가 온되며, 출력단자(Y)가 접지전위로 되기 때문에, 이 경우에는 PMOS트랜지스터(P8)가 온되어 Nwe11이 풀업된다.

PMOS트랜지스터(P8, P9) 이외의 MOS트랜지스터의 동작은 제7도의 경우와 동일하다. 그 때, 전원 Vcc(10)

를 접지전위로 하고, 출력단자(Y)에 접지전위보다도 높은 전위를 인가한 경우, PMOS트랜지스터(P8)는 게이트전위가 소스전위보다 높아지기 때문에 오프되는 것과, PMOS트랜지스터(P9)는 PMOS트랜지스터(P1)와 동일한 이유로 오프되는 것에 유의해야 한다.

다음에, 본 발명의 제10실시예인 바이스테이트·버퍼회로의 실시예를 제11도에 나타냈다. 본 실시예는 제1도의 실시예와 비교하여 앞의 NOR회로(NOR1)대신에 인버터회로(INV2)가 사용되고, 또는 우선 NAND회로를 구성하고 있던 MOS트랜지스터(TP1, TP2, TN1, TN2) 대신에 PMOS트랜지스터(TP11)와 NMOS트랜지스터(TN11)로 구성된 인버터회로가 사용되고 있는 점이 다르다. 더욱이, 본 실시예에서는 후술의 이유로 입력신호(/IN)를 받는 인버터회로(INV3)가 추가되어 있다. 또한, PMOS트랜지스터(P5)는 제1도의 회로와 마찬가지로 PMOS트랜지스터(P1)의 백게이트(Nwe11)와 PMOS트랜지스터(P2)의 드레인노드의 사이에 소스·드레인이 접속되어 있다.

본 실시예 회로에 있어서, 전원노드(10)가 접지전위로 되어 있는 경우의 동작에 대하여 설명한다. 인버터회로(INV3)의 출력노드는 접지전위로 되어 있기 때문에 NMOS트랜지스터(TN11)는 오프되고, 더욱이 인버터회로(INV2)의 전원전위도 접지전위로 되어 있기 때문에, 그 출력전위는 접지전위로 되기 위하여 NMOS트랜지스터(N1)도 오프되고 있다. 따라서, 이 경우는 출력단자 (Y)에서 접지전위노드로 전류는 흐르지 않는다.

한편, 전원노드(10)가 접지전위로 되어 있는 경우에, 접지전위 이상의 전위(Vy)가 출력단자(Y)에 인가된 경우는 제1도의 경우와 마찬가지로 이 전위(Vy)는 PMOS트랜지스터(P2)의 드레인노드까지 전달된다. 이때, PMOS트랜지스터(TP11)의 게이트노드는 접지전위로 되어 있기 때문에, 이 PMOS트랜지스터(TP11)는 온되고, 이 PMOS트랜지스터(TP11)를 매개로 PMOS트랜지스터(P1)의 게이트노드로 전달된다. 따라서, 출력단자(Y)로부터 접지전위로 된 전원노드(10)로의 전류패스는 생기지 않는다.

다음에, 본 발명의 제11실시예의 바이스테이트·버퍼회로를 제12도에 나타냈다. 상기 제11도의 회로와 비교하여 본 실시예 회로에서는 앞의 제3도의 실시예 회로와 마찬가지로, PMOS트랜지스터(P5)는 PMOS트랜지스터(P1)의 백게이트(Nwe11)와 PMOS트랜지스터(P1)의 게이트노드의 사이에 소스, 드레인이 접속되어 있다.

본 제12도의 실시예 회로에 있어서, 전원노드(10)가 접지전위로 되어 있는 경우의 동작에 대하여 설명한다. 인버터회로(INV3, INV2)의 전원전위도 접지전위로 되어 있기 때문에, 그 출력전위도 접지전위로 되어 있고, NMOS트랜지스터(N1, TN11)는 오프되어 있다. 따라서, 출력단자(Y) 및 PMOS트랜지스터(P1)의 게이트노드에서 접지전위노드로 전류는 흐르지 않는다. 한편, 출력단자(Y)에 접지전위 이상의 전위(Vy)가 인가된 경우, 이 전위(Vy)는 제3도의 경우와 마찬가지로 PMOS트랜지스터(P1)의 게이트노드까지 전달된다. 이와 같이, 출력단자(Y)로부터 접지전위로 된 전원노드(10)로의 전류패스는 없게 된다. 또한, 본 실시예 회로는 제3도와 마찬가지의 장점 및 단점을 갖는다.

다음에, 본 발명의 제12실시예의 바이스테이트·버퍼회로를 제13도에 나타냈다. 본 실시예 회로는 앞의 제12도의 실시예의 것과 비교하여 입력신호(/IN) 대신에 입력신호(IN)가 공급되는 점과, 인버터회로(INV3)가 삭제되어 있는 점, 더욱이 NMOS트랜지스터(TN11)의 소스와 접지전위노드 사이에 입력신호(IN)가 게이트에 공급되는 NMOS트랜지스터(TN12)의 드레인, 소스 사이를 접속한 점이 다르게 되어 있다. 그리고, NMOS트랜지스터(TN11)의 게이트는 전원노드(10)에 접속되고, NMOS트랜지스터(TN12)의 게이트에는 입력신호(IN)가 공급되어 있다.

여기에서는 전원노드(10)가 접지전위로 되어 있는 경우의 동작에 대하여 설명한다. 포인트는 입력신호(IN)가 Vcc를 전원으로 하는 회로의 출력신호로 정의되어 있지 않은 것에 있다. 즉, 전원노드(10)가 접지전위로 된 것으로 해도 입력신호(IN)로서 접지전위 이상의 레벨이 입력될 가능성이 있는 것을 판정하고 있는 것이다. 따라서, PMOS트랜지스터(TP11)와 NMOS트랜지스터(TN12)의 게이트는 접지전위에 있는 것으로 상정할 수 없다. 따라서, PMOS트랜지스터(P5)의 일단을 PMOS트랜지스터(P2)의 드레인노드에 접속할 수 없고, PMOS트랜지스터(P1)의 게이트노드에 접속하고 있다. 또한, NMOS트랜지스터(TN12)가 온될 가능성도 있기 때문에, 반드시 오프하도록 한 NMOS트랜지스터(TN11)를 삽입하고 있다. NMOS트랜지스터(TN11)의 게이트가 전원노드(10)에 접속되어 있기 때문에, 이 노드(10)에 접지전위가 공급되어 있는 경우, NMOS트랜지스터(TN11)는 반드시 오프되는 것에 주의해야 한다.

다음에, 본 발명의 제13실시예의 바이스테이트·버퍼회로를 제14도에 나타냈다. 본 실시예 회로는 제11도와 비교하여, PMOS트랜지스터(P5)가 삭제되어 있다. 더욱이, 출력단자(Y)와 PMOS트랜지스터(P2)의 드레인노드의 사이에는 PMOS트랜지스터(P7)의 소스, 드레인 사이가 접속되어 있다. 이 PMOS트랜지스터(P7)의 게이트는 전원노드(10)에 접속되어 있다.

여기서, 전원노드(10)를 접지전위로 설정하고 있는 경우에 출력단자(Y)에 접지전위 보다도 높은 전위가 인가된 경우, 앞의 제11도의 회로에서는 출력단자(Y)의 전위는 PMOS트랜지스터(P3, P5, TP11)를 경유하여 PMOS트랜지스터(P1)의 게이트에 전달되지만, 본 실시예에서는 PMOS트랜지스터(P7, TP11)를 매개로 전달되는 점이 다르다.

제15도에 본 발명의 제14실시예에 의한 바이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로가 제14도와 비교하여 다른 점은 PMOS트랜지스터(P7)의 소스, 드레인 사이를 출력단자(Y)와 PMOS트랜지스터(P1)의 게이트노드 사이에 접속한 점이다.

이제, 전원노드(10)를 접지전위로 하고 있는 경우에 출력단자(Y)에 접지전위 보다도 높은 전위가 인가된 경우, 앞의 제14도 회로의 경우 출력단자의 전위는 PMOS트랜지스터(P7, TP11)를 경유하여 PMOS트랜지스터(P1)의 게이트에 전달되지만, 본 실시예에서는 PMOS트랜지스터(P7)만에 의해 전달된다. 따라서, 전위의 전달속도가 더 빨라지고 PMOS트랜지스터(P1)가 보다 빠르게 오프되기 때문에, 출력단자(Y)에서 접지전위로의 과도전류가 감소한다. 그러나, PMOS트랜지스터(P1)의 게이트노드에 기생하는 부하용량이 증가하기 때문에, 이 게이트노드의 스윙변화의 속도가 늦어지게 될 가능성이 있다. 더욱이, 통상동작시 PMOS트랜지스터(P2)의 드레인에 있어서의 스윙폭이 작은 것에 비해 PMOS트랜지스터(P1)의 게이트노드는 풀스윙하기 때문에, 기생용량의 증가에 따라 충방전한 양만큼 소비전류가 증가한다.

제16도에 본 발명의 제15실시예에 의한 바이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로는 2개의 입력신호(IN1, IN2)의 AND논리를 실현하는 것이고, 상기 PMOS트랜지스터(P2)의 드레인과 상기 출력단의 PMOS트랜지스터(P1)의 게이트노드 사이에는 2개의 PMOS트랜지스터(TP21, TP22)의 소스, 드레인 사이가 병렬로 접속되면서 PMOS트랜지스터(P1)의 게이트노드와 접지전위의 사이에는 3개의 NMOS트랜지스터(TN21, TN22, TN23)의 소스, 드레인 사이가 직렬로 접속되어 있다. 그리고, 상기 PMOS트랜지스터(TN21)의 게이트에는 입력신호(IN2)가, PMOS트랜지스터(TP22)의 게이트에는 입력신호(IN1)가, NMOS트랜지스터(TN21)의 게이트에는 입력신호(IN2)가, NMOS트랜지스터(TN23)의 게이트에는 입력신호(IN1)가 각각 공급되고, NMOS트랜지스터(TN22)의 게이트는 전원노드(10)에 접속되어 있다.

여기서, 게이트가 전원노드(10)에 접속된 NMOS트랜지스터(TN22)의 접속에 관해서는 PMOS트랜지스터(P1)의 게이트노드와 접지전위의 사이에 NMOS트랜지스터(TN21)와 NMOS트랜지스터(TN23)에 대해 NMOS트랜지스터(TN22)를 직렬로 삽입하지 않으면 안된다는 것에 유의할 필요가 있다. 즉, 전원노드(10)가 접지전위로 된 경우, PMOS트랜지스터(P1)의 게이트노드에서 접지전위로 전류패스를 없게 하기 위해 게이트에 전원노드(10)의 전위가 공급되어 오프로 되는 NMOS트랜지스터(TN22)를 설치하고 있다.

또한, 출력단의 NMOS트랜지스터(N1)의 게이트 제어를 행하기 위해 입력신호(IN1, IN2)가 공급되는 NAND회로(NAND1)가 설치되어 있다.

더욱이, PMOS트랜지스터(P8, P9)가 설치되어 있는데, 그 이유는 앞의 제10도에서 설명한 경우와 마찬가지이기 때문에, 설명은 생략한다. 또한, 그 외의 MOS트랜지스터에 대해서 그 작용은, 예컨대 제1도중의 대응하는 것과 마찬가지이므로 그 설명도 생략한다.

그런데, 상기 제16도의 실시예 회로에서는 입력신호가 2개의 입력신호(IN1, IN2)인 2입력의 경우에 대하여 설명했지만, 이는 3개 이상의 입력신호(IN1～INM)를 이용하는 다입력의 경우에도 마찬가지로 실시할 수 있다.

제17도는 본 발명의 제16실시예에 의한 다입력의 출력회로의 구성을 나타내고 있다. 본 실시예 회로에서는 M개의 입력신호(IN1～INM)가 입력된다. 여기서, CMOS회로(30)는 우선 PMOS트랜지스터(TP21, TP22, P2) 및 NMOS트랜지스터(TN21～TN23)을 포함하는 다입력의 논리회로에 상당하는 것이고, 이 CMOS회로(30)는 PMOS트랜지스터만을 포함하는 PMOS회로(31) 및 NMOS트랜지스터만을 포함하는 NMOS회로(32)로 구성되어 있다.

또한, CMOS회로(33)는 상기 제16도중의 NAND회로(NAND1)에 상당하는 것이고, 상기 N개의 입력신호(IN1～INN)가 입력되고, 그 출력에 의해 출력단의 NMOS트랜지스터(N1)의 게이트 제어가 행해지는 것이다.

그리고, 본 실시예의 경우에도 PMOS트랜지스터(P5)의 소스, 드레인의 일단은 제16도에 나타낸 제15실시예와 마찬가지로 출력단의 PMOS트랜지스터(P1)의 게이트에 직접 접속된다.

제18도에 본 발명의 제17실시예에 의한 바이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로는 앞의 제12도의 실시예 회로와 비교하여, PMOS트랜지스터(P6)를 삭제하고, 그 대신에 PMOS트랜지스터(P8, P9)를 추가하고 있다. 제12도의 회로에 있어서, 전원노드(10)에 전원전위(Vcc)가 공급되어 있는 경우, 즉 통상동작시 Nwe11은 PMOS트랜지스터(P6)에 의해 항상 Vcc로 풀업되어 있었다. 이에 대해, 본 제17도의 실시예 회로의 경우에는 PMOS트랜지스터(P6)를 삭제했기 때문에, PMOS트랜지스터(P8, P9)가 대신에 Nwe11을 풀업하는 역할을 담당한다. 즉, PMOS트랜지스터(P1)의 게이트노드가 접지전위의 경우, 이 PMOS트랜지스터(P1)가 온되면서 PMOS트랜지스터(P9)도 온되어 이 PMOS트랜지스터(P9)에 의해 Nwe11이 풀업된다.

한편, PMOS트랜지스터(P1)의 게이트노드가 Vcc전위인 경우, PMOS트랜지스터(P1)가 오프되고, NMOS트랜지스터(N1)가 온되기 때문에 출력단자(Y)는 접지전위로 된다. 이 경우에는 PMOS트랜지스터(P8)가 온되고, 이 PMOS트랜지스터(P8)에 의해 Nwe11이 풀업된다. 더욱이, 상기 PMOS트랜지스터(P8, P9) 이외의 MOS트랜지스터의 동작은 제12도의 경우와 동일하다. 이 때, 전원노드(10)를 접지전위로 설정하고, 출력단자(Y)로 접지전위 보다도 높은 전위가 인가된 경우, PMOS트랜지스터(P8)는 게이트전위가 소스전위보다 높기 때문에 오프되는 것과, PMOS트랜지스터(P9)는 PMOS트랜지스터(P1)와 동일한 이유로 오프되는 것에 유의해야 한다.

또한, 본 실시예와 같이 앞의 PMOS트랜지스터(P6)를 삭제하고 그 대신에 PMOS트랜지스터(P8, P9)를 이용하여 Nwe11 노드의 풀업을 행하는 것을 상기 제12도의 실시예 회로 이외에도 적용하여 새로운 실시예로 하는 것은 용이하다.

제19도에 본 발명의 제18실시예에 의한 트라이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로의 기본적인 구성은 상기 제29도에 나타낸 종래 회로의 경우와 마찬가지로 출력단이 PMOS트랜지스터 및 NMOS트랜지스터로 구성되고, 양MOS트랜지스터의 게이트를 구동시키기 위한 제어신호를 발생하는 수단이 NAND회로, NOR회로 및 전송게이트 등을 이용하여 구성되어 있다. 즉, 출력단의 PMOS트랜지스터(P1)와 NMOS트랜지스터(N1)의 드레인은 공히 출력단자(Y)에 접속되고, NMOS트랜지스터(N1)의 소스는 접지전위노드에 접속되어 있다.

PMOS트랜지스터(P10) 및 NMOS트랜지스터(N3)는 소스, 드레인 사이가 병렬로 접속되어 있어 전송게이트(TG)를 구성하고 있다. 또한, NAND회로(NAND2)에는 입력신호(IN)와 인에이블신호(EN)가 공급되고, 이 NAND회로(NAND2)의 출력은 상기 전송게이트(TG)를 매개로 출력단의 PMOS트랜지스터(P1)의 게이트에 전달된다. 상기 전송게이트(TG)의 동작을 제어하기 위한 신호로서 PMOS트랜지스터(P10)의 게이트에는 앞의 PMOS트랜지스터(P4)와 NMOS트랜지스터(N2)로 이루어진 회로의 출력이 공급되고, NMOS트랜지스터(N3)의 게이트에는 전원노드(10)의 전위가 공급된다. NOR회로(NOR3)에는 입력신호(IN)와 인에이블신호(/EN)가 공급되고, 이 NOR회로(NOR3)의 출력은 출력단의 NMOS트랜지스터(N1)의 게이트에 전달된다. 더욱이, 상기 NAND회로(NAND2) 및 NOR회로(NOR3)에는 전원전위로서 상기 전원노드(10)의 전위가 각각 공급된다.

상기 PMOS트랜지스터(P1)의 백게이트와 상기 출력단자(Y)의 사이에는 PMOS트랜지스터(P3)의 소스, 드레인 사이가 접속되어 있다. 이 PMOS트랜지스터(P3)의 게이트는 전원노드(10)에 접속된다.

또한, PMOS트랜지스터(P5)의 소스, 드레인 사이는 상기 PMOS트랜지스터(P1)의 백게이트와 게이트 사이에 접속되어 있다. 그리고, 그 게이트는 전원노드(10)에 접속되어 있다. 더욱이, PMOS트랜지스터(P6)의 소스, 드레인 사이는 전원노드(10)와 상기 PMOS트랜지스터(P1)의 백게이트 사이에 접속되어 있다.

상기 구성으로 되는 회로에 있어서, 우선 전원노드(10)에 전원전위가 인가되어 있는 경우의 동작을 설명한다. 이 경우, PMOS트랜지스터(P3, P5, P4)는 각 게이트에 Vcc의 전위가 공급되어 있기 때문에 각각 오프되어 있다. 한편, NMOS트랜지스터(N2, N3)의 게이트에도 Vcc의 전위가 공급되어 있기 때문에, 이들 NMOS트랜지스터(N2, N3)는 온되어 있다. 따라서, PMOS트랜지스터(P6, P10)의 게이트가 접지전위로 풀다운되어 양PMOS트랜지스터는 온된다. PMOS트랜지스터(P6)가 온됨으로써 모든 PMOS트랜지스터의 백게이트(Nwe11)가 Vcc로 풀업되고, PMOS트랜지스터(P10)가 온됨으로써 PMOS트랜지스터(P10)와 NMOS트랜지스터(N3)로 구성되는 전송게이트(TG)는 NAND회로(NAND2)의 출력신호를 PMOS트랜지스터(P1)의 게이트에 전달할 수 있도록 된다. 따라서, 전원노드(10)에 전원전위(Vcc)가 인가되어 있는 경우, 이 회로는 통상의 트라이스테이트·버퍼회로와 동일한 동작을 하는 것을 의미하고 있다.

다음에, 전원노드(10)에 접지전위가 인가되어 있는 경우의 동작을 설명한다. 이 출력회로가 상기 제28도에 나타낸 바와 같이, 버스선에 접속하여 사용되고 있는 경우, 다른 출력회로의 출력상태가 접지전위 보다도 높은 전위(Vy)를 출력하고 있는 상황, 예컨대 Vcc레벨을 출력하고 있는 상황에서 출력단자(Y)에는 접지전위 보다도 높은 전위가 인가되고, 따라서 이 경우 종래의 제28도의 회로에서는 다른 출력회로의 전원노드로부터 버스선 및 출력단자(Y)를 경유하여 큰 값의 전류가 흐르고 있었다.

본 실시예의 회로의 경우, 전원노드(10)에는 접지전위가 인가되어 있기 때문에, PMOS트랜지스터(P3, P5, P4)와 NMOS트랜지스터(N2, N3)의 게이트는 접지전위로 되어 있고, PMOS트랜지스터(P3, P5, P4)는 온되어 있는 상태로 있으며, NMOS트랜지스터(N2, N3)는 오프되어 있는 상태로 있다. 여기서 Vy|Vtp(P4)|의 경우 PMOS트랜지스터(P4)가 온되고, 더욱이 NMOS트랜지스터(N2)가 오프되어 있기 때문에, PMOS트랜지스터(P6, P10)의 게이트전위는 출력단자(Y)의 전위, 즉 Vy와 동일하게 된다.

한편, Vy|Vtp(P3)|의 경우, PMOS트랜지스터(P3)가 온되기 때문에 Nwe11의 전위는 출력단자(Y)의 전위, 즉 Vy와 동일하게 된다. 다만, 출력단자(Y)와 PMOS트랜지스터(P1)의 백게이트 사이에 존재하는 pn접합 다이오드에 의해서도 출력단자(Y)의 전위에 거의 가까운 전위가 PMOS트랜지스터(P1)의 백게이트에 전달된다.

더욱이, Vy|Vtp(P5)|의 경우, PMOS트랜지스터(P5)가 온되고, 백게이트(Nwe11)의 전위는 PMOS트랜지스터(P1)의 게이트노드에 전달된다. 따라서, PMOS트랜지스터(P1, P6, P10)의 게이트, 소스전위차는 0으로 되고, 이들의 각 PMOS트랜지스터는 오프된다.

더욱이, NOR회로(NOR3)의 전원전위도 접지전위로 되어 있고, 그 출력전위도 접지전위도 접지전위로 되어 있기 때문에, NMOS트랜지스터(N1)도 오프되어 있다. 따라서, 출력단자(Y)로부터 접지전위노드로 전류는 흐르지 않는다.

이와 같이, 상기 실시예의 회로는 전원노드(10)에 상기 스위치(SW)를 매개로 전원전위(Vcc)가 인가되어 있는 경우, 출력단자(Y)의 전위는 접지전위에서 전원전위 사이로 풀스윙할 수 있고, 전원노드(10)가 접지전위로 된 경우에도 출력단자(Y)에서 접지전위로 전류는 흐르지 않는다.

제20도에 본 발명의 제19실시예에 의한 트라이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로는 상기 제19실시예와 비교하여 PMOS트랜지스터(P5)가 삭제되고, 대신에 출력단자(Y)와 PMOS트랜지스터(P1)의 게이트 사이에, 예컨대 상기 제15도의 실시예 회로중의 PMOS트랜지스터(P7)가 추가된 점이 다르다.

이제, 전원노드(10)가 접지전위의 경우 출력단자(Y)에 접지전위 보다도 높은 전위가 인가된 경우, 상기 제19도의 실시예 회로의 경우 출력단자(Y)의 전위는 PMOS트랜지스터(P3, P5)를 경유하여 PMOS트랜지스터(P1)의 게이트에 전달되지만, 본 실시예 회로에서는 PMOS트랜지스터(P7)만에 의해 전달된다. 따라서, 전위의 전달속도가 빨라지고, PMOS트랜지스터(P1)가 보다 빠르게 오프되기 때문에, 출력단자(Y)에서 접지전위로의 과도전류가 감소한다.

제21도에 본 발명의 제20실시예에 의한 트라이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로는 Nwe11의 노드를 Vcc로 풀업하기 위한 수단으로서 제20도의 실시예 회로와는 다른 수단을 이용한 예이다. 본 실시예 회로는 제20도와 비교하여 PMOS트랜지스터(P6)를 삭제하고, 그 대신에, 예컨대 상기 제18도의 실시예 회로와 마찬가지로 PMOS트랜지스터(P8, P9)를 추가하고 있다.

상기 제20도의 회로에 있어서, 전원노드(10)에 전원전위(Vcc)가 공급되어 있는 경우, 즉 통상동작시 Nwe11은 PMOS트랜지스터(P6)에 의해 항상 Vcc로 풀업되어 있었다. 이에 대해, 본 제21도의 실시예 회로의 경우, PMOS트랜지스터(P6)가 삭제되어 있기 때문에 PMOS트랜지스터(P8, P9)가 대신에 Nwe11을 풀업하는 역할을 담당한다. 즉, PMOS트랜지스터(P1)의 게이트노드가 접지전위로 되어 있는 경우, 이 PMOS트랜지스터(P1)는 온되고, 또한 PMOS트랜지스터(P9)가 온되어 이 PMOS트랜지스터(P9)에 의해 Nwe11이 Vcc의 전위로 풀업된다.

한편, PMOS트랜지스터(P1)의 게이트노드가 Vcc전위의 경우, PMOS트랜지스터(P1)가 오프되고, NMOS트랜지스터(N1)가 온됨으로써 출력단자(Y)가 접지전위로 된다. 이 때문에, PMOS트랜지스터(P8)가 온되고, 이 PMOS트랜지스터(P8)를 매개로 Nwe11이 풀업된다.

더욱이, 상기 PMOS트랜지스터(P8, P9) 이외의 MOS트랜지스터의 동작은 제19도의 경우와 동일하다. 이 경우, 전원노드(10)를 접지전위로 하고, 출력단자(Y)에 접지전위 보다도 높은 전위가 인가되어 있는 경우, PMOS트랜지스터(P8)는 게이트전위가 소스전위보다 높기 때문에 오프되어 있는 것과, PMOS트랜지스터(P9)는 PMOS트랜지스터(P1)와 동일한 이유로 오프되어 있는 것에 유의해야 한다.

제22도에 본 발명의 제21실시예에 의한 바이스테이트·버퍼회로의 구성을 나타냈다. 본 실시예 회로는 2개의 입력신호(IN1, IN2)의 AND논리를 취하는 것이고, 상기 제19도의 실시예와 비교하여 NOR회로(NOR3) 대신에 2개의 입력신호(IN1, IN2)가 공급되는 NAND회로(NAND3)가 설치되고, 앞의 NAND회로(NAND2)에는 상

기 인에이블신호(EN)와 상기 입력신호(IN) 대신에 2개의 입력신호(IN1, IN2)가 공급된다. 더욱이, 그 이외의 구성은 제19도와 동일하므로 설명은 생략한다.

상기 제19도 실시예의 동작설명에 있어서, NOR회로(NOR3)가 NAND회로(NAND3)로 위치가 바뀌었을 뿐이므로, 본 실시예의 동작은 용이하게 유추할 수 있다.

더욱이, 상기 제22도의 실시예에서는 2입력 NAND논리를 실현하는 회로를 나타냈지만, 더욱이 다입력화하는 것은 용이하다. 또한, NAND회로(NAND2, NAND3) 대신에 다른 논리를 얻는 논리회로로 변경함으로써 다른 논리출력을 갖는 다입력의 바이스테이트·버퍼회로를 용이하게 실현할 수 있다.

제23도는 본 발명의 제22실시예에 의한 다입력의 바이스테이트·버퍼회로의 구성을 나타내고 있다. 본 실시예 회로에서는 M개의 입력신호(IN1~INM)가 입력된다. 여기서, CMOS논리회로(41)는 상기 제22도에 있어서의 NAND회로(NAND2)에 대신하는 M입력의 논리회로이고, 이 CMOS논리회로(41)의 출력은 PMOS트랜지스터(P10)와 NMOS트랜지스터(N3)로 이루어진 전송게이트(TG)를 매개로 출력단의 PMOS트랜지스터(P1)의 게이트에 공급된다. CMOS논리회로(42)는 상기 제22도에 있어서의 NAND회로(NAND3)에 대신하는 N입력의 논리회로이고, 이 CMOS논리회로(42)의 출력은 출력단의 NMOS트랜지스터(N1)의 게이트에 공급된다. 더욱이, 본 실시예 회로에 있어서 상기 양 CMOS논리회로(41, 42) 이외의 구성에 대해서는 상기 제22도의 실시예의 경우와 마찬가지이기 때문에 그 설명은 생략한다.

여기서, 상기 양CMOS논리회로(41, 42)로서 임의의 논리를 갖는 것을 사용하면, 임의의 논리출력을 갖는 출력회로를 실현할 수 있다.

제24도는 본 발명의 제23실시예에 의한 다입력의 출력회로의 구성을 나타내고 있다. 본 실시예 회로에서는 상기 제16도의 실시예 회로의 경우와 마찬가지로 상기 제23도의 실시예 회로에 있어서의 PMOS트랜지스터(P6)를 삭제하는 대신에 PMOS트랜지스터(P8, P9)를 설치하도록 한 것이다.

본 발명은 상기한 실시예에 한정되는 것은 아니고, 여러종류의 변형이 가능한 것은 말할 것도 없다. 예컨대, PMOS트랜지스터(P8, P9)를 이용한 Nwe11노드의 풀업을 제20도와 제22도의 실시예 회로에 적용하여 새로운 실시예를 만드는 것은 용이하다.

더욱이, 제1도, 제3도 내지 제24도의 각 실시예에서는 NMOS트랜지스터(N1)를 설치하고, 접지전위측으로의 풀다운 기능을 부가했지만, NMOS트랜지스터(N1)와 그 구동회로를 삭제하고, PMOS트랜지스터(P1)에 의한 풀업회로로서 이용할 수 있다.

또한, 제1도, 제3도 내지 제24도의 각 실시예에서는 전원노드(10)를 스위치(SW)를 매개로 접지전위(저전위노드)로 떨어뜨린 경우에 대한 실시예를 나타냈지만, 본 발명의 취지를 이해하면, Vcc노드(고전위노드)를 접지전위노드(저전위노드)로 쇼트시킨 경우의 회로예도 용이하게 실현할 수 있다.

이와 같이, 상기 각 실시예에 의하면 출력을 풀스윙 시킬 수 있으면서 출력을 저항종단한 경우나 복수의 출력을 접속하여 사용하는 경우에, 적어도 1개의 출력회로의 전원을 접지전위로 떨어뜨려도 전원으로부터 접지전위로 향해 기생다이오드를 경유하여 불필요한 전류가 흐르는 것을 방지할 수 있다.

또한, 각 실시예의 출력회로에서는 전원전위가 인가되는 경우에도 출력을 풀스윙 시킬 수 있기 때문에, 그 출력신호를 수취하는 회로의 임계치는 CMOS레벨에서 좋고, 노이즈에도 강하다는 효과가 얻어진다.

또한, 본원 청구범위의 각 구성요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시된 실시예로 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이, 본 발명의 출력회로에 의하면, 출력을 풀스윙 시킬 수 있으면서 출력을 저항종단한 경우나 복수의 출력을 접속하여 사용하는 경우에, 적어도 1개의 출력회로의 전원을 접지전위로 떨어뜨려도 전원으로부터 접지전위로 향해 기생다이오드를 경유하여 불필요한 전류가 흐르는 것을 방지할 수 있는 출력회로를 제공할 수 있다.

(57) 청구의 범위

청구항 1

출력단자와(Y), 제1전원노드(10) 상기 제1전원노드(10)보다 낮거나 동일한 제2전원노드(GND), 소스, 드레인, 제어신호에 접속된 게이트, 기생 pn접합 다이오드 구조만을 갖는 상기 소스 및 드레인에 접속된 백게이트 및 상기 제1전원노드(10)와 상기 출력단자(Y)간에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제1MOS트랜지스터(P1), 소스, 드레인, 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제2MOS트랜지스터(P5), 소스, 드레인, 게이트 및 상기 출력단자(Y)의 제1단에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제3MOS트랜지스터(P4), 소스, 드레인, 개이트 및 상기 제2전원노드(GND)와 상기 제3MOS트랜지스터(P4)의 소스-드레인 통로의 제2단간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제4MOS트랜지스터(N2) 및, 제1신호(IN; EN)로부터 상기 제어신호를 발생시키고 상기 제1MOS트랜지스터(P1)의 게이트에 상기 제어신호를 공급하기 위한 제1제어신호 발생수단(P2,TP11,TN11; P2,TP1,TN1)를 구비하여 구성되고; 상기 제1제어신호 발생수단은, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4,N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제5MOS트랜지스터(P2)와, 소스, 드레인, 상기 제1신호(IN; EN)를 수신하기 위한 게이트 및 상기 제5MOS트랜지스터(P2)의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 갖춘 제1채널형의 제6MOS트랜지스터(TP11; TP1) 및, 소스, 드레인, 상기 제1신호(IN; EN)를 수신하기 위한 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 상기 제2전원노드(GND)간 직렬로 접속된 소스-드레인 통로를 갖춘 제2채널형의 제7MOS트랜지스터(TN11; TN1)를 구비하여 구성되며; 상기 제2, 제3 및 제4MOS트랜지스터(P5, P4, N2)의 게이트가 상기 제1

전원노드(10)에 접속된 것을 특징으로 하는 출력회로.

청구항 2

제1항에 있어서, 상기 제6 및 제7MOS트랜지스터(TP11,TP1 및 TN11, TN1)의 게이트에 공급되는 상기 제1신호(IN; EN)를 발생시키기 위한 제2제어신호 발생수단(INV3; INV1)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단(INV3; INV1)는 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 3

제1항에 있어서, 상기 제5MOS트랜지스터의 소스-드레인 통로는 상기 제1전원노드의 제1단에 접속되고, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 제1MOS트랜지스터의 백게이트의 제1단과 상기 제5MOS트랜지스터의 소스-드레인 통로의 제2단에 접속된 것을 특징으로 하는 출력회로.

청구항 4

제1항에 있어서, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 제1MOS트랜지스터의 백게이트의 제1단과 상기 제1MOS트랜지스터의 게이트의 제2단에 접속된 것을 특징으로 하는 출력회로.

청구항 5

제1항에 있어서, 상기 제1제어신호 발생수단은 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 제1MOS트랜지스터와 상기 제2전원노드의 게이트간 접속되고 상기 제7MOS트랜지스터의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 갖춘 제2채널형의 제8MOS트랜지스터를 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 6

제1항에 있어서, 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 제1MOS트랜지스터의 백게이트와 상기 출력단자간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제9MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 7

제1항에 있어서, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제10MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 8

제1항에 있어서, 소스, 드레인, 게이트 및 상기 출력단자(Y)와 상기 제2전원노드(GND)간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제11MOS트랜지스터(N1)와, 상기 제1신호에 따라 제어신호를 발생시키고 상기 제11MOS트랜지스터(N1)의 게이트에 제어신호를 공급하기 위한 제2제어신호 발생수단(INV2; NOR1)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단은 상기 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 9

제1항에 있어서, 소스, 드레인, 상기 제1MOS트랜지스터(P1)의 게이트에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제12MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 10

출력단자와(Y), 제1전원노드(10), 상기 제1전원노드(10)보다 낮거나 동일한 제2전원노드(GND), 소스, 드레인, 제어신호에 접속된 게이트, 기생 pn접합 다이오드 구조만을 갖는 상기 소스 및 드레인에 접속된 백게이트 및 상기 제1전원노드(10)와 상기 출력단자(Y)간에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제1MOS트랜지스터(P1), 소스, 드레인, 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제2MOS트랜지스터(P5), 소스, 드레인, 게이트 및 상기 출력단자(Y)의 제1단에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제3MOS트랜지스터(P4), 소스, 드레인, 게이트 및 상기 제2전원노드(GND)와 상기 제3MOS트랜지스터(P4)의 소스-드레인 통로의 제2단간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제4MOS트랜지스터(N2) 및, 다수의 신호(IN과 IN2를 반전한 신호)로부터 상기 제어신호를 발생시키고 상기 제1MOS트랜지스터(P1)의 게이트에 상기 제어신호를 공급하기 위한 제1제어신호 발생수단(P2, TP2, TN3, TP3, TN1)를 구비하여 구성되고; 상기 제1제어신호 발생수단은, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4, N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제5MOS트랜지스터(P2)와, 소스, 드레인, 상기 다수의 신호중 하나를 수신하기 위한 게이트 및 상기 제5MOS트랜지스터(P2)의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 각각 갖춘 다수의 제1채널형의 제6MOS트랜지스터(TP2, TP3) 및, 소스, 드레인, 상기 다수의 신호중 하나를 수신하기 위한 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 상기 제2전원노드(GND)간 직렬로 접속된 소스-드레인 통로를 각각 갖춘 다수의 제2채널형의 제7MOS트랜지스터(TN3, TN1)를 구비하여 구성되며; 상기 제2, 제3 및 제4MOS트랜지스터(P5, P4, N2)의 게이트가 상기 제1전원노드(10)에 접속된 것을 특징으로 하는 출력회로.

청구항 11

제10항에 있어서, 상기 다수의 신호중 어느 하나를 발생시키기 위한 제2제어신호 발생수단(INV12, INV13)을 더 구비하여 구성되고, 상기 제2제어신호 발생수단(INV12, INV13)는 제1 및 제2전원노드에 전압인

전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 12

제10항에 있어서, 상기 제1제어신호 발생수단은 소스, 드레인, 상기 제1전원노드(10)에 접속된 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 상기 제2전원노드(GND)간 접속되고 상기 다수의 제7MOS트랜지스터(TN3, TN1)의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 갖춘 제2채널형의 제12MOS트랜지스터(N1)를 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 13

제10항에 있어서, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 제1MOS트랜지스터의 백게이트의 제1단과 상기 제1MOS트랜지스터의 게이트의 제2단에 접속된 것을 특징으로 하는 출력회로.

청구항 14

제10항에 있어서, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 제1MOS트랜지스터의 백게이트의 제1단과 상기 제5MOS트랜지스터의 소스-드레인 통로의 제1단에 접속되고, 제2단 보다 상기 제1MOS트랜지스터의 게이트에 더 가까운 것을 특징으로 하는 출력회로.

청구항 15

제10항에 있어서, 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 출력단자와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제8MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 16

제10항에 있어서, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제9MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 17

제10항에 있어서, 소스, 드레인, 게이트 및 상기 출력단자(Y)와 상기 제2전원노드(GND)간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제10MOS트랜지스터(N1)와, 상기 다수의 신호에 따라 제어신호를 발생시키고 상기 제10MOS트랜지스터(N1)의 게이트에 제어신호를 공급하기 위한 제2제어신호 발생수단(NOR2)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단은 상기 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 18

제10항에 있어서, 소스, 드레인, 상기 제1MOS트랜지스터(P1)의 게이트에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제11MOS트랜지스터를 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 19

출력단자와(Y), 제1전원노드(10), 상기 제1전원노드(10)보다 낮거나 동일한 제2전원노드(GND), 소스, 드레인, 제어신호에 접속된 게이트, 기생 pn접합 다이오드 구조만을 갖는 상기 소스 및 드레인에 접속된 백게이트 및 상기 제1전원노드(10)와 상기 출력단자(Y)간에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제1MOS트랜지스터(P1), 소스, 드레인, 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 출력단자간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제2MOS트랜지스터(P7), 소스, 드레인, 게이트 및 상기 출력단자(Y)의 제1단에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제3MOS트랜지스터(P4), 소스, 드레인, 게이트 및 상기 제2전원노드(GND)와 상기 제3MOS트랜지스터(P4)의 소스-드레인 통로의 제2단간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제4MOS트랜지스터(N2) 및, 다수의 신호(IN;IN2)로부터 상기 제어신호를 발생시키고 상기 제1MOS트랜지스터(P1)의 게이트에 상기 제어신호를 공급하기 위한 제1제어신호 발생수단(P1, TP1, TN2, TN4; P2, TP11, TN11)를 구비하여 구성되고; 상기 제1제어신호 발생수단은, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4, N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 각각 갖춘 제1채널형의 제5MOS트랜지스터(P2)와, 소스, 드레인, 상기 다수의 신호중 하나를 수신하기 위한 게이트 및 상기 제5MOS트랜지스터(P2)의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 각각 갖춘 다수의 제1채널형의 제6MOS트랜지스터(TP1, TP11) 및, 소스, 드레인, 상기 다수의 신호중 하나를 수신하기 위한 게이트 및 상기 제1MOS트랜지스터 (P1)의 게이트와 상기 제2전원노드(GND)간 직렬로 접속된 소스-드레인 통로를 각각 갖춘 다수의 제2채널형의 제7MOS트랜지스터(TN2, TN4; TN11)를 구비하여 구성되며, 상기 제2, 제3 및 제4MOS트랜지스터(P7, P4, N2)의 게이트가 상기 제1전원노드(10)에 접속된 것을 특징으로 하는 출력회로.

청구항 20

제19항에 있어서, 상기 다수의 신호중 어느 하나를 발생시키기 위한 제2제어신호 발생수단(INV1, INV3)을 더 구비하여 구성되고, 상기 제2제어신호 발생수단(INV1, INV3)는 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 21

제19항에 있어서, 상기 제1제어신호 발생수단은 소스, 드레인, 상기 제1전원노드(10)에 접속된 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 상기 제2전원노드(GND)간 접속되고 상기 다수의 제7MOS트랜지스터

(TN3, TN1)의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 갖춘 제2채널형의 제12MOS트랜지스터(N1)를 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 22

제19항에 있어서, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 출력단자의 제1단과 상기 제1MOS트랜지스터의 게이트의 제2단에 접속된 것을 특징으로 하는 출력회로.

청구항 23

제19항에 있어서, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 출력단자의 제1단과 상기 제5MOS트랜지스터의 소스-드레인 통로의 제1단에 접속되고, 제2단 보다 상기 제1MOS트랜지스터의 게이트에 더 가까운 것을 특징으로 하는 출력회로.

청구항 24

제19항에 있어서, 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 출력단자와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제8MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 25

제19항에 있어서, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제9MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 26

제19항에 있어서, 소스, 드레인, 게이트 및 상기 출력단자(Y)와 상기 제2전원노드(GND)간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제10MOS트랜지스터(N1)와, 상기 다수의 신호에 따라 제어신호를 발생시키고 상기 제10MOS트랜지스터(N1)의 게이트에 제어신호를 공급하기 위한 제2제어신호 발생수단(NOR2)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단은 상기 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 27

제19항에 있어서, 소스, 드레인, 상기 제1MOS트랜지스터(P1)의 게이트에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제11MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 28

출력단자와(Y), 제1전원노드(10), 상기 제1전원노드(10)보다 낮거나 동일한 제2전원노드(GND), 소스, 드레인, 제어신호에 접속된 게이트, 기생 pn접합 다이오드 구조만을 갖는 상기 소스 및 드레인에 접속된 백게이트 및 상기 제1전원노드(10)와 상기 출력단자(Y)간에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제1MOS트랜지스터(P1), 소스, 드레인, 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 출력단자간(Y) 접속된 소스-드레인 통로를 갖춘 제1채널형의 제2MOS트랜지스터(P7), 소스, 드레인, 게이트 및 상기 출력단자(Y)의 제1단에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제3MOS트랜지스터(P4), 소스, 드레인, 게이트 및 상기 제2전원노드(GND)와 상기 제3MOS트랜지스터(P4)의 소스-드레인 통로의 제2단간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제4MOS트랜지스터(N2) 및 제1신호(IN)로부터 상기 제어신호를 발생시키고 상기 제1MOS트랜지스터(P1)의 게이트에 상기 제어신호를 공급하기 위한 제1제어신호 발생수단(P1, TP11, TN11; P2, TP1, TN1)를 구비하여 구성되고; 상기 제1제어신호 발생수단은, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4, N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 각각 갖춘 제1채널형의 제5MOS트랜지스터(P2)와, 소스, 드레인, 상기 제1신호(IN)를 수신하기 위한 게이트 및 상기 제5MOS트랜지스터(P2)의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 갖춘 제1채널형의 제6MOS트랜지스터(TP11) 및, 소스, 드레인, 상기 제1신호(IN)를 수신하기 위한 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 상기 제2전원노드(GND)간 직렬로 접속된 소스-드레인 통로를 갖춘 제2채널형의 제7MOS트랜지스터(TN11)를 구비하여 구성되며; 상기 제2, 제3 및 제4MOS트랜지스터(P7, P4, N2)의 게이트가 상기 제1전원노드(10)에 접속된 것을 특징으로 하는 출력회로.

청구항 29

제28항에 있어서, 상기 제6 및 제7MOS트랜지스터(TP11, TN11)의 게이트에 공급되는 상기 제1신소(IN;EN)를 발생시키기 위한 제2제어신호 발생수단(INV3)을 더 구비하여 구성되고, 상기 제2제어신호 발생수단(INV3)는 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 30

제28항에 있어서, 상기 제5MOS트랜지스터(P2)의 소스-드레인 통로는 상기 제1전원노드(10)의 제1단에 접속되고, 상기 제2MOS트랜지스터(P7)는 상기 제1MOS트랜지스터(P1)의 백게이트의 제1단과 상기 제5MOS트랜지스터(P2)의 소스-드레인 통로의 제2단에 접속된 것을 특징으로 하는 출력회로.

청구항 31

제28항에 있어서, 상기 제1제어신호 발생수단은 소스, 드레인, 상기 제1전원노드(10)에 접속된 게이트 및 상기 제1MOS트랜지스터의 게이트와 상기 제2전원노드(GND)간 접속되고 상기 다수의 제7MOS트랜지스터의 소스-드레인 통로에 직렬로 접속된 소스-드레인 통로를 갖춘 제2채널형의 제8MOS트랜지스터를 구비하여

구성된 것을 특징으로 하는 출력회로.

청구항 32

제28항에 있어서, 상기 제2MOS트랜지스터의 소스-드레인 통로는 상기 출력단자의 제1단과 상기 제1MOS트랜지스터의 게이트의 제2단에 접속된 것을 특징으로 하는 출력회로.

청구항 33

제28항에 있어서, 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 출력단자와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제9MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 34

제28항에 있어서, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제10MOS트랜지스터를 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 35

제28항에 있어서, 소스, 드레인, 게이트 및 상기 출력단자(Y)와 상기 제2전원노드(GND)간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제11MOS트랜지스터(N1)와, 상기 제1신호에 따라 제어신호를 발생시키고 상기 제11MOS트랜지스터(N1)의 게이트에 제어신호를 공급하기 위한 제2제어신호 발생수단(INV2)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단은 상기 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 36

제28항에 있어서, 소스, 드레인, 상기 제1MOS트랜지스터(P1)의 게이트에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제12MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 37

출력단자와(Y), 제1전원노드(10), 상기 제1전원노드(10)보다 낮거나 동일한 제2전원노드(GND), 소스, 드레인, 제어신호에 접속된 게이트, 기생 pn접합 다이오드 구조만을 갖는 상기 소스 및 드레인에 접속된 백게이트 및 상기 제1전원노드(10)와 상기 출력단자(Y)간에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제1MOS트랜지스터(P1), 소스, 드레인, 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제2MOS트랜지스터(P5), 소스, 드레인, 게이트 및 상기 출력단자(Y)의 제1단에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제3MOS트랜지스터(P4), 소스, 드레인, 게이트 및 상기 제2전원노드(GND)와 상기 제3MOS트랜지스터(P4)의 소스-드레인 통로의 제2단간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제4MOS트랜지스터(N2), 입력신호 또는 다수의 입력신호(EN,IN)로부터 상기 제어신호를 발생시키고 상기 제1MOS트랜지스터(P1)의 게이트에 상기 제어신호를 공급하기 위한 제1제어신호 발생수단(NAND2), 소스, 드레인, 게이트 및 상기 제1제어신호 발생수단의 출력노드와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제5MOS트랜지스터(N3) 및 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4, N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1제어신호 발생수단(NAND2)의 출력노드와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제6MOS트랜지스터(P10)를 구비하여 구성되고, 상기 제2, 제3, 제4 제5MOS트랜지스터(P5,P4,N2,N3)의 게이트가 상기 제1전원노드(10)에 접속되고, 상기 제1제어신호 발생수단(NAND2)는 제1 및 제2전원노드(10,GND)에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 38

제37항에 있어서, 상기 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 출력단자와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제7MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 39

제37항에 있어서, 상기 소스, 드레인, 상기 제3 및 제4MOS트랜지스터의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제8MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 40

제37항에 있어서, 소스, 드레인, 게이트 및 상기 출력단자(Y)와 상기 제2전원노드(GND)간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제9MOS트랜지스터(N1)와, 상기 입력신호 또는 상기 다수의 신호(/EN,IN)에 따라 제어신호를 발생시키고 상기 제9MOS트랜지스터(N1)의 게이트에 제어신호를 공급하기 위한 제2제어신호 발생수단(NOR3)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단은 상기 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 41

제37항에 있어서, 소스, 드레인, 상기 출력단자(Y)에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제10MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 42

제37항에 있어서, 소스, 드레인, 상기 제1MOS트랜지스터(P1)의 게이트에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제11MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 43

출력단자와(Y), 제1전원노드(10), 상기 제1전원노드(10)보다 낮거나 동일한 제2전원노드(GND), 소스, 드레인, 제어신호에 접속된 게이트, 기생 pn접합 다이오드 구조만을 갖는 상기 소스 및 드레인에 접속된 백게이트 및 상기 제1전원노드(10)와 상기 출력단자(Y)간에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제1MOS트랜지스터(P1), 소스, 드레인, 게이트 및 상기 제1MOS트랜지스터(P1)의 게이트와 출력단자간(Y) 접속된 소스-드레인 통로를 갖춘 제1채널형의 제2MOS트랜지스터(P7). 소스, 드레인, 게이트 및 상기 출력단자(Y)의 제1단에 접속된 소스-드레인 통로를 갖춘 제1채널형의 제3MOS트랜지스터(P4), 소스, 드레인, 게이트 및 상기 제2전원노드(GND)와 상기 제3MOS트랜지스터(P4)의 소스-드레인 통로의 제2단간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제4MOS트랜지스터(N2), 입력신호 또는 다수의 입력신호(EN,IN)로부터 상기 제어신호를 발생시키고 상기 제1MOS트랜지스터(P1)의 게이트에 상기 제어신호를 공급하기 위한 제1제어신호 발생수단(NAND2), 소스, 드레인, 게이트 및 상기 제1제어신호 발생수단의 출력노드와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제5MOS트랜지스터(N3) 및, 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4,N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1제어신호 발생수단(NAND2)의 출력노드와 상기 제1MOS트랜지스터(P1)의 게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제6MOS트랜지스터(P10)를 구비하여 구성되고, 상기 제2, 제3, 제4 제5MOS트랜지스터(P5, P4, N2, N3)의 게이트가 상기 제1전원노드(10)에 접속되고, 상기 제1제어신호 발생수단(NAND2)는 제1 및 제2전원노드(10,GND)에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 44

제43항에 있어서, 상기 소스, 드레인, 상기 제1전원노드에 접속된 게이트 및 상기 출력단자와 상기 제1MOS트랜지스터의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제7MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 45

제43항에 있어서, 상기 소스, 드레인, 상기 제3 및 제4MOS트랜지스터(P4,N2)의 소스-드레인 통로의 노드에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제11MOS트랜지스터를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 46

제43항에 있어서, 소스, 드레인, 게이트 및 상기 출력단자(Y)와 상기 제2전원노드(GND)간 접속된 소스-드레인 통로를 갖춘 제2채널형의 제8MOS트랜지스터(N1)와, 상기 입력신호 또는 상기 다수의 신호(/EN,IN)에 따라 제어신호를 발생시키고 상기 제8MOS트랜지스터(N1)의 게이트에 제어신호를 공급하기 위한 제2제어신호 발생수단(NOR3)를 더 구비하여 구성되고, 상기 제2제어신호 발생수단은 상기 제1 및 제2전원노드에 전압인 전원전압을 공급받는 것을 특징으로 하는 출력회로.

청구항 47

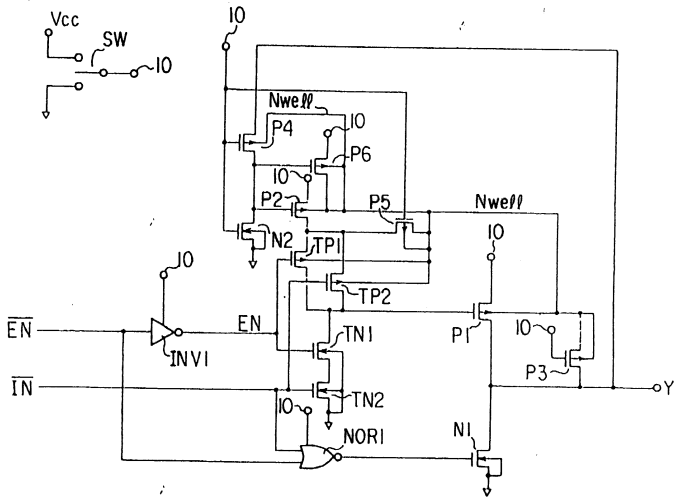
제43항에 있어서, 소스, 드레인, 상기 출력단자(Y)에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제9MOS트랜지스터(P8)를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

청구항 48

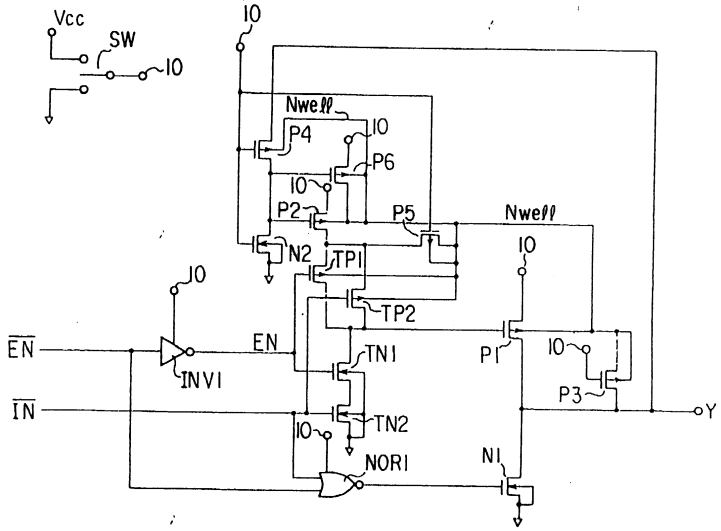
제43항에 있어서, 소스, 드레인, 상기 제1MOS트랜지스터(P1)의 게이트에 접속된 게이트 및 상기 제1전원노드(10)와 상기 제1MOS트랜지스터(P1)의 백게이트간 접속된 소스-드레인 통로를 갖춘 제1채널형의 제10MOS트랜지스터(P9)를 더 구비하여 구성된 것을 특징으로 하는 출력회로.

도면

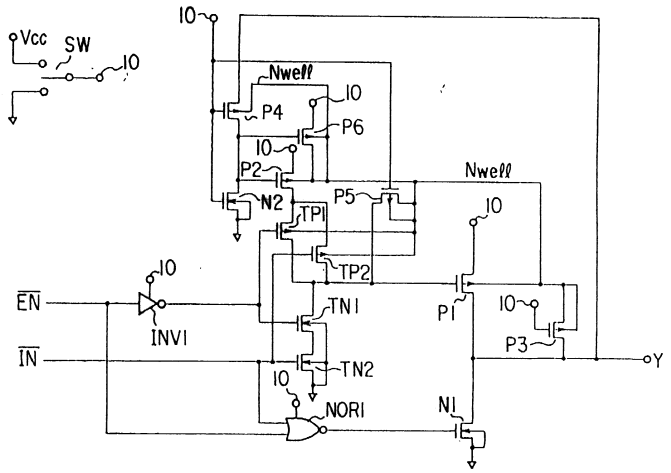
도면1


Vcc
SW
IO
Nwell
P4
P6
P2
P5
N2
TP1
TP2
EN
INV1
TN1
P1
P3
Y
IN
TN2
NOR1
N1

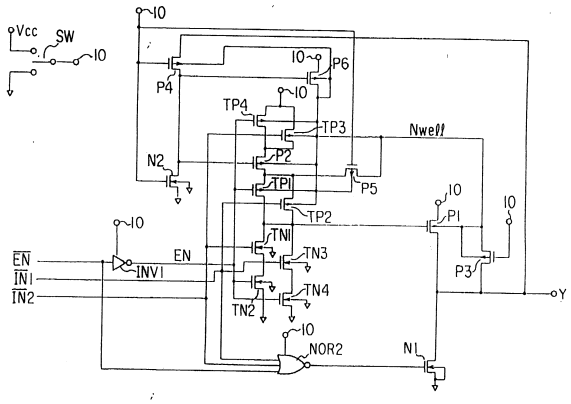
도면2


Vcc
SW
IO
Nwell
P4
P6
P2
P5
N2
TP1
TP2
EN
INV1
TN1
P1
P3
Y
IN
TN2
NOR1
N1

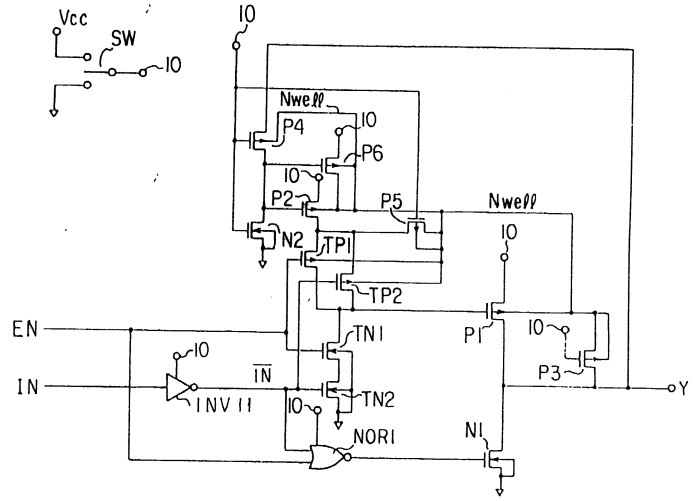
도면3


Vcc
SW
IO
Nwell
P4
P6
P2
P5
N2
TP1
TP2
EN
INV1
TN1
P1
P3
Y
IN
TN2
NOR1
N1

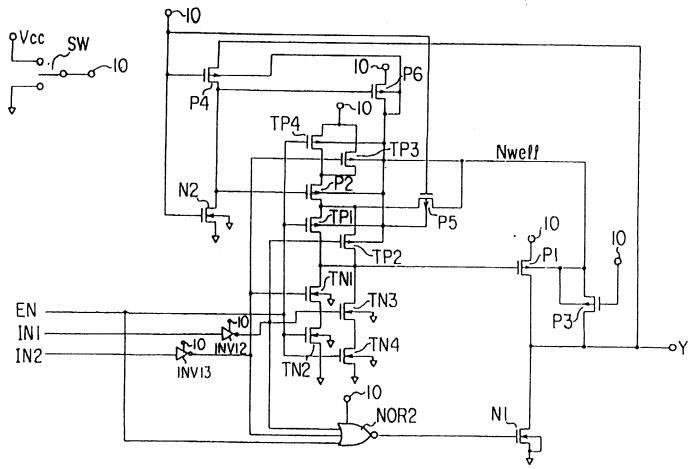
도면4


Vcc
SW
IO
P4
P6
TP4
TP3
Nwell
N2
P2
TP1
P5
TP2
P1
P3
TN1
TN3
TN4
TN2
EN
IN1
IN2
INV1
NOR2
N1
Y

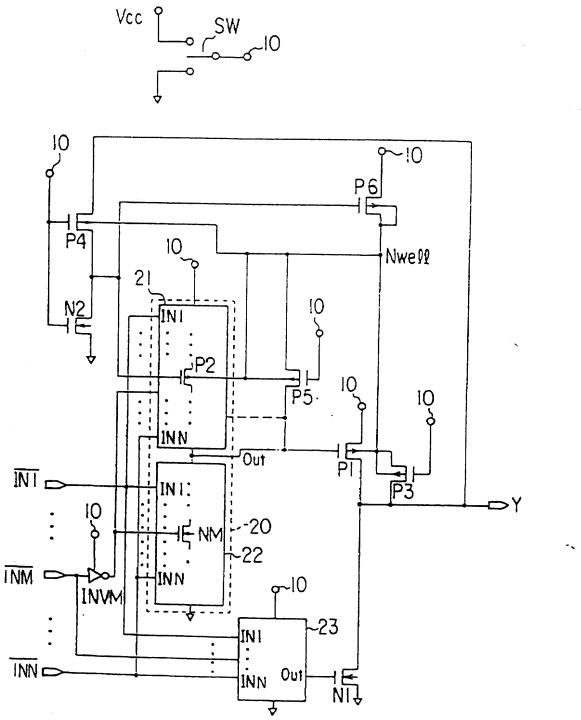
도면5


Vcc
SW
IO
Nwell
P4
P6
P2
P5
N2
TP1
TP2
P1
P3
TN1
EN
IN
INV11
TN2
NOR1
N1
Y

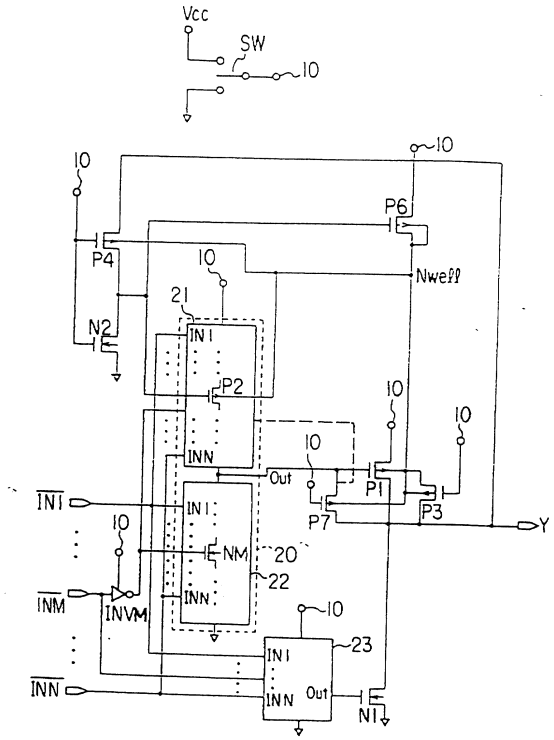
도면6


Vcc
SW
IO
P4
P6
TP4
TP3
Nwell
N2
P2
TP1
P5
TP2
P1
P3
TN1
TN3
TN4
TN2
EN
IN1
IN2
INV12
INV13
NOR2
N1
Y

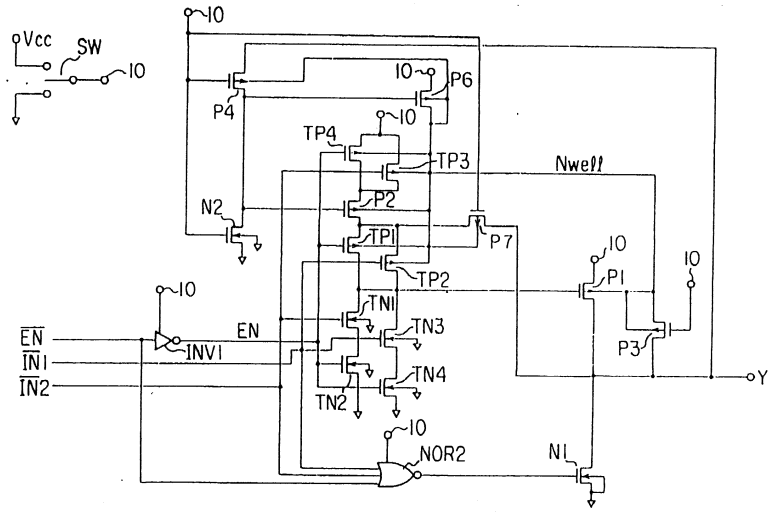
도면7


Vcc
SW
10
P6
P4
Nwell
N2
21
IN1
P2
P5
INN
Out
P1
P3
Y
NM
20
22
INVM
23
N1

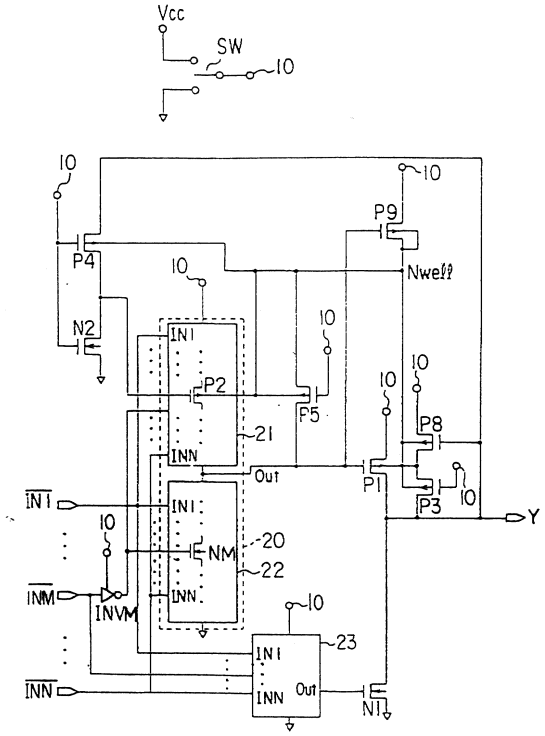
도면8


Vcc
SW
10
P6
P4
Nwell
N2
21
IN1
P2
INN
Out
P1
P7
P3
Y
NM
20
22
INVM
23
N1

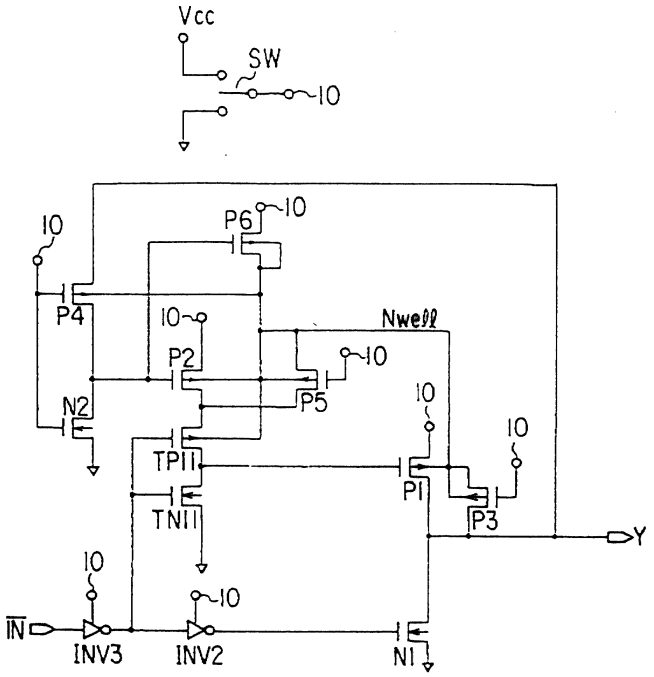
도면9


Vcc
SW
10
P4
P6
TP4
TP3
Nwell
N2
P2
TP1
P7
P1
TP2
TN1
TN3
EN
INV1
IN1
IN2
TN4
TN2
NOR2
N1
P3
Y

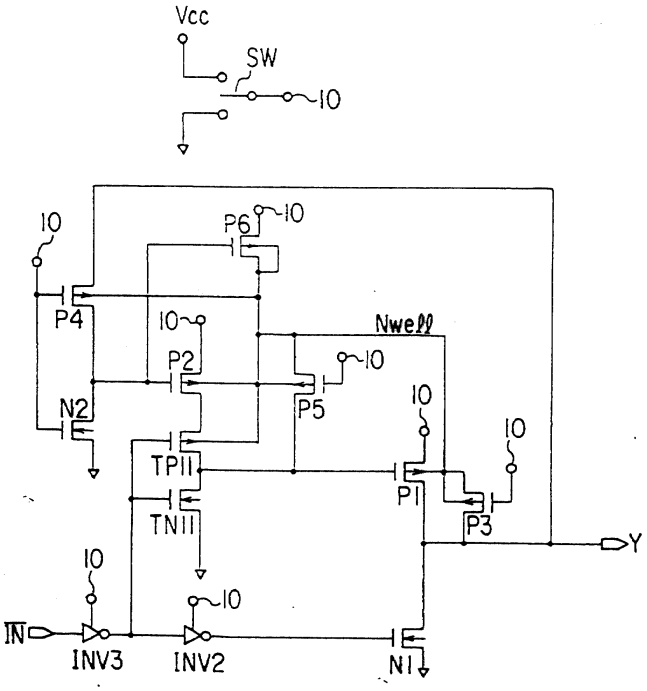
도면10


Vcc
SW
10
P4
P9
Nwell
N2
IN1
P2
P5
21
INN
Out
P1
P8
P3
Y
IN1
NM
20
22
INM
INVM
23
INN
Out
N1

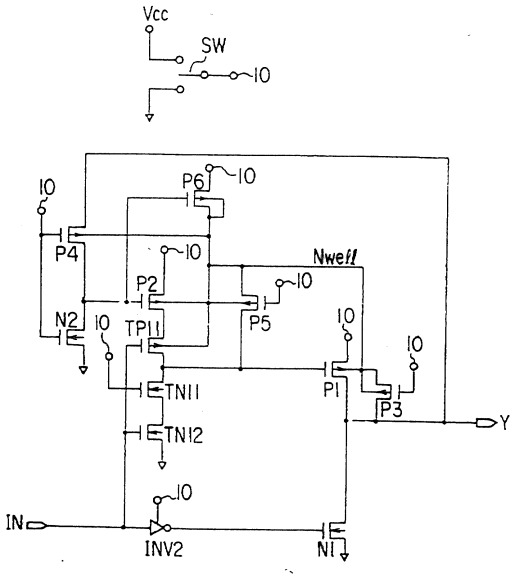
도면11


Vcc
SW
10
P6
P4
Nwell
P2
P5
N2
TPII
TNII
PI
P3
Y
IN
INV3
INV2
NI

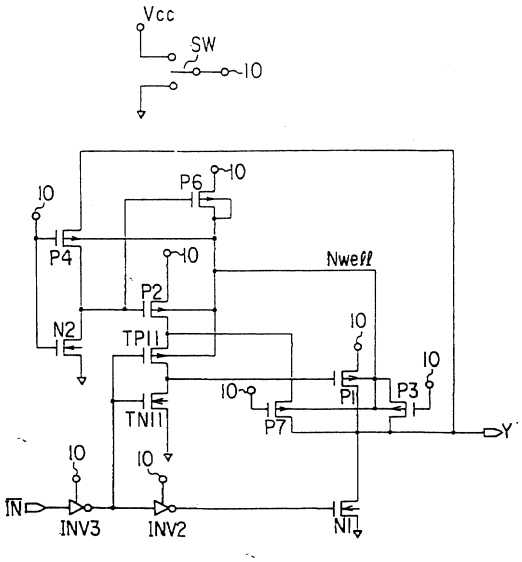
도면12


Vcc
SW
10
P6
P4
Nwell
P2
P5
N2
TPII
TNII
PI
P3
Y
IN
INV3
INV2
NI

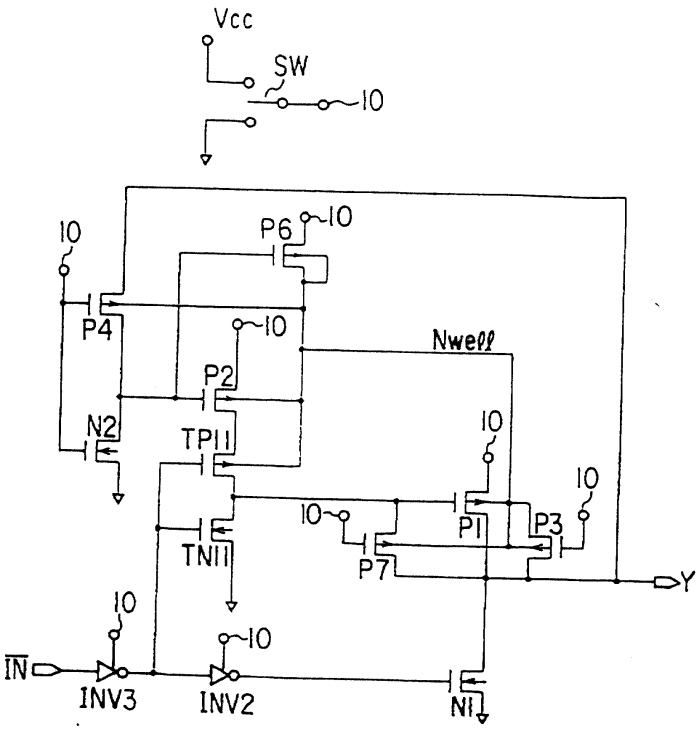
도면13


Vcc
SW
IO
P6
P4
P2
N2
TPII
TNII
TN12
P5
P1
P3
Nwell
Y
IN
INV2
NI

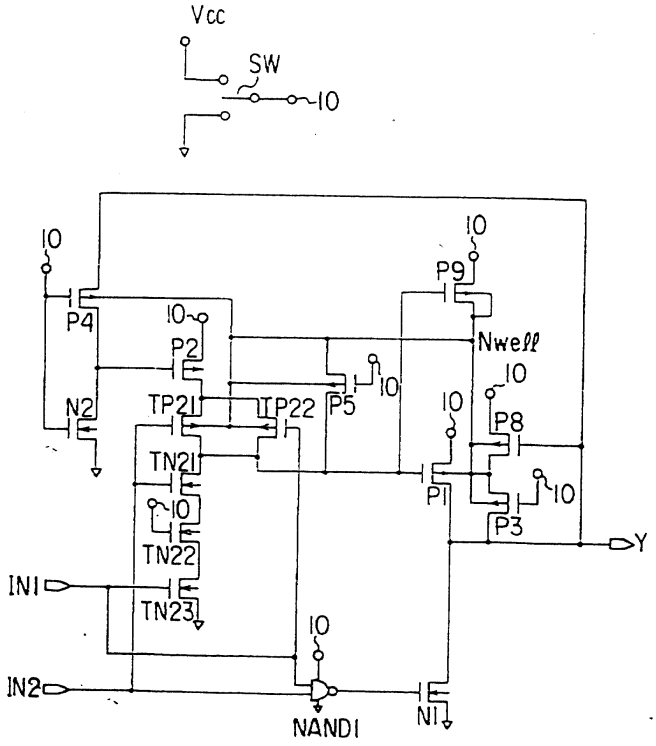
도면14


Vcc
SW
IO
P6
P4
P2
N2
TPII
TNII
P1
P3
P7
Nwell
Y
IN
INV3
INV2
NI

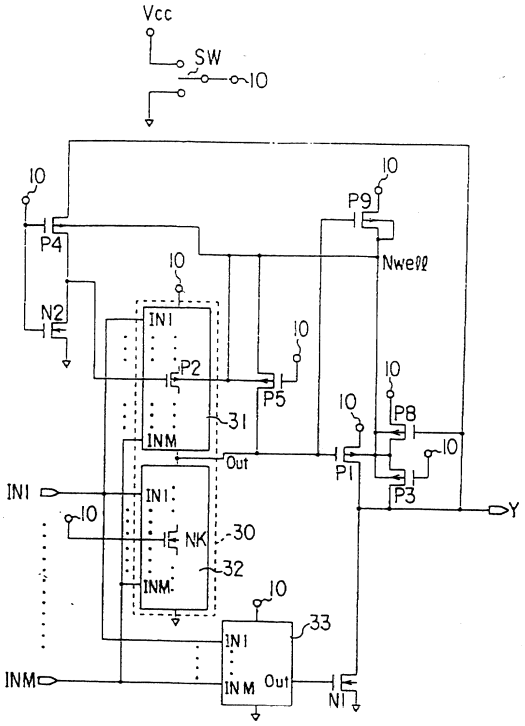
도면15


Vcc
SW
10
P6
P4
P2
N2
TPI1
TNI1
Nwell
P1
P3
P7
Y
IN
INV3
INV2
NI

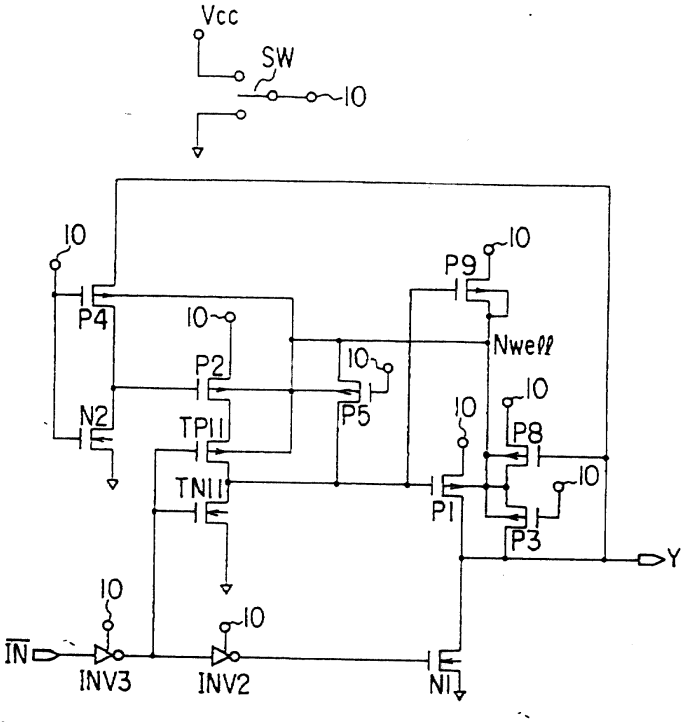
도면16


Vcc
SW
10
P9
P4
P2
N2
TP21
TP22
P5
Nwell
P8
TN21
P1
P3
Y
TN22
TN23
IN1
IN2
NAND1
NI

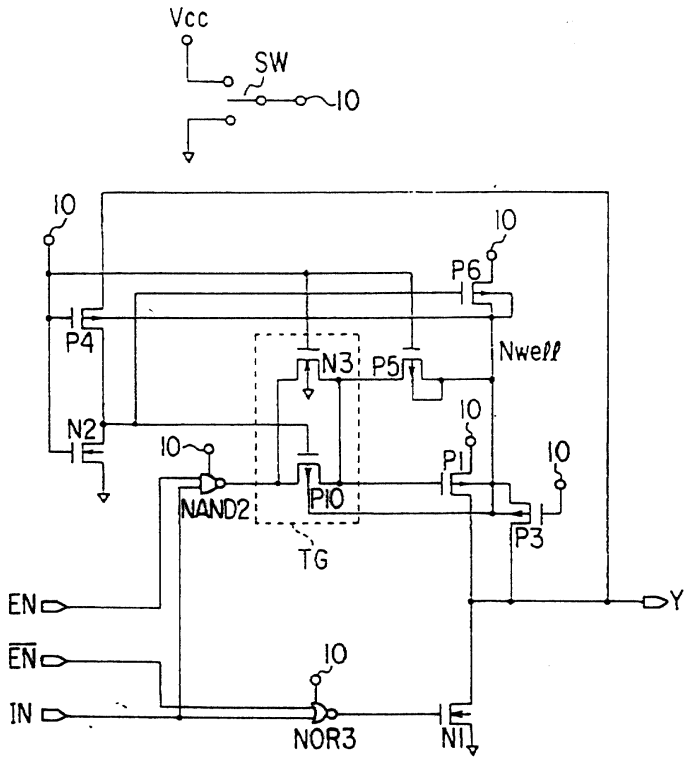
도면17


Vcc
SW
10
P4
P9
Nwell
N2
IN1
P2
P5
31
INM
Out
P8
P1
P3
Y
NK
30
32
33
IN1
INM
Out
N1

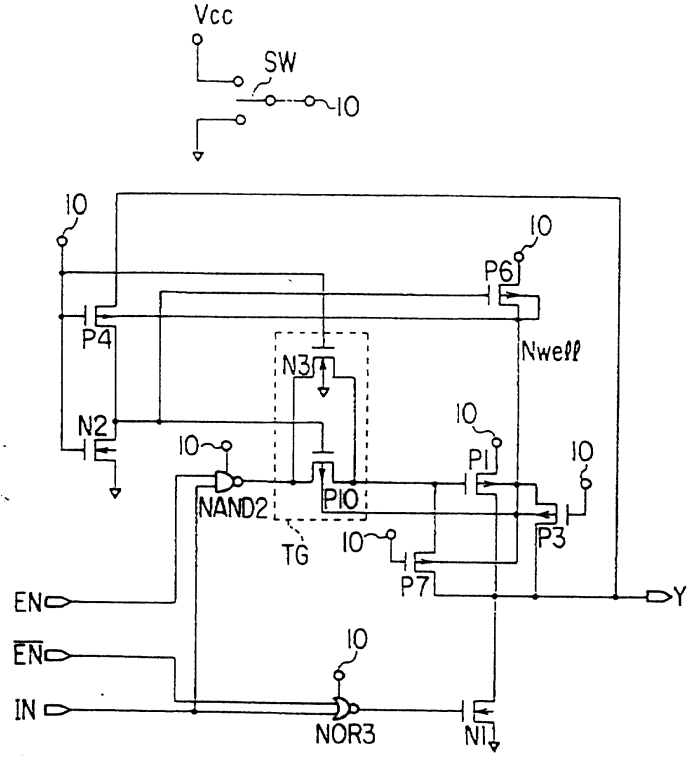
도면18


Vcc
SW
10
P4
P9
Nwell
P2
P5
N2
TP11
TN11
P8
P1
P3
Y
IN
INV3
INV2
N1

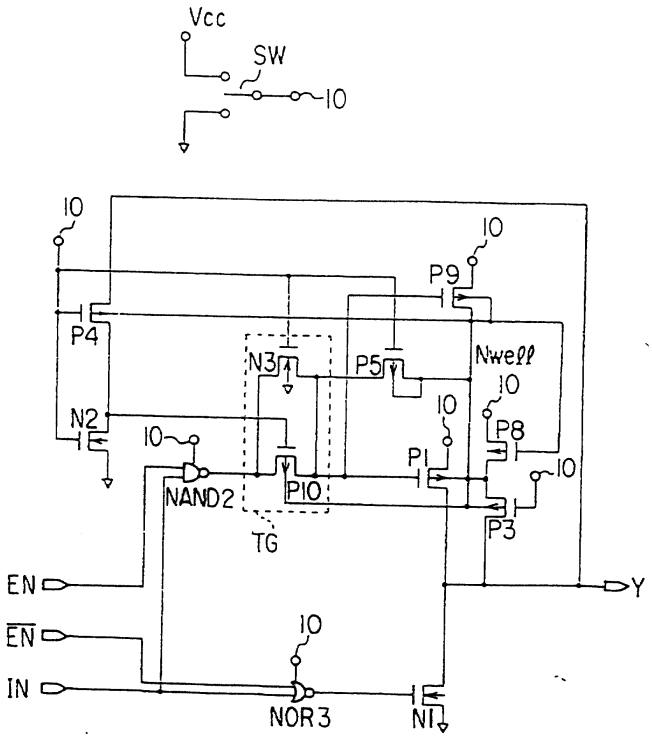
도면19


Vcc
SW
IO
P6
P4
N3
P5
Nwell
N2
P1
P10
NAND2
P3
TG
EN
Y
NOR3
N1
IN

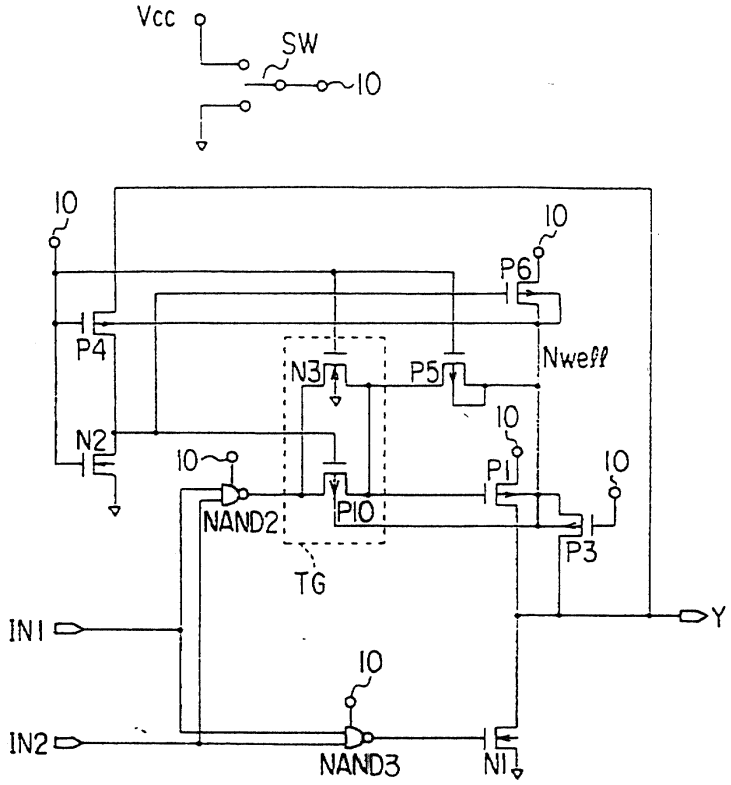
도면20


Vcc
SW
IO
P6
P4
N3
Nwell
N2
P1
P10
NAND2
P3
TG
P7
EN
Y
NOR3
N1
IN

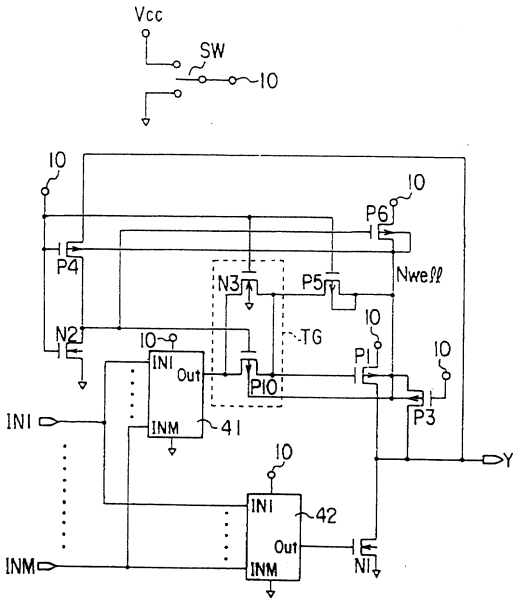
도면21


Vcc
SW
10
P9
P4
N3
P5
Nwell
N2
P8
P1
NAND2
P10
TG
P3
EN
Y
IN
NOR3
N1

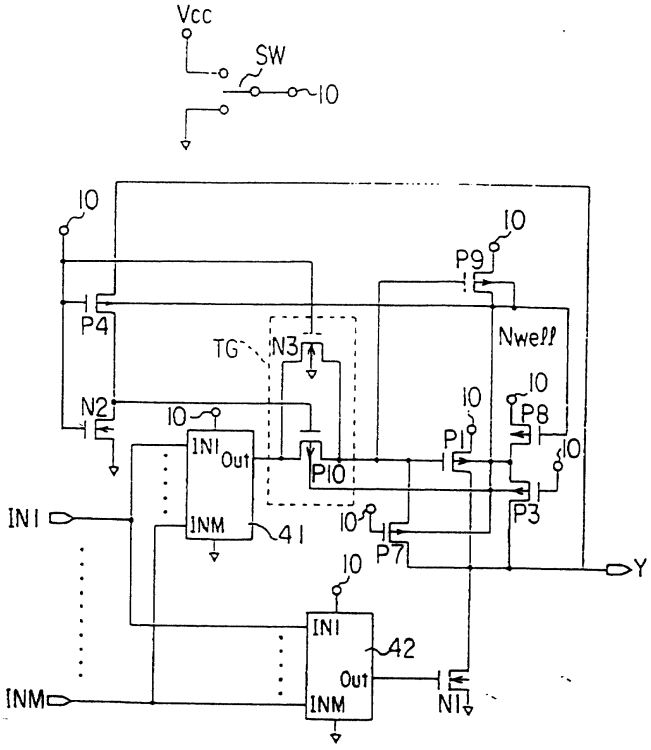
도면22


Vcc
SW
10
P6
P4
N3
P5
Nwell
N2
P1
NAND2
P10
TG
P3
IN1
Y
IN2
NAND3
N1

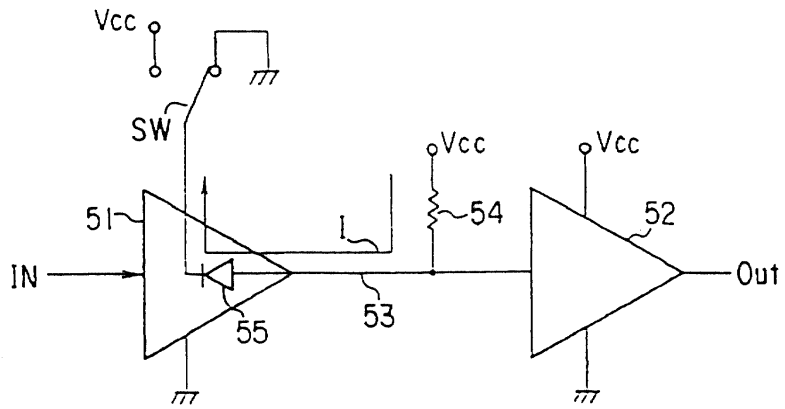
도면23


Vcc
SW
10
P6
P4
N3
P5
Nwell
N2
TG
P1
P10
P3
IN1
Out
INM
41
42
Y
N1

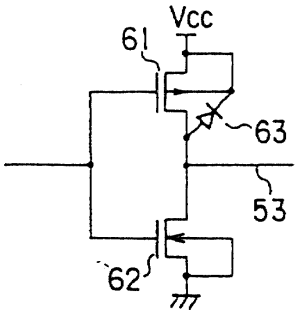
도면24


Vcc
SW
10
P9
P4
TG
N3
Nwell
N2
P8
P1
P10
P3
P7
IN1
Out
INM
41
42
Y
N1

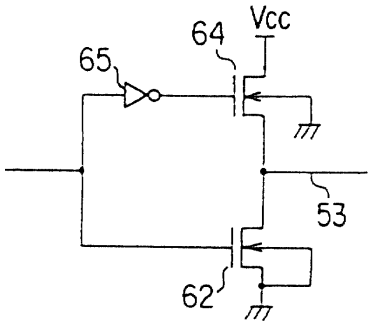
도면25



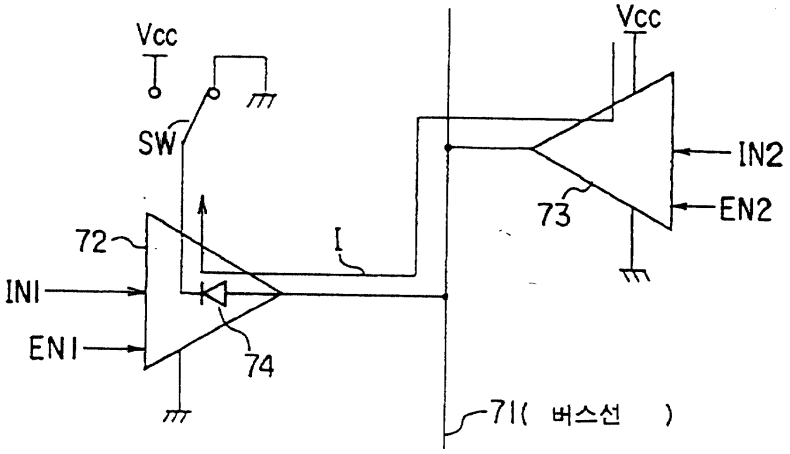
도면26



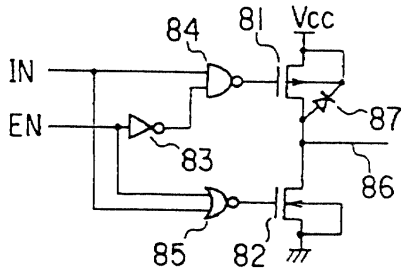
도면27



도면28



도면29



도면30

