

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成22年6月3日 (2010.6.3)

【公表番号】特表2009-537056(P2009-537056A)  
 【公表日】平成21年10月22日 (2009.10.22)  
 【年通号数】公開・登録公報2009-042  
 【出願番号】特願2009-508669(P2009-508669)  
 【国際特許分類】

G 1 1 C 16/06 (2006.01)

【F I】

G 1 1 C 17/00 6 3 9 C

【手続補正書】

【提出日】平成22年4月19日 (2010.4.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 つのメモリ素子を動作させる方法であって、  
データを 1 つの誤り訂正記号 (ECC) を用いて符号化し、前記符号化されたデータを第  
1 のアナログ値として前記メモリ素子のそれぞれのアナログ・メモリセルに格納するステ  
ップと、  
前記符号化されたデータを格納した後に、前記符号化されたデータが格納された前記メモ  
リ素子の前記メモリセルからそれぞれ第 2 のアナログ値を読み取るステップと、  
ここにおいて少なくともいくつかの前記第 2 のアナログ値は、それぞれの前記第 1 のア  
ナログ値と異なり、  
前記第 2 のアナログ値に含まれる 1 つの歪みを推定するステップと、  
前記推定された歪みに応答して前記第 2 のアナログ値に関して誤り訂正値を計算するステ  
ップと、  
前記データを再構成するために、1 つの ECC 復号プロセスにおいて前記誤り訂正値を用  
いて前記第 2 のアナログ値を処理するステップと、  
からなることを特徴とする方法。

【請求項 2】

前記誤り訂正値を計算するステップが、  
それぞれの前記メモリセルについて、前記歪みを示す 1 つ以上のセルパラメタを評価す  
るステップと、  
前記セルパラメタに応答して前記誤り訂正値を計算するステップと、  
を含むことを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記セルパラメタが、他のメモリセルから読み取られた前記アナログ値、前記他のメモリ  
セルの推定クロスカップリング係数、前記読み取られた第 2 のアナログ値の 1 つの統計的  
分布のパラメタ、前記メモリセルが従前に受けたプログラミングおよび消去サイクルの数  
、従前のプログラミングおよび消去サイクルの後からの経過時間、前記メモリセルで検出  
された従前の誤り、前記メモリセルが接続されている 1 つのワード線の 1 つの識別子、前  
記メモリセルが接続されている 1 つのビット線の 1 つの識別子、前記メモリセルが接続さ  
れている前記ビット線に結合された 1 つのセンスアンプの 1 つの推定パラメタ、および 1

つの環境パラメタから成るパラメタの1群から選択される、少なくとも1つのパラメタを含むことを特徴とする請求項2に記載の方法。

【請求項4】

前記第2のアナログ値を処理するステップが、

前記第2のアナログ値の可能な値の1つの範囲を複数の決定間隔に分割するステップと、

前記第2のアナログ値が入るそれぞれの前記決定間隔を決定するステップと、を含み

、  
前記誤り訂正値を計算するステップが、

前記ECC復号プロセスの性能を改善するために、前記第2のアナログ値を前記決定間隔に対して変更する1つの関数を定義するステップを含む、  
ことを特徴とする請求項1に記載の方法。

【請求項5】

前記第2のアナログ値を処理するステップが、

前記ECC復号プロセスの1つの性能に関するフィードバックを受け取るステップと

、  
前記フィードバックに応答して前記ECC復号プロセスを変更するステップと、  
を含むことを特徴とする請求項1に記載の方法。

【請求項6】

前記第2のアナログ値を処理するステップが、前記第2のアナログ値を決定閾値と比較するステップを含み、前記ECC復号プロセスを変更するステップが、前記決定閾値を変更するステップを含むことを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項7】

前記決定閾値を変更するステップが、前記変更した決定閾値を用いて、前記メモリセルから前記第2のアナログ値を再び読み取るステップを含むことを特徴とする請求項6に記載の方法。

【請求項8】

前記第2のアナログ値を前記決定閾値と比較するステップが、前記決定閾値を用いて前記メモリ素子の前記第2のアナログ値を読み取るステップを含み、前記決定閾値を変更するステップが前記閾値を変更する1つの命令を前記メモリ素子に送るステップを含む、  
ことを特徴とする請求項6に記載の方法。

【請求項9】

前記第2のアナログ値を処理するステップが、

異なる複数組の前記決定閾値を用いて、前記ECC復号プロセスをそれぞれ複数回反復することによって、各メモリセルに格納された前記データの多重の推定値を生成するステップと、

前記データの前記多重の推定値に応答して前記データを再構築するステップと、  
を含むことを特徴とする請求項6に記載の方法。

【請求項10】

前記データを再構築するステップが、それぞれの前記メモリセルに対し前記多重の推定値の内の1つを独立して選択するステップを含むことを特徴とする請求項9に記載の方法。

【請求項11】

前記第2のアナログ値を処理するステップが、1つの第1の誤り性能を有する1つの第1のECC復号プロセスを適用するステップを含み、

前記フィードバックを受け取るステップが、前記第1のECC復号プロセスを用いて復号された前記データにおける復号誤りの1つの表示を受け取るステップを含み、

前記ECC復号プロセスを変更するステップが、前記第1の誤り性能よりも性能が優れた1つの第2の誤り性能を有する1つの第2のECC復号プロセスを用いて前記第2のアナログ値を処理するステップを含む、  
ことを特徴とする請求項5に記載の方法。

## 【請求項 1 2】

前記 E C C 復号プロセスを変更するステップが、前記第 2 のアナログ値を読み取るのに用いる1 つのサンプリング分解能を変更するステップを含むことを特徴とする請求項 5 に記載の方法。

## 【請求項 1 3】

前記第 2 のアナログ値を読み取るステップが、  
それぞれの異なる複数組の前記決定閾値を用いて前記第 2 のアナログ値の多重のインスタンスを読み取るステップを含み、  
前記誤り訂正値を計算するステップが、  
それぞれの前記メモリセルに対し前記多重のインスタンスを独立して組み合わせるステップと、  
前記組み合わせられた多重のインスタンスに基づいて、前記誤り訂正値を計算するステップと、  
を含むことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

## 【請求項 1 4】

前記第 2 のアナログ値の前記複数のインスタンスを読み取り、組み合わせるステップが、  
前記第 2 のアナログ値の追加のインスタンスを反復して得るステップと、  
前記 E C C の復号に成功するまで、前記追加のインスタンスを用いて前記誤り訂正値を更新するステップと、  
を含むことを特徴とする請求項 1 3 に記載の方法。

## 【請求項 1 5】

それぞれの前記メモリセルについて、前記歪みを推定するステップが、  
前記メモリセルから読み取られた前記第 2 のアナログ値における前記歪みに寄与する可能性のある、1 サブ組の干渉可能性を有するメモリセルから、前記第 2 のアナログ値を読み取るステップを含み、  
前記誤り訂正値を計算するステップが、前記干渉可能性を有するメモリセルの寄与による前記歪みを評価するステップを含む、  
ことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

## 【請求項 1 6】

前記干渉可能性を有するメモリセルの寄与により前記メモリセルに与えられる前記歪みを評価するステップが、前記干渉可能性を有するメモリセルから読み取られた前記第 2 のアナログ値および前記メモリセルから読み取られた前記第 2 のアナログ値の両方に基づいて、干渉可能性を有するそれぞれのメモリセルの寄与による前記歪みを近似するステップを含むことを特徴とする請求項 1 5 に記載の方法。

## 【請求項 1 7】

前記第 2 のアナログ値を処理するステップが、  
前記メモリセルの前記第 2 のアナログ値を1 つの第 1 の量子化レベルで処理するステップと、  
前記干渉可能性を有するメモリセルから読み取られた前記第 2 のアナログ値を、前記第 1 の量子化レベルよりも粗い 1 つの第 2 の量子化レベルで処理するステップと、  
を含むことを特徴とする請求項 1 5 に記載の方法。

## 【請求項 1 8】

前記第 2 のアナログ値を処理するステップが、  
前記第 2 のアナログ値を読み取るのに使用される1 つの回路の 1 つの閾値を反復して変更することによって、前記第 2 のアナログ値を前記第 1 および第 2 の量子化レベルで読み取るステップを含む、  
ことを特徴とする請求項 1 7 に記載の方法。

## 【請求項 1 9】

前記符号化データを格納するステップが、

1つのプログラムおよび検証(P & V)プロセスを用いて前記第1のアナログ値を前記メモリセルに書き込むステップを含み、

前記歪みを推定するステップが、

前記P & Vプロセスによって、前記1つのメモリセルよりも早く完全にプログラムされたメモリセル、前記1つのメモリセルよりも遅く完全にプログラムされたメモリセル、および前記1つのメモリセルと同時に完全にプログラムされたメモリセル、から成る1群の部類から選択される少なくとも2つの部類に、複数の前記干渉可能性を有するメモリセルを分類するステップと、

歪みの合計をそれぞれの前記部類の中で別々に計算するステップと、  
を含むことを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項20】

前記メモリセルがフラッシュ・メモリセルからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項21】

前記メモリセルがダイナミック・ランダム・アクセス・メモリ(DRAM)セルからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項22】

前記メモリセルが位相変化メモリ(PCM)セルからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項23】

前記メモリセルが窒化読出し専用メモリ(NROM)セルからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項24】

前記メモリセルが磁気RAM(MRAM)セルからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項25】

前記メモリセルが強誘電体RAM(FRAM)セルからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項26】

前記ECCが1つのブロックコードからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項27】

前記ブロックコードが1つのBCHコードまたは1つのリード・ソロモン(RS)コードからなることを特徴とする請求項26に記載の方法。

【請求項28】

前記ブロックコードが1つの低密度奇偶検査(LDPC)コード、1つのターボコード、および1つのターボ・プロダクト・コード(PC)の内の1つからなることを特徴とする請求項26に記載の方法。

【請求項29】

前記ECC復号プロセスが1つの反復復号プロセスからなることを特徴とする請求項28に記載の方法。

【請求項30】

前記ECC復号プロセスが、前記第2のアナログ値を読み取ることによって生成されるフィードバックを使用することを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項31】

前記ECC復号プロセスが、1つの最尤シーケンス推定(MLSE)プロセスからなることを特徴とする請求項1～5のいずれか一項に記載の方法。

【請求項32】

前記ECCが、1つの従来コード、1つのトレリス符号化変調(TCM)コード、1つのビットインターリーブ符号化変調(BICM)コード、および1つの連結コードの内の

1 つからなることを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 33】

前記誤り訂正値が尤度比 ( L R ) からなることを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 34】

前記誤り訂正値が対数尤度比 ( L L R ) からなることを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 35】

前記歪みを推定するステップが、前記メモリセルの 1 つに含まれる前記歪みを他の複数のメモリセルに含まれる前記歪みに基づいて予測するステップを含むことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 36】

前記メモリセルが、孤立した複数の群の干渉可能性を有するメモリセルに配置され、それぞれの群の前記歪みを推定するステップが、前記群内の前記メモリセルのペア間の相互干渉を表わす 1 つのクロスカップリング行列の 1 つの逆行列を評価するステップを含み、

前記誤り訂正値を計算するステップが、前記第 1 のアナログ値に適用され、前記群内のそれぞれの前記メモリセルの平均歪みレベルを合計した前記クロスカップリング行列の前記逆行列と、前記第 2 のアナログ値に適用された前記クロスカップリング行列の前記逆行列との間の 1 つの距離を計算するステップを含む、ことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 37】

前記孤立した複数の群がそれぞれ窒化読出し専用メモリ ( N R O M ) セルからなり、それぞれの群内の前記干渉可能性を有するメモリセルがそれぞれの前記 N R O M セルの第 1 および第 2 の電荷蓄積領域からなることを特徴とする請求項 36 に記載の方法。

【請求項 38】

前記メモリセルが、孤立した複数の群の干渉可能性を有するメモリセルに配置され、それぞれの群の前記歪みを推定するステップが、前記群内のそれぞれの前記メモリセルの平均歪みレベルの 1 つのベクトル、および前記群内の前記メモリセルのペア間の相互干渉を表わす 1 つのクロスカップリング行列を評価するステップを含み、

前記誤り訂正値を計算するステップが、前記群内の前記メモリセルから読み取られた前記第 2 のアナログ値の 1 つのベクトルと、前記クロスカップリング行列と前記平均歪みレベルの前記ベクトルとの 1 つの積との 1 つの差分に回答して前記値を計算するステップを含む、ことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 39】

前記孤立した複数の群が、それぞれ窒化読出し専用メモリ ( N R O M ) セルからなり、それぞれの群内の前記干渉可能性を有するメモリセルが、それぞれ前記 N R O M セルの第 1 および第 2 の電荷蓄積領域からなる、ことを特徴とする請求項 38 に記載の方法。

【請求項 40】

前記符号化データを格納するステップが、  
前記符号化データをスクランブルするステップと、  
前記スクランブルされたデータを格納するステップと、を含み、  
前記第 2 のアナログ値を処理するステップが、  
前記メモリセルから読み取られた前記第 2 のアナログ値をデスクランブルするステップを含む、  
ことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の方法。

【請求項 41】

前記データを格納するステップが、  
少なくともいくつかの前記メモリセルを 1 つの消去されたレベルに維持するステップ

を含み、

前記第 2 のアナログ値を読み取るステップ、前記歪みを推定するステップ、前記誤り訂正值を計算するステップ、および前記第 2 のアナログ値を処理するステップが、

前記消去されたレベルに維持されていた前記メモリセルから読み取られた、前記第 2 のアナログ値の前記歪みを補償するステップを含む、  
ことを特徴とする請求項 1 ～ 5 のいずれか一項に記載の方法。

【請求項 4 2】

1 つの誤り訂正記号 ( E C C ) を用いて符号化され、第 1 のアナログ値として 1 つのメモリ素子のそれぞれのアナログ・メモリセルに格納されたデータを獲得する装置であって、

前記符号化されたデータが格納された前記メモリ素子の前記アナログ・メモリセルから、それぞれ第 2 のアナログ値を読み取るように構成される 1 つの読み取りユニットと、

ここにおいて少なくともいくつかの前記第 2 のアナログ値はそれぞれの前記第 1 のアナログ値と異なり、

前記第 2 のアナログ値に含まれる 1 つの歪みを推定し、前記推定された歪みに応答して前記第 2 のアナログ値に関して誤り訂正值を計算するように構成される 1 つの信号処理ユニットと、

前記 E C C を復号し、前記データを再構築するために、前記誤り訂正值を用いて前記第 2 のアナログ値を処理するように構成される 1 つの復号器と、  
からなることを特徴とする装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

【数 8】

$$[8] \quad H^{-1} \underline{y} = (H^{-1} \underline{x} + \underline{m}) + \underline{n}$$

ここで、項  $(H^{-1} \underline{x} + \underline{m})$  は決定性であり（そして、書き込まれたレベルは既知であると仮定すれば、既知であり）、 $\underline{n}$  はランダムかつホワイトである。

MSP52 は係数  $i_j$  を推定することによって  $H^{-1}$  を計算する。次に MSP は次式を最小にする  $\underline{x}$  の値を決定することによってデータを復号することができる。