

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4244890号
(P4244890)

(45) 発行日 平成21年3月25日(2009.3.25)

(24) 登録日 平成21年1月16日(2009.1.16)

(51) Int.Cl.

F I

H O 3 B 5/36 (2006.01)

H O 3 B 5/36

H O 3 B 5/32 (2006.01)

H O 3 B 5/32

J

請求項の数 3 (全 8 頁)

(21) 出願番号 特願2004-255119 (P2004-255119)
 (22) 出願日 平成16年9月2日(2004.9.2)
 (65) 公開番号 特開2006-74416 (P2006-74416A)
 (43) 公開日 平成18年3月16日(2006.3.16)
 審査請求日 平成18年9月4日(2006.9.4)

(73) 特許権者 000003104
 エプソントヨコム株式会社
 東京都日野市日野4 2 1 - 8
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 山本 壮洋
 神奈川県高座郡寒川町小谷二丁目1番1号
 東洋通信機株式会社
 内
 審査官 木林 知子

最終頁に続く

(54) 【発明の名称】 圧電発振回路

(57) 【特許請求の範囲】

【請求項 1】

直流電源と、該直流電源から供給される直流電圧の電圧変動を安定化する安定化電源と、前記安定化電源の出力電圧が供給され圧電振動子を振動源とする発振増幅回路と、前記安定化電源の出力電圧が供給され前記発振増幅回路の出力信号を増幅する第1のバッファ回路と、前記安定化電源の出力電圧が供給され前記第1のバッファ回路の出力信号を増幅する第2のバッファ回路と、第1のPch-MOSトランジスタと第1のNch-MOSトランジスタとを有し前記第2のバッファ回路の出力信号を増幅する第3のバッファ回路と、前記直流電源の直流電圧が供給されると共に第2のPch-MOSトランジスタと第2のNch-MOSトランジスタとを有し前記第3のバッファ回路の出力信号を増幅するプッシュプル増幅回路と、

10

20

デプレッション型 MOS トランジスタと、を備え、

該デプレッション型 MOS トランジスタのゲートに前記安定化電源の出力電圧を供給し、前記デプレッション型 MOS トランジスタのドレインに前記直流電源の直流電圧を供給し、前記デプレッション型 MOS トランジスタのソースを前記第 1 の P c h - MOS トランジスタのソースに接続した接続構成と、

前記第 2 の N c h - MOS トランジスタのドレインに前記外部直流電源の直流電圧を供給し、前記第 2 の N c h - MOS トランジスタのゲートを直流遮断コンデンサを介して前記第 3 のバッファ回路の出力に接続し、前記第 2 の N c h - MOS トランジスタのゲートに抵抗を介して前記安定化電源の出力電圧を供給した接続構成と、

10

前記第 2 の P c h - MOS トランジスタのゲートを直流遮断コンデンサを介して前記第 3 のバッファ回路の出力に接続し、前記第 2 の P c h - MOS トランジスタのゲートを抵抗を介して接地電位に接続した接続構成と、を備えたことを特徴とする圧電発振回路。

【請求項 2】

前記圧電振動子が水晶振動子であることを特徴とする請求項 1 に記載の圧電発振回路。

【請求項 3】

前記第 1、第 2 のバッファ回路を、直列接続された複数のバッファ回路としたことを特徴とする請求項 1 または請求項 2 のいずれかに記載の圧電発振器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、圧電発振回路に関し、特に電源ノイズによる位相ノイズ特性の劣化を防止しつつ、発振器の小型化を図った圧電発振回路に関する。

【背景技術】

【0002】

近年、携帯電話等の移動体通信における携帯機器の小型軽量化が強く求められ、これら携帯機器の周波数基準として用いられる水晶発振器においても小型化が求められている。図 6 は従来水晶発振器の一例を示す電気回路図である。同図に示すように、本発振器は、発振部を構成する水晶振動子 X 1、高周波抵抗 R f、発振用容量 C 1、C 2 及びインバータ増幅器 1 と、インバータ増幅器 2 と、インバータ増幅器 3 と、インバータ増幅器 4 と、プッシュプル増幅部を構成する抵抗 R 1、R 2、コンデンサ C 3、C 4、及び CMOS プッシュプル増幅器 5 と、安定化電源 6 と、コンデンサ C 5 とで構成される。

30

【0003】

前記インバータ増幅器 1 は P c h - MOS トランジスタ M 1 と N c h - MOS トランジスタ M 2 とからなる発振増幅回路であり、前記インバータ増幅器 2、3、4 はそれぞれ P c h - MOS トランジスタ M 3 と N c h - MOS トランジスタ M 4、P c h - MOS トランジスタ M 5 と N c h - MOS トランジスタ M 6、P c h - MOS トランジスタ M 7 と N c h - MOS トランジスタ M 8 とからなる初段、2 段目、3 段目のバッファ回路であり、前記 CMOS プッシュプル増幅器 5 は N c h - MOS トランジスタ M 9 と P c h - MOS トランジスタ M 10 とからなる出力増幅回路である。

40

【0004】

同図において、発振増幅用のインバータ増幅器 1 の出力は、初段バッファのインバータ増幅器 2 で十分な振幅にまで増幅され、2 段目、3 段目のバッファのインバータ増幅器 3、4 で波形成形されてコンデンサ C 3、C 4 を介して CMOS プッシュプル増幅器 5 の N c h - MOS トランジスタ M 9 と P c h - MOS トランジスタ M 10 のそれぞれのゲートに入力される。

この CMOS プッシュプル増幅器 5 は低インピーダンスで出力端 (O U T) より負荷へ

50

出力電流を供給する。

上述の各部位へは、前記安定化電源 6 から電圧 V_{reg} が供給される。この安定化電源 6 の出力回路にはバイパス用にコンデンサ C 5 が接続されて、電源回路の高周波ノイズを除去している。

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、水晶発振器を用いた機器の小型化に伴って、機器の部品実装基板の実装密度を極端に上げるために、前述の水晶発振器の安定化電源 6 の出力回路に挿入するバイパスコンデンサ C 5 を装着するためのスペースさえも充分に確保できないというのが現状である。小型化の要求に応えるために、前記バイパスコンデンサ C 5 を省くと発振出力に不要な高周波スペクトル成分が現れたり、安定化電源が発するノイズ成分によって、発振出力信号が位相変調を受けやすくなって、位相ノイズ特性におけるノイズフロアが劣化するという問題があった。

本発明は、上記課題を解決するためになされたものであって、小型化のため安定化電源回路にバイパスコンデンサを挿入しなくても優れた性能を有する圧電発振器を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するため、請求項 1 の圧電発振回路においては、直流電源と、該直流電源から供給される直流電圧の電圧変動を安定化する安定化電源と、前記安定化電源の出力電圧が供給され圧電振動子を振動源とする発振増幅回路と、前記安定化電源の出力電圧が供給され前記発振増幅回路の出力信号を増幅する第 1 のバッファ回路と、前記安定化電源の出力電圧が供給され前記第 1 のバッファ回路の出力信号を増幅する第 2 のバッファ回路と、第 1 の Pch-MOS トランジスタと第 1 の Nch-MOS トランジスタとを有し前記第 2 のバッファ回路の出力信号を増幅する第 3 のバッファ回路と、前記直流電源の直流電圧が供給されると共に第 2 の Pch-MOS トランジスタと第 2 の Nch-MOS トランジスタとを有し前記第 3 のバッファ回路の出力信号を増幅するプッシュプル増幅回路と、デプレッション型 MOS トランジスタと、を備え、該デプレッション型 MOS トランジスタのゲートに前記安定化電源の出力電圧を供給し、前記デプレッション型 MOS トランジスタのドレインに前記直流電源の直流電圧を供給し、前記デプレッション型 MOS トランジスタのソースを前記第 1 の Pch-MOS トランジスタのソースに接続した接続構成と、前記第 2 の Nch-MOS トランジスタのドレインに前記外部直流電源の直流電圧を供給し、前記第 2 の Nch-MOS トランジスタのゲートを直流遮断コンデンサを介して前記第 3 のバッファ回路の出力に接続し、前記第 2 の Nch-MOS トランジスタのゲートに抵抗を介して前記安定化電源の出力電圧を供給した接続構成と、前記第 2 の Pch-MOS トランジスタのゲートを直流遮断コンデンサを介して前記第 3 のバッファ回路の出力に接続し、前記第 2 の Pch-MOS トランジスタのゲートを抵抗を介して接地電位に接続した接続構成と、を備えたことを特徴とする。

また、請求項 2 においては、請求項 1 に記載の圧電発振器であって、前記圧電振動子が水晶振動子であることを特徴とする。

さらに、請求項 3 においては、請求項 1 又は 2 に記載の圧電発振器であって、前記第 1、第 2 のバッファ回路を、直列接続された複数のバッファ回路としたことを特徴とする。

【発明の効果】

【0007】

本発明によれば、水晶発振器の 3 段目バッファのインバータ回路および最終段の CMOS プッシュプル増幅器を直流電源で動作させ、発振回路部、初段バッファ及び 2 段目バッファのインバータ回路は安定化電源で動作させるようにしたので、安定化電源回路の動作スピードを上げることなく安定化電源出力電圧の安定化を図ることができる。そのため、電圧ノイズを従来レベル以下に抑えることができる。

したがって、従来、安定化電源回路に挿入していたバイパスコンデンサを小さくする、もしくは使用しないで前記安定化電源の安定化を図ることができるので、水晶発振器をさらに小型化できる。

また、安定化電源が安定するため、電源の電圧ノイズによって受ける振幅変調の影響を少なくでき、位相ノイズ特性のノイズフロアを改善することができる。さらに、発振回路およびバッファを安定化電源で動作させるので、電源電圧の広い範囲で安定した発振周波数特性が得られる。

したがって、本発明によれば、小型で高性能の低電圧水晶発振回路を提供する上で顕著な効果を期待できる。

【発明を実施するための最良の形態】

10

【0008】

本発明を図面に示した実施の形態に基づいて説明する。図1は、本発明に係わる圧電発振器としての水晶発振器の実施の一形態例を示す電気回路図である。

同図に示すように、本発振器は、発振部を構成する水晶振動子X1、高周波抵抗Rf、発振用容量C1、C2及びPch-MOSトランジスタM1、Nch-MOSトランジスタM2からなる発振増幅器としてのインバータ増幅器1と、Pch-MOSトランジスタM3、Nch-MOSトランジスタM4とからなる初段バッファとしてのインバータ増幅器2と、Pch-MOSトランジスタM5、Nch-MOSトランジスタM6とからなる2段目バッファとしてのインバータ増幅器3と、Pch-MOSトランジスタM6、Nch-MOSトランジスタM7とからなる3段目バッファとしてのインバータ増幅器4と、プッシュプル増幅回路を構成する高抵抗R1、R2、コンデンサC3、C4、及びNch-MOSトランジスタM9、Pch-MOSトランジスタM10とからなるCMOSプッシュプル増幅器5と、デプレッション型MOSトランジスタM11と、安定化電源6とで構成される。

20

【0009】

なお、本実施例のPch-MOSトランジスタM7、Nch-MOSトランジスタM8とからなるインバータ増幅器4とデプレッション型MOSトランジスタM11とを除く、水晶振動子X1、高周波抵抗Rf、発振用容量C1、C2、インバータ増幅器1、インバータ増幅器2、インバータ増幅器3、抵抗R1、R2、コンデンサC3、C4、CMOSプッシュプル増幅器5及び安定化電源6の機能動作は、図6の従来の水晶発振器の同一符号で示される構成部位の機能動作と同じであるので、同一部分の詳細な説明は省略する。

30

【0010】

同図に示すように、発振用のインバータ増幅器1、初段バッファのインバータ増幅器2、2段目バッファのインバータ増幅器3のそれぞれPch-MOSトランジスタM1、M3、M5のソース、デプレッション型のMOSトランジスタM11のゲートおよびプッシュプル増幅回路の抵抗R1は、安定化電源6の出力Vregに接続される。

また、デプレッション型MOSトランジスタM11のドレイン及びCMOSプッシュプル増幅器5のNch-MOSトランジスタM9のドレインは直流電源Vddに接続される。

【0011】

なお、発振用の増幅器は図1のようにインバータ増幅器に限ることはなく、例えばバイポーラトランジスタを用いて発振回路を構成しても良い。その場合は、同図の初段バッファのインバータ増幅器2の入力部(図中のA点)にDCカット用コンデンサを挿入し、初段バッファのインバータ増幅器2の入出力間には高抵抗の帰還バイアス抵抗を挿入する。

40

【0012】

上記回路構成において、3段目バッファのインバータ増幅器4の出力振幅は、MOSトランジスタM11のしきい値をVtM11とすると(Vreg-VtM11)となるが、たとえば、安定化電源電圧Vreg=2.1Vとしても、MOSトランジスタM11はデプレッション型MOSトランジスタであるので、振幅は1.9Vp-p程度に減るだけである。

そして、3段目バッファのインバータ増幅器4の出力信号は、コンデンサC3およびC4により直流分がカットされて、各々のコンデンサの他端に接続されたCMOSプッシュ

50

プル増幅器 5 の $Nch-MOS$ トランジスタ $M9$ のゲート及び $Pch-MOS$ トランジスタ $M10$ のゲートへそれぞれ入力される。

【0013】

ここで、 $Nch-MOS$ トランジスタ $M9$ のゲート電位は略 V_{reg} になっており、この $Nch-MOS$ トランジスタ $M9$ が ON となる際には $Pch-MOS$ トランジスタ $M10$ のゲート・ソース間電圧 V_{gsM10} は略 $0V$ になり、 $Pch-MOS$ トランジスタ $M10$ は OFF 状態となる。

したがって、発振出力端 (OUT) の出力電圧振幅は、電源電圧に依存せずに、 $Nch-MOS$ トランジスタ $M9$ のしきい値を V_{tM9} とすると、 $(V_{reg} - V_{tM9})$ でほぼ一定に保たれ、たとえば、 $V_{reg} = 2.1V$ とすれば、図 2 (a) の発振出力電源電圧特性図に示すように、電源電圧の変動に対しておよそ $1.3V_{p-p}$ 程度の一定の発振出力信号が得られる。また、このときの消費電流電源電圧特性は図 2 (b) に示すようにほぼ一定になる。

10

【0014】

さらに、発振増幅用と初段バッファおよび 2 段目バッファのインバータ増幅器 1、2、3 が安定化電源 6 で駆動されるので、周波数変動も極めて小さく抑えることができる。ただし、直流電源電圧 V_{dd} が低くなってくると安定化電源 6 のトランジスタが飽和領域で動作するようになるが、 $V_{dd} - V_{reg} = 0.2V$ であれば特に問題はなく、広い直流電源電圧の範囲で良好な発振特性を得ることができる。

たとえば、安定化電源電圧 $V_{reg} = 2.1V$ で直流電源電圧 V_{dd} が最低値の $2.3V$ とした場合、図 2 (c) の周波数電源電圧特性図に示すように、直流電源電圧 V_{dd} の非常に広い範囲で高い周波数精度が得られ、発振出力レベルも極めて安定している。

20

【0015】

上述のように、 $CMOS$ プッシュプル増幅器 5 が出力端 (OUT) に接続された負荷へ供給する電流、及び 3 段目のインバータ増幅器 4 がコンデンサ $C3$ 、 $C4$ へ電荷をチャージする比較的大きな電流は、それぞれ直流電源 (V_{dd}) から得るように構成して、図 1 の C 点の信号レベルが 3 段目のインバータ増幅器 4 のスレッシュホールドレベルに対して LOW になった際に、3 段目のインバータ増幅器 4 および最終段 $CMOS$ プッシュプル増幅器 5 が安定化電源から大電流を引き込まないようにしたので、図 3 の動作点 A 、 B 、 C の電圧波形を示す図に示すように、安定化電源 6 の電圧 V_{reg} の安定化を図ることができる。

【0016】

30

これに対して、図 4 は、図 6 の従来水晶発振回路における A 、 B 、 C 各動作点の電圧波形を示す図で、同図に示されるように、図 6 の C 点が 3 段目のバッファのインバータ増幅器 4 のスレッシュホールドレベルに対して LOW になった直後、安定化電源 6 から瞬時に大電流が引き込まれるので、安定化電源 6 がこの動作スピードに対応できず、出力電圧 V_{reg} に電圧変動が生じ、同時に発振出力も変動している。

【0017】

前述のように安定化電源 6 の出力電圧 V_{reg} の安定化が図られることによって、発振出力信号から不要なスペクトルを除去することができるほか、安定化電源が発生するノイズによる振幅変調を受け難くなるので、位相ノイズ特性のノイズフロアが著しく改善される。

図 5 は、本発明の水晶発振回路と従来水晶発振回路の位相ノイズ特性の比較図である。同図に示すように、本発明によれば、 $10kHz$ 以上の離調周波数においては、 $10dB$ 程度位相ノイズ特性を改善することができる。

40

【0018】

このとき、バッファ回路の NF (Noise Figure) 計算式 (1) に示されるように、バッファ初段のインバータ増幅器 2 のゲインをある程度大きめに設定しておかないと、ノイズ特性が劣化しやすいので、初段のインバータ増幅器 2 のゲインを 2 段目のインバータ増幅器 3 よりも大きめ、あるいは同等レベルにしておく必要がある。

$$NF = NF1 + (NF2 - 1) / G1 + (NF3 - 1) / G1G2 + (NF4 - 1) / G1G2G3 \quad (1)$$

ただし、

50

G 1 : 初段インバータ増幅器のゲイン、
 G 2 : 2 段目インバータ増幅器のゲイン、
 G 3 : 3 初段目インバータ増幅器のゲイン、
 G 4 : 最終段 C M O S プッシュプル増幅器のゲイン、
 N F 1 : 初段インバータ増幅器の N F 、
 N F 2 : 2 段目インバータ増幅器の N F 、
 N F 3 : 3 段目インバータ増幅器の N F 、
 N F 4 ; 最終段 C M O S プッシュプル増幅器の N F

なお、本発明は上述の実施例のみに限定されるものではなく、例えばバッファ回路は 3 段以外の多段構成であってもよい。

10

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】本発明に係わる圧電発振器としての水晶発振器の実施の一形態例を示す電気回路図。

【図 2】(a) は発振出力電源電圧特性の比較図、(b) は消費電流電源電圧特性の比較図、(c) は周波数電源電圧特性の比較図。

【図 3】本発明の圧電発振器の動作点 A、B、C の電圧波形を示す図。

【図 4】従来水晶発振回路の動作点 A、B、C の電圧波形を示す図

【図 5】本発明の水晶発振回路と従来水晶発振回路の位相ノイズ特性の比較図

【図 6】従来水晶発振器の一例を示す電気回路図。

20

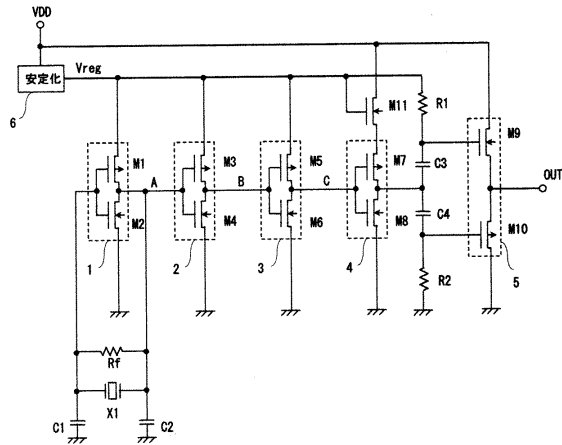
【符号の説明】

【 0 0 2 0 】

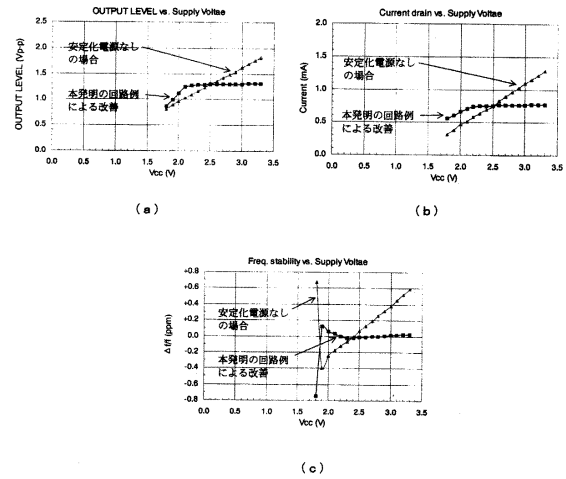
1・・・インバータ増幅器（発振増幅回路）、
 2、3、4・・・インバータ増幅器（バッファ回路）、
 5・・・C M O S プッシュプル増幅器、
 6・・・安定化電源、
 A、B、C・・・動作点、C 1、C 2・・・発振用容量、
 C 3、C 4、C 5・・・コンデンサ、
 M 1、M 3、M 5、M 7、M 1 0・・・P c h - M O S トランジスタ、
 M 2、M 4、M 6、M 8、M 9・・・N c h - M O S トランジスタ、
 M 1 1・・・デプレッション型 M O S トランジスタ
 R 1、R 2・・・抵抗、R f・・・高周波抵抗、Vdd・・・直流電源、
 Vreg・・・安定化電源の出力電圧、X 1・・・水晶振動子、

30

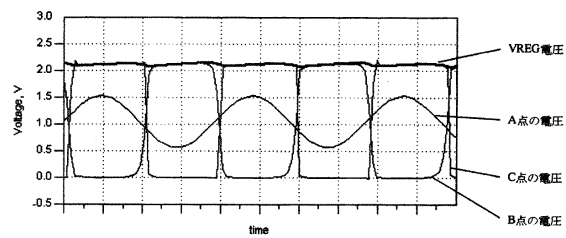
【図 1】



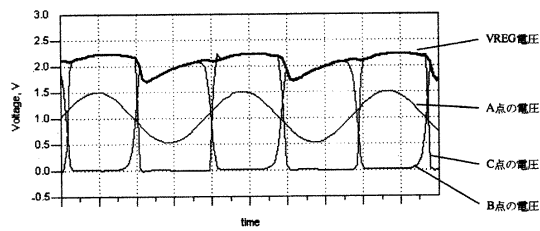
【図 2】



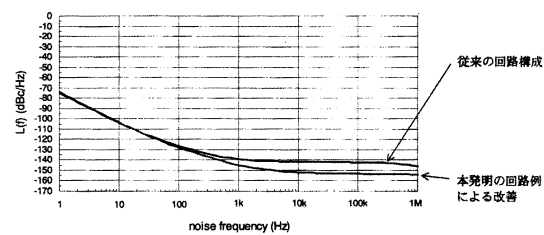
【図 3】



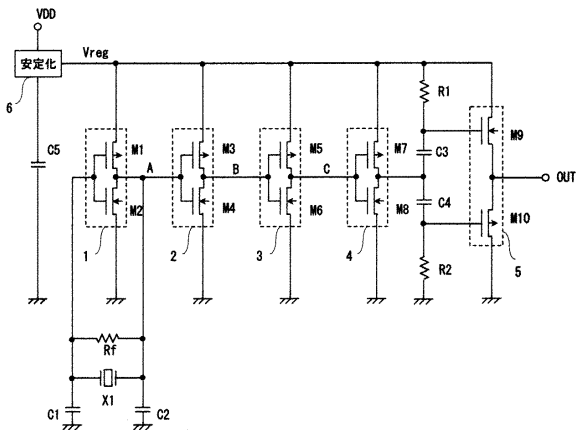
【図 4】



【図 5】



【図 6】



フロントページの続き

(56)参考文献 特開2003-338710(JP,A)
特開2002-261545(JP,A)
特開平09-294066(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03B 5/30-5/42