

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5643268号
(P5643268)

(45) 発行日 平成26年12月17日(2014.12.17)

(24) 登録日 平成26年11月7日(2014.11.7)

(51) Int.Cl.

H01L 33/00 (2010.01)

F I

H01L 33/00

J

請求項の数 15 (全 15 頁)

(21) 出願番号	特願2012-196985 (P2012-196985)	(73) 特許権者	512233019 宣昶股▲分▼有限公司 台湾臺北市内湖區民權東路6段13之20 號5樓
(22) 出願日	平成24年9月7日(2012.9.7)	(74) 代理人	100121692 弁理士 田口 勝美
(65) 公開番号	特開2013-232615 (P2013-232615A)	(74) 代理人	100125221 弁理士 水田 慎一
(43) 公開日	平成25年11月14日(2013.11.14)	(74) 代理人	100084375 弁理士 板谷 康夫
審査請求日	平成24年9月7日(2012.9.7)	(72) 発明者	郭啓仁 台湾臺北市内湖區民權東路6段13之20 號5樓
(31) 優先権主張番号	101115237		
(32) 優先日	平成24年4月27日(2012.4.27)		
(33) 優先権主張国	台湾(TW)		
		審査官	高 椋 健司
			最終頁に続く

(54) 【発明の名称】 発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法

(57) 【特許請求の範囲】

【請求項1】

発光ダイオードモジュールと組み合わされる発光ダイオード駆動回路であって、
クロック信号を受信するとともに読取り信号を出力する読取りアドレス生成ユニットと

、
前記読取りアドレス生成ユニットに接続されるとともに、前記読取り信号に基づいて出力信号を生成するメモリユニットと、

前記メモリユニットに接続されるとともに、前記出力信号および前記クロック信号を受信して、前記発光ダイオードモジュールに駆動信号を出力する駆動ユニットと、を包括し

、
前記駆動ユニットは、前記メモリユニットに接続されるとともに、前記出力信号および前記クロック信号を受信するフリップフロップと、前記フリップフロップに接続されるとともに、前記出力信号および前記クロック信号に基づいて前記駆動信号を出力するドライバとから成り、

前記クロック信号が二進重み付けクロック信号であることを特徴とする発光ダイオード駆動回路。

【請求項2】

前記読取りアドレス生成ユニットは、

前記クロック信号を受信する読取りアドレスカウンタと、

前記読取りアドレスカウンタに接続されるとともに、前記読取り信号を出力する読取り

10

20

アドレスデコーダと、を包括していることを特徴とする請求項 1 に記載の発光ダイオード駆動回路。

【請求項 3】

前記駆動信号は、一動作周期中に複数の導通期間を有するとともに、これら導通期間は非連続であることを特徴とする請求項 1 に記載の発光ダイオード駆動回路。

【請求項 4】

前記メモリユニットは、デュアルポート S R A Mであることを特徴とする請求項 1 に記載の発光ダイオード駆動回路。

【請求項 5】

前記メモリユニットに接続されるとともに、ラッチイネーブル信号に基づいて前記メモリユニットに書き込み信号を出力する書き込みアドレス生成ユニットと、

前記メモリユニットに接続されているシフトレジスタと、をさらに包括していることを特徴とする請求項 1 に記載の発光ダイオード駆動回路。

【請求項 6】

書き込みアドレス生成ユニットは、

前記ラッチイネーブル信号を受信する書き込みアドレスカウンタと、

前記書き込みアドレスカウンタに接続されるとともに、前記書き込み信号を出力する書き込みアドレスデコーダとを包括していることを特徴とする請求項 5 に記載の発光ダイオード駆動回路。

【請求項 7】

読取りアドレス生成ユニットと、メモリユニットと、駆動ユニットとを有した発光ダイオード駆動回路と組み合わせられる発光ダイオードモジュールの駆動方法であって、

前記読取りアドレス生成ユニットがクロック信号を受信するとともに、前記メモリユニットに読取り信号を出力する工程と、

前記メモリユニットが前記読取り信号に基づいて、出力信号を生成する工程と、

前記駆動ユニットが前記出力信号および前記クロック信号を受信するとともに、発光ダイオードモジュールに前記駆動信号を出力する工程と、を包括し、

前記駆動ユニットは、前記メモリユニットに接続されるとともに、前記出力信号および前記クロック信号を受信するフリップフロップと、前記フリップフロップに接続されるとともに、前記出力信号および前記クロック信号に基いて前記駆動信号を出力するドライバとから成り、

前記クロック信号が二進重み付けクロック信号であることを特徴とする発光ダイオードモジュールの駆動方法。

【請求項 8】

書き込みアドレス生成ユニットによりラッチイネーブル信号に基づいて前記メモリユニットに書き込み信号を出力する工程をさらに包括していることを特徴とする請求項 7 に記載の駆動方法。

【請求項 9】

複数の発光ダイオードモジュールと組み合わせられる発光ダイオード駆動装置であって、

並列接続されている複数のメモリユニットと、

ラッチイネーブル信号に基づいて書き込み信号を生成する書き込みアドレス生成ユニットと

、
クロック信号を受信するとともに前記メモリユニットのそれぞれに読取り信号を出力する読取りアドレス生成ユニットと、

対応するメモリユニットにそれぞれ接続されている複数の駆動ユニットと、を含んでおり、

各駆動ユニットは、各メモリユニットにそれぞれ接続されるとともに、前記出力信号および前記クロック信号を受信するフリップフロップと、当該フリップフロップに接続されるとともに、前記出力信号および前記クロック信号に基いて前記駆動信号を出力するドライバとから成り、

10

20

30

40

50

これらメモリユニットのうちの一つは前記書込み信号に基づいてグレースケール信号を書き込み、前記メモリユニットのそれぞれは前記読取り信号に基づいて対応する発光ダイオードモジュールに駆動信号を出力し、前記駆動ユニットの各々は前記出力信号および前記クロック信号に基づいて、対応する発光ダイオードモジュールに駆動信号を出力し、前記クロック信号が二進重み付けクロック信号であることを特徴とする発光ダイオード駆動装置。

【請求項 10】

前記読取りアドレス生成ユニットは、
前記クロック信号を受信する読取りアドレスカウンタと、
前記読取りアドレスカウンタに接続されるとともに、前記読取り信号を出力する読取りアドレスデコーダと、を包括することを特徴とする請求項 9 に記載の発光ダイオード駆動装置。

10

【請求項 11】

前記駆動信号は一動作周期中に複数の導通期間を有するとともに、これら導通期間は非連続的であることを特徴とする請求項 9 に記載の発光ダイオード駆動装置。

【請求項 12】

メモリユニットは、デュアルポート S R A Mであることを特徴とする請求項 9 に記載の発光ダイオード駆動装置。

【請求項 13】

前記書込みアドレス生成ユニットは、
前記ラッチイネーブル信号を受信する書込みアドレスカウンタと、
前記書込みアドレスカウンタに接続されるとともに、前記書込み信号を出力する書込みアドレスデコーダと、を包括することを特徴とする請求項 9 に記載の発光ダイオード駆動装置。

20

【請求項 14】

複数のメモリユニットと、書込みアドレス生成ユニットと、読取りアドレス生成ユニットと、複数の駆動ユニットとを包括する発光ダイオード駆動装置と組み合わせられる発光ダイオードモジュールの駆動方法であって、

前記読取りアドレス生成ユニットがクロック信号を受信するとともに、前記メモリユニットのそれぞれに読取り信号を出力する工程と、

30

前記メモリユニットのそれぞれが前記読取り信号に基づいて、対応する前記駆動ユニットに出力信号を出力する工程と、

前記駆動ユニットのそれぞれが前記出力信号および前記クロック信号に基づいて、対応する前記発光ダイオードモジュールに前記駆動信号を出力する工程と、を包括し、

各駆動ユニットは、各メモリユニットにそれぞれ接続されるとともに、前記出力信号および前記クロック信号を受信するフリップフロップと、当該フリップフロップに接続されるとともに、前記出力信号および前記クロック信号に基づいて前記駆動信号を出力するドライバとから成り、

前記クロック信号が二進重み付けクロック信号であることを特徴とする発光ダイオードモジュールの駆動方法。

40

【請求項 15】

前記書込みアドレス生成ユニットがラッチイネーブル信号に基づいて書込み信号を生成する工程と、

これらメモリユニットのうちの一つは前記書込み信号に基づいてグレースケール信号を書き込む工程と、をさらに包括することを特徴とする請求項 14 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法に関する。

【背景技術】

50

【 0 0 0 2 】

発光ダイオード (Light Emitting Diode、LED) は高い光電変換効率を有するとともに、操作安定性が高いパルス幅変調 (Pulse Width Modulation、パルス幅変調) によって輝度を制御 (またはグレースケール制御ともいう) することができるため、例えば表示装置のバックライト、照明装置、広告ディスプレイまたは大型表示装置の画素単位といった数多くの電子装置の光源またはディスプレイデバイスなどに応用されている。 (例えば、特許文献 1 参照)

【 0 0 0 3 】

従来の発光ダイオード駆動回路 1 である図 1 A を参照されたい。発光ダイオード駆動回路 1 はデータレジスタユニット 1 1 と、カウンタ 1 2 と、コンパレータ 1 3 と、ドライバ 1 4 とを有している。データレジスタユニット 1 1 はシステム側 (図示されていない) からのグレースケール情報を受信して保存している。カウンタ 1 2 はシステム側が出力したクロック信号を受信する。コンパレータ 1 3 の第一端 1 3 1 はデータレジスタユニット 1 1 に接続されており、コンパレータ 1 3 の第二端 1 3 2 はカウンタ 1 2 に接続されるとともに第一端 1 3 1 および第二端 1 3 2 はそれぞれデータレジスタユニット 1 1 およびカウンタ 1 2 が出力した信号を受信している。コンパレータ 1 3 は第一端 1 3 1 および第二端 1 3 2 が受信した信号を比較し、第一端 1 3 1 が受信した信号が第二端 1 3 2 が受信した信号よりも大きい場合、コンパレータ 1 3 の出力端に論理的な高電位が発生することで、ドライバ 1 4 が定電流源 (Constant Current Source) によって発光ダイオードを点灯させている。第二端 1 3 2 が受信した信号が第一端 1 3 1 が受信した信号よりも大きい場合、コンパレータ 1 3 の出力端に論理的な低電位が発生すると同時に、ドライバ 1 4 は発光ダイオードを点灯させない。したがって、図 1 B に示すように、コンパレータ 1 3 での比較結果により、ドライバ 1 4 はパルス幅変調信号を出力して、発光ダイオードに異なるグレースケール (gray scale) の輝度を生じさせるものであり、かつ前記したパルス幅変調信号の動作周期 T 中における導通期間 T_1 は、連続した導通期間である。このうち、グレースケールは輝度の明暗レベルであり、従来の発光ダイオード駆動回路 1 ではドライバ 1 4 が出力したパルス幅変調信号により、発光ダイオードを異なる輝度で発光させている。導通期間 T_1 が長いほど、発光ダイオードが点灯される期間は長く、輝度は高くなり、反対に、導通期間 T_1 が短いほど、輝度は低くなり、導通期間 T_1 がゼロのときには、発光ダイオードは消灯することを意味している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 台湾特許第 I 3 4 8 6 6 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、従来の発光ダイオード駆動回路 1 におけるコンパレータ 1 3 はデータレジスタユニット 1 1 およびカウンタ 1 2 からの信号を比較するために、大量の金属酸化膜半導体電界効果トランジスタ (MOSFET) から構成されており、例えばコンパレータ 1 3 にて 1 2 ビット (bit) のコンパレータを一つ使用する場合には、コンパレータ 1 3 内には少なくとも 8 6 4 個の MOSFET を有することになる。MOSFET はそれ自体がドレイン電流および寄生キャパシタンスという欠陥が存在しているので、大量の MOSFET を使用したコンパレータ 1 3 では予想外の電力が損失してしまうという問題があった。

【 0 0 0 6 】

したがって、不要な電力損失を減らすとともに、処理効率を高めることができる発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法を如何に提供するかということは、重要な課題の一つとなっていた。

【 課題を解決するための手段 】

【 0 0 0 7 】

上記課題に鑑み、本発明の目的は、不要な電力損失を減らすとともに、処理効率を高めることができる発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法を提供することにある。

【 0 0 0 8 】

上記目的を達成するために、本発明に係る発光ダイオード駆動回路は発光ダイオードモジュールと組み合わせられる。発光ダイオード駆動回路は読取りアドレス生成ユニットと、メモリユニットと、駆動ユニットとを包括している。読取りアドレス生成ユニットはクロック信号を受信するとともに読取り信号を出力する。メモリユニットは読取りアドレス生成ユニットに接続されるとともに、読取り信号に基づいて出力信号を生成する。駆動ユニットはメモリユニットに接続されるとともに、出力信号およびクロック信号を受信して、発光ダイオードモジュールに駆動信号を出力する。駆動ユニットはフリップフロップと、ドライバとを包括している。フリップフロップはメモリユニットに接続されるとともに、出力信号およびクロック信号を受信する。ドライバはフリップフロップに接続されるとともに駆動信号を出力する。クロック信号は二進重み付けクロック信号である。

10

【 0 0 1 0 】

本発明の一実施例において、読取りアドレス生成ユニットは読取りアドレスカウンタと、読取りアドレスデコードとを包括している。読取りアドレスカウンタはクロック信号を受信する。読取りアドレスデコードは読取りアドレスカウンタに接続されるとともに、読取り信号を出力する。

20

【 0 0 1 1 】

本発明の一実施例において、駆動信号は一動作周期中に複数の導通期間を有するとともに、これら導通期間は非連続である。

【 0 0 1 3 】

本発明の一実施例において、メモリユニットはデュアルポート S R A M である。

【 0 0 1 4 】

本発明の一実施例において、発光ダイオード駆動回路は書込みアドレス生成ユニットと、シフトレジスタとをさらに包括している。書込みアドレス生成ユニットはメモリユニットに接続されるとともに、ラッチイネーブル信号に基づいてメモリユニットに書込み信号を出力する。シフトレジスタはメモリユニットに接続されている。

30

【 0 0 1 5 】

本発明の一実施例において、書込みアドレス生成ユニットは書込みアドレスカウンタと、書込みアドレスデコードとを包括している。書込みアドレスカウンタはラッチイネーブル信号を受信する。書込みアドレスデコードは書込みアドレスカウンタに接続されるとともに、書込み信号を出力する。

【 0 0 1 6 】

上記目的を達成するために、本発明に係る発光ダイオードモジュールの駆動方法は発光ダイオード駆動回路と組み合わせられ、発光ダイオード駆動回路は読取りアドレス生成ユニットと、メモリユニットと、駆動ユニットとを有している。駆動方法は、読取りアドレス生成ユニットがクロック信号を受信するとともに、メモリユニットに読取り信号を出力する工程と、メモリユニットが読取り信号に基づいて、出力信号を生成する工程と、駆動ユニットが出力信号およびクロック信号を受信するとともに、発光ダイオードモジュールに駆動信号を出力する工程と、を含む。駆動方法は、書込みアドレス生成ユニットによりラッチイネーブル信号に基づいてメモリユニットに書込み信号を出力する工程をさらに含む。駆動ユニットはフリップフロップと、ドライバとを包括している。フリップフロップはメモリユニットに接続されるとともに、出力信号およびクロック信号を受信する。ドライバはフリップフロップに接続されるとともに駆動信号を出力する。クロック信号は二進重み付けクロック信号である。

40

【 0 0 1 8 】

本発明の一実施例において、駆動方法は、書込みアドレス生成ユニットによりラッチイ

50

ネーブル信号に基づいてメモリユニットに書込み信号を出力する工程をさらに含む。

【0019】

上記目的を達成するために、本発明に係る発光ダイオード駆動装置は複数の発光ダイオードモジュールと組み合わせられる。発光ダイオード駆動装置は複数のメモリユニットと、書込みアドレス生成ユニットと、読取りアドレス生成ユニットと、複数の駆動ユニットとを包括している。メモリユニットは並列接続されている。書込みアドレス生成ユニットはラッチイネーブル信号に基づいて書込み信号を生成する。読取りアドレス生成ユニットはクロック信号を受信するとともに各メモリユニットに読取り信号を出力する。駆動ユニットは対応するメモリユニットにそれぞれ接続されている。これらメモリユニットにおける一つが書込み信号に基づいてグレイスケール信号を書き込む。各メモリユニットは読取り信号に基づいて、対応する発光ダイオードモジュールに出力信号を出力する。各駆動ユニットは出力信号およびクロック信号に基づいて、対応する発光ダイオードモジュールに駆動信号を出力する。各駆動ユニットはフリップフロップと、ドライバとを包括している。フリップフロップは対応するメモリユニットに接続されるとともに、出力信号およびクロック信号を受信する。ドライバはフリップフロップに接続されるとともに駆動信号を出力する。クロック信号は二進重み付けクロック信号である。

10

【0021】

本発明の一実施例において、読取りアドレス生成ユニットは読取りアドレスカウンタと、読取りアドレスデコーダとを包括している。読取りアドレスカウンタはクロック信号を受信する。読取りアドレスデコーダは読取りアドレスカウンタに接続されるとともに、読取り信号を出力する。

20

【0022】

本発明の一実施例において、駆動信号は一動作周期中に複数の導通期間を有するとともに、これら導通期間は非連続である。

【0024】

本発明の一実施例において、メモリユニットはデュアルポートSRAMである。

【0025】

本発明の一実施例において、書込みアドレス生成ユニットは書込みアドレスカウンタと、書込みアドレスデコーダとを包括している。書込みアドレスカウンタはラッチイネーブル信号を受信する。書込みアドレスデコーダは書込みアドレスカウンタに接続されるとともに、書込み信号を出力する。

30

【0026】

上記目的を達成するために、本発明に係る発光ダイオードモジュールの駆動方法は発光ダイオード駆動装置と組み合わせられる。発光ダイオード駆動装置は複数のメモリユニットと、書込みアドレス生成ユニットと、読取りアドレス生成ユニットと、複数の駆動ユニットとを有している。駆動方法は、読取りアドレス生成ユニットがクロック信号を受信するとともに、各メモリユニットに読取り信号を出力する工程と、各メモリユニットが読取り信号に基づいて、対応する駆動ユニットに出力信号を出力する工程と、各駆動ユニットが出力信号およびクロック信号に基づいて、対応する発光ダイオードモジュールに駆動信号を出力する工程と、を含む。各駆動ユニットはフリップフロップと、ドライバとを包括している。フリップフロップは対応するメモリユニットに接続されるとともに、出力信号およびクロック信号を受信する。ドライバはフリップフロップに接続されるとともに駆動信号を出力する。クロック信号は二進重み付けクロック信号である。

40

【0027】

本発明の一実施例において、駆動方法は、書込みアドレス生成ユニットがラッチイネーブル信号に基づいて書込み信号を生成する工程と、これらメモリユニットにおける一つが書込み信号に基づいてグレイスケール信号を書き込む工程とをさらに含む。

【発明の効果】

【0028】

上記によれば、本発明の発光ダイオード駆動回路、発光ダイオード駆動装置および駆動

50

方法では、メモリユニットは読取りアドレス生成ユニットが出力した読取り信号に基づいて出力信号を生成するとともに、駆動ユニットが出力信号およびクロック信号に基づいて発光ダイオードモジュールを駆動するので、不要な電力損失を減らすとともに、処理効率を高めることができる。

【図面の簡単な説明】

【0029】

【図1A】従来の発光ダイオード駆動回路の模式図。

【図1B】従来の発光ダイオード駆動回路が出力するパルス幅変調信号の波形図。

【図2A】本発明の好ましい実施例に係る発光ダイオード駆動回路の模式図。

【図2B】本発明の好ましい実施例に係るクロック信号および駆動信号の波形図。

10

【図3】本発明の好ましい実施例に係る発光ダイオード駆動回路の模式図。

【図4】本発明の好ましい実施例に係る発光ダイオードモジュールの駆動方法のフローチャート。

【図5】本発明の好ましい実施例に係る発光ダイオード駆動装置の模式図。

【図6】本発明の好ましい実施例に係る発光ダイオードモジュールの駆動方法のフローチャート。

【発明を実施するための形態】

【0030】

関連する図面を参照して、本発明の好ましい実施例に係る発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法を以下のとおり説明し、このうち同じ部材は同じ符号を付して説明する。

20

【0031】

まず、本発明の好ましい実施例に係る発光ダイオード駆動回路2の模式図である図2Aを参照されたい。発光ダイオード駆動回路2は発光ダイオードモジュールLと併用される。このうち、発光ダイオード駆動回路2は読取りアドレス生成ユニット21と、メモリユニット22と、駆動ユニット23とを包括している。発光ダイオードモジュールLは少なくとも一つの発光ダイオードを包括しているが、ここで特に説明を要することは、発光ダイオードモジュールLの実際運用時には、使用するニーズまたは設計上の考慮に応じて、異なる数の発光ダイオードを有し、かつ発光ダイオード同士の接続方式もまたニーズに応じて変更してもよいということである。

30

【0032】

読取りアドレス生成ユニット21はシステム側（図示されない）からのクロック信号S1を受信するとともに、クロック信号S1に基づいてカウントを行い、特定のビットを指定して読み取るための信号である読取り信号S2を出力する。このうち、前記したシステム側は、例えば、他の回路または他の装置中に配設することができ、発光ダイオード駆動回路2とセットで運用されるパルス信号発生器である。

【0033】

本実施例において、クロック信号S1は二進重み付け（binary weighted）クロック信号であり、つまりは、図2Bに示すように、クロック信号S1の各パルスはその一つ前のパルスの時間幅を基準としており、二進方式で生成されるものであって、例えば一つ目のパルスの幅は 2^0 であり、二つ目のパルスの幅は 2^1 であり、三つ目のパルスの幅は 2^2 となっており、以下のパルスは順に倍増していく。このうち、パルスの幅は読取りアドレス生成ユニット21のカウンタの上限まで継続的に倍増していくものであり、例えば読取りアドレス生成ユニット21のカウント範囲が0ないし11であるとき、パルスの幅は 2^{11} にまで倍増していった後に、パルスの幅が 2^0 にまで戻り、その後前記のような方式で順に倍増していくというものである。

40

【0034】

メモリユニット22は読取りアドレス生成ユニット21に接続されるとともに、読取りアドレス生成ユニット21が出力した読取り信号S2に基づいて、特定のビットに対応する信号を選択し、グレイスケール信号を表す出力信号S3を出力する。実施上において、

50

メモリユニット 22 はデュアルポート S R A M (T w o P o r t S R A M) である。

【 0 0 3 5 】

駆動ユニット 23 はメモリユニット 22 に接続されるとともに、発光ダイオード駆動回路 2 が出力した出力信号 S 3 およびシステム側 (図示されない) が提供したクロック信号 S 1 を受信して、発光ダイオードモジュール L に駆動信号 S 4 を出力する。このうち、駆動ユニット 23 が受信したクロック信号 S 1 および読取りアドレス生成ユニット 21 が受信したクロック信号 S 1 は同一のパルス信号発生器を生成源としている。

【 0 0 3 6 】

実施上では、駆動信号 S 4 はパルス幅変調信号であり、発光ダイオードモジュール L は駆動信号 S 4 の導通期間に基づいて、異なるグレイスケールの輝度を発生させる。このうち、一動作周期において、駆動信号 S 4 の導通期間は連続した導通期間とするか、または図 2 B に示すように、駆動信号 S 4 は動作期間 T 中に複数の導通期間 T_1 を有し、且つ駆動信号 S 4 が動作期間 T 中に複数の導通期間 T_1 を有する場合、前記した導通期間 T_1 は非連続状態としてもよい。したがって、駆動ユニット 23 は呈したいグレイスケール輝度に応じて、導通期間の幅を変調可能な駆動信号 S 4 を出力するとともに、一動作周期において、駆動信号 S 4 の導通期間を連続した導通期間とするか、または非連続の複数の導通期間としてもよい。

【 0 0 3 7 】

上記した構成により、発光ダイオード駆動回路 2 は大量の M O S F E T から構成されるコンパレータを使用しなくても済むので、回路中における不要な電力損失を改善するとともに、回路の全体的な機能を高めている。特に説明しておくべきことは、メモリユニット 22 が 12 ビットのデュアルポート S R A M である場合、M O S F E T は 96 個のみである。したがって、発光ダイオード駆動回路 2 は不要な電力損失を減らすのみならず、従来の発光ダイオード駆動回路 1 (図 1 A に示す) と同じ駆動機能を実行するという条件下で、回路レイアウト (l a y o u t) で使用される面積を減らすことも可能である。

【 0 0 3 8 】

続いて、図 3 を参照されたい。本発明の発光ダイオード駆動回路 2 をさらに詳しく説明する。本実施例において、読取りアドレス生成ユニット 21 は読取りアドレスカウンタ 211 と、読取りアドレスデコーダ 212 とを包括している。読取りアドレスカウンタ 211 はシステム側 (図示されない) が提供したクロック信号 S 1 を受信するとともに、クロック信号 S 1 に基づいてカウントを行うとともにその結果を出力する。読取りアドレスデコーダ 212 は読取りアドレスカウンタ 211 に接続されるとともに、読取りアドレスカウンタ 211 が出力した結果に基づいて読取り信号 S 2 を生成する。

【 0 0 3 9 】

駆動ユニット 23 はフリップフロップ 231 と、ドライバ 232 とを包括している。フリップフロップ 231 はメモリユニット 22 に接続されるとともに、メモリユニット 22 が生成した出力信号 S 3 およびシステム側 (図示されない) が提供したクロック信号 S 1 を受信する。ドライバ 232 はフリップフロップ 231 に接続されるとともに、発光ダイオードモジュール L に駆動信号 S 4 を出力する。実施上において、フリップフロップ 231 は D 型フリップフロップであり、ドライバ 232 は例えば M O S F E T であり、且つドライバ 232 は定電流源によって発光ダイオードモジュール L に駆動信号 S 4 を出力することができる。

【 0 0 4 0 】

また、発光ダイオード駆動回路 2 は書込みアドレス生成ユニット 24 と、シフトレジスタ 25 とをさらに包括している。書込みアドレス生成ユニット 24 はメモリユニット 22 に接続されるとともに、書込みアドレスカウンタ 241 と書込みアドレスデコーダ 242 とを包括している。このうち、書込みアドレスカウンタ 241 はシステム側 (図示されない) が提供したラッチイネーブル信号 S 5 を受信するとともに、カウントを行う。書込みアドレスデコーダ 242 は書込みアドレスカウンタ 241 に接続されるとともに、書込みアドレスカウンタ 241 の出力に基づいて書込み信号 S 6 を生成する。書込みアドレスデ

10

20

30

40

50

コード 242 は書込み信号 S6 をメモリユニット 22 に送信する。シフトレジスタ 25 はメモリユニット 22 に接続されるとともに、クロック信号 S7 および入力信号 S8 を受信して、メモリユニット 22 にグレイスケール信号 S9 を提供する。メモリユニット 22 は書込み信号 S6 に基づいてグレイスケール信号 S9 を特定のアドレスに書き込む。このうち、シフトレジスタ 25 が受信したクロック信号 S7 は、駆動ユニット 23 および読取りアドレス生成ユニット 21 が受信したクロック信号 S1 とは異なるパルス信号発生器を生成源としているので、クロック信号 S7 およびクロック信号 S1 は完全に異なる波形を有している。また、入力信号 S8 はグレイスケール情報を表す信号であって、グレイスケール信号 S9 とは実質的に同じである。

【0041】

10

注目すべきは、本実施例において、メモリユニット 22 はデュアルポート S R A M であり、且つメモリユニット 22 はシフトレジスタ 25 の入力ポートに接続されて書込み機能のみが許可されているということである。また、データの書込み時には、パラレル伝送の方式でデータをメモリユニット 22 に書込み、データの読取り時には、特定の単一ビットを読み取る。したがって、メモリユニット 22 はデータを書き込む間に、同一アドレスのデータを読み取ることも可能であるため、データの書込み完了を待たずとも、読取り動作を行うことができる。換言すると、メモリユニット 22 は、二つの異なるクロック信号系による同一アドレスへの書込みおよび読取りを同時に許可するとともに、待つ必要はなくなるため、回路の複雑度を低減することができるということになる。

【0042】

20

続いて、図 4 のフローチャートを参照するとともに、図 2 A、図 2 B および図 3 を合せて、本発明の好ましい実施例の発光ダイオードモジュールの駆動方法を説明する。この方法は上記した発光ダイオード駆動回路 2 および発光ダイオードモジュール L と併用されるものであって、駆動方法の工程は工程 S01 ~ 工程 S03 を含んでいる。

【0043】

工程 S01 では、読取りアドレス生成ユニット 21 によりクロック信号を受信するとともに、メモリユニット 22 に読取り信号 S2 を出力する。本実施例において、読取りアドレス生成ユニット 21 はシステム側からの、例えばパルス信号発生器が生成したクロック信号 S1 を受信してカウントを行うので、メモリユニット 22 に読取り信号 S2 を出力する。前記したクロック信号 S1 は二進重み付けクロック信号、つまり、クロック信号 S1 の各パルスはその一つ前のパルスの時間幅を基準として、二進方式で生成されるものであって、且つパルスの幅は読取りアドレス生成ユニット 21 のカウンタの上限まで継続的に倍増していき、さらに初期値に戻る。

30

【0044】

工程 S02 では、メモリユニット 22 により読取り信号 S2 に基づいて出力信号 S3 を生成する。本実施例において、メモリユニット 22 は、読取り信号 S2 に基づいて、特定のビットに対応する信号を選択し、グレイスケール信号を表す出力信号 S3 を出力する。このうち、メモリユニット 22 はデュアルポート S R A M である。

【0045】

工程 S03 では、駆動ユニット 23 により出力信号 S3 およびクロック信号 S1 を受信するとともに、発光ダイオードモジュール L に駆動信号 S4 を出力する。本実施例において、駆動ユニット 23 はメモリユニット 22 が出力した出力信号 S3 およびシステム側が提供したクロック信号 S1 を受信するので、発光ダイオードモジュール L に駆動信号 S4 を出力する。このうち、駆動信号 S4 はパルス幅変調信号であり、かつ実施上において、一動作周期において、駆動信号 S4 の導通期間は連続した導通期間、または非連続の複数の導通期間としてもよい。

40

【0046】

一動作周期において、もし非連続の導通期間の合計が連続した導通期間の合計と同じである場合、人の目で感じられる輝度は同じである。したがって、上記した駆動方法により、本発明では非連続の導通期間または連続した導通期間として駆動信号 S4 を変調するこ

50

とで、発光ダイオードモジュールLのグレースケールでの制御を実現している。

【0047】

また、駆動方法は、書込みアドレス生成ユニット24によりラッチイネーブル信号S5に基づいてメモリユニット22に書込み信号S6を出力する、ことをさらに含む。本実施例において、書込みアドレス生成ユニット24はシステム側が提供したラッチイネーブル信号S5を受信してカウントを行うので、メモリユニット22に書込み信号S6を出力することで、メモリユニット22にてシフトレジスタ25からのグレースケール信号S9を書き込む。このうち、前記したシステム側は例えば発光ダイオード駆動回路2と併用される信号発生器である。

【0048】

続いて、本発明の好ましい実施例に係る発光ダイオード駆動装置3である図5を参照されたい。発光ダイオード駆動装置3は複数の発光ダイオードモジュールLと組み合わせられる。発光ダイオード駆動装置3は複数のメモリユニット31と、書込みアドレス生成ユニット32と、読取りアドレス生成ユニット33と、複数の駆動ユニット34とを包括している。

【0049】

メモリユニット31は並列接続方式で接続されており、本実施例においては、各メモリユニット31がそれぞれ12ビットのデュアルポートSRAMであるとともに、発光ダイオード駆動装置3はメモリユニット31を合計16個包括しているものを例としているが、これに限定されるものではない。

【0050】

書込みアドレス生成ユニット32はシステム側が提供したラッチイネーブル信号S5に基づいて書込み信号S6を生成する。このうち、書込みアドレス生成ユニット32は書込みアドレスカウンタ321と、書込みアドレスデコーダ322とを包括している。書込みアドレスカウンタ321は4ビットの書込みアドレスカウンタであって、書込みアドレスデコーダ322は4イン16アウトの書込みアドレスデコーダである。書込みアドレスカウンタ321はラッチイネーブル信号S5に基づいてカウントを行い、書込みアドレスデコーダ322を介して書込み信号S6を生成することで、グレースケール信号S9を16個のメモリユニット31のうちの一つに書き込む。換言すると、書込み信号S6はグレースケール信号S9を書き込むメモリユニット31を指定するためのものである。

【0051】

読取りアドレス生成ユニット33はシステム側が提供したクロック信号S1を受信するとともに各メモリユニット31に読取り信号S2を出力する。本実施例において、読取りアドレス生成ユニット33は読取りアドレスカウンタ331と、読取りアドレスデコーダ332とを包括している。読取りアドレスカウンタ331は4ビットの読取りアドレスカウンタであって、読取りアドレスデコーダ332は4イン12アウトの読取りアドレスデコーダである。システム側が提供したクロック信号S1は読取りアドレスカウンタ331の駆動に用いられ、読取りアドレスデコーダ332は読取りアドレスカウンタ331の出力を受け取ることで、ある指定されたビットを選択して、全てのメモリユニット31に読取り信号S2を出力する。

【0052】

前記したクロック信号S1は二進重み付けクロック信号であり、クロック信号S1の各パルスはその一つ前のパルスの時間幅を基準として、二進方式で生成されるものであって、且つパルスの幅は読取りアドレスカウンタ331のカウンタの上限まで継続的に倍増していき、さらに初期値に戻る。

【0053】

各駆動ユニット34はフリップフロップ341と、ドライバ342とをそれぞれ包括している。各フリップフロップ341は対応するメモリユニット31にそれぞれ接続されるとともに、出力信号S3およびクロック信号S1を受信する。このうち、駆動ユニット34が受信したクロック信号S1は同一のパルス信号発生器を生成源としている。ドライバ

10

20

30

40

50

342はフリップフロップ341に接続されるとともに、定電流の方式で発光ダイオードモジュールLに駆動信号S4を出力する。このうち、駆動信号S4はパルス幅変調信号であり、かつ実施上において、一動作周期において、駆動信号S4の導通期間は連続した導通期間、または非連続の複数の導通期間としてもよい。

【0054】

また、発光ダイオード駆動装置3は、各メモリユニット31に接続されるとともに、クロック信号S7および入力信号S8を受信して、各メモリユニット31にグレイスケール信号S9を提供するシフトレジスタ35も包括している。このうち、シフトレジスタ35が受信したクロック信号S7は、駆動ユニット34および読取りアドレス生成ユニット33が受信したクロック信号S1とは異なるパルス信号発生器を生成源としている。また、入力信号S8はグレイスケール情報を表す信号であって、グレイスケール信号S9とは実質的に同じである。

【0055】

本実施例において、各メモリユニット31はシフトレジスタ35の入力ポートに接続されて書込み機能のみ許可されている。また、データの書込み時には、パラレル伝送の方式でデータをこのうちの一つのメモリユニット31に書込み、データの読取り時には、特定の単一ビットを読み取る。したがって、メモリユニット31はデータを書き込む間に、同一アドレスのデータを読み取ることも可能であるため、データの書込み完了を待たずとも、読取り動作を行うことができる。換言すると、メモリユニット31は、二つの異なるクロック信号系による同一アドレスへの書込みおよび読取りを同時に許可するとともに、待つ必要はなくなるため、回路の複雑度を低減することができる。

【0056】

注目すべきは、上記したような規格のメモリユニット31、書込みアドレスカウンタ321、書込みアドレスデコーダ322、読取りアドレスカウンタ331および読取りアドレスデコーダ332を採用する場合、4096階調のグレイスケールを発生させるという条件にて、前記した素子は合計約2000個のMOSFETを含むことになるということである。しかしながら、もし従来の発光ダイオード駆動回路1を使用するならば、4096階調のグレイスケールを発生させるという条件にて、少なくとも17000個のMOSFETが必要となる。したがって、本発明の発光ダイオード駆動装置3はMOSFETの使用を減らしているため、不要な電力損失を減らし、且つダイサイズ(die size)の縮小が顕著となり、且つ装置を効果的に小型化できる。

【0057】

続いて、図6のフローチャートを参照するとともに図5を合せて、本発明の好ましい実施例の発光ダイオードモジュールの駆動方法を説明する。この方法は上記した発光ダイオード駆動装置3および複数の発光ダイオードモジュールLと併用されるものであって、駆動方法の工程は工程S11～工程S13を含んでいる。

【0058】

工程S11では、読取りアドレス生成ユニット33によりクロック信号S1を受信するとともに、各メモリユニット31に読取り信号S2を出力する。本実施例において、システム側が提供したクロック信号S1は読取りアドレス生成ユニット33を駆動して、全てのメモリユニット31に読取り信号S2を出力する。このうち、クロック信号S1は二進重み付けクロック信号である。

【0059】

工程S12では、各メモリユニット31により読取り信号S2に基づいて対応する駆動ユニット34に出力信号S3を出力する。本実施例において、全てのメモリユニット31は、読取り信号S2に基づいて、特定のビットに対応する信号を選択して、出力信号S3を生成する。このうち、メモリユニット31はデュアルポートSRAMである。

【0060】

工程S13では、各駆動ユニット34により出力信号S3およびクロック信号S1を受信するとともに、発光ダイオードモジュールLに駆動信号S4を出力する。本実施例にお

10

20

30

40

50

いて、駆動ユニット 3 4 は出力信号 S 3 およびクロック信号 S 1 を受信するので、対応する発光ダイオードモジュール L に駆動信号 S 4 を出力するとともに、発光ダイオードモジュール L は駆動信号 S 4 の導通期間に基づいて対応するグレースケール輝度を発生させる。また、駆動方法は、書込みアドレス生成ユニット 3 2 がラッチイネーブル信号 S 5 に基づいて書込み信号 S 6 を生成することと、メモリユニット 3 1 のうちの一つが書込み信号 S 6 に基づいてグレースケール信号 S 9 を書き込むことと、をさらに含む。

【 0 0 6 1 】

上記をまとめるに、本発明の発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法によれば、メモリユニットは読取りアドレス生成ユニットが出力した読取り信号に基づいて出力信号を生成するとともに、駆動ユニットが出力信号およびクロック信号に基づいて発光ダイオードモジュールを駆動するので、不要な電力損失を減らすとともに、処理効率を高めることができる。

10

【 0 0 6 2 】

上記は例示的なものであって、限定するためのものではない。本発明の技術的思想および範囲から逸脱することなく、行われる等価の修正または変更は、いずれも後記の特許請求の範囲に含まれる。

【産業上の利用可能性】

【 0 0 6 3 】

本発明は以上のように構成しているため、不要な電力損失を減らすとともに、処理効率を高めることができる発光ダイオード駆動回路、発光ダイオード駆動装置および駆動方法を提供し得るものである。

20

【符号の説明】

【 0 0 6 4 】

2 発光ダイオード駆動回路

2 3 2、3 4 2 ドライバ

2 1、3 3 読取りアドレス生成ユニット

2 1 1、3 3 1 読取りアドレスカウンタ

2 1 2、3 3 2 読取りアドレスデコーダ

2 2、3 1 メモリユニット

2 3、3 4 駆動ユニット

30

2 3 1、3 4 1 フリップフロップ

2 4、3 2 書込みアドレス生成ユニット

2 4 1、3 2 1 書込みアドレスカウンタ

2 4 2、3 2 2 書込みアドレスデコーダ

2 5、3 5 シフトレジスタ

3 発光ダイオード駆動装置

L 発光ダイオードモジュール

S 0 1 ~ S 0 3、S 1 1 ~ S 1 3 駆動方法の工程

S 1、S 7 クロック信号

S 2 読取り信号

40

S 3 出力信号

S 4 駆動信号

S 5 ラッチイネーブル信号

S 6 書込み信号

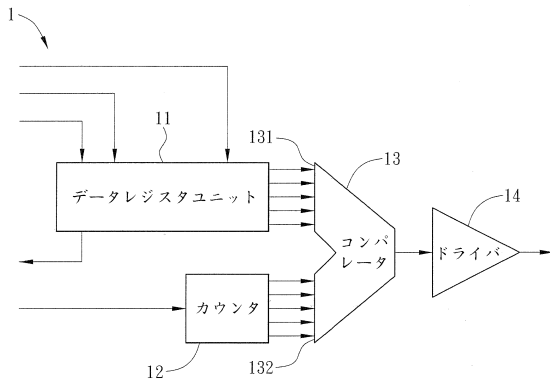
S 8 入力信号

S 9 グレースケール信号

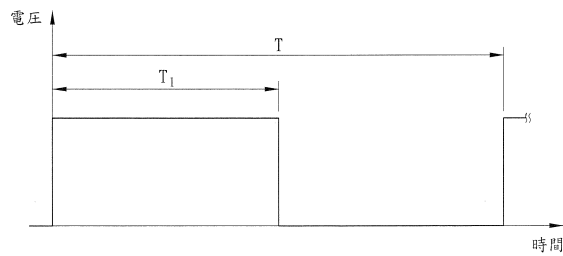
T 動作周期

T₁ 導通期間

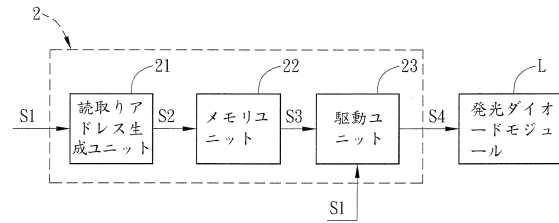
【図 1 A】



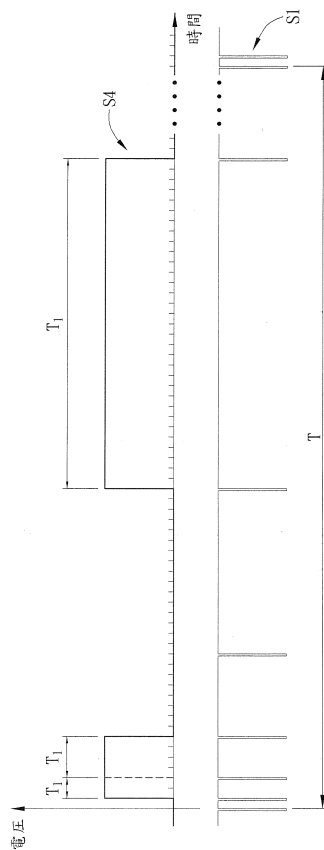
【図 1 B】



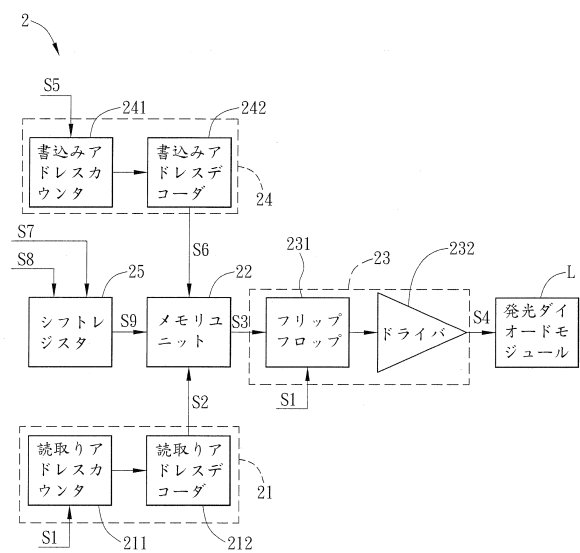
【図 2 A】



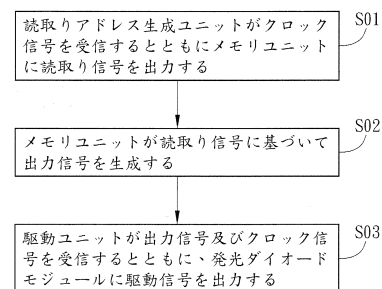
【図 2 B】



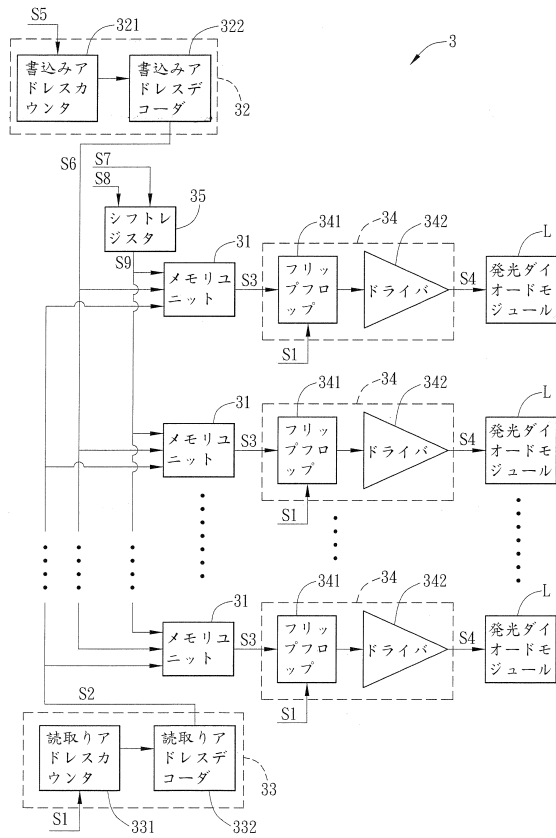
【図 3】



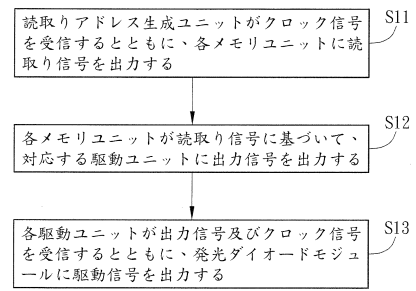
【図 4】



【図 5】



【図 6】



フロントページの続き

(56)参考文献 特開平06-297770(JP,A)
特開2010-140953(JP,A)
特開平01-196345(JP,A)
特開2003-157057(JP,A)
特開昭62-031893(JP,A)
特開2011-203292(JP,A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/385 - 2/42, 2/43, 2/44 - 2/445,
2/45 - 2/465
G09G 3/00 - 3/08, 3/12 - 3/16,
3/19 - 3/26, 3/30 - 3/34, 3/38
H01L 33/00 - 33/64
H05B 37/00 - 39/10