



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월13일
(11) 등록번호 10-0852180
(24) 등록일자 2008년08월07일

(51) Int. Cl.

H03M 1/50 (2006.01)

(21) 출원번호 10-2006-0116644

(22) 출원일자 2006년11월24일

심사청구일자 2006년11월24일

(65) 공개번호 10-2008-0046937

(43) 공개일자 2008년05월28일

(56) 선행기술조사문헌

US20050088331 A1*

US5345235 A

US5764175 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최형철

경기 수원시 영통구 영통동 청명마을3단지아파트
325동 1406호

조성환

대전 유성구 지족동 열매마을7단지 701동 405호

하소명

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장
남자사외기숙사월계수동 516호

(74) 대리인

박영우

전체 청구항 수 : 총 25 항

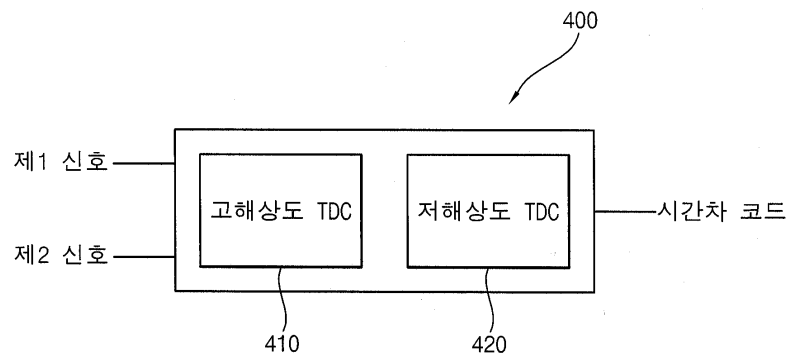
심사관 : 김자영

(54) 타임투디지털컨버터

(57) 요약

향상된 데드존 특성을 갖는 타임투디지털컨버터를 제공한다. 타임투디지털컨버터는 제1 신호와 제2 신호의 시간차(time difference)를 저해상도(low resolution)로 측정하는 저해상도 타임투디지털컨버팅 회로와 상기 저해상도 타임투디지털컨버팅 회로의 양자화 에러를 줄이기 위해 상기 제1 신호와 상기 제2 신호의 시간 차를 고해상도로 측정하는 고해상도 타임투디지털컨버팅 회로를 포함한다. 이러한 타임투디지털컨버터를 채용한 디지털위상고정루프가 생성하는 출력 클럭에는 지터가 거의 나타나지 않는다.

대표도 - 도4a



특허청구의 범위

청구항 1

제1 신호와 제2 신호의 시간차(time difference)를 저해상도(low resolution)로 측정하는 저해상도 타임투디지털컨버팅 회로; 및

상기 저해상도 타임투디지털컨버팅 회로의 양자화 에러를 줄이기 위해 상기 제1 신호와 상기 제2 신호의 시간차를 상기 저해상도 타임투디지털컨버팅 회로의 측정 해상도보다 고해상도로 측정하는 고해상도 타임투디지털컨버팅 회로를 포함하고,

상기 저해상도 타임투디지털컨버팅 회로는 상기 제1 신호와 상기 제2 신호의 시간차에 대응되는 저해상도 코드를 생성하며, 상기 고해상도 타임투디지털컨버팅 회로는 상기 제1 신호와 상기 제2 신호의 시간차에 대응되는 고해상도 코드를 생성하는 것을 특징으로 하는 타임투디지털컨버터.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 저해상도 타임투디지털컨버팅 회로는

직렬로 연결된 능동 지연부들을 포함하고, 상기 제1 신호가 전달되는 제1 신호 전송 라인;

상기 능동 지연부들 사이의 노드들 각각과 입력 단자가 연결된 플립플롭들;

상기 플립플롭들의 클럭 단자들과 연결되고, 상기 제2 신호가 전달되는 제2 신호 전송 라인; 및

상기 플립플롭들의 출력 값에 기초해서 상기 저해상도 코드를 생성하는 인코더를 포함하는 것을 특징으로 하는 타임투디지털컨버터.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 고해상도 타임투디지털컨버팅 회로는 버니어 지연 라인을 가지는 타임투디지털컨버팅 회로인 것을 특징으로 하는 타임투디지털컨버터.

청구항 6

제1항에 있어서, 상기 고해상도 타임투디지털컨버팅 회로는

직렬로 연결된 제1 지연 저항들을 포함하고, 상기 제1 신호가 전달되는 제3 신호 전송 라인;

직렬로 연결된 제2 지연 저항들을 포함하고, 상기 제2 신호가 전달되는 제4 신호 전송 라인;

상기 제3 신호 전송 라인상의 노드들의 전압들 및 상기 전압들에 대응하는 상기 제4 신호 전송 라인상의 노드들의 전압들을 비교하는 비교 회로들; 및

상기 비교 회로들의 출력에 기초해서 상기 고해상도 코드를 생성하는 인코더를 포함하는 것을 특징으로 하는 타임투디지털컨버터.

청구항 7

제6항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 메탈 라인 및 비아로 구현된 것을 특징으로 하는 타임투디지털컨버터.

청구항 8

제6항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들의 저항 값은 동일한 것을 특징으로 하는 타임

투디지털컨버터.

청구항 9

제6항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들의 저항 값은 1 오옴 이상 9 오옴 이하인 것을 특징으로 하는 타임투디지털컨버터.

청구항 10

제1항에 있어서, 고해상도 타임투디지털컨버팅 회로는

직렬로 연결된 제1 지연 저항들을 포함하고, 상기 제1 신호가 전달되는 제3 신호 전송 라인;

직렬로 연결된 제2 지연 저항들을 포함하고, 상기 제2 신호가 전달되는 제4 신호 전송 라인;

상기 제3 신호 전송 라인 및 상기 제4 신호 전송 라인 사이에 배치되며, 상기 제3 신호 전송 라인상의 노드들의 제1 전압들 및 상기 제1 전압들에 대응하는 상기 제4 신호 전송 라인상의 노드들의 제2 전압들을 비교하는 비교 회로들; 및

상기 비교 회로들의 출력에 기초해서 상기 고해상도 코드를 생성하는 인코더를 포함하는 것을 특징으로 하는 타임투디지털컨버터.

청구항 11

제10항에 있어서, 상기 비교 회로들 각각은 상기 제3 신호 전송 라인과 제4 신호 전송 라인 사이에서 대칭적인 레이아웃을 가지는 것을 특징으로 하는 타임투디지털컨버터.

청구항 12

제10항에 있어서, 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 제1 신호를 입력받고, 상기 제4 신호 전송 라인은 상기 제3 신호 전송 라인의 마지막 노드에 대응되는 노드를 통해 상기 제2 신호를 입력받는 것을 특징으로 하는 타임투디지털컨버터.

청구항 13

제12항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 저항 값은 서로 동일한 것을 특징으로 하는 타임투디지털컨버터.

청구항 14

제10항에 있어서, 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 제1 신호를 입력받고, 상기 제4 신호 전송 라인은 상기 시작 노드에 대응되는 노드를 통해 상기 제2 신호를 입력받는 것을 특징으로 하는 타임투디지털컨버터.

청구항 15

제14항에 있어서, 상기 제1 지연 저항들의 저항은 서로 동일한 제1 값을 갖고, 상기 제2 지연 저항들의 저항은 서로 동일하며 상기 제1 값과 다른 제2 값을 가지는 것을 특징으로 하는 타임투디지털컨버터.

청구항 16

제10항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 메탈 라인 및 비아로 구현된 것을 특징으로 하는 타임투디지털컨버터.

청구항 17

제10항에 있어서, 상기 타임투디지털컨버터는 상기 제3 신호 전송 라인 및 상기 제4 신호 전송 라인을 노이즈로부터 보호하는 차폐 라인을 더 포함하는 것을 특징으로 하는 타임투디지털컨버터.

청구항 18

기준 클럭과 피드백 클럭의 시간차(time difference)를 저해상도(low resolution)로 측정하는 저해상도 타임투

디지털컨버팅 회로;

상기 기준 클럭과 상기 피드백 클럭의 시간차를 고해상도로 측정하는 고해상도 타임투디지털컨버팅 회로;

상기 저해상도 타임투디지털컨버팅 회로 및 상기 고해상도 타임투디지털컨버팅 회로의 출력 신호에 기초하여 디지털 제어 코드를 생성하는 디지털 필터; 및

상기 디지털 제어 코드에 대응되는 주파수의 출력 클럭을 생성하는 디지털 제어 발진기를 포함하고,

상기 저해상도 타임투디지털컨버팅 회로는 상기 시간차에 대응되는 저해상도 코드를 생성하며, 상기 고해상도 타임투디지털컨버팅 회로는 상기 시간차에 대응되는 고해상도 코드를 생성하는 것을 특징으로 하는 디지털위상 고정루프.

청구항 19

제18항에 있어서, 상기 저해상도 타임투디지털컨버팅 회로는

직렬로 연결된 능동 지연부들을 포함하고, 상기 기준 클럭이 전달되는 제1 신호 전송 라인;

상기 능동 지연부들 사이의 노드들 각각과 입력 단자가 연결된 플립플롭들;

상기 플립플롭들의 클럭 단자들과 연결되고, 상기 피드백 클럭이 전달되는 제2 신호 전송 라인; 및

상기 플립플롭들의 출력 값에 기초해서 저해상도 코드를 생성하는 인코더를 포함하는 것을 특징으로 하는 디지털위상고정루프.

청구항 20

제18항에 있어서, 상기 저해상도 타임투디지털컨버팅 회로는

직렬로 연결된 능동 지연부들을 포함하고, 상기 피드백 클럭이 전달되는 제1 신호 전송 라인;

상기 능동 지연부들 사이의 노드들 각각과 입력 단자가 연결된 플립플롭들;

상기 플립플롭들의 클럭 단자들과 연결되고, 상기 기준 클럭이 전달되는 제2 신호 전송 라인; 및

상기 플립플롭들의 출력 값에 기초해서 저해상도 코드를 생성하는 인코더를 포함하는 것을 특징으로 하는 디지털위상고정루프.

청구항 21

제18항에 있어서, 고해상도 타임투디지털컨버팅 회로는

직렬로 연결된 제1 지연 저항들을 포함하고, 상기 기준 클럭이 전달되는 제3 신호 전송 라인;

직렬로 연결된 제2 지연 저항들을 포함하고, 상기 피드백 클럭이 전달되는 제4 신호 전송 라인;

상기 제3 신호 전송 라인 및 상기 제4 신호 전송 라인 사이에 배치되며, 상기 제3 신호 전송 라인상의 노드들의 제1 전압 및 상기 제1 전압들에 대응하는 상기 제4 신호 전송 라인상의 노드들의 제2 전압들을 비교하는 비교 회로들; 및

상기 비교 회로들의 출력에 기초해서 상기 고해상도 코드를 생성하는 인코더를 포함하는 것을 특징으로 하는 디지털위상고정루프.

청구항 22

제21항에 있어서, 상기 비교 회로들 각각은 상기 제3 신호 전송 라인과 제4 신호 전송 라인 사이에서 대칭적인 레이아웃을 가지는 것을 특징으로 하는 디지털위상고정루프.

청구항 23

제21항에 있어서, 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 기준 클럭을 입력받고, 상기 제4 신호 전송 라인은 상기 제3 신호 전송 라인의 마지막 노드에 대응되는 노드를 통해 상기 피드백 클럭을 입력받는 것을 특징으로 하는 디지털위상고정루프.

청구항 24

제23항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 저항 값은 서로 동일한 것을 특징으로 하는 디지털위상고정루프.

청구항 25

제21항에 있어서, 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 기준 클럭을 입력받고, 상기 제4 신호 전송 라인은 상기 시작 노드에 대응되는 노드를 통해 상기 피드백 클럭을 입력받는 것을 특징으로 하는 디지털위상고정루프.

청구항 26

제25항에 있어서, 상기 제1 지연 저항들의 저항은 서로 동일한 제1 값을 갖고, 상기 제2 지연 저항들의 저항은 서로 동일하며 상기 제1 값과 다른 제2 값을 가지는 것을 특징으로 하는 디지털위상고정루프.

청구항 27

제21항에 있어서, 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 메탈 라인 및 비아로 구현된 것을 특징으로 하는 디지털위상고정루프.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 타임투디지털컨버터에 관한 기술이다. 또한 본 발명은 타임투디지털컨버터를 이용한 디지털위상고정루프에 관한 기술이다.
- <22> 타임투디지털컨버터(Time-to-Digital Converter; TDC)는 기준 신호에 대한 비교 신호의 시간 차이를 측정하는데 사용된다. 전통적으로 TDC는 레이저 거리 측정기(laser range finder)에 사용되어 왔으며, 최근에는 디지털위상고정루프(All-Digital Phase Locked Loop; ADPLL)에도 사용되고 있다.
- <23> 도 1은 타임투디지털컨버터의 기본 동작을 보여주는 도면이다.
- <24> 타임투디지털컨버터는 두 개의 신호들을 비교하여 시간차에 대응하는 디지털코드를 생성한다. 타임투디지털컨버터는 시간 해상도(timing resolution, tres) 간격으로 제1 신호 및 제2 신호의 시간차를 구한다. 따라서 실제 시간차(t_a)와 측정된 시간차(t_m)는 다를 수 있는데, 양자의 차이가 양자화 에러이다. 양자화 에러는 최대 양자화 간격(t_q)만큼 커질 수 있다. 고해상도의 타임투디지털컨버터는 양자화 간격(t_q)이 작고, 저해상도의 타임투디지털컨버터는 양자화 간격(t_q)이 크다.
- <25> 도 2a는 종전의 단일 지연 라인(single delay line)을 가지는 타임투디지털컨버터를 보여주는 도면이다.
- <26> 타임투디지털컨버터(200)는 제1 신호가 전달되는 지연 라인(210)과 제2 신호가 전달되는 기준 라인(220) 및 지연 라인(210)의 노드들의 전압들과 이에 대응되는 기준 라인(220)의 노드들의 전압들을 비교하는 비교기(230)를 포함한다. 비교기(230)는 복수의 플립플롭들(231, 232, 233)을 포함하고 있고, 각 플립플롭(231, 232, 233, 234)은 지연 라인(210)의 각 노드와 입력 단자가 연결되고 기준 라인(220)과 클럭 단자가 연결된다.
- <27> 제1 신호 및 제2 신호의 시간차는 비교기(230)의 출력 신호로부터 계산된다.
- <28> 지연 라인(210)에 포함된 각 지연 소자(211, 212, 213)는 인버터로 구현되는데, 인버터의 지연 시간은 50 피코초 정도이다. 따라서 도 2a의 타임투디지털컨버터(200)는 50 피코초의 해상도를 가질 수 있다.
- <29> 도 2b는 도 2a의 타임투디지털컨버터의 출력을 보여준다.
- <30> 도시된 바와 같이 제1 신호 및 제2 신호의 시간차는 양자화 간격 단위로 측정된다. 따라서 제1 신호 및 제2 신호의 시간차가 양자화 간격 이내의 오차를 가질 경우에, 타임투디지털컨버터(200)는 제1 신호 및 제2 신호의 위

상이 다르더라도 제1 신호 및 제2 신호의 위상이 동일한 것으로 취급한다. 타임투디지털컨버터(200)는 도 2b에 도시된 바와 같이 데드존을 갖는다.

- <31> 고주파 ADPLL을 구현할 때 도 2b와 같은 데드존이 존재할 경우에 ADPLL의 출력 신호는 지터가 발생할 수 있다. 데드존의 크기를 줄이기 위해서는 타임투디지털컨버터의 해상도가 높아져야 한다.
- <32> 도 3a는 종전의 버니어 지연 라인(Vernier delay line)을 가지는 타임투디지털컨버터를 보여주는 도면이다.
- <33> 타임투디지털컨버터(300)는 도 2a의 타임투디지털컨버터(200)와 달리 2개의 지연 라인들(310, 320)을 가진다. 제1 지연라인(310)에 포함된 지연 소자들(311, 312, 313)과 제2 지연 라인(320)에 포함된 지연 소자들(321, 322, 323)의 지연시간은 차이가 있다. 예를 들어 제1 지연 라인(310)에 포함된 지연 소자는 50 피코초의 지연 시간을 갖고 제2 지연 라인(320)에 포함된 지연 소자는 55피코초의 지연 시간을 가진다.
- <34> 비교기(330)에 포함된 각각의 플립플롭(331, 332, 333, 334)은 제1 지연 라인(310)의 각 노드와 입력 단자가 연결되고 제2 지연 라인(320)의 각 노드와 클럭 단자가 연결된다. 이와 같은 버니어 지연 라인을 갖는 타임투디지털컨버터(300)는 5 피코초의 해상도를 가질 수 있다.
- <35> 도 3b는 도 3a의 타임투디지털컨버터의 출력을 보여준다.
- <36> 도시된 바와 같이 제1 신호 및 제2 신호의 시간차는 양자화 간격 단위로 측정된다. 타임투디지털컨버터(300)의 양자화 간격은 도 2a의 타임투디지털컨버터(200)의 양자화 간격에 비해 매우 작다. 따라서 타임투디지털컨버터(300)는 데드존 문제를 갖지 않는다. 그렇지만 타임투디지털컨버터(300)는 양자화 간격이 매우 작기 때문에 두 신호간의 시간차의 최대 측정 범위가 작다. 따라서 최대 측정 범위를 넘는 시간차에 대해서 타임투디지털컨버터(300)는 제대로 측정할 수 없다. 물론 이를 해결하기 위하여 지연 소자들과 플립플롭들의 개수를 증가시키면 되지만 이는 칩 면적을 증가시킨다.
- <37> 한편 같은 개수의 플립플롭들을 갖더라도 버니어 지연 라인을 갖는 타임투디지털컨버터는 싱글 지연 라인을 갖는 타임투디지털컨버터에 비해 차지하는 칩 면적이 매우 크다.

발명이 이루고자 하는 기술적 과제

- <38> 본 발명은 상술한 필요에 따라 제안된 것으로 본 발명은 측정할 수 있는 두 신호의 시간차의 범위가 넓고, 두 신호의 시간차를 고해상도로 측정할 수 있는 타임투디지털컨버터를 제공하는 것을 그 목적으로 한다.
- <39> 또한 본 발명은 적은 칩 면적을 갖고, 두 신호의 시간차를 고해상도로 측정할 수 있는 타임투디지털컨버터를 제공하는 것을 다른 목적으로 한다.
- <40> 또한 본 발명은 지터가 거의 없는 출력 클럭을 생성하는 디지털위상고정루프를 제공하는 것을 또 다른 목적으로 한다.
- <41> 그렇지만 이상의 목적은 예시적인 것으로서 본 발명은 목적은 이에 한정되지는 않는다.

발명의 구성 및 작용

- <42> 상술한 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 향상된 데드존 특성을 갖는 타임투디지털컨버터는 제1 신호와 제2 신호의 시간차(time difference)를 저해상도(low resolution)로 측정하는 저해상도 타임투디지털컨버팅 회로 및 상기 저해상도 타임투디지털컨버팅 회로의 양자화 에러를 줄이기 위해 상기 제1 신호와 상기 제2 신호의 시간 차를 고해상도로 측정하는 고해상도 타임투디지털컨버팅 회로를 포함한다.
- <43> 상기 저해상도 타임투디지털컨버팅 회로는 상기 제1 신호와 상기 제2 신호의 시간차에 대응되는 저해상도 코드를 생성한다.
- <44> 상기 저해상도 타임투디지털컨버팅 회로는 직렬로 연결된 능동 지연부들을 포함하고, 상기 제1 신호가 전달되는 제1 신호 전송 라인과, 상기 능동 지연부들 사이의 노드들 각각과 입력 단자가 연결된 플립플롭들과, 상기 플립플롭들의 클럭 단자들과 연결되고, 상기 제2 신호가 전달되는 제2 신호 전송 라인, 및 상기 플립플롭들의 출력 값에 기초해서 상기 저해상도 코드를 생성하는 인코더를 포함한다.
- <45> 상기 고해상도 타임투디지털컨버팅 회로는 상기 제1 신호와 상기 제2 신호의 시간 차에 대응되는 고해상도 코드를 생성한다. 상기 고해상도 타임투디지털컨버팅 회로는 버니어 지연 라인을 가질 수 있다.

- <46> 본 발명의 일 실시예에 따른 상기 고해상도 타임투디지털컨버팅 회로는 직렬로 연결된 제1 지연 저항들을 포함하고, 상기 제1 신호가 전달되는 제3 신호 전송 라인과, 직렬로 연결된 제2 지연 저항들을 포함하고, 상기 제2 신호가 전달되는 제4 신호 전송 라인과, 상기 제3 신호 전송 라인상의 노드들의 전압들 및 상기 전압들에 대응하는 상기 제4 신호 전송 라인상의 노드들의 전압들을 비교하는 비교 회로들, 및 상기 비교 회로들의 출력에 기초해서 상기 고해상도 코드를 생성하는 인코더를 포함한다.
- <47> 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 메탈 라인 및 비아로 구현될 수 있다. 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 동일한 저항 값을 가질 수 있다. 상기 제1 지연 저항들 및 상기 제2 저항들의 저항 값은 수 오옴일 수 있다.
- <48> 본 발명의 다른 실시예에 따른 상기 고해상도 타임투디지털컨버팅 회로는 직렬로 연결된 제1 지연 저항들을 포함하고 상기 제1 신호가 전달되는 제3 신호 전송 라인과, 직렬로 연결된 제2 지연 저항들을 포함하고 상기 제2 신호가 전달되는 제4 신호 전송 라인과, 상기 제3 신호 전송 라인 및 상기 제4 신호 전송 라인 사이에 배치되며 상기 제3 신호 전송 라인상의 노드들의 제1 전압들 및 상기 제1 전압들에 대응하는 상기 제4 신호 전송 라인상의 노드들의 제2 전압들을 비교하는 비교 회로들, 및 상기 비교 회로들의 출력에 기초해서 상기 고해상도 코드를 생성하는 인코더를 포함한다.
- <49> 상기 비교 회로들 각각은 상기 제3 신호 전송 라인과 제4 신호 전송 라인 사이에서 대칭적인 레이아웃을 가진다.
- <50> 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 제1 신호를 입력받고, 상기 제4 신호 전송 라인은 상기 제3 신호 전송 라인의 마지막 노드에 대응되는 노드를 통해 상기 제2 신호를 입력받을 수 있다. 이 때 상기 제1 저항들 및 상기 제2 저항들은 동일한 저항 값을 갖는다.
- <51> 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 제1 신호를 입력받고, 상기 제4 신호 전송 라인은 상기 시작 노드에 대응되는 노드를 통해 상기 제2 신호를 입력받을 수 있다. 이 때 상기 제1 저항들의 저항은 서로 동일한 제1 값을 갖고, 상기 제2 저항들의 저항은 서로 동일하며 상기 제1 값과 다른 제2 값을 가질 수 있다.
- <52> 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 메탈 라인 및 비아로 구현될 수 있다.
- <53> 상기 타임투디지털컨버터는 상기 제3 신호 전송 라인 및 상기 제4 신호 전송 라인을 노이즈로부터 보호하는 차폐 라인을 더 포함할 수 있다.
- <54> 상술한 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 디지털위상고정루프는 기준 클럭과 피드백 클럭의 시간차(time difference)를 저해상도(low resolution)로 측정하는 저해상도 타임투디지털컨버팅 회로와, 상기 기준 클럭과 상기 피드백 클럭의 시간차를 고해상도로 측정하는 고해상도 타임투디지털컨버팅 회로와, 상기 저해상도 타임투디지털컨버팅 회로 및 상기 고해상도 타임투디지털컨버팅 회로의 출력 신호에 기초하여 디지털 제어 코드를 생성하는 디지털 필터, 및 상기 디지털 제어 코드에 대응되는 주파수의 출력 클럭을 생성하는 디지털 제어 발진기를 포함한다.
- <55> 일 실시예에 있어서, 상기 저해상도 타임투디지털컨버팅 회로는 직렬로 연결된 능동 지연부들을 포함하고 상기 기준 클럭이 전달되는 제1 신호 전송 라인과, 상기 능동 지연부들 사이의 노드들 각각과 입력 단자가 연결된 플립플롭들과, 상기 플립플롭들의 클럭 단자들과 연결되고, 상기 피드백 클럭이 전달되는 제2 신호 전송 라인, 및 상기 플립플롭들의 출력 값에 기초해서 저해상도 코드를 생성하는 인코더를 포함할 수 있다.
- <56> 다른 실시예에 있어서, 상기 저해상도 타임투디지털컨버팅 회로는 직렬로 연결된 능동 지연부들을 포함하고 상기 피드백 클럭이 전달되는 제1 신호 전송 라인과, 상기 능동 지연부들 사이의 노드들 각각과 입력 단자가 연결된 플립플롭들과, 상기 플립플롭들의 클럭 단자들과 연결되고, 상기 기준 클럭이 전달되는 제2 신호 전송 라인, 및 상기 플립플롭들의 출력 값에 기초해서 저해상도 코드를 생성하는 인코더를 포함할 수 있다.
- <57> 일 실시예에 있어서, 상기 고해상도 타임투디지털컨버팅 회로는 직렬로 연결된 제1 지연 저항들을 포함하고 상기 기준 클럭이 전달되는 제3 신호 전송 라인과, 직렬로 연결된 제2 지연 저항들을 포함하고, 상기 피드백 클럭이 전달되는 제4 신호 전송 라인과, 상기 제3 신호 전송 라인 및 상기 제4 신호 전송 라인 사이에 배치되며 상기 제3 신호 전송 라인상의 노드들의 제1 전압들 및 상기 제1 전압들에 대응하는 상기 제4 신호 전송 라인상의 노드들의 제2 전압들을 비교하는 비교 회로들, 및 상기 비교 회로들의 출력에 기초해서 상기 고해상도 코드를 생성하는 인코더를 포함할 수 있다.
- <58> 상기 비교 회로들 각각은 상기 제3 신호 전송 라인과 제4 신호 전송 라인 사이에서 대칭적인 레이아웃을

가진다.

- <59> 일 실시예에 있어서, 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 기준 클럭을 입력받고, 상기 제4 신호 전송 라인은 상기 제3 신호 전송 라인의 마지막 노드에 대응되는 노드를 통해 상기 피드백 클럭을 입력받을 수 있다. 이 때 상기 제1 저항들 및 상기 제2 저항들은 동일한 저항 값을 갖는다.
- <60> 다른 실시예에 있어서, 상기 제3 신호 전송 라인은 시작 노드를 통해 상기 기준 클럭을 입력받고, 상기 제4 신호 전송 라인은 상기 시작 노드에 대응되는 노드를 통해 상기 피드백 클럭을 입력받을 수 있다. 이 때 상기 제1 저항들의 저항은 서로 동일한 제1 값을 갖고, 상기 제2 저항들의 저항은 서로 동일하며 상기 제1 값과 다른 제2 값을 가진다.
- <61> 상기 제1 지연 저항들 및 상기 제2 지연 저항들은 메탈 라인 및 비아로 구현될 수 있다.
- <62> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- <63> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- <64> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- <65> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <66> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <67> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <68> 도 4a는 본 발명의 일 실시예에 따른 타임투디지털컨버터를 보여주는 도면이다.
- <69> 타임투디지털컨버터(400)는 제1 신호와 제2 신호의 시간차를 측정하여 시간차 코드를 생성한다. 이를 위하여 타임투디지털컨버터(400)는 고해상도 타임투디지털컨버팅 회로(410)와 저해상도 타임투디지털컨버팅 회로(420)를 포함한다.
- <70> 고해상도 타임투디지털컨버팅 회로(410)는 제1 신호와 제2 신호의 시간차를 고해상도로 측정하고, 저해상도 타임투디지털컨버팅 회로(420)는 제1 신호와 제2 신호의 시간차를 저해상도로 측정한다.
- <71> 고해상도 타임투디지털컨버팅 회로(410)는 제1 신호와 제2 신호의 시간차를 매우 좁은 시간 간격으로 측정함으로써 제1 신호와 제2 신호의 시간차를 매우 작은 오차로 측정할 수 있다. 반면 저해상도 타임투디지털컨버팅 회로(420)는 제1 신호와 제2 신호의 시간차를 넓은 시간 간격으로 측정함으로써 제1 신호와 제2 신호의 시간차를 측정할 수 있는 최대 측정 범위가 넓다.
- <72> 이와 같이 타임투디지털컨버터(400)는 저해상도 타임투디지털컨버팅 회로(420)를 포함하고 있기 때문에 측정할 수 있는 두 신호의 시간차의 최대 측정 범위가 넓고, 양자화 에러가 작은 고해상도 타임투디지털컨버팅 회로(410)를 포함하고 있기 때문에 두 신호의 시간차를 매우 정확하게 측정할 수 있다. 따라서 타임투디지털컨버터(400)의 칩 사이즈는 동일한 정확성을 갖는 다른 타임투디지털컨버터에 비해 작아질 수 있다.

- <73> 타임투디지털컨버터(400)에 포함된 고해상도 타임투디지털컨버팅 회로(410)와 저해상도 타임투디지털컨버팅 회로(420)는 제1 신호와 제2 신호의 시간차를 측정하여 각각 고해상도 코드와 저해상도 코드를 생성하는데 다양한 형태로 연결될 수 있다.
- <74> 도 4b는 도 4a의 타임투디지털컨버터의 출력을 보여주는 그래프이다.
- <75> 도 4a 타임투디지털컨버터(400)는 고해상도 타임투디지털컨버팅 회로(410)에 의해 데드존이 제거되고, 저해상도 타임투디지털컨버팅 회로(420)에 의해 충분한 최대 시간차 측정 범위를 갖는 것을 알 수 있다. 따라서 도 4a의 타임투디지털컨버터(400)는 기존의 저해상도 타임투디지털 컨버터와 고해상도 타임투디지털컨버터가 갖는 단점을 해결할 수 있다.
- <76> 도 5를 참조하면, 타임투디지털컨버터(500)에 포함된 고해상도 타임투디지털컨버팅 회로(510)와 저해상도 타임투디지털컨버팅 회로(520)에 제2 신호가 동시에 제공된다. 반면에 제1 신호는 고해상도 타임투디지털컨버팅 회로(510)에 먼저 제공되고, 고해상도 타임투디지털컨버팅 회로(510)를 거쳐서 지연된 제1 신호는 저해상도 타임투디지털컨버팅 회로(520)에 제공된다.
- <77> 도 6을 참조하면, 타임투디지털컨버터(600)에 포함된 고해상도 타임투디지털컨버팅 회로(610)와 저해상도 타임투디지털컨버팅 회로(620)에 제1 신호가 동시에 제공된다. 마찬가지로 고해상도 타임투디지털컨버팅 회로(610)와 저해상도 타임투디지털컨버팅 회로(620)에 제2 신호도 동시에 제공된다.
- <78> 도 7을 참조하면, 타임투디지털컨버터(700)에 포함된 고해상도 타임투디지털컨버팅 회로(710)에 제1 신호와 제2 신호가 먼저 제공된다. 고해상도 타임투디지털컨버팅 회로(710)를 거쳐서 지연된 제1 신호와 제2 신호는 저해상도 타임투디지털컨버팅 회로(720)에 제공된다.
- <79> 도 5 내지 도 7의 저해상도 타임투디지털컨버팅 회로는 널리 사용되는 단일 지연 라인을 갖는 타임투디지털컨버터로 구현될 수 있다.
- <80> 도 8을 참조하면, 저해상도 타임투디지털 컨버팅 회로(800)는 제1 신호가 전달되는 제1 신호 전송 라인(810)과 제2 신호가 전달되는 제2 신호 전송 라인(820)과 제1 신호 전송 라인(810)의 노드들의 전압들과 이에 대응되는 제2 신호 전송 라인(820)의 노드들의 전압들을 비교하는 비교기(830) 및 비교기(830)의 출력을 입력받아 저해상도 코드를 생성하는 인코더(840)를 포함한다.
- <81> 제1 신호 전송 라인(810)에 포함된 지연 소자들(811, 812, 813)은 능동 소자들로 구성된 능동 지연부(active delay unit)로 구현될 수 있다. 가장 간단하게 지연 소자들(811, 812, 813)은 인버터로 구현될 수 있다. 통상 인버터로 구현된 개별 지연 소자의 지연 시간은 수십 피코초를 갖는다. 제1 신호 전송 라인(810)은 지연 라인에 해당한다. 제2 신호 전송 라인(820)은 지연 소자를 포함하지 않는 통상의 신호 전송 라인에 해당한다.
- <82> 비교기(830)는 복수의 플립플롭들(831, 832, 833, 834)을 포함하고 있고, 각 플립플롭(831, 832, 833, 834)은 제1 신호 전송 라인(810)의 각 노드와 입력 단자가 연결되고 제2 신호 전송 라인(820)과 클럭 단자가 연결된다. 지연 소자가 인버터로 구현된 경우에 홀수번째 플립플롭들은 제2 신호의 상승 에지에 동기해서 동작하고 짝수번째 플립플롭들은 제2 신호의 하강 에지에 동기해서 동작한다.
- <83> 인코더(840)는 제1 신호 및 제2 신호의 시간차는 비교기(830)의 출력 신호로부터 제1 신호와 제2 신호의 시간차에 대한 저해상도 코드를 생성한다. 예를 들어 비교기(830)의 출력은 온도계 코드(thermometer code)를 출력하고, 인코더(830)는 온도계 코드를 바이너리 코드로 변환하여 저해상도 코드를 생성할 수 있다.
- <84> 도 9는 본 발명의 일 실시예에 따른 고해상도 타임투디지털컨버팅 회로를 보여주는 도면이다.
- <85> 고해상도 타임투디지털컨버팅 회로(900)는 저항들로 구성된 두 개의 신호 전송 라인들(910, 920)과 비교기(930) 및 인코더(940)를 포함한다.
- <86> 제1 신호는 제3 신호 전송 라인(910)의 시작 노드로 입력되고 저항들(911, 912, 913, 914)을 거쳐 마지막 노드까지 전달된다. 제2 신호는 제3 신호 전송 라인(910)의 마지막 노드에 대응되는 노드로 입력되고 저항들(921, 922, 923, 924)을 거쳐 제3 신호 전송 라인(910)의 시작 노드에 대응되는 노드까지 전달된다.
- <87> 제3 신호 전송 라인(910)과 제4 신호 전송 라인(920)은 모두 지연 라인에 해당한다.
- <88> 제3 신호 전송 라인(910)의 저항들과 제4 신호 전송 라인(920)의 저항들은 모두 동일한 저항 값을 가진다. 도 3의 고해상도 타임투디지털컨버팅 회로(900)에서 제1 신호와 제2 신호가 입력되는 방향이 다른 이유는 노드간

지연 시간의 불균형을 줄이기 위해서이다.

- <89> 예를 들어, 제1 신호가 저항(911)을 지날 때의 지연 시간은 저항(912)를 지날 때의 지연 시간보다 길다. 마찬가지로 제1 신호가 저항(912)을 지날 때의 지연 시간은 저항(913)을 지날 때의 지연 시간보다 길고, 제1 신호가 저항(913)을 지날 때의 지연 시간은 저항(914)을 지날 때의 지연 시간보다 길다.
- <90> 반면 제2 신호가 저항(921)을 지날 때의 지연 시간은 저항(922)를 지날 때의 지연 시간보다 길다. 마찬가지로 제2 신호가 저항(922)을 지날 때의 지연 시간은 저항(923)을 지날 때의 지연 시간보다 길고, 제2 신호가 저항(923)을 지날 때의 지연 시간은 저항(924)을 지날 때의 지연 시간보다 길다.
- <91> 제1 신호와 제2 신호가 입력되는 방향이 다르기 때문에 이와 같은 노드간 지연 시간들의 불균형은 줄어들게 된다.
- <92> 비교기(930)은 제1 신호 전송 라인상의 노드들의 제1 전압들과 제1 전압들에 대응하는 제2 신호 전송 라인상의 노드들의 제2 전압들을 비교한다. 이를 위하여 비교기(930)는 복수의 비교 회로들을 포함한다. 비교 회로(931)은 제3 신호 전송 라인(910)의 시작 노드의 전압과 제4 신호 전송 라인(920)의 마지막 노드의 전압을 비교하고, 비교 회로(932)는 저항(911) 및 저항(912) 사이 노드의 전압과 저항(924) 및 저항(923) 사이 노드의 전압을 비교하고, 비교 회로(933)는 저항(913) 및 저항(914) 사이 노드의 전압과 저항(922) 및 저항(921) 사이 노드의 전압을 비교하며, 비교 회로(934)는 제3 신호 전송 라인(910)의 마지막 노드의 전압과 제4 신호 전송 라인(920)의 시작 노드의 전압을 비교한다.
- <93> 비교기(930)의 출력은 인코더(940)에 제공되고, 인코더(940)는 제1 신호와 제2 신호의 시간 지연에 대응되는 고 해상도 코드를 생성한다. 예를 들어 인코더(940)는 제1 신호와 제2 신호의 시간 지연에 대응되는 바이너리 코드를 생성할 수 있다.
- <94> 1 피코초 이하의 해상도를 갖는 TDC를 구현하기 위해서 신호 전송 라인에 포함된 저항들의 저항 값은 수 오음 정도로 작아질 필요가 있다. 통상 반도체 공정에서 제공되는 저항은 수백 오음 정도로 병렬 연결하여 작은 저항 값을 얻을 수 있지만, 이 경우에 신호 전송 라인의 면적이 커지게 된다.
- <95> 도 10 및 도 11은 수 오음 정도로 구현된 저항을 메탈 라인 및 비아를 이용하여 구현한 예들을 보여주는 도면이다.
- <96> 도 10은 메탈 라인의 폭을 이용하여 작은 저항을 구현한 경우를 보여준다.
- <97> 신호 전송 라인(1000)은 3개의 메탈층으로 구현된다. 가운데 메탈층의 메탈 라인은 저항들(1030) 및 비교 회로들과 연결을 위한 노드들(1040)을 포함한다. 저항들(1030)의 저항 값은 메탈 라인의 폭(W)에 따라 결정될 수 있다.
- <98> 메탈 라인의 폭(W)이 좁으면 저항들(1030)의 저항 값은 커지고, 메탈 라인의 폭(W)이 넓으면 저항들(1030)의 저항 값은 작아진다. 노드들(1040)은 비아 또는 컨택 플러그를 통해 비교기들의 입력단자들과 연결될 수 있다. 각 노드에서 각 비교기의 입력단자까지의 저항 값을 줄이기 위해 병렬로 연결된 복수의 비아들 또는 컨택 플러그들이 사용될 수 있다.
- <99> 메탈 라인(1010)과 메탈 라인(1020)은 접지와 연결되며, 외부의 노이즈를 막는 역할을 한다.
- <100> 도 11은 복수의 직렬로 연결된 비아들로 구현한 저항의 예를 보여주는 도면이다.
- <101> 도 11은 3개의 메탈 층을 이용하여 하나의 저항을 구현한 경우를 보여준다. M2는 최하부 메탈층의 바로 위에 있는 메탈층을 의미하고, M3는 M2의 바로 위에 있는 메탈층을 의미하며, M4는 M3의 바로 위에 있는 메탈층을 의미한다.
- <102> 저항(1100)의 저항 값은 주로 비아(1110)에 의해 결정되고, 메탈 라인(1120)의 저항 값은 비아(1110)에 비해 매우 작다. 하나의 비아가 약 1 오옴인 경우에 3 오옴의 저항을 구현하려면 3개의 비아들을 직렬로 연결하여 구현할 수 있다. 그렇지만 비아의 저항 값은 위치에 따라 편차를 가질 수 있기 때문에 이와 같은 방식으로 저항의 저항 값을 정밀하게 제어하기 힘들 수 있다. 그 대신에 예컨대 21개의 비아들을 직렬로 연결하여 단위 저항을 만들고, 7개의 단위 저항을 병렬로 연결하여 3 오옴의 저항을 구현할 수 있다. 이와 같이 구현된 복수의 저항들이 직렬로 연결하여 신호 전송 라인을 구현할 수 있다.
- <103> 한편 도 11에는 도시되어 있지 않지만 신호 전송 라인은 도 10의 신호 전송 라인(400)과 마찬가지로 외부의 노

이즈를 막는 역할을 하는 두 개의 메탈 라인- M2 바로 아래에 있는 메탈층의 메탈 라인과 M4 바로 위에 있는 메탈층의 메탈 라인-을 포함할 수 있다.

- <104> 도 12는 도 9의 고해상도 타임투디지털컨버팅 회로의 레이아웃을 보여주는 도면이다.
- <105> 고해상도 타임투디지털컨버팅 회로(1200)는 평행하게 배열된 제3 신호 전송 라인(1210)과 제4 신호 전송 라인(1220)과 제3 신호 전송 라인(1210) 및 제4 신호 전송 라인(1220) 사이에 배치된 비교기(1230)를 포함한다.
- <106> 제3 신호 전송 라인(1210)은 직렬로 연결된 제1 저항들을 포함하고, 제4 신호 전송 라인(1220)은 직렬로 연결된 제2 저항들을 포함한다. 제1 저항들과 제2 저항들의 저항 값에 의해 고해상도 타임투디지털컨버팅 회로(1200)의 해상도가 결정된다. 고해상도의 타임투디지털컨버팅 회로를 구현하려면 매우 작은 저항이 필요한데, 앞서 설명한 바와 같이 메탈 라인 및 비아를 이용하여 매우 작은 저항을 구현할 수 있다. 제3 신호 전송 라인(1210)과 제4 신호 전송 라인(1220) 및 비교기(1230)의 연결 관계는 앞서 설명한 도 9의 고해상도 타임투디지털컨버팅 회로(900)와 동일하다.
- <107> 비교기(1230)은 제3 신호 전송 라인(1210)상의 노드들의 전압들(제1 전압들) 및 대응되는 제4 신호 전송 라인(1220)상의 노드들의 전압(제2 전압들)을 비교한다. 일 실시예에 있어서, 각 비교 회로(1231, 1232, 1233)는 신호 전송 라인들(1210, 1220)을 중심으로 대칭적인 구조를 갖는다. 비교기의 레이아웃에 대해서는 도 13을 참조하여 후술한다.
- <108> 제3 신호 전송 라인(1210)으로 입력되는 제1 신호와 제4 신호 전송 라인(1220)으로 입력되는 제2 신호가 동일한 방향으로 입력되는 경우에 제3 신호 전송 라인(1210)에 포함된 제1 저항들의 저항 값들은 R1으로 동일한 값을 갖고 제4 신호 전송 라인(1220)에 포함된 제2 저항들의 저항 값들은 R1과 다른 R2로 동일한 값을 갖도록 고해상도 타임투디지털컨버팅 회로(1200)를 구현할 수 있다.
- <109> 제3 신호 전송 라인(1210)으로 입력되는 제1 신호와 제4 신호 전송 라인(1220)으로 입력되는 제2 신호가 다른 방향으로 입력되는 경우에 제3 신호 전송 라인(1210)에 포함된 제1 저항들 및 제4 신호 전송 라인(1220)에 포함된 제2 저항들의 저항 값들은 모두 동일한 값을 갖도록 고해상도 타임투디지털컨버팅 회로(1200)를 구현할 수 있다.
- <110> 도 13a는 도 12의 비교 회로의 예시적인 회로를 보여주는 도면이다.
- <111> 비교 회로(1231)는 트랜지스터들(Q1, Q1)의 게이트들(비교기의 입력 단자)은 각각 제1 신호 전송 라인의 노드 및 이에 대응하는 제2 신호 전송 라인의 노드와 연결된다. 제1 신호 전송 라인의 노드의 전압과 제2 신호 전송 라인의 노드의 전압은 비교된다. 두 노드 전압의 비교 결과는 비교 회로(1231)의 출력 단자(OUT1, OUT2)를 통해 출력된다.
- <112> 비교 회로(1231)의 출력 단자(OUT1, OUT2)는 트랜지스터들(Q3, Q4)의 게이트들과 연결되는데, 연결 부분(1310)에서 대칭성을 갖도록 비교 회로(1231)를 구현하는 것이 좋다.
- <113> 도 13b를 참조하면, 비교 회로(1231)의 트랜지스터들(Q1, Q2, Q3, Q4, Q5, Q6)와 연결 부분(1310)은 제1 신호 전송 라인(1210)과 제2 신호 전송 라인(1220)을 기준으로 대칭적인 구조를 갖는다.
- <114> 도 13a를 참조하면 연결 부분(1310)에서 A에서 D까지의 라인은 B에서 C까지의 라인과 전기적으로 분리될 필요가 있다. 다시 말하면, A에서 D까지의 라인과 B에서 C까지의 라인은 교차점은 서로 다른 메탈층에 구현될 필요가 있다. 이 때 연결 부분(1310)은 제3 신호 전송 라인(1210)과 제4 신호 전송 라인(1220)을 기준으로 대칭적인 구조를 갖지 않을 수 있다. 도 13c는 연결 부분(1210)은 제3 신호 전송 라인(1210)과 제4 신호 전송 라인(1220)을 기준으로 대칭적인 구조를 갖도록 구현한 경우의 레이아웃을 보여준다.
- <115> 도 13c를 참조하면, 연결 부분(1310)에서 A에서 D까지 단일 라인이 아닌 2개의 라인으로 연결되어 있고, B에서 C까지도 단일 라인이 아닌 2개의 라인으로 연결된 것을 알 수 있다. 이 때 빗금친 부분과 빗금치지 않은 부분은 서로 다른 메탈층의 메탈 라인을 의미한다.
- <116> 도 14는 본 발명의 다른 실시예에 따른 고해상도 타임투디지털컨버팅 회로를 보여주는 도면이다.
- <117> 앞서 설명한 고해상도 타임투디지털컨버팅 회로는 노드간 지연 시간의 차이 때문에 제1 지연 라인에 입력되는 제1 신호와 제2 지연 라인에 입력되는 제2 신호가 서로 다른 방향을 갖는다. 그렇지만 어플리케이션에 따라서는 동일한 제1 신호와 제2 신호가 동일한 방향으로 입력되는 고해상도 타임투디지털컨버팅 회로가 필요할 수도 있다.

- <118> 고해상도 타임투디지털컨버팅 회로(1400)는 도 9의 고해상도 타임투디지털컨버팅 회로(900)와 마찬가지로 저항들로 구성된 두 개의 신호 전송 라인들(1410, 1420)과 비교기(1430) 및 인코더(1440)를 포함한다.
- <119> 그렇지만 도 9의 고해상도 타임투디지털컨버팅 회로(900)와 달리 고해상도 타임투디지털컨버팅 회로(1400)에서 제1 신호와 제2 신호는 동일한 방향으로 입력된다. 제1 신호는 제3 신호 전송 라인(1410)의 시작 노드로 입력되고 저항들(1411, 1112, 1113, 1114)을 거쳐 마지막 노드까지 전달된다. 제2 신호는 제3 신호 전송 라인(1410)의 시작 노드에 대응되는 노드로 입력되고 저항들(1421, 1122, 1123, 1124)을 거쳐 제3 신호 전송 라인(1410)의 마지막 노드에 대응되는 노드까지 전달된다.
- <120> 제3 신호 전송 라인(1410)의 저항들은 서로 동일한 R1 값을 갖고, 제4 신호 전송 라인(1420)의 저항들은 서로 동일한 R1과 다른 R2 값을 가진다.
- <121> 비교기(1430)은 제3 신호 전송 라인상의 노드들의 제1 전압들과 제1 전압들에 대응하는 제4 신호 전송 라인상의 노드들의 제2 전압들을 비교한다. 비교 회로(1431)은 제3 신호 전송 라인(1410)의 시작 노드의 전압과 제4 신호 전송 라인(1420)의 시작 노드의 전압을 비교하고, 비교 회로(1432)는 저항(1411) 및 저항(1412) 사이 노드의 전압과 저항(1421) 및 저항(1422) 사이 노드의 전압을 비교하고, 비교 회로(1433)는 저항(1413) 및 저항(1414) 사이 노드의 전압과 저항(1423) 및 저항(1424) 사이 노드의 전압을 비교하며, 비교 회로(1434)는 제3 신호 전송 라인(1410)의 마지막 노드의 전압과 제4 신호 전송 라인(1420)의 마지막 노드의 전압을 비교한다.
- <122> 비교기(1430)의 출력은 인코더(1440)에 제공되고, 인코더(1440)는 제1 신호와 제2 신호의 시간 지연에 대응되는 고해상도 코드를 생성한다. 예를 들어 인코더(1440)는 디지털 코드로 제1 신호와 제2 신호의 시간 지연에 대응되는 바이너리 코드를 생성할 수 있다.
- <123> 도 9의 고해상도 타임투디지털컨버팅 회로(900)와 마찬가지로 고해상도 타임투디지털컨버팅 회로(1400)는 1 피코초 이하의 해상도를 갖기 위해 수 오음 정도의 저항 값을 갖는 저항들을 사용한다. 이러한 저항들은 메탈 라인 및 비아를 이용하여 구현할 수 있다.
- <124> 이상의 실시예들에서 고해상도 타임투디지털컨버팅 회로는 고해상도 코드를 생성하기 위한 인코더를 포함하고, 저해상도 타임투디지털컨버팅 회로는 저해상도 코드를 생성하기 위한 인코더를 포함하고 있다. 다시 말하면 타임투디지털컨버터가 생성하는 시간차 코드는 저해상도 코드와 고해상도 코드를 포함하고 있다. 그렇지만 이는 예시적인 것으로서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 고해상도 타임투디지털컨버팅 회로에 포함된 비교 회로들의 출력과 저해상도 타임투디지털컨버팅 회로에 포함된 비교 회로들의 출력을 입력받아 시간차 코드를 생성하는 통합된 인코더를 구비하는 타임투디지털컨버터도 쉽게 구현할 수 있을 것이다.
- <125> 도 15는 본 발명의 일 실시예에 따른 디지털위상고정루프를 보여주는 도면이다.
- <126> 디지털위상고정루프(1500)는 기준 클럭과 피드백 클럭을 시간차를 비교해서 시간차에 대응하는 디지털 코드(저해상도 코드와 고해상도 코드)를 생성하는 타임투디지털컨버터(1510)와 타임투디지털컨버터(1510)의 출력 신호(디지털 코드)를 처리하여 디지털 제어 코드를 생성하는 디지털 필터(1520)와 디지털 제어 코드(1530)에 대응하는 주파수의 출력클럭을 생성하는 디지털 제어 발진기(1530)를 포함한다.
- <127> 타임투디지털컨버터(1510)는 기준 클럭과 피드백 클럭의 시간차를 높은 정밀도로 측정하기 위하여 고해상도 타임투디지털컨버팅 회로(1511)를 포함하고, 기준 클럭과 피드백 클럭의 시간차의 최대 측정 범위가 넓은 저해상도 타임투디지털컨버팅 회로(1512)를 포함한다. 타임투디지털컨버터(1510)는 도 4a 내지 도 14를 참조하여 앞서 설명한 타임투디지털컨버터로 구현될 수 있다.
- <128> 한편 디지털위상고정루프(1500)는 출력클럭의 주파수를 변경하기 위한 분주기(1540)를 더 포함할 수 있다.

발명의 효과

- <129> 상술한 바와 같이 본 발명에 실시예에 따른 타임투디지털컨버터는 측정할 수 있는 두 신호의 시간차의 범위가 넓고, 두 신호의 시간차를 고해상도로 측정할 수 있다. 이를 위하여 타임투디지털컨버터는 고해상도 타임투디지털컨버팅 회로와 저해상도 타임투디지털컨버팅 회로를 포함한다. 고해상도 타임투디지털컨버팅 회로는 메탈 라인 및 비아로 구현된 매우 작은 저항을 포함하고 있기 때문에 적은 칩 면적을 차지한다. 이와 같은 타임투디지털컨버터를 포함하는 디지털위상고정루프는 지터가 거의 없는 출력 클럭을 생성할 수 있다.
- <130> 이상에서의 실시예들은 모두 예시적인 것으로, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게

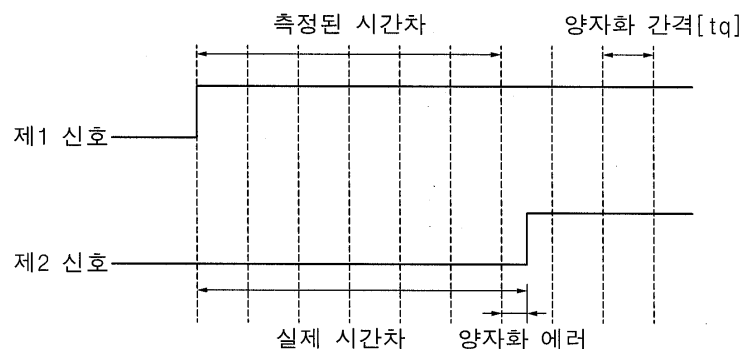
수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

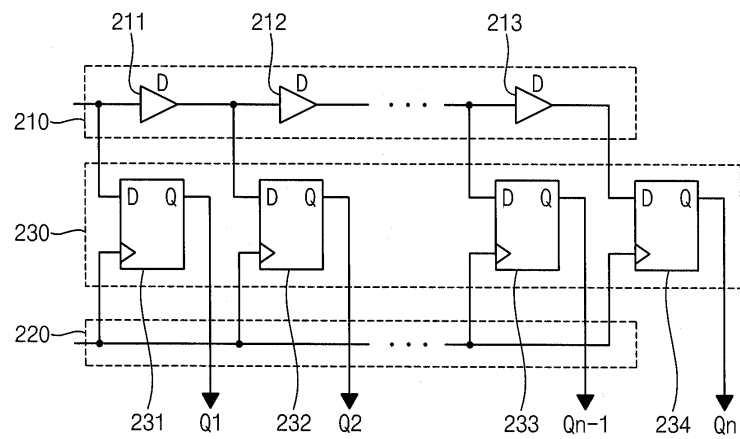
- <1> 도 1은 타임투디지털컨버터의 기본 동작을 보여주는 도면이다.
- <2> 도 2a는 종전의 단일 지연 라인(single delay line)을 가지는 타임투디지털컨버터를 보여주는 도면이다.
- <3> 도 2b는 도 2a의 타임투디지털컨버터의 출력을 보여주는 그래프이다.
- <4> 도 3a는 종전의 버니어 지연 라인(Vernier delay line)을 가지는 타임투디지털컨버터를 보여주는 도면이다.
- <5> 도 3b는 도 3a의 타임투디지털컨버터의 출력을 보여주는 그래프이다.
- <6> 도 4a는 본 발명의 일 실시예에 따른 타임투디지털컨버터를 보여주는 도면이다.
- <7> 도 4b는 도 4a의 타임투디지털컨버터의 출력을 보여주는 그래프이다.
- <8> 도 5는 저해상도 타임투디지털컨버팅 회로와 고해상도 타임투디지털컨버팅 회로의 연결 관계를 보여주는 도면이다.
- <9> 도 6은 저해상도 타임투디지털컨버팅 회로와 고해상도 타임투디지털컨버팅 회로의 다른 연결 관계를 보여주는 도면이다.
- <10> 도 7은 저해상도 타임투디지털컨버팅 회로와 고해상도 타임투디지털컨버팅 회로의 또 다른 연결 관계를 보여주는 도면이다.
- <11> 도 8은 본 발명의 일 실시예에 따른 저해상도 타임투디지털컨버팅 회로를 보여주는 도면이다.
- <12> 도 9는 본 발명의 일 실시예에 따른 고해상도 타임투디지털컨버팅 회로를 보여주는 도면이다.
- <13> 도 10은 도 9의 저항을 구현한 예를 보여주는 도면이다.
- <14> 도 11은 도 9의 저항을 구현한 다른 예를 보여주는 도면이다.
- <15> 도 12는 도 9의 고해상도 타임투디지털컨버팅 회로의 레이아웃을 보여주는 도면이다.
- <16> 도 13a는 도 12의 비교기의 예시적인 회로를 보여주는 도면이다.
- <17> 도 13b는 도 13a의 비교기의 레이아웃을 보여주는 도면이다.
- <18> 도 13c는 도 13b의 연결 부분의 레이아웃을 보여주는 도면이다.
- <19> 도 14는 본 발명의 다른 실시예에 따른 고해상도 타임투디지털컨버팅 회로를 보여주는 도면이다.
- <20> 도 15는 본 발명의 일 실시예에 따른 디지털위상고정루프를 보여주는 도면이다.

도면

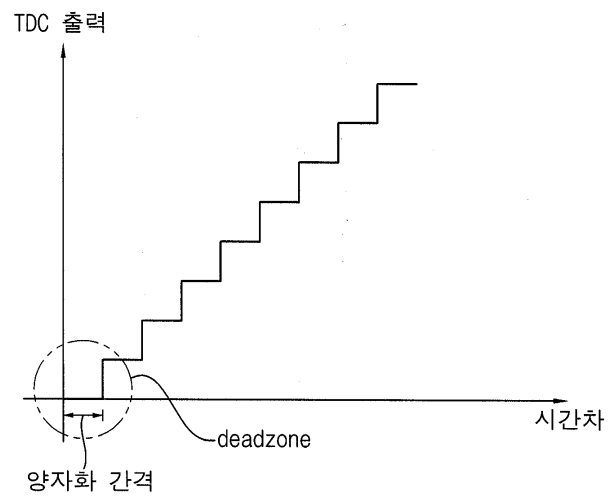
도면1



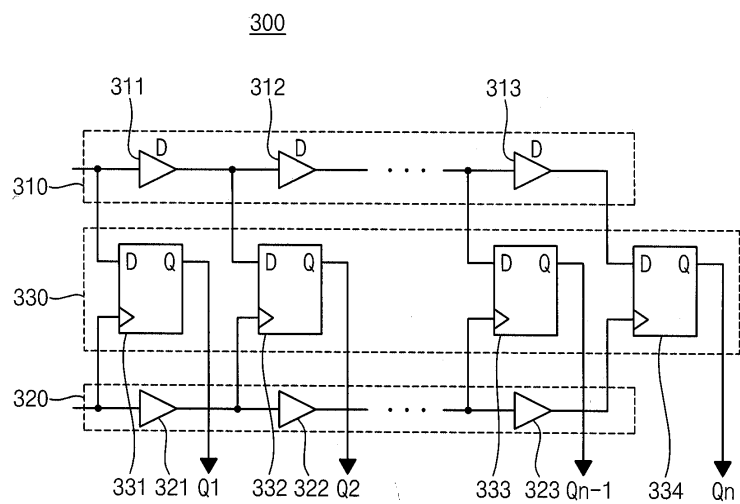
도면2a



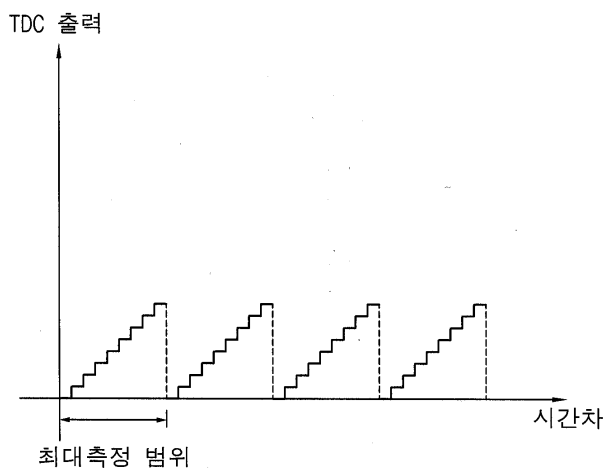
도면2b



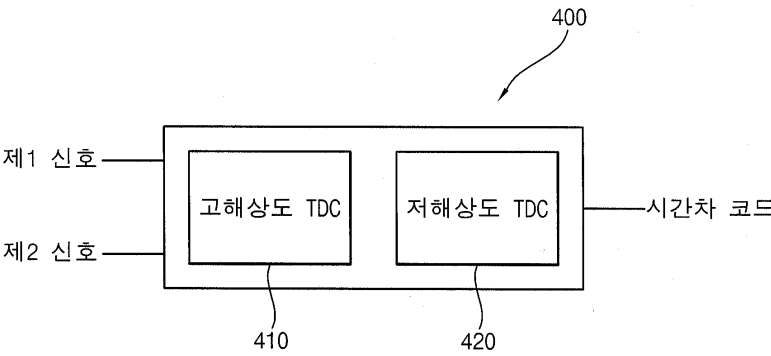
도면3a



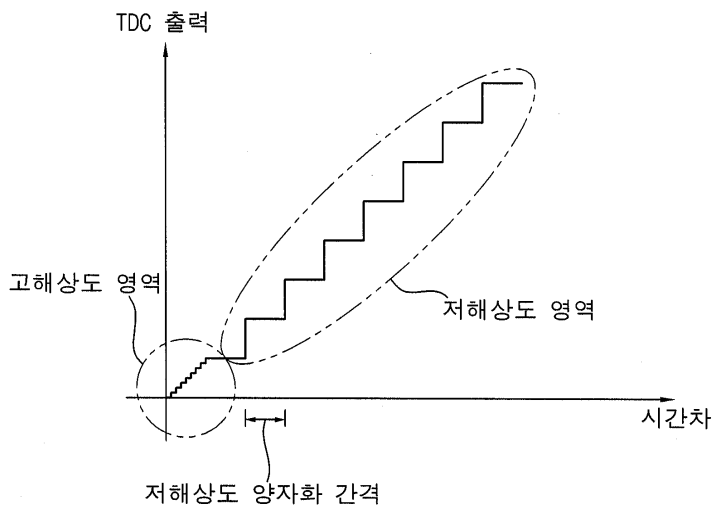
도면3b



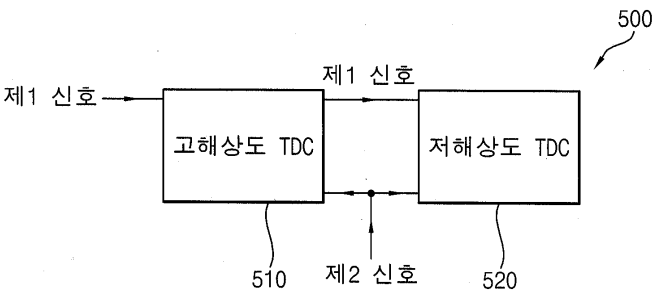
도면4a



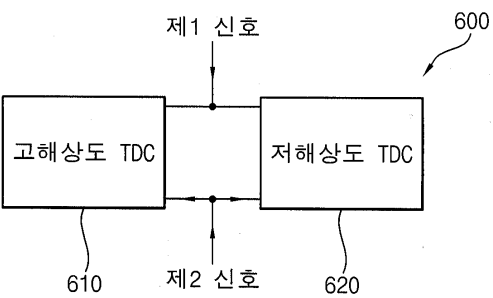
도면4b



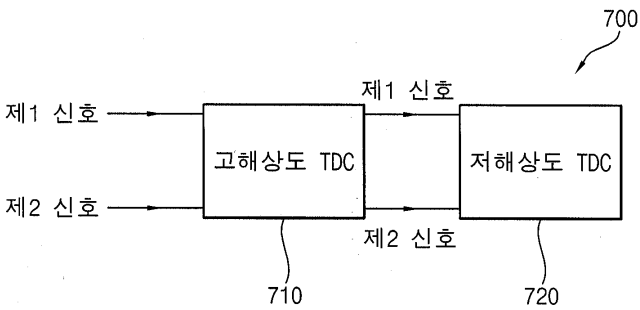
도면5



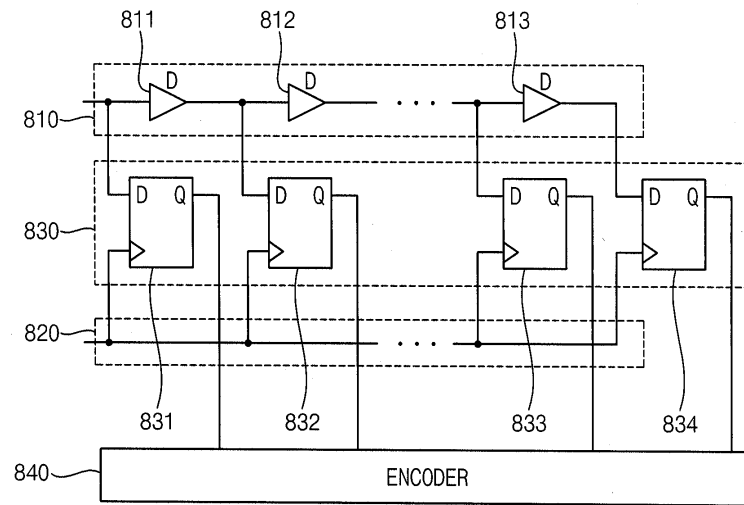
도면6



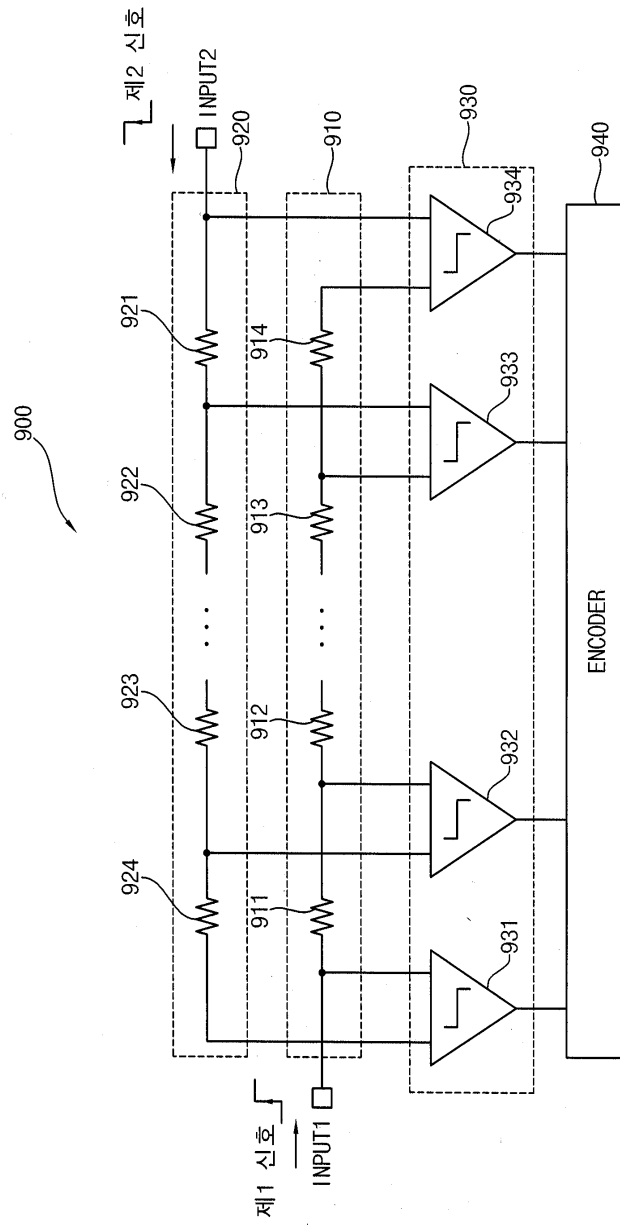
도면7



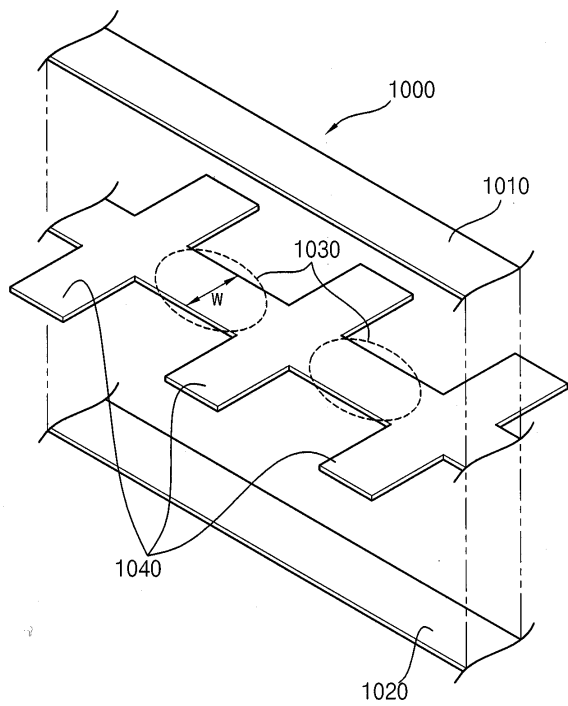
도면8



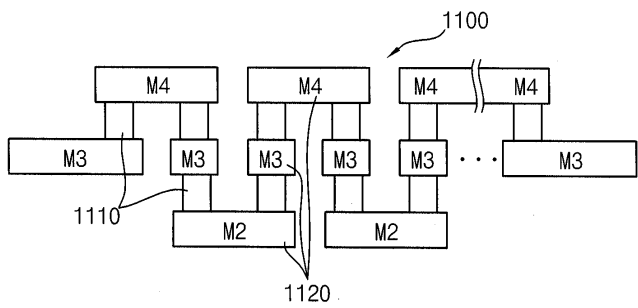
도면9



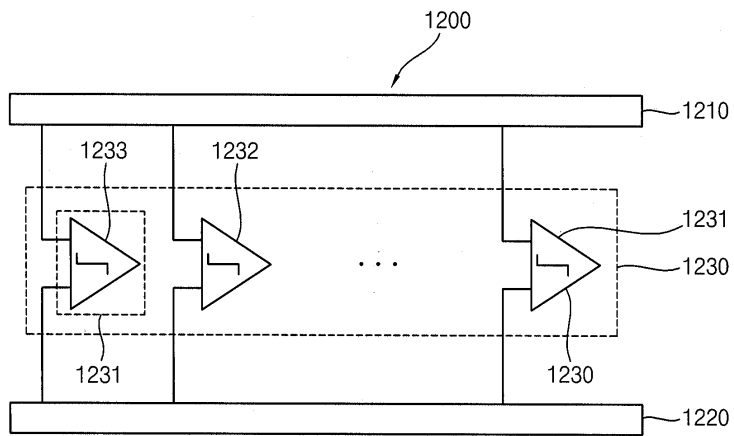
도면10



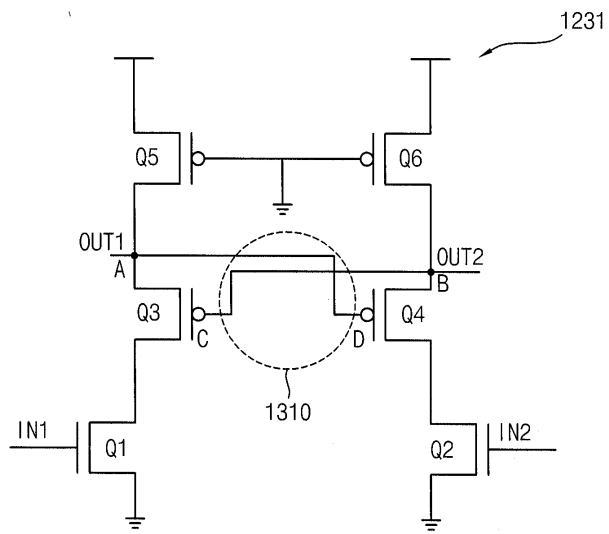
도면11



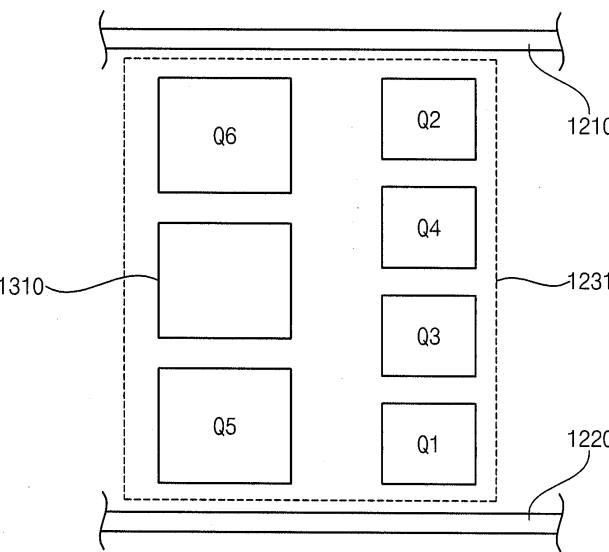
도면12



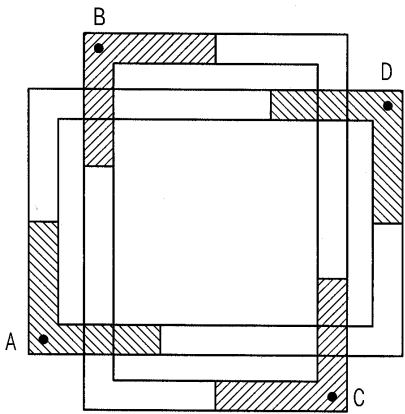
도면13a



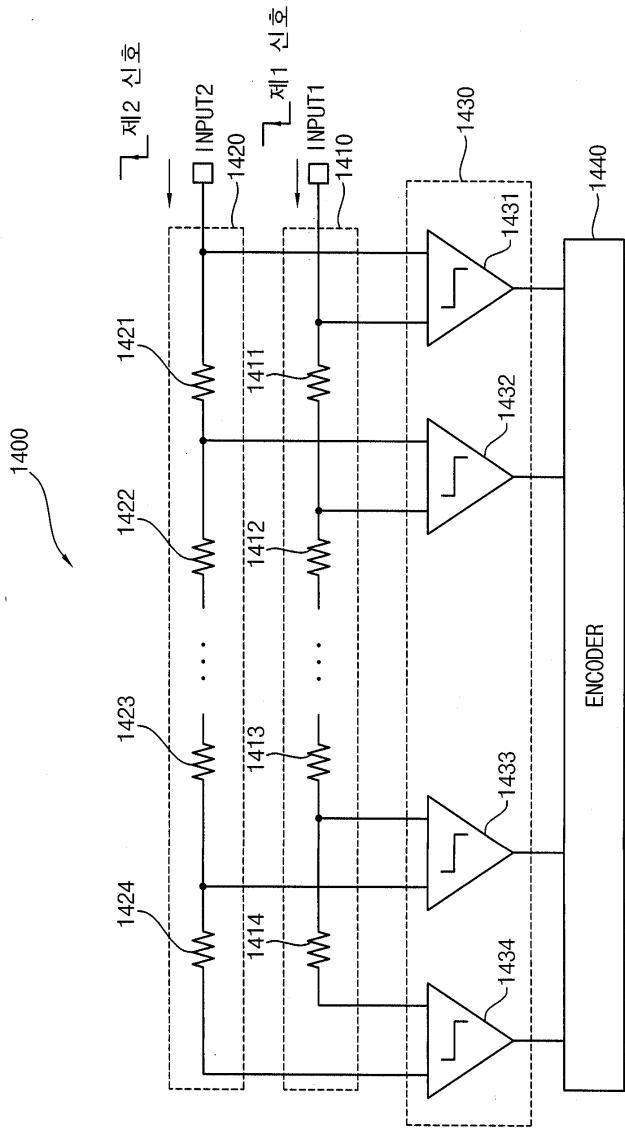
도면13b



도면13c



도면14



도면15

