

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 1 月 27 日 (2005.1.27)

【公表番号】特表 2004-517461 (P2004-517461A)

【公表日】平成 16 年 6 月 10 日 (2004.6.10)

【年通号数】公開・登録公報 2004-022

【出願番号】特願 2001-557092 (P2001-557092)

【国際特許分類第 7 版】

H 0 1 L 21/338

H 0 1 L 29/778

H 0 1 L 29/812

【F I】

H 0 1 L 29/80 B

H 0 1 L 29/80 H

【手続補正書】

【提出日】平成 14 年 11 月 8 日 (2002.11.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】トラッピング (t r a p p i n g) を低減させた I I I 族窒化物ベースの電界効果トランジスタ (F E T) およびトランジスタの製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電界効果トランジスタ (F E T) であって、
比抵抗が高い非伝導層 (2 0) と、
前記非伝導層 (2 0) 上のバリア層 (1 8) と、
前記バリア層 (1 8) 表面の一部を覆わないで、前記バリア層 (1 8) と接触しているソースコンタクト、ドレインコンタクト、ゲートコンタクト (1 3 、 1 4 、 1 6) と、
高い割合のドナー電子 (6 8) を有し、前記コンタクト (1 3 、 1 4 、 1 6) の間で前記バリア層 (1 8) 表面に形成されている電子ソース層 (2 2) と、
を含むことを特徴とする F E T。

【請求項 2】

前記バリア層 (1 8) がプラスに帯電した表面トラップ (6 9) を持ち、前記ドナー電子 (6 8) が前記トラップ (6 9) を中性化し、前記ドナー電子 (6 8) が前記トラップ (6 9) より高いエネルギー状態を有することを特徴とする請求項 1 に記載の F E T。

【請求項 3】

前記電子ソース層 (2 2) が、誘電性材料の層であることを特徴とする請求項 1 に記載の F E T。

【請求項 4】

前記電子ソース層 (2 2) が、電子フィールド (e l e c t r o n f i e l d)、電圧または温度の上昇によって引き起こされるストレスのもとで前記バリア層 (1 8) と安定

な結合を有することを特徴とする請求項 1 に記載の F E T。

【請求項 5】

前記バリア層 (1 8) の表面が、実質的に損傷がないことを特徴とする請求項 1 に記載の F E T。

【請求項 6】

サファイアまたは炭化ケイ素の基板 (1 1) をさらに含み、当該基板 (1 1) は、前記非伝導層 (2 0) に隣接し、前記バリア層 (1 8) の反対側にあることを特徴とする請求項 1 に記載の F E T。

【請求項 7】

前記非伝導層 (2 0) と前記基板 (1 1) との間にバッファ層 (1 2) をさらに含むことを特徴とする請求項 6 に記載の F E T。

【請求項 8】

前記非伝導層 (2 0) および前記バリア層 (1 8) が、I I I 族窒化物半導体材料で形成されていることを特徴とする請求項 1 に記載の F E T。

【請求項 9】

前記バリア層 (3 8) が、前記非伝導層 (3 4) より幅広のエネルギーバンドギャップを有しており、前記 F E T が、前記バリア層 (3 8) と前記非伝導層 (3 4) との間に二次元電子ガス (2 D E G) (4 2) をさらに含むことを特徴とする請求項 1 に記載の F E T。

【請求項 10】

表面上に電子ソース層 (1 0 8) を有するトランジスタ (1 0 1) を製造する方法であって、

前記トランジスタをスパッタリングチャンバに配置するステップ (1 2 6) と、

前記スパッタリングチャンバ中で前記トランジスタ上の前記電子ソース層 (1 0 8) をスパッタするステップ (1 2 8) と、

前記スパッタリングチャンバを冷却しガス抜きするステップ (1 3 0) と、

前記スパッタリングチャンバから前記トランジスタを取り出すステップ (1 3 0) と、を含むことを特徴とする方法。