

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5237285号
(P5237285)

(45) 発行日 平成25年7月17日 (2013. 7. 17)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.	F I
H O 1 L 23/522 (2006. 01)	H O 1 L 21/88 J
H O 1 L 21/768 (2006. 01)	H O 1 L 27/04 E
H O 1 L 21/3205 (2006. 01)	H O 1 L 23/14 S
H O 1 L 21/822 (2006. 01)	
H O 1 L 27/04 (2006. 01)	

請求項の数 8 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2009-528823 (P2009-528823)	(73) 特許権者	507219491
(86) (22) 出願日	平成19年9月14日 (2007. 9. 14)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2010-504637 (P2010-504637A)		N X P B. V.
(43) 公表日	平成22年2月12日 (2010. 2. 12)		オランダ国 5656エイジー アインド
(86) 国際出願番号	PCT/IB2007/053719		ーフエン ハイ テク キャンパス 60
(87) 国際公開番号	W02008/035261		High Tech Campus 60
(87) 国際公開日	平成20年3月27日 (2008. 3. 27)		, NL-5656 AG Eindhoven,
審査請求日	平成21年5月15日 (2009. 5. 15)		Netherlands
(31) 優先権主張番号	06300976.5	(74) 代理人	100147485
(32) 優先日	平成18年9月22日 (2006. 9. 22)		弁理士 杉村 憲司
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100134005
			弁理士 澤田 達也
		(74) 代理人	100151677
			弁理士 播磨 里江子

最終頁に続く

(54) 【発明の名称】 電子デバイス及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板を貫通する垂直相互接続部を備えた電子デバイスを製造する方法であって、前記半導体基板は第1の側に第1表面を有し、第2の側に第2表面を有し、前記垂直相互接続部が前記第1表面から前記第2表面まで延びる方法において、

前記第1表面と前記第2表面との間に配置された犠牲埋込み層を、前記基板に設けるステップと；

前記基板の前記第1の側から材料を除去することによって、前記第1表面から前記犠牲埋込み層まで延びるトレンチを前記基板に設け、これにより、前記犠牲埋込み層の第1領域が前記トレンチの底部によって露出され、前記犠牲埋込み層の、前記第1表面に平行な第1断面は前記第1領域より大きいステップと；

前記基板の前記第2の側から材料を、前記犠牲埋込み層に対して選択的に除去することによって、前記第2表面から前記犠牲埋込み層まで延びる孔を前記基板に設け、これにより、前記犠牲埋込み層の第2領域上が前記孔によって露出され、前記犠牲埋込み層の、前記第2表面に平行な第2断面は前記第2領域より大きいステップと、

前記犠牲埋込み層を部分的かつ選択的に除去して、前記垂直相互接続部用の垂直相互接続孔を開口するステップとを備え、

前記基板に前記犠牲埋込み層を設けるステップが、

前記犠牲埋込み層のない基板を用意することと；

前記孔を設けるステップを実行する前に前記トレンチを設け、前記トレンチを設けるス

10

20

トップが、前記基板の前記第 1 の側からの材料の異方性除去を含み、これにより、前記第 1 表面と前記第 2 表面との間の前記半導体基板内に位置する底部領域を持つ底部を有する前記トレンチを形成することと；

前記トレンチを設けた後に、かつ前記孔を設ける前に、前記犠牲埋込み層を設けるステップを実行し、このステップにおいて、前記トレンチの前記底部にキャビティを形成することによって、前記半導体基板の前記第 1 表面と前記第 2 表面との間に前記犠牲埋込み層を設け、前記キャビティは、前記トレンチの前記底部の平面に平行な断面を有し、この断面は前記トレンチの前記底部の面積より大きく、前記キャビティの少なくとも一部分に犠牲材料を充填することと

を含むことを特徴とする電子デバイスの製造方法。

10

【請求項 2】

請求項 1 に記載の方法において、前記キャビティを、等方性ドライエッチング技術を用いて設けることを特徴とする方法。

【請求項 3】

請求項 1 に記載の方法において、さらに、

前記トレンチに、少なくとも前記第 1 表面まで延びる一時的充填物を設けるステップと；

前記一時的充填物を設けた後に、さらに前記電子デバイスを構成するための処理を継続するステップと；

前記処理を継続した後に、前記第 2 の側から前記犠牲埋込み層及び前記一時的充填物を除去し、これにより前記垂直相互接続孔を開口するステップと
を備えていることを特徴とする方法。

20

【請求項 4】

請求項 3 に記載の方法において、前記トレンチの前記一時的充填物を、半導体処理ツールを汚染しない材料のグループから選択することを特徴とする方法。

【請求項 5】

請求項 1 に記載の方法において、さらに、

前記トレンチに、少なくとも前記第 1 表面まで延びる一時的充填物を設けるステップと；

前記基板の前記第 1 の側に、少なくとも前記一時的充填物をカバーする一時的カバー層を設けるステップと；

前記一時的カバー層を設けた後に、前記犠牲埋込み層及び前記一時的充填物を前記第 2 の側から除去し、これにより前記第 2 の側から前記一時的カバー層を露出させるステップと
を備えていることを特徴とする方法。

30

【請求項 6】

請求項 1 に記載の方法において、前記基板にトレンチを設けるステップが、前記孔を開口し前記犠牲埋込み層を除去した後に、前記基板に複数のトレンチを、前記複数のトレンチの少なくとも 2 つを接続して単一の孔にする方法で設けることを含むことを特徴とする方法。

40

【請求項 7】

請求項 1 に記載の方法において、前記基板にトレンチを設けるステップが、前記基板に複数のトレンチを設けることから成り、前記犠牲埋込み層を設けるステップが、少なくとも 2 つの前記トレンチを相互接続する単一の大きなキャビティを形成する方法で、前記少なくとも 2 つのトレンチの底部にキャビティを形成することを含むことを特徴とする方法。

【請求項 8】

請求項 1 ～ 7 のいずれかに記載の方法において、前記電子デバイスを標準的な手順により仕上げて、直ちに使用可能な電気装置を形成することを特徴とする方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、電子デバイスを製造する方法に関するものであり、この電子デバイスは、第1の側に第1表面を、第2の側に第2表面を有する半導体基板を貫通する垂直相互接続部を備え、この垂直相互接続部は第1表面から第2表面まで延びる。

【0002】

本発明は、この方法によって作製した電子デバイスにも関するものである。

【背景技術】

【0003】

半導体基板中に垂直相互接続部を作製する方法は、特許文献1より知ることができる。この方法では、半導体基板中にトレンチを、基板の第1の側からエッチングすることによって形成し、キャビティを、基板の第2の側からエッチングすることによって形成し、トレンチ及びキャビティが一緒になって、基板を貫通する垂直相互接続孔を形成する。この垂直相互接続孔に導電面を与えて、半導体基板の第1表面から第2表面まで延びる垂直相互接続部を形成する。

10

【0004】

従来技術の方法は、2ステップエッチングプロセスを用いて、相補的な2つの部分を備えた垂直相互接続孔を得て、その第1部分は1つ以上のトレンチを備え、第2部分は1つのキャビティを備えている。この方法は、垂直相互接続孔の分解能を、半導体基板の少なくとも第1の側において、第2の側の寸法の分解能とは無関係に増加させることを可能にする。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2005/099699号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0006】

1つの態様では、本発明は、従来技術に規定する種類の方法において、改善された電気特性を有する垂直相互接続部の製造を可能にする方法を提供する。

30

【課題を解決するための手段】

【0007】

本発明は独立請求項によって規定される。従属請求項は有利な好適例を規定する。

【0008】

本発明の目的は、次のステップを備えた方法によって達成される：

基板の第1表面と第2表面との間に配置された犠牲埋込み層を、基板に設けるステップ；

この基板に、第1表面から犠牲埋込み層まで延びるトレンチを、基板の第1の側から材料を除去することによって設けるステップであって、これにより犠牲埋込み層が第1領域上に露出し、犠牲埋込み層は第1領域の平面に平行にとった第1断面を有し、この第1断面は第1領域より大きく、かつ第1領域にオーバーラップ（重複）するステップ；及び、

40

上記基板に、第2表面から犠牲埋込み層まで延びる孔を、基板の第2の側から材料を、犠牲埋込み層に対して（即ち犠牲埋込み層を除くように）選択的に除去することによって設けるステップであって、これにより犠牲埋込み層が第2領域上に露出し、犠牲埋込み層は第2領域の平面に平行にとった第2断面を有し、この第2断面は第2領域より大きく、かつ第1領域にオーバーラップし、第2領域は第1領域より小さいステップ。

【0009】

本発明は次の見識に基づく。垂直相互接続部の電気抵抗は、その最小幅を有する部分、即ち垂直相互接続部を通る電流の方向に垂直にとった断面によって決まる。本発明並びに以上で参照した従来技術では、トレンチは、エッチングマスクの寸法によって良く制御し

50

た最小幅を有する。従って、良好に規定された電気抵抗を有する垂直相互接続部を得るためには、垂直相互接続部のトレンチの深さを正確に制御しなければならない。大きな基板表面領域上に配置された多数の垂直相互接続部を必要とする際には、この深さ制御は適切な基板領域上で一様でなければならない。さらに、複雑かつ高価なトレンチエッチング手順を使用しなければならないことなしに、空間的な深さ制御が得られなければならない。特許文献1では、トレンチの深さは、開示された方法で用いる両方のエッチングステップに依存し、即ちトレンチの深さはキャビティのエッチングの深さによって決まり、トレンチをキャビティの前にエッチングするか後にエッチングするかは無関係である。本発明では、基板内の、基板の第1表面から所定距離の所に存在する犠牲埋込み層が、この依存性を取り除く。このことは、犠牲埋込み層をエッチング停止層として使用することによって10
もたらされる。より詳細には、この層の存在は、トレンチを基板の第1の側から、第1表面と犠牲埋込み層の最寄り面との間の距離によって決まる一定の深さにエッチングすることを可能にする。これに加えて、犠牲埋込み層及びトレンチは、トレンチが犠牲埋込み層より狭くなる方法で、即ち、犠牲埋込み層が、トレンチの底部によって露出される領域より大きい断面を有する方法で設ける。これにより、犠牲埋込み層は、第2の側からの孔のエッチング中にトレンチを保護し、トレンチの深さがこのプロセス中に悪影響されないようにする。

【0010】

こうして、本発明の方法の2つのエッチングステップは非常に効果的に互いに分離される。このことは、トレンチ及び孔の寸法、並びにトレンチ及び孔の作製に用いるプロセス20
の選択の自由度を増加させる。また、トレンチ及び／または孔を作製するプロセスはより重要ではなく、これについては本願の実施例の詳細な説明中に説明する。このことは、例えば半導体産業において常に増加する基板サイズに対する利点である。

【0011】

本発明の方法のさらなる利点は、犠牲埋込み層は、トレンチ及びキャビティが開口した際に垂直相互接続部を閉じる封止層として用いることができることにある。封止は、将来の垂直相互接続部のトレンチ及び孔が既に開口している間に、基板の両側で処理を実行する際に有利なことがあり、それ以後、一方の側での処理中に、他方の側の汚染、あるいは垂直相互接続孔を通した処理ツールの基板ホルダに対する損傷が防止される。さらに、一部のツールは、基板をそのホルダ上に保持するために真空を利用し、基板中に孔が開口30
している場合はこのことは不可能である。

【0012】

好適例では、基板に犠牲埋込み層を設けるステップが次のことを含む：、
犠牲埋込み層のない基板を用意すること；

孔を設けるステップを実行する前にトレンチを設け、トレンチを設けるステップが、基板の第1の側からの材料の異方性除去を含み、これにより、第1表面と第2表面との間の半導体基板内に位置する底部領域を持つ底部を有するトレンチを形成すること；及び、

トレンチを設けた後に、かつ孔を設ける前に、犠牲埋込み層を設けるステップを実行し、このステップにおいて、トレンチの底部にキャビティを形成することによって半導体基板の第1表面と第2表面との間に犠牲埋込み層を設け、このキャビティはトレンチの底部40
の平面に平行な断面を有し、この断面はトレンチの底部の面積より大きく、前記キャビティの少なくとも一部分に犠牲材料を充填すること。

【0013】

この好適例では、本発明の効果を達成するために、基板は作り付けの犠牲埋込み層を最初に有する必要はない。従って、単一材料基板、あるいは本発明によるトレンチを形成するための材料の選択的除去を最初にサポートしない埋込み層を有する基板を使用することができる。この利点は、次のことによって得られる。トレンチのエッチングは一般に、トレンチの小さい横方向の寸法によりデリケートなエッチングである。従って、トレンチのエッチングは、エッチングの深さに関して正確に制御することができる。従って、本発明の方法によれば、最初にトレンチを形成する。これに続いて、このトレンチを、本発明に50

よる犠牲埋込み層の形成によって、第2の側からの孔の形成中のオーバーエッチングから保護する。このことは、最初にトレンチの下のカビティをエッチングし、このカビティに、少なくとも孔の選択的エッチングを可能にする適切な一時的充填物を供給することによって実行する。

【0014】

前の好適例の変化例では、カビティは等方性ドライエッチング技術を用いて設ける。

【0015】

カビティの等方性ウェットエッチングは可能であるが、エッチング液はトレンチを通してしかカビティに達することができないことにより困難である。従って、トレンチ自体はエッチング液によってエッチングすることができ、及び／または、カビティ及びト
10
レンチへのエッチング液の挿入及び／またはカビティ及びトレンチからのエッチング液の除去は毛管力により困難であり得る。こうした欠点は、カビティを開口するためのドライエッチング技術を用いることによって回避することができる。

【0016】

好適例では、本発明の方法は、さらに次のステップを備えている：

さらに電子デバイスを構成するための処理を継続する前に、少なくとも第1表面まで延びる一時的充填物を供給するステップ；

上記処理を継続した後に、第2の側から犠牲埋込み層及び一時的充填物を除去し、これにより垂直相互接続孔を開口するステップ。

【0017】

犠牲埋込み層は、孔を形成した後に、トレンチに一時的充填物を供給することを可能にする。第1充填物は、基板の第1の側の第1表面を比較的平坦にする。これにより、基板の少なくとも第1表面に、電子デバイスの素子を形成するすべての種類の層及び材料を好都合に設けることができる。これに加えて、一時的充填物は、この継続的処理中にトレン
20
チを保護する。

【0018】

犠牲埋込み層、及び必要ならば一時的充填物は、第2の側から孔を通して好都合に除去して、垂直相互接続孔を開口することができる。なお、一時的充填物は、金属のような所望の最終垂直相互接続材料とすることができる。この場合、一時的充填物を除去する必要がない。この好適例は、電子デバイスを実質的に仕上げた後に、第2の側から垂直相互接
30
続孔を開口する単純な方法を提供する。

【0019】

好適例では、トレンチの一時的充填物は、半導体処理ツールを汚染しない材料のグループから選択する。半導体処理では、例えば複数の金属のような特定材料が半導体を処理する際に汚染の影響を有することは常識である。従って、こうした材料を基板に設けた後に、基板は、例えばドライエッチングツールのような半導体処理ツールに再び入ることは許されない。従って、一時的充填物用の材料は、汚染材料のグループに属さないように選択することが有利である、というのは、この場合は、一時的充填物を含む基板を半導体処理ツール内に再導入するからであり、こうしたツールは例えば、半導体をドーピングするためのツール、物理気相成長法（物理蒸着）、化学気相成長法（化学蒸着）等のような堆積
40
ツール、ドライエッチングツールのようなエッチングツールであり、これらのすべてが、継続的処理中及び／または第2の側からの孔のエッチング中に使用される。ドライエッチングは、代替法であるウェットエッチングに比べて、方向性のあるエッチング及び孔の形状に対するより良好な制御を可能にする。

【0020】

好適例では、本発明の方法はさらに、次のステップを有する：

トレンチに、少なくとも第1表面まで延びる一時的充填物を供給するステップ；

基板の第1の側に、少なくとも一時的充填物をカバーする（覆う）一時的カバー層を設けるステップ；

一時的カバー層を設けた後に、第2の側から犠牲埋込み層及び一時的充填物を除去し、
50

これにより第2の側から一時的カバー層を露出させるステップ。

【0021】

この好適例の方法は、一時的カバー層を設けた後に、垂直相互接続孔の開口のためのエッチングを、エッチングプロセスに使用するツールを汚染する上述した汚染材料を含むあらゆる材料を基板に設ける前に実行する利点を有する。従って、ドライエッチングツールを用いて、すべてのキャビティ、トレンチ、及び／または孔を形成し、相互接続孔を一時的カバー層によって第1の側で封止しながら、同時に、垂直相互接続孔全体を開口することができる。これにより、この方法は、ウェットエッチングの使用と比較すると、より安価かつより良好に制御されるエッチングを可能にする。さらに、一旦、垂直相互接続孔を開口すると、基板の第1の側に電子デバイスの素子をさらに構成するための継続的处理中に、一時的カバー層が垂直相互接続孔及び基板の第2の側を保護する。また、一時的カバー層は、処理ツールの基板ホルダを、侵食的な処理中に垂直相互接続部を通して導入される損傷に対して保護する。

10

【0022】

損傷に耐えるカバー層の強度は、当業者に知られているように、層自体の特性だけでなく、トレンチの一時的充填物を除去した後にこのカバー層がカバーするトレンチの寸法にも影響される。カバー層のカバーする部分がある上に広がらなければならないトレンチ開口部の断面の寸法または横方向の寸法を小さく保つことによって、破壊に対する層の復元力が増加する。

【0023】

20

好適例では、基板にトレンチを設けるステップが、孔の開口及び犠牲埋込み層の除去後に、複数のトレンチの少なくとも2つを単一の孔に接続する方法で複数のトレンチを基板に設けることを含む。

【0024】

多数の例では、垂直相互接続部が低い電気抵抗を必要とし、この電気抵抗は、垂直相互接続部が単一のトレンチを備えている構造を用いて達成するには低過ぎる。トレンチの数、及びこれらのトレンチの分布及び寸法は、垂直相互接続部の抵抗を調整するように有利に手直しすることができる。これに加えて、1つの垂直相互接続部内の複数のトレンチは、大きな断面直径を有する垂直相互接続部が必要な場合に、前の好適例で説明した強度の改善に基づく、カバー層による開口垂直相互接続孔の適切な保護を可能にする。

30

【0025】

好適例では、基板にトレンチを設けるステップが、基板に複数のトレンチを設けることから成り、犠牲埋込み層を設けるステップが、少なくとも2つのトレンチを相互接続する単一の大きなキャビティを形成する方法で、少なくとも2つのトレンチの底部にキャビティを形成することを含む。

【0026】

どのトレンチをキャビティによって設けるかを選択することによって、及び／または、多重トレンチに接続する単一キャビティを形成しながらどのキャビティをエッチングして共に成長させて複数のトレンチに接続された単一のキャビティを形成するかを制御することによって、複数の垂直相互接続部間の相互接続部を基板内に作製することができる。

40

【0027】

複数のトレンチの下の単一キャビティの作製は、孔のエッチング中の改善された保護をもたらす、これについては、この応用の実施例の詳細な説明中に詳細に説明する。

【0028】

好適例では、電子デバイスを標準的な手順により仕上げて、直ちに使用可能な電気装置を形成する。金属相互接続部の追加、保護層の追加、基板を単一ダイにするダイシング、電子デバイスを顧客が直ちに使用可能な電気装置として直ちに使用することができるような配線及びパッケージの追加、のようなステップを実行する方法は、当業者にとって既知である。

【0029】

50

第2の態様によれば、本発明は、前に記載した方法のいずれかによって用意される電子デバイスを提供する。

【0030】

本発明による方法を用いることによって、デバイスに垂直相互接続部を安価に設けることができ、さもないければ追加的な処理ステップを必要とする。これに加えて、トレンチである相補的部分の形成のためのステップと、場合によっては一時的カバー層の付加と組み合わせた垂直相互接続部の孔の形成のためのステップとの分離は、より複雑な電子デバイスを作製することができる、ということをもたらす。さらに、これらはより単純な処理で行うことができる。

【図面の簡単な説明】

10

【0031】

本発明による電子デバイス、アセンブリ、及び方法の、これら及び他の態様を、以下に図面を参照しながらさらに説明する。

【0032】

【図1】図1A及び図1Bは、従来技術により垂直相互接続部を製造する2つの段階を示す図である。

【図2A】本発明により垂直相互接続部を製造する一段階を示す図である。

【図2B】本発明により垂直相互接続部を製造する一段階を示す図である。

【図2C】本発明により垂直相互接続部を製造する一段階を示す図である。

【図3】図3A及び図3Bは、孔のオーバーエッチング中における、犠牲埋込み層の保護機能の断面図である。

20

【図4】図4A、図4Bは、本発明による垂直相互接続部の製造中の異なる段階を示す図である。

【図5】図5A～図5Cは、本発明による垂直相互接続部の製造中の異なる段階を示す図である。

【図6A】本発明による、垂直相互接続部及び電子デバイスを製造する方法の一段階を示す図である。

【図6B】本発明による、垂直相互接続部及び電子デバイスを製造する方法の一段階を示す図である。

【図6C】本発明による、垂直相互接続部及び電子デバイスを製造する方法の一段階を示す図である。

30

【図6D】本発明による、垂直相互接続部及び電子デバイスを製造する方法の一段階を示す図である。

【図7】本発明による直ちに使用可能な電気装置を示す図である。

【発明を実施するための形態】

【0033】

これらの図面は一定寸法比で描いたものではなく、単に概略的なものである。異なる図面中の同一の参照番号は同一部分を参照する。

【0034】

図1に、第1の側102及び第2の側104を有する基板100内に垂直相互接続部を用意するための従来技術による方法の2つの段階を示す。この方法の第1段階では、トレンチ106及び106'を、第1の側102から材料を除去することによって基板100内の異なる位置に設ける。これらのトレンチは、第1表面110からトレンチ112及び112'の底部まで測れば、良好に制御されたほぼ同一の深さ108及び108'を有する。

40

【0035】

従来技術の方法の次のステップでは、図1Bに示すように、垂直相互接続孔114及び114'を、第2の側104から材料を除去することによって開口して孔116及び116'を形成する。孔118及び118'のエッチングの深さ116及び116'を精密に制御することは困難であり得る。このことは特に、垂直相互接続部が基板内の完全に異な

50

る位置に置かれる際、及び／または大まかであるが高速かつ安価なエッチング手順を用いてこれらの孔 118 及び 118' を形成する際に当てはまる。従って、トレンチの深さ 108 及び 108' は、トレンチ 106 及び 106' を設けるために用いるプロセスだけでなく、孔 118 及び 118' を設けるために用いるプロセスにも依存する。図 1 B 中の結果的なトレンチの深さ 108'' 及び 108''' は、深さ 116 及び 116' に対する貧弱な制御は、トレンチ 106 及び 106' の深さの均一性に悪影響することを示す。一部の応用にとっては、このことは許容され得るが、他の応用は、トレンチ及び孔内に作製される垂直相互接続部の電気特性の均一性を要求する。従って、トレンチの深さであるトレンチの寸法の 1 つは均一でなければならない、というのは、この寸法は、金属のような導電材料を充填して実際の垂直相互接続部を形成すると、例えば垂直相互接続孔の抵抗の大部分を決定するからである。

10

【0036】

本発明による方法の第 1 実施例では、図 2 A～2 C に示すように、基板 200 が犠牲埋込み層 220 を備えている。図 2 A に示すように、第 1 トレンチ 206 及び 206' は、エッチングプロセスを用いて第 1 の側 202 から材料を除去することによって形成し、このエッチングプロセス中には、犠牲埋込み層 220 をエッチング停止層として用いる。したがって、材料は、犠牲埋込み層の材料に対して選択的に除去またはエッチングされる。その結果、トレンチの深さは犠牲埋込み層 220 から第 1 表面 210 までの距離によって決まる。

【0037】

20

この方法の次の段階では、孔 218 及び 218' を、エッチングプロセスを用いて基板材料を第 2 の側 204 から除去することによって設け、このエッチングプロセス中には、犠牲埋込み層 220 を再びエッチング停止層として用いる。その結果を図 2 B に示す。

【0038】

これに続く段階では、犠牲埋込み層を、他の基板材料に対して部分的かつ選択的に除去して、垂直相互接続孔 214 及び 214' を開口することができる。これによる垂直相互接続孔は、トレンチ 206 (206')、キャビティ 240 (240') 及び孔 218 (218') を備えている。垂直相互接続部は、垂直相互接続孔に適切な材料を適切な形状で設けることによって、この垂直相互接続孔内に形成されることは明らかである。このようにして、孔は完全に充填されるか、あるいは、垂直相互接続孔の壁面は、例えば特許文

30

【0039】

本発明による方法の結果として、トレンチの深さは、孔 218 及び 218' の形成またはエッチングとは無関係であり、そして犠牲埋込み層 220 の除去とは無関係である。孔 118 及び 118' の形成のプロセス並びに犠牲埋込み層の除去のプロセスは、オーバーエッチングに関して厳格でなくなる。

【0040】

この方法の次の段階（図示せず）では、電子デバイスをさらに、基板に、現在技術において既知の方法によるすべての種類の電気素子並びに相互接続構造及び／または配線を設けることによって構築する。トレンチ、孔及び（部分的に）除去した犠牲埋込み層を備えた開口した垂直相互接続孔に導電材料を充填または部分的に充填して、垂直相互接続部を形成する。これらの材料は、銅のような金属、または垂直相互接続部内に要求される抵抗が得られるようにその導電性を調整することのできる現在技術において既知の他のものを含むことができる。

40

【0041】

当業者に既知であるように、金属拡散停止層のような特別な機能を有するすべての種類の層を含めることができる。また、電気絶縁層が、垂直相互接続孔の側壁上に存在して、基板と垂直相互接続部との間の寄生相互作用を制限することができる。このデバイスは、既知の方法によりパッケージ化（封止）することができ、あるいは例えば特許文献 1 に記載のシステム・イン・パッケージ内に集積することができる。本願の図 7 を参照して例を

50

説明する。

【0042】

前に説明した実施例では、基板は半導体基板である。例えば、基板200はシリコン・オン・インシュレータ（絶縁膜上のシリコン）基板であり、絶縁体が犠牲埋込み層220であり、層222がシリコンである。こうした基板は既知の方法により用意することができ、当業者は、シリコン成長手順及び／またはエッチング及び研磨法を用いてシリコン層222の厚さを制御することによって、トレンチの深さを制御する方法を知っている。基板は、本実施例に記載のものとは異なる材料を含むことができることは、当業者にとって明らかである。材料の任意の組合せを用いることができる。しかし、トレンチ及び／または孔を形成するために除去する必要がある犠牲埋込み層及び材料は、互いに対して選択的に除去することができることが好ましい。

10

【0043】

前に説明した実施例では、犠牲埋込み層は基板全体中に存在する。この層はパターン化することができるので、このことは、必ずしもそうとは限らない。しかし、この場合には、パターン化は、垂直相互接続部を有する必要がある位置において、犠牲埋込み層の横方向の寸法が、エッチングするトレンチの横方向の寸法より大きいように行うことが不可欠である。換言すれば、孔の作製において、トレンチを犠牲埋込み層によって孔から遮蔽、保護または遮断する。この後者の寸法の要求に関連する利点を、図3A及びBを利用して説明する。

【0044】

20

これらの図に示すように、基板300は、トレンチ306、及びパターン化された、あるいは局所的に存在する犠牲埋込み層320を有し、この犠牲埋込み層の横方向の寸法324は、トレンチの底部312によって露出した犠牲埋込み層の領域の横方向の寸法326より大きい。結果として、図3Aのように、孔318がトレンチ306に対して非対称に変位している、あるいは図3Bのように、犠牲埋込み層の横方向の寸法より大きくエッチングされていることにもかかわらず、トレンチ及びその深さは、孔318のオーバーエッチング中に悪影響されない。従って、孔を設けるプロセスだけでなく、トレンチ306に関する孔318の位置合わせも厳格でない。

【0045】

以上で説明した実施例では、基板は最初から犠牲埋込み層を有する必要がある、この層がパターン化されているか否かによらない。次の第2実施例では、このことは必要でない。従って、第2実施例による方法は、垂直相互接続部を基板内に設けなければならない際に、本発明の利点を有利に活用するのに適しており、この基板の大部分は同一の材料組成で作製され、犠牲埋込み層はまだ有しない。好適な基板は周知のシリコン半導体ウェハである。

30

【0046】

図4Aを参照すれば、第1段階では、第1の側402及び第2の側404を有するシリコン基板400に、エッチングプロセスを用いて第1の側から材料を除去することによってトレンチ406を設ける。トレンチ406は、第1表面410からトレンチの底部412まで測った深さ408までエッチングする。エッチングは、現在技術において既知の指向性ドライエッチングプロセスのような異方性エッチングプロセスを用いて行うことが好ましい。次のステップでは、キャビティ440を、等方性エッチング手順を用いて設ける。このエッチングは無指向性ドライエッチング技術であることが好ましく、キャビティのエッチングを、トレンチのエッチングに用いるのと同じエッチングツールで実行することができ、これにより生産時間及びコストを節減することを可能にする。あるいはまた、例えばKOH溶液を用いたウェットエッチングを用いることができる。この場合には、エッチング液によるエッチングからトレンチ壁を保護するライナー層をトレンチ内に堆積させることが必要になり得る、というのは、このエッチング液はトレンチを通してキャビティに供給する必要があるからである。このライナー層は、現在技術において既知のスペーサ形成技術を用いて用意することができる。さらに、毛管力に起因する、小さいトレンチ開

40

50

口を通したキャビティへのエッチング液の供給中にあり得るあらゆる問題を克服するために、界面活性剤を用いることができる。

【0047】

次のステップでは、キャビティ、及び随意的にトレンチにも、他の基板材料に対して選択的に除去することのできる材料を充填して、犠牲埋込み層420及び一時的充填物442を形成する。キャビティは完全に充填する必要はないが、充填によって生じる犠牲埋込み層が図3A及び図3Bを参照して以上で説明したように挙動する程度にだけ充填する。この充填は例えば、現在技術において既知のように、その内部にキャビティを形成する材料の熱酸化によって、あるいは酸化シリコンまたは窒化シリコンのCVD堆積によって達成することができる。1つの変形例では、キャビティだけではなく、トレンチも全体的に充填することができる。随意的に、トレンチの一時的充填の過剰な材料を、現在技術において既知のバックエッチングまたは研磨ステップを用いて、基板の第1の側402から除去して、基板表面全体と同じ高さの第1表面410を生成することができる。

【0048】

次に、孔418を、第1実施例について説明したようにエッチングする。キャビティは、このキャビティ及び犠牲埋込み層の横方向の寸法424がトレンチ406の底部の領域412より大きいように設ける。これにより、孔418のエッチング及び位置決めは、第1実施例について説明したのと同様に、比較的厳格でない。次のステップでは、キャビティ及びトレンチを開口して垂直相互接続孔を作製し、この垂直相互接続孔に適切な導電性材料を充填して垂直相互接続部を生じさせる。

【0049】

以上で説明した実施例によって例示される本発明の方法によれば、垂直相互接続部は2ステップのエッチングプロセスで作製することができ、これらのエッチングステップは分離される。これらのエッチングステップの各々の特徴要素のサイズは、必要に応じて選択することができる。従って、トレンチは、良好に制御することができ、比較的小さいサイズを有する特徴要素を生成するエッチングプロセスを用いて形成することができるのに対し、垂直相互接続部の相補的部分を形成する孔は、より大まかで、高速で、制御がより良好でないエッチングプロセスを用いて形成することができ、このことはトレンチより大きい寸法を有する孔を生じさせる。

【0050】

一部の電子デバイスでは、低抵抗の垂直相互接続部が所望され、他の電気素子の特徴要素に比べて非常に大きい断面の寸法を必要とする。同時に、これらの垂直相互接続部のトレンチは、小さい寸法にエッチングする必要がある。この場合は、近接した間隔のトレンチのグリッド（格子）を形成し、これらのトレンチを接続して大きなサイズを有する単一の孔にすることができる。これらの要求を満足する複数の実施例を図5A～5Cに示し、ここでは最終的な垂直相互接続孔の輪郭を太線546で表す。こうした垂直相互接続孔は次のように形成することができる。

【0051】

基板500に、基板の第1の側502からエッチングしたトレンチ506及び基板の第2の側504からエッチングした孔518を設ける。図5Aでは、基板は、トレンチ及び孔の形成中にエッチング停止層として直ちに使用可能な犠牲埋込み層520を備えている。しかし、異なる基板にはこうした犠牲層は存在しない。この場合は、充填したキャビティ540を作製し、このキャビティは、図5B及び5Cに示すように、孔518のエッチングの前は、第2実施例において説明した犠牲埋込み層520として機能する。図5Bでは、隣接するトレンチのキャビティが形成され、これらのキャビティは、領域544内で成長して一緒になって1つの大きなキャビティを形成している。特に、隣接するトレンチ間の間隔が小さい際には、こうした個別のキャビティが一緒になる成長は、キャビティの短いエッチング時間を用いて容易に得られる。しかし、垂直相互接続部の隣接するトレンチ間の間隔が、図5Cのように大きい際には、すべてのトレンチを接続して単一の大きなキャビティを形成するためのエッチングは長い時間を要することがあり、このことは高価

である。こうした場合は、代わりの方法を用いることが有利であり、この方法では、すべてのトレンチ506の下に個別のキャビティ540を、本発明による形成するが、図5Cに示すように、エッチングして隣接するキャビティに接続しない。以前に説明したように、この方法は、518全体の形成中にトレンチの寸法を保護するのに十分である。図5Cに示す領域548内に表されるオーバーエッチングは、本発明の有利な効果を失うことなく許容される。

【0052】

第4実施例は、（垂直相互接続部以外の電子デバイスを作製する）基板の両側の処理が所望される際に、本発明を有利に用いることのできる方法の例を提供し、この処理は、基板の一方の側を他方の側の処理に対して好都合な方法で保護しながら行う。この方法は、垂直相互接続孔が完全に開口している際の、基板ホルダの保護を提供する。開口中の材料の除去に使用するエッチングツールは、プロセスの後期の段階で基板に与えられる汚染材料の存在を許容しないことが多いので、半導体製造法の早期の段階において完全な開口を必要とすることが多い。垂直相互接続孔に充填するために用いる材料のうちとりわけ金属は、その意味で特に汚染材料のグループである。

【0053】

第4実施例では、図6A～6Dに示すように、高抵抗のシリコン基板に、一時的充填物及び犠牲埋込み層620を備えたトレンチ606を設ける。これらの一時的充填物及び犠牲埋込み層は、例えば（低圧）化学気相成長法のような均一堆積技術を用いて堆積させた酸化シリコンで作製する。このことは、例えば前に説明した第2実施例の方法の一部を利用することによって達成することができる。しかし、前に説明した第1実施例におけるように最初から犠牲埋込み層を有する基板を用いても、同じ結果を得ることができる。その結果を図6Aに示す。

【0054】

例として、トレンチコンデンサを、本発明による垂直相互接続部と組み合わせて作製する方法を示す。トレンチコンデンサは、作製する電子デバイスの追加的電気素子として働き、この実施例では、基板の第1の側上にトレンチコンデンサを設ける。この将来のコンデンサのトレンチ664は、垂直相互接続部のトレンチ606と同じ処理ステップ中にエッチングされていることが好都合である。両方の種類のトレンチの寸法が同じオーダーの大きさであるので、このことは可能である。トレンチ664は、キャビティ640のエッチング、及びこのキャビティ640及びトレンチ606の充填の前にマスクされており、充填されたトレンチ606及び犠牲埋込み層620を示す図6Aによって表される段階を生じさせる。

【0055】

充填物を設けた後に、基板600の第1の側602にある第1表面上に、一時的保護層660を、現在技術において既知の適切な堆積技術により設ける。この層は、少なくとも第1の側602にあるトレンチ606の開口部をカバーしなければならない。本実施例では、この処理の段階ではこの層をパターン化しない。層660は、トレンチ606の一時的充填物に対して選択的に除去することのできる材料を含んでいることが好ましい。本実施例では、この材料はLPVD窒化シリコンで作製する。

【0056】

これに続いて、孔618を第2の側からエッチングし、このエッチングは、犠牲埋込み層620に対して選択的である限り、現在技術において既知の手順に従って、必要に応じてドライエッチングまたはウェットエッチングとすることができる。プラズマエッチングのようなドライエッチングを用いる場合は、基板を裏返して、第1の側をエッチングツールのチャックに取り付ける。チャックへの取付けは真空を用いて行うことが多いので、この点では平坦な層が有利である。

【0057】

孔618のエッチングに続いて、犠牲埋込み層620及びトレンチの充填物を、孔618をエッチングした方法と同じ方法で除去するが、この除去は今度は、キャビティ及びト

レンチ及び層 660 を包囲する基板材料に対して選択的でなければならない点異なる。以下では、層 660 をパターン化して、図 6 B に示す段階を生じさせる。あるいはまた、この層は堆積の直後にパターン化されている。

【0058】

随意的な、第 2 の側からの基板の薄化ステップを、孔 618 のエッチングの前に実行することができる。この薄化ステップは、例えば研削または（化学—機械）研磨によって、及び／またはエッチングによって実行することができる。孔の寸法が比較的大きい場合は、孔の開口または薄化のための代替方法は、粉体のブラスト（吹き付け）を含む。

【0059】

垂直相互接続孔のトレンチのグリッドの各トレンチ 606 は小さい径を有し、このことは、薄層 660 が大きな相互接続孔の上に広がる必要がない、ということをもたらす。従って、トレンチの充填物を除去した際に、層 660 によって与えられる保護がまだ強力である点が有利である。これにより、垂直相互接続孔を完全に開口しながら、金属物理気成長法（PVD）のような侵食的な処理ステップを第 1 の側で実行することができる。

【0060】

図 6 B に示す方法の段階では、すべての追加物及び垂直相互接続孔を有する基板に、継続する処理を施して、第 1 の側 602 上の例えば領域 662 内に電気素子を用意することができる。こうした処理は、PVD のような前述した侵食的処理、並びに汚染材料の堆積を生じさせる処理を含むことができる、というのは、すべてのエッチングステップを実行しており、かつ層 660 が処理ツールのチャックを、垂直相互接続孔を介して汚染または損傷されることから保護するからである。さらに、この目的のために真空中に頼るツールチャックまたは他の基板ホルダ上に基板を保持することを妨げる開口した垂直相互接続孔は存在しない。

【0061】

従って、例として、そして図 6 C を参照すれば、金属層 666 を、第 1 の側 602 上の領域 662 内に PVD 堆積させパターン化して、トレンチ 664 を有するコンデンサの底部電極を形成する。次に、現在技術において既知の方法を用いて、絶縁層 668 を設けてパターン化する。この層は、例えば酸化シリコン—窒化シリコン—酸化シリコン（ONO : Silicon Oxide-Silicon Nitride-Silicon Oxide）層とすることができる。次に、層 660 を除去し金属層 670 を堆積させて垂直相互接続孔を充填し、基板の第 1 及び第 2 の側をカバーする。このことは 2 ステップの堆積プロセスで行うことができ、各ステップで基板の一方の側をカバーする。そして、基板のいずれかの側の金属層をパターン化して、所望の配線パターンを得る。垂直相互接続孔の内部もカバーするように設けることができる。このようにして、上記絶縁層は、垂直相互接続部の基板からの電気絶縁を提供することができ、及び／または、垂直相互接続材料の基板内への拡散に対するバリア（障壁）を提供することができる。

【0062】

図に示す結果は、コンデンサ 672、及び第 1 の側の配線を介して接続された垂直相互接続部 674 を備えている。

【0063】

当業者は、本発明を有利に用いて他の電子デバイスを作製する方法を知ることができる。

【0064】

あらゆる垂直相互接続部のトレンチ及び孔の横方向の寸法及び形状は、マスクの設計によって規定され、カバー層を用いる場合に、この寸法がカバー層の適切な強度を可能にすることに注意して、必要に応じて選択することができる。

【0065】

図 7 に示す実施例は、垂直相互接続部を、直ちに使用可能な電気装置 780 内で有利に使用することのできる方法の例を提供する。この装置は、パッケージまたはシステム・イン・パッケージ内に一緒にアSEMBル（組立て）した 1 つ以上の本発明による電子デバイ

10

20

30

40

50

スを備えている。本実施例では、これらの電子デバイスの1つが電子デバイス700であり、受動（リルーティング（経路変更））接続集積回路として働く。この場合の他の電子デバイス700'は、CMOS、バイポーラのような能動集積回路、または（複雑な）電子機能を実行することのできる他の集積回路とすることができる。

【0066】

このアセンブリは、電子デバイス700'が、電子デバイス700の第1の側のボンドパッドにはんだボールを介して電気接続される構造を利用する。これらのボンドパッドは、本発明による垂直相互接続部784に相互接続され、垂直相互接続部784は電気信号を電子デバイス700の第2の側に転送する。本発明による他の垂直相互接続部786を用いて、他の電気信号を電子デバイス700の一方の側から他方の側に転送する。例えば図6Dのデバイスまたは他の任意の電気素子内に存在する垂直コンデンサは、デバイス700内に示していない。しかし、これら及び他の電気素子は、必要に応じて、パッケージのデバイス内に存在するすべての電気回路内に存在することができる。パッケージにオーバーモールド（外側被覆）790を設けてアセンブリの完全性を提供し、内部の種々の電子デバイスを保護する。はんだボールまたは bumps 788は、パッケージまたはアセンブリを、パッケージの電氣的機能を用いる適切な下部構造に接続する働きをする。

10

【0067】

こうしたパッケージ並びに他の電子デバイスでは、垂直相互接続部は電気接続だけでなく熱制御も提供することができる。例えば垂直相互接続部784は、能動デバイス700'内で発生する熱用のヒートシンクとして働くことができる。その意味で、埋込み接続を有する、即ち基板または電子デバイスの第1の側と第2の側との間の垂直相互接続部を形成する可能性は、熱拡散のために有利に利用することができる。

20

【0068】

直ちに使用可能な装置780は、現在技術において既知の標準的な方法を用いてアセンブルまたは製造することができる。その詳細は、例えば特許文献1に見出すことができる。直ちに使用可能な電気装置の代案実施例では、より多数の半導体及び他の電子デバイスを、電子デバイス700の1つ以上の側に設けることができる。当業者は、こうした装置を設計及び製造するに当たり、本発明を利用する方法を知ることができる。

【0069】

他の電子デバイスは、半導体デバイスと協働して機能的サブシステムを提供するデバイスとすることができる。その例は、ESD（静電放電）／EMI（電磁波妨害）保護デバイス、BAW（バルク弾性波）フィルタのような帯域通過フィルタ、インピーダンス整合回路である。

30

【0070】

本発明は半導体基板を用いて説明してきたが、本発明の範囲はこれらの基板より広い。本発明は、垂直相互接続部を必要とするすべての基板に適用可能である。従って基板は、ガラス、酸化アルミニウム、ポリシリコン、等とすることができる。

【0071】

なお、上述した実施例は本発明を限定するものではなく例示するものであり、当業者は多数の代案実施例を、請求項の範囲から逸脱することなしに設計することができる。「備えている」等は、請求項中に挙げた以外の要素またはステップの存在を排除するものではない。各要素は複数存在し得る。単に、互いに異なる従属請求項中に特定の方策を挙げていることは、これらの方策の組合せを有利に用いることができないことを意味するものではない。

40

【図 1 A】

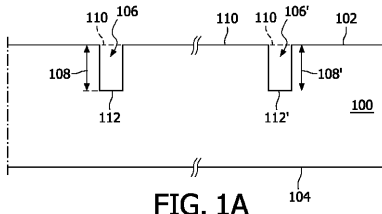


FIG. 1A

【図 1 B】

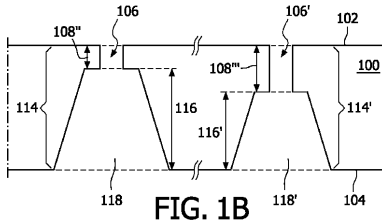


FIG. 1B

【図 2 A】

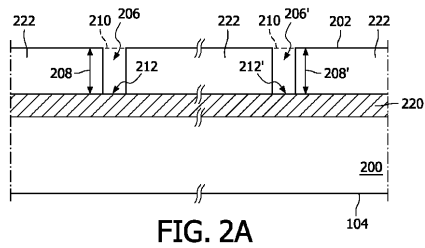


FIG. 2A

【図 3 A】

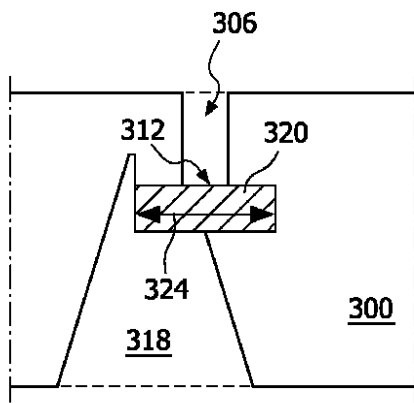


FIG. 3A

【図 2 B】

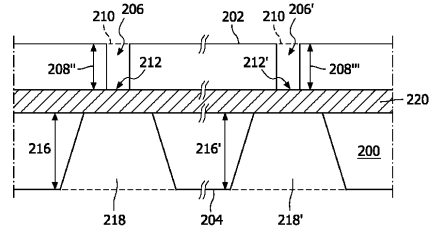


FIG. 2B

【図 2 C】

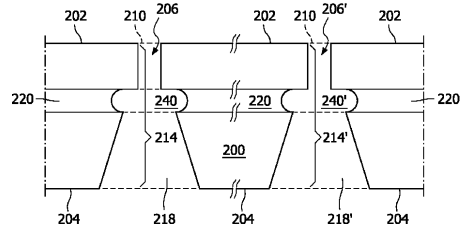


FIG. 2C

【図 3 B】

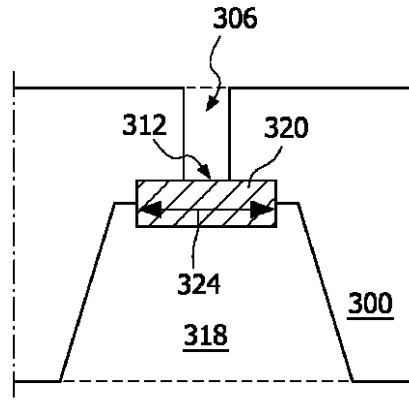


FIG. 3B

【図 4 A】

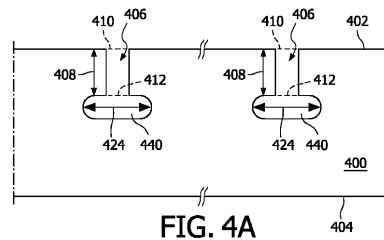


FIG. 4A

【図 4 B】

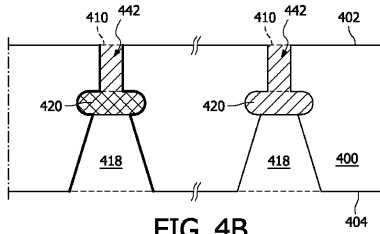


FIG. 4B

【図 5 A】

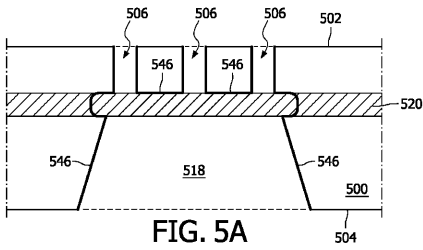


FIG. 5A

【図 5 B】

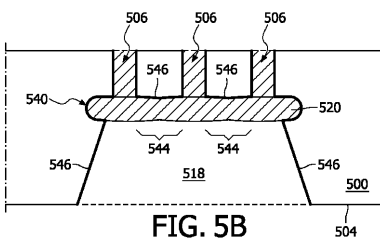


FIG. 5B

【図 6 B】

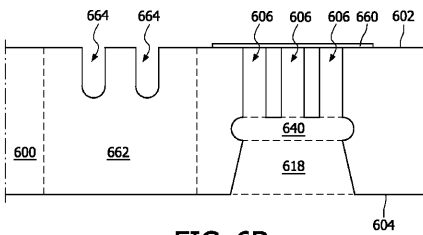


FIG. 6B

【図 6 C】

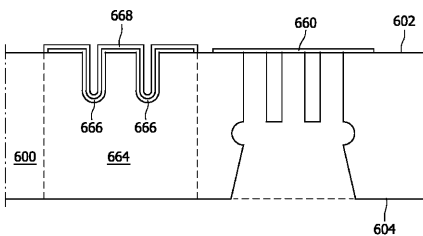


FIG. 6C

【図 5 C】

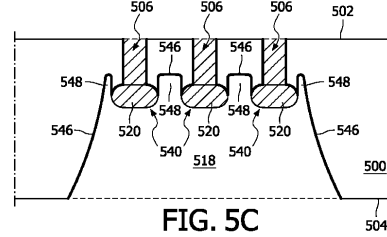


FIG. 5C

【図 6 A】

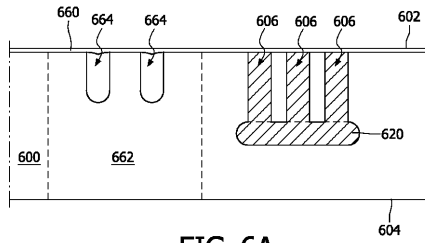


FIG. 6A

【図 6 D】

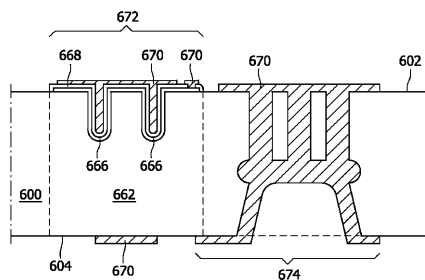


FIG. 6D

【図 7】

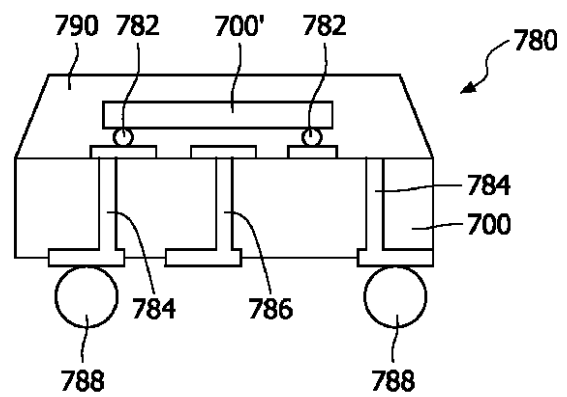


FIG. 7

フロントページの続き

(51)Int.Cl. F I

H01L 23/14 (2006.01)

(72)発明者 フランソワ スイイ

イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン エ
ヌエックスピー セミコンダクターズ アイピー デパートメント内

(72)発明者 ダヴィド デ エール シボリー

イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン エ
ヌエックスピー セミコンダクターズ アイピー デパートメント内

(72)発明者 ドミニク ヨン

イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン エ
ヌエックスピー セミコンダクターズ アイピー デパートメント内

審査官 小田 浩

(56)参考文献 特表2005-506701 (JP, A)

国際公開第2006/123298 (WO, A1)

特開平03-184865 (JP, A)

特開平04-304664 (JP, A)

特開2004-128063 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/768

H01L 21/822

H01L 23/14

H01L 23/522

H01L 27/04