

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-205052
(P2012-205052A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl. F I テーマコード (参考)
H04B 1/10 (2006.01) H04B 1/10 H 5K052

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願2011-67377 (P2011-67377)
 (22) 出願日 平成23年3月25日 (2011.3.25)

(特許庁注：以下のものは登録商標)

- 1. GSM
- 2. Bluetooth

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号

(74) 代理人 100117787
 弁理士 勝沼 宏仁

(74) 代理人 100082991
 弁理士 佐藤 泰和

(74) 代理人 100103263
 弁理士 川崎 康

(74) 代理人 100107582
 弁理士 関根 毅

(74) 代理人 100118843
 弁理士 赤岡 明

(74) 代理人 100153914
 弁理士 小澤 勝己

最終頁に続く

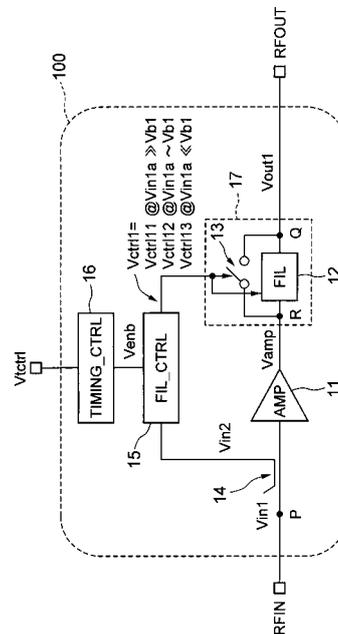
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】低消費電力で妨害波を除去できる半導体集積回路を提供する。

【解決手段】実施形態によれば、半導体集積回路は、増幅器と、妨害波抑圧部と、カプラと、フィルタ制御回路と、を備える。半導体集積回路は、送信と受信とが時分割に行われる無線通信規格に対応する。増幅器は、受信された入力信号が入力される入力端子に入力が接続され、増幅信号を出力する。妨害波抑圧部は、オン時に増幅信号の妨害波成分を抑圧して出力信号として出力端子に出力するフィルタを有する。妨害波抑圧部は、フィルタがオフ時に、増幅信号を出力信号として出力端子に出力する。カプラは、入力信号または出力信号を検出する。フィルタ制御回路は、妨害波検出期間である送信と受信との間の任意の判定タイミングで、カプラで検出された検出入力信号または検出出力信号の信号レベルが、基準値以上の時にフィルタをオンに制御して、基準値未満の時にフィルタをオフに制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

送信と受信とが時分割に行われる無線通信規格に対応した半導体集積回路であって、受信された入力信号が入力される入力端子に入力が接続され、増幅信号を出力する増幅器と、

オンまたはオフに制御されて、オン時に前記増幅信号の妨害波成分を抑圧して出力信号として出力端子に出力するフィルタを有し、前記フィルタがオフ時に、前記増幅信号を前記出力信号として前記出力端子に出力する、妨害波抑圧部と、

前記入力信号または前記出力信号を検出するカプラと、

妨害波検出期間である前記送信と前記受信との間の任意の判定タイミングで、前記カプラで検出された検出力信号または検出出力信号の信号レベルが、基準値以上の時に前記フィルタをオンに制御して、前記基準値未満の時に前記フィルタをオフに制御する、フィルタ制御回路と、を備える

ことを特徴とする半導体集積回路。

【請求項 2】

前記フィルタ制御回路は、

前記検出力信号または前記検出出力信号の信号レベルに応じた検出電圧を出力する検出器と、

前記検出電圧と、前記基準値に相当する基準電圧と、を比較して、比較結果を出力する比較器と、

前記判定タイミングで、前記比較結果に従って、前記フィルタをオン又はオフに制御するフィルタ制御信号を出力する制御信号出力回路と、を有する

ことを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記検出器と、前記比較器と、前記制御信号出力回路は、前記判定タイミングより早い、前記妨害波検出期間内の検出開始タイミングで動作を開始して、

前記制御信号出力回路は、前記判定タイミングの前に前記比較結果が不安定な場合、前記判定タイミングで、前記フィルタをオフに制御する前記フィルタ制御信号を出力する

ことを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】

前記判定タイミングは、前記受信期間の直前のタイミングである

ことを特徴とする請求項 1 から請求項 3 の何れかに記載の半導体集積回路。

【請求項 5】

送信と受信とが時分割に行われる無線通信規格に対応した半導体集積回路であって、受信された入力信号が入力される入力端子に入力が接続され、増幅信号を出力する増幅器と、

オンまたはオフに制御されて、オン時に前記増幅信号の妨害波成分を抑圧して出力信号として出力端子に出力するフィルタを有し、前記フィルタがオフ時に、前記増幅信号を前記出力信号として前記出力端子に出力する、妨害波抑圧部と、

前記入力信号を検出する第 1 のカプラと、

前記出力信号を検出する第 2 のカプラと、

妨害波検出期間である前記送信と前記受信との間の任意の判定タイミングで、前記第 1 のカプラで検出された検出力信号の信号レベルから前記第 2 のカプラで検出された検出出力信号の信号レベルを減算した減算信号レベルが、基準値以上の時に前記フィルタをオンに制御して、前記基準値未満の時に前記フィルタをオフに制御する、フィルタ制御回路と、を備える

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体集積回路に関する。

【背景技術】

【0002】

近年、携帯端末のような無線通信システムにおいては、GSM、GPS及びWCDMAなどのあらゆる無線規格に対応するために、受送信システムの広帯域化及びマルチバンド化が盛んに行われている。そして、現在ではこの多様な無線通信システムを利用する多くのアプリケーションが登場している。

【0003】

1つの無線端末に複数の無線規格を搭載する動きは今後益々活発になると予想される。しかし、複数の無線規格を搭載した無線端末では、1つの無線規格の送受信信号が、他の無線規格の帯域内及び帯域外妨害波になる恐れがある。よって、帯域内及び帯域外妨害波による鈍感化効果、相互変調歪み及び2次歪みなどが所望信号のSN比を劣化させる。そのため、他システムの妨害波を十分に考慮した無線システム設計および回路設計が非常に重要となる。

10

【0004】

この問題を解決すべく急峻なQ値を持つSAWフィルタやデュプレクサなどが多く使われてきた。しかし、コストがかかるため、ここ数年はこれらの外付け部品を極力減らすような技術の開発が行われてきている。また、更なる低コスト化を狙って外付け部品をオンチップ化する技術が主流になりつつある。しかし、外付け部品をオンチップ化する場合、消費電力が増加してしまう。携帯端末や無線ゲームコントローラーなどのように長時間の利用を実現したいアプリケーションでは、特に消費電力を低減することが求められている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-166228号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、低消費電力で妨害波を除去できる半導体集積回路を提供することにある。

30

【課題を解決するための手段】

【0007】

実施形態によれば、半導体集積回路は、増幅器と、妨害波抑圧部と、カプラと、フィルタ制御回路と、を備える。半導体集積回路は、送信と受信とが時分割に行われる無線通信規格に対応する。増幅器は、受信された入力信号が入力される入力端子に入力が接続され、増幅信号を出力する。妨害波抑圧部は、オン時に増幅信号の妨害波成分を抑圧して出力信号として出力端子に出力するフィルタを有する。妨害波抑圧部は、フィルタがオフ時に、増幅信号を出力信号として出力端子に出力する。カプラは、入力信号または出力信号を検出する。フィルタ制御回路は、妨害波検出期間である送信と受信との間の任意の判定タイミングで、カプラで検出された検出入力信号または検出出力信号の信号レベルが、基準値以上の時にフィルタをオンに制御して、基準値未満の時にフィルタをオフに制御する。

40

【図面の簡単な説明】

【0008】

【図1】本発明の第1の実施形態に係る妨害波除去システムの概略的な構成を示すブロック図である。

【図2】本発明の第1の実施形態に係る妨害波除去システムの動作を説明するタイミング図である。

【図3】本発明の第1の実施形態に係る妨害波除去システムの抑圧領域での動作を説明する図である。

50

【図４】本発明の第１の実施形態に係る妨害波除去システムの非抑圧領域での動作を説明する図である。

【図５】本発明の第１の実施形態に係る妨害波除去システムの詳細な構成を示すブロック図である。

【図６】本発明の第１の実施形態に係る妨害波除去システムの比較器の特性を示す図である。

【図７】本発明の第１の実施形態に係る妨害波除去システムのカプラと検出器の回路図である。

【図８】本発明の第１の実施形態の変形例に係る妨害波除去システムのブロック図である。

【図９】本発明の第１の実施形態の変形例に係る妨害波除去システムのカプラと検出器の回路図である。

【図１０】本発明の第２の実施形態に係る妨害波除去システムの構成を示すブロック図である。

【図１１】本発明の第３の実施形態に係る妨害波除去システムの構成を示すブロック図である。

【図１２】本発明の第４の実施形態に係る妨害波除去システムの構成を示すブロック図である。

【図１３】本発明の第５の実施形態に係る妨害波除去システムの構成を示すブロック図である。

【図１４】比較例に係る妨害波除去システムの構成を示すブロック図である。

【発明を実施するための形態】

【０００９】

以下に、図面を参照して本発明の実施形態について説明する。これらの実施形態は、本発明を限定するものではない。

【００１０】

(第１の実施形態)

本実施形態は、送信と受信の間(送受パケット間)に妨害波信号を検出して、その信号レベルに応じて、妨害波信号を抑圧するフィルタをオン又はオフに制御することを特徴の１つとする。

【００１１】

図１は、本発明の第１の実施形態に係る妨害波除去システム１００の概略的な構成を示すブロック図である。

【００１２】

図１に示すように、妨害波除去システム１００は、入力端子RFINと、増幅器(AMP)１１と、フィルタ(FIL)１２と、スイッチ１３と、カプラ１４と、フィルタ制御回路(FIL_CTRL)１５と、タイミング制御回路(TIMING_CTRL)１６と、出力端子RFOUTと、を備える。フィルタ１２とスイッチ１３は、妨害波抑圧部１７として機能する。この妨害波除去システム１００は、半導体集積回路として構成可能である。

【００１３】

妨害波除去システム１００は、送信と受信とが同一周波数で時分割に行われる無線通信規格(例えば、Bluetoothなどの無線通信規格)に対応した無線通信システムで用いられる。妨害波除去システム１００は、この無線通信システムにおいて、アンテナ(図示せず)で受信された受信信号を増幅して、後段の回路(ミキサ等、図示せず)に出力する。

【００１４】

入力端子RFINには、アンテナで受信された入力信号Vin１が入力される。入力信号Vin１は、例えば、受信周波数(所望周波数)frxと妨害波周波数fblの少なくとも何れかの周波数成分を含み得る。妨害波信号Sblは、例えば、他の無線通信システ

10

20

30

40

50

ムで無線通信に用いられている信号である。送信と受信の間では、入力信号 V_{in1} は受信信号 S_{rx} を含まない。

【0015】

増幅器 11 は、入力が入力端子 R_{FIN} に接続されている。増幅器 11 は、入力された信号を増幅して、増幅信号 V_{amp} を出力する。

【0016】

妨害波抑圧部 17 は、フィルタ 12 と、スイッチ 13 とを有する。フィルタ 12 は、増幅器 11 の出力と出力端子 R_{FOUT} との間に接続されている。スイッチ 13 は、フィルタ 12 に並列接続されている。

【0017】

フィルタ 12 は、フィルタ制御信号 V_{ctrl1} によりオン又はオフに制御される。なお、フィルタ 12 はオン又はオフに制御できればよく、主に能動素子を用いて構成されたアクティブフィルタ、或いは、受動素子を用いて構成されたパッシブフィルタの、いずれも用いることが可能である。フィルタ 12 は、オン時に増幅信号 V_{amp} の妨害波成分等の不要成分を抑圧して、所望波成分はほとんど抑圧せずに、出力信号 V_{out1} として出力端子 R_{FOUT} に出力する。フィルタ 12 は、オフ時には動作を停止して電力を消費せず、信号を出力しない。

【0018】

スイッチ 13 も、フィルタ制御信号 V_{ctrl1} によりオンまたはオフに制御される。スイッチ 13 は、フィルタ 12 がオンするとオフになる。スイッチ 13 は、フィルタ 12 がオフするとオンになって、増幅器 11 の出力と出力端子 R_{FOUT} との間を電氣的に接続する。これにより、増幅器 11 からの増幅信号 V_{amp} は、スイッチ 13 を介して、出力信号 V_{out1} として出力端子 R_{FOUT} に出力される。

【0019】

即ち、前記妨害波抑圧部は、前記増幅器の出力と前記出力端子との間に接続され、前記フィルタがオンするとオフになり、前記フィルタがオフするとオンになる、スイッチを更に有し、前記フィルタは、前記増幅器の出力と前記出力端子との間に接続されている。

【0020】

つまり、妨害波抑圧部 17 は、フィルタ 12 がオフ時に、増幅信号 V_{amp} を出力信号 V_{out1} として出力端子 R_{FOUT} に出力するように構成されている。

【0021】

カプラ 14 は、入力端子 R_{FIN} に接続され、入力信号 V_{in1} を検出する。

【0022】

フィルタ制御回路 15 は、妨害波検出期間である送信と受信との間（送受パケット間）の任意の判定タイミングで、カプラ 14 で検出された検出入力信号 V_{in2} の信号レベル V_{in2a} が、基準値 V_{b1} 以上の時にフィルタ 12 をオンに制御して、基準値 V_{b1} 未満の時にフィルタ 12 をオフに制御する。

【0023】

タイミング制御回路 16 は、タイミング制御信号 V_{tctrl} に基づいて、妨害波検出動作を開始又は終了するためのイネーブル信号 V_{enb} を生成して、フィルタ制御回路 15 に出力する。タイミング制御信号 V_{tctrl} は、この妨害波除去システム 100 が用いられる無線通信システムにおけるベースバンド部（図示せず）から供給される。このベースバンド部は、送信と受信のタイミングを把握しているので、適切なタイミングでタイミング制御信号 V_{tctrl} を出力可能である。

【0024】

次に、妨害波除去システム 100 の動作タイミングについて説明する。

【0025】

図 2 は、本発明の第 1 の実施形態に係る妨害波除去システム 100 の動作を説明するタイミング図である。図 2 は、入力端子 R_{FIN} において入力信号 V_{in1} に含まれる信号の時間変化を表している。図示するように、送信期間（図示せず）が終了後、所定の間隔

10

20

30

40

50

において、時刻 T_{mon2} から、受信信号 S_{rx} が含まれる受信期間が開始する。

【0026】

図2(a)は、受信期間において、フィルタ12がオンに制御されて妨害波除去システム100が妨害波を除去する場合のタイミング図である。図2(b)は、受信期間において、フィルタ12がオフに制御されて妨害波除去システム100が妨害波を除去しない場合のタイミング図である。

【0027】

図2(a), (b)に示すように、受信期間が開始する前の時刻 T_{mon1} (検出開始タイミング)に、タイミング制御信号 V_{ctrl} (= V_{ctrl00}) がタイミング制御回路16に入力される。これにより、タイミング制御回路16はイネーブル信号 V_{enb} を出力する。このイネーブル信号 V_{enb} が入力されたフィルタ制御回路15は、妨害波検出動作を開始する。この時点では、フィルタ制御回路15はフィルタ12をオフに制御している。

10

【0028】

その後、時刻 T_{mon2} (判定タイミング)に、タイミング制御信号 V_{ctrl} (= V_{ctrl01}) がタイミング制御回路16に入力される。これにより、タイミング制御回路16は、フィルタ制御回路15へのイネーブル信号 V_{enb} の出力を停止する。よって、フィルタ制御回路15は、この判定タイミングで、フィルタ12をオン又はオフに制御する。時刻 T_{mon1} から時刻 T_{mon2} の期間は、妨害波検出期間である。

【0029】

図示した例では、時刻 T_{mon2} は、受信期間の開始時刻の直前に設定されている。この場合、受信期間が開始する直前の妨害波信号 S_{bl} の情報を用いるので、フィルタ12の制御が最適に行える可能性が高い。但し、時刻 T_{mon2} は、送信期間と受信期間の間であれば、受信期間の開始時刻の直前でなくとも良い。また、時刻 T_{mon1} , T_{mon2} は、例えば、受信期間の終了後であって送信期間の開始前に設定されても良い。

20

【0030】

図2(a)に示す例では、妨害波検出期間の終了時刻である時刻 T_{mon2} まで、入力信号 V_{in1} は妨害波信号 S_{bl} を含む。受信期間のうち、時刻 T_{mon2} から時刻 T_{bl2} までは、入力信号 V_{in1} は、受信信号 S_{rx} と妨害波信号 S_{bl} を含む。この例では、妨害波信号 S_{bl} の信号レベルは、フィルタ制御回路15がフィルタ12をオンにするレベルであるとする。よって、時刻 T_{mon2} にフィルタ12がオフからオンになり、これ以降、入力信号 V_{in1} における妨害波信号 S_{bl} は、フィルタ12により抑圧される。この詳細な動作については後述する。

30

【0031】

図2(b)に示す例では、時刻 T_{mon1} から、時刻 T_{mon2} 前の時刻 T_{bl1} まで、入力信号 V_{in1} は妨害波信号 S_{bl} を含む。時刻 T_{mon2} 以降の受信期間では、入力信号 V_{in1} は受信信号 S_{rx} を含み、妨害波信号 S_{bl} を含まない。時刻 T_{mon2} に妨害波信号 S_{bl} が存在しないので、フィルタ12がオフに制御される。つまり、フィルタ12はオフを継続する。これにより、妨害波除去システム100の消費電力を低減できる。

40

【0032】

次に、妨害波除去システム100の動作についてより詳しく説明する。

【0033】

(i) 抑圧領域での動作

図3は、本発明の第1の実施形態に係る妨害波除去システム100の抑圧領域での動作を説明する図である。図3は、図2(a)の時刻 T_{mon2} の瞬間の動作を表す。つまり、この時刻 T_{mon2} では、入力信号 V_{in1} は、妨害波信号 S_{bl} を含み、受信信号 S_{rx} を含まない。

【0034】

図3(b)は、P点(モニタする点)における入力信号 V_{in1} の各周波数成分の信号

50

レベル（電圧）を示す図である。以下、妨害波信号 S_{b1} の中心周波数を周波数 f_{b1} として、所望の受信信号 S_{rx} の中心周波数を周波数 f_d とする。周波数 f_{b1} の成分の信号レベルは、 V_{in1a} であり、基準値 V_{b1} より高い。信号レベルが基準値 V_{b1} より高い領域は、抑圧領域である。周波数 f_d の成分の信号レベルは 0 である。

【0035】

ここでは、入力信号 V_{in1} の信号レベル V_{in1a} は、検出力信号 V_{in2} の信号レベル V_{in2a} とほぼ等しいとする。従って、フィルタ制御回路 15 は、信号レベル V_{in2a} が基準値 V_{b1} 以上なので、図 3 (a) に示すように、フィルタ 12 をオンに、スイッチ 13 をオフに制御する。但し、信号レベル V_{in2a} は信号レベル V_{in1a} より低くても良い。

10

【0036】

この入力信号 V_{in1} （ここでは妨害波信号 S_{b1} ）は、増幅器 11 によって増幅される。説明を明確化するため、図 3 (c) に示すように、増幅器 11 の利得は、周波数 f_{b1} 及び周波数 f_d の付近で、ほぼ 1 であるとする。但し、通常、増幅器 11 の利得は 1 より大きい。

【0037】

増幅器 11 によって増幅された妨害波信号 S_{b1} は、フィルタ 12 によって抑圧される。図 3 (d) に示すように、フィルタ 12 の利得は、周波数 f_{b1} において $1/B$ であり、周波数 f_d においてほぼ 1 であるとする。本実施形態では、フィルタ 12 は帯域通過フィルタである。

20

【0038】

従って、Q 点における出力信号 V_{out1} の各周波数成分の信号レベルは、図 3 (e) に示すようになる。周波数 f_{b1} の成分の信号レベル V_{out1a} は、 V_{in1a}/B である。すなわち、入力信号 V_{in1} として入力された妨害波信号 S_{b1} は、抑圧されて出力される。周波数 f_d の成分の信号レベルは 0 である。

【0039】

この状態で、時刻 T_{mon2} 以降の受信期間が開始して、入力信号 V_{in1} として妨害波信号 S_{b1} と受信信号 S_{rx} が入力されると、妨害波信号 S_{b1} は抑圧されて出力され、受信信号 S_{rx} はそのまま出力される。これにより、後段の回路において、受信信号（所望波信号） S_{rx} の SN 比を劣化させる恐れがなくなる。

30

【0040】

(ii) 非抑圧領域での動作

図 4 は、本発明の第 1 の実施形態に係る妨害波除去システム 100 の非抑圧領域での動作を説明する図である。ここでは、上述した (i) の場合と動作タイミング等は同一であり、妨害波信号 S_{b1} の信号レベルが異なる。

【0041】

非抑圧領域では、妨害波信号 S_{b1} の信号レベルは基準値 V_{b1} より小さい。従って、図 4 (a) に示すように、フィルタ 12 はオフして、スイッチ 13 はオンする。

【0042】

図 4 (b) は、P 点における入力信号 V_{in1} の各周波数成分の信号レベル（電圧）を示す図である。周波数 f_{b1} の成分の信号レベル V_{in1a} は、基準値 V_{b1} より低い。周波数 f_d の成分の信号レベルは 0 である。

40

【0043】

この入力信号 V_{in1} （ここでは妨害波信号 S_{b1} ）は、増幅器 11 によって増幅される。(i) の場合と同様に、増幅器 11 の利得は、周波数 f_{b1} 及び周波数 f_d の付近で、ほぼ 1 であるとする（図 4 (c)）。

【0044】

増幅器 11 によって増幅された妨害波信号 S_{b1} は、スイッチ 13 を介して出力端子 R F O U T に出力される。

【0045】

50

従って、Q点における出力信号 V_{out1} の各周波数成分の信号レベルは、図4(d)に示すようになる。周波数 f_{b1} の成分の信号レベル V_{out1a} は、 V_{in1a} である。すなわち、入力信号 V_{in1} として入力された妨害波 S_{b1} は、そのまま出力される。周波数 f_d の成分の信号レベルは0である。

【0046】

この状態で、受信期間が開始すると、入力信号 V_{in1} として入力された妨害波信号 S_{b1} と受信信号 S_{rx} は、そのまま出力される。妨害波信号 S_{b1} の信号レベルは十分に低いので、妨害波除去システム100の後段の回路において、受信信号 S_{rx} のSN比を劣化させる恐れはない。

【0047】

次に、妨害波除去システム100の詳細な構成について説明する。

【0048】

図5は、本発明の第1の実施形態に係る妨害波除去システム100の詳細な構成を示すブロック図である。図5は、フィルタ制御回路15の詳細な構成を示している。他の構成は、図1と同一であるため、同一の構成要素に同一の符号を付し、説明を省略する。

【0049】

フィルタ制御回路15は、検出器(DET1)21と、比較器(COMP)22と、制御信号出力回路(CTRL)23と、を有する。

【0050】

検出器21は、検出入力信号 V_{in2} の信号レベル V_{in2a} に応じた直流の検出電圧 V_{in3} を出力する。

【0051】

比較器22は、検出電圧 V_{in3} と、基準値 V_{b1} に相当する基準電圧 V_{ref1} と、を比較して、比較結果 V_{comp} を出力する。予め、自らの無線通信システムで妨害波信号 S_{b1} であると認識すべき信号レベルに相当するDCレベルを、基準電圧 V_{ref1} として設定しておく。その際、想定される妨害波信号 S_{b1} の信号レベルには数dBのマージンを設けておく。

【0052】

図6に示すように、比較器22は、検出電圧 V_{in3} が V_{ref1} より小さい時、ローレベル(電圧 V_{low})の比較結果 V_{comp} を出力する。これは、非抑圧領域(i)に相当する。比較器22は、検出電圧 V_{in3} が V_{ref1} 以上である時、ハイレベル(電圧 V_{high})の比較結果 V_{comp} を出力する。これは、抑圧領域(i)に相当する。

【0053】

制御信号出力回路23は、判定タイミング(T_{mon2})で、比較結果 V_{comp} に従って、フィルタ12及びスイッチ13をオン又はオフに制御するフィルタ制御信号 V_{ctrl1} を出力する。つまり、制御信号出力回路23は、検出電圧 V_{in3} が基準電圧 V_{ref1} より十分大きいレベルでは、フィルタ制御信号 V_{ctrl1} (= V_{ctrl11})を出力し、フィルタ12をオンに制御する。制御信号出力回路23は、検出電圧 V_{in3} が基準電圧 V_{ref1} より十分小さいレベルでは、フィルタ制御信号 V_{ctrl1} (= V_{ctrl13})を出力し、フィルタ12をオフに制御する。

【0054】

制御信号出力回路23は、メモリ機能を有しており、例えば、レジスタのような回路である。

【0055】

検出器21と、比較器22と、制御信号出力回路23は、タイミング制御回路16からのイネーブル信号 V_{enb} によって動作が制御される。

【0056】

即ち、検出器21と比較器22と制御信号出力回路23は、イネーブル信号 V_{enb} が入力された検出開始タイミング(T_{mon1})で動作を開始する。これにより、制御信号

10

20

30

40

50

出力回路 23 は、比較器 22 からの比較結果 V_{comp} の蓄積を開始する。

【0057】

検出器 21 と比較器 22 は、イネーブル信号 V_{enb} の反転信号が入力されると動作を停止する。制御信号出力回路 23 は、イネーブル信号 V_{enb} の反転信号が入力されたタイミング（判定タイミング： T_{mon2} ）で、比較結果 V_{comp} に基づいてフィルタ制御信号 V_{ctrl1} を確定し、これを保持する。

【0058】

また、判定タイミングの前に、検出電圧 V_{in3} と基準電圧 V_{ref1} が同等レベルであることにより、比較器 22 の比較結果 V_{comp} が変動して不安定であり、大小判定に時間を要する場合、制御信号出力回路 23 は、判定タイミングで、強制的にフィルタ 12 をオフにするフィルタ制御信号 V_{ctrl1} （= V_{ctrl12} ）を出力する。この目的で、前述のように妨害波信号 S_{b1} であると認識すべき信号レベルには数 dB のマージンを設けて基準電圧 V_{ref1} を設定する。

10

【0059】

これにより、妨害波除去システム 100 全体の不安定な動作を防止できる。さらに、無線通信システムに影響が小さい妨害波レベルであるのにフィルタ 12 がオンすることを防止できるので、無駄な消費電力も抑えることもできる。

【0060】

次に、カプラ 14 と検出器 21 の回路構成の一例について説明する。

【0061】

図 7 は、本発明の第 1 の実施形態に係る妨害波除去システム 100 のカプラ 14 と検出器 21 の回路図である。図 7 に示すように、カプラ 14 は容量 C_1 で構成されている。容量 C_1 の一端は、入力端子 $RFIN$ 及び増幅器 11 の入力に接続されている。

20

【0062】

検出器 21 は、N 型 MOS トランジスタ NM_1 と、電流源 I と、容量 C_2 とを有する。N 型 MOS トランジスタ NM_1 のゲートは、容量 C_1 の他端に接続され、検出入力信号 V_{in2} が入力される。N 型 MOS トランジスタ NM_1 のゲートには、バイアス電圧 V_{bias} も供給される。N 型 MOS トランジスタ NM_1 のドレインには、電源電圧が供給される。N 型 MOS トランジスタ NM_1 のソースは、電流源 I を介して接地されている。容量 C_2 の一端は、N 型 MOS トランジスタ NM_1 のソースに接続され、他端は接地されている。この構成により、N 型 MOS トランジスタ NM_1 のソースから、検出入力信号 V_{in2} の信号レベルに応じた検出電圧 V_{in3} が出力される。

30

【0063】

以上で説明したように、本実施形態によれば、妨害波検出期間である送信と受信との間の任意の判定タイミングで、入力信号 V_{in1} に対応する検出入力信号 V_{in2} の信号レベル V_{in2a} に応じて、フィルタ 12 をオンまたはオフに制御するようにしている。これにより、無線通信システムに影響が大きい妨害波レベルの場合には、フィルタ 12 をオンにして妨害波信号 S_{b1} を除去できる。また、無線通信システムに影響が小さい妨害波レベルの場合には、フィルタ 12 をオフにすることで増幅信号 V_{amp} をそのまま出力するようにして、消費電力を低減できる。この場合、受信信号 S_{rx} はフィルタ 12 を通過しないので、受信信号 S_{rx} の損失を低減できる。よって、無線通信システムの感度を改善できる。

40

【0064】

つまり、妨害波信号 S_{b1} を除去するためのフィルタ 12 をオンチップ化することで半導体集積回路を小型化および低コスト化した上で、消費電力を低減できる。

【0065】

また、入力信号 V_{in1} に受信信号 S_{rx} が含まれていない送信と受信との間に、妨害波信号 S_{b1} を検出するようにしているので、受信信号 S_{rx} と近い帯域の妨害波信号 S_{b1} でも正確に検出できる。

【0066】

50

また、妨害波検出期間以外では、検出器 2 1 と比較器 2 2 は動作を停止しているので、消費電力を低減できる。

【 0 0 6 7 】

(第 1 の実施形態の変形例)

妨害波抑圧部 1 7 を次のように構成にすることも可能である。

【 0 0 6 8 】

図 8 は、本発明の第 1 の実施形態の変形例に係る妨害波除去システム 1 0 0 a のブロック図である。妨害波抑圧部 1 7 a 以外の構成は、図 1 と同一であるため、同一の構成要素に同一の符号を付し、説明を省略する。

【 0 0 6 9 】

妨害波抑圧部 1 7 a は、フィルタ 1 2 a と、スイッチ 1 3 a と、を有する。スイッチ 1 3 a は、一端が増幅器 1 1 の出力と出力端子 R F O U T とに接続されている。フィルタ 1 2 a は、スイッチ 1 3 a の他端と接地との間に接続されている。フィルタ 1 2 a がオンすると、スイッチ 1 3 a はオンとなり、フィルタ 1 2 a がオフすると、スイッチ 1 3 a はオフとなる。フィルタ 1 2 a は、アクティブフィルタ又はパッシブフィルタであり、オン時に妨害波成分を抑圧し、他の周波数成分にはほとんど影響を及ぼさない。つまり、フィルタ 1 2 a はノッチフィルタである。

【 0 0 7 0 】

即ち、前記妨害波抑圧部は、一端が前記増幅器の出力および前記出力端子に接続され、前記フィルタがオンするとオンになり、前記フィルタがオフするとオフになる、スイッチを更に有し、前記フィルタは、前記スイッチの他端と接地との間に接続されている。

【 0 0 7 1 】

この構成によっても、妨害波抑圧部 1 7 a は、フィルタ 1 2 a がオン時に、増幅信号 V a m p の妨害波成分を抑圧して出力信号 V o u t 1 として出力端子 R F O U T に出力する。妨害波抑圧部 1 7 a は、フィルタ 1 2 a がオフ時に、増幅信号 V a m p を出力信号 V o u t 1 として出力端子 R F O U T に出力する。よって、第 1 の実施形態と同様な効果が得られる。

【 0 0 7 2 】

また、カプラ 1 4 を、トランス T 1 などにより構成することも可能である。

【 0 0 7 3 】

図 9 は、本発明の第 1 の実施形態の変形例に係る妨害波除去システム 1 0 0 a のカプラ 1 4 a と検出器 2 1 の回路図である。

【 0 0 7 4 】

図 9 に示すように、カプラ 1 4 a はトランス T 1 で構成されている。トランス T 1 の一次側の一端は、入力端子 R F I N に接続されている。トランス T 1 の一次側の他端は、増幅器 1 1 の入力に接続される。トランス T 1 の二次側の一端には、バイアス電圧 V b i a s が供給される。トランス T 1 の二次側の他端は、N 型 M O S トランジスタ N M 1 のゲートに接続されている。この他の構成は、図 7 と同一であるため、同一の構成要素に同一の符号を付し、説明を省略する。

【 0 0 7 5 】

このような構成によっても、第 1 の実施形態と同様な効果が得られる。

【 0 0 7 6 】

(第 2 の実施形態)

第 2 の実施形態は、検出器と比較器にイネーブル信号 V e n b が入力されないようにしている点が、第 1 の実施形態と異なる。

【 0 0 7 7 】

図 1 0 は、本発明の第 2 の実施形態に係る妨害波除去システム 2 0 0 の構成を示すブロック図である。図 1 0 に示すように、フィルタ制御回路 2 1 5 において、検出器 2 2 1 と、比較器 2 2 2 にはイネーブル信号 V e n b が入力されない。その他の構成は、図 5 の妨害波除去システム 1 0 0 と同一であるため、同一の構成要素に同一の符号を付し、説明を

10

20

30

40

50

省略する。

【0078】

検出器221と、比較器222は、妨害波検出期間以外でも動作する。従って、この妨害波除去システム200の消費電力は、第1の実施形態の妨害波除去システム100の消費電力より若干増加する。しかし、タイミング制御回路16は制御信号出力回路23の動作を制御すれば良いので、第1の実施形態より制御を容易にできる。

【0079】

他の動作は、第1の実施形態と同様である。よって、第1の実施形態と同様な効果も得られる。

【0080】

(第3の実施形態)

第3の実施形態は、カプラが出力端子RFOUTに接続されている点が、第1の実施形態と異なる。

【0081】

図11は、本発明の第3の実施形態に係る妨害波除去システム300の構成を示すブロック図である。

【0082】

カプラ314は、出力端子RFOUTに接続され、出力信号Vout1を検出する。

【0083】

減衰器(ATT)324は、カプラ314で検出された検出出力信号Vout2を減衰させて、減衰信号Vout3を出力する。減衰器324は、例えば、容量、抵抗又はMOSFETなどで構成できる。減衰器324の減衰量は、増幅器11の利得を相殺するレベルに設定する。但し、減衰器324の減衰量を増幅器11の利得と異なるようにして、減衰器324と増幅器11の利得差だけ基準電圧Vref1をシフトしても良い。

【0084】

検出器321は、減衰信号Vout3の信号レベルに応じた直流の検出電圧Vout4を出力する。

【0085】

比較器22は、検出電圧Vout4と、基準電圧Vref1と、を比較して、比較結果Vcompを出力する。

【0086】

他の構成は、図5の妨害波除去システム100と同一であるため、同一の構成要素に同一の符号を付し、説明を省略する。

【0087】

上記の構成において、フィルタ12の制御は第1の実施形態と同様に行われる。即ち、基準電圧Vref1と検出電圧Vout4が同等レベルの場合の制御信号出力回路23の動作も、第1の実施形態と同様である。

【0088】

本実施形態によれば、入力端子RFINにカプラ14が接続されないため、入力信号Vin1の損失が第1の実施形態より減少する。これにより、NF(Noise Figure)が第1の実施形態より改善するので、無線通信システムの受信感度を改善できる。

【0089】

また、第1の実施形態と同様な効果も得られる。

【0090】

(第4の実施形態)

第4の実施形態は、検出器と比較器にイネーブル信号Venbが入力されないようにしている点が、第3の実施形態と異なる。

【0091】

図12は、本発明の第4の実施形態に係る妨害波除去システム400の構成を示すブロック図である。図12に示すように、フィルタ制御回路415において、減衰器424と

10

20

30

40

50

、検出器 4 2 1 と、比較器 4 2 2 にはイネーブル信号 V_{enb} が入力されない。他の構成は、図 1 1 の妨害波除去システム 3 0 0 と同一であるため、同一の構成要素に同一の符号を付し、説明を省略する。

【0092】

減衰器 4 2 4 と、検出器 4 2 1 と、比較器 4 2 2 は、妨害波検出期間以外でも動作する。従って、この妨害波除去システム 4 0 0 の消費電力は、第 3 の実施形態の妨害波除去システム 3 0 0 の消費電力より若干増加する。しかし、タイミング制御回路 1 6 は制御信号出力回路 2 3 の動作を制御すれば良いので、第 3 の実施形態より制御を容易にできる。

【0093】

他の動作は、第 3 の実施形態と同様である。よって、第 3 の実施形態と同様な効果も得られる。

10

【0094】

(第 5 の実施形態)

第 5 の実施形態は、入力信号 V_{in1} の信号レベルと出力信号 V_{out1} の信号レベルとの差分に基づいてフィルタ 1 2 を制御する点が、第 1 の実施形態と異なる。

【0095】

図 1 3 は、本発明の第 5 の実施形態に係る妨害波除去システム 5 0 0 の構成を示すブロック図である。図 1 3 に示すように、妨害波除去システム 5 0 0 は、図 5 の妨害波除去システム 1 0 0 に、更にカプラ 3 1 4 を備える。また、フィルタ制御回路 5 1 5 の構成が、図 5 の妨害波除去システム 1 0 0 のフィルタ制御回路 1 5 の構成とは異なる。他の構成は、図 5 の妨害波除去システム 1 0 0 と同一であるため、同一の構成要素に同一の符号を付し、説明を省略する。

20

【0096】

カプラ (第 1 のカプラ) 1 4 は、入力端子 $RFIN$ に接続され、入力信号 V_{in1} を検出する。

【0097】

カプラ (第 2 のカプラ) 3 1 4 は、出力端子 $RFOUT$ に接続され、出力信号 V_{out1} を検出する。

【0098】

フィルタ制御回路 5 1 5 は、妨害波検出期間である送信と受信との間の任意の判定タイミングで、カプラ 1 4 で検出された検出入力信号 V_{in2} の信号レベルからカプラ 3 1 4 で検出された検出出力信号 V_{out2} の信号レベルを減算した減算信号レベルが、基準値 V_{b2} 以上の時にフィルタ 1 2 をオンに制御し、基準値 V_{b2} 未満の時にフィルタ 1 2 をオフに制御する。

30

【0099】

本実施形態では、フィルタ制御回路 5 1 5 は、入力信号検出器 5 0 1 と、出力信号検出器 5 0 2 と、減算器 5 0 3 と、電流電圧変換回路 (IV) 5 0 4 と、比較器 2 2 と、制御信号出力回路 5 2 3 とを有する。

【0100】

入力信号検出器 5 0 1 は、カプラ 1 4 からの検出入力信号 V_{in2} の信号レベル V_{in2a} に応じた入力検出電流 I_{in} を出力する。出力信号検出器 5 0 2 は、カプラ 3 1 4 からの検出出力信号 V_{out2} の信号レベル V_{out2a} に応じた出力検出電流 I_{out} を出力する。

40

【0101】

減算器 5 0 3 は、入力検出電流 I_{in} から出力検出電流 I_{out} を減算して、減算結果を減算電流 I_d として出力する。電流電圧変換回路 5 0 4 は、減算電流 I_d を検出電圧 V_d に変換する。比較器 2 2 は、検出電圧 V_d と、基準値 V_{b2} に相当する基準電圧 V_{ref2} と、を比較して、比較結果 V_{comp} を出力する。

【0102】

妨害波除去システム 5 0 0 の動作を説明する。

50

【0103】

タイミング制御回路16は、タイミング制御信号 V_{tctrl} (= $V_{tctrl00}$)が入力されると、イネーブル信号 V_{enb} を出力する。タイミング制御信号 V_{tctrl} は、第1の実施形態と同様のタイミングで入力される。制御信号出力回路523は、イネーブル信号 V_{enb} が入力されるとフィルタ12をオンに制御する。また、このタイミングで、入力信号検出器501と、出力信号検出器502と、減算器503と、電流電圧変換回路504と、比較器22は、動作を開始する。

【0104】

妨害波検出期間において、入力信号 V_{in1} として妨害波信号 S_{b1} が入力されていない場合、入力信号 V_{in1} と出力信号 V_{out1} の信号レベルは低く且つほぼ同一である。従って、入力信号検出器501の入力検出電流 I_{in} と、出力信号検出器502の出力検出電流 I_{out} は、小さく且つほぼ同一である。

10

【0105】

そのため、減算電流 I_d は小さいので、検出電圧 V_d は低い。予め、基準電圧 V_{ref2} は、この場合の検出電圧 V_d より高く設定されている。比較器22の比較結果 V_{comp} (ローレベル)に基づいて、タイミング制御信号 V_{tctrl} (= $V_{tctrl01}$)がタイミング制御回路16に入力された判定タイミングで、制御信号出力回路523はフィルタ12をオフに制御する。

【0106】

これに対して、妨害波検出期間において、入力信号 V_{in1} として妨害波信号 S_{b1} が入力されている場合、入力信号 V_{in1} の信号レベルは高い。妨害波信号 S_{b1} はフィルタ12で抑圧されるので、出力信号 V_{out1} の信号レベルは低い。従って、入力信号検出器501の入力検出電流 I_{in} は大きく、出力信号検出器502の出力検出電流 I_{out} は、小さい。そのため、減算電流 I_d は大きいので、検出電圧 V_d は高い。予め、基準電圧 V_{ref2} は、この場合の検出電圧 V_d より低く設定されている。ここで、減算電流 I_d と検出電圧 V_d は、フィルタ12における妨害波抑圧量を表している。

20

【0107】

比較器22の比較結果 V_{comp} (ハイレベル)に基づいて、タイミング制御信号 V_{tctrl} (= $V_{tctrl01}$)がタイミング制御回路16に入力された判定タイミングで、制御信号出力回路523はフィルタ12をオンに制御する。つまり、フィルタ12はオンを継続する。

30

【0108】

判定タイミング以降では、入力信号検出器501と、出力信号検出器502と、減算器503と、電流電圧変換回路504と、比較器22と、制御信号出力回路523は、動作を停止するので、消費電力を低減できる。

【0109】

他の動作は第1の実施形態と同様である。即ち、基準電圧 V_{ref2} と検出電圧 V_d が同等レベルの場合の制御信号出力回路523の動作も、第1の実施形態と同様である。

【0110】

本実施形態によれば、第1の実施形態と同様の効果が得られる。

40

【0111】

なお、本実施形態の構成を変形して、入力信号検出器501が入力検出電圧を出力して、出力信号検出器502が出力検出電圧を出力して、減算器503がこれらの電圧の差分を検出電圧 V_d として出力するように構成しても良い。この場合、電流電圧変換回路504は不要になる。

【0112】

また、本実施形態の構成を変形して、検出電圧 V_d により検出された妨害波抑圧量に基づいてフィルタ12の減衰量を調節するように構成しても良い。この構成は、フィルタ12の減衰量がばらつく場合に有効である。例えば、入力信号 V_{in1} の信号レベルが基準値 V_{b2} 以上であって妨害波抑圧量が最大抑圧量以上の時、フィルタ12の減衰量を減ら

50

した上でフィルタ12をオンしても良い。これにより、消費電力が削減できる。また、入力信号 V_{in1} の信号レベルが基準値 V_{b2} 以上であって妨害波抑圧量が最小抑圧量以下の時、フィルタ12の減衰量を増加した上でフィルタ12をオンしても良い。これにより、フィルタ12の減衰量がばらついて、必要な妨害波抑圧量を確保できる。

【0113】

第1の実施形態と同様に、入力信号 V_{in1} の信号レベルが基準値 V_{b2} 未満であれば、フィルタ12をオフに制御する。

【0114】

このような構成により、必要な妨害波抑圧量を確保した上で、第1から第4の実施形態より消費電力を削減できる。

10

【0115】

(他の変形例)

例えば、上記各実施形態では、フィルタ12は帯域通過フィルタであるとして説明したが、帯域除去フィルタでも良い。

【0116】

また、第1の実施形態の変形例を、第2から第5の実施形態に適用しても良い。

【0117】

以上で説明した実施形態によれば、低消費電力で妨害波を除去できる。

【0118】

(比較例)

以下に、発明者が知得する比較例について説明する。

20

【0119】

IC内部で妨害波を除去する方法は幾つか存在し、代表的なものでは高いQ値のアクティブフィルタを使用する構成(図14(a))や、フィードフォワード方式を用いて妨害波を除去する構成(図14(b))などがある。

【0120】

図14(a)の構成では、低雑音増幅器LNAの後段にオンチップのアクティブフィルタBPFが接続されている。アクティブフィルタBPFを高いQ値のフィルタにするために、Q値を高める工夫がなされている。一般的には、LCタンク回路の損失分を打ち消すために電圧制御発振器(VCO)でも使用される負性抵抗回路 Q_{-enh} が用いられる。しかし、インダクタのQ値が低い場合、小面積なアクティブフィルタBPFのQ値を高めるためには、より多くの電流を必要とする。更に、常にアクティブフィルタBPFを動作させているので、消費電力は増加する。

30

【0121】

また、図14(b)の構成は、低雑音増幅器LNAの出力部で妨害波信号を減算して、所望波信号のみを抽出するものである。より詳細には、入力端子RFINから入力された所望波信号(周波数 f_{rf})と妨害波信号(周波数 f_{bl})を、内部のローカル信号(周波数 f_{lo} (f_{rf}))を用い、ダウンコンバージョンミキサDCMによりダウンコンバートする。これにより、所望波信号はDC付近の信号に変換され、妨害波信号は低周波数($f_{lo} - f_{bl}$)の信号に変換される。ハイパスフィルタHPFは、これらの信号から、妨害波信号に対応する低周波数の信号のみを抽出する。その後、アップコンバージョンミキサUCMは、抽出された低周波数($f_{lo} - f_{bl}$)の信号を、ローカル信号(周波数 f_{lo})を用いてアップコンバートして、妨害波信号のみを得る。そして、得られた妨害波信号を、低雑音増幅器LNAの出力信号から減算する。しかしながら、この構成では、2つものミキサを使用しているため面積が大きくなる上、消費電力も増大してしまう。

40

【0122】

即ち、比較例の構成は、以上で説明した実施形態の構成より消費電力が高い。

【0123】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示

50

したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

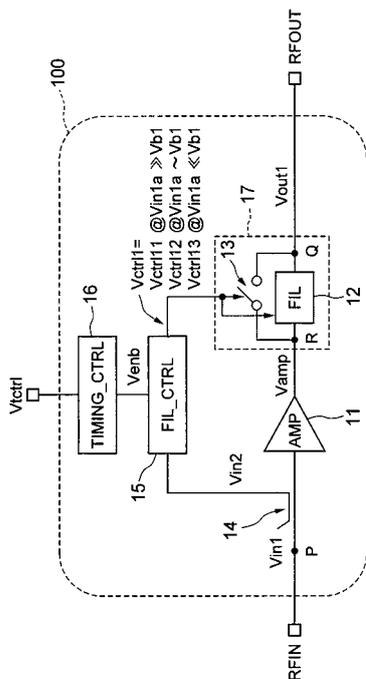
【0124】

- 11 増幅器
- 12 フィルタ
- 13 スイッチ
- 14, 314 カプラ
- 15, 215, 315, 415, 515 フィルタ制御回路
- 16 タイミング制御回路
- 17 妨害波抑圧部
- 21, 221, 321, 421 検出器
- 22, 222, 422 比較器
- 23, 523 制御信号出力回路
- 324, 424 減衰器
- 501 入力信号検出器
- 502 出力信号検出器
- 503 減算器
- 504 電流電圧変換回路
- RFIN 入力端子
- RFOUT 出力端子
- 100, 200, 300, 400, 500 妨害波除去システム

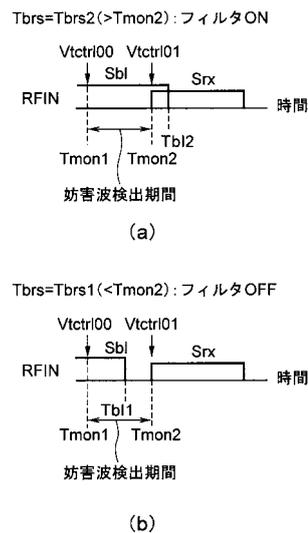
10

20

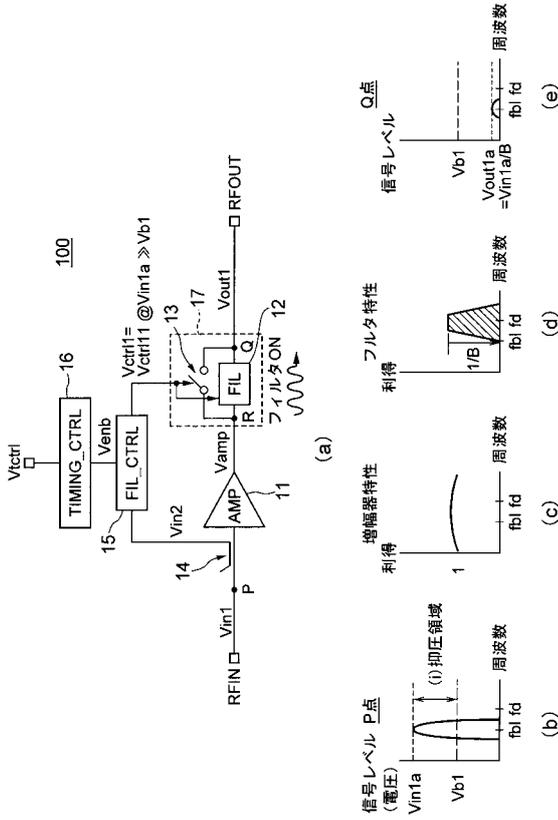
【図1】



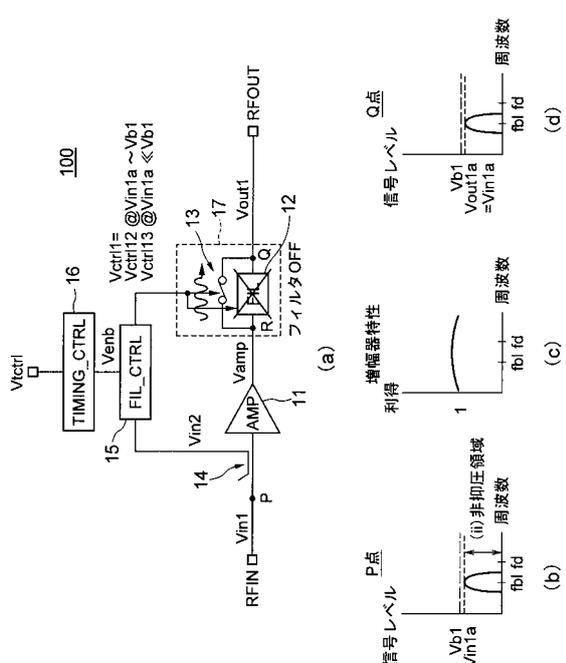
【図2】



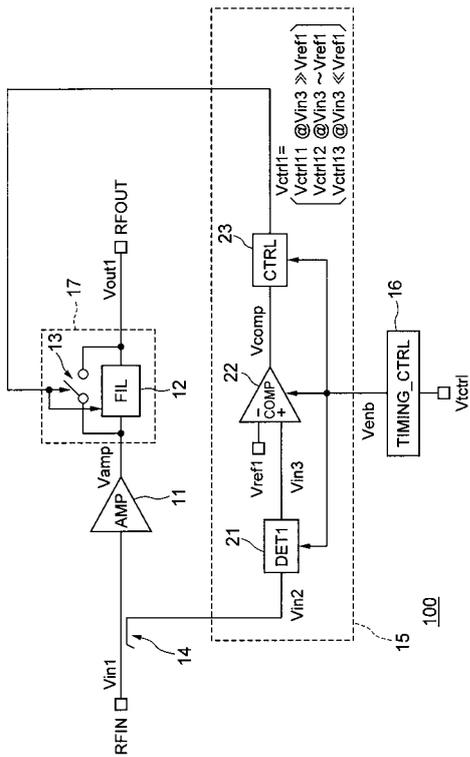
【 図 3 】



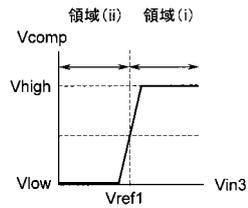
【 図 4 】



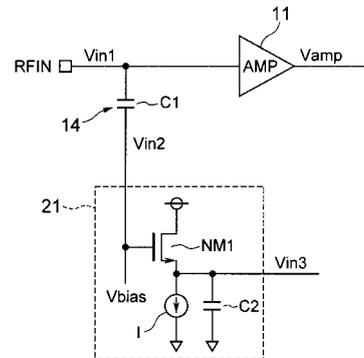
【 図 5 】



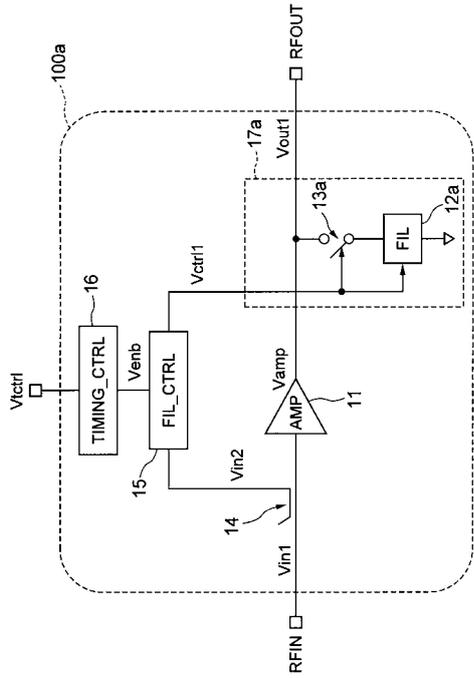
【 図 6 】



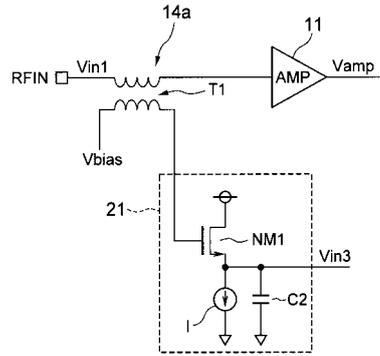
【 図 7 】



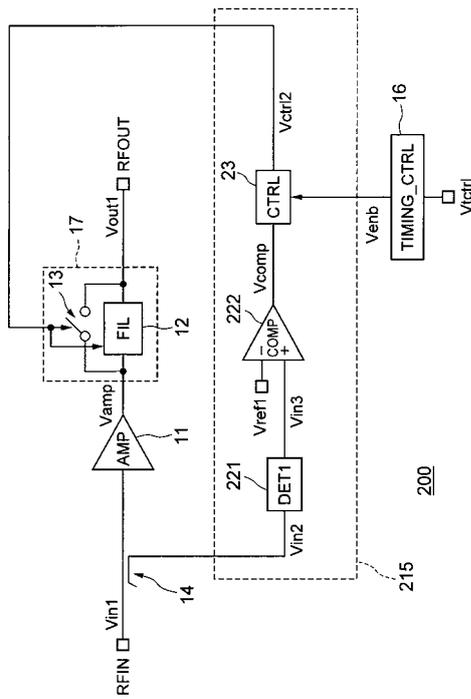
【 図 8 】



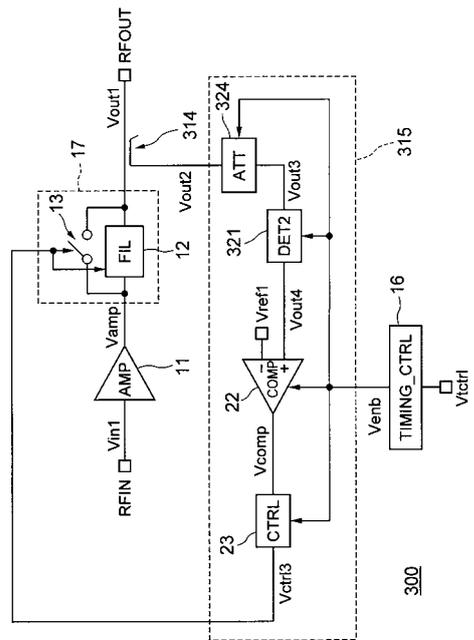
【 図 9 】



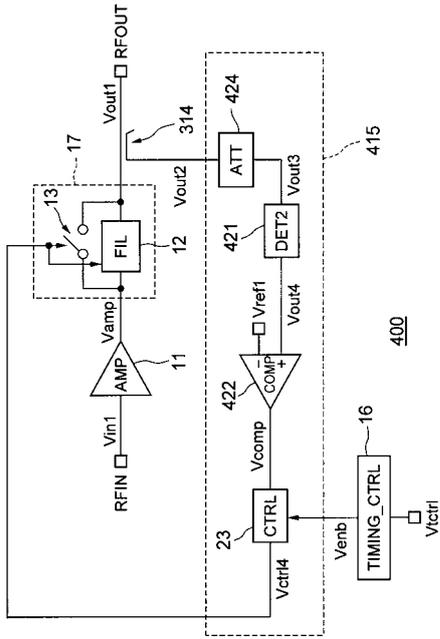
【 図 10 】



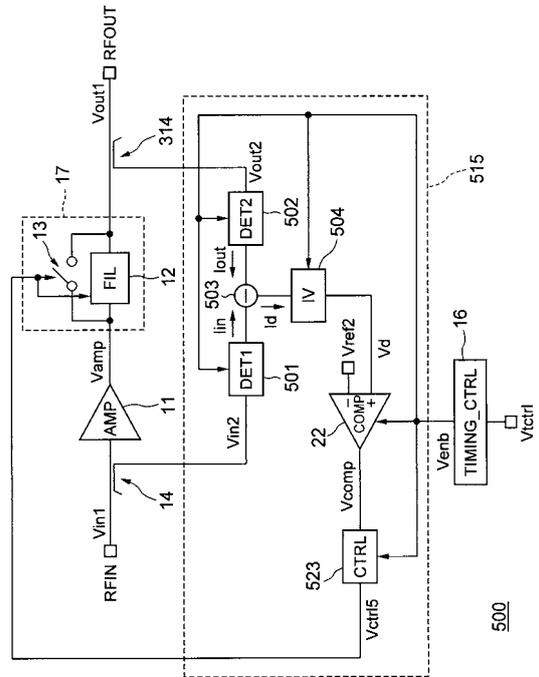
【 図 11 】



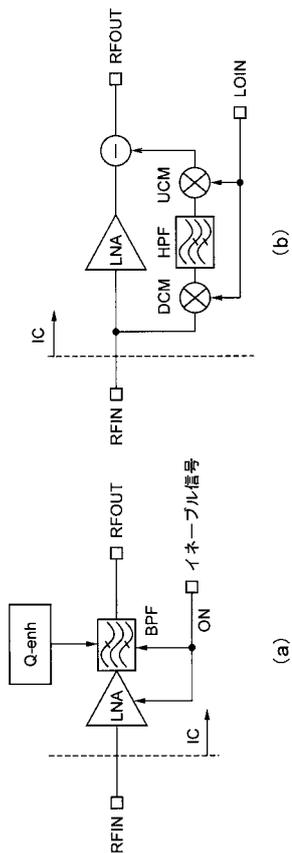
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

- (72)発明者 芦田 光行
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 間島 秀明
東京都港区芝浦一丁目1番1号 株式会社東芝内
- Fターム(参考) 5K052 AA01 BB02 DD04 EE12 FF01 GG02