



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2008-0098680  
 (43) 공개일자 2008년11월11일

- |   |   |
|---|---|
| (51) Int. Cl.<br>H01L 27/105 (2006.01) H01L 21/8242 (2006.01)<br>(21) 출원번호 10-2008-7023778<br>(22) 출원일자 2008년09월29일<br>심사청구일자 2008년09월30일<br>번역문제출일자 2008년09월29일<br>(86) 국제출원번호 PCT/JP2006/306654<br>국제출원일자 2006년03월30일<br>(87) 국제공개번호 WO 2007/116442<br>국제공개일자 2007년10월18일 | (71) 출원인<br>후지쯔 가부시끼가이샤<br>일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1<br>(72) 발명자<br>왕 웬셴<br>일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔 가부시끼가이샤 나이<br>(74) 대리인<br>김태홍, 신정건 |
|---|---|

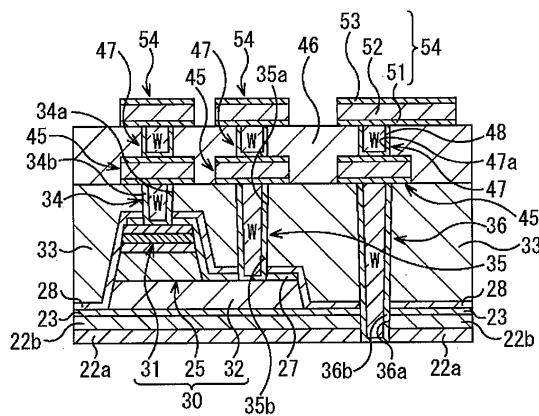
전체 청구항 수 : 총 27 항

**(54) 반도체 장치 및 그 제조 방법**

**(57) 요약**

하부 전극층(24)을 형성하는 공정과, 하부 전극층(24) 상에 제1 강유전체막(25a)을 형성하는 공정과, 제1 강유전체막(25a) 상에, 내부에 이리듬을 함유하는 아몰퍼스형의 제2 강유전체막(25b)을 형성하는 공정과, 산화성 분위기에서 제2 강유전체막(25b)을 열처리하고, 제2 강유전체막(25b)을 결정화하며, 제2 강유전체막(25b) 내의 이리듬을 제1 강유전체막(25a)의 내부에 확산시키는 공정과, 제2 강유전체막(25b) 상에 상부 전극층(26)을 형성하는 공정과, 상부 전극층(26), 제2 강유전체막(25b), 제1 강유전체막(25a) 및 하부 전극층(24)을 각각 가공해서, 상부 커패시터 구조를 형성하는 공정을 포함하여, FeRAM을 제작한다. 이 구성에 의해, 강유전체 커패시터 구조(30)의 반전 전하량을 향상시키거나, 누설 전류를 공연히 증가시키는 일 없이, 높은 수율을 확보하는 것이 가능하므로, 신뢰성이 높은 FeRAM이 실현된다.

대표도 - 도5b



**특허청구의 범위**

**청구항 1**

반도체 기관과,

상기 반도체 기관의 상방에 형성되어 있으며, 유전체 재료로 이루어지는 커패시터막을 하부 전극과 상부 전극에 의해 협지하여 이루어지는 커패시터 구조

를 포함하고,

상기 커패시터막은 그 내부에 이리듐을 함유하고 있으며, 상층 영역에서 하층 영역으로 향할수록 이리듐 농도가 낮아지는 이리듐 농도 분포를 갖는 것을 특징으로 하는 반도체 장치.

**청구항 2**

제1항에 있어서, 상기 커패시터막에서 상기 상층 영역은 균일한 높은 이리듐 농도이며, 상기 하층 영역은 하방으로 향할수록 이리듐 농도가 낮아지는 것을 특징으로 하는 반도체 장치.

**청구항 3**

제2항에 있어서, 상기 상층 영역의 이리듐 함유량은 0.01 mol% 이상 3.00 mol% 이하의 범위의 값인 것을 특징으로 하는 반도체 장치.

**청구항 4**

제1항에 있어서, 상기 커패시터막은 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

**청구항 5**

제4항에 있어서, 상기 상층 영역은 A사이트 및 B사이트 중 적어도 한쪽에 Ir 원소를 포함하는  $ABO_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

**청구항 6**

제5항에 있어서, 상기 상층 영역은 PZT, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조에서 선택된 1종으로 이루어지는 것을 특징으로 하는 반도체 장치.

**청구항 7**

제5항에 있어서, 상기 하층 영역은 A사이트 및 B사이트 중 적어도 한쪽에 Ir 원소를 포함하는  $ABO_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

**청구항 8**

제7항에 있어서, 상기 하층 영역은 PZT, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조에서 선택된 1종으로 이루어지는 것을 특징으로 하는 반도체 장치.

**청구항 9**

제1항에 있어서, 상기 상부 전극은 복수층 구조로 되어 있으며, 최하층의 조성이  $IrO_x(0 < x < 2)$ 인 것을 특징으로 하는 반도체 장치.

**청구항 10**

반도체 기관의 상방에, 유전체 재료로 이루어지는 커패시터막을 하부 전극과 상부 전극에 의해 협지하여 이루어지는 커패시터 구조를 구비한 반도체 장치의 제조 방법으로서,

상기 커패시터 구조를 형성하는데 있어서,

하부 전극층을 형성하는 공정과,

상기 하부 전극층 상에 제1 유전체막을 형성하는 공정과,

상기 제1 유전체막 상에, 내부에 이리듐을 함유하는 아몰퍼스형의 제2 유전체막을 형성하는 공정과,

산화성 분위기에서 상기 제2 유전체막을 열처리하여, 상기 제2 유전체막을 결정화하고, 상기 제2 유전체막 내의 이리듐을 상기 제1 유전체막의 내부에 확산시키는 공정과,

상기 제2 유전체막 상에 상부 전극층을 형성하는 공정과,

상기 상부 전극층, 상기 제2 유전체막, 상기 제1 유전체막 및 상기 하부 전극층을 각각 가공하여, 상기 커패시터 구조를 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 11

제10항에 있어서, 상기 제1 유전체막을 아몰퍼스형으로 형성하며, 상기 제2 유전체막의 열처리에 의해, 상기 제2 유전체막과 함께 상기 제1 유전체막을 결정화시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 12

제10항에 있어서, 상기 제1 유전체막을 아몰퍼스형으로 형성하며,

상기 제2 유전체막을 형성하기 전에, 산화성 분위기에서 상기 제1 유전체막을 열처리하여 상기 제1 유전체막을 결정화시키는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 13

제10항에 있어서, 상기 제2 유전체막을 형성한 후에, 상기 상부 전극층을 형성하며, 상기 상부 전극층이 형성된 상태에서 상기 제2 유전체막의 열처리를 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 14

제13항에 있어서, 상기 제1 유전체막을 아몰퍼스형으로 형성하며, 상기 제2 유전체막의 열처리에 의해, 상기 제2 유전체막과 함께 상기 제1 유전체막을 결정화시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 15

제10항에 있어서, 상기 상부 전극층을 형성한 후, 상기 상부 전극층이 형성된 상태에서, 재차 상기 제2 유전체막의 열처리를 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 16

제10항에 있어서, 상기 제2 유전체막의 이리듐 함유량은 0.01 mol% 이상 3.00 mol% 이하의 범위의 값인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 17

제10항에 있어서, 상기 커패시터막은 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 18

제17항에 있어서, 상기 제2 유전체막은 A사이트 및 B사이트 중 적어도 한쪽에 Ir 원소를 포함하는  $ABO_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 19**

제18항에 있어서, 상기 제2 유전체막은 PZT, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조에서 선택된 1종으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 20**

제18항에 있어서, 상기 제1 유전체막은  $ABO_3$ 형 페로브스카이트 구조( $A=Bi, Pb, Ba, Sr, Ca, Na, K$  및 희토류 원소에서 선택된 적어도 1종,  $B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$ 에서 선택된 적어도 1종)의 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 21**

제20항에 있어서, 상기 제1 유전체막은 PZT, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조에서 선택된 1종으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 22**

반도체 기판의 상부에, 유전체 재료로 이루어지는 커패시터막을 하부 전극과 상부 전극에 의해 협지하여 이루어지는 커패시터 구조를 구비한 반도체 장치의 제조 방법으로서,

상기 커패시터 구조를 형성하는데 있어서,

하부 전극층을 형성하는 공정과,

상기 하부 전극층 상에 아몰퍼스형의 유전체막을 형성하는 공정과,

산화성 분위기에서 상기 유전체막에 제1 열처리를 시행하여, 상기 유전체막을 결정화하는 공정과,

상기 유전체막 상에, 내부에 이리듐을 함유하는 상부 전극층을 형성하는 공정과,

산화성 분위기에서 상기 상부 전극층에 제2 열처리를 시행하여, 상기 상부 전극층 내의 이리듐을 상기 유전체막의 내부에 확산시키는 공정과,

상기 상부 전극층, 상기 유전체막 및 상기 하부 전극층을 각각 가공하여, 상기 커패시터 구조를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 23**

제22항에 있어서, 상기 상부 전극층을 복수층 구조로 하며,

상기 유전체막 상에,  $IrO_x(0 < x < 2)$ 의 조성으로 상기 상부 전극층의 최하층을 형성하고,

상기 최하층에 상기 제2 열처리를 시행하여, 상기 최하층 내의 이리듐을 상기 유전체막의 내부에 확산시킨 후,

상기 최하층 상에 상기 상부 전극층의 나머지 층을 형성하여, 상기 상부 전극층을 완성시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 24**

제22항에 있어서, 상기 제2 열처리를 548℃ 이상 558℃의 범위 내의 처리 온도에서 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 25**

제22항에 있어서, 상기 유전체막은 강유전체 재료로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 26**

제25항에 있어서, 상기 유전체막은  $ABO_3$ 형 페로브스카이트 구조( $A=Bi, Pb, Ba, Sr, Ca, Na, K$  및 희토류 원소에서 선택된 적어도 1종,  $B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$ 에서 선택된 적어도 1종)의 강유전체 재료로 이루

어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 27**

제26항에 있어서, 상기 유전체막은 PZT, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조에서 선택된 1종으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

**명세서**

**기술분야**

<1> 본 발명은 하부 전극과 상부 전극 사이에 유전체 재료로 이루어지는 커패시터막이 헹지되어 이루어지는 커패시터 구조를 갖는 반도체 장치에 관한 것으로, 특히 커패시터막이 강유전체 재료로 이루어지는 강유전체 커패시터 구조에 적용하기에 적합하다.

**배경기술**

<2> 최근, 강유전체의 분극 반전을 이용하여 정보를 강유전체 커패시터 구조에 유지시키는 강유전체 메모리(FeRAM: Ferro-electric Random Access Memory)의 개발이 진행되고 있다. 강유전체 메모리는 전원을 차단하여도 유지된 정보가 소실되지 않는 비휘발성 메모리이며, 고집적도, 고속 구동, 고내구성 및 저소비 전력의 실현을 기대할 수 있기 때문에 특히 주목받고 있다.

<3> FeRAM의 메모리 셀에 사용되는 커패시터의 구조는 하기 특허문헌 1 내지 특허문헌 3에 기재되어 있는 바와 같이, 강유전체막으로서 예컨대 SBT막이나 PZT막을 이용하며, 강유전체막을 하부 전극과 상부 전극 사이에 끼운 구조를 갖고 있다. 하부 전극으로서는 예컨대 플래티늄막이 이용되며, 또, 상부 전극으로서는 예컨대 플래티늄막, 산화 이리듐막 등이 이용되고 있다.

<4> 특허문헌 1에는, 강유전체막의 구성 원소의 이탈 및 상호 확산을 억제하기 위해, 강유전체막을 완전히 결정화하는 공정으로부터 커패시터 구조의 보호막을 성막하는 공정까지 동안에, 고온 열처리를 수행하지 않는 방법이 개시되어 있다. 상세하게는, 우선, 강유전체인 PZT를 재료로 하여 커패시터막을 형성한 후, RTA(Rapid Thermal Annealing)법으로 결정화시킨다. 계속해서,  $IrO_x(0 < x < 2)$ 를 재료로 하여 상부 전극을 형성하며, 또한 RTA법을 수행하고, 커패시터막을 완전히 결정화시킴과 동시에, 상부 전극의 이리듐(Ir)을 PZT 내에 확산시킨다. 이 방법에 따르면, 전극과 강유전체막 사이의 상호 확산 및 강유전체막의 구성 원소의 이탈을 방지할 수 있다.

<5> 특허문헌 2에는, 스택형 커패시터 구조의 강유전체막의 결정성을 향상시키기 위해, 이리듐막 및 산화 이리듐막을 적층하여 하부 전극을 형성한 후, 제1 PZT막을 형성하며, 또한 제1 PZT막보다 두꺼운 제2 PZT막을 형성하는 방법이 개시되어 있다.

<6> 특허문헌 3에는, 650℃ 이하의 저온에서 결정화가 촉진되는 강유전체막을 형성하기 위해, SBT나 PZT 등의 유기 금속 화합물 도포액에 헥세포폴리산을 첨가하는 방법이 개시되어 있다.

<7> [특허문헌 1] 일본 특허 공개 제2005-183841호 공보

<8> [특허문헌 2] 일본 특허 공개 제2003-68991호 공보

<9> [특허문헌 3] 일본 특허 공개 제2003-128419호 공보

**발명의 상세한 설명**

<10> 특허문헌 1에 특히 명시되어 있는 바와 같이, 종래의 FeRAM의 제조 방법에서는, 강유전체 재료로 이루어지는 커패시터막 상에  $IrO_x(0 < x < 2)$ 로부터 상부 전극을 형성한 후, 어닐링 처리를 수행함으로써 이리듐을 커패시터막 내에 확산시키는 기술이 제안되어 있다.

<11> 이리듐이 커패시터막에 확산되면, 강유전체의 결정립 내( $ABO_3$ 형 페로브스카이트 구조의 경우, A사이트나 B사이트)에 결합하며, 커패시터 구조의 반전 전하량은 높아지고, 누설 전류는 미증 상태가 된다. 그러나, 이리듐이 강유전체의 결정립에 결합하지 않는 경우, 결정립계에 남아, 누설 경로(leak path)를 형성하며, 커패시터의 누설 전류는 급증한다. 그리고 동시에, 상부 전극과 커패시터막의 계면 부분(강유전성 없음)은 두꺼워지며, 반전 전하량이 저하하고, 항전계가 높아진다. 또한, 커패시터막에 결정 결함(구멍)이 많이 발생한 경우, 이리듐

이 결정 결함을 충전하며, 누설 전류가 격증한다. 그 결과, FeRAM의 수율이 현저히 저하한다고 하는 문제가 있다.

- <12> 본 발명은 상기 과제를 감안하여 이루어진 것으로, 커패시터 구조의 반전 전하량을 향상시키거나, 누설 전류를 공연히 증가시키는 일 없이, 높은 수율을 확보할 수 있는 신뢰성이 높은 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.
- <13> 본 발명의 반도체 장치는 반도체 기판과, 상기 반도체 기판의 상방에 형성되어 있으며, 유전체 재료로 이루어지는 커패시터막을 하부 전극과 상부 전극에 의해 협지하여 이루어지는 커패시터 구조를 포함하고, 상기 커패시터막은 그 내부에 이리듐을 함유하고 있으며, 상층 영역에서 하층 영역으로 향할수록 이리듐 농도가 낮아지는 이리듐 농도 분포를 갖는다.
- <14> 본 발명의 반도체 장치의 제조 방법은 반도체 기판의 상방에, 유전체 재료로 이루어지는 커패시터막을 하부 전극과 상부 전극에 의해 협지하여 이루어지는 커패시터 구조를 구비한 반도체 장치의 제조 방법으로서, 상기 커패시터 구조를 형성하는데 있어서, 하부 전극층을 형성하는 공정과, 상기 하부 전극층 상에 제1 유전체막을 형성하는 공정과, 상기 제1 유전체막 상에, 내부에 이리듐을 함유하는 아몰퍼스형의 제2 유전체막을 형성하는 공정과, 산화성 분위기에서 상기 제2 유전체막을 열처리하고, 상기 제2 유전체막을 결정화하며, 상기 제2 유전체막 내의 이리듐을 상기 제1 유전체막의 내부에 확산시키는 공정과, 상기 제2 유전체막 상에 상부 전극층을 형성하는 공정과, 상기 상부 전극층, 상기 제2 유전체막, 상기 제1 유전체막 및 상기 하부 전극층을 각각 가공하여, 상기 커패시터 구조를 형성하는 공정을 포함한다.
- <15> 본 발명의 반도체 장치의 제조 방법의 다른 형태는 반도체 기판의 상방에, 유전체 재료로 이루어지는 커패시터막을 하부 전극과 상부 전극에 의해 협지하여 이루어지는 커패시터 구조를 구비한 반도체 장치의 제조 방법으로서, 상기 커패시터 구조를 형성하는데 있어서, 하부 전극층을 형성하는 공정과, 상기 하부 전극층 상에 아몰퍼스형의 유전체막을 형성하는 공정과, 산화성 분위기에서 상기 유전체막에 제1 열처리를 시행하여, 상기 유전체막을 결정화하는 공정과, 상기 유전체막 상에, 내부에 이리듐을 함유하는 상부 전극층을 형성하는 공정과, 산화성 분위기에서 상기 상부 전극층에 제2 열처리를 시행하여, 상기 상부 전극층 내의 이리듐을 상기 유전체막의 내부에 확산시키는 공정과, 상기 상부 전극층, 상기 유전체막 및 상기 하부 전극층을 각각 가공하여, 상기 커패시터 구조를 형성하는 공정을 포함한다.
- <16> 본 발명에 따르면, 커패시터 구조의 반전 전하량을 향상시키거나, 누설 전류를 공연히 증가시키는 일 없이, 높은 수율을 확보하는 것이 가능하므로, 신뢰성이 높은 반도체 장치가 실현된다.

### 실시예

- <78> - 본 발명을 적용한 구체적인 여러 가지 실시형태 -
- <79> 이하, 본 발명을 적용한 구체적인 여러 가지 실시형태에 대해서, 도면을 참조하면서 상세히 설명한다. 이하의 여러 실시형태에서는, 본 발명을 FeRAM에 적용한 경우에 대해서 예시하지만, 커패시터 구조에 통상의 유전체막을 이용한 반도체 메모리에도 적용 가능하다.
- <80> (제1 실시형태)
- <81> 본 실시형태에서는, 강유전체 커패시터 구조의 하부 전극 및 상부 전극의 도통을 강유전체 커패시터 구조의 상방에서 취하는, 소위 플래너형의 FeRAM을 예시한다. 또한, 설명의 편의상, FeRAM의 구조를 그 제조 방법과 함께 설명한다.
- <82> 도 1a 내지 도 5b는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <83> 우선, 도 1a에 도시하는 바와 같이, 실리콘 반도체 기판(10) 상에 선택 트랜지스터로서 기능하는 MOS 트랜지스터(20)를 형성한다.
- <84> 상세하게는, 실리콘 반도체 기판(10)의 표층에 예컨대 STI(Shallow Trench Isolation)법에 의해 소자 분리 구조(11)를 형성하여, 소자 활성 영역을 확정한다.
- <85> 다음에, 소자 활성 영역에 불순물, 여기서는 B를 예컨대 도우즈량  $3.0 \times 10^{13} / \text{cm}^2$ , 가속 에너지 300 keV의 조건에서 이온 주입하여, 웰(12)을 형성한다.

- <86> 다음에, 소자 활성 영역에 열산화 등에 의해 막 두께 3.0 nm 정도의 얇은 게이트 절연막(13)을 형성하며, 게이트 절연막(13) 상에 CVD법에 의해 막 두께 180 nm 정도의 다결정 실리콘막 및 막 두께 29 nm 정도의 예컨대 실리콘 질화막을 퇴적하고, 실리콘 질화막, 다결정 실리콘막 및 게이트 절연막(13)을 리소그래피 및 그에 이은 드라이 에칭에 의해 전극 형상으로 가공함으로써, 게이트 절연막(13) 상에 게이트 전극(14)을 패틴 형성한다. 이때 동시에, 게이트 전극(14) 상에는 실리콘 질화막으로 이루어지는 캡막(15)이 패틴 형성된다.
- <87> 다음에, 캡막(15)을 마스크로 하여 소자 활성 영역에 불순물, 여기서는 As를 예컨대 도우즈량  $5.0 \times 10^{14}/\text{cm}^2$ , 가속 에너지 10 keV의 조건에서 이온 주입하여, 소위 LDD 영역(16)을 형성한다.
- <88> 다음에, 전면(全面)에 예컨대 실리콘 산화막을 CVD법에 의해 퇴적하며, 이 실리콘 산화막을 소위 에치백함으로써, 게이트 전극(14) 및 캡막(15)의 측면에만 실리콘 산화막을 남겨 측벽 절연막(17)을 형성한다.
- <89> 다음에, 캡막(15) 및 측벽 절연막(17)을 마스크로 하여 소자 활성 영역에 불순물, 여기서는 P를 LDD 영역(16)보다도 불순물 농도가 높아지는 조건에서 이온 주입하며, LDD 영역(16)과 중첩되는 소스/드레인 영역(18)을 형성하여, MOS 트랜지스터(20)를 완성한다.
- <90> 계속해서, 도 1b에 도시하는 바와 같이, MOS 트랜지스터(20)의 보호막(21) 및 층간 절연막(22a)을 순차 형성한다.
- <91> 상세하게는, MOS 트랜지스터(20)를 덮도록 보호막(21) 및 층간 절연막(22a)을 순차 퇴적한다. 여기서, 보호막(21)으로서는, 실리콘 산화막을 재료로 하며, CVD법에 의해 막 두께 20 nm 정도로 퇴적한다. 층간 절연막(22a)으로서는, 예컨대 플라즈마 SiO막(막 두께 20 nm 정도), 플라즈마 SiN막(막 두께 80 nm 정도) 및 플라즈마 TEOS막(막 두께 1000 nm 정도)을 순차 성막한 적층 구조를 형성하며, 적층 후, CMP에 의해 막 두께가 700 nm 정도가 될 때까지 연마한다.
- <92> 계속해서, 도 1c에 도시하는 바와 같이, 층간 절연막(22b) 및 보호막(23)을 순차 형성한다. 또한, 도 1c 이하의 각 도면에서는 도시의 편의상, 층간 절연막(22a)에서 상부의 구성만을 도시하며, 실리콘 반도체 기판(10)이나 MOS 트랜지스터(20) 등은 도시 생략한다.
- <93> 상세하게는, 우선, 층간 절연막(22a) 상에 예컨대 TEOS를 이용한 플라즈마 CVD법에 의해, 실리콘 산화막을 막 두께 100 nm 정도로 퇴적하여, 층간 절연막(22b)을 형성한다. 그 후, 층간 절연막(22b)을 어닐링 처리한다. 이 어닐링 처리의 조건으로서는,  $\text{N}_2$  가스를 20리터/분의 유량으로 공급하면서, 예컨대  $650^\circ\text{C}$ 에서 20분간~45분간 실행한다.
- <94> 다음에, 층간 절연막(22b) 상에, 후술하는 강유전체 커패시터 구조의 밀착막으로서 기능하며, 강유전체막으로의 수소·물의 침입을 방지하기 위한 보호막(23)을 형성한다. 보호막(23)으로서는, 알루미늄( $\text{Al}_2\text{O}_3$ )를 재료로 하여, 스퍼터법에 의해 막 두께 20 nm~50 nm 정도로 퇴적한다. 보호막(23)으로서는, 알루미늄 대신에, 질화 알루미늄, 산화 탄탈, 산화 티탄, 산화 지르코늄 등의 막이나 이들의 적층 구조로 하여도 된다. 그 후, 강유전체 커패시터 구조의 하부 전극의 결정성을 향상시키기 위해, 보호막(23)을 어닐링 처리한다. 이 어닐링 처리의 조건으로서는,  $\text{O}_2$  가스를 2리터/분의 유량으로 공급하면서, 예컨대  $650^\circ\text{C}$ 에서 30초간~120초간, 예컨대 60초간 실행한다.
- <95> 계속해서, 도 1d에 도시하는 바와 같이, 하부 전극층(24), 강유전체막(25) 및 상부 전극층(26)을 순차 형성한다.
- <96> 상세하게는, 우선, 스퍼터법에 의해 예컨대 막 두께가 150 nm~200 nm 정도, 여기서는 150 nm 정도로 PT막을 퇴적하여, 하부 전극층(24)을 형성한다. Pt(111)의 결정성을 향상시키기 위해, 예컨대 기판 온도  $350^\circ\text{C}$  이상, 0.3 kW의 고온 저전력에서 성막하는 것이 바람직하다. 또한, 하부 전극층(24)의 재료로서는, Pt 대신에 Ir, Ru, Rh, Re, Os, Pd, 이들의 산화물 및  $\text{SrRuO}_3$ , 그 밖의 도전성 산화물이나 이들의 적층 구조로 하여도 된다.
- <97> 다음에, 하부 전극층(24)의 전면, 예컨대 스퍼터법에 의해, 제1 강유전체막(25a)을 형성한다. 제1 강유전체막(25a)은  $\text{ABO}_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료, 예컨대 PZT를 재료로 하여, 막 두께 70 nm~250 nm 정도, 여기서는 120 nm 정도로 형성된다. 또한, 1단위의 페로브스카이트 구조에는 복수의 A원자가 존재하고 있지만, 이들은 각 단위에서 반드시 전부 동일하다고는 할 수 없으며, B원자의 경우도 마

참가지이다.

- <98> 제1 강유전체막(25a)의 재료로서는, PZT 대신에, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조[예컨대,  $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$ (R은 희토류 원소:  $0 < x < 1$ ),  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  및  $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$  중에서 선택된 1종]에서 선택된 1종을 이용하여도 된다. 이들 유전체 재료는 1단위로서 보면  $\text{ABO}_3$ 형 페로브스카이트 구조가 된다.
- <99> 또, 강유전체 재료 외에, 산화 Zr, Pb계 재료 등의 고유전체 재료를 퇴적하여도 된다.
- <100> 다음에, 제1 강유전체막(25a)의 전면에, 예컨대 스퍼터법에 의해, 아몰퍼스 상태의 제2 강유전체막(25b)을 형성한다. 제2 강유전체막(25b)은 A사이트 및 B사이트의 적어도 한쪽에 Ir 원소를 포함하는  $\text{ABO}_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료, 예컨대 PZT를 재료로 하여, 막 두께 1 nm~30 nm 정도, 여기서는 20 nm 정도로 형성된다. 또한, 1단위의 페로브스카이트 구조에는 복수의 A원자가 존재하고 있지만, 이들은 각 단위에서 반드시 전부 동일하다고는 할 수 없으며, B원자의 경우도 마찬가지이다.
- <101> 강유전체막(25b)의 막 두께는 지나치게 두꺼우면 커패시터 구조의 스위칭 전하량이 저하되기 쉬워지기 때문에, 30 nm 이하가 바람직하며, 여기서는 20 nm 정도로 한다. 또, Ir 원소의 함유량은 0.01%~3.00% 정도가 바람직하다. Ir 원소의 함유량이 많아지면, 그 후의 열처리에 의해, 제2 강유전체막(25b) 내의 결정립계에 축적되어 버려, 커패시터 구조의 누설 경로가 형성된다. 여기서는, 1% 정도의 Ir을 첨가하는 PZT 타겟을 이용하여, 제2 강유전체막(25b)을 형성하는 것이 바람직하다.
- <102> Ir을 첨가하는 제2 강유전체막(25b)의 재료로서는, PZT 대신에, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조[예컨대,  $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$ (R은 희토류 원소:  $0 < x < 1$ ),  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  및  $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$  중에서 선택된 1종]에서 선택된 1종을 이용하여도 된다. 이들 유전체 재료는 1단위로서 보면  $\text{ABO}_3$ 형 페로브스카이트 구조가 된다.
- <103> 다음에, 제2 강유전체막(25b)을 열처리한다. 여기서는 RTA(Rapid Thermal Annealing)법에 의해, 산화성 분위기, 여기서는 산소를 포함하는 분위기(불활성 가스와 산소의 혼합 분위기) 내에서 열처리를 행한다. 예컨대, 열처리 온도를  $550^\circ\text{C} \sim 800^\circ\text{C}$ , 여기서는 예컨대  $580^\circ\text{C}$ 로 하며, 유량 50 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서, 열처리 시간을 30초간~120초간, 여기서는 60초간으로 한다. 적절한 열처리 온도는 강유전체 재료의 종류에 따라 다르다. 예컨대, PZT나 미량 첨가하는 PZT의 열처리 온도는  $600^\circ\text{C}$  이하, BLT는  $700^\circ\text{C}$  이하, SBT는  $800^\circ\text{C}$  이하가 바람직하다.
- <104> 이 열처리에 의해, 제2 강유전체막(25b)이 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(25a) 내부의 결정립의 A사이트나 B사이트에 결합된다. 여기서, 제1 강유전체막(25a) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <105> 다음에, 예컨대 스퍼터법 또는 MOCVD법에 의해, 예컨대 막 두께가 10 nm~100 nm 정도, 여기서는 50 nm 정도의  $\text{IrO}_x$ 막( $0 < x < 2$ )(26a)과, 막 두께가 100 nm~300 nm 정도의  $\text{IrO}_y$ 막( $0 < y \leq 2$ )(26b)을 축차 퇴적하여, 상부 전극층(26)을 형성한다. 이때, 계속되는 여러 가지 공정에 의한 커패시터 구조의 열화를 억제하기 위해,  $\text{IrO}_y$ 막(26b)의 산소 조성비(Y)를,  $\text{IrO}_x$ 막(26a)의 산소 조성비(X)보다도 높게 한다.  $\text{IrO}_y$ 막(26b)을  $\text{IrO}_2$ 의 화학 양론 조성에 가까운 조성으로 형성함으로써, 수소에 대하여 촉매 작용이 생기는 일이 없어, 강유전체막이 수소 라디칼에 의해 환원되어 버리는 문제가 억제되며, 커패시터 구조의 수소 내성이 향상된다. 또한, 상부 전극층(26)의 재료로서, 이리듐 산화물 대신에, Ir이나, Ru, Rh, Re, Os, Pd, 이들의 산화물 및  $\text{SrRuO}_3$  등의 도전성 산화물이나 이들의 적층 구조로 하여도 된다.
- <106> 계속해서, 도 2a에 도시하는 바와 같이, 상부 전극(31)을 패턴 형성한다.
- <107> 상세하게는, 반도체 기판(10)을 배면 세정한 후, 상부 전극층(26)을 리소그래피 및 그에 이은 드라이 에칭에 의해 복수의 전극 형상으로 가공하여, 상부 전극(31)을 패턴 형성한다.
- <108> 계속해서, 도 2b에 도시하는 바와 같이, 강유전체막(25)을 가공한다.
- <109> 상세하게는, 강유전체막(25)을 상부 전극(31)에 정합시켜, 리소그래피 및 그에 이은 드라이 에칭에 의해 가공한

다. 이 강유전체막(25)의 패터닝 후에, 강유전체막(25)을 어닐링 처리하여 해당 강유전체막(25)의 기능 회복을 도모한다.

- <110> 계속해서, 도 2c에 도시하는 바와 같이, 강유전체막(25)으로의 수소·물의 침입을 방지하기 위한 보호막(27)을 형성한다.
- <111> 상세하게는, 강유전체막(25) 및 상부 전극(31)을 덮도록 하부 전극층(24) 상에, 알루미늄( $Al_2O_3$ )을 재료로 하여, 스퍼터법에 의해 막 두께 50 nm 정도로 퇴적하여, 보호막(27)을 형성한다. 그 후, 보호막(27)을 어닐링 처리한다.
- <112> 계속해서, 도 2d에 도시하는 바와 같이, 보호막(27)과 함께 하부 전극층(24)을 가공하여, 강유전체 커패시터 구조(30)를 완성한다.
- <113> 상세하게는, 보호막(27) 및 하부 전극층(24)을 가공된 강유전체막(25)에 정합시켜 하부 전극층(24)이 강유전체막(25)보다도 큰 사이즈로 남도록, 리소그래피 및 그에 이은 드라이 에칭에 의해 가공하여, 하부 전극(32)을 패터닝 형성한다. 이에 따라, 하부 전극(32) 상에 강유전체막(25), 상부 전극(31)이 순차 적층되어, 강유전체막(25)을 통해 하부 전극(32)과 상부 전극(31)이 용량 결합하는 강유전체 커패시터 구조(30)를 완성한다. 이때 동시에, 상부 전극(31)의 상면에서 상부 전극(31) 및 강유전체막(25)의 측면, 하부 전극층(24)의 상면에 걸쳐 덮도록 보호막(27)이 남는다. 그 후, 보호막(27)을 어닐링 처리한다.
- <114> 본 실시형태에 따른 강유전체 커패시터 구조(30)에서는, 강유전체막(25)은 그 내부에 이리듬을 함유하고 있으며, 상층 영역에서 하층 영역으로 향할수록 이리듬 농도가 낮아지는 이리듬 농도 분포를 갖고 있다.
- <115> 상세하게는, 도 6에 도시하는 바와 같이, 강유전체막(25)의 상층 영역, 즉 제2 강유전체막(25b)의 부분은 균일한 높은 이리듬 농도이며, 강유전체막(25)의 하층 영역, 즉 제1 강유전체막(25a)의 부분은 하방으로 향할수록 이리듬 농도가 낮아지는 이리듬 농도 분포가 형성되어 있다.
- <116> 계속해서, 도 3a에 도시하는 바와 같이, 보호막(28)을 형성한다.
- <117> 상세하게는, 강유전체 커패시터 구조(30)의 전면을 덮도록, 알루미늄( $Al_2O_3$ )을 재료로 하여, 스퍼터법에 의해 막 두께 20 nm~50 nm 정도로 퇴적하여, 보호막(28)을 형성한다. 그 후, 보호막(28)을 어닐링 처리한다.
- <118> 계속해서, 도 3b에 도시하는 바와 같이, 층간 절연막(33)을 성막한다.
- <119> 상세하게는, 강유전체 커패시터 구조(30)를 보호막(27, 28)을 통해 덮도록, 층간 절연막(33)을 형성한다. 여기서, 층간 절연막(33)으로서는, 예컨대 TEOS를 이용한 플라즈마 CVD법에 의해, 실리콘 산화막을 막 두께 1500 nm~2500 nm 정도로 퇴적한 후, CMP에 의해 예컨대 막 두께가 1000 nm 정도가 될 때까지 연마하여 형성한다. CMP 후에, 층간 절연막(33)의 탈수를 목적으로 하여, 예컨대  $N_2O$ 의 플라즈마 어닐링 처리를 시행한다.
- <120> 계속해서, 도 3c에 도시하는 바와 같이, 트랜지스터 구조(20)의 소스/드레인 영역(18)과 접속되는 플러그(36)를 형성한다.
- <121> 상세하게는, 우선, 소스/드레인 영역(18)을 에칭 스톱퍼로 하여, 해당 소스/드레인 영역(18)의 표면 일부가 노출될 때까지 층간 절연막(33), 보호막(28, 27), 층간 절연막(22b, 22a) 및 보호막(21)을 리소그래피 및 그에 이은 드라이 에칭에 의해 가공하며, 예컨대 직경 약 0.3  $\mu m$ 의 비아(via)홀(36a)을 형성한다.
- <122> 다음에, 비아홀(36a)의 벽면을 덮도록, 스퍼터법에 의해 예컨대 Ti막 및 TiN막을 막 두께 20 nm 정도 및 막 두께 50 nm 정도로 순차 퇴적하여, 기초막(글루막)(36b)을 형성한다. 그리고, CVD법에 의해 글루막(36b)을 통해 비아홀(36a)을 매립하도록 예컨대 W막을 형성한다. 그 후, CMP에 의해 층간 절연막(33)을 스톱퍼로 하여 W막 및 글루막(36b)을 연마하며, 비아홀(36a) 안을 글루막(36b)을 통해 W로 매립하는 플러그(36)를 형성한다. CMP 후에, 예컨대  $N_2O$ 의 플라즈마 어닐링 처리를 시행한다.
- <123> 계속해서, 도 4a에 도시하는 바와 같이, 하드 마스크(37) 및 레지스트 마스크(38)를 형성한 후, 강유전체 커패시터 구조(30)에의 비아홀(34a, 35a)을 형성한다.
- <124> 상세하게는, 우선, CVD법에 의해, 층간 절연막(33) 상에 실리콘 질화막을 막 두께 100 nm 정도로 퇴적하여, 하드 마스크(37)를 형성한다. 다음에, 하드 마스크(37) 상에 레지스트를 도포하며, 리소그래피에 의해 해당 레지스트를 가공하여, 개구(38a, 38b)를 갖는 레지스트 마스크(38)를 형성한다.

- <125> 다음에, 레지스트 마스크(38)를 이용하여 하드 마스크(37)를 드라이 에칭하여, 하드 마스크(37)의 개구(38a, 38b)에 정합하는 부위에 개구(37a, 37b)를 형성한다.
- <126> 그리고, 주로 하드 마스크(37)를 이용하여, 상부 전극(31) 및 하부 전극(32)을 각각 에칭 스톱퍼로 하여, 층간 절연막(33) 및 보호막(28, 27)을 드라이 에칭한다. 이 드라이 에칭에서는, 상부 전극(31)의 표면 일부가 노출될 때까지 층간 절연막(33) 및 보호막(28, 27)에 시행하는 가공과, 하부 전극(32)의 표면 일부가 노출될 때까지 층간 절연막(33) 및 보호막(28, 27)에 시행하는 가공이 동시에 실행되며, 각각의 부위에 예컨대 직경 약 0.5  $\mu\text{m}$ 의 비아홀(34a, 35a)이 동시 형성된다.
- <127> 계속해서, 도 4b에 도시하는 바와 같이, 레지스트 마스크(38) 및 하드 마스크(37)를 제거한다.
- <128> 상세하게는, 우선, 잔존한 레지스트 마스크(38)를 탄화 처리 등에 의해 제거한다. 그 후, 강유전체 커패시터 구조(30)의 형성 후의 여러 가지 공정에 의해 강유전체 커패시터 구조(30)가 받은 손상을 회복시키기 위한 어닐링 처리를 수행한다. 그리고, 전면 이방성 에칭, 소위 에치백에 의해, 하드 마스크(37)를 제거한다.
- <129> 계속해서, 도 4c에 도시하는 바와 같이, 강유전체 커패시터 구조(30)와 접속되는 플러그(34, 35)를 형성한다.
- <130> 상세하게는, 우선, 비아홀(34a, 35a)의 벽면을 덮도록 기초막(글루막)(34b, 35b)을 형성한 후, CVD법에 의해 글루막(34b, 35b)을 통해 비아홀(34a, 35a)을 매립하도록 W막을 형성한다. 그리고, 층간 절연막(33)을 스톱퍼로 하여 예컨대 W막 및 글루막(34b, 35b)을 CMP에 의해 연마하며, 비아홀(34a, 35a) 안을 글루막(34b, 35b)을 통해 W로 매립하는 플러그(34, 35)를 형성한다. CMP 후에, 예컨대  $\text{N}_2\text{O}$ 의 플라즈마 어닐링 처리를 시행한다.
- <131> 계속해서, 도 5a에 도시하는 바와 같이, 플러그(34, 35, 36)와 각각 접속되는 제1 배선(45)을 형성한다.
- <132> 상세하게는, 우선, 층간 절연막(33) 상의 전면에 스퍼터법 등에 의해 배리어 메탈막(42), 배선막(43) 및 배리어 메탈막(44)을 퇴적한다. 배리어 메탈막(42)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 배선막(43)으로서는, 예컨대 Al 합금막(여기서는 Al-Cu막)을 막 두께 350 nm 정도로 성막한다. 배리어 메탈막(44)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 여기서, 배선막(43)의 구조는 동일 룰의 FeRAM 이외의 로직부와 동일한 구조로 되어 있기 때문에, 배선의 가공이나 신뢰성상의 문제는 없다.
- <133> 다음에, 반사 방지막으로서 예컨대 SiON막 또는 반사 방지막(도시되지 않음)을 성막한 후, 리소그래피 및 그에 이은 드라이 에칭에 의해 반사 방지막, 배리어 메탈막(44), 배선막(43) 및 배리어 메탈막(42)을 배선 형상으로 가공하며, 플러그(34, 35, 36)와 각각 접속되는 각 제1 배선(45)을 패턴 형성한다. 또한, 배선막(43)으로서 Al 합금막을 형성하는 대신에, 소위 다마신법(damascene method) 등을 이용하여 Cu막(또는 Cu 합금막)을 형성하며, 제1 배선(45)으로서 Cu 배선을 형성하여도 된다.
- <134> 계속해서, 도 5b에 도시하는 바와 같이, 제1 배선(45)과 접속되는 제2 배선(54)을 형성한다.
- <135> 상세하게는, 우선, 제1 배선(45)을 덮도록 층간 절연막(46)을 형성한다. 층간 절연막(46)으로서는, 실리콘 산화막을 막 두께 700 nm 정도로 성막하며, 플라즈마 TEOS막을 형성하여 막 두께를 전체 1100 nm 정도로 한 후에, CMP에 의해 표면을 연마하여, 막 두께를 750 nm 정도로 형성한다.
- <136> 다음에, 제1 배선(45)과 접속되는 플러그(47)를 형성한다.
- <137> 우선, 제1 배선(45)의 표면 일부가 노출될 때까지, 층간 절연막(46)을 리소그래피 및 그에 이은 드라이 에칭에 의해 가공하여, 예컨대 직경 약 0.25  $\mu\text{m}$ 의 비아홀(47a)을 형성한다.
- <138> 다음에, 이 비아홀(47a)의 벽면을 덮도록 기초막(글루막)(48)을 형성한 후, CVD법에 의해 글루막(48)을 통해 비아홀(47a)을 매립하도록 W막을 형성한다. 그리고, 층간 절연막(46)을 스톱퍼로 하여 예컨대 W막 및 글루막(48)을 연마하여, 비아홀(47a) 안을 글루막(48)을 통해 W로 매립하는 플러그(47)를 형성한다.
- <139> 다음에, 플러그(47)와 각각 접속되는 제2 배선(54)을 형성한다.
- <140> 우선, 전면에 스퍼터법 등에 의해 배리어 메탈막(51), 배선막(52) 및 배리어 메탈막(53)을 퇴적한다. 배리어 메탈막(51)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 배선막(52)으로서는, 예컨대 Al 합금막(여기서는 Al-Cu막)을 막 두께 350 nm 정도로 성막한다. 배리어 메탈막(53)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 여기서, 배선막(52)의 구조는 동일 룰의 FeRAM 이외의 로직부와 동일한 구조로 되어 있기 때문

에, 배선의 가공이나 신뢰성상의 문제는 없다.

- <141> 다음에, 반사 방지막으로서 예컨대 SiON막 또는 반사 방지막(도시되지 않음)을 성막한 후, 리소그래피 및 그에 이은 드라이 에칭에 의해 반사 방지막, 배리어 메탈막(53), 배선막(52) 및 배리어 메탈막(51)을 배선 형상으로 가공하여, 제2 배선(54)을 패턴 형성한다. 또한, 배선막(52)으로서 Al 합금막을 형성하는 대신에, 소위 다마신 법 등을 이용하여 Cu막(또는 Cu 합금막)을 형성하며, 제2 배선(54)으로서 Cu 배선을 형성하여도 된다.
- <142> 그 후, 층간 절연막이나 또한 상층 배선의 형성 등의 여러 가지 공정을 통해, 본 실시형태에 따른 플래너형의 FeRAM을 완성한다.
- <143> 이상 설명한 바와 같이, 본 실시형태에 따르면, 강유전체 커패시터 구조(30)의 반전 전하량을 향상시키거나, 누설 전류를 공연히 증가시키는 일 없이, 높은 수율을 확보할 수 있으며, 신뢰성이 높은 플래너형의 FeRAM을 실현할 수 있다.
- <144> (제2 실시형태)
- <145> 본 실시형태에서는, 강유전체 커패시터 구조의 하부 전극의 도통을 강유전체 커패시터 구조의 하방에서, 상부 전극의 도통을 강유전체 커패시터 구조의 상방에서 각각 취하는, 소위 스택형의 FeRAM을 예시한다. 또한, 설명의 편의상, FeRAM의 구조를 그 제조 방법과 함께 설명한다.
- <146> 도 7a 내지 도 11b는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <147> 우선, 도 7a에 도시하는 바와 같이, 실리콘 반도체 기판(110) 상에 선택 트랜지스터로서 기능하는 MOS 트랜지스터(120)를 형성한다.
- <148> 상세하게는, 실리콘 반도체 기판(110)의 표층에 예컨대 STI(Shallow Trench Isolation)법에 의해 소자 분리 구조(111)를 형성하며, 소자 활성 영역을 확정한다.
- <149> 다음에, 소자 활성 영역에 불순물, 여기서는 B를 예컨대 도우즈량  $3.0 \times 10^{13} / \text{cm}^2$ , 가속 에너지 300 keV의 조건에서 이온 주입하여, 웰(112)을 형성한다.
- <150> 다음에, 소자 활성 영역에 열산화 등에 의해 막 두께 3.0 nm 정도의 얇은 게이트 절연막(113)을 형성하며, 게이트 절연막(113) 상에 CVD법에 의해 막 두께 180 nm 정도의 다결정 실리콘막 및 막 두께 29 nm 정도의 예컨대 실리콘 질화막을 퇴적하고, 실리콘 질화막, 다결정 실리콘막 및 게이트 절연막(113)을 리소그래피 및 그에 이은 드라이 에칭에 의해 전극 형상으로 가공함으로써, 게이트 절연막(113) 상에 게이트 전극(114)을 패턴 형성한다. 이때 동시에, 게이트 전극(114) 상에는 실리콘 질화막으로 이루어지는 캡막(115)이 패턴 형성된다.
- <151> 다음에, 캡막(115)을 마스크로 하여 소자 활성 영역에 불순물, 여기서는 As를 예컨대 도우즈량  $5.0 \times 10^{14} / \text{cm}^2$ , 가속 에너지 10 keV의 조건에서 이온 주입하여, 소위 LDD 영역(116)을 형성한다.
- <152> 다음에, 전면에 예컨대 실리콘 산화막을 CVD법에 의해 퇴적하며, 이 실리콘 산화막을 소위 에치백함으로써, 게이트 전극(114) 및 캡막(115)의 측면에만 실리콘 산화막을 남겨 측벽 절연막(117)을 형성한다.
- <153> 다음에, 캡막(115) 및 측벽 절연막(117)을 마스크로 하여 소자 활성 영역에 불순물, 여기서는 P를 LDD 영역(116)보다도 불순물 농도가 높아지는 조건에서 이온 주입하며, LDD 영역(116)과 중첩되는 소스/드레인 영역(118)을 형성하여, MOS 트랜지스터(120)를 완성한다.
- <154> 계속해서, 도 7b에 도시하는 바와 같이, MOS 트랜지스터(120)의 보호막(121), 층간 절연막(122) 및 상부 절연막(123)을 순차 형성한다.
- <155> 상세하게는, MOS 트랜지스터(120)를 덮도록, 보호막(121), 층간 절연막(122) 및 상부 절연막(123a)을 순차 형성한다. 여기서, 보호막(121)으로서는, 실리콘 산화막을 재료로 하여, CVD법에 의해 막 두께 20 nm 정도로 퇴적한다. 층간 절연막(122)으로서는, 예컨대 플라즈마 SiO막(막 두께 20 nm 정도), 플라즈마 SiN막(막 두께 80 nm 정도) 및 플라즈마 TEOS막(막 두께 1000 nm 정도)을 순차 성막한 적층구조를 형성하며, 적층 후, CMP에 의해 막 두께가 700 nm 정도가 될 때까지 연마한다. 상부 절연막(123a)으로서는, 실리콘 질화막을 재료로 하여, CVD법에 의해 막 두께 100 nm 정도로 퇴적한다.
- <156> 계속해서, 도 7c에 도시하는 바와 같이, 트랜지스터 구조(120)의 소스/드레인 영역(118)과 접속되는 플러그

(119)를 형성한다. 또한, 도 8c 이하의 각 도면에서는, 도시의 편의상, 층간 절연막(122)에서 상부의 구성만을 도시하며, 실리콘 반도체 기판(110)이나 MOS 트랜지스터(120) 등은 도시 생략한다.

- <157> 상세하게는, 우선, 소스/드레인 영역(118)을 에칭 스톱퍼로 하여, 해당 소스/드레인 영역(118)의 표면 일부가 노출될 때까지 상부 절연막(123a), 층간 절연막(122) 및 보호막(121)을 리소그래피 및 그에 이은 드라이 에칭에 의해 가공하여, 예컨대 직경 약 0.3  $\mu\text{m}$ 의 비아홀(119a)을 형성한다.
- <158> 다음에, 비아홀(119a)의 벽면을 덮도록, 스퍼터법에 의해 예컨대 Ti막 및 TiN막을 막 두께 20 nm 정도 및 막 두께 50 nm 정도로 순차 퇴적하여, 기초막(글루막)(119b)을 형성한다. 그리고, CVD법에 의해 글루막(119b)을 통해 비아홀(119a)을 매립하도록 예컨대 W막을 형성한다. 그 후, CMP에 의해 상부 절연막(123a)을 스톱퍼로 하여 W막 및 글루막(119b)을 연마하며, 비아홀(119a) 안을 글루막(119b)을 통해 W로 매립하는 플러그(119)를 형성한다. CMP 후에, 예컨대  $\text{N}_2\text{O}$ 의 플라즈마 어닐링 처리를 시행한다.
- <159> 계속해서, 도 7d에 도시하는 바와 같이, 배향성 향상막(123b), 산소 배리어막(123c), 하부 전극층(124), 강유전체막(125) 및 상부 전극층(126)을 순차 형성한다.
- <160> 상세하게는, 우선, 강유전체 커패시터 구조의 배향성을 향상시키기 위해, 예컨대 Ti를 막 두께 20 nm 정도로 퇴적한 후,  $\text{N}_2$  분위기에서 650°C의 급속 어닐링(RTA) 처리에 의해 Ti를 질화해서 TiN으로 하여, 도전성의 배향성 향상막(123b)을 형성한다.
- <161> 구체적으로는, 반도체 기판(110)과 타겟 사이의 거리를 60 mm로 설정한 스퍼터 장치 내에서, 0.15 Pa의 Ar 분위기 하, 20°C의 기판 온도에서 2.6 kW의 스퍼터 DC 전력을 7초간 공급함으로써, 강한 Ti(002) 배향의 Ti막을 얻을 수 있다. 그리고, 이 Ti막에 RTA법으로 질소 분위기 중, 650°C에서 60초간 열처리하여, (111) 배향의 TiN막을 얻을 수 있다.
- <162> 다음에, 예컨대 TiAlN을 막 두께 100 nm 정도로 퇴적하여, 도전성의 산소 배리어막(123c)을 형성한다.
- <163> 구체적으로는, Ti 및 Al의 합금화한 타겟을 이용한 반응성 스퍼터에 의해, 유량 40 sccm의 Ar과 유량 10 sccm의 질소의 혼합 분위기 중, 253.3 Pa의 압력 하, 400°C의 기판 온도, 1.0 kW의 스퍼터 전력에서 100 nm의 두께로 TiAlN이 형성된다.
- <164> 다음에, 스퍼터법에 의해 예컨대 막 두께 100 nm 정도로 Ir 막을 퇴적하여, 하부 전극층(124)을 형성한다.
- <165> 구체적으로는, Ar 분위기 중, 0.11 Pa의 압력 하, 500°C의 기판 온도, 0.5 kW의 스퍼터 전력에서 Ir막이 형성된다. 또한, 하부 전극층(124)으로서는, Ir막 대신에, Pt 등의 백금족의 금속, 혹은 PtO,  $\text{IrO}_x$ ,  $\text{SrRuO}_3$  등의 도전성 산화물을 이용하여도 된다. 또, 상기한 금속 혹은 금속 산화물의 적층막으로 하는 것도 가능하다.
- <166> 다음에, 하부 전극층(124)의 전면에, 예컨대 MOCVD법에 의해, 제1 강유전체막(25a)을 형성한다. 제1 강유전체막(25a)은  $\text{ABO}_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료, 예컨대 PZT를 재료로 하여, 막 두께 70 nm~250 nm 정도, 여기서는 120 nm 정도로 형성된다. 또한, 1단위의 페로브스카이트 구조에는 복수의 A원자가 존재하고 있지만, 이들은 각 단위에서 반드시 전부 동일하다고는 할 수 없으며, B원자의 경우도 마찬가지이다.
- <167> MOCVD법의 구체예로서는,  $\text{Pb}(\text{DPM})_2$ ,  $\text{Zr}(\text{dmhd})_4$  및  $\text{Ti}(\text{O}-i\text{Or})_2(\text{DPM})_2$ 를 THF 용매 내에, 모두 0.3 mol/l의 농도로 용해하여, Pb, Zr 및 Ti의 각 액체 원료를 형성한다. 또한 이들 액체 원료를 MOCVD 장치의 기화기에, 유량 0.474 ml/분의 THF 용매와 함께, 각각 0.326 ml/분, 0.200 ml/분 및 0.200 ml/분의 유량으로 공급하여, 기화시킴으로써, Pb, Zr 및 Ti의 원료 가스를 형성한다.
- <168> 또한, MOCVD 장치 내에, 665 Pa(5 Torr)의 압력 하, 620°C의 기판 온도로 유지하며, 이와 같이 하여 형성된 Pb, Zr 및 Ti의 원료 가스를, MOCVD 장치 내에 대하여 620초간 작용시킨다. 이에 따라, 하부 전극층(124) 상에는, 원하는 PZT막이 예컨대 100nm 정도의 막 두께로 형성된다.
- <169> 또한, MOCVD법 대신에, 예컨대 스퍼터법에 의해 제1 강유전체막(25a)을 형성하여도 된다.
- <170> 제1 강유전체막(25a)의 재료로서는, PZT 대신에, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조[예컨대,  $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$ (R은 희토류 원소:  $0 < x < 1$ ),  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  및  $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$

중에서 선택된 1종]에서 선택된 1종을 이용하여도 된다. 이들 유전체 재료(415)는 1단위로서 보면  $ABO_3$ 형 페로브스카이트 구조가 된다.

- <171> 또, 강유전체 재료 외에, 산화 Zr, Pb계 재료 등의 고유전체 재료를 퇴적하여도 된다.
- <172> 다음에, 제1 강유전체막(125a)의 전면에, 예컨대 MOCVD법에 의해, 아몰퍼스 상태의 제2 강유전체막(125b)을 형성한다. 제2 강유전체막(125b)은 A사이트 및 B사이트 중 적어도 한쪽에 Ir 원소를 포함하는  $ABO_3$ 형 페로브스카이트 구조(A=Bi, Pb, Ba, Sr, Ca, Na, K 및 희토류 원소에서 선택된 적어도 1종, B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr에서 선택된 적어도 1종)의 강유전체 재료, 예컨대 PZT를 재료로 하여, 막 두께 1 nm~30 nm 정도, 여기서는 20 nm 정도로 형성된다. 또한, 1단위의 페로브스카이트 구조에는 복수의 A원자가 존재하고 있지만, 이들은 각 단위에서 반드시 전부 동일하다고는 할 수 없으며, B원자의 경우도 마찬가지이다.
- <173> MOCVD법의 구체예로서는, 납(Pb) 공급용의 유기 소스로서,  $Pb(DPM)_2(Pb(C_{11}H_{19}O_2)_2)$ 를 THF(TetraHydroFuran:  $C_4H_8O$ )액에 녹인 재료가 이용된다. 또, 지르코늄(Zr) 공급용의 유기 소스로서,  $Zr(DMHD)_2(Zr((C_9H_{15}O)_2)_4)$ 를 THF액에 녹인 재료가 이용된다. 티탄(Ti) 공급용의 유기 소스로서,  $Ti(O-iPr)_2(DPM)_2(Ti(C_3H_7O)_2(C_{11}H_{19}O_2)_2)$ 를 THF액에 녹인 재료가 이용된다. 이리듐(Ir) 공급용의 유기 소스로서,  $Ir(DMP)_3(Ir(C_{11}H_{19}O_2)_3)$ 를 THF액에 녹인 재료가 이용된다.
- <174> 강유전체막(125b)의 막 두께는 지나치게 두꺼우면 커패시터 구조의 스위칭 전하량이 저하되기 쉬워지기 때문에, 30 nm 이하가 바람직하며, 여기서는 20 nm 정도로 한다. 또, Ir 원소의 함유량은 0.01%~3.00% 정도가 바람직하다. Ir 원소의 함유량이 많아지면, 그 후의 열처리에 의해, 제2 강유전체막(125b) 내의 결정립계에 축적되어 버려, 커패시터 구조의 누설 경로가 형성된다. 여기서는, 1% 정도의 Ir을 함유하는 원료를 이용하여, 제2 강유전체막(125b)을 형성하는 것이 바람직하다.
- <175> 또한, MOCVD법 대신에, 예컨대 스퍼터법에 의해 제2 강유전체막(125b)을 형성하여도 된다.
- <176> Ir을 첨가하는 제2 강유전체막(125b)의 재료로서는, PZT 대신에, La, Ca, Sr 및 Si에서 선택된 적어도 1종이 도핑된 PZT, PLZT, BLT, SBT 및 Bi 층형 구조[예컨대,  $(Bi_{1-x}R_x)Ti_3O_{12}$ (R은 희토류 원소:  $0 < x < 1$ ),  $SrBi_2Ta_2O_9$  및  $SrBi_4Ti_4O_{15}$  중에서 선택된 1종]에서 선택된 1종을 이용하여도 된다. 이들 유전체 재료는 1단위로서 보면  $ABO_3$ 형 페로브스카이트 구조가 된다.
- <177> 다음에, 제2 강유전체막(125b)을 열처리한다. 여기서는 RTA(Rapid Thermal Annealing)법에 의해, 산화성 분위기, 여기서는 산소를 포함하는 분위기(불활성 기스와 산소의 혼합 분위기) 내에서 열처리를 수행한다. 예컨대, 열처리 온도를  $550^\circ C \sim 800^\circ C$ , 여기서는 예컨대  $580^\circ C$ 로 하며, 유량 50 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서, 열처리 시간을 30초간~120초간, 여기서는 60초간으로 한다. 적절한 열처리 온도는 강유전체 재료의 종류에 따라 다르다. 예컨대, PZT나 미량 첨가하는 PZT의 열처리 온도는  $600^\circ C$  이하, BLT는  $700^\circ C$  이하, SBT는  $800^\circ C$  이하가 바람직하다.
- <178> 이 열처리에 의해, 제2 강유전체막(125b)이 결정화되며, 제2 강유전체막(125b) 내의 Ir이 제1 강유전체막(125a) 내부의 결정립의 A사이트나 B사이트에 결합한다. 여기서, 제1 강유전체막(125a) 및 제2 강유전체막(125b)에 의해, 커패시터막이 되는 강유전체막(125)이 형성된다.
- <179> 다음에, 예컨대 스퍼터법 또는 MOCVD법에 의해, 예컨대 막 두께가 10 nm~100 nm 정도, 여기서는 50 nm 정도의  $IrO_x$ 막( $0 < x < 2$ )(126a)을 형성한다. 또한,  $IrO_x$ 막 대신에 PT막을 형성하여도 된다.
- <180> 다음에,  $IrO_x$ 막(126a)이 형성된 상태에서, 제2 강유전체막(125b)을 열처리, 여기서는 RTA(Rapid Thermal Annealing)법에 의해, 불활성 기스와 산소의 혼합 분위기 내에서 열처리를 수행한다. 예컨대, 열처리 온도를  $725^\circ C$ 로 하며, 유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서, 열처리 시간을 60초간으로 한다.
- <181> 이 열처리에 의해, 제2 강유전체막(125b)이 완전히 결정화되며,  $IrO_x$ 막(126a)의 플라즈마 손상을 회복시킬 수 있고, 제2 강유전체막(125b) 내의 산소 결손이 보상된다.
- <182> 다음에,  $IrO_x$ 막(126a) 상에 막 두께가 100 nm~300 nm 정도의  $IrO_y$ 막( $0 < y \leq 2$ )(126b)을 퇴적한다(Ar 분위기 중,

0.8 Pa의 압력 하, 1.0 kW의 스퍼터 전력에서 79초간 퇴적하면 200 nm가 된다). 이때, 계속되는 여러 가지 공정에 의한 커패시터 구조의 열화를 억제하기 위해, IrO<sub>y</sub>막(126b)의 산소 조성비(Y)를, IrO<sub>x</sub>막(126a)의 산소 조성비(X)보다도 높게 한다. IrO<sub>y</sub>막(126b)을, IrO<sub>2</sub>의 화학 양론 조성에 가까운 조성으로 형성함으로써, 수소에 대하여 촉매 작용이 생기는 일 없이, 강유전체막이 수소 라디칼에 의해 환원되어 버리는 문제가 억제되며, 커패시터 구조의 수소 내성이 향상된다. 또한, IrO<sub>x</sub>막(126a) 및 IrO<sub>y</sub>막(126b) 대신에, Ir이나, Ru, Rh, Re, Os, Pd, 이들의 산화물 및 SrRuO<sub>3</sub> 등의 도전성 산화물이나 이들의 적층 구조로 하여 된다.

<183> 다음에, IrO<sub>y</sub>막(126b) 상에, 수소 배리어막으로서 기능하는 Ir막(126c)을 예컨대 스퍼터법에 의해, Ar 분위기 중, 1 Pa의 압력 하, 1.0 kW의 스퍼터 전력에서 100 nm의 두께로 퇴적한다. 이때, IrO<sub>x</sub>막(126a), IrO<sub>y</sub>막(126b) 및 Ir막(126c)이 적층되어 이루어지는 상부 전극층(126)이 형성된다. 또한, Ir막(126c) 대신에, 그 외에 PT막이나 SrRuO<sub>3</sub>막을 형성하여도 된다.

<184> 계속해서, 반도체 기판(110)을 배면 세정한 후, 도 8a에 도시하는 바와 같이, TiN막(128) 및 실리콘 산화막(129)을 형성한다.

<185> 상세하게는, TiN막(128)에 대해서는, 상부 전극층(126) 상에 스퍼터법 등에 의해 막 두께 200 nm 정도로 퇴적 형성한다. 실리콘 산화막(129)에 대해서는, TiN막(128) 상에, 예컨대 TEOS를 이용한 CVD법에 의해 막 두께 1000 nm 정도로 퇴적 형성한다. 여기서, TEOS막 대신에 HDP막을 형성하여도 된다. 또한, 실리콘 산화막(129) 상에 더 실리콘 질화막을 형성하여도 적합하다.

<186> 계속해서, 도 8b에 도시하는 바와 같이, 레지스트 마스크(101)를 형성한다.

<187> 상세하게는, 실리콘 산화막(129) 상에 레지스트를 도포하며, 이 레지스트를 리소그래피에 의해 전극 형상으로 가공하여, 레지스트 마스크(101)를 형성한다.

<188> 계속해서, 도 8c에 도시하는 바와 같이, 실리콘 산화막(129)을 가공한다.

<189> 상세하게는, 레지스트 마스크(101)를 마스크로 하여 실리콘 산화막(129)을 드라이 에칭한다. 이때, 레지스트 마스크(101)의 전극 형상을 따라 실리콘 산화막(129)이 패터닝되어, 하드 마스크(129a)가 형성된다. 또, 레지스트 마스크(101)가 에칭되어 두께가 감소한다.

<190> 계속해서, 도 8d에 도시하는 바와 같이, TiN막(128)을 가공한다.

<191> 상세하게는, 레지스트 마스크(101) 및 하드 마스크(129a)를 마스크로 하여, TiN막(128)을 드라이 에칭한다. 이때, 하드 마스크(129a)의 전극 형상을 따라 TiN막(128)이 패터닝되어, 하드 마스크(128a)가 형성된다. 또, 레지스트 마스크(101)는 상기 에칭 중에 자신이 에칭되어 얇아진다. 그 후, 탄화 처리 등에 의해 레지스트 마스크(101)를 제거한다.

<192> 계속해서, 도 9a에 도시하는 바와 같이, 상부 전극층(126), 커패시터막(125), 하부 전극층(124), 산소 배리어막(123c) 및 배향성 향상막(123b)을 가공한다.

<193> 상세하게는, 하드 마스크(128a, 129a)를 마스크로 하며, 상부 절연막(123)을 에칭 스톱퍼로 하여, 상부 전극층(126), 커패시터막(125), 하부 전극층(124), 산소 배리어막(123c) 및 배향성 향상막(123b)을 드라이 에칭한다. 이때, 하드 마스크(128a)의 전극 형상을 따라, 상부 전극층(126), 커패시터막(125), 하부 전극층(124), 산소 배리어막(123c) 및 배향성 향상막(123b)이 패터닝된다. 또, 하드 마스크(129a)는 상기 에칭 중에 자신이 에칭되어 얇아진다. 그 후, 하드 마스크(129a)를 전면 드라이 에칭(에치백)에 의해 에칭 제거한다.

<194> 계속해서, 도 9b에 도시하는 바와 같이, 강유전체 커패시터 구조(130)를 완성한다.

<195> 상세하게는, 마스크로서 이용된 하드 마스크(128a)를 웨트 에칭에 의해 제거한다. 이때, 하부 전극(131) 상에 커패시터막(125), 상부 전극(132)이 순차 적층되며, 커패시터막(125)을 통해 하부 전극(131)과 상부 전극(132)이 용량 결합하는 강유전체 커패시터 구조(130)를 완성한다. 이 강유전체 커패시터 구조(130)에서는, 하부 전극(131)이 도전성의 배향성 향상막(123b) 및 산소 배리어막(123c)을 통해 플러그(119)와 접속되며, 상기 플러그(119), 배향성 향상막(123b) 및 산소 배리어막(123c)을 통해 소스/드레인(118)과 하부 전극(131)이 전기적으로 접속된다.

<196> 본 실시형태에 따른 강유전체 커패시터 구조(130)에서는, 강유전체막(125)은 그 내부에 이리듐을 함유하고 있으

며, 상층 영역에서 하층 영역으로 향할수록 이리듐 농도가 낮아지는 이리듐 농도 분포를 갖고 있다.

- <197> 상세하게는, 도 12에 도시하는 바와 같이, 강유전체막(125)의 상층 영역, 즉 제2 강유전체막(125b)의 부분은 균일한 높은 이리듐 농도이며, 강유전체막(125)의 하층 영역, 즉 제1 강유전체막(125a)의 부분은 하층으로 향할수록 이리듐 농도가 낮아지는 이리듐 농도 분포가 형성되어 있다.
- <198> 계속해서, 도 9c에 도시하는 바와 같이, 보호막(133) 및 층간 절연막(134)을 형성한다.
- <199> 상세하게는, 우선, 강유전체 커패시터 구조(130)의 전면을 덮도록, 알루미늄( $Al_2O_3$ )을 재료로 하여, 스퍼터법에 의해 막 두께 20 nm~50 nm 정도로 퇴적하여, 보호막(133)을 형성한다. 그 후, 보호막(133)을 어닐링 처리한다.
- <200> 다음에, 강유전체 커패시터 구조(130)를 보호막(133)을 통해 덮도록, 층간 절연막(234)을 형성한다. 여기서, 층간 절연막(134)으로서는, 예컨대 TEOS를 이용한 플라즈마 CVD법에 의해, 실리콘 산화막을 막 두께 1500 nm~2500 nm 정도로 퇴적한 후, CMP에 의해 예컨대 막 두께가 1000 nm 정도가 될 때까지 연마하여 형성한다. CMP 후에, 층간 절연막(134)의 탈수를 목적으로 하여, 예컨대  $N_2O$ 의 플라즈마 어닐링 처리를 시행한다.
- <201> 계속해서, 도 10a에 도시하는 바와 같이, 강유전체 커패시터 구조(130)의 상부 전극(132)에의 비아홀(135a)을 형성한다.
- <202> 상세하게는, 리소그래피 및 그에 이은 드라이 에칭에 의해 층간 절연막(134) 및 보호막(133)을 패터닝하여, 상부 전극(132)의 표면 일부를 노출시키는 비아홀(135a)을 형성한다.
- <203> 계속해서, 도 10b에 도시하는 바와 같이, 강유전체 커패시터 구조(130)의 상부 전극(132)과 접속되는 플러그(135)를 형성한다.
- <204> 상세하게는, 우선, 비아홀(135a)의 벽면을 덮도록 기초막(글루막)(135b)을 형성한 후, CVD법에 의해 글루막(135b)을 통해 비아홀(135a)을 매립하도록 W막을 형성한다. 그리고, 층간 절연막(134)을 스토퍼로 하여 예컨대 W막 및 글루막(135b)을 CMP에 의해 연마하여, 비아홀(135a) 안을 글루막(135b)을 통해 W로 매립하는 플러그(135)를 형성한다. CMP 후에, 예컨대  $N_2O$ 의 플라즈마 어닐링 처리를 시행한다.
- <205> 계속해서, 도 11a에 도시하는 바와 같이, 플러그(135)와 각각 접속되는 제1 배선(145)을 형성한다.
- <206> 상세하게는, 우선, 층간 절연막(134) 상의 전면에 스퍼터법 등에 의해 배리어 메탈막(142), 배선막(143) 및 배리어 메탈막(144)을 퇴적한다. 배리어 메탈막(142)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 배선막(143)으로서는, 예컨대 Al 합금막(여기서는 Al-Cu막)을 막 두께 350 nm 정도로 성막한다. 배리어 메탈막(144)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN 막을 막 두께 150 nm 정도로 적층 성막한다. 여기서, 배선막(143)의 구조는 동일 룰의 FeRAM 이외의 로직부와 동일한 구조로 되어 있기 때문에, 배선의 가공이나 신뢰성상의 문제는 없다.
- <207> 다음에, 반사 방지막으로서 예컨대 SiON막 또는 반사 방지막(도시되지 않음)을 성막한 후, 리소그래피 및 그에 이은 드라이 에칭에 의해 반사 방지막, 배리어 메탈막(144), 배선막(143) 및 배리어 메탈막(142)을 배선 형상으로 가공하여, 플러그(135)와 접속되는 제1 배선(145)을 패터닝 형성한다. 또한, 배선막(143)으로서 Al 합금막을 형성하는 대신에, 소위 다마신법 등을 이용하여 Cu막(또는 Cu 합금막)을 형성하여, 제1 배선(145)으로서 Cu 배선을 형성하여도 된다.
- <208> 계속해서, 도 11b에 도시하는 바와 같이, 제1 배선(145)과 접속되는 제2 배선(154)을 형성한다.
- <209> 상세하게는, 우선, 제1 배선(145)을 덮도록 층간 절연막(146)을 형성한다. 층간 절연막(146)으로서는, 실리콘 산화막을 막 두께 700 nm 정도로 성막하며, 플라즈마 TEOS막을 형성하여 막 두께를 전체 1100 nm 정도로 한 후에, CMP에 의해 표면을 연마하여, 막 두께를 750 nm 정도로 형성한다.
- <210> 다음에, 제1 배선(145)과 접속되는 플러그(147)를 형성한다.
- <211> 제1 배선(145)의 표면 일부가 노출될 때까지, 층간 절연막(146)을 리소그래피 및 그에 이은 드라이 에칭에 의해 가공하여, 예컨대 직경 약 0.25  $\mu m$ 의 비아홀(147a)을 형성한다. 다음에, 이 비아홀(147a)의 벽면을 덮도록 기초막(글루막)(148)을 형성한 후, CVD법에 의해 글루막(148)을 통해 비아홀(147a)을 매립하도록 W막을 형성한다. 그리고, 층간 절연막(146)을 스토퍼로 하여 예컨대 W막 및 글루막(148)을 연마하여, 비아홀(147a) 안을 글루막(148)을 통해 W로 매립하는 플러그(147)를 형성한다.

- <212> 다음에, 플러그(147)와 각각 접속되는 제2 배선(154)을 형성한다.
- <213> 우선, 전면에 스퍼터법 등에 의해 배리어 메탈막(151), 배선막(152) 및 배리어 메탈막(153)을 퇴적한다. 배리어 메탈막(151)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 배선막(152)으로서는, 예컨대 Al 합금막(여기서는 Al-Cu막)을 막 두께 350 nm 정도로 성막한다. 배리어 메탈막(153)으로서는, 스퍼터법에 의해 예컨대 Ti막을 막 두께 5 nm 정도 및 TiN막을 막 두께 150 nm 정도로 적층 성막한다. 여기서, 배선막(152)의 구조는 동일 룰의 FeRAM 이외의 로직부와 동일한 구조로 되어 있기 때문에, 배선의 가공이나 신뢰성상의 문제는 없다.
- <214> 다음에, 반사 방지막으로서 예컨대 SiON막 또는 반사 방지막(도시되지 않음)을 성막한 후, 리소그래피 및 그에 이은 드라이 에칭에 의해 반사 방지막, 배리어 메탈막(153), 배선막(152) 및 배리어 메탈막(151)을 배선 형상으로 가공하여, 제2 배선(154)을 패턴 형성한다. 또한, 배선막(152)으로서 Al 합금막을 형성하는 대신에, 소위 다마신법 등을 이용해서 Cu막(또는 Cu 합금막)을 형성하여, 제2 배선(154)으로서 Cu 배선을 형성하여도 된다.
- <215> 그 후, 층간 절연막이나 또한 상층 배선의 형성 등의 여러 가지 공정을 통해, 본 실시형태에 따른 스택형의 FeRAM을 완성한다.
- <216> 이상 설명한 바와 같이, 본 실시형태에 따르면, 강유전체 커패시터 구조(130)의 반전 전하량을 향상시키거나, 누설 전류를 공연히 증가시키는 일 없이, 높은 수율을 확보할 수 있는, 신뢰성이 높은 스택형의 FeRAM을 실현할 수 있다.
- <217> (제3 실시형태)
- <218> 본 실시형태에서는, 제1 실시형태에 적용할 수 있는 다른 여러 가지 실시예에 대해서 설명한다. 또한, 여기서는 제1 실시형태를 베이스로 하여 설명하지만, 제2 실시형태에도 마찬가지로 적용할 수 있다. 또한, 도 13a 내지 도 13c, 도 14a 내지 도 14c의 각 도면에서는, 도 1d에 상당하는 구성물만을 도시한다.
- <219> [실시예 1]
- <220> 도 13a는 실시예 1의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <221> 본 예에서는, 우선, 제1 실시형태에서, 하부 전극층(24) 상에, 제1 강유전체막으로서, 저온, 예컨대 10℃~100℃, 여기서는 50℃에서 스퍼터법에 의해 형성하여, 아몰퍼스 상태의 제1 강유전체막(61)을 형성한다. 막 두께 등은 제1 강유전체막(25a)과 마찬가지로 한다.
- <222> 계속해서, 제1 실시형태와 마찬가지로, Ir을 첨가한 타겟을 이용하여, 제2 강유전체막(25b)을 스퍼터법으로 형성한다.
- <223> 그 후, RTA법으로 제1 강유전체막(61) 및 제2 강유전체막(25b)을 결정화시킨다. 제1 강유전체막(61) 및 제2 강유전체막(25b)이 PZT막인 경우에는, 요컨대 PZT막의 두께가 150 nm 정도인 경우, 560℃~580℃에서 유량이 2 slm인 Ar 및 유량이 25 sccm인 O<sub>2</sub>의 혼합 분위기 내에서, 90초간 열처리를 수행한다. 또한 이 열처리에 더하여, 700℃~750℃ 산소 분위기 내에서, 60초간 열처리를 수행하는 것이 바람직하다.
- <224> 이 열처리에 의해, 제1 강유전체막(61) 및 제2 강유전체막(25b)이 완전히 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(61) 내부의 결정립의 A사이트나 B사이트에 결합한다. 여기서, 제1 강유전체막(61) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <225> 그 후, 제1 실시형태와 마찬가지로 상부 전극층(26)을 형성하여 패터닝함으로써, 강유전체 커패시터 구조(30)를 형성한다.
- <226> [실시예 2]
- <227> 도 13b는 실시예 2의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <228> 본 예에서는, 우선, 실시예 1과 마찬가지로, 하부 전극층(24) 상에, 제1 강유전체막으로서, 아몰퍼스 상태의 제1 강유전체막(61)을 형성한다. 막 두께 등은 제1 강유전체막(25a)과 마찬가지로 한다. 그 후, RTA법으로 제1 강유전체막(61)을 결정화시킨다. 제1 강유전체막(61)이 PZT막인 경우에는, 560℃~580℃에서 유량이 2 slm인 Ar 및 유량이 25 sccm인 O<sub>2</sub>의 혼합 분위기 내에서, 90초간 열처리를 수행한다.
- <229> 계속해서, 제1 실시형태와 마찬가지로, Ir을 첨가한 타겟을 이용하여, 제2 강유전체막(25b)을 스퍼터법으로 형

성한다.

- <230> 그 후, RTA법으로 제1 강유전체막(61) 및 제2 강유전체막(25b)을 결정화시킨다. 제1 강유전체막(61) 및 제2 강유전체막(25b)이 PZT막인 경우에는, 요컨대 PZT막의 두께가 150 nm 정도인 경우, 560°C~580°C에서 유량이 2 slm인 Ar 및 유량이 25 sccm인 O<sub>2</sub>의 혼합 분위기 내에서, 90초간 열처리를 수행한다. 또한 이 열처리에 더하여, 700°C~750°C 산소 분위기 내에서, 60초간 열처리를 수행하는 것이 바람직하다.
- <231> 이 열처리에 의해, 제2 강유전체막(25b)이 완전히 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(61) 내부의 결정립의 A사이트나 B사이트에 결합한다. 여기서, 제1 강유전체막(61) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <232> 그 후, 제1 실시형태와 마찬가지로 상부 전극층(26)을 형성하여 패터닝함으로써, 강유전체 커패시터 구조(30)를 형성한다.
- <233> 여기서, 이상(異常) 분산법을 이용하여, Ir이 PZT의 결정 격자 내에 도핑되어 있는 것을 확인하였다. 이상 분산은 X선의 진동수가 원자 흡수단의 진동수에 가까운 상태에서 공명 효과에 의해 굴절률이나 산란 능력이 크게 변화하는 현상이다. 즉, 어떤 물질의 X선 회절 강도를 측정할 때에, 그 물질의 구성 원소의 흡수단에 가까운 에너지를 물질에 조사하면, X선 회절 강도가 크게 변화하게 된다. 이 현상을 이용하여, 특정 피크의 회절 강도의 에너지 의존성을 조사하면, 그 피크의 구성 원소를 분명하게 하는 것이 가능하다.
- <234> Ir의 PZT막 내의 도핑을 조사하기 위해, Ir의 LIII 흡수단 근방의 에너지를 이용하였다. 또한, LIII는 Ir 원자의 전자 궤도이다.
- <235> 도 15에 Pt로 이루어지는 하부 전극층 상에 적층 성막한 PZT를 어닐링 처리한 후, PZT(111) 배향 강도의 피크의 X선 입사 에너지 의존성을 조사한 결과를 나타낸다.
- <236> X선으로서, Ir의 LIII 흡수단 근방의 파장을 이용하였다. Ir의 LIII 흡수단 에너지가 11.21 eV로 강도의 저하가 커지고 있다. 이것은, Ir이 도핑된 PZT의 결정 격자 내에 Ir이 포함되어 있는 것을 명확히 나타내고 있으며, Ir이 도핑된 PZT는 Ir이 PZT막 내에 단순히 확산되어 있는 것이 아니고, Ir을 PZT의 결정 구성 원소로서 포함하고 있는 것을 알 수 있다. 즉, 상기 PZT가 그 AB<sub>2</sub>O<sub>3</sub>형 페로브스카이트 구조의 A사이트 및 B사이트 중 적어도 한쪽에 Ir 원소를 포함하는 결정 구성으로 되어 있다.
- <237> [실시예 3]
- <238> 도 13c는 실시예 3의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <239> 본 예에서는, 우선, 실시예 1과 마찬가지로, 하부 전극층(24) 상에, 제1 강유전체막으로서, 아몰퍼스 상태의 제1 강유전체막(61)을 형성한다. 막 두께 등은 제1 강유전체막(25a)과 마찬가지로 한다. 그 후, RTA법으로 제1 강유전체막(61)을 결정화시킨다. 제1 강유전체막(61)이 PZT막인 경우에는, 560°C~580°C에서 유량이 2 slm인 Ar 및 유량이 25 sccm인 O<sub>2</sub>의 혼합 분위기 내에서, 90초간 열처리를 수행한다.
- <240> 계속해서, 제1 실시형태와 마찬가지로, Ir을 첨가한 타겟을 이용하여, 제2 강유전체막(25b)을 스퍼터법으로 형성한다.
- <241> 계속해서, 제1 실시형태와 마찬가지로, 막 두께 50 nm 정도의 IrO<sub>x</sub>막(0<x<2)(26a)을 형성한다. 또, IrO<sub>x</sub>막 대신에 PT막을 형성하여도 된다.
- <242> 그 후, RTA법으로 제2 강유전체막(25b)을 결정화시킨다. 제2 강유전체막(25b)이 PZT막인 경우에는, 열처리 온도를 725°C로 하고, 유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 혼합 분위기 내에서, 열처리 시간을 60 초간으로 한다.
- <243> 이 열처리에 의해, 제2 강유전체막(25b)이 완전히 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(61) 내부의 결정립의 A사이트나 B사이트에 결합한다. 더욱, IrO<sub>x</sub>막(26a)의 플라즈마 손상을 회복시킬 수 있으며, 제2 강유전체막(25b) 내의 산소 결손이 보상된다. 여기서, 제1 강유전체막(61) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <244> 그 후, 제1 실시형태와 마찬가지로 IrO<sub>y</sub>막(26b)을 형성하여, 패터닝함으로써, 강유전체 커패시터 구조(30)를 형성한다.

- <245> [실시예 4]
- <246> 도 14a는 실시예 4의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <247> 본 예에서는, 우선, 제1 실시형태와 마찬가지로, 하부 전극층(24) 상에, 제1 강유전체막으로서, 제1 강유전체막(25a)을 형성한다.
- <248> 계속해서, 제1 실시형태와 마찬가지로, Ir을 첨가한 타겟을 이용하여, 제2 강유전체막(25b)을 스퍼터법으로 형성한다.
- <249> 계속해서, 제1 실시형태와 마찬가지로, 막 두께 50 nm 정도의  $\text{IrO}_x$ 막( $0 < x < 2$ )(26a)을 형성한다. 또한,  $\text{IrO}_y$ 막 대신에 PT막을 형성하여도 된다.
- <250> 그 후, RTA법으로 제2 강유전체막(25b)을 결정화시킨다. 제2 강유전체막(25b)이 PZT막인 경우에는, 열처리 온도를  $725^\circ\text{C}$ 로 하여, 유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서, 열처리 시간을 60초간으로 한다.
- <251> 이 열처리에 의해, 제2 강유전체막(25b)이 완전히 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(25a) 내부의 결정립의 A사이트나 B사이트에 결합한다. 또한,  $\text{IrO}_x$ 막(26a)의 플라즈마 손상을 회복시킬 수 있으며, 제2 강유전체막(25b) 내의 산소 결손이 보상된다. 여기서, 제1 강유전체막(25a) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <252> 그 후, 제1 실시형태와 마찬가지로  $\text{IrO}_y$ 막(26b)을 형성하여 패터닝함으로써, 강유전체 커패시터 구조(30)를 형성한다.
- <253> [실시예 5]
- <254> 도 14b는 실시예 5의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <255> 본 예에서는, 우선, 실시예 1과 마찬가지로, 하부 전극층(24) 상에, 아몰퍼스 상태의 제1 강유전체막(61)을 형성한다. 막 두께 등은 제1 강유전체막(25a)과 마찬가지로 한다. 또한, 제1 실시형태와 마찬가지로, 제1 강유전체막(25a)을 형성하여도 된다.
- <256> 계속해서, 제1 실시형태와 마찬가지로, Ir을 첨가한 타겟을 이용하여, 제2 강유전체막(25b)을 스퍼터법으로 형성한다.
- <257> 그 후, RTA법으로 제1 강유전체막(61) 및 제2 강유전체막(25b)을 결정화시킨다. 제1 강유전체막(61) 및 제2 강유전체막(25b)이 PZT막인 경우에는, 요컨대 PZT막의 두께가 150 nm 정도인 경우,  $560^\circ\text{C} \sim 580^\circ\text{C}$ 에서 유량이 2 slm인 Ar 및 유량이 25 sccm인  $\text{O}_2$ 의 혼합 분위기 내에서, 90초간 열처리를 수행한다.
- <258> 이 열처리에 의해, 제1 강유전체막(61) 및 제2 강유전체막(25b)이 완전히 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(61) 내부의 결정립의 A사이트나 B사이트에 결합한다. 여기서, 제1 강유전체막(61) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <259> 계속해서, 제1 실시형태와 마찬가지로, 막 두께 50 nm 정도의  $\text{IrO}_x$ 막( $0 < x < 2$ )(26a)을 형성한다. 또한,  $\text{IrO}_x$ 막 대신에 PT막을 형성하여도 된다.
- <260> 그 후, RTA법을 행한다. 제2 강유전체막(25b)이 PZT막인 경우에는, 열처리 온도를  $725^\circ\text{C}$ 로 하여, 유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서, 열처리 시간을 120초간으로 한다.
- <261> 이 열처리에 의해, 제2 강유전체막(25b)이 완전히 결정화되며, 제2 강유전체막(25b) 내의 Ir이 제1 강유전체막(61) 내부의 결정립의 A사이트나 B사이트에 결합한다. 더욱,  $\text{IrO}_x$ 막(26a)의 플라즈마 손상을 회복시킬 수 있으며, 제2 강유전체막(25b) 내의 산소 결손이 보상된다. 여기서, 제1 강유전체막(61) 및 제2 강유전체막(25b)에 의해, 커패시터막이 되는 강유전체막(25)이 형성된다.
- <262> 그 후, 제1 실시형태와 마찬가지로  $\text{IrO}_y$ 막(26b)을 형성하여 패터닝함으로써, 강유전체 커패시터 구조(30)를 형성한다.
- <263> [실시예 6]

- <264> 도 14c는 실시예 6의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <265> 본 예에서는 우선, 하부 전극층(24) 상에, 커패시터막이 되는 강유전체막으로서, 저온, 예컨대 20℃~100℃, 여기서 50℃에서 스퍼터법에 의해 형성하며, 아몰퍼스 상태의 강유전체막(62)을 막 두께 140 nm 정도로 형성한다.
- <266> 계속해서, RTA법으로 열처리를 수행한다. 이 열처리의 온도를 제어하며, 강유전체막(62)을 하부 전극층(24) 상의 부분[강유전체막(62)의 하층 부분]에서는 완전히 결정화하고, 표층이 아몰퍼스형이 되도록 한다. 이때, 강유전체막(62)의 막 두께는 결정 상황에 영향을 끼친다.
- <267> 일반적으로, 강유전체막의 결정 과정은 하부 전극 상의 부분으로부터 결정화가 진행된다. 열처리 온도가 높은 경우에는 결정화 속도가 빨라진다. 도 17a, 도 17b는 Pt로 이루어지는 하부 전극층 상에 형성한 막 두께 140 nm의 PZT막에, RTA법으로 553℃ 및 573℃에서 90초간 열처리를 시행한 후의 양태를 나타내는 단면의 사진이다. 어닐링 온도가 낮으면 표면 부근에서 기둥 형상 결정의 입계가 안 보여 결정이 이루어지지 않는 것으로 생각된다. 한편, 어닐링 온도가 높으면 기둥 형상 결정의 입계가 명확히 이루어진 것 같이 보인다(막 두께 120 nm의 PZT막의 경우, 568℃에서 90초간 열처리를 수행하면, 표면 부근에서 기둥 형상 결정의 입계가 보인다.).
- <268> 계속해서, 강유전체막(62) 상에, 예컨대 스퍼터법 또는 MOCVD법에 의해, 막 두께 20 nm~80 nm 정도, 여기서는 50 nm 정도의  $IrO_x$ 막( $0 < x < 2$ )(26c)을 형성한다. 여기서,  $IrO_x$ 막(26c)의 x 값을 제어하기 위해, 유량 50~58 sccm의 산소 및 유량 100 sccm의 Ar에 의한 분위기 내에서, 반도체 기판(10)에 인가하는 전력을 2.0 kW로 한다. 성막된  $IrO_x$ 막(26c)의 x 값은 예컨대 1.4 정도가 된다.
- <269> 계속해서, RTA법으로 열처리를 수행한다. 구체적으로는, 725℃의 처리 온도, 산화성 분위기, 여기서는 산소를 포함하는 분위기(유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 혼합 분위기) 내에서, 열처리 시간을 120 초간으로 한다.
- <270> 이 열처리에 의해, 강유전체막(62)이 완전히 결정화되며,  $IrO_x$ 막(26c) 내의 Ir이 강유전체막(62)의 내부에 확산된다. 또한,  $IrO_x$ 막(26c)의 플라즈마 손상이 회복되며, 강유전체막(62) 내의 산소 결손이 보상된다. 더구나, 강유전체막(62)과  $IrO_x$ 막(26c)의 계면은 평탄해진다(저전압 동작에 매우 유리하다.).
- <271> 그 후, 제1 실시형태와 마찬가지로  $IrO_y$ 막(26b)을 형성하여 패터닝함으로써, 강유전체 커패시터 구조(30)를 형성한다.
- <272> 본 예에 따른 강유전체 커패시터 구조(30)에서는, 도 16에 도시하는 바와 같이, 강유전체막(62)은 그 내부에 이리듐을 함유하고 있으며, 상면에서 하면으로 향할수록 이리듐 농도가 낮아지는 이리듐 농도 분포를 갖고 있다.
- <273> 이하, 하부 전극이 되는 Pt층, 커패시터막이 되는 아몰퍼스 PZT막 및 상부 전극의 일부가 되는  $IrO_x$ 막( $x=1.4$ :이하,  $IrO_{1.4}$ 막으로 한다)으로 이루어지는 구조체를 이용하여, 본 발명의 메카니즘을 설명한다.
- <274> Pt 하부 전극층은 (111)면에 배향하고 있다. 그 위에, 아몰퍼스 PZT막을 150 nm로 성막한다. 그 후, RTA법으로 유량 25 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서 90초간 열처리를 수행한다.
- <275> 각 열처리의 온도에 기인하는 커패시터의 단면도에의 영향을 도 18a, 도 18b, 도 18c에 도시한다.
- <276> PZT막의 결정 성장은 Pt 하부 전극층의 (111)결정립 사이에서 성장한다. 열처리 온도가 낮은 경우, PZT막의 결정 성장은 변동이 크며, 기둥 형상의 PZT 결정 입자의 크기에도 매우 큰 변동이 보인다. PZT막의 표면은 아몰퍼스형이다.
- <277> 그 후,  $IrO_{1.4}$ 막을 형성하며, 또한, RTA법으로 725℃, 유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 분위기 내에서 20초간 열처리를 수행한다. 이때,  $IrO_{1.4}$ 막은 불포화 막이기 때문에,  $IrO_{1.4}$ 막 내의 Ir이 PZT막 내에 확산되며, PZT막 내의 Pb가  $IrO_{1.4}$ 막 내에 확산된다. 이때, PZT막 내의 결정 입자는 변동이 크기 때문에, Ir이 PZT막의 결정립 내(A사이트나 B사이트)에 도핑되며, Ir이 PZT막의 결정 입자 사이의 간극에도 많이 잔존하게 된다. 이들 Ir은 커패시터의 누설 경로를 형성한다고 판단할 수 있다. 그러나, PZT막 내과  $IrO_{1.4}$ 막의 계면층[상유전체층(常誘電體層)]은, Pb와 Ir의 사이에서의 상호 확산의 영향에 의해 얇아진다. 즉, 커패시터 구조의 저전압 동작에 유리하다.

- <278> 한편, 상기 PZT막의 성막 후의 열처리 온도가 적당하면, PZT막의 결정 입자는 거의 균일해지며, PZT막의 표층은 아몰퍼스 상태가 된다. 그 후, IrO<sub>1.4</sub>막을 형성하고 열처리를 수행하면, Pb 및 Ir의 확산을 제어할 수 있으며, PZT막과 IrO<sub>1.4</sub>막 사이의 계면층도 얇게 할 수 있다. 그와 동시에, PZT막의 결정 입자는 거의 균일해지기 때문에, Ir이 PZT막의 결정립계에 거의 그대로 남아 있는 일이 없으며, 커패시터 구조의 누설 전류도 적어진다.
- <279> 또한, 상기 PZT 성막 후의 열처리가 높아지면, PZT의 결정 성장은 빨라지며, 결정 성장에 어느 정도의 변동이 생긴다. 이때, PZT막의 표층은 아몰퍼스 상태가 아니며, PZT막은 완전히 결정화된다. 그 후, IrO<sub>1.4</sub>막을 형성하고 열처리를 수행하면, Pb 및 Ir의 상호 확산이 발생한다. 단, PZT막은 결정화되어 있기 때문에, Ir은 거의 PZT막의 결정 입자 내에 확산할 수 없으며, Ir은 결정 입자 사이 및 PZT막과 IrO<sub>1.4</sub>막 사이에 남게 된다. PZT막과 IrO<sub>1.4</sub>막 사이의 계면층도 두꺼워진다.
- <280> 상기 각 실시형태에서는, 이상의 기본 발상을 기초로 제안되었다. 즉, 강유전체막 내에 미량의 Ir을 도핑함으로써, 강유전체막 내의 결함을 보상하는 데다가, 강유전체막의 결정성이 균일하게 되며, 더구나 강유전체막의 결정립 사이에 Ir이 남아 있는 일 없이, 강유전체막과 상부 전극의 계면층을 얇게 할 수 있는 방법이다.
- <281> 여기서, 실시예 6의 방법으로 이하를 실험한다.
- <282> 커패시터 구조의 하부 전극으로서는, Pt(막 두께 150 nm, 350℃, 0.3 kW 성막 전력에서 성막)로 한다. 강유전체막으로서는, Ca, Sr, La를 미량 첨가한 PZT의 타겟을 이용하여, RF 스퍼터법으로 150 nm를 상기 하부 전극 상에 아몰퍼스형의 CSPLZT막을 성막한다. 이 아몰퍼스형의 CSPLZT막을 RTA법으로 열처리한다. 유량 25 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 혼합 분위기 내에서, 열처리 시간을 90초간으로 한다. 열처리 온도로서, 533℃에서 588℃까지 조사하였다. IrO<sub>1.4</sub>막으로서는, 유량 50 sccm~58 sccm의 산소 및 유량 100 sccm의 Ar에 의한 혼합 분위기 내에서, 반도체 기판에 인가하는 전력을 2.0 kW, 기판 온도를 20℃로 하여, 8초간 성막한다. 이에 따라, 막 두께 47 nm 정도의 IrO<sub>1.4</sub>막이 형성된다. 그 후, RTA법으로 725℃, 유량 20 sccm의 산소 및 유량 2000 sccm의 Ar에 의한 혼합 분위기 내에서 20초간 열처리를 수행한다.
- <283> 상기한 바와 같이 열처리한 CSPLZT막의 결정성을 측정된 결과를 도 19a, 도 19b, 도 20a, 도 20b에 나타낸다.
- <284> 나타낸 바와 같이, 각 조건의 CSPLZT막의 (101)면은 거의 배향되지 않는다(백그라운드 레벨의 영향). 열처리 온도가 낮은 경우에는, (100)면의 배향은 강해지며, 열처리 온도가 높아지면, (222)면의 배향 강도는 강해진다. 한편, 열처리 온도가 낮은 경우, CSPLZT막의 (222)면의 배향율(=(222)/[(222)+(100)+(101)])은 낮다. 열처리 온도를 548℃ 이상으로 하면, (222)면의 배향율은 거의 포화된다. 이상의 결과에 의해, CSPLZT막의 결정성은 거의 강유전체 성막 후의 열처리 조건에 의존하는 것을 알 수 있다. 즉, 열처리 온도가 낮아지면, CSPLZT막의 결정성은 나빠지며, 결정 입자의 크기가 변동한다. 열처리 온도를 548℃ 이상으로 하면, CSPLZT막의 결정 입자의 크기가 거의 균일해진다.
- <285> 한편, CSPLZT막의 결정성은 막 두께 및 열처리 온도에 의존한다. CSPLZT의 막 두께가 120 nm인 경우의 열처리 온도가 CSPLZT막의 결정성에 미치는 영향을 도 21a, 도 21b에 나타낸다. 열처리 온도가 낮은 경우, (100)면의 배향 강도는 강해지며, (222)면의 배향율은 낮아진다. 543℃ 정도 이상이 되면, 배향율은 거의 포화된다. 이 결과에 의해, 강유전체막은 막 두께가 얇아지면, 최적의 열처리 온도가 낮아진다. 즉, 강유전체막의 표층을 아몰퍼스 상태로 하는 경우, 강유전체의 결정립의 크기 및 배향을 맞추는 열처리 조건은 PZT의 막 두께에도 의존한다.
- <286> CSPLZT막을 커패시터막, IrO<sub>1.4</sub>막 및 IrO<sub>2</sub>막(막 두께 200 nm 정도)을 상부 전극으로 한 강유전체 커패시터 구조를 형성하며, 배선을 3층까지 형성하여, 1트랜지스터 1커패시터(1T1C)의 FeRAM을 완성한다. 다음에, 완성된 1T1C의 FeRAM의 모니터 특성 및 PT 수율을 조사하였다.
- <287> 우선, 평면 형상이 한번의 길이가 50 μm인 정사각형인 강유전체 커패시터[디스크리트(discrete)] 및 평면 형상이, 긴 변의 길이가 1.50 μm, 짧은 변의 길이가 1.15 μm인 1428개의 직사각형인 강유전체 커패시터(셀 커패시터)를 형성하여, 그 반전 전하량(QSW)을 측정하였다.
- <288> 인가 전압을 3.0 V로 하여 반전 전하량(QSW)을 측정된 결과를 도 22a, 도 22b에 나타낸다.
- <289> 이 결과는 기판 면 내의 56점에서의 평균값이다. 나타낸 바와 같이, CSPLZT막의 열처리 온도가 538℃ 이하가 되면, 디스크리트의 QSW는 낮아진다. 543℃~558℃까지는 거의 최고값이며, 열처리 온도가 더 높아지면, QSW는 낮

아진다. 셀 커패시터에도 동일한 경향을 볼 수 있다.

- <290> 한편, 셀 커패시터에서의 인가 전압의 의존성을 도 23a에, 분극 반전의 항전압(Vc)을 도 23b에 각각 나타낸다.
- <291> 이 Vc는 인가 전압의 변화에 대한 값(P)의 변화 비율이 가장 큰 인가 전압을 항전압(Vc)으로 하였다. 또한, ◆는 변화 비율이 마이너스인 경우의 항전압[Vc(-)]을 나타내며, ▲는 변화 비율이 플러스인 경우의 항전압[Vc(+)]을 나타낸다. Vc가 낮은 경우, 저전압으로부터 포화 전압에 걸쳐, 높은 반전 전하량(QSW)을 얻을 수 있으며, 기울기가 커졌다. 이것은, 저전압 동작의 강유전체 메모리에 매우 적합하다는 것을 의미하고 있다.
- <292> 도 23a 및 도 23b에 나타내는 바와 같이, 543℃ 및 558℃의 셀 커패시터는 저전압에서 시동이 빨라지며, 포화 QSW도 높아지고, Vc가 작아진다. 열처리 온도가 높아지면, 저전압에서 시동이 늦어지며, 포화 QSW가 낮아지고, Vc가 높아진다.
- <293> 열처리 온도가 560℃ 이하인 경우, CSPLZT막의 표면은 아몰퍼스형이며, 그 후, IrO<sub>1.4</sub>막을 형성한 후, 열처리를 수행하면, Ir이 CSPLZT막에 확산되는 데다가, CSPLZT막과 IrO<sub>1.4</sub>막의 계면은 평탄하며, 얇은 계면층이 생성된다. 한편, 열처리 온도가 563℃ 이상이 되면, CSPLZT막의 표층이 결정화된다. 보다 높은 온도가 되면, CSPLZT막은 보다 완전히 결정화된다. 이 경우, IrO<sub>1.4</sub>막의 형성 후의 열처리에서는 Ir이 CSPLZT막에 확산되지만, CSPLZT막의 결정 입자 내에 거의 들어가지 않고, 결정립계에 남게 된다. 더구나, CSPLZT막과 IrO<sub>1.4</sub>막 사이의 계면층도 두꺼워진다. 이 상황에서는, 분극 반전 전하량이 작아지며, 항전압도 높아진다.
- <294> 다음에, 상기한 강유전체 커패시터 구조(디스크리트 및 셀 어레이)의 누설 전류를 측정하였다. 이 결과를 도 24a, 도 24b에 나타낸다.
- <295> 또, 인가 전압은 상부 전극을 기준으로 한 하부 전극의 전위에 상당하며, ±5 V로 하였다. L-CAPF는 디스크리트의 누설 전류이며, L-CAP는 셀 어레이의 누설 전류이다. L-CAPF-2는 디스크리트에 대한 인가 전압 +5 V의 누설 전류이다. 나타낸 바와 같이, PZT의 열처리 온도가 543℃ 이하가 되면, 각 누설 전류는 급증한다. 548℃~558℃ 사이의 누설 전류가 가장 낮다. 또한, 열처리 온도가 높아지면, 누설 전류가 증가한다고 하는 결과를 얻을 수 있었다. 이 현상은 이하와 같이 설명할 수 있다.
- <296> 열처리 온도가 낮은 경우, PZT의 결정립 직경은 변동이 크며, 입계의 결함도 많기 때문에, Ir이 PZT에 확산되면, 이들의 빈자리에 먼저 충전된다. 충전된 빈자리의 Ir은 커패시터 구조의 누설 경로를 형성하며, 커패시터 구조의 누설 전류도 급증한다. 열처리 온도가 적당한 경우, CSPLZT막의 결정립계에 결함은 적으며, Ir이 결정립 내에 확산되기 때문에, 커패시터의 누설 경로는 형성되지 않는다. 열처리 온도가 높아지면, PZT의 결정립이 완전히 형성되며, Ir이 거의 결정립 내에 들어가지 않기 때문에, 그대로 결정립계에 남게 되어, 누설 경로가 형성된다.
- <297> 도 25a, 도 25b는 강유전체 커패시터 구조(1T1C형의 셀 어레이)에서의 수율의 측정 결과를 나타내는 특성도이다.
- <298> 수율의 측정에서는, 동작 전압을 3 V로 하였다. PT1은 기록을 행한 후에 독출을 행하였을 때의 수율을 나타낸다. PT2는 독출 전에 250℃에서의 열처리를 수행하였을 때의 수율을 나타낸다. PT3은 PT2에 대하여 열처리 후에 데이터를 반전하였을 때의 수율을 나타낸다. PT는 PT1, PT2, PT3의 종합 수율을 도시한다. PT 비는 PT/PT1이다.
- <299> 나타낸 바와 같이, PZT(CSPLZT)의 열처리 온도는 디바이스의 수율에 큰 영향을 미친다. PZT의 열처리 온도가 낮을 때, 커패시터의 누설 전류가 크기 때문에, 커패시터 구조에 고전압을 인가할 수 없으며, PT1의 수율은 매우 낮아진다. 한편, PZT의 열처리 온도가 높아지면, 커패시터 구조는 저전압으로 동작하기 어려워지며, 리텐션(S: Same State 불량) 및 인프린트(OS: Opposite State 불량)하기 쉬워지고, PT는 낮아진다. 마찬가지로, PT 비도 낮아진다. PT 수율의 RET 불량(SS&OS)의 결과를 도 26에 나타낸다.
- <300> 이상의 결과에 의해, PZT(CSPLZT)막의 열처리 온도는 543℃~573℃로 하는 것이 바람직하다. 최적 온도는 553℃이다. 또한, 548℃~558℃의 열처리에서는, 90%의 디바이스 수율 및 98% 이상의 수율률을 얻을 수 있다.
- <301> 한편, PZT의 막 두께가 120 nm인 경우에는, 최적의 열처리 온도는 543℃~553℃이라고 생각된다.

**산업상 이용 가능성**

<302> 본 발명에 따르면, 커패시터 구조의 반전 전하량을 향상시키거나, 누설 전류를 공연히 증가시키는 일 없이, 높은 수율을 확보하는 것이 가능해져, 신뢰성이 높은 반도체 장치가 실현된다.

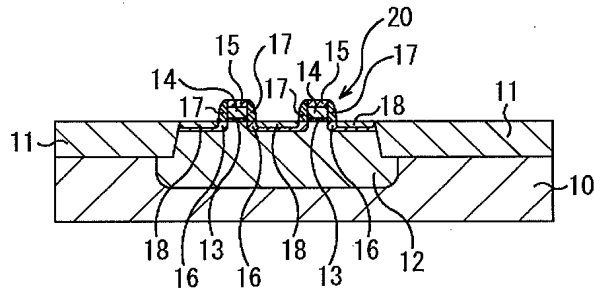
**도면의 간단한 설명**

- <17> 도 1a는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <18> 도 1b는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <19> 도 1c는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <20> 도 1d는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <21> 도 2a는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <22> 도 2b는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <23> 도 2c는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <24> 도 2d는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <25> 도 3a는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <26> 도 3b는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <27> 도 3c는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <28> 도 4a는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <29> 도 4b는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <30> 도 4c는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <31> 도 5a는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <32> 도 5b는 제1 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <33> 도 6은 제1 실시형태에 따른 FeRAM의 커패시터 구성을 도시하는 개략 단면도이다.
- <34> 도 7a는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <35> 도 7b는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <36> 도 7c는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <37> 도 7d는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <38> 도 8a는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <39> 도 8b는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <40> 도 8c는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <41> 도 8d는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <42> 도 9a는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <43> 도 9b는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <44> 도 9c는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <45> 도 10a는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <46> 도 10b는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <47> 도 11a는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <48> 도 11b는 제2 실시형태에 따른 FeRAM의 구성을 그 제조 방법과 함께 공정순으로 도시하는 개략 단면도이다.
- <49> 도 12는 제2 실시형태에 따른 FeRAM의 커패시터 구성을 도시하는 개략 단면도이다.

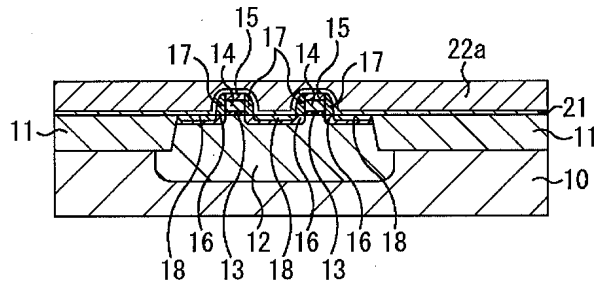
- <50> 도 13a는 제3 실시형태에 따른 실시예 1의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <51> 도 13b는 제3 실시형태에 따른 실시예 2의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <52> 도 13c는 제3 실시형태에 따른 실시예 3의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <53> 도 14a는 제3 실시형태에 따른 실시예 4의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <54> 도 14b는 제3 실시형태에 따른 실시예 5의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <55> 도 14c는 제3 실시형태에 따른 실시예 6의 주요 구성으로서, 도 1d에 상당하는 구성물만을 도시하는 개략 단면도이다.
- <56> 도 15는 PZT (111)배향 강도의 피크의 X선 입사 에너지 의존성을 조사한 결과를 나타내는 특성도이다.
- <57> 도 16은 제3 실시형태에 따른 실시예 6의 FeRAM의 커패시터 구성을 도시하는 개략 단면도이다.
- <58> 도 17a는 Pt로 이루어지는 하부 전극층 상에 형성한 막 두께 140 nm의 PZT막에, RTA법으로 553℃에서 90초간의 열처리를 시행한 후의 양태를 나타내는 단면의 사진이다.
- <59> 도 17b는 Pt로 이루어지는 하부 전극층 상에 형성한 막 두께 140 nm의 PZT막에, RTA법으로 573℃에서 90초간의 열처리를 시행한 후의 양태를 나타내는 단면의 사진이다.
- <60> 도 18a는 각 열처리의 온도에 기인하는 커패시터의 단면도에의 영향을 나타내는 개략 단면도이다.
- <61> 도 18b는 각 열처리의 온도에 기인하는 커패시터의 단면도에의 영향을 나타내는 개략 단면도이다.
- <62> 도 18c는 각 열처리의 온도에 기인하는 커패시터의 단면도에의 영향을 나타내는 개략 단면도이다.
- <63> 도 19a는 열처리한 CSPLZT막의 결정성을 측정된 결과를 나타내는 특성도이다.
- <64> 도 19b는 열처리한 CSPLZT막의 결정성을 측정된 결과를 나타내는 특성도이다.
- <65> 도 20a는 열처리한 CSPLZT막의 결정성을 측정된 결과를 나타내는 특성도이다.
- <66> 도 20b는 열처리한 CSPLZT막의 결정성을 측정된 결과를 나타내는 특성도이다.
- <67> 도 21a는 CSPLZT의 막 두께가 120 nm인 경우의 열처리 온도가 CSPLZT막의 결정성에 미치는 영향을 나타내는 특성도이다.
- <68> 도 21b는 CSPLZT의 막 두께가 120 nm인 경우의 열처리 온도가 CSPLZT막의 결정성에 미치는 영향을 나타내는 특성도이다.
- <69> 도 22a는 인가 전압을 3.0 V로 하여 반전 전하량(QSW)를 측정된 결과를 나타내는 특성도이다.
- <70> 도 22b는 인가 전압을 3.0 V로 하여 반전 전하량(QSW)를 측정된 결과를 나타내는 특성도이다.
- <71> 도 23a는 셀 커패시터에서의 인가 전압의 의존성을 도시하는 특성도이다.
- <72> 도 23b는 셀 커패시터에서의 분극 반전의 항전압(Vc)을 나타내는 특성도이다.
- <73> 도 24a는 강유전체 커패시터 구조(디스크리트)의 누설 전류를 측정된 결과를 나타내는 특성도이다.
- <74> 도 24b는 강유전체 커패시터 구조(셀 어레이)의 누설 전류를 측정된 결과를 나타내는 특성도이다.
- <75> 도 25a는 강유전체 커패시터 구조(1T1C형의 셀 어레이)에서의 수율의 측정 결과를 나타내는 특성도이다.
- <76> 도 25b는 강유전체 커패시터 구조(1T1C형의 셀 어레이)에서의 수율의 측정 결과를 나타내는 특성도이다.
- <77> 도 26은 PT 수율의 RET 불량(SS&OS)의 결과를 나타내는 특성도이다.

도면

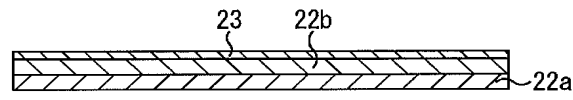
도면1a



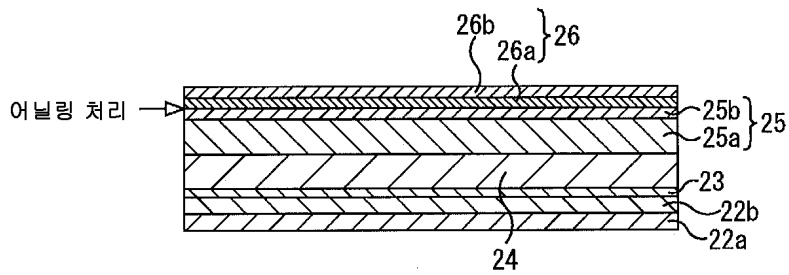
도면1b



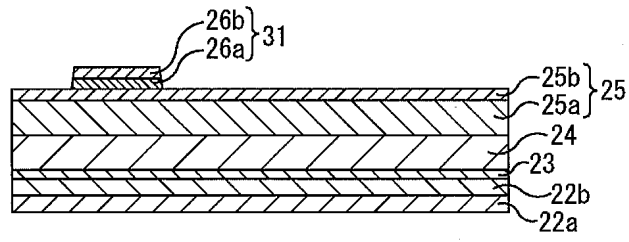
도면1c



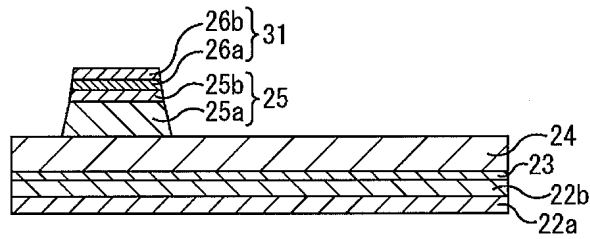
도면1d



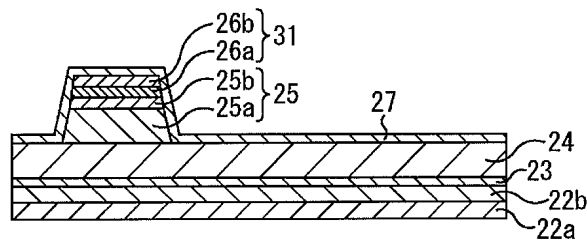
도면2a



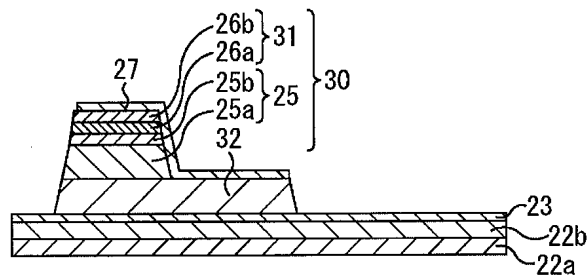
도면2b



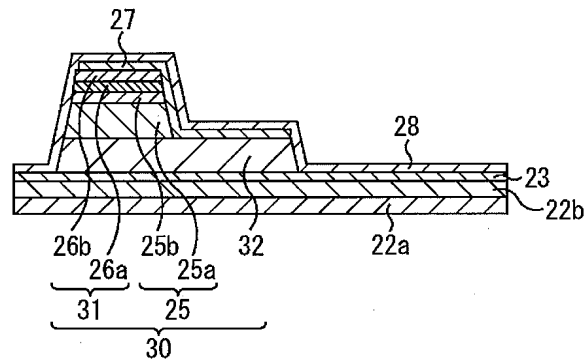
도면2c



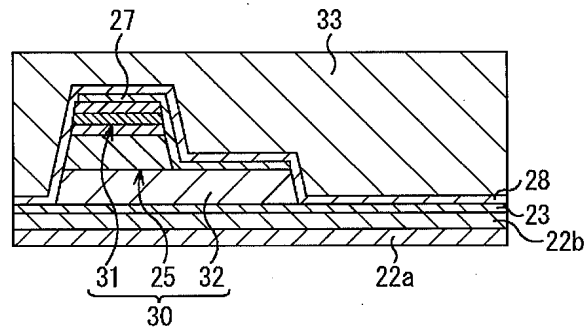
도면2d



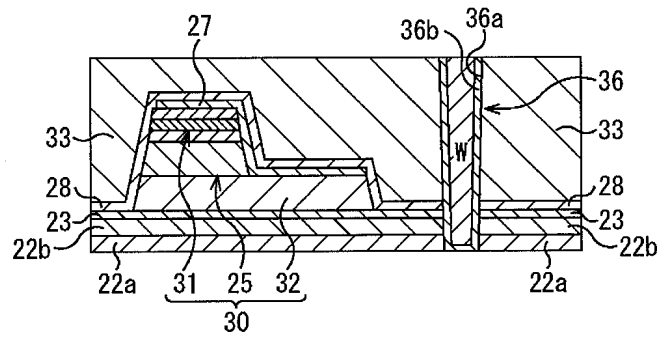
도면3a



도면3b



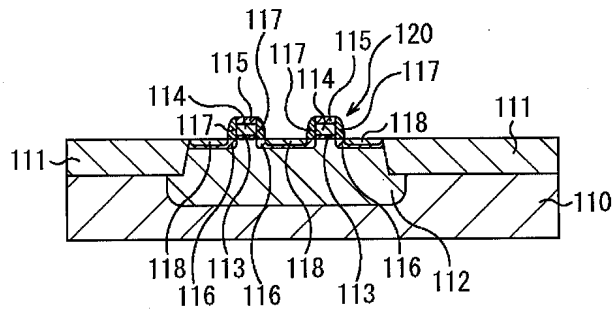
도면3c



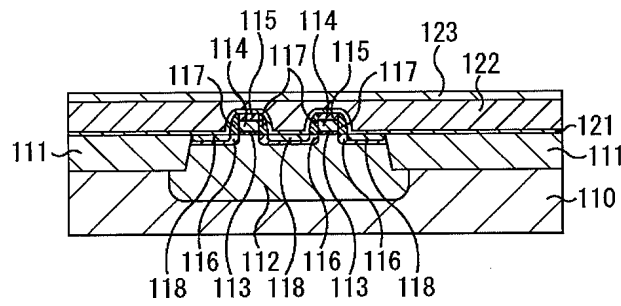




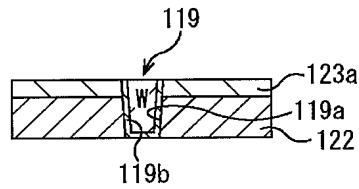
도면7a



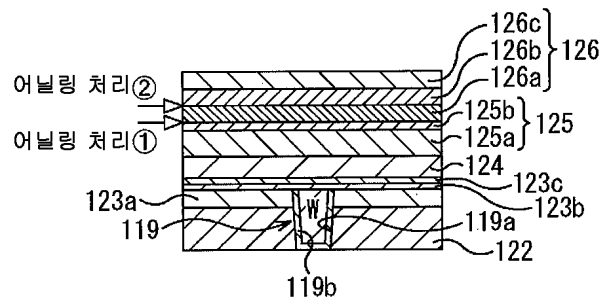
도면7b



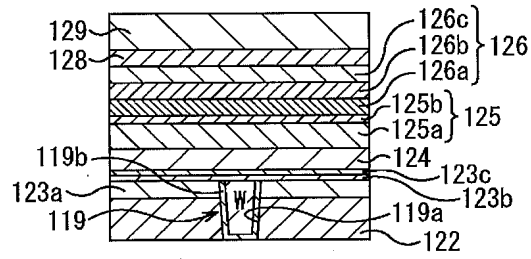
도면7c



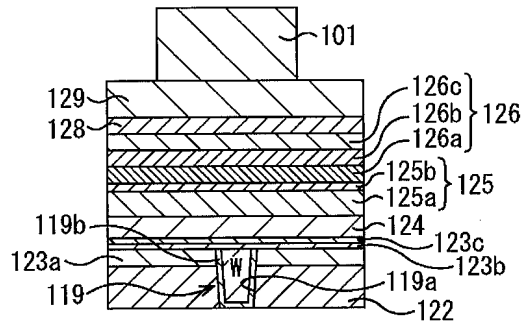
도면7d



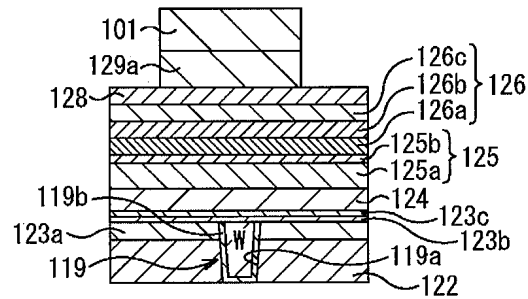
도면8a



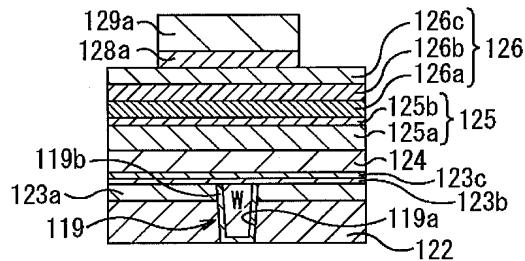
도면8b



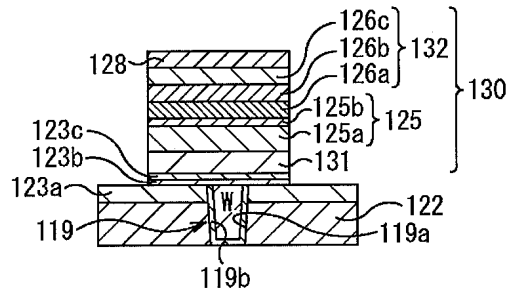
도면8c



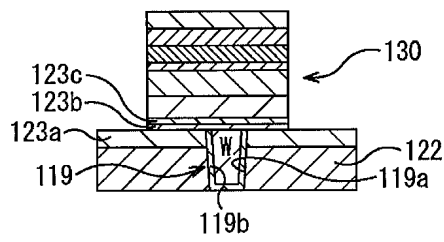
도면8d



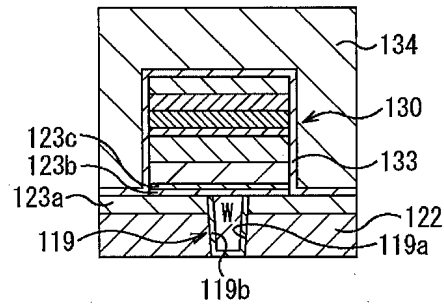
도면9a



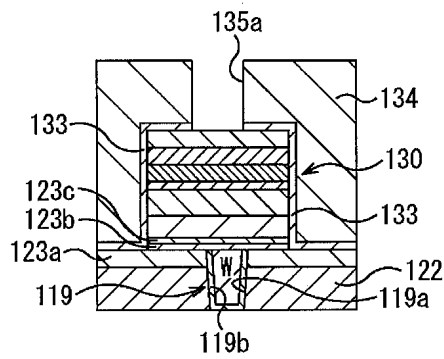
도면9b



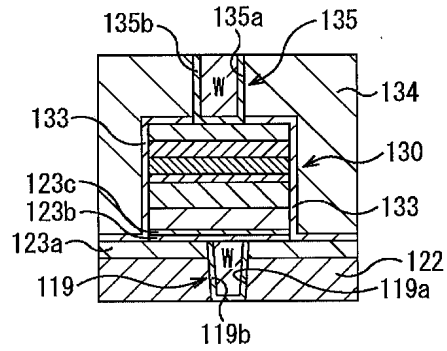
도면9c



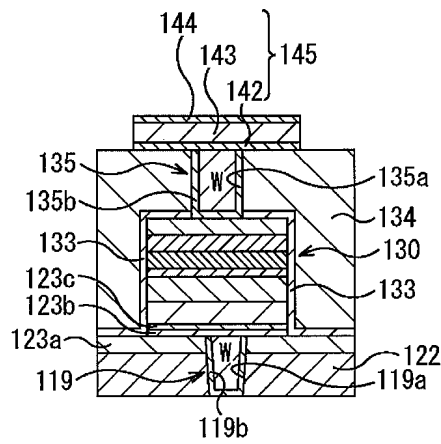
도면10a



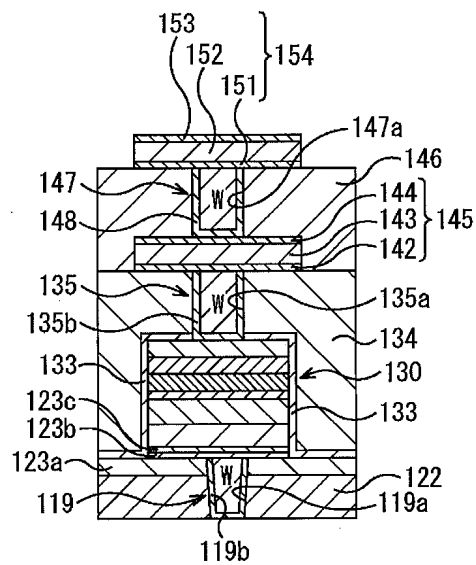
도면10b



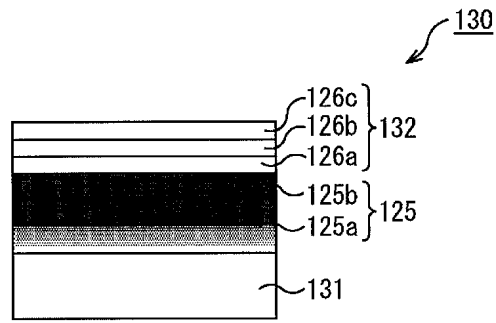
도면11a



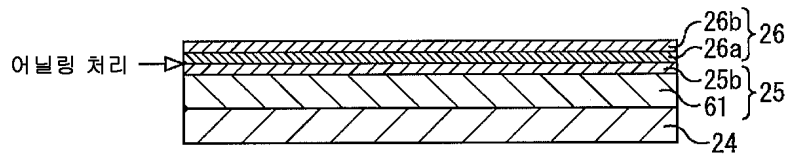
도면11b



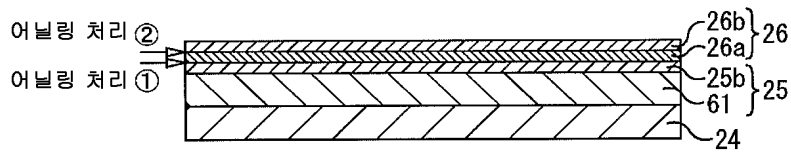
도면12



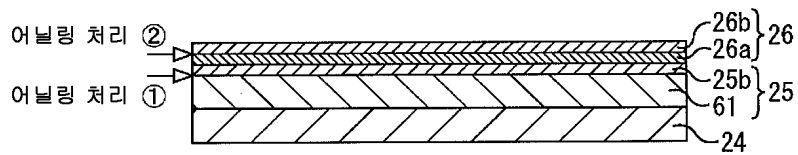
도면13a



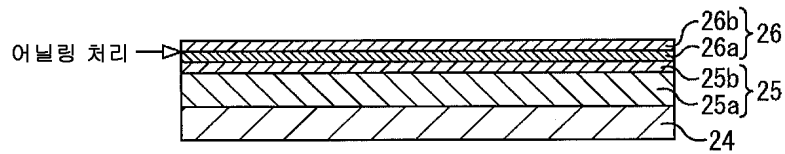
도면13b



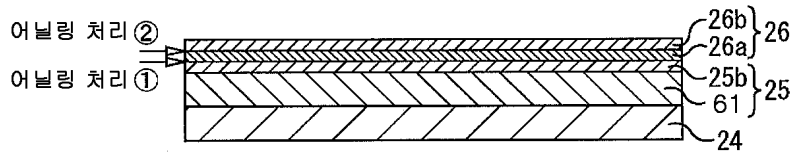
도면13c



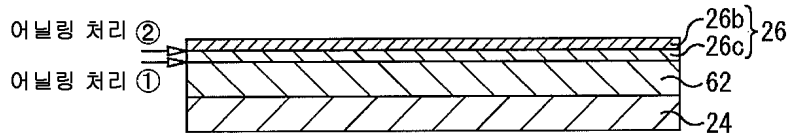
도면14a



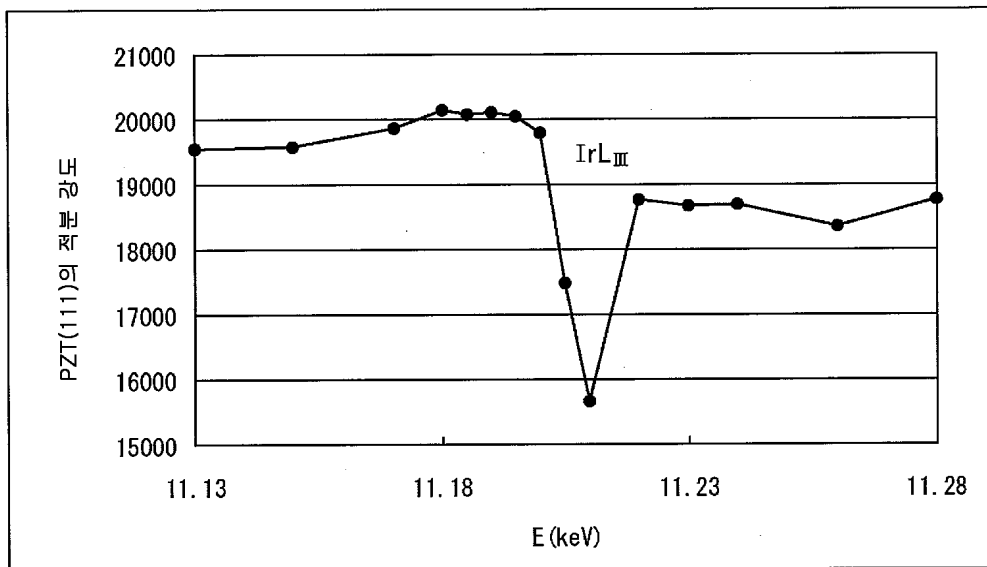
도면14b



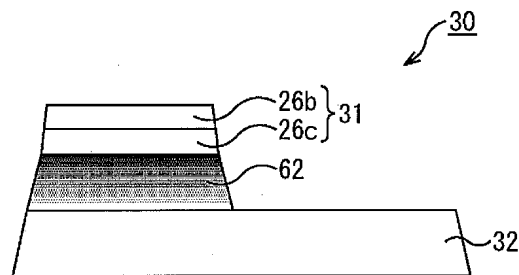
도면14c



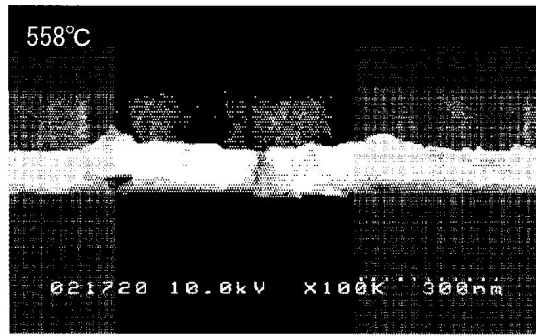
도면15



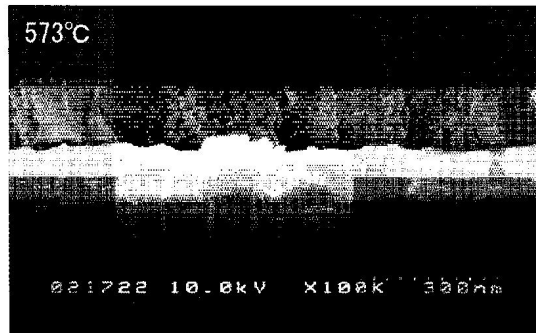
도면16



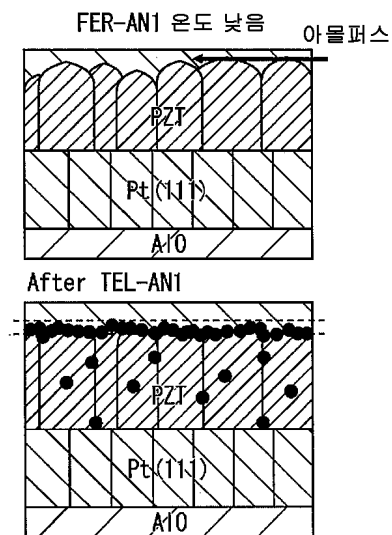
도면17a



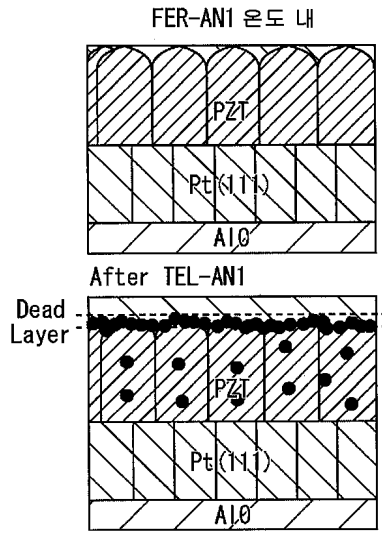
도면17b



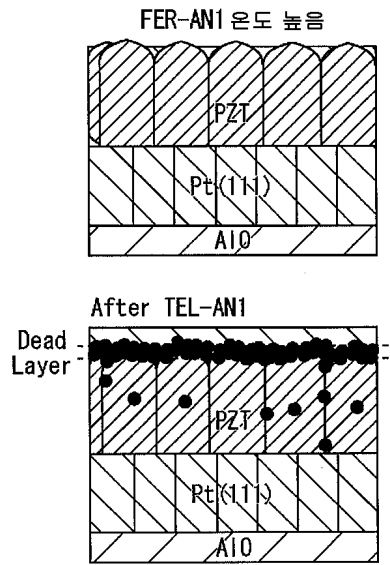
도면18a



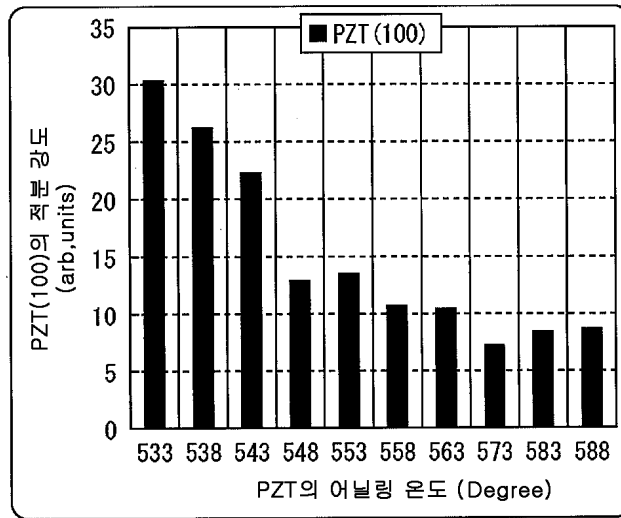
도면18b



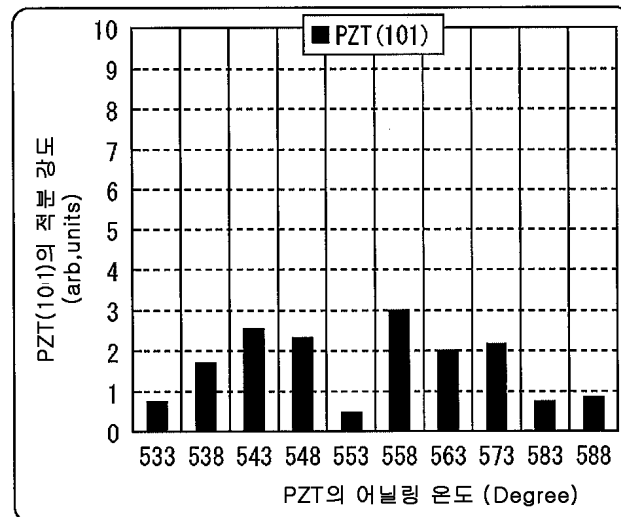
도면18c



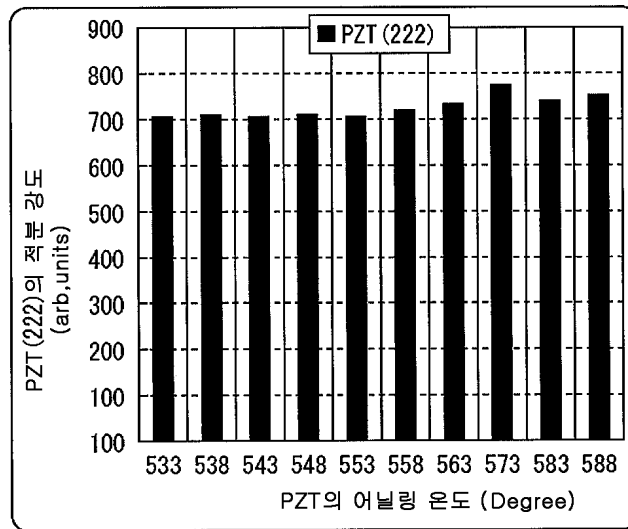
도면19a



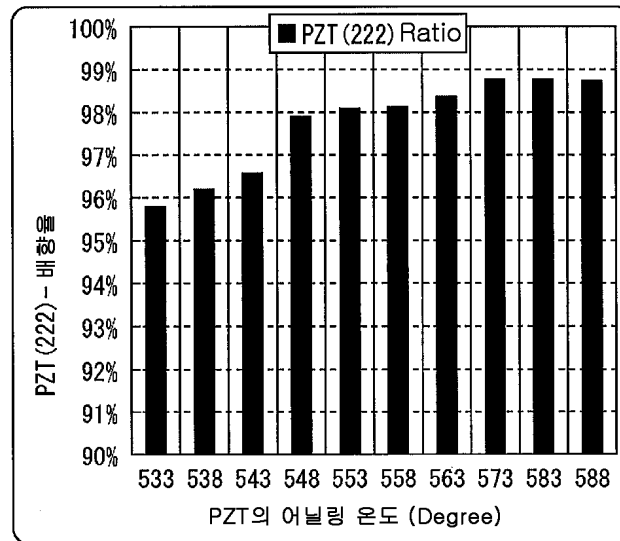
도면19b



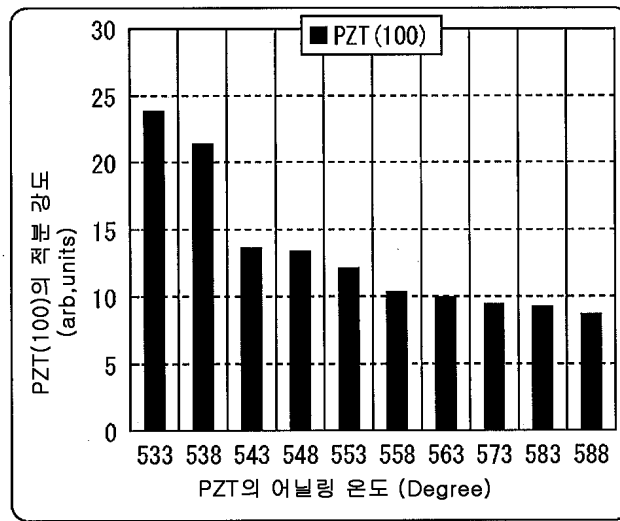
도면20a



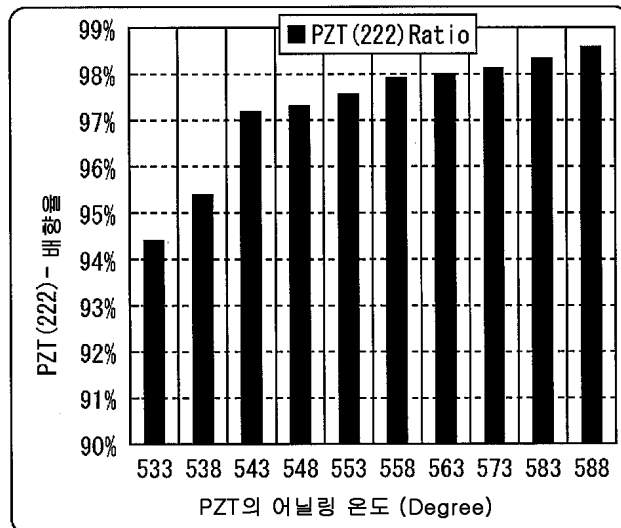
도면20b



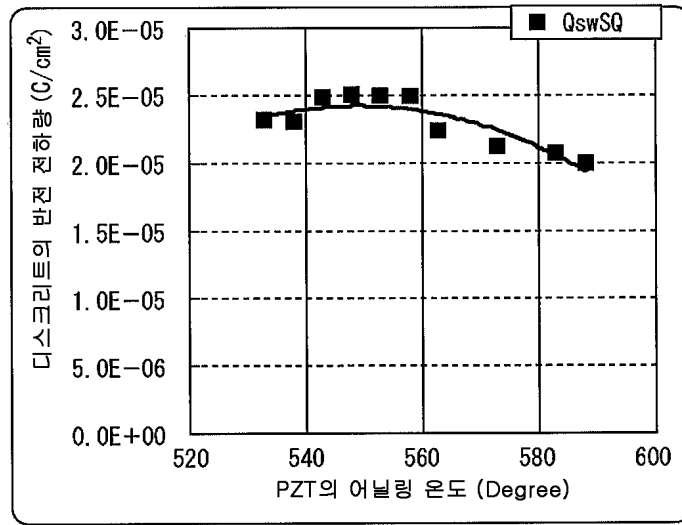
도면21a



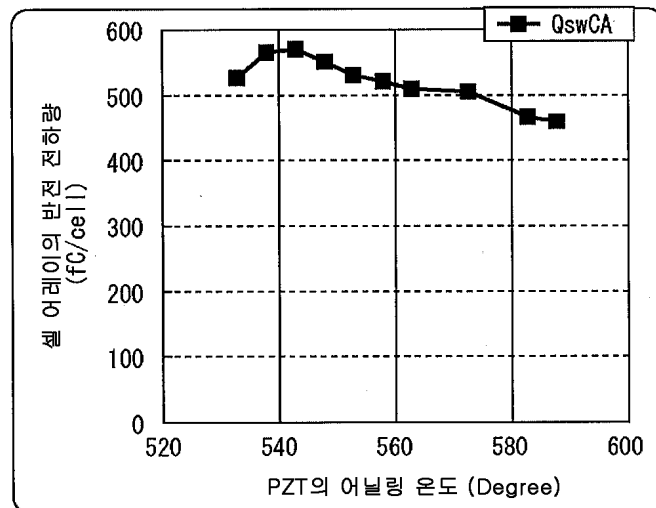
도면21b



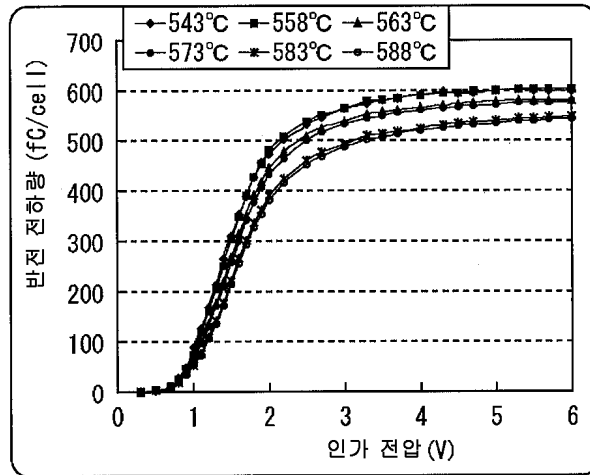
도면22a



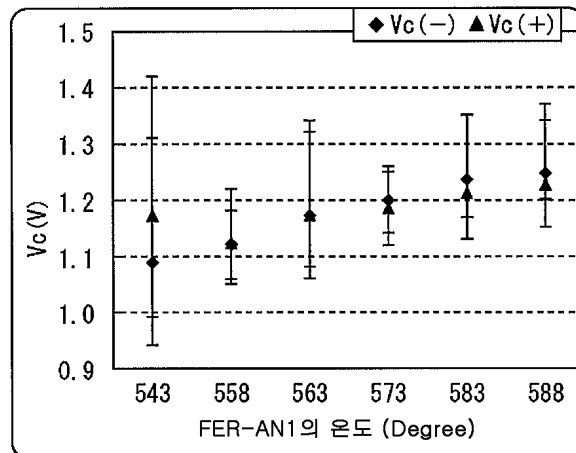
도면22b



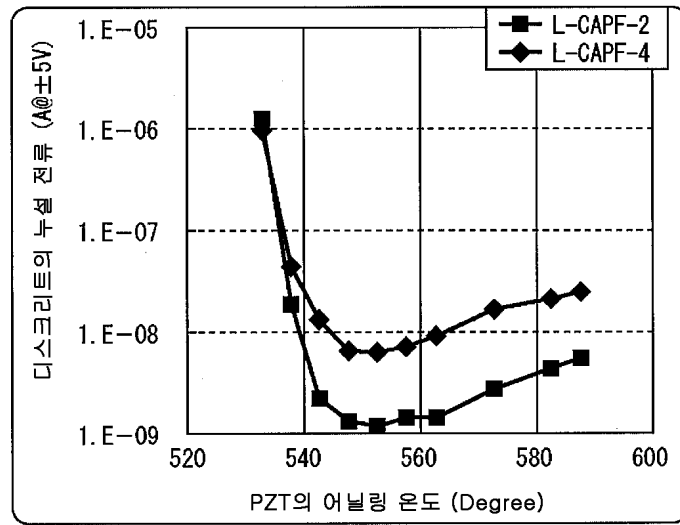
도면23a



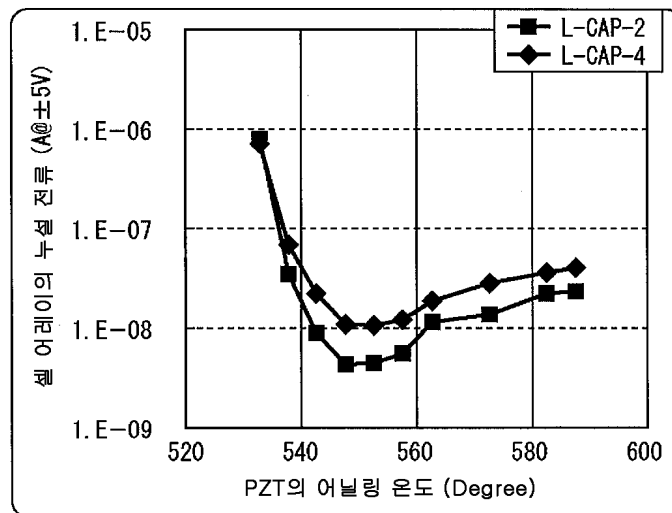
도면23b



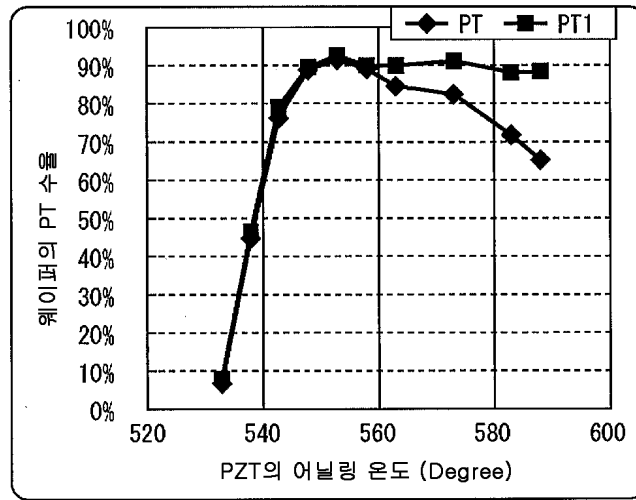
도면24a



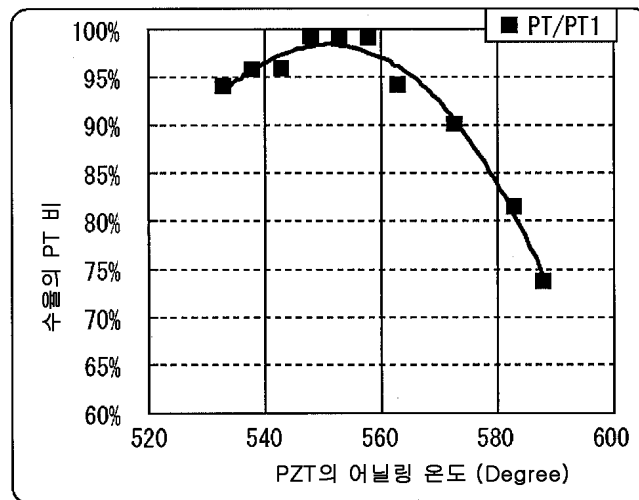
도면24b



도면25a



도면25b



도면26

