



(21)申請案號：103144585

(22)申請日：中華民國 103 (2014) 年 12 月 19 日

(51)Int. Cl. : *H01L21/335 (2006.01)*  
*H01L29/772 (2006.01)**H01L21/336 (2006.01)*

(30)優先權：2014/02/10 美國

14/176,873

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：林健智 LIN, CHIENCHIH (TW)；洪隆傑 HONG, LONGJIE (TW)；王智麟 WANG,  
CHIH LIN (TW)；張嘉德 CHANG, CHIADER (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 31 頁

(54)名稱

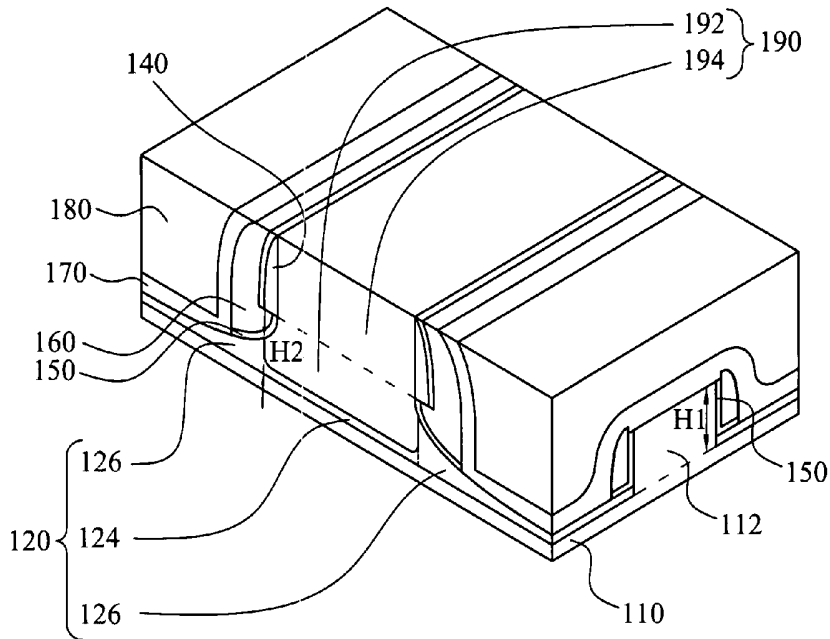
半導體元件的製造方法及半導體元件

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR  
DEVICE

(57)摘要

一種半導體元件的製造方法，包含形成二個隔離結構於基板內，以定義鰭狀結構於基板內的此二個隔離結構之間。形成虛設閘極及多個間隙壁橋接此二個隔離結構且位於鰭狀結構上方。以虛設閘極及間隙壁作為遮罩，蝕刻此二個隔離結構，以於此二個隔離結構內形成多個斜坡於這些間隙壁的下方。形成閘極蝕刻停止層覆蓋斜坡。移除虛設閘極及位於虛設閘極下方的此二個隔離結構，以製造受間隙壁及閘極蝕刻停止層侷限的凹洞。形成閘極於凹洞內。

A method for manufacturing a semiconductor device includes forming two isolation structures in a substrate to define a fin structure between the two isolation structures in the substrate. A dummy gate and spacers are formed bridging the two isolation structures and over the fin structure. The two isolation structures are etched with the dummy gate and the spacers as a mask to form a plurality of slopes under the spacers in the two isolation structures. A gate etch stop layer is formed overlying the plurality of slopes. The dummy gate and the two isolation structures beneath the dummy gate are removed to create a cavity confined by the spacers and the gate etch stop layer. A gate is then formed in the cavity.



第4K圖

- 110 . . . 基板
- 112 . . . 鳍状结构
- 120 . . . 隔离结构
- 124 . . . 凹部
- 126 . . . 斜坡部
- 140 . . . 间隙壁
- 150 . . . 闸极蚀刻停止层
- 160 . . . 绝缘层
- 170 . . . 接触蚀刻停止层
- 180 . . . 层间介电层
- 190 . . . 闸极
- 192 . . . 下部
- 194 . . . 上部
- H1 . . . 鳍状结构的高度
- H2 . . . 斜坡部的最大高度

## 【發明說明書】

### 【中文發明名稱】

半導體元件的製造方法及半導體元件

### 【英文發明名稱】

METHOD FOR MANUFACTURING  
SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR DEVICE

### 【技術領域】

【0001】 本發明係有關於一種半導體元件的製造方法及半導體元件。

### 【先前技術】

【0002】 半導體積體電路產業歷經快速成長。在成長的過程中，半導體元件的功能密度提昇，元件特徵尺寸或幾何結構變小。此尺寸縮小製程一般具有提高生產效率、減少成本和/或改善元件效能等優勢。然而，這樣的尺寸縮小製程也增加了積體電路製造過程的複雜性。

【0003】 針對積體電路幾何結構縮小的要求，引入了非平面式場效電晶體。此非平面式場效電晶體具有半導體鰭及閘極，閘極位於半導體鰭頂部的上方。然而，這樣的半導體元件的效能在科技先進應用中仍不能令人滿意。因此，持續尋求提昇半導體元件的效能的結構及其製造方法。

**【發明內容】**

**【0004】** 本發明提供一種半導體元件的製造方法，包含：形成二個隔離結構於一基板內，以定義一鰭狀結構於此基板內的此二個隔離結構之間；形成一虛設閘極及多個間隙壁橋接此二個隔離結構，並且位於此鰭狀結構上方；以此虛設閘極及這些間隙壁作為遮罩，蝕刻此二個隔離結構，以於此二個隔離結構內形成多個斜坡於這些間隙壁的下方；形成一閘極蝕刻停止層覆蓋這些斜坡；移除此虛設閘極及位於此虛設閘極下方的此二個隔離結構，以製造受這些間隙壁及此閘極蝕刻停止層侷限之一凹洞；以及形成一閘極於此凹洞內。

**【0005】** 本發明另提供一種半導體元件，包含一基板、一鰭狀結構、二個隔離結構、一閘極、二個間隙壁及一閘極蝕刻停止層。此鰭狀結構位於此基板上方。此二個隔離結構位於此基板上方。此鰭狀結構位於此二個隔離結構之間。各個隔離結構具有一凹部及二個斜坡部鄰接此凹部的兩側，且這些凹部設置用以暴露此鰭狀結構兩側的部分。此閘極跨越此鰭狀結構，並位於此鰭狀結構及此二個隔離結構之這些凹部的上方。此閘極具有二個下部及一個上部，此二個下部位於此二個隔離結構之這些凹部的上方，且接觸此鰭狀結構之此兩側的此部分，此上部位於此鰭狀結構的上方且橋接此二個下部。此二個間隙壁位於此閘極之此上部的兩側。此閘極蝕刻停止層位於此二個間隙壁的下方及此二個隔離結構之這些斜坡部的上方，並接觸此閘極之各個下部之兩側的部

分。

### 【圖式簡單說明】

【0006】 為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖繪示一個一般半導體元件的立體圖。

第 2 圖繪示另一個一般半導體元件的立體圖。

第 3 圖繪示根據本發明各種實施例之一種半導體元件之製造方法的流程圖。

第 4A-4K 圖繪示根據本發明多個實施例之製造半導體元件在各個製程階段的剖面示意圖。

第 5 圖繪示第 4K 圖之半導體元件的側視圖。

### 【實施方式】

【0007】 以下提供本發明之多種不同的實施例或實例，以實現所提供之標的的不同技術特徵。下述具體實例的元件和設計用以簡化本發明。當然，這些僅為示例，而非用以限定本發明。舉例而言，說明書中揭示形成第一特徵結構於第二特徵結構之上方，其包括第一特徵結構與第二特徵結構形成而直接接觸的實施例，亦包括於第一特徵結構與第二特徵結構之間另有其他特徵結構的實施例，亦即，第一特徵結構與第二特徵結構並非直接接觸。此外，本發明於各個實例中可能用到重複的參考符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述結構之間的關係。

**【0008】** 在本文所使用的單數形式「一」和「該」包含複數個對象，除非上下文另有特別說明。因此，舉例而言，一個元件包含具有二或多個元件的實施例，除非上下文另有特別說明。本文中的「一實施例」意味著此實施例描述的特定特徵、結構或特點被包含在本發明的至少一實施例中。因此，出現在本文中不同處的「在一實施例中」，不一定是指相同的實施例。此外，在一或多個實施例中，特定的特徵、結構或特點可以使用任何方式組合。此外，應當理解的是，後續附圖不是按照比例繪製；更確切地說，這些附圖是用於說明。

**【0009】** 第1圖繪示一個一般半導體元件的立體圖。半導體元件包含一基板10、一鰭狀結構12、二個隔離結構20、二個間隙壁30及一層間介電層(inter-layer dielectric (ILD))40。鰭狀結構12位於基板10上方，且位於兩個隔離結構20之間。閘極(未繪示)位於一凹洞(未標示)內，此凹洞受兩個間隙壁30、鰭狀結構12及隔離結構20所侷限；換言之，閘極位於兩個間隙壁30之間，並位於鰭狀結構12及隔離結構20的上方。閘極接觸鰭狀結構12之一部分12a的上表面。鰭狀結構12之此部分12a可作為通道區域。位於層間介電層40下方之鰭狀結構12的其他部分可作為源極/汲極區域。然而，由於閘極與鰭狀結構12之間的接觸面積小，使得這樣的半導體元件的元件效能在科技先進應用中仍不能令人滿意。

**【0010】** 為了獲得更好的元件效能，提供另一種半導體

元件，如第2圖所示。第1圖的各個隔離結構20被蝕刻，以形成凹洞20a，然後形成閘極(未繪示)於凹洞20a內且於間隙壁30之間。相較於第1圖，閘極與鰭狀結構12之間的接觸面積增加，這是因為在形成閘極之間，鰭狀結構12具有較大的暴露面積。因此，可提昇半導體元件的元件效能及閘極對通道導電性控制的能力。然而，在蝕刻隔離結構20時，會發生側向蝕刻，使後續形成的閘極具有寬闊的底部，這會導致閘極與源極/汲極區域(亦即在層間介電層40下方之鰭狀結構12的部分)之間的重疊電容(overlap capacitance ( $C_{ov}$ ))提高。詳細而言，閘極的寬闊底部可能會接觸源極/汲極區域，從而導致重疊電容提高。閘極的寬闊底部也會使兩個相鄰的閘極之間的距離縮短，進而使閘極漏電流提高。有鑑於上述問題，提供閘極蝕刻停止層，以避免隔離結構20在蝕刻時發生側向蝕刻，進而避免閘極與源極/汲極區域之間的重疊電容提高及閘極漏電流提高。本發明的實施方式將於以下詳細描述。

**【0011】** 本發明之一方面提供一種半導體元件的製造方法。第3圖繪示根據本發明多個實施例之一種半導體元件之製造方法的流程圖。第3圖之方法的步驟參照第4A-4K圖進行解釋，第4A-4K圖為根據本發明多個實施例之製造半導體元件在各個製程階段的剖面示意圖。應當理解的是，第4A-4K圖僅用於說明，並非旨在限制本發明。

**【0012】** 如第4A圖所示，提供一基板110。基板110可包含元素半導體，包括矽或鍺結晶、多晶和/或無定形結構；

化合物半導體，包括碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦和/或銻化銦；合金半導體，包括矽鍺、磷砷化鎵、砷化鋁銦、砷化鋁鎵、砷化鎵銦、磷化鎵銦和/或磷砷化鎵銦；任何其他合適的材料；和/或其組合。

【0013】 在步驟S1中，形成二個隔離結構120於基板110內，以定義一鰭狀結構112於基板110內的此二個隔離結構120之間，如第4B圖所示。隔離結構120可為單層或多層結構。隔離結構120可由氧化矽、氮化矽、氮氧化矽、氟化物摻雜矽酸鹽玻璃 (fluoride-doped silicate glass (FSG))、低介電常數材料和/或其他合適的絕緣材料所製成。隔離結構120可為淺溝渠隔離 (shallow trench isolation (STI))特徵。在各種實施例中，隔離結構120為淺溝渠隔離特徵，其係藉由蝕刻第4A圖所示的基板110，以形成溝渠，然後填充隔離材料於溝渠中，再進行化學機械研磨 (chemical mechanical polish (CMP))製程而製得。其他用於製造隔離結構120的技術也是可行的。

【0014】 鰭狀結構112可由包含光學微影和蝕刻的合適製程製造而得。光學微影製程可包含形成一光阻層(未繪示)覆蓋第4A圖所示之基板110的上方，對光阻層進行曝光，以形成一圖案，進行曝光後烘烤製程，對圖案進行顯影製程，以形成遮蔽元件。此遮蔽元件用以在進行蝕刻製程以形成溝渠於基板110內，並留下延伸的鰭狀結構112時，保護基板110的多個部分。舉例來說，溝渠可利用反應性離子蝕刻 (reactive ion etch (RIE))和/或其他合適的製程形成。用



以製造鰭狀結構112在基板110內的許多其他方法的實施例也是合適的。在形成鰭狀結構112後，源極與汲極區域112b, 112c可形成在鰭狀結構112的相對兩端。一通道區域112a位於源極與汲極區域112b, 112c之間。此源極與汲極區域112b, 112c可由任何合適的方法形成，例如透過選擇性外延生長。

**【0015】** 在步驟S2中，形成一虛設閘極130及多個間隙壁140橋接此二個隔離結構120且位於此鰭狀結構112上方，如第4C圖所示。虛設閘極130覆蓋第4B圖的通道區域112a，但未覆蓋源極與汲極區域112b, 112c。虛設閘極130之後會被移除(即後續步驟S5)，然後沉積一導電材料，以形成一真正的閘極(即後續步驟S6)。虛設閘極130可由多晶矽、非晶矽或其他合適的材料製成，並藉由沉積形成，例如化學氣相沉積(chemical vapor deposition (CVD))或物理氣相沉積(physical vapor deposition (PVD))。間隙壁140形成於虛設閘極130的兩側。舉例而言，可先沉積一介電材料(未繪示)，然後進行蝕刻，以形成間隙壁140於虛設閘極130的相對兩側上。間隙壁140可由氧化矽、氮化矽、氮氧化矽、碳氮化矽或其他合適的材料製成。

**【0016】** 在步驟S3中，如第4D圖所示，以虛設閘極130及間隙壁140作為遮罩，蝕刻此二個隔離結構120，以於此二個隔離結構120內形成多個斜坡122於這些間隙壁140的下方。在各種實施例中，進行乾蝕刻、濕蝕刻或乾蝕刻與濕蝕刻，以蝕刻隔離結構120至一位置，此位置位於間隙壁140

的下方。在各種實施例中，各個斜坡122具有一邊緣122a大致對準虛設閘極130的一邊緣130a；因此，必須精準控制蝕刻製程條件，以蝕刻隔離結構120至所需的位置，此所需的位置大致對準虛設閘極130的邊緣130a。在數個實施例中，第4C圖的間隙壁140被削薄至一寬度，以使進行蝕刻製程時，蝕刻隔離結構120至大致對齊虛設閘極130的邊緣130a之所需的位置變得容易。

【0017】 在步驟S4中，形成一閘極蝕刻停止層150覆蓋這些斜坡122，如第4E圖所示。詳細而言，形成閘極蝕刻停止層150覆蓋這些斜坡122、間隙壁140、虛設閘極130及鰭狀結構112。在各種實施例中，步驟S4是透過沉積一介電材料覆蓋這些斜坡122而達成。在各種實施例中，介電材料包含氮化矽、碳氮化矽或其組合。值得注意的是，閘極蝕刻停止層150設置用以在移除虛設閘極130及其下方的隔離結構120時(即步驟S5)，避免側向蝕刻；因此，閘極蝕刻停止層150應設置於間隙壁140的下方，以有效避免側向蝕刻。因此，在步驟S3中，隔離結構120需被蝕刻至間隙壁140下方的位置，如第4D圖所示。此外，閘極蝕刻停止層150的厚度可以適當地調整，以避免側向蝕刻，因此不加以限制。

【0018】 在各種實施例中，如第4F圖所示，在步驟S4之後及步驟S5之前，形成一選擇性的絕緣層160覆蓋間隙壁140及其下方的閘極蝕刻停止層150。絕緣層160可用以填充位於間隙壁140下方的空間(參照第4E圖)，且可用以作為虛設閘極130的側壁。此絕緣層160亦可形成於鰭狀結構

112的兩側。舉例來說，可沉積一介電材料，然後進行蝕刻，以形成絕緣層160覆蓋間隙壁140及鰭狀結構112的兩側。此絕緣材料160可由氧化矽、氮化矽、氮氧化矽、碳氮化矽或其他合適的材料製成。

【0019】 在各種實施例中，如第4G圖所示，覆蓋虛設閘極130及鰭狀結構112的閘極蝕刻停止層150可選擇性地移除，以暴露出虛設閘極130的上表面及源極與汲極區域112b, 112c的上表面。可移除覆蓋虛設閘極130的閘極蝕刻停止層150，以減少移除虛設閘極130及其下方的隔離結構120(即步驟S5)的製程複雜性。此外，可在後續製程中形成多個接觸元件(例如接觸插塞)，以連接源極/汲極區域112b, 112c。因此，可移除覆蓋源極/汲極區域112b, 112c的閘極蝕刻停止層150，以避免形成接觸窗的製程複雜性。接觸窗用以暴露出源極/汲極區域112b, 112c的上表面及用以容納接觸元件。

【0020】 在各種實施例中，如第4H圖所示，在形成絕緣層160之後，步驟S5之前，形成接觸蝕刻停止層(contact etch stop layer (CESL))170覆蓋虛設閘極130、鰭狀結構112及絕緣層160。在各種實施例中，接觸蝕刻停止層170可由氮化矽、氮氧化矽、碳氮化矽和/或其他合適的絕緣材料製成，且可由化學氣相沉積形成。但也可使用其他替代方法製造接觸蝕刻停止層170。

【0021】 在各種實施例中，在形成接觸蝕刻停止層170之後，形成層間介電層180覆蓋接觸蝕刻停止層170，如第

4H圖所示。層間介電層180可由氧化矽、氮氧化矽和/或其他合適的絕緣材料製成，且可由化學氣相沉積、濺鍍或者其他用以形成層間介電層180的已知且被使用的現有技術形成。

【0022】 在各種實施例中，如第4I圖所示，此方法更包含研磨層間介電層180及接觸蝕刻停止層170，以於步驟S5之前，暴露出虛設閘極130的上表面。在各種實施例中，對層間介電層180、接觸蝕刻停止層170及絕緣層160進行化學機械研磨製程，以形成層間介電層180、接觸蝕刻停止層170及絕緣層160平坦的表面。

【0023】 在步驟S5中，如第4J圖所示，移除虛設閘極130及位於此虛設閘極130下方的此二個隔離結構120，以製造受這些間隙壁140及此閘極蝕刻停止層150侷限的凹洞120a。在步驟S5中，由於化學物質的選擇性，閘極蝕刻停止層150沒有被移除掉。也就是說，用以移除虛設閘極130及其下方的隔離結構120的化學物質不適用於閘極蝕刻停止層150。因此，在步驟S5之後，閘極蝕刻停止層150可以被保留。後續步驟S6所形成的真正閘極的形狀及其位置由閘極蝕刻停止層150及凹洞120a決定。

【0024】 在步驟S6中，如第4K圖所示，形成一閘極190(即上述之真正閘極)於第4J圖所示的凹洞120a內。在各種實施例中，步驟S6是透過沉積含金屬材料於凹洞120a內達成。此含金屬材料可包含鎢(W)、鉭(Ta)、鈦(Ti)、鎳(Ni)、氮化鉭矽(TaSiN)、氮化鉭(TaN)、高介電常數金屬

或其他合適的材料。然後，可以研磨含金屬材料，以使閘極190與層間介電層180、接觸蝕刻停止層170、絕緣層160及閘極蝕刻停止層150的上表面齊平。由於閘極190的形狀被閘極蝕刻停止層150侷限，因此諸如閘極與源極/汲極之間的重疊電容增加的問題，以及由於閘極的寬闊底部所導致閘極漏電流增加的問題將不會發生。

【0025】 在形成閘極190之後，可形成多個接觸窗(未繪示)穿透層間介電層180及接觸蝕刻停止層170。接觸元件(未繪示)可分別形成於接觸窗內，以電性連接第4G圖所示的源極/汲極區域112b, 112c。

【0026】 本發明的另一方面提供一種半導體元件。第5圖繪示第4K圖之半導體元件的側視圖。參照第4K圖及第5圖，半導體元件包含一基板110、一鰭狀結構112、二個隔離結構120、一閘極190、二個間隙壁140及一閘極蝕刻停止層150。

【0027】 基板110的具體特徵可參考上述例示基板110的實施方式。鰭狀結構112位於基板110的上方。在各種實施例中，基板110具有一突出部分作為鰭狀結構112。此鰭狀結構112可包含源極區域、汲極區域和位於源極區域與汲極區域之間的通道區域。閘極190與通道區域重疊。

【0028】 二個隔離結構120位於基板110的上方，且鰭狀結構112位於二個隔離結構120之間。此二個隔離結構120彼此大致平行。值得注意的是，各個隔離結構120的上表面是非平面的。如第5圖所示，各個隔離結構120具有一凹部

124及二個斜坡部126鄰接此凹部124的兩側。換言之，凹部124位於二個斜坡部126之間。凹部124與斜坡部126之間的界線(以虛線標示)可由凹部124的邊緣決定。詳細而言，沿著凹部124邊緣延伸至隔離結構120內的延伸線，可作為凹部124與斜坡部126的界線。

【0029】 凹部124設置用以暴露鰭狀結構112兩側的多個部分，且用以容納閘極的多個部分(即閘極190的下部192)，如第4J圖所示。斜坡部126是由凹部124在間隙壁140下方的邊緣向下傾斜至遠離凹部124的一位置。在各種實施例中，如第4K圖所示，此二個隔離結構120的各個斜坡部126具有一最大高度H2低於鰭狀結構112的高度H1。

【0030】 閘極190跨越此鰭狀結構112，並位於鰭狀結構112及二個隔離結構120之凹部124的上方。閘極190具有二個下部192及一個上部194。其中一個凹部192標示在第4K圖中，另一個凹部設置在相對側，因此沒有標示。間隙壁底部的連接線可作為下部194與上部192的界線(以虛線標示)。第4K圖的兩個下部192分別設置在兩個隔離結構120的凹部124的上方，並且接觸第4J圖的鰭狀結構112的兩側暴露出的部分。上部194設置於鰭狀結構112的上方，並且橋接此二個下部192。在各種實施例中，如第5圖所示，由於下部192的形狀被閘極蝕刻停止層150所侷限，因此閘極190的各個下部192具有一最大寬度W1小於或等於閘極190之上部194的寬度W2與二個間隙壁140的底部寬度W3的總和(即 $W1 \leq W2 + 2W3$ )。

【0031】 二個間隙壁140位於閘極190之上部194的兩側。間隙壁140可由氧化矽、氮化矽、氮氧化矽、碳氮化矽或其他合適的材料製成。

【0032】 閘極蝕刻停止層150位於二個間隙壁140的下方，並位於二個隔離結構120之斜坡部126的上方，且接觸閘極190之各個下部192之兩側的部分。閘極蝕刻停止層150可包含氮化矽、碳氮化矽或其組合。在各種實施例中，閘極蝕刻停止層150自二個隔離結構120的斜坡部126延伸至閘極190之各個下部192之兩側的部分。在各種實施例中，閘極蝕刻停止層150更延伸至二個間隙壁140的底面。此外，在各種實施例中，閘極蝕刻停止層150更覆蓋二個間隙壁140的外表面140a。在各種實施例中，閘極蝕刻停止層150更覆蓋鰭狀結構112之兩側的其他部分，如第4K圖所示。

【0033】 閘極蝕刻停止層150的位置將於以下詳細描述。在各種實施例中，閘極蝕刻停止層150具有一邊緣150a接觸閘極190之下部192的一側及間隙壁140的一底面。在各種實施例中，邊緣150a的一端大致對準閘極190之上部194的邊緣194a。然而，一半導體元件，其閘極蝕刻停止層150的邊緣150a的一端接觸間隙壁140的底面，但未對準下部194的邊緣194a，亦可使用。由於閘極190之下部192的形狀被閘極蝕刻停止層150的邊緣150a所侷限，因此諸如閘極與源極/汲極之間的重疊電容增加的問題，以及由於閘極的寬闊底部所導致閘極漏電流增加的問題將不會發生。

【0034】 在各種實施例中，半導體元件更包含絕緣層160覆蓋二個間隙壁140及其下方的閘極蝕刻停止層150。在各種實施例中，半導體元件更包含接觸蝕刻停止層170覆蓋絕緣層160。在各種實施例中，半導體元件更包含層間絕緣層180覆蓋接觸蝕刻停止層170。絕緣層160、接觸蝕刻停止層170及層間絕緣層180的具體特徵可參考上述例示絕緣層160、接觸蝕刻停止層170及層間絕緣層180的實施方式。

【0035】 此外，半導體元件可更包含接觸元件(未繪示)接觸源極/汲極區域。接觸元件可由鎢、鎢基合金、銅、銅基合金或其他合適的導電材料製成。

【0036】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【符號說明】

#### 【0037】

10、110：基板

12、112：鰭狀結構

12a：鰭狀結構的一部分

20、120：隔離結構

20a、120a：凹洞

30、140：間隙壁



- 40、180：層間介電層
- 112a：通道區域
- 112b, 112c：源極/汲極區域
- 122：斜坡
- 122a：斜坡的邊緣
- 124：凹部
- 126：斜坡部
- 130：虛設閘極
- 130a：虛設閘極的邊緣
- 140a：間隙壁的外表面
- 150：閘極蝕刻停止層
- 150a：閘極蝕刻停止層的邊緣
- 160：絕緣層
- 170：接觸蝕刻停止層
- 190：閘極
- 192：下部
- 194：上部
- 194a：上部的邊緣
- H1：鰭狀結構的高度
- H2：斜坡部的最大高度
- S1、S2、S3、S4、S5、S6：步驟
- W1：下部的最大寬度
- W2：上部的寬度
- W3：間隙壁的底部寬度

201535528<sub>103144585</sub>

103. 12 19

201535528

## 【發明摘要】

【中文發明名稱】

半導體元件的製造方法及半導體元件

【英文發明名稱】

H01L 21/335 (2006.01)

H01L 21/336 (2006.01)

H01L 29/772 (2006.01)

METHOD FOR MANUFACTURING  
SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR DEVICE

● 【中文】

一種半導體元件的製造方法，包含形成二個隔離結構於基板內，以定義鰭狀結構於基板內的此二個隔離結構之間。形成虛設閘極及多個間隙壁橋接此二個隔離結構且位於鰭狀結構上方。以虛設閘極及間隙壁作為遮罩，蝕刻此二個隔離結構，以於此二個隔離結構內形成多個斜坡於這些間隙壁的下方。形成閘極蝕刻停止層覆蓋斜坡。移除虛設閘極及位於虛設閘極下方的此二個隔離結構，以製造受間隙壁及閘極蝕刻停止層侷限的凹洞。形成閘極於凹洞內。

● 【英文】

A method for manufacturing a semiconductor device includes forming two isolation structures in a substrate to define a fin structure between the two isolation structures in the substrate. A dummy gate and spacers are formed bridging the two isolation structures and over the fin structure. The two isolation structures are etched with the dummy gate

and the spacers as a mask to form a plurality of slopes under the spacers in the two isolation structures. A gate etch stop layer is formed overlying the plurality of slopes. The dummy gate and the two isolation structures beneath the dummy gate are removed to create a cavity confined by the spacers and the gate etch stop layer. A gate is then formed in the cavity.

**【指定代表圖】**

第 4K 圖

**【代表圖之符號簡單說明】**

- 110：基板
- 112：鰭狀結構
- 120：隔離結構
- 124：凹部
- 126：斜坡部
- 140：間隙壁
- 150：閘極蝕刻停止層
- 160：絕緣層
- 170：接觸蝕刻停止層
- 180：層間介電層
- 190：閘極
- 192：下部
- 194：上部

H1：鰭狀結構的高度

H2：斜坡部的最大高度

**【特徵化學式】**

無

## 【發明申請專利範圍】

【第 1 項】一種半導體元件的製造方法，該方法包含：  
形成二個隔離結構於一基板內，以定義一鰭狀結構於該基板內的該二個隔離結構之間；

形成一虛設閘極及複數個間隙壁橋接該二個隔離結構且位於該鰭狀結構上方；

以該虛設閘極及該些間隙壁作為遮罩，蝕刻該二個隔離結構，以於該二個隔離結構內形成複數個斜坡於該些間隙壁的下方；

形成一閘極蝕刻停止層覆蓋該些斜坡；

移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構，以製造受該些間隙壁及該閘極蝕刻停止層侷限之一凹洞；以及

形成一閘極於該凹洞內。

【第 2 項】如請求項第 1 項所述之半導體元件的製造方法，其中各該斜坡之一邊緣大致對準該虛設閘極之一邊緣。

【第 3 項】如請求項第 1 項所述之半導體元件的製造方法，其中形成該閘極蝕刻停止層覆蓋該些斜坡更包含形成該閘極蝕刻停止層於該些間隙壁的上方。

【第 4 項】如請求項第 1 項所述之半導體元件的製造

方法，其中形成該閘極蝕刻停止層覆蓋該些斜坡更包含形成該閘極蝕刻停止層覆蓋該鰭狀結構。

【第 5 項】如請求項第 1 項所述之半導體元件的製造方法，於移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構之前，更包含形成一絕緣層覆蓋該間隙壁及該閘極蝕刻停止層。

【第 6 項】如請求項第 5 項所述之半導體元件的製造方法，於移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構之前，更包含形成一接觸蝕刻停止層(contact etch stop layer, CESL)覆蓋該虛設閘極、該鰭狀結構及該絕緣層。

【第 7 項】如請求項第 6 項所述之半導體元件的製造方法，更包含：

形成一層間介電層(inter-layer dielectric, ILD)覆蓋該接觸蝕刻停止層；以及

研磨該層間介電層及該接觸蝕刻停止層，以於移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構之前，暴露出該虛設閘極之一上表面。

【第 8 項】如請求項第 1 項所述之半導體元件的製造方法，其中形成該閘極蝕刻停止層覆蓋該些斜坡係透過沉積一介電材料覆蓋該些斜坡達成，其中該介電材料包含氮

化矽、碳氮化矽或其組合。

【第 9 項】如請求項第 1 項所述之半導體元件的製造方法，其中形成該閘極於該凹洞內係透過沉積一含金屬材料於該凹洞內達成。

【第 10 項】一種半導體元件，包含：

一基板；

一鰭狀結構，位於該基板上方；

二個隔離結構，位於該基板上方，該鰭狀結構位於該二個隔離結構之間，其中各該隔離結構具有一凹部及二個斜坡部鄰接該凹部的兩側，該些凹部設置用以暴露該鰭狀結構兩側的部分；

一閘極，跨越該鰭狀結構，並位於該鰭狀結構及該二個隔離結構之該些凹部的上方，其中該閘極具有二個下部及一個上部，該二個下部位於該二個隔離結構之該些凹部的上方，且接觸該鰭狀結構之該兩側的該部分，該上部位於該鰭狀結構上方且橋接該二個下部；

二個間隙壁，位於該閘極之該上部的兩側；以及

一閘極蝕刻停止層，位於該二個間隙壁的下方及該二個隔離結構之該些斜坡部的上方，並接觸該閘極之各該下部之兩側的部分。

【第 11 項】如請求項第 10 項所述之半導體元件，其中該閘極蝕刻停止層自該二個隔離結構之該些斜坡部延伸

至該閘極之各該下部之該兩側的該部分。

【第 12 項】如請求項第 11 項所述之半導體元件，其中該閘極蝕刻停止層更延伸至該二個間隙壁的底面。

【第 13 項】請求項第 10 項所述之半導體元件，其中該閘極的各該下部具有一最大寬度小於或等於該閘極之該上部的一寬度與該二個間隙壁之底部寬度的總和。

【第 14 項】請求項第 10 項所述之半導體元件，其中該二個隔離結構的各該斜坡部具有一最大高度小於該鰭狀結構的一高度。

【第 15 項】請求項第 10 項所述之半導體元件，其中該閘極蝕刻停止層具有一邊緣大致對準該閘極之該上部的一邊緣。

【第 16 項】請求項第 10 項所述之半導體元件，其中該閘極蝕刻停止層更覆蓋該二個間隙壁的外表面。

【第 17 項】請求項第 10 項所述之半導體元件，其中該閘極蝕刻停止層更覆蓋該鰭狀結構之該兩側的其他部分。

【第 18 項】請求項第 10 項所述之半導體元件，更包

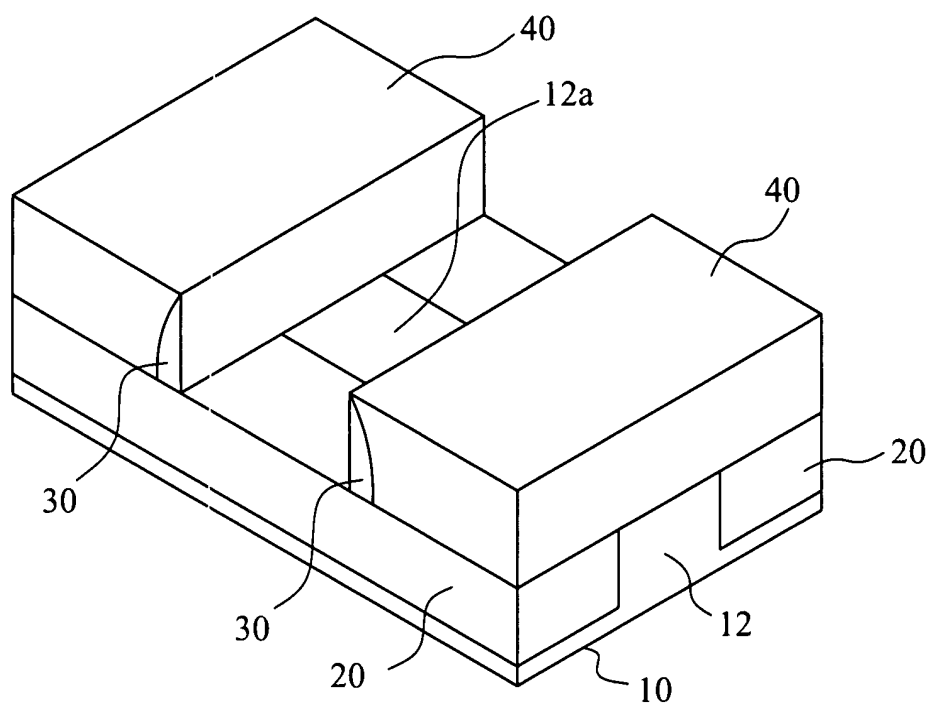


含一絕緣層，覆蓋該閘極蝕刻停止層及該二個間隙壁。

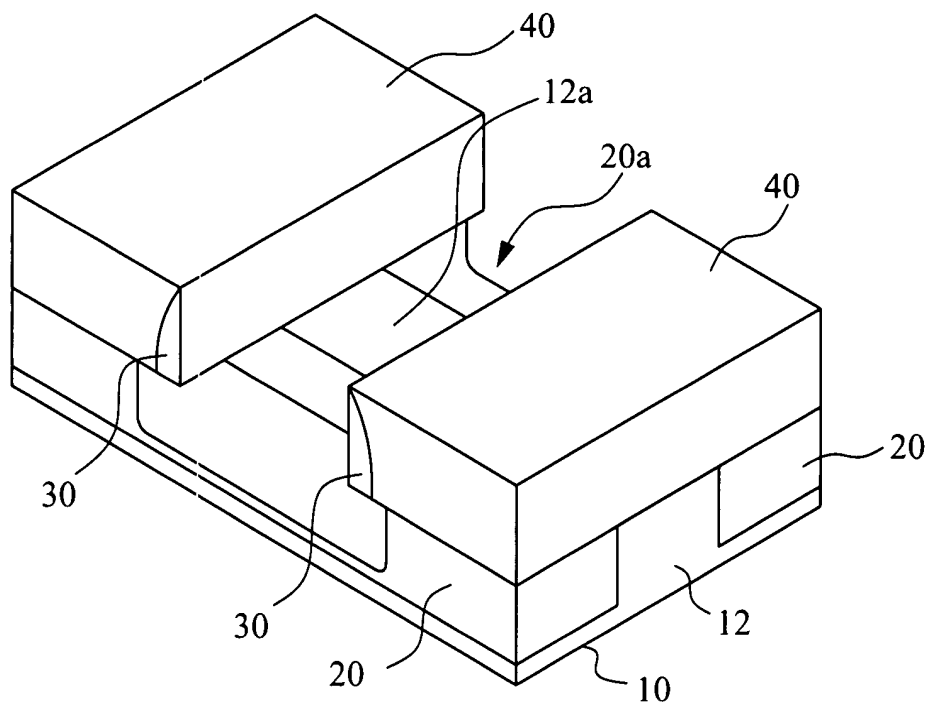
【第 19 項】請求項第 18 項所述之半導體元件，更包含一接觸蝕刻停止層覆蓋該絕緣層及該鰭狀結構。

【第 20 項】請求項第 10 項所述之半導體元件，其中該閘極蝕刻停止層包含氮化矽、碳氮化矽或其組合。

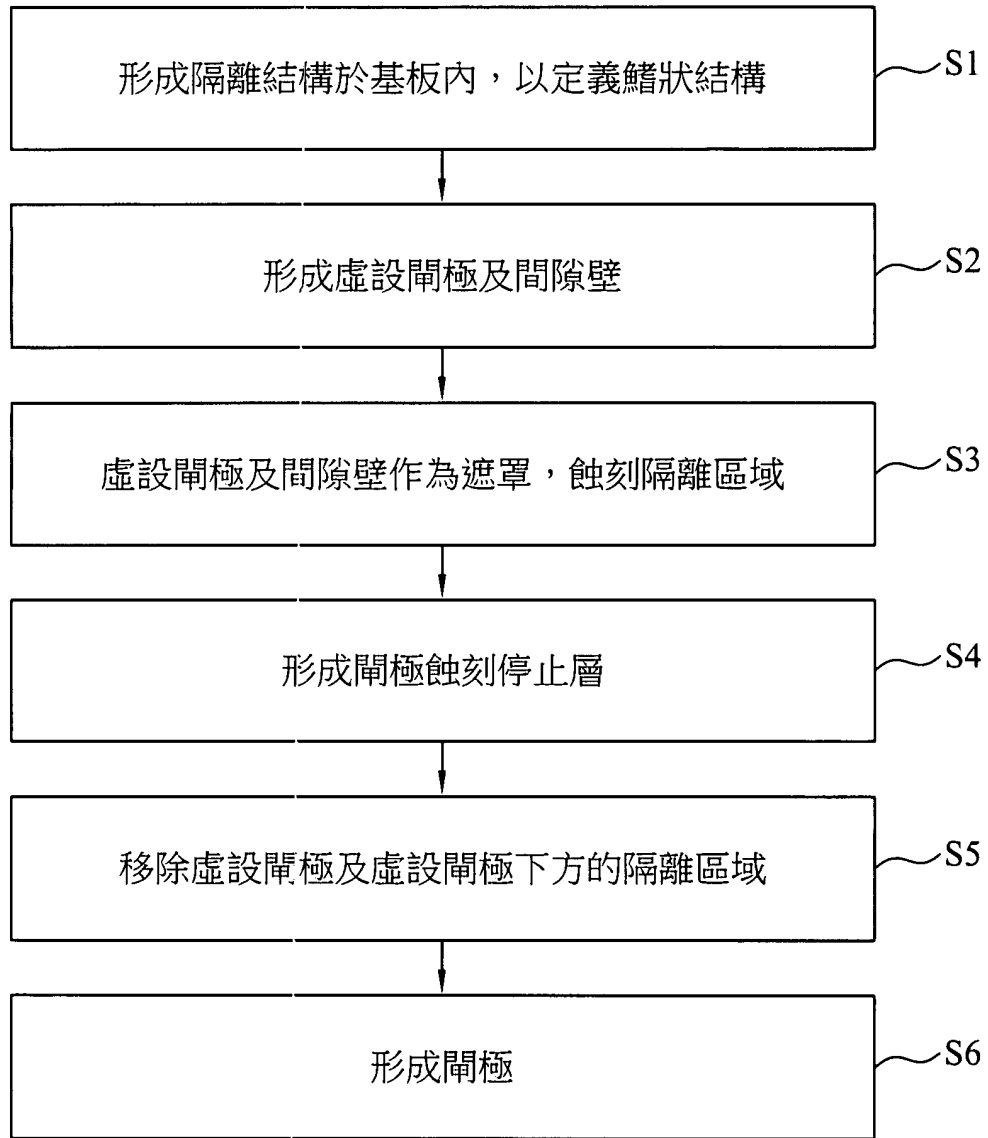
圖式



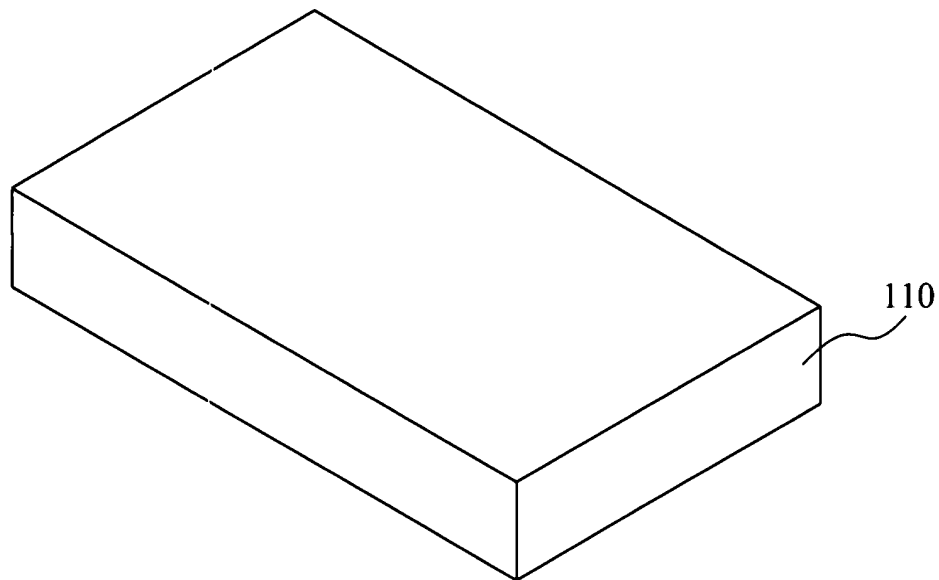
第 1 圖



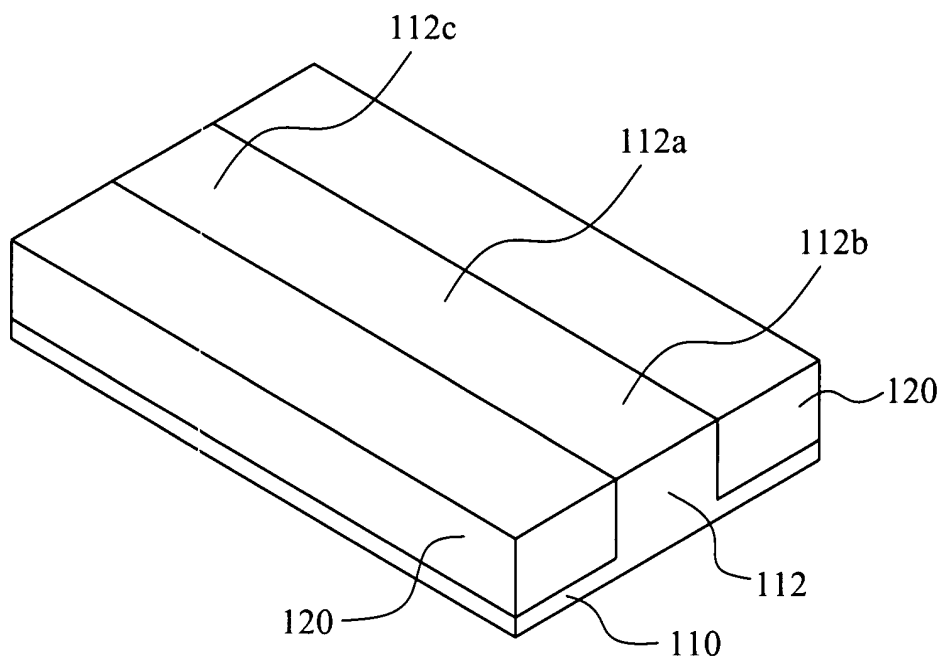
第 2 圖



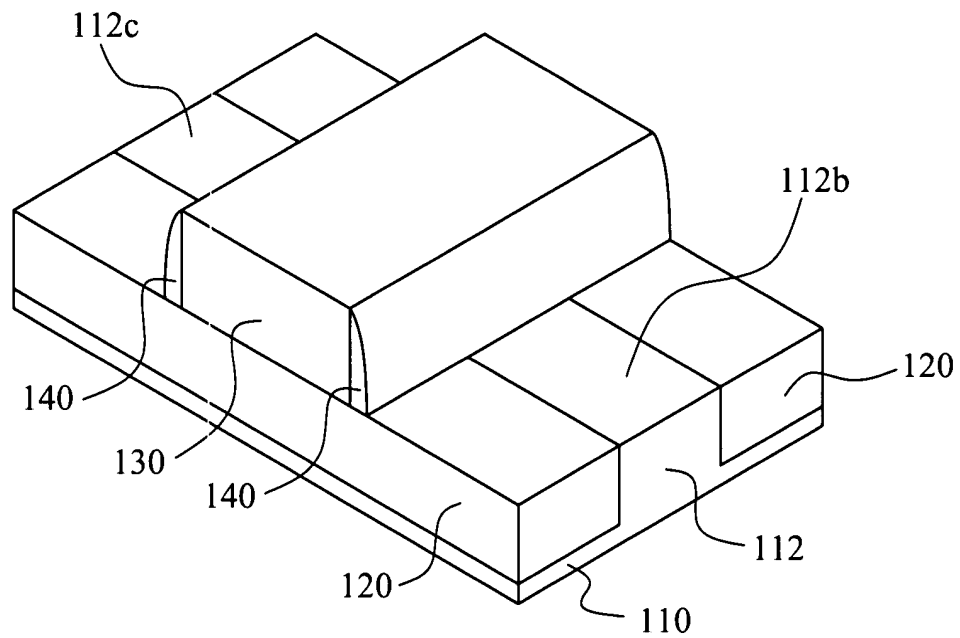
第 3 圖



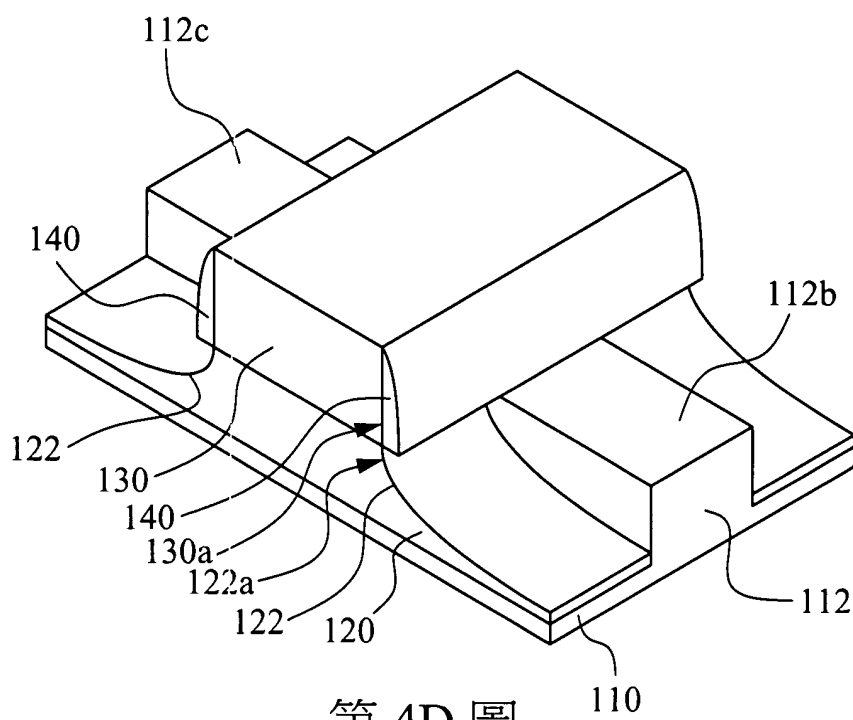
第4A圖



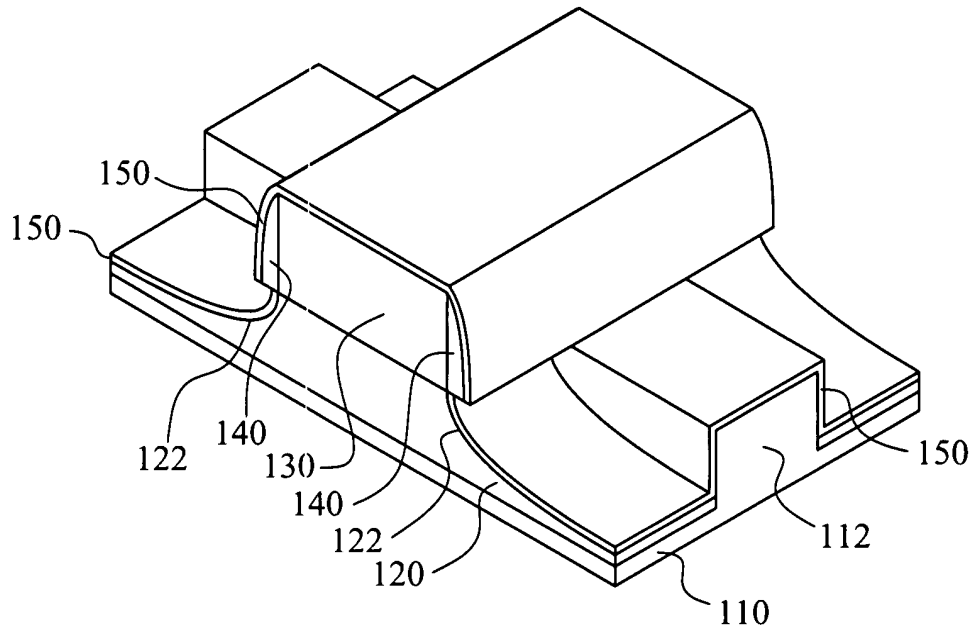
第4B圖



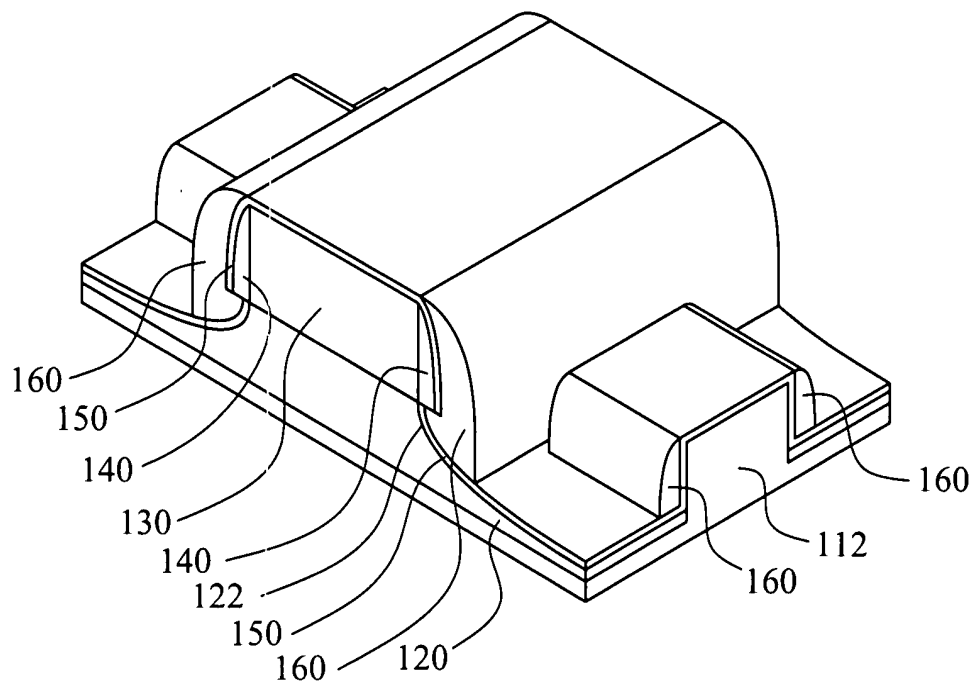
第 4C 圖



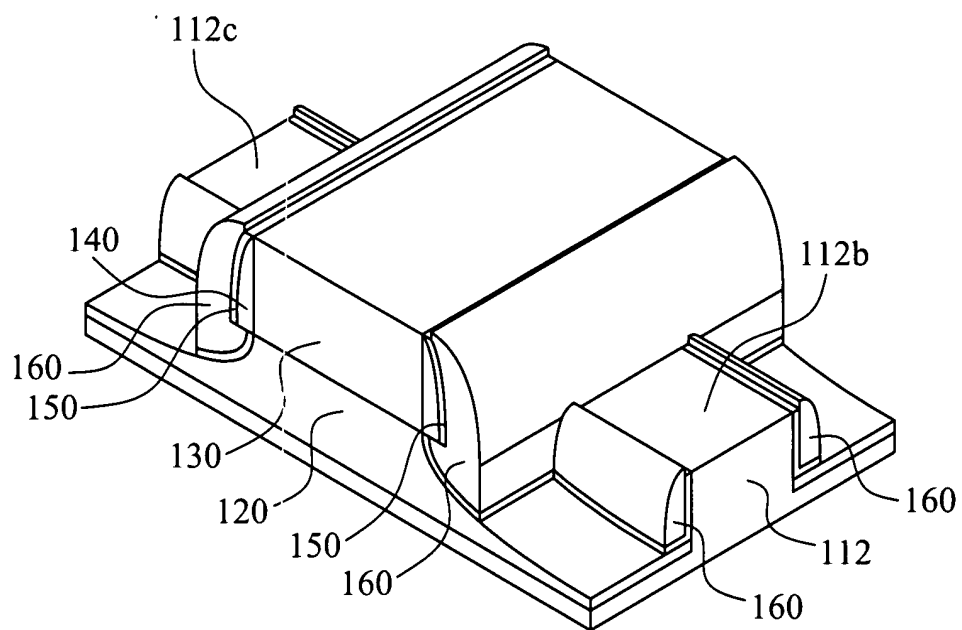
第 4D 圖



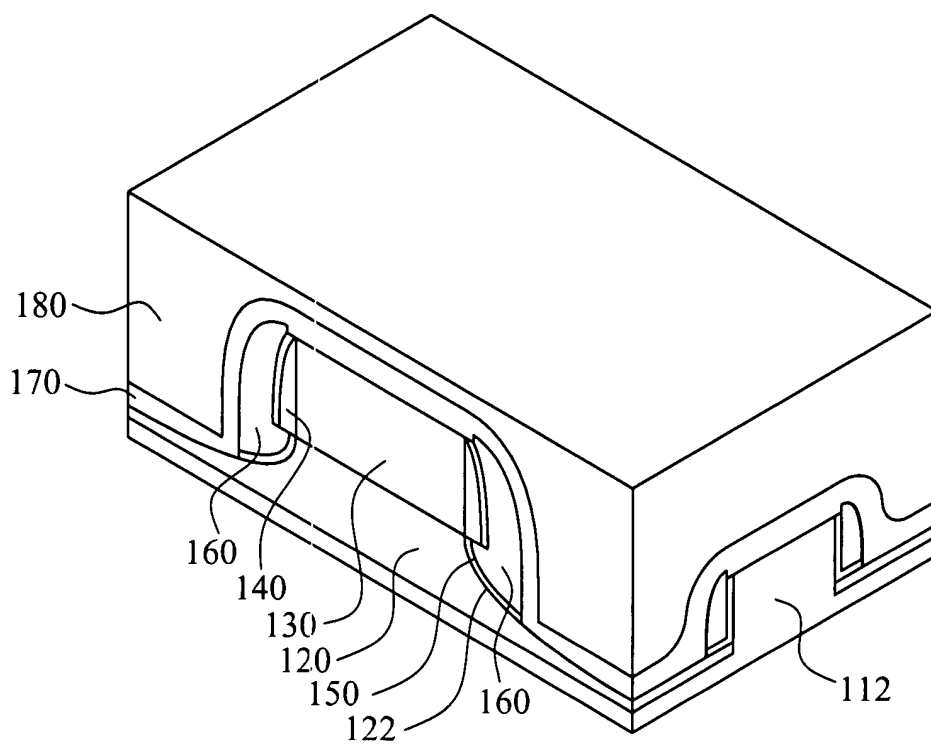
第4E圖



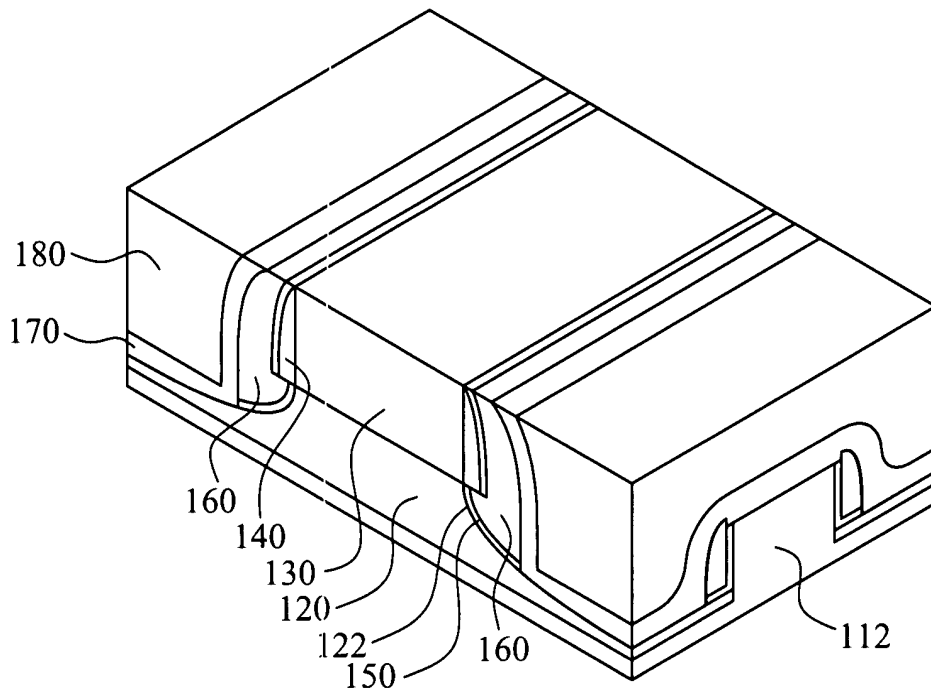
第4F圖



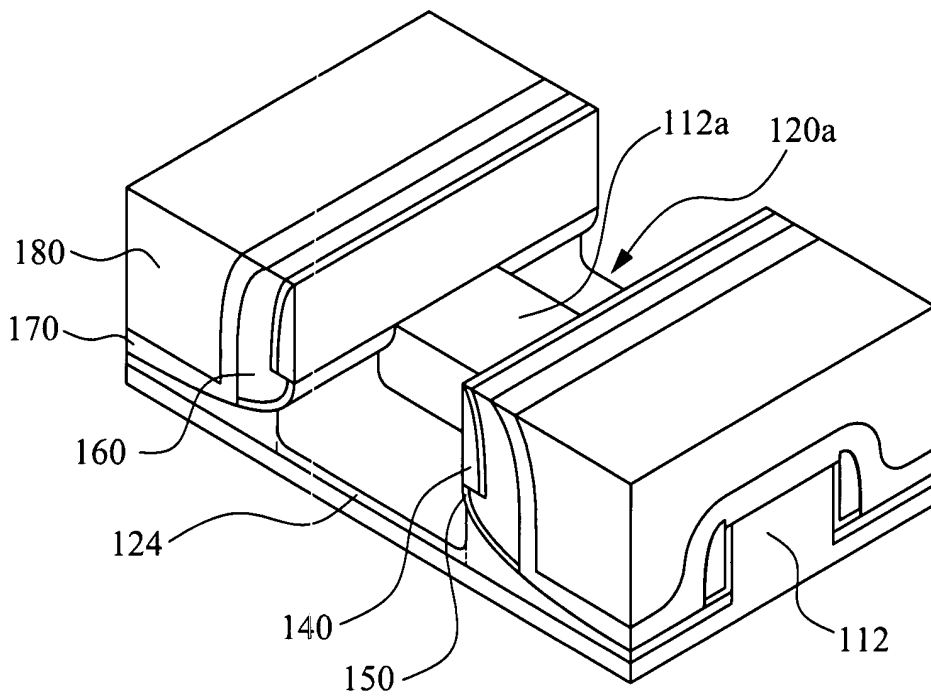
第4G圖



第4H圖

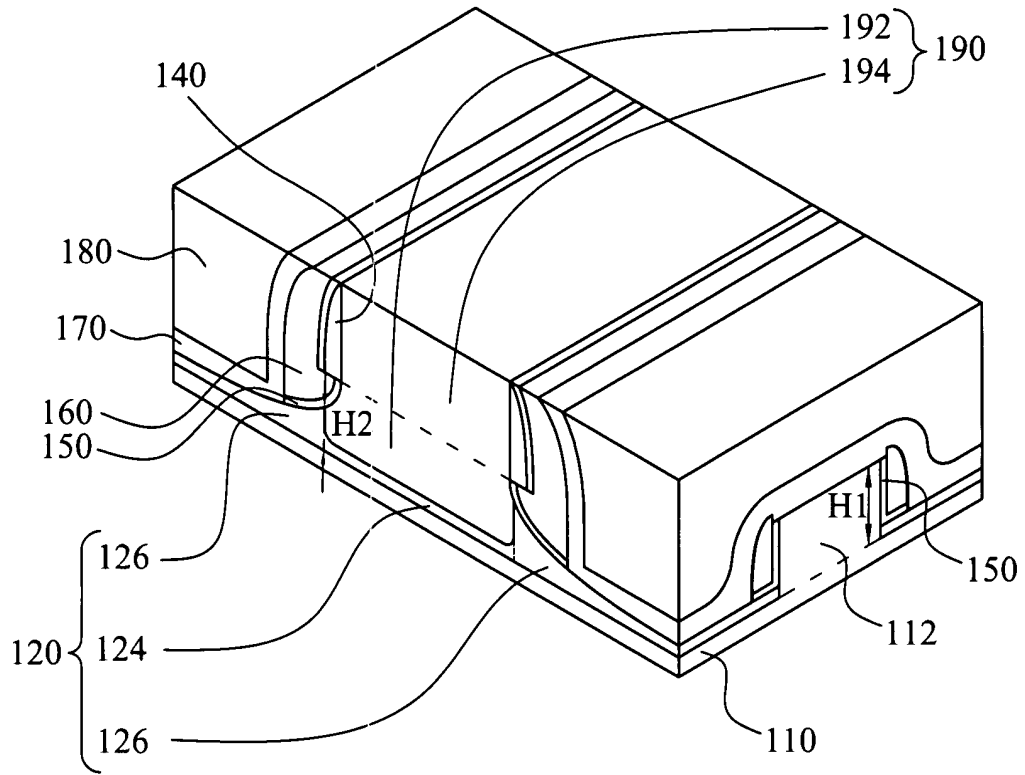


第 4I 圖

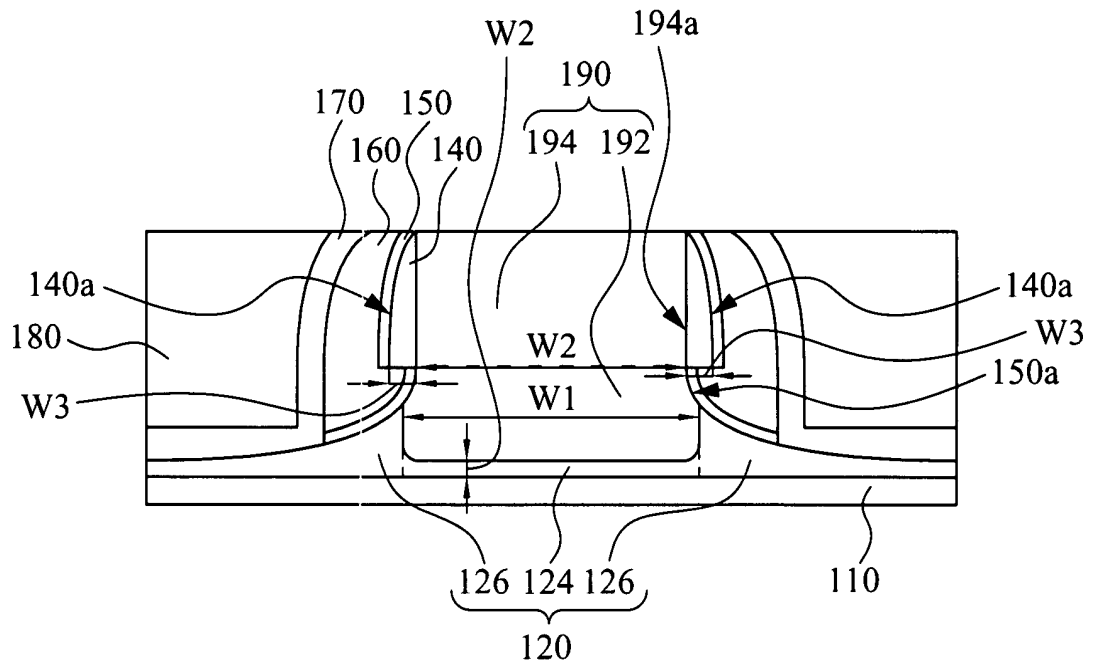


第 4J 圖





第4K圖



第5圖

# 【發明說明書】

## 【中文發明名稱】

半導體元件的製造方法及半導體元件

## 【英文發明名稱】

METHOD FOR MANUFACTURING  
SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR DEVICE

## 【技術領域】

【0001】 本發明係有關於一種半導體元件的製造方法及半導體元件。

## 【先前技術】

【0002】 半導體積體電路產業歷經快速成長。在成長的過程中，半導體元件的功能密度提昇，元件特徵尺寸或幾何結構變小。此尺寸縮小製程一般具有提高生產效率、減少成本和/或改善元件效能等優勢。然而，這樣的尺寸縮小製程也增加了積體電路製造過程的複雜性。

【0003】 針對積體電路幾何結構縮小的要求，引入了非平面式場效電晶體。此非平面式場效電晶體具有半導體鰭及閘極，閘極位於半導體鰭頂部的上方。然而，這樣的半導體元件的效能在科技先進應用中仍不能令人滿意。因此，持續尋求提昇半導體元件的效能的結構及其製造方法。

**【發明內容】**

**【0004】** 本發明提供一種半導體元件的製造方法，包含：形成二個隔離結構於一基板內，以定義一鱗狀結構於此基板內的此二個隔離結構之間；形成一虛設閘極及多個間隙壁橋接此二個隔離結構，並且位於此鱗狀結構上方；以此虛設閘極及這些間隙壁作為遮罩，蝕刻此二個隔離結構，以於此二個隔離結構內形成多個斜坡於這些間隙壁的下方；形成一閘極蝕刻停止層覆蓋這些斜坡；移除此虛設閘極及位於此虛設閘極下方的此二個隔離結構，以製造受這些間隙壁及此閘極蝕刻停止層侷限之一凹洞；以及形成一閘極於此凹洞內。

**【0005】** 本發明另提供一種半導體元件，包含一基板、一鱗狀結構、二個隔離結構、一閘極、二個間隙壁及一閘極蝕刻停止層。此鱗狀結構位於此基板上方。此二個隔離結構位於此基板上方。此鱗狀結構位於此二個隔離結構之間。各個隔離結構具有一凹部及二個斜坡部鄰接此凹部的兩側，且這些凹部設置用以暴露此鱗狀結構兩側的部分。此閘極跨越此鱗狀結構，並位於此鱗狀結構及此二個隔離結構之這些凹部的上方。此閘極具有二個下部及一個上部，此二個下部位於此二個隔離結構之這些凹部的上方，且接觸此鱗狀結構之此兩側的此部分，此上部位於此鱗狀結構的上方且橋接此二個下部。此二個間隙壁位於此閘極之此上部的兩側。此閘極蝕刻停止層位於此二個間隙壁的下方及此二個隔離結構之這些斜坡部的上方，並接觸此閘極之各個下部之兩側的部

分。

### 【圖式簡單說明】

【0006】 為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖繪示一個一般半導體元件的立體圖。

第 2 圖繪示另一個一般半導體元件的立體圖。

第 3 圖繪示根據本發明各種實施例之一種半導體元件之製造方法的流程圖。

第 4A-4K 圖繪示根據本發明多個實施例之製造半導體元件在各個製程階段的剖面示意圖。

第 5 圖繪示第 4K 圖之半導體元件的側視圖。

### 【實施方式】

【0007】 以下提供本發明之多種不同的實施例或實例，以實現所提供之標的的不同技術特徵。下述具體實例的元件和設計用以簡化本發明。當然，這些僅為示例，而非用以限定本發明。舉例而言，說明書中揭示形成第一特徵結構於第二特徵結構之上方，其包括第一特徵結構與第二特徵結構形成而直接接觸的實施例，亦包括於第一特徵結構與第二特徵結構之間另有其他特徵結構的實施例，亦即，第一特徵結構與第二特徵結構並非直接接觸。此外，本發明於各個實例中可能用到重複的參考符號及/或用字。這些重複符號或用字係為了簡化與清晰的目的，並非用以限定各個實施例及/或所述結構之間的關係。

【0008】 在本文所使用的單數形式「一」和「該」包含複數個對象，除非上下文另有特別說明。因此，舉例而言，一個元件包含具有二或多個元件的實施例，除非上下文另有特別說明。本文中的「一實施例」意味著此實施例描述的特定特徵、結構或特點被包含在本發明的至少一實施例中。因此，出現在本文中不同處的「在一實施例中」，不一定是指相同的實施例。此外，在一或多個實施例中，特定的特徵、結構或特點可以使用任何方式組合。此外，應當理解的是，後續附圖不是按照比例繪製；更確切地說，這些附圖是用於說明。

【0009】 第1圖繪示一個一般半導體元件的立體圖。半導體元件包含一基板10、一鰭狀結構12、二個隔離結構20、二個間隙壁30及一層間介電層(inter-layer dielectric (ILD))40。鰭狀結構12位於基板10上方，且位於兩個隔離結構20之間。閘極(未繪示)位於一凹洞(未標示)內，此凹洞受兩個間隙壁30、鰭狀結構12及隔離結構20所侷限；換言之，閘極位於兩個間隙壁30之間，並位於鰭狀結構12及隔離結構20的上方。閘極接觸鰭狀結構12之一部分12a的上表面。鰭狀結構12之此部分12a可作為通道區域。位於層間介電層40下方之鰭狀結構12的其他部分可作為源極/汲極區域。然而，由於閘極與鰭狀結構12之間的接觸面積小，使得這樣的半導體元件的元件效能在科技先進應用中仍不能令人滿意。

【0010】 為了獲得更好的元件效能，提供另一種半導體

元件，如第2圖所示。第1圖的各個隔離結構20被蝕刻，以形成凹洞20a，然後形成閘極(未繪示)於凹洞20a內且於間隙壁30之間。相較於第1圖，閘極與鰭狀結構12之間的接觸面積增加，這是因為在形成閘極之間，鰭狀結構12具有較大的暴露面積。因此，可提昇半導體元件的元件效能及閘極對通道導電性控制的能力。然而，在蝕刻隔離結構20時，會發生側向蝕刻，使後續形成的閘極具有寬闊的底部，這會導致閘極與源極/汲極區域(亦即在層間介電層40下方之鰭狀結構12的部分)之間的重疊電容(overlap capacitance ( $C_{ov}$ ))提高。詳細而言，閘極的寬闊底部可能會接觸源極/汲極區域，從而導致重疊電容提高。閘極的寬闊底部也會使兩個相鄰的閘極之間的距離縮短，進而使閘極漏電流提高。有鑑於上述問題，提供閘極蝕刻停止層，以避免隔離結構20在蝕刻時發生側向蝕刻，進而避免閘極與源極/汲極區域之間的重疊電容提高及閘極漏電流提高。本發明的實施方式將於以下詳細描述。

● **【0011】** 本發明之一方面提供一種半導體元件的製造方法。第3圖繪示根據本發明多個實施例之一種半導體元件之製造方法的流程圖。第3圖之方法的步驟參照第4A-4K圖進行解釋，第4A-4K圖為根據本發明多個實施例之製造半導體元件在各個製程階段的剖面示意圖。應當理解的是，第4A-4K圖僅用於說明，並非旨在限制本發明。

**【0012】** 如第4A圖所示，提供一基板110。基板110可包含元素半導體，包括矽或鍺結晶、多晶和/或無定形結構；

化合物半導體，包括碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦和/或銻化銦；合金半導體，包括矽鍺、磷砷化鎵、砷化鋁銦、砷化鋁鎵、砷化鎵銦、磷化鎵銦和/或磷砷化鎵銦；任何其他合適的材料；和/或其組合。

【0013】 在步驟S1中，形成二個隔離結構120於基板110內，以定義一鰭狀結構112於基板110內的此二個隔離結構120之間，如第4B圖所示。隔離結構120可為單層或多層結構。隔離結構120可由氧化矽、氮化矽、氮氧化矽、氟化物摻雜矽酸鹽玻璃 (fluoride-doped silicate glass (FSG))、低介電常數材料和/或其他合適的絕緣材料所製成。隔離結構120可為淺溝渠隔離 (shallow trench isolation (STI))特徵。在各種實施例中，隔離結構120為淺溝渠隔離特徵，其係藉由蝕刻第4A圖所示的基板110，以形成溝渠，然後填充隔離材料於溝渠中，再進行化學機械研磨 (chemical mechanical polish (CMP))製程而製得。其他用於製造隔離結構120的技術也是可行的。

【0014】 鰭狀結構112可由包含光學微影和蝕刻的合適製程製造而得。光學微影製程可包含形成一光阻層(未繪示)覆蓋第4A圖所示之基板110的上方，對光阻層進行曝光，以形成一圖案，進行曝光後烘烤製程，對圖案進行顯影製程，以形成遮蔽元件。此遮蔽元件用以在進行蝕刻製程以形成溝渠於基板110內，並留下延伸的鰭狀結構112時，保護基板110的多個部分。舉例來說，溝渠可利用反應性離子蝕刻 (reactive ion etch (RIE))和/或其他合適的製程形成。用

以製造鰭狀結構112在基板110內的許多其他方法的實施例也是合適的。在形成鰭狀結構112後，源極與汲極區域112b, 112c可形成在鰭狀結構112的相對兩端。一通道區域112a位於源極與汲極區域112b, 112c之間。此源極與汲極區域112b, 112c可由任何合適的方法形成，例如透過選擇性外延生長。

【0015】 在步驟S2中，形成一虛設閘極130及多個間隙壁140橋接此二個隔離結構120且位於此鰭狀結構112上方，如第4C圖所示。虛設閘極130覆蓋第4B圖的通道區域112a，但未覆蓋源極與汲極區域112b, 112c。虛設閘極130之後會被移除(即後續步驟S5)，然後沉積一導電材料，以形成一真正的閘極(即後續步驟S6)。虛設閘極130可由多晶矽、非晶矽或其他合適的材料製成，並藉由沉積形成，例如化學氣相沉積(chemical vapor deposition (CVD))或物理氣相沉積(physical vapor deposition (PVD))。間隙壁140形成於虛設閘極130的兩側。舉例而言，可先沉積一介電材料(未繪示)，然後進行蝕刻，以形成間隙壁140於虛設閘極130的相對兩側上。間隙壁140可由氧化矽、氮化矽、氮氧化矽、碳氮化矽或其他合適的材料製成。

【0016】 在步驟S3中，如第4D圖所示，以虛設閘極130及間隙壁140作為遮罩，蝕刻此二個隔離結構120，以於此二個隔離結構120內形成多個斜坡122於這些間隙壁140的下方。在各種實施例中，進行乾蝕刻、濕蝕刻或乾蝕刻與濕蝕刻，以蝕刻隔離結構120至一位置，此位置位於間隙壁140



的下方。在各種實施例中，各個斜坡122具有一邊緣122a大致對準虛設閘極130的一邊緣130a；因此，必須精準控制蝕刻製程條件，以蝕刻隔離結構120至所需的位置，此所需的位置大致對準虛設閘極130的邊緣130a。在數個實施例中，第4C圖的間隙壁140被削薄至一寬度，以使進行蝕刻製程時，蝕刻隔離結構120至大致對齊虛設閘極130的邊緣130a之所需的位置變得容易。

● **【0017】** 在步驟S4中，形成一閘極蝕刻停止層150覆蓋這些斜坡122，如第4E圖所示。詳細而言，形成閘極蝕刻停止層150覆蓋這些斜坡122、間隙壁140、虛設閘極130及鰭狀結構112。在各種實施例中，步驟S4是透過沉積一介電材料覆蓋這些斜坡122而達成。在各種實施例中，介電材料包含氮化矽、碳氮化矽或其組合。值得注意的是，閘極蝕刻停止層150設置用以在移除虛設閘極130及其下方的隔離結構120時(即步驟S5)，避免側向蝕刻；因此，閘極蝕刻停止層150應設置於間隙壁140的下方，以有效避免側向蝕刻。因此，在步驟S3中，隔離結構120需被蝕刻至間隙壁140下方的位置，如第4D圖所示。此外，閘極蝕刻停止層150的厚度可以適當地調整，以避免側向蝕刻，因此不加以限制。

● **【0018】** 在各種實施例中，如第4F圖所示，在步驟S4之後及步驟S5之前，形成一選擇性的絕緣層160覆蓋間隙壁140及其下方的閘極蝕刻停止層150。絕緣層160可用以填充位於間隙壁140下方的空間(參照第4E圖)，且可用以作為虛設閘極130的側壁。此絕緣層160亦可形成於鰭狀結構

112的兩側。舉例來說，可沉積一介電材料，然後進行蝕刻，以形成絕緣層160覆蓋間隙壁140及鰭狀結構112的兩側。此絕緣材料160可由氧化矽、氮化矽、氮氧化矽、碳氮化矽或其他合適的材料製成。

【0019】 在各種實施例中，如第4G圖所示，覆蓋虛設閘極130及鰭狀結構112的閘極蝕刻停止層150可選擇性地移除，以暴露出虛設閘極130的上表面及源極與汲極區域112b, 112c的上表面。可移除覆蓋虛設閘極130的閘極蝕刻停止層150，以減少移除虛設閘極130及其下方的隔離結構120(即步驟S5)的製程複雜性。此外，可在後續製程中形成多個接觸元件(例如接觸插塞)，以連接源極/汲極區域112b, 112c。因此，可移除覆蓋源極/汲極區域112b, 112c的閘極蝕刻停止層150，以避免形成接觸窗的製程複雜性。接觸窗用以暴露出源極/汲極區域112b, 112c的上表面及用以容納接觸元件。

【0020】 在各種實施例中，如第4H圖所示，在形成絕緣層160之後，步驟S5之前，形成接觸蝕刻停止層(contact etch stop layer (CESL))170覆蓋虛設閘極130、鰭狀結構112及絕緣層160。在各種實施例中，接觸蝕刻停止層170可由氮化矽、氮氧化矽、碳氮化矽和/或其他合適的絕緣材料製成，且可由化學氣相沉積形成。但也可使用其他替代方法製造接觸蝕刻停止層170。

【0021】 在各種實施例中，在形成接觸蝕刻停止層170之後，形成層間介電層180覆蓋接觸蝕刻停止層170，如第

4H圖所示。層間介電層180可由氧化矽、氮氧化矽和/或其他合適的絕緣材料製成，且可由化學氣相沉積、濺鍍或者其他用以形成層間介電層180的已知且被使用的現有技術形成。

【0022】在各種實施例中，如第4I圖所示，此方法更包含研磨層間介電層180及接觸蝕刻停止層170，以於步驟S5之前，暴露出虛設閘極130的上表面。在各種實施例中，對層間介電層180、接觸蝕刻停止層170及絕緣層160進行化學機械研磨製程，以形成層間介電層180、接觸蝕刻停止層170及絕緣層160平坦的表面。

【0023】在步驟S5中，如第4J圖所示，移除虛設閘極130及位於此虛設閘極130下方的此二個隔離結構120，以製造受這些間隙壁140及此閘極蝕刻停止層150侷限的凹洞120a。在步驟S5中，由於化學物質的選擇性，閘極蝕刻停止層150沒有被移除掉。也就是說，用以移除虛設閘極130及其下方的隔離結構120的化學物質不適用於閘極蝕刻停止層150。因此，在步驟S5之後，閘極蝕刻停止層150可以被保留。後續步驟S6所形成的真正閘極的形狀及其位置由閘極蝕刻停止層150及凹洞120a決定。

【0024】在步驟S6中，如第4K圖所示，形成一閘極190(即上述之真正閘極)於第4J圖所示的凹洞120a內。在各種實施例中，步驟S6是透過沉積含金屬材料於凹洞120a內達成。此含金屬材料可包含鎢(W)、鉭(Ta)、鈦(Ti)、鎳(Ni)、氮化鉭矽(TaSiN)、氮化鉭(TaN)、高介電常數金屬

或其他合適的材料。然後，可以研磨含金屬材料，以使閘極190與層間介電層180、接觸蝕刻停止層170、絕緣層160及閘極蝕刻停止層150的上表面齊平。由於閘極190的形狀被閘極蝕刻停止層150侷限，因此諸如閘極與源極/汲極之間的重疊電容增加的問題，以及由於閘極的寬闊底部所導致閘極漏電流增加的問題將不會發生。

【0025】 在形成閘極190之後，可形成多個接觸窗(未繪示)穿透層間介電層180及接觸蝕刻停止層170。接觸元件(未繪示)可分別形成於接觸窗內，以電性連接第4G圖所示的源極/汲極區域112b, 112c。

【0026】 本發明的另一方面提供一種半導體元件。第5圖繪示第4K圖之半導體元件的側視圖。參照第4K圖及第5圖，半導體元件包含一基板110、一鰭狀結構112、二個隔離結構120、一閘極190、二個間隙壁140及一閘極蝕刻停止層150。

【0027】 基板110的具體特徵可參考上述例示基板110的實施方式。鰭狀結構112位於基板110的上方。在各種實施例中，基板110具有一突出部分作為鰭狀結構112。此鰭狀結構112可包含源極區域、汲極區域和位於源極區域與汲極區域之間的通道區域。閘極190與通道區域重疊。

【0028】 二個隔離結構120位於基板110的上方，且鰭狀結構112位於二個隔離結構120之間。此二個隔離結構120彼此大致平行。值得注意的是，各個隔離結構120的上表面是非平面的。如第5圖所示，各個隔離結構120具有一凹部

124及二個斜坡部126鄰接此凹部124的兩側。換言之，凹部124位於二個斜坡部126之間。凹部124與斜坡部126之間的界線(以虛線標示)可由凹部124的邊緣決定。詳細而言，沿著凹部124邊緣延伸至隔離結構120內的延伸線，可作為凹部124與斜坡部126的界線。

【0029】 凹部124設置用以暴露鰭狀結構112兩側的多個部分，且用以容納閘極的多個部分(即閘極190的下部192)，如第4J圖所示。斜坡部126是由凹部124在間隙壁140下方的邊緣向下傾斜至遠離凹部124的一位置。在各種實施例中，如第4K圖所示，此二個隔離結構120的各個斜坡部126具有一最大高度 $H_2$ 低於鰭狀結構112的高度 $H_1$ 。

【0030】 閘極190跨越此鰭狀結構112，並位於鰭狀結構112及二個隔離結構120之凹部124的上方。閘極190具有二個下部192及一個上部194。其中一個凹部192標示在第4K圖中，另一個凹部設置在相對側，因此沒有標示。間隙壁底部的連接線可作為下部194與上部192的界線(以虛線標示)。第4K圖的兩個下部192分別設置在兩個隔離結構120的凹部124的上方，並且接觸第4J圖的鰭狀結構112的兩側暴露出的部分。上部194設置於鰭狀結構112的上方，並且橋接此二個下部192。在各種實施例中，如第5圖所示，由於下部192的形狀被閘極蝕刻停止層150所侷限，因此閘極190的各個下部192具有一最大寬度 $W_1$ 小於或等於閘極190之上部194的寬度 $W_2$ 與二個間隙壁140的底部寬度 $W_3$ 的總和(即 $W_1 \leq W_2 + 2W_3$ )。

【0031】 二個間隙壁140位於閘極190之上部194的兩側。間隙壁140可由氧化矽、氮化矽、氮氧化矽、碳氮化矽或其他合適的材料製成。

【0032】 閘極蝕刻停止層150位於二個間隙壁140的下方，並位於二個隔離結構120之斜坡部126的上方，且接觸閘極190之各個下部192之兩側的部分。閘極蝕刻停止層150可包含氮化矽、碳氮化矽或其組合。在各種實施例中，閘極蝕刻停止層150自二個隔離結構120的斜坡部126延伸至閘極190之各個下部192之兩側的部分。在各種實施例中，閘極蝕刻停止層150更延伸至二個間隙壁140的底面。此外，在各種實施例中，閘極蝕刻停止層150更覆蓋二個間隙壁140的外表面140a。在各種實施例中，閘極蝕刻停止層150更覆蓋鰭狀結構112之兩側的其他部分，如第4K圖所示。

【0033】 閘極蝕刻停止層150的位置將於以下詳細描述。在各種實施例中，閘極蝕刻停止層150具有一邊緣150a接觸閘極190之下部192的一側及間隙壁140的一底面。在各種實施例中，邊緣150a的一端大致對準閘極190之上部194的邊緣194a。然而，一半導體元件，其閘極蝕刻停止層150的邊緣150a的一端接觸間隙壁140的底面，但未對準下部194的邊緣194a，亦可使用。由於閘極190之下部192的形狀被閘極蝕刻停止層150的邊緣150a所侷限，因此諸如閘極與源極/汲極之間的重疊電容增加的問題，以及由於閘極的寬闊底部所導致閘極漏電流增加的問題將不會發生。

【0034】 在各種實施例中，半導體元件更包含絕緣層160覆蓋二個間隙壁140及其下方的閘極蝕刻停止層150。在各種實施例中，半導體元件更包含接觸蝕刻停止層170覆蓋絕緣層160。在各種實施例中，半導體元件更包含層間絕緣層180覆蓋接觸蝕刻停止層170。絕緣層160、接觸蝕刻停止層170及層間絕緣層180的具體特徵可參考上述例示絕緣層160、接觸蝕刻停止層170及層間絕緣層180的實施方式。

【0035】 此外，半導體元件可更包含接觸元件(未繪示)接觸源極/汲極區域。接觸元件可由鎢、鎢基合金、銅、銅基合金或其他合適的導電材料製成。

【0036】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

## 【符號說明】

### 【0037】

- 10、110：基板
- 12、112：鰭狀結構
- 12a：鰭狀結構的一部分
- 20、120：隔離結構
- 20a、120a：凹洞
- 30、140：間隙壁

- 40、180：層間介電層
- 112a：通道區域
- 112b, 112c：源極/汲極區域
- 122：斜坡
- 122a：斜坡的邊緣
- 124：凹部
- 126：斜坡部
- 130：虛設閘極
- 130a：虛設閘極的邊緣
- 140a：間隙壁的外表面
- 150：閘極蝕刻停止層
- 150a：閘極蝕刻停止層的邊緣
- 160：絕緣層
- 170：接觸蝕刻停止層
- 190：閘極
- 192：下部
- 194：上部
- 194a：上部的邊緣
- H1：鰭狀結構的高度
- H2：斜坡部的最大高度
- S1、S2、S3、S4、S5、S6：步驟
- W1：下部的最大寬度
- W2：上部的寬度
- W3：間隙壁的底部寬度



## 【發明摘要】

## 【中文發明名稱】

半導體元件的製造方法及半導體元件

## 【英文發明名稱】

METHOD FOR MANUFACTURING  
SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR DEVICE

HOIL 21/335 (2006.01)

HOIL 21/336 (2006.01)

HOIL 29/172 (2006.01)

## 【中文】

一種半導體元件的製造方法，包含形成二個隔離結構於基板內，以定義鰭狀結構於基板內的此二個隔離結構之間。形成虛設閘極及多個間隙壁橋接此二個隔離結構且位於鰭狀結構上方。以虛設閘極及間隙壁作為遮罩，蝕刻此二個隔離結構，以於此二個隔離結構內形成多個斜坡於這些間隙壁的下方。形成閘極蝕刻停止層覆蓋斜坡。移除虛設閘極及位於虛設閘極下方的此二個隔離結構，以製造受間隙壁及閘極蝕刻停止層侷限的凹洞。形成閘極於凹洞內。

## 【英文】

A method for manufacturing a semiconductor device includes forming two isolation structures in a substrate to define a fin structure between the two isolation structures in the substrate. A dummy gate and spacers are formed bridging the two isolation structures and over the fin structure. The two isolation structures are etched with the dummy gate

and the spacers as a mask to form a plurality of slopes under the spacers in the two isolation structures. A gate etch stop layer is formed overlying the plurality of slopes. The dummy gate and the two isolation structures beneath the dummy gate are removed to create a cavity confined by the spacers and the gate etch stop layer. A gate is then formed in the cavity.

### 【指定代表圖】

#### 第 4K 圖

### 【代表圖之符號簡單說明】

110：基板

112：鰭狀結構

120：隔離結構

124：凹部

126：斜坡部

140：間隙壁

150：閘極蝕刻停止層

160：絕緣層

170：接觸蝕刻停止層

180：層間介電層

190：閘極

192：下部

194：上部

H1：鰭狀結構的高度

H2：斜坡部的最大高度

**【特徵化學式】**

無

## 【發明申請專利範圍】

【第 1 項】一種半導體元件的製造方法，該方法包含：  
形成二個隔離結構於一基板內，以定義一鰭狀結構於該基板內的該二個隔離結構之間；

形成一虛設閘極及複數個間隙壁橋接該二個隔離結構且位於該鰭狀結構上方；

以該虛設閘極及該些間隙壁作為遮罩，蝕刻該二個隔離結構，以於該二個隔離結構內形成複數個斜坡於該些間隙壁的下方；

形成一閘極蝕刻停止層覆蓋該些斜坡；

移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構，以製造受該些間隙壁及該閘極蝕刻停止層侷限之一凹洞；以及

形成一閘極於該凹洞內。

【第 2 項】如請求項第 1 項所述之半導體元件的製造方法，其中形成該閘極蝕刻停止層覆蓋該些斜坡更包含形成該閘極蝕刻停止層於該些間隙壁的上方及覆蓋該鰭狀結構。

【第 3 項】如請求項第 1 項所述之半導體元件的製造方法，於移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構之前，更包含：

形成一絕緣層覆蓋該些間隙壁及該閘極蝕刻停止層；

形成一接觸蝕刻停止層(contact etch stop layer, CESL)覆蓋該虛設閘極、該鰭狀結構及該絕緣層；

形成一層間介電層(inter-layer dielectric, ILD)覆蓋該接觸蝕刻停止層；以及

研磨該層間介電層及該接觸蝕刻停止層，以於移除該虛設閘極及位於該虛設閘極下方的該二個隔離結構之前，暴露出該虛設閘極之一上表面。

【第4項】如請求項第1項所述之半導體元件的製造方法，其中形成該閘極蝕刻停止層覆蓋該些斜坡係透過沉積一介電材料覆蓋該些斜坡達成，其中該介電材料包含氮化矽、碳氮化矽或其組合，以及形成該閘極於該凹洞內係透過沉積一含金屬材料於該凹洞內達成。

【第5項】一種半導體元件，包含：

一基板；

一鰭狀結構，位於該基板上方；

二個隔離結構，位於該基板上方，該鰭狀結構位於該二個隔離結構之間，其中各該隔離結構具有一凹部及二個斜坡部鄰接該凹部的兩側，該些凹部設置用以暴露該鰭狀結構兩側的部分；

一閘極，跨越該鰭狀結構，並位於該鰭狀結構及該二個隔離結構之該些凹部的上方，其中該閘極具有二個下部及一個上部，該二個下部位於該二個隔離結構之該些凹部的上方，且接觸該鰭狀結構之該兩側的該部分，該上部位

於該鰭狀結構上方且橋接該二個下部；

二個間隙壁，位於該閘極之該上部的兩側；以及

一閘極蝕刻停止層，位於該二個間隙壁的下方及該二個隔離結構之該些斜坡部的上方，並接觸該閘極之各該下部之兩側的部分。

【第 6 項】如請求項第 5 項所述之半導體元件，其中該閘極蝕刻停止層自該二個隔離結構之該些斜坡部延伸至該閘極之各該下部之該兩側的該部分，更延伸至該二個間隙壁的底面，且該閘極蝕刻停止層具有一邊緣大致對準該閘極之該上部的一邊緣，且該閘極蝕刻停止層包含氮化矽、碳氮化矽或其組合。

【第 7 項】請求項第 5 項所述之半導體元件，其中該閘極的各該下部具有一最大寬度小於或等於該閘極之該上部的一寬度與該二個間隙壁之底部寬度的總和。

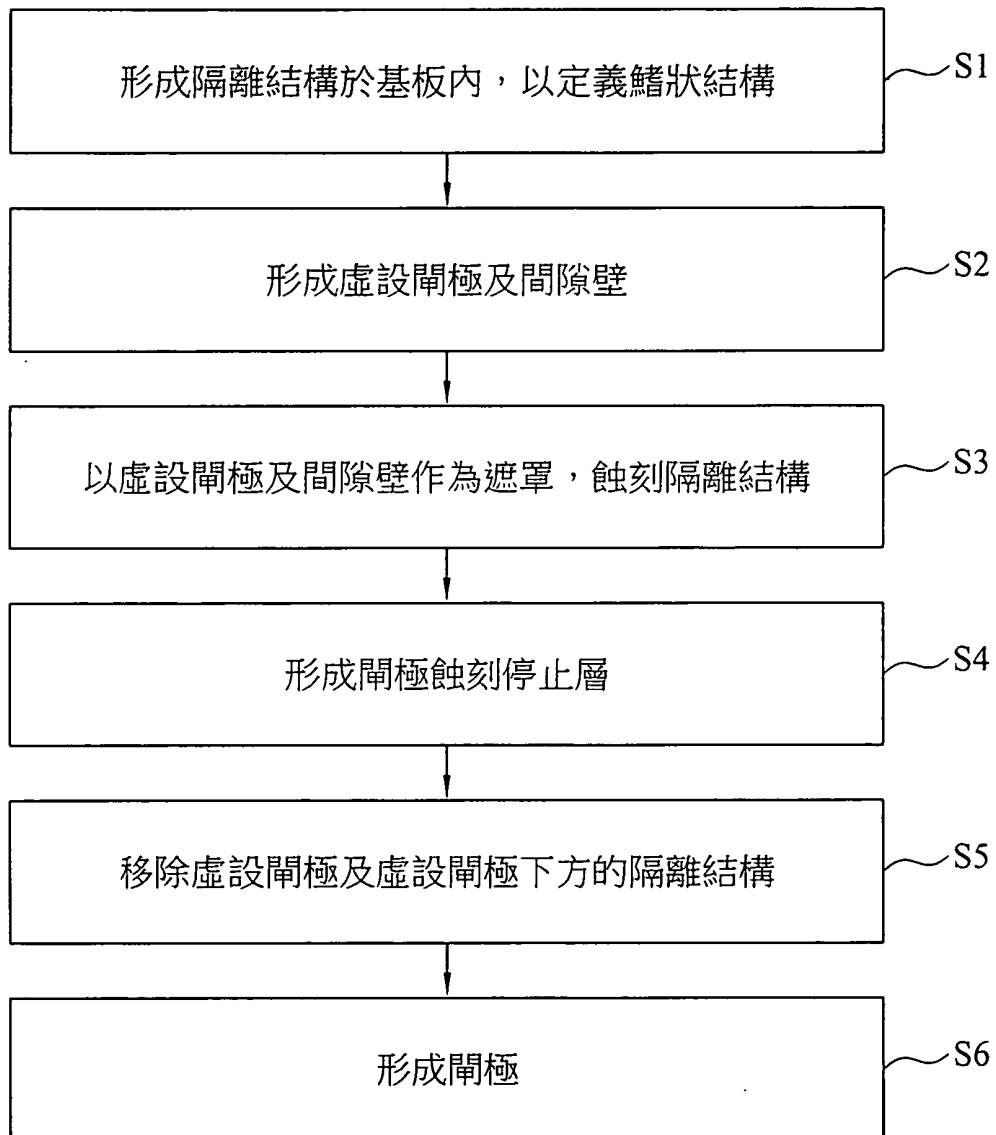
【第 8 項】請求項第 5 項所述之半導體元件，其中該二個隔離結構的各該斜坡部具有一最大高度小於該鰭狀結構的一高度。

【第 9 項】請求項第 5 項所述之半導體元件，其中該閘極蝕刻停止層更覆蓋該二個間隙壁的外表面及該鰭狀結構之該兩側的其他部分。

【第 10 項】請求項第 5 項所述之半導體元件，更包含：

一絕緣層，覆蓋該閘極蝕刻停止層及該二個間隙壁；  
以及

一接觸蝕刻停止層，覆蓋該絕緣層及該鰭狀結構。



第 3 圖