(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3683915号
(P3683915)
(45)発行日　平成17年8月17日(2005.8.17)　(24)登録日　平成17年6月3日(2005.6.3)

(51)Int.Cl.[7]	F I		
G11C 29/00	G11C	29/00	673P
G11C 16/02	G11C	17/00	601Z
G11C 16/06	G11C	17/00	632D
	G11C	17/00	612Z

請求項の数 8　(全 19 頁)

(21)出願番号　特願平6-119231
(22)出願日　平成6年5月31日(1994.5.31)
(65)公開番号　特開平7-142688
(43)公開日　平成7年6月2日(1995.6.2)
審査請求日　平成12年4月12日(2000.4.12)
(31)優先権主張番号　特願平5-238146
(32)優先日　平成5年9月24日(1993.9.24)
(33)優先権主張国　日本国(JP)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　中村　寛
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　百冨　正樹
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　桐澤　亮平
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝多摩川工場内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

第１導電型半導体基板に形成された第２導電型ウェルにメモリセルがマトリックス配列されたメモリセルアレイと、

電源電圧端子を介してチップ内部に入力された電源電圧と、チップ内部で発生し前記電源電圧より高い消去電圧を選択的に基板に出力する基板電位制御回路とを備え、

前記ウェルに前記消去電圧が出力されるデータ消去動作期間に、基板に前記消去電圧が出力される第１の動作モードと、前記基板には前記基板電位制御回路から電圧が出力されず、前記第１導電型半導体基板をフローティング状態にする第２の動作モードの両方を持つことを特徴とする半導体記憶装置。

【請求項２】

前記第２の動作モードにおいて、前記第１導電型半導体基板がフローティング状態にある期間に、前記第２導電型ウェルからのｐｎ接合順方向電流により前記基板が充電されることを特徴とする請求項１に記載の半導体記憶装置。

【請求項３】

前記電源電圧と異なる外部電圧をチップ外部からチップ内部に入力する回路と、前記外部電圧を前記基板に印加する回路とを更に備えたことを特徴とする請求項１または２に記載の半導体記憶装置。

【請求項４】

第１導電型半導体基板に形成された第２導電型ウェルにメモリセルがマトリックス配列

されたメモリセルアレイと、
前記基板に電圧を出力する基板電位制御回路とを備え、データ消去動作時において、
通常動作に必要な少なくとも１つの電源電圧と、前記電源電圧より高いデータ消去用の消去電圧と、前記消去電圧と同等若しくはこれよりより高いチップ外部入力電圧の３種類の電圧が前記基板電位制御回路に入力され、
第１の動作モードにおいて、前記消去電圧が前記ウェルに供給される期間に前記基板に前記消去電圧が印加され、
第２の動作モードにおいて、前記消去電圧が前記ウェルに供給される期間に前記基板に前記チップ外部入力電圧が印加されることを特徴とする半導体記憶装置。
【請求項５】
前記基板電位制御回路はトランジスタを含み、外部入力信号により前記半導体基板への前記消去電圧の印加・非印加を制御することを特徴とする請求項１乃至４のいずれかに記載の半導体記憶装置。
【請求項６】
前記トランジスタは前記半導体基板に備えられたウェル上に形成され、前記トランジスタが非導通の期間に、前記トランジスタが形成されたウェルと前記基板に同じ電圧が印加されることを特徴とする請求項５に記載の半導体記憶装置。
【請求項７】
前記メモリセルの各々は電荷蓄積層と制御ゲートを備え、電気的に書き換えが可能であることを特徴とする請求項１乃至６のいずれかに記載の半導体記憶装置。
【請求項８】
前記メモリセルアレイは直列に接続された複数のメモリセルを基本単位として構成されることを特徴とする請求項１乃至７のいずれかに記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、電気的書替え可能な半導体記憶装置に係わり、特に基板バイアス印加手段の改良をはかった半導体記憶装置に関する。
【０００２】
【従来の技術】
従来、電気的書き替え可能な不揮発性半導体記憶装置（ＥＥＰＲＯＭ）の一つとして、高集積化が可能なＮＡＮＤセル型ＥＥＰＲＯＭが知られている。これは、複数のメモリセルをそれらのソース，ドレインを隣接するもの同士で共用する形で直列接続して一単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層としての浮遊ゲートと制御ゲートが積層されたＦＥＴＭＯＳ構造を有する。メモリセルアレイは、ｎ型基板に形成されたｐ型ウェル内に集積形成される。ＮＡＮＤセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。
【０００３】
ＮＡＮＤセル型ＥＥＰＲＯＭの動作は次の通りである。データ書込みの動作は、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧Ｖpp（＝２０Ｖ程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧ＶppＭ （＝１０Ｖ程度）を印加し、ビット線にはデータに応じて０Ｖ又は中間電圧を与える。ビット線に０Ｖが与えられた時、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、その選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えばデータ“０”とする。ビット線に中間電位が与えられたときは電子注入が起こらず、従ってしきい値は変化せず、負に止まる。この状態はデータ“１”である。
【０００４】

データ消去は、ＮＡＮＤセル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲート，選択ゲートを０Ｖとし、ビット線及びソース線を浮遊状態として、ｐ型ウェル及びｎ型基板に高電圧２０Ｖを印加する。これにより、全てのメモリセルで浮遊ゲートの電子がｐ型ウェルに放出され、しきい値は負方向にシフトする。

【０００５】

データ読出し動作は、選択されたメモリセルの制御ゲートを０Ｖとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位Ｖcc（＝５Ｖ）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【０００６】

図２４に、従来のＮＡＮＤセル型ＥＥＰＲＯＭの概略構成を示し、図２５に従来の消去動作時の動作タイミングを示す。図２４，図２５より明らかなように従来方式では、チップ内部の昇圧回路で発生した昇圧電位ＶppE とｎ型基板を直接接続する。

【０００７】

なお、図２４において、１は消去電位昇圧回路、２は消去電位制御回路、３は基板電位制御回路、４はｐ型ウェル、５はメモリセルアレイ、６は制御ゲート・選択ゲート制御回路、７はブロック選択回路、８はビット線制御回路を示している。図２５には、制御ゲート，選択ゲート，ｐ型ウェル，ｎ型基板の電位を示している。

【０００８】

ところで、この種のＥＥＰＲＯＭにおいて、チップの検査，試験の時間を短縮するため同一ウェハ上の複数のチップを同時に検査・試験しようとすると、複数のチップは同じｎ型基板形成されているため、複数のチップ間でＶppE は共通となる。複数のチップ中に、リーク電流が大きいためＶppE が低下するという不良品が含まれている場合、このリーク電流のため複数のチップ間で共通のＶppE が低下し、良品チップにおいてもメモリセルのデータ消去を行うことができなくなり、不良品の判別が不可能となる。

【０００９】

【発明が解決しようとする課題】

以上のように従来のＮＡＮＤセル型ＥＥＰＲＯＭでは、リーク電流が大きい等の不良チップが存在すると、同一ウェハ上の複数のチップを同時に検査・試験することができなくなり、このため検査・試験時間を短縮できないという問題があった。

【００１０】

本発明は、このような事情を考慮してなされたもので、その目的とするところは、リーク電流が大きい等の不良チップの有無に拘らず、同一ウェハ上の複数チップを同時に検査・試験することができ、検査・試験時間の短縮をはかり得る半導体記憶装置を提供することにある。

【００１１】

【課題を解決するための手段】

上記課題を解決するために本発明は、次のような構成を採用している。

即ち、本発明は、第１導電型半導体基板に形成された第２導電型ウェルにメモリセルがマトリックス配列されたメモリセルアレイと、電源電圧端子を介してチップ内部に入力された電源電圧と、チップ内部で発生し前記電源電圧より高い消去電圧を選択的に基板に出力する基板電位制御回路とを備え、前記ウェルに前記消去電圧が出力されるデータ消去動作期間に、基板に前記消去電圧が出力される第１の動作モードと、前記基板には前記基板電位制御回路から電圧が出力されず、前記第１導電型半導体基板をフローティング状態にする第２の動作モードの両方を持つことを特徴とする。

【００１２】

また、本発明は、第１導電型半導体基板に形成された第２導電型ウェルにメモリセルがマトリックス配列されたメモリセルアレイと、前記基板に電圧を出力する基板電位制御回路とを備え、データ消去動作時において、通常動作に必要な少なくとも１つの電源電圧と、前記電源電圧より高いデータ消去用の消去電圧と、前記消去電圧と同等若しくはこれよりより高いチップ外部入力電圧の３種類の電圧が前記基板電位制御回路に入力され、第１

の動作モードにおいて、前記消去電圧が前記ウェルに供給される期間に前記基板に前記消去電圧が印加され、第２の動作モードにおいて、前記消去電圧が前記ウェルに供給される期間に前記基板に前記チップ外部入力電圧が印加されることを特徴とする。

【００１５】

【作用】

本発明によれば、チップ内で発生した電圧を基板に直接印加するのではなく、ｐｎ接合順方向電流により基板を充電又はチップ外部からの電圧を基板に印加することにより、複数チップ内にリーク電流大の不良品があっても、同一ウェハ上の各チップ内で発生した電圧が低下するのを防止できる。このため、同一ウェハ内の複数のチップにおいて例えばデータ消去動作を同時に行うことができる。従って、同一ウェハ内の複数のチップを同時に検査・試験できるようになるため、検査・試験時間を大幅に短縮することが可能となる。

【００１６】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

図１は、本発明の第１の実施例に係わるＮＡＮＤセル型ＥＥＰＲＯＭの概略構成を示すブロック図である。図では、データ書込み及び読出し動作を制御する制御回路部は省略して、データ消去に関係する部分のみ示している。メモリセルアレイ５は、後に詳細に説明するようにｎ型シリコン基板９に形成されたｐ型ウェル４内に形成されている。このメモリセルアレイ５に対して、ブロック消去を行うためのブロック選択回路７が設けられている。このブロック選択回路７の出力に応じて各ＮＡＮＤセルブロック内の制御ゲート及び選択ゲートに消去電位制御回路２から与えられる消去電位を与えるために、制御ゲート・選択ゲート制御回路６が設けられている。

【００１７】

消去電位は消去電位昇圧回路１が発生する。この消去電位昇圧回路１から得られる消去電位が消去電位制御回路２を介し、制御ゲート・選択ゲート制御回路６を介して各ＮＡＮＤセルの選択ゲート及び非選択ブロック内制御ゲートに与えられる。また、消去電位制御回路２からの消去電位はｐ型ウェル４にも与えられる。ｎ型基板９の電位は、基板電位制御回路３によって制御される。ビット線制御回路８は、データ書込み時及び読出し時に動作するもので、データ消去時はメモリセルアレイ５から切り離される。

【００１８】

図２（ａ）（ｂ）は実施例のメモリセルの一つのＮＡＮＤセル部の平面図と等価回路であり、図３（ａ）（ｂ）はそれぞれ図２（ａ）のＡ－Ａ′及びＢ－Ｂ′断面図である。ｎ型シリコン基板９のメモリセルアレイ領域には、ｐ型ウェル４（１１）が形成され、このｐ型ウェル１１の素子分離絶縁膜１２によって区画された領域にＮＡＮＤセルが形成されている。

【００１９】

一つのＮＡＮＤセルに着目して説明すると、この実施例では８個のメモリセルM_1～M_8によりＮＡＮＤセルが構成されている。各メモリセルは、ｐ型ウェル１１上に熱酸化で形成された薄いゲート絶縁膜１３を介して第１層多結晶シリコン膜による浮遊ゲート１４（14_1～14_8）が形成され、この上に層間絶縁膜１５を介して第２層多結晶シリコン膜による制御ゲート１６（16_1～16_8）が積層形成されている。浮遊ゲート１４が電荷蓄積層である。

【００２０】

各メモリセルの制御ゲート１６は、横方向に配列されるＮＡＮＤセルについて連続的に制御ゲート線ＣＧ（CG_1～CG_8）として配設され、通常これがワード線となる。メモリセルのソース，ドレイン拡散層であるｎ型層１９は隣接するもの同士で共用されて８個のメモリセルM_1～M_8が直列接続されている。これら８個のメモリトランジスタのドレイン側，ソース側には、それぞれ選択ゲートS_1，S_2が設けられている。これら選択ゲートのゲート絶縁膜は通常メモリセル部とは別にそれより厚く形成されて、その上に２層のゲート電極14_9，16_9及び14_{10}，16_{10}が形成されている。これらの２層のゲート

電極は所定間隔でコンタクトして、制御ゲート線ＣＧの方向に連続的に配設されて選択ゲート線SG_1，SG_2となる。

【００２１】

素子形成された基板上はＣＶＤ絶縁膜１７により覆われ、この上にビット線１８が配設されている。ビット線１８は、一方の選択ゲートS_1のドレイン拡散層にコンタクトしている。他方の選択ゲートS_2のソース拡散層は、通常は共通ソース線として複数のＮＡＮＤセルに共通に配設される。

【００２２】

図４は、このようなＮＡＮＤセルがマトリクス配列されたメモリセルアレイの等価回路を示している。

この実施例におけるブロック消去の概略を、図５を用いて説明する。メモリセルアレイは図５に示すように、複数のＮＡＮＤセルブロック２０（20_1～20_n）により構成されている。いま消去モードで上から１番目のセルブロック20_1と２番目のＮＡＮＤセルブロック20_2が選択されたとすると、メモリセルアレイが形成されたｐ型ウェルに消去電位ＶppE（＝２０Ｖ）が印加され、同時に選択されたＮＡＮＤセルブロック20_1及び20_2内の全ての制御ゲートに０Ｖが印加される。そして、選択されたＮＡＮＤセルブロック及び非選択のＮＡＮＤセルブロック内の全ての選択ゲート、非選択のＮＡＮＤセルブロック内の全ての選択ゲートには消去電位ＶppEが与えられる。ビット線は全てフローティングとされる。

【００２３】

この結果、選択されたＮＡＮＤセルブロック20_1，20_2内で全てのメモリセルの浮遊ゲートの電子がｐ型ウェルに放出されて、ブロック20_1，20_2のデータ消去がなされることになる。また、チップ内の全てのブロックを前記選択ブロック内の電位にすることにより、チップ消去も同様に行うことができる。

【００２４】

上述のようなブロック消去、若しくはチップ消去を行う際のメモリセルまわりの各部分の電圧を図６に示す。但し、図６中のセルＰwellとはメモリセルが形成されているｐウェルを示している。

【００２５】

消去動作前には、全ての制御ゲートＣＧ，選択ゲートＳＧ及びセルＰwellは０Ｖ、ｎ型基板はＶccに固定されている。消去動作に入ると、まず非選択ブロック内の制御ゲートＣＧ，選択ゲートＳＧ及びセルＰwellが０Ｖ→Ｖccとなる。続いて、図１中の消去電位昇圧回路１の出力電圧ＶppE（～２０Ｖ）に、非選択ブロック内の制御ゲートＣＧ，選択ゲートＳＧ及びセルＰwellが充電された後、この状態がしばらく保たれ、メモリセルのデータの消去が行われる。次に、非選択ブロック内の制御ゲートＣＧ，選択ゲートＳＧ及びセルＰwellがＶppEからＶcc程度の電圧まで低下された後、さらに０Ｖまで放電されて消去動作が終了する。また、選択ブロック内の制御ゲートＣＧは消去動作の間は０Ｖに固定されたままである。

【００２６】

このような動作の際に、ｎ型基板の電圧は図６中の（☆）の期間だけは図１中の基板電位制御回路３から出力されないようにする。つまり、ｎ型基板を（☆）の期間だけフローティング状態とする。すると、セルＰwellがＶcc→ＶppEとなる際にセルＰwellとｎ型基板の接合面のｐｎ接合が順バイアス状態となって、ｎ型基板はセルＰwellからの順方向電流により充電され、Ｖcc→（ＶppE－Ｖｊ）となる。但し、Ｖｊはｐｎ接合のｐ型（ウェル）とｎ型（基板）の間の電位差であり、一般にはＶｊ＞０である。そして、セルＰwellがＶcc程度まで低下した後に、ｎ型基板電圧が図１中の基板電位制御回路３から出力されるようにし、Ｖccに固定する。

【００２７】

図７は、本発明の第２の実施例に係わるＮＡＮＤセル型ＥＥＰＲＯＭの概略構成を示すブロック図である。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略す

る。この実施例が先に説明した第１の実施例と異なる点は、基板電位制御回路３にチップ外部からの電圧（消去動作時には、ＶppE 以上となる電圧）が入力されることである。

【００２８】

この実施例の動作を図８を参照して説明する。図８中の選択ブロック内制御ゲートＣＧ，非選択ブロック内制御ゲートＣＧ，選択ゲートＳＧ及びセルＰwellの電圧は図６中の動作と全く同じなので説明は省略する。ｎ型基板は、消去動作前はＶccに固定されている。セルＰwellがＶcc→ＶppE と充電される際に、ｎ型基板はＶcc→Ｖext （但し、Ｖext は外部入力電圧であり、Ｖext ≧ＶppE ）と充電され、またセルＰwellがＶcc程度の電圧まで低下した後に、Ｖext →Ｖccとなる。

【００２９】

以上、本発明の実施例を図面を用いて説明したが、本発明は前記実施例に限定されるものではなく、種々変更が可能である。例えば、図６中の動作において、ｎ型基板をフローティングにするタイミングは、セルＰwellがＶcc→ＶppE となる前であればいつでもよい。つまり（１）の範囲内ならばいつでもよく、またｎ型基板をフローティング状態からＶccに戻すタイミングも（２）の範囲内ならばいつでもよい。また、図８中の動作において、ｎ型基板をＶcc→Ｖext ，Ｖext →Ｖccとするタイミングはそれぞれ（３），（４）の範囲内ならばいつでも有効である。

【００３０】

また、第３の実施例として図９に示されるように、消去動作に入る前からｎ型基板をＶext に固定した場合も有効であることは言うまでもない。また、図８，図９中のＶext は必ずしもＶppE ≦Ｖext の条件を満たす必要はなく、セルＰwellとｎ型基板のｐｎ接合が順バイアス状態になっても、順方向電流が動作上問題とならない程度の値であればＶppE ＞Ｖext でもかまわない。

【００３１】

図１～図９を用いて説明した実施例は、以下のような場合に特に有効である。工場等における製品出荷前の良品・不良品の選別検査や信頼性試験を行う際には、検査・試験時間の効率向上（高速化）のため、同一ウェハ上の複数のチップを同時に検査・試験する。この場合には、複数のチップで基板電圧が共通となる。この様子を図１０に示す。

【００３２】

図１０（ａ）から分かるように同一ウェハ上の複数のチップは基板電圧が共通となる。また、図１０（ｂ）には、ウェハ上で複数のチップを試験する際の一例を示してあり、（１）～（５）のチップで同時に試験を行う場合の例である。前記複数のチップの中に不良品が含まれていて、この不良品では内部でＶppE 電位と接地電位、若しくはＶppE 電位とＶcc電位がショートしているためＶppE のリーク電流が大きく、ＶppE 電位が本来の２０Ｖ程度から１０Ｖ程度まで低下する、という場合を考える。

【００３３】

図１０（ａ）中のＣＨＩＰ２だけが不良の場合、消去動作が図２４，図２５中のような従来方式を用いると、ｎ型基板とチップ内部の昇圧回路で発生した電位ＶppE を直接接続するため、ＣＨＩＰ１～ＣＨＩＰｎのＶppE が全て接続され、ＶppE がＣＨＩＰ１～ＣＨＩＰｎで共通となる。すると、ＶppE 電圧がＣＨＩＰ２のショート部分からリークし、ＣＨＩＰ１～ＣＨＩＰｎの全てにおいてＶppE 電位が低下する。すると、不良品のＣＨＩＰ２ばかりでなく、ＣＨＩＰ１，ＣＨＩＰ３～ＣＨＩＰｎにおいてもメモリセルデータの消去が行えなくなり、不良品の判別が不可能となる。

【００３４】

これに対し、図１～図６に示した実施例を用いると、各チップのＶppE 電位と基板電位は、セルＰwellとｎ型基板のｐｎ接合のみでつながっているため、ＣＨＩＰ１～ＣＨＩＰｎの間の最も高いＶppE を（ＶppE)max とすると、基板電圧は［（ＶppE)max －Ｖｊ］の電圧に充電される。ＣＨＩＰ２のセルＰwellが１０Ｖ程度までしか充電されていなくても、２０Ｖ程度まで充電されているｎ型基板とはｐｎ接合の逆バイアス状態となるだけで悪影響はなく、ＣＨＩＰ１～ＣＨＩＰｎのＶppE が全て分離されるため、不良品の判別が可能

である。

【００３５】

また、図７～図９に示した実施例を用いると、基板電圧としては外部入力電圧が与えられるため、不良品ＣＨＩＰ２のＶppE と良品ＣＨＩＰ１，ＣＨＩＰ３～ＣＨＩＰｎのＶppE が全て分離されて、不良品の判別が可能となる。

【００３６】

このように本発明によれば、同一ウェハ上の複数のチップの良品・不良品の選別や信頼性試験を同時に行うことができる。

以上、消去動作時のｎ型基板のバイアス方式について述べたが、前記各方式を同一チップ内で動作に応じて使い分ける場合も本発明は有効である。例えば、単一チップを動作させる場合には従来方式である図２４，図２５を用い、同一ウェハ上の複数チップを動作させる場合に限り図１～図６の実施例、若しくは図７～図９の実施例を用いてもかまわない。

【００３７】

図１１に、同一ウェハ上の複数チップを動作させる場合に限り図１～図６の実施例を用い、他の場合（図１１中の通常動作に相当）には従来方式を用いる場合の基板電位制御回路の構成・動作の一例を示している。但し、図１１（ａ）中のトランジスタＱD1，ＱD2は共にｎチャネルＤタイプトランジスタであり、しきい値電圧は（－Ｖcc）より高く、また（－ＶppE ）や（－Ｖext ）のバックバイアス印加時にもしきい値電圧は０Ｖより小さいものとする。

【００３８】

図１１（ｂ）の動作タイミングより、同一ウェハ内複数チップ動作時に限り、セルＰwellがＶppE にある時にＱD1，ＱD2が共に非活性状態となり、基板電位制御回路からの電圧出力がない状態となることが分かる。これにより、複数チップのいずれかにリーク電流大の不良があっても他のチップのＶppE が低下することはなく、複数チップの検査・試験を同時に行うことができる。

【００３９】

また、図１２及び図１３に、同一ウェハ上の複数チップを動作させる場合に限り図７～図９の実施例を用い、他の場合（図１２及び図１３中の通常動作に相当）には従来方式を用いる場合の基板電位制御回路の構成・動作の一例を示している。但し、図１２（ａ）及び図１３（ａ）中のトランジスタＱD1，ＱD2，ＱD3は共にｎチャネルＤタイプトランジスタであり、しきい値電圧は（－Ｖcc）より高く、また（－ＶppE ）や（－Ｖext ）のバックバイアス印加時にもしきい値電圧は０Ｖより小さいものとする。

【００４０】

図１２（ｂ）の動作タイミングにより、同一ウェハ内複数チップ動作時に限り、セルＰwellがＶppE にある時にＱD1，ＱD2が共に非活性状態となり、ＱD3が活性状態となり、ｎ型基板に外部電圧Ｖext が印加される。これにより、複数チップのいずれかにリーク電流大の不良があっても他のチップのＶppE が低下することはなく、複数チップの検査・試験を同時に行うことができる。

【００４１】

図１３（ｂ）の場合も同様に、同一ウェハ内複数チップ動作時にＱD1，ＱD2が共に非活性状態となり、ＰＡＤを介して基板に外部入力電圧が印加されるので、複数チップの検査・試験を同時に行うことができる。なお、図１３（ｂ）の通常動作時は外部入力電圧ＰＡＤをフローティングにしておくので、このＰＡＤはｎ型基板電位と同電位になる。

【００４２】

図１３には基板に印加する外部入力電圧をＰＡＤから入力する場合の実施例を示したが、本発明はこれに限定されるものではない。例えば、外部入力電圧を、ウェハを載せる台（ステージ）に印加することにより、外部入力電圧の入力用パッドなしに、ｎ型基板に外部入力電圧を印加する場合においても有効であることはいうまでもない。

【００４３】

図１４，図１５に、図１２に関連した回路構成及びその動作タイミングを、図１６に図１

３に関連した回路構成及びその動作タイミングを示す。図１４は、本発明の第４の実施例として、図１２のＱD2，ＱD3を１個のＤタイプトランジスタＱD4にまとめて、その代わりにＶppE ・Ｖext 選択回路（ＶppE とＶext のうち基板に印加する電圧を出力する回路であり、通常はＶppE とＶext のうち高い電圧が出力される）を設けた場合の実施例である。

【００４４】

図１５は、本発明の第５の実施例として、図１２におけるＱD2，ＱD3をｐチャネルトランジスタＱp1，Ｑp2に変えた場合の実施例であり、これらＱp1，Ｑp2の形成されるｎウェル電位はＶppE ・Ｖext 選択回路の出力電圧が印加される。また、図１６は、本発明の第６の実施例として、図１３のＱD2をｐチャネルトランジスタＱp1に変えた場合の実施例であり、Ｑp1の形成されるｎウェル電位はＶppE ・Ｖext 選択回路の出力電圧が印加される。

【００４５】

また、図１７，図１８には、他の回路構成の実施例を示してある。但し、図１７，図１８中のＶcc・ＶppE 選択回路、Ｖcc・ＶppE ・Ｖext 選択回路は共にｎ型基板に印加する電圧を出力する回路である。図１７，１８のうち、同一ウェハ上の複数チップを同時に動作させる際には、

・図１１のようにｎ型基板をフローティング（ｐｎ接合順バイアスで充電）　にする実施例　…　図１７（ａ）～（ｃ）

・図１２，１４，１５のようにｎ型基板をトランジスタを介して充電する　　実施例　…　図１７（ｄ）～（ｆ），図１８（ａ）（ｂ）

・図１３，１６のようにｎ型基板電圧をＰＡＤから印加する実施例…　図１８（ｃ）（ｄ）

と分類できる。また、図１６、図１８（ｃ）（ｄ）は、ＰＡＤからｎ型基板を印加する場合を示してあるが、図１３の説明の際にも述べたように、基板電圧をＰＡＤの代わりにウェハを載せる台（ステージ）から与える場合の動作においても有効である。また、図１１～図１６，図１７（ａ）（ｄ），図１８（ａ）（ｂ）中のＱD1の代わりにｐチャネルトランジスタを使用した場合等、前記実施例は種々の変更が可能である。

【００４６】

また、前記実施例中において、ｎチャネル型Ｄタイプトランジスタを多く用いているが、ＤタイプトランジスタをＩタイプ，ＥタイプトランジスタとしたＩタイプ，Ｅタイプトランジスタで転送できる場合、同様の動作を実現できるため、本発明が適用できる。

【００４７】

また、同一ウェハの複数チップ動作時における図１２中のＣ、図１４中のＤのように、ｎチャネルトランジスタのドレインにＶext が与えられソースまで転送する場合には、前記実施例中ではゲート電圧がＶext となっているが、正常動作を損なわない程度の電圧がｎ型基板に転送できるならば、例えばＶext の代わりにＶppE をゲート電圧として印加するように変更する、等の変更を行うこともできる。

【００４８】

図１９にＶppE ・Ｖext 選択回路の具体的構成例を示す。図１９で（ａ）中のア、（ｂ）中のイは高電圧切換え回路の一例であり、他の構成の回路を適用することもできる。図１９中の信号ＥＸＴは同一ウェハ上の複数チップ動作時には“Ｈ”レベル、他動作時には“Ｌ”レベルとなる信号であり、従って出力には同一ウェハ上複数チップ動作時にはＶext が、他動作時にはＶppE が出る。図１７，図１８中のＶcc・ＶppE 選択回路やＶcc・ＶppE ・Ｖext 選択回路も同様にして作成できる。

【００４９】

また、図２０～図２２に外部入力信号ＥＸＴと図１１～図１６の信号Ａ，Ａ′，Ｂ，Ｃ，Ｄ，Ｆ，Ｇとの関係を示す。図２０中の（a1）は信号Ａを、（a2）は信号Ａ′を、（b1）（b2）は信号Ｂを作る回路である。図２１中の（c1）（c2）は信号Ｃを、（d1）は信号Ｄを作る回路である。図２２中の（f1）（f2）は信号Ｆを、（g1）（g2）は信号Ｇを作る回

路である。図２０～図２２中の信号ウはチップ内部で発生した信号であり、図２０の（a1）や（a2）より分かるように、通常動作時の信号Ａ又はＡ′の逆相の信号である。

【００５０】

図２０～図２２の回路を用いることにより、図１１～図１６の信号Ａ，Ａ′，Ｂ，Ｃ，Ｄ，Ｆ，Ｇを実現し、外部入力信号による制御が可能となる。図２１の（d1）だけは外部入力信号ＥＸＴが含まれていないが、図１９より分かるようにＶppE ・Ｖext 選択回路の中に外部入力信号ＥＸＴは含まれるため、ＥＸＴによる動作制御が可能となり図１４の動作を実現できる。

【００５１】

次に、図１１～図１９の実施例と従来例との比較について述べる。本発明は、同一ウェハ上の複数のチップを同時に動作・テストすることを可能とする目的でなされたもので、回路構成上の特徴は各々の実施例によって異なる。図２６に従来例の回路構成及び動作タイミングを示す。

【００５２】

まず、同一ウェハ上複数チップを同時に動作させる際にｎ型基板電圧をフローティングにしてセルＰwellからｐｎ接合順バイアスで充電する実施例、図１１，図１７（ａ）～（ｃ）のうち、図１１，図１７（ａ）では従来例と同一構成となっており、図１７（ｂ）（ｃ）では、Ｖcc・ＶppE 選択回路の部分が異なる。また、同一ウェハ上複数チップを同時に動作させる際にｎ型基板電圧をトランジスタを介して印加する実施例、図１２，図１４，図１５，図１７（ｄ）～（ｆ），図１８（ａ）（ｂ）のうち、図１２ではＱD3が、図１４ではＶppE ・Ｖext 選択回路部分、図１５ではＱp2及びＶppE ・Ｖext 選択回路、図１７（ｄ），図１８（ａ）（ｂ）では、各選択回路若しくはＱD3かＱp2が異なる。

【００５３】

また、同一ウェハ上複数のチップを同時に動作させる際にｎ型基板をＰＡＤから印加する実施例、図１３，図１６，図１８（ｃ）（ｄ）では、ＰＡＤと接続されている点が異なり、図１６，図１８（ｃ）（ｄ）においては各種選択回路の有無も異なる。また、図１３，図１６，図１８（ｃ）（ｄ）の回路構成でＰＡＤの代わりにステージから基板電圧を印加する場合には図１３の回路においては従来と同一構成となっており、図１６，図１８（ｃ）（ｄ）においては選択回路の有無が異なる。

【００５４】

以上述べたように、従来例と本発明では回路構成上は異なる場合と同一の場合とがあるが、大きく異なるのは、同一ウェハ内複数チップ動作時のみ基板電圧の印加方法が異なる点である。また、動作が同一ウェハ内複数チップ動作時にあるか他動作時にあるかは、チップ外部からチップ内部に入力される信号により判断されるため、図１１～図１９の実施例では、チップ外部からチップ内部に入力される信号によりデータ消去時の基板電圧の印加方法を変更できる点、が特徴である。詳細には、データ消去動作時のｎ型基板とＶppE を接続するトランジスタのオン・オフを外部入力信号により設定でき、またこのトランジスタがｐチャネルトランジスタの場合にはトランジスタが構成されているｎウェルの電圧をＶppE とするかＶext とするかの切替えも行うことができる。

【００５５】

以上、図１１～図１９の実施例では同一ウェハ内複数チップ動作時にのみ他動作と異なる基板電圧印加方法を用いたが、同一ウェハ内複数チップ動作時以外にも基板電圧印加方法を変更する方法や３種類以上の基板電圧印加方法を動作に応じて、つまりチップ外部入力信号により切替える等、本発明は種々変更が可能である。また、前記実施例中ではデータ消去動作時の場合を例にとって説明したが、他動作、例えばデータ書込み・読出し動作時における同一ウェハ内複数チップを同時に動作させる、等の動作時に基板電圧を制御する際に本発明を用いた際にも有効である。また、前記実施例中では、ＮＡＮＤ型ＥＥＰＲＯＭを例にとり本発明の説明を行ったが、本発明は前記実施例に限定されるものではない。

【００５６】

また、前記実施例中では基板の極性がｎ型の場合を例にとって説明したが、ｐ型基板及び

ｎ型ウェルを用いてｎ型ウェル上にメモリセルが構成される場合においても有効であるのはいうまでもない。また、前記実施例中では基板にＶccより高い電圧を印加する場合を例にとって説明したが、Ｖcc以下の電圧、例えば負電圧を印加する場合も有効である。

【００５７】

例えば、動作中にｎ型基板上のｐ型ウェル内にメモリセル及び周辺回路が構成された場合に、ｐ型ウェル電圧をチップ内部の負電圧発生回路の出力電圧ＶBB（ＶBB＜０Ｖ）を印加する半導体装置（ＤＲＡＭ，ＳＲＡＭ等）においても、同一ウェハ内複数チップを同時に動作させる場合にｎ型基板電圧を外部設定するという方式も用いることができる。例えば、ｐ型ウェルをＶBBに充電する際にｎ型基板にも同時に負電圧を印加するような動作を含むチップにおいては、同時に動作させる複数チップ内に１個チップ内でＶBBと接地電位の配線がショートしている不良があると、不良チップ内ばかりでなく正常チップ内のＶBB電位レベルまで接地電位近くまでシフトするため、正常チップまで不良品に見えてしまう。

【００５８】

これに対し、同一ウェハ内複数チップを同時にテストする際に、本発明を用いて、つまり外部入力信号により同一ウェハ内複数チップをテストする際に、負電圧発生回路の出力電圧を基板に印加せずにＰＡＤ，ステージ，或いはトランジスタを介して外部入力の負電圧を基板に印加することにより、前記複数チップのテストを正確に行うことができる。

【００５９】

また、前記実施例ではＶccより高い電圧、負電圧等の電圧を基板に印加する動作における本発明の有効性を説明したが、本発明の他の電圧、つまり０Ｖ～Ｖccの電圧に基板を印加する場合においても有効である。以下に、基板に印加される電圧がＶccや０Ｖの場合の利用例を示す。

【００６０】

チップはチップ外からの外部入力信号を受けて動作を行うが、前記外部入力信号は、通常ＰＡＤからチップ内に取り込まれる。通常、接地電位０Ｖと電源電位Ｖccもチップ中に取り込まれる。同一ウェハ上の複数チップを同時にテストする際に、各チップにおける電力消費量を、つまりＶccや０Ｖ電源の消費電流をチップ毎に調べるためには、図２３（ａ）に示すように、各チップ毎にＶcc電源、０Ｖ電源（Ｖss電源）を分けなければならない。この場合、基板電圧がＶccに設定されていると、各チップから同時に基板がＶccに設定されるため、各チップに入力されるＶccの値の間に差があれば、Ｖcc電源同士で電流が流れ、Ｖccの消費電流を測定できなくなる。

【００６１】

例えば、図２３（ａ）のＶcc電源ｉ（ｉ＝１，２～ｎ）のうちＶcc電源２だけが他と比べて０．１Ｖ低ければ、Ｖcc電源１，３～ｎからＶcc電源２に大電流が流れ込み、各チップ毎のＶcc電源の消費電流が見えなくなってしまうため、各チップ毎のＶcc電源の消費電流を調べることができなくなる。基板電圧が０Ｖに設定される場合にも、各チップから同時に基板電圧が０Ｖに設定されるため、各チップに入力される接地電位の間に差があると、Ｖss電源の消費電流をチップ毎に測定することができなくなる。

【００６２】

ところが、少なくとも消費電流測定の場合において、前記実施例中のように、基板電圧をフローティングにする方式（図６や図１１のような方式）や基板電圧を正規のＶcc電源や０Ｖ電源が入力されるＰＡＤと異なる部分（例えば別のＰＡＤやステージ等）から入力される外部入力電圧とする方式（図８，９，１２，１３のような方式）を用いれば、同一ウェハ上複数チップのチップ毎に消費電流を同時に測定できるようになる。

【００６３】

このように外部入力信号を切替えることにより、基板電圧への電圧の印加方法を変更できる機能を入れることにより、同一ウェハ上複数チップの消費電流の検査が実現できる。図２３で説明した実施例も、図１～図１９で説明した実施例と同様に種々変更可能であることはいうまでもない。

なお、前記実施例では、ＮＡＮＤ型ＥＥＰＲＯＭを例にとり説明したが、各種メモリに対

しても同様に適用できる。

【００６４】

【発明の効果】

以上述べたように本発明によれば、チップ内で発生した電圧を基板に直接印加するのではなく、ｐｎ接合順方向電流により基板を充電又はチップ外部からの電圧を基板に印加することにより、複数チップ内にリーク電流大の不良品があっても、同一ウェハ上の各チップ内で発生した電圧が低下するのを防止できる。従って、同一ウェハ上の複数チップを同時に検査・試験することができ、検査・試験時間の短縮をはかり得る半導体記憶装置を実現することが可能となる。

【図面の簡単な説明】

【図１】第１の実施例に係わるＮＡＮＤセル型ＥＥＰＲＯＭの概略構成を示すブロック図。

【図２】実施例のメモリセルの一つのＮＡＮＤセル部の平面図と等価回路図。

【図３】図２（ａ）のＡ－Ａ′及びＢ－Ｂ′断面図。

【図４】第１の実施例におけるメモリセルアレイの等価回路図。

【図５】第１の実施例におけるブロック消去動作の概要を説明するための図。

【図６】第１の実施例における動作を説明するためのタイミング図。

【図７】第２の実施例に係わるＮＡＮＤセル型ＥＥＰＲＯＭの概略構成を示すブロック図。

【図８】第２の実施例における動作を説明するためのタイミング図。

【図９】第３の実施例における動作を説明するためのタイミング図。

【図１０】同一ウェハ上の複数チップの基板電位の接続状態を示す図。

【図１１】第１の実施例における基板電位制御回路の構成と動作タイミングを示す図。

【図１２】第２の実施例における基板電位制御回路の構成と動作タイミングを示す図。

【図１３】第２の実施例における基板電位制御回路の構成と動作タイミングを示す図。

【図１４】第４の実施例を示す回路構成及び動作タイミングを示す図。

【図１５】第５の実施例を示す回路構成及び動作タイミングを示す図。

【図１６】第６の実施例を示す回路構成及び動作タイミングを示す図。

【図１７】本発明の回路構成の変形例を示す図。

【図１８】本発明の回路構成の変形例を示す図。

【図１９】ＶppE ・Ｖext 選択回路の一例を示す図。

【図２０】信号Ａ，Ａ′，Ｂを作る回路の例を示す図。

【図２１】信号Ｃ，Ｄを作る回路の例を示す図。

【図２２】信号Ｆ，Ｇを作る回路の例を示す図。

【図２３】本発明の効果の一例を説明するための図。

【図２４】従来例に係わるＮＡＮＤセル型ＥＥＰＲＯＭの概略構成を示すブロック図。

【図２５】従来の動作タイミングを示す図。

【図２６】従来例に係わる回路構成及び動作タイミングを示す図。

【符号の説明】

１…消去電位昇圧回路

２…消去電位制御回路

３…基板電位制御回路

４…ｐ型ウェル

５…メモリセルアレイ

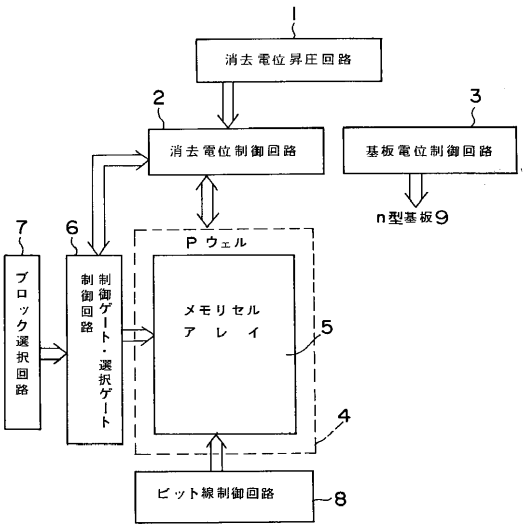
６…制御ゲート・選択ゲート制御回路

７…ブロック選択回路

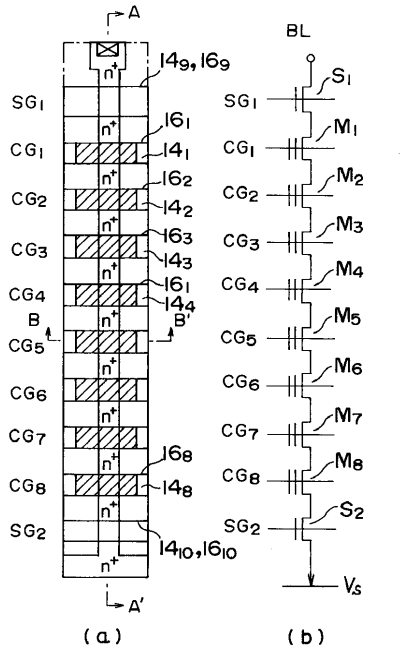
８…ビット線制御回路

９…ｎ型シリコン基板

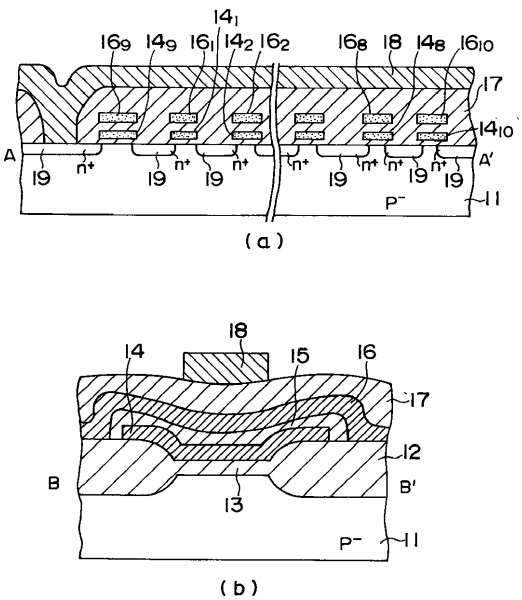
【図１】


1
消去電位昇圧回路
2
消去電位制御回路
3
基板電位制御回路
n型基板9
7
6
ブロック選択回路
制御ゲート・選択ゲート制御回路
Pウェル
メモリセルアレイ
5
4
ビット線制御回路
8

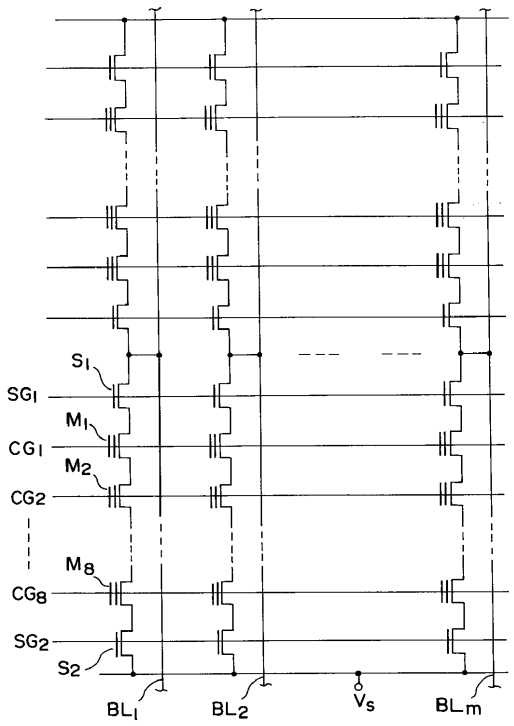
【図２】


A
A'
B
B'
BL
SG1
CG1
CG2
CG3
CG4
CG5
CG6
CG7
CG8
SG2
n+
149, 169
161
141
162
142
163
143
161
144
168
148
1410, 1610
S1
M1
M2
M3
M4
M5
M6
M7
M8
S2
Vs
(a)
(b)

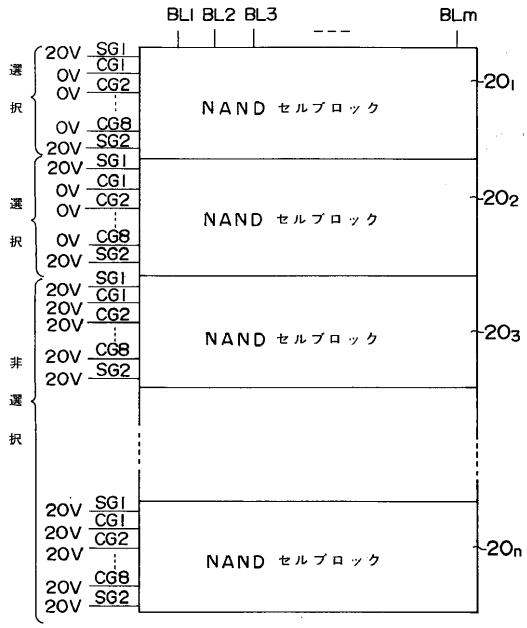
【図３】


141
169
149
161
142
162
168
18
148
1610
17
1410
A
A'
19
n+
P-
11
(a)
18
14
15
16
17
12
B
B'
13
P-
11
(b)

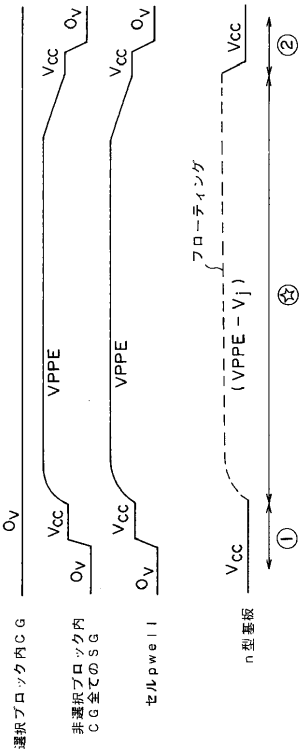
【図４】


S1
SG1
M1
CG1
M2
CG2
M8
CG8
SG2
S2
BL1
BL2
Vs
BLm

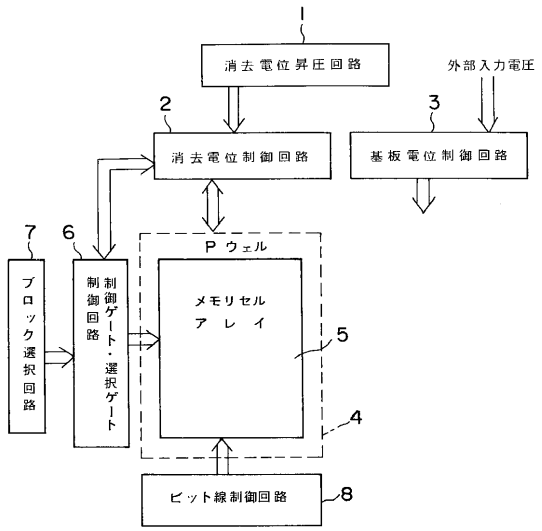
【図５】


BL1 BL2 BL3
BLm
選択
非選択
20V SG1
CG1
0V CG2
0V
0V CG8
20V SG2
NAND セルブロック
201
202
203
20n

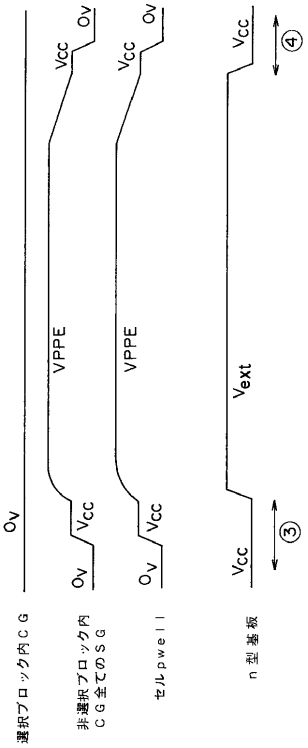
【図６】


0V
Vcc
VPPE
フローティング
(VPPE－Vj)
①
②
☆
選択ブロック内CG
非選択ブロック内CG全てのSG
セルpwell
n型基板

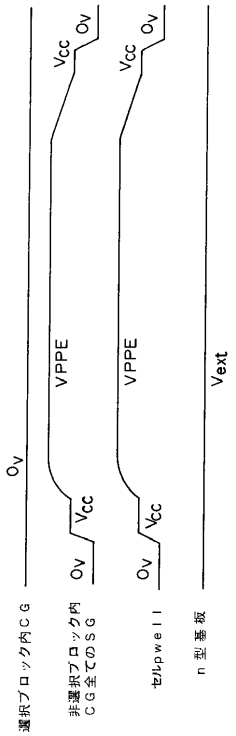
【図７】


1
消去電位昇圧回路
外部入力電圧
2
3
消去電位制御回路
基板電位制御回路
7
6
Pウェル
ブロック選択回路
制御ゲート・選択ゲート制御回路
メモリセルアレイ
5
4
ビット線制御回路
8

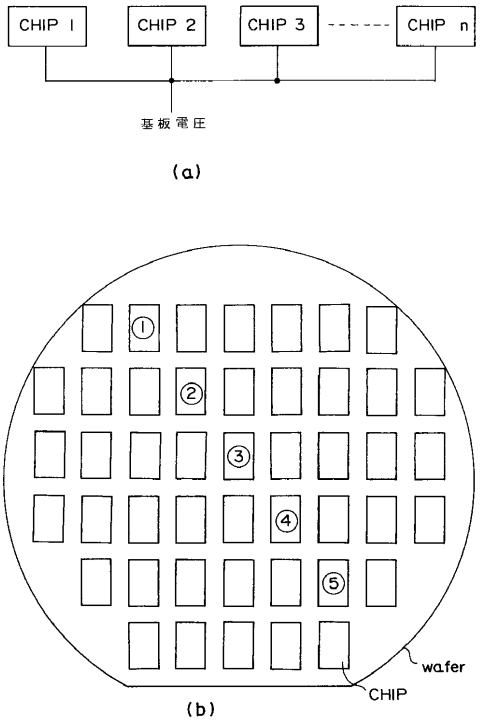
【図８】


0V
Vcc
VPPE
Vext
④
③
選択ブロック内CG
非選択ブロック内CG全てのSG
セルpwell
n型基板

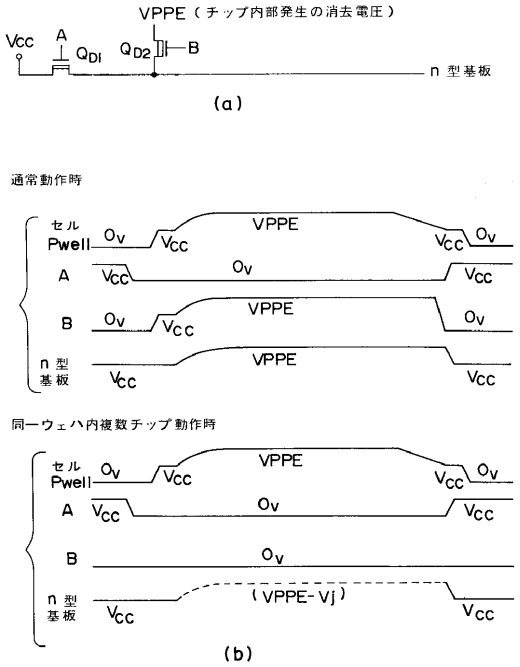
【図９】



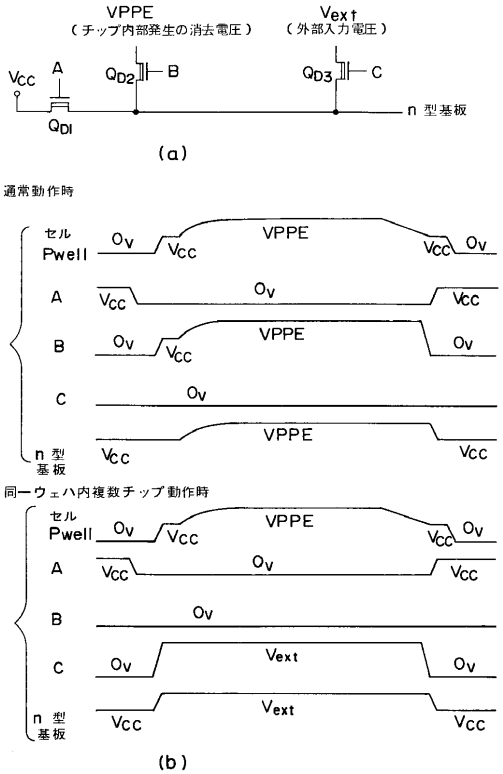
【図１０】



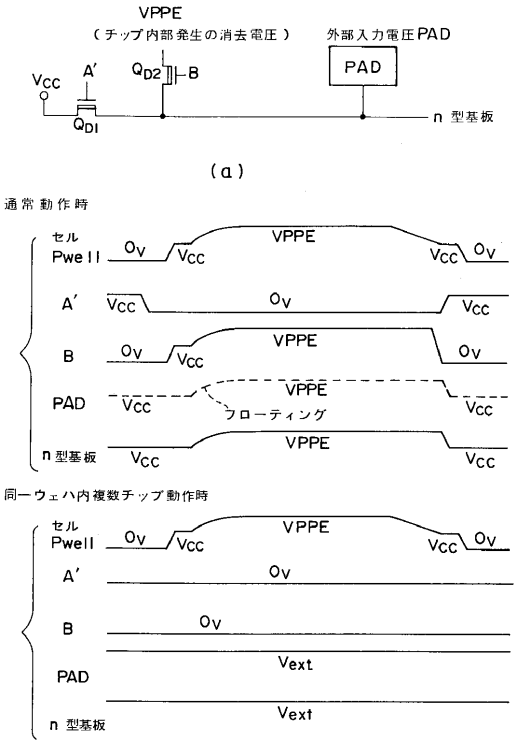
【図１１】



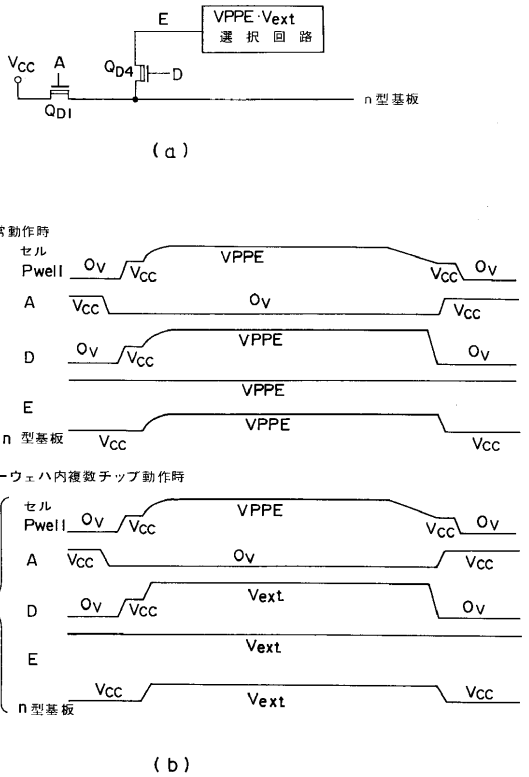
【図１２】



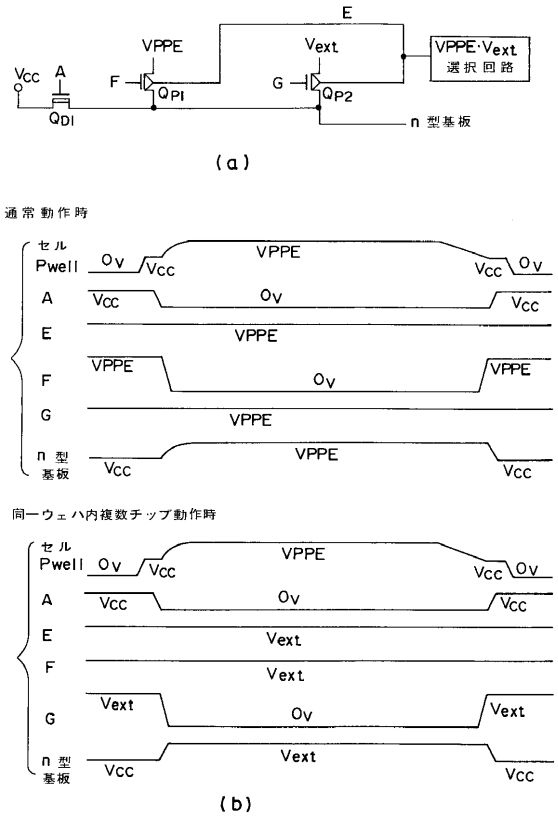
【図１３】



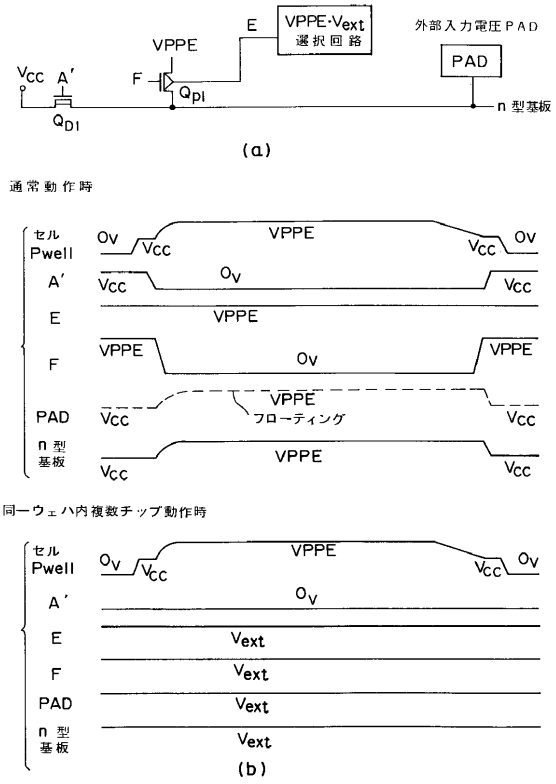
【図１４】



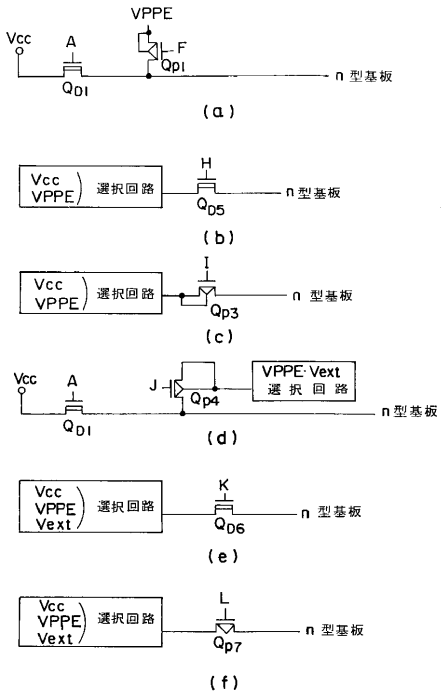
【図１５】



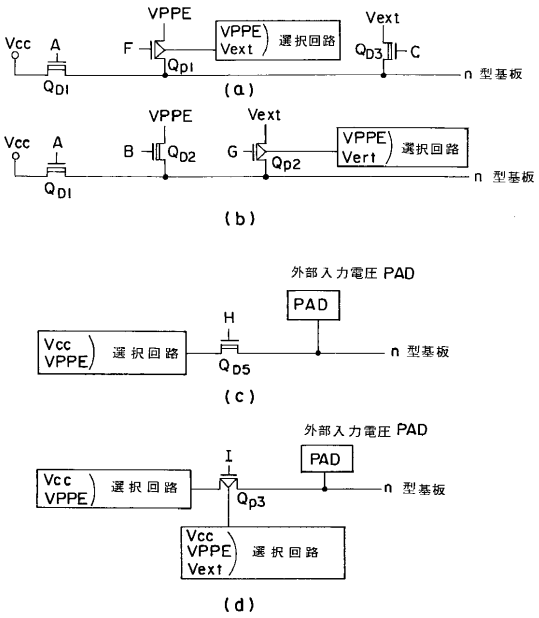
【図１６】



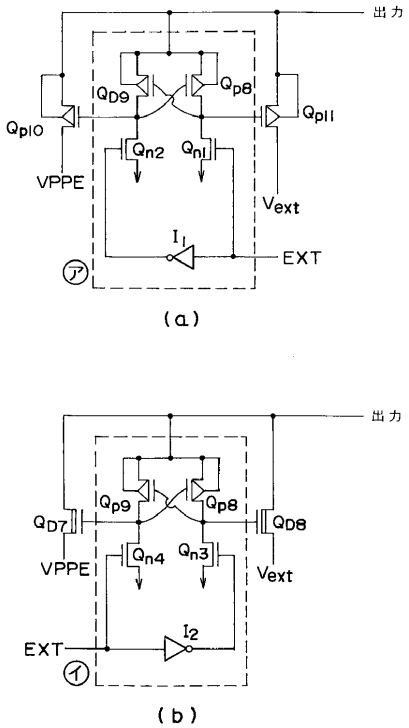
【図１７】



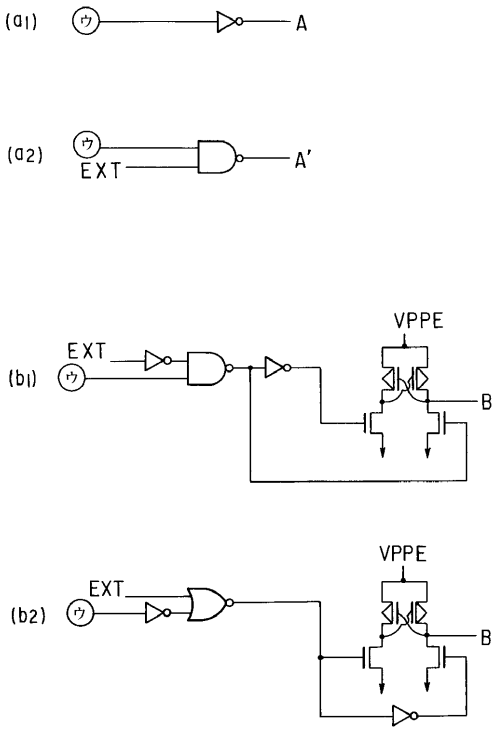
【図１８】



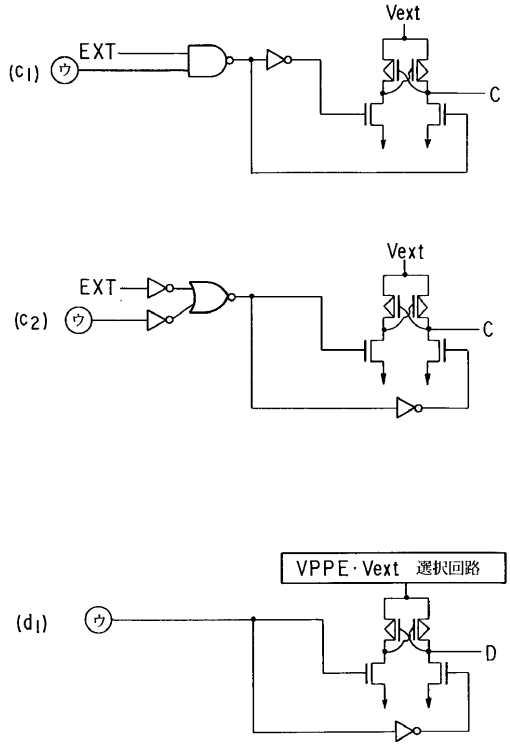
【図１９】



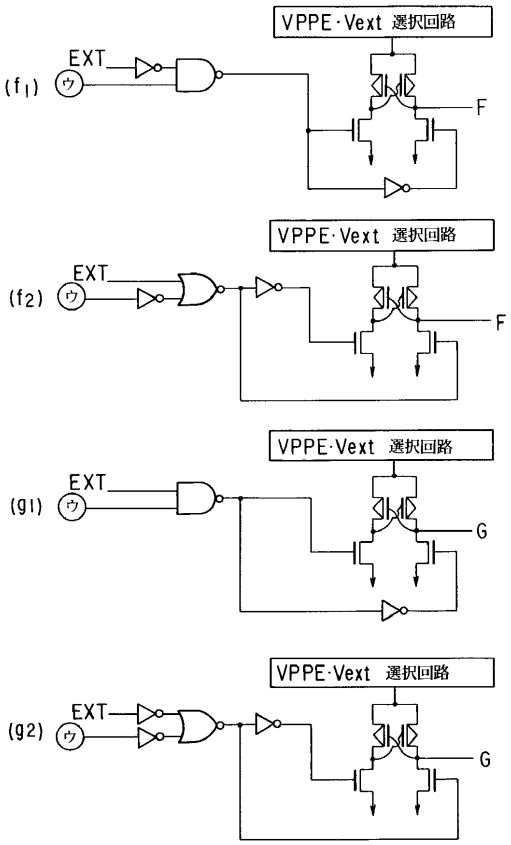
【図２０】



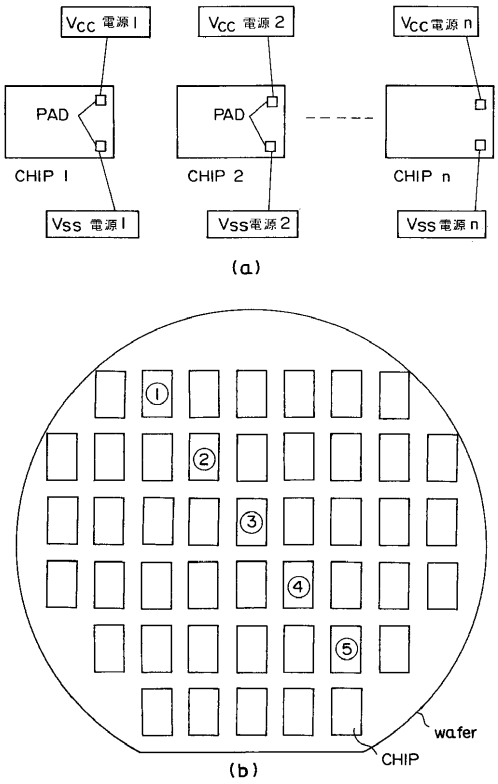
【図２１】



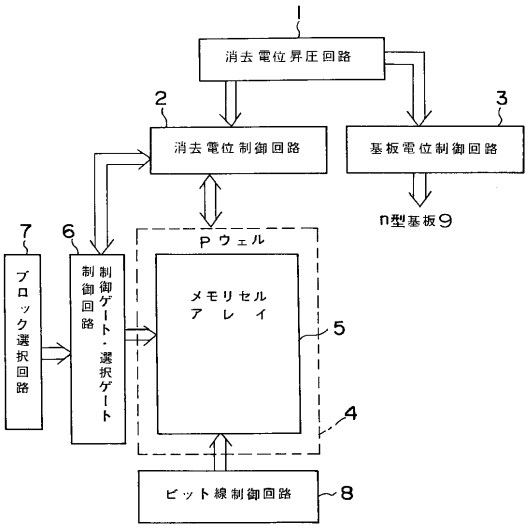
【図２２】



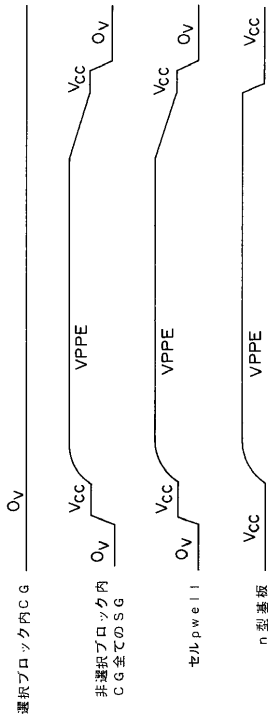
【図２３】



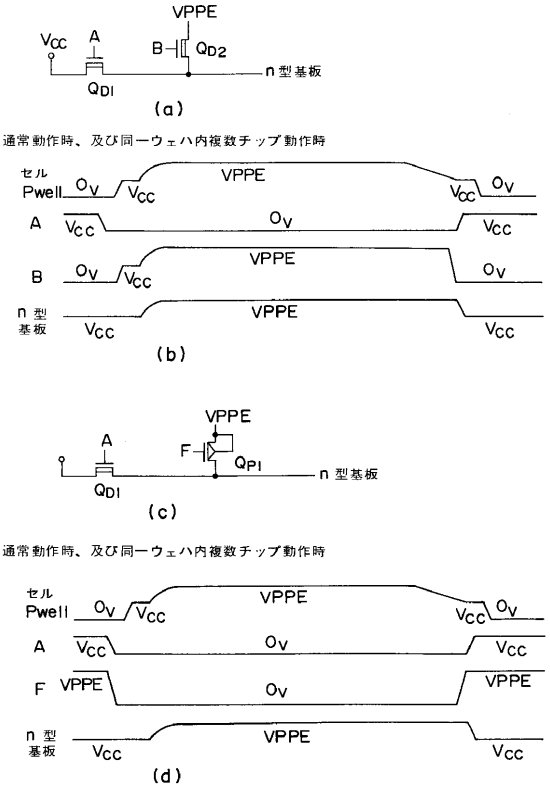
【図２４】



【図２５】


Ov
Vcc
VPPE
選択ブロック内ＣＧ
非選択ブロック内
ＣＧ全てのＳＧ
セルpwell
n型基板

【図２６】


VPPE
Vcc
A
B
QD2
QD1
n型基板
(a)
通常動作時、及び同一ウェハ内複数チップ動作時
セル
Pwell
Ov
Vcc
VPPE
A
B
n型
基板
(b)
F
QP1
(c)
通常動作時、及び同一ウェハ内複数チップ動作時
(d)

フロントページの続き

(72)発明者　岩田　佳久
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　飯田　清司

(56)参考文献　特開平０５－１７４５８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 16/00-16/34,G11C 29/00