



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년07월22일

(11) 등록번호 10-1421904

(24) 등록일자 2014년07월15일

- (51) 국제특허분류(Int. Cl.)
HO1L 27/146 (2006.01) *HO4N 5/357* (2011.01)
HO4N 5/374 (2011.01)
- (21) 출원번호 10-2013-7001697
- (22) 출원일자(국제) 2011년06월23일
 심사청구일자 2013년01월22일
- (85) 번역문제출일자 2013년01월22일
- (65) 공개번호 10-2013-0020844
- (43) 공개일자 2013년02월28일
- (86) 국제출원번호 PCT/JP2011/003594
- (87) 국제공개번호 WO 2012/001923
 국제공개일자 2012년01월05일
- (30) 우선권주장
 JP-P-2010-149477 2010년06월30일 일본(JP)

(56) 선행기술조사문현

KR1020070065221 A

KR1019970067953 A

KR1019910016087 A

JP2009170448 A

전체 청구항 수 : 총 9 항

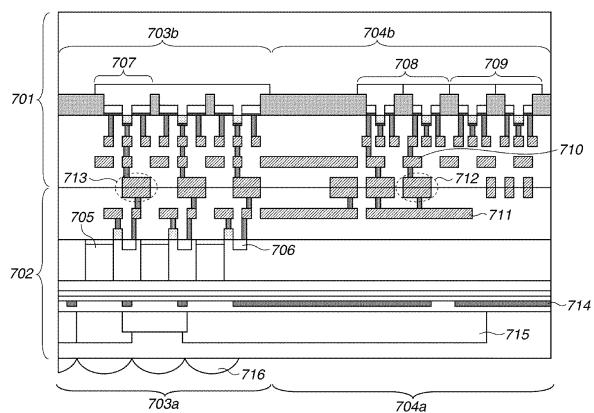
심사관 : 계원호

(54) 발명의 명칭 고체 콜상 디바이스

(57) 요 약

본 발명은, 복수의 광전 변환 유닛이 설치된 제1 기판과, 판독 회로 및 병렬 처리 회로들이 설치된 제2 기판을 포함하는 고체 콜상 디바이스를 제공한다. 고체 콜상 디바이스는 복수의 병렬 처리 회로에 DC 전압을 공급하도록 구성된 DC 전압 공급 배선을 포함한다. DC 전압 공급 배선은, 제1 기판에 설치된 제1 도전 패턴들과 제2 기판에 설치된 제2 도전 패턴들을 전기적으로 접속함으로써 형성된다.

대 표 도



특허청구의 범위

청구항 1

고체 활상 디바이스로서,

광전 변환 유닛, 및 상기 광전 변환 유닛에 의해 발생된 신호를 처리 또는 판독하도록 구성된 판독 회로를 각각 갖는 복수의 화소, 및

상기 복수의 화소 중 미리 정해진 개수의 화소로부터의 신호를 병렬 처리하도록 구성된 복수의 병렬 처리 회로를 포함하고,

복수의 상기 광전 변환 유닛은 제1 기판에 설치되고, 판독 회로들 및 병렬 처리 회로들은 제2 기판에 설치되고, 상기 광전 변환 유닛에 의해 발생된 신호를 상기 판독 회로가 수신하도록, 상기 광전 변환 유닛과 상기 판독 회로가 전기적으로 서로 접속되고,

상기 고체 활상 디바이스는 상기 복수의 병렬 처리 회로에 DC 전압을 공급하도록 구성된 DC 전압 공급 배선을 더 포함하고,

상기 DC 전압 공급 배선은, 상기 제1 기판에 설치된 제1 도전 패턴들과, 상기 제2 기판에 설치된 제2 도전 패턴들을 전기적으로 접속함으로써 형성되는, 고체 활상 디바이스.

청구항 2

제1항에 있어서,

상기 제1 도전 패턴들은 상기 복수의 화소가 설치되는 화소 영역 이외의 부분에 설치되는, 고체 활상 디바이스.

청구항 3

제1항에 있어서,

상기 화소는,

플로팅 디퓨전(floating diffusion),

광전 변환 유닛들 각각으로부터의 신호를 상기 플로팅 디퓨전에 전송하도록 구성된 전송 유닛,

상기 플로팅 디퓨전과 게이트가 전기적으로 서로 접속된 화소 증폭기, 및

상기 화소 증폭기의 입력 노드의 전위를 리세트하도록 구성된 화소 리세트 유닛을 포함하고,

상기 플로팅 디퓨전 및 상기 전송 유닛은 상기 제1 기판에 설치되고, 상기 화소 증폭기 및 상기 화소 리세트 유닛은 상기 제2 기판에 설치되는, 고체 활상 디바이스.

청구항 4

제3항에 있어서,

상기 병렬 처리 회로들은, 상기 화소 증폭기에 바이어스 전류를 공급하도록 구성된 전류원 회로인, 고체 활상 디바이스.

청구항 5

제3항에 있어서,

상기 병렬 처리 회로들은, 상기 화소 증폭기로부터 출력된 신호를 더 증폭하도록 구성된 열 증폭기(column amplifier)인, 고체 활상 디바이스.

청구항 6

제1항에 있어서,

상기 병렬 처리 회로들은, 상기 복수의 화소로부터 출력된 신호를 병렬로 유지하도록 구성된 신호 유지 유닛인, 고체 활상 디바이스.

청구항 7

제1항에 있어서,

상기 제1 도전 패턴들의 면적은 상기 제2 도전 패턴들의 면적보다 큰, 고체 활상 디바이스.

청구항 8

제3항에 있어서,

상기 병렬 처리 회로들은, 상기 화소 증폭기로부터 출력된 신호를 더 증폭하도록 구성된 열 증폭기, 또는 상기 복수의 화소로부터 출력된 신호를 병렬로 유지하도록 구성된 신호 유지 유닛인 회로들 중 선택된 것인, 고체 활상 디바이스.

청구항 9

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 제1 도전 패턴들 및 상기 제2 도전 패턴들은, 상기 제1 및 제2 도전 패턴들과는 다른 배선층에 포함되는 도전 패턴들을 통해서 전기적으로 서로 접속되는, 고체 활상 디바이스.

명세서

기술 분야

[0001]

본 발명은 광전 변환 유닛들이 설치된 제1 기판과, 주변 회로들이 설치된 제2 기판 간의 전기적 접속을 행하여 형성된 고체 활상 디바이스에 관한 것이다.

배경기술

[0002]

구성이 알려진 고체 활상 디바이스에 있어서, 광전 변환 유닛들과 주변 회로들은 다른 기판들에 분리되어 형성되고, 이 기판들은 마이크로 범프를 이용하여 전기적으로 서로 접속된다.

[0003]

일본 공개 특허 공보 제2009-170448호는, 함께 접합된 제1 기판과 제2 기판을 포함하는 이면 조사형 고체 활상 디바이스(backside illumination solid-state imaging device)를 논의한다. 제1 기판은 화소들, 광전 변환 유닛들, 및 신호 판독용 판독 회로를 포함한다. 제2 기판은 화소들로부터 판독된 신호들을 처리하기 위한 주변 회로들을 포함한다.

[0004]

일반적으로, 고체 활상 디바이스로부터 고속으로 신호를 판독하기 위해, 고체 활상 디바이스는 복수의 화소로부터의 신호에 동종의 신호 처리를 병렬로 적용하는 복수의 병렬 처리 회로를 포함한다. 병렬 처리 회로들의 예로서는 화소 열마다 설치된 열 증폭기 및 행 AD 유닛을 포함한다.

[0005]

그러한 동종의 처리를 행하는 복수의 병렬 처리 회로에는, 원하는 동작을 행할 수 있도록 하기 위해 직류(DC) 전압이 공급된다. DC 전압으로서, 원하는 전압이 동종의 처리를 행하는 병렬 처리 회로들에 공통 DC 전압 공급 배선을 통해 공급된다. 병렬 처리 회로들은 제2 기판에 설치된다. 가능한 한 광전 변환 유닛들의 넓은 개구를 제공하기 위해, 제1 기판에는 다른 회로들을 설치하지 않는 것이 바람직하다. 따라서, 제2 기판의 병렬 처리 회로들이 설치되는 영역에는 다수의 회로 소자를 설치하여야 하므로, 배선 레이아웃의 자유도를 감소시킬 가능성이 있다. 배선 레이아웃의 자유도를 증가시키기 위해서는, 병렬 처리 회로들을 설치하기 위한 넓은 영역을 제공할 필요가 있어서, 칩 면적이 증가해버린다.

[0006]

따라서, 전술한 DC 전압 공급 배선에 넓은 면적을 할당하는 것은 어렵고, DC 전압 공급 배선에 소정의 저항이 발생할 수 있다. 병렬 처리 회로들에 DC 전압을 공급하는 배선에 저항이 발생할 때, 앤리어스(alias)가 발생하기 쉽다는 과제가 발생한다. 특히, 칩 면적이 클수록 더 앤리어스가 발생하기 쉽다.

[0007]

[선행기술문헌]

[0008]

[특허문헌]

[0009] 특허문헌 1: 일본 공개 특허 공보 제2009-170448호

발명의 내용

해결하려는 과제

[0010] 본 발명은 칩 면적을 증가시키지 않고, 앤리어스의 발생을 방지할 수 있는 고체 콤보 디바이스를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 본 발명의 양태에 따르면, 고체 콤보 디바이스는, 광전 변환 유닛, 및 상기 광전 변환 유닛에 의해 발생된 신호를 처리 또는 관독하도록 구성된 관독 회로를 각각 갖는 복수의 화소, 및 상기 복수의 화소 중 미리 정해진 개수의 화소로부터의 신호를 별별 처리하도록 구성된 복수의 별별 처리 회로를 포함하고, 복수의 상기 광전 변환 유닛은 제1 기판에 설치되고, 상기 관독 회로들 및 상기 별별 처리 회로들은 제2 기판에 설치되고, 상기 광전 변환 유닛에 대응하는 신호를 상기 관독 회로가 수신하도록, 상기 광전 변환 유닛과 상기 관독 회로가 전기적으로 서로 접속되고, 상기 고체 콤보 디바이스는 상기 복수의 별별 처리 회로에 DC 전압을 공급하도록 구성된 DC 전압 공급 배선을 더 포함하고, 상기 DC 전압 공급 배선은, 상기 제1 기판에 설치된 제1 도전 패턴들과, 상기 제2 기판에 설치된 제2 도전 패턴들을 전기적으로 접속함으로써 형성된다.

발명의 효과

[0012] 본 발명은 칩 면적을 증가시키지 않고, 앤리어스의 발생을 방지할 수 있는 고체 콤보 디바이스를 제공할 수 있다.

[0013] 본 발명의 다른 특징들 및 양태들은 첨부 도면을 참조하여 하기의 예시적인 실시 형태들의 상세한 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0014] 본 명세서에 포함되고 그 일부를 구성하는 첨부 도면은, 본 발명의 예시적인 실시 형태들, 특징들, 및 양태들을 도시하며, 상세한 설명과 함께, 본 발명의 원리들을 설명하는 역할을 한다.

도 1은 본 발명에 따른 고체 콤보 디바이스를 개략적으로 도시하는 상면도이다.

도 2a는 본 발명에 따른 고체 콤보 디바이스의 하나의 화소의 회로도의 예이다.

도 2b는 본 발명에 따른 고체 콤보 디바이스의 하나의 화소의 회로도의 예이다.

도 3은 본 발명에 따른 고체 콤보 디바이스의 전체 구성을 도시하는 블록도이다.

도 4는 전류원의 등가 회로도의 예를 도시한다.

도 5는 열 증폭기의 등가 회로도의 예를 도시한다.

도 6은 신호 유지 유닛의 등가 회로도의 예를 도시한다.

도 7은 제1 기판과 제2 기판 간의 전기적 접속을 개략적으로 도시한다.

도 8a는 고체 콤보 디바이스를 도시하는 상면도의 예이다.

도 8b는 고체 콤보 디바이스를 도시하는 상면도의 예이다.

도 9a는 고체 콤보 디바이스를 도시하는 상면도의 다른 예이다.

도 9b는 고체 콤보 디바이스를 도시하는 상면도의 다른 예이다.

도 10a는 앤리어스가 발생하는 상태를 개략적으로 도시한다.

도 10b는 앤리어스가 발생하는 상태를 개략적으로 도시한다.

도 10c는 앤리어스가 발생하는 상태를 개략적으로 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부 도면을 참조하여 본 발명의 다양한 실시 형태들, 특징들, 및 양태들을 상세히 설명한다.
- [0016] 도 1은 본 발명에 따른 고체 콜상 디바이스를 형성하는 제1 기판 및 제2 기판을 개략적으로 도시하는 상면도이다. 도 1을 참조하면, 제1 기판(좌)은 복수의 광전 변환 유닛을 포함하고, 제2 기판(우)은 판독 회로 및 병렬 처리 회로들을 포함한다. 판독 회로는, 광전 변환 유닛들에 의해 발생된 신호들을 처리하거나 또는 신호들을 공통 출력 선들에 출력한다. 병렬 처리 회로들은 복수의 화소 중 소정의 개수의 화소로부터의 신호들을 병렬 처리한다.
- [0017] 제1 화소 영역(101)은, 예를 들어, 2차원 행렬 형태의 복수의 광전 변환 유닛을 포함한다. 또한, 제1 화소 영역(101)은 전송 유닛을 형성하는 전송 트랜지스터들과, 전송 트랜지스터들을 통해 광전 변환 유닛들로부터의 전하가 전송되는 플로팅 디퓨전(floating diffusion: FD)을 포함할 수 있다.
- [0018] 제1 주변 영역(102)은 광전 변환 유닛들을 포함하지 않는다. 회로 소자들이 설치되지 않을 경우에, 또는 전송 트랜지스터들이 설치될 경우에, 제1 주변 영역(102)은 전송 트랜지스터들의 동작을 제어하는 주사 회로를 포함할 수 있다. 주사 회로로서는 시프트 레지스터들과 디코더들을 이용할 수 있다.
- [0019] 제2 화소 영역(201)은 제1 화소 영역(101)의 광전 변환 유닛들에 의해 발생된 신호들을 화소마다 처리한 후에 신호들을 공통 출력 선들에 출력하는 회로들을 포함한다. 제2 화소 영역(201)은, 예를 들어, 광전 변환 유닛들에 의해 발생된 신호들을 화소마다 증폭하는 화소 증폭기들, 화소 증폭기들의 입력 노드들의 전위를 리세트하는 화소 리세트 유닛들, 원하는 화소들을 선택하여 공통 출력 선들에 출력하기 위한 선택 유닛들을 포함할 수 있다. 또한, 제2 화소 영역(201)은 A/D 변환 유닛들을 포함할 수 있다.
- [0020] 제2 주변 영역(202)은 화소들로부터의 신호들이 공통 출력 선들에 판독된 후에, 신호들을 처리하기 위한 회로들을 포함한다. 제2 주변 영역(202)은, 예를 들면, 증폭기들, 신호 유지 유닛들, 및 A/D 변환 회로들을 포함한다. 또한, 제2 주변 영역(202)은 전술한 리세트 유닛들 및 선택 유닛들을 구동하기 위한 주사 회로를 포함한다. 주사 회로로서는 시프트 레지스터들과 디코더들을 이용할 수 있다.
- [0021] 본 발명의 특징은, 제2 주변 영역(202)에 설치되는 회로들을 위한 DC 전원 공급 배선이, 제1 기판에 설치된 제1 도전 패턴들과, 제2 기판에 설치된 제2 도전 패턴들을 전기적으로 접속함으로써 형성된다는 점이다. 이 회로 구성은, DC 전원 공급 배선의 저항을 감소시킬 수 있어서, 전압 강하를 감소시킨다. 이하, 본 발명에 따른 회로 구성을 적용하기에 적합한 DC 전원 공급 배선의 예를 설명한다. DC 전압 공급 배선이란, 전압의 변동이 거의 없이, 스위치 동작에 의해 소비 전력 저감을 목적으로 턴 온 또는 오프될 수 있는, DC 전압을 공급하는 배선을 일컫는다. 즉, 시간적으로 DC 전압의 방향이 변화되지 않고 유지된다.
- [0022] 일반적으로 고체 콜상 디바이스에 있어서, 복수의 화소로부터의 신호가 동 시각에 각각의 출력 노드들에 의해 판독된다. 그러한 노드들의 예로서, 복수의 공통 출력 선이 있다. 공통 출력 선들에는 동종의 처리를 행하는 병렬 처리 회로들이 각각 설치되고, 이 병렬 처리 회로들에 의해 DC 전압 공급 배선이 공통적으로 이용된다.
- [0023] 이 회로 구성에 있어서, 공통 DC 전압 공급 배선을 통하여 기타의 병렬 처리 회로들에 의해 현재 처리되는 신호가 영향을 받아서, 전하 결합 디바이스(CCDs)에서 보여지는 스미어(smear)라고 불리는 것과 유사한 현상이 발생한다.
- [0024] 첫번째 예의 공통 배선은, 화소 증폭기들에 바이어스 전류를 공급하기 위한 전류원 회로에 DC 전압을 공급하는 배선이다. 전류원 회로의 예로서는, 부하 금속-산화물 반도체(MOS) 트랜지스터를 이용한 커런트 미러를 이용할 수 있다. 일반적으로, 부하 MOS 트랜지스터의 소스에는 접지 전위가 공급된다. 이 커런트 미러에 있어서, DC 전압 공급 배선은 접지 전위를 공급한다. 접지 전위를 공급하기 위한 접지 배선은 복수의 공통 출력 선에 설치된 부하 MOS 트랜지스터의 소스에 공통적으로 접속된다.
- [0025] 이 회로 구성에 있어서, 콜상면의 일부에 강한 광이 입사할 경우에, 접지 배선에 흐르는 전류가 변화되어, 접지 배선의 전압 강하의 영향이 변화된다. 이에 의해 인접 화소 열들의 전류원 회로들에 흐르는 전류가 변화되어, 다른 전류원 회로들에 의해 바이어스 전류가 공급되는 화소의 신호가 레벨 시프트를 보이는, 앤리어스가 발생할 가능성이 있다. 앤리어스는, 접지 배선이 고정 저항을 갖고 있을 경우에 발생하고, 접지 배선의 저항이 클수록 더 발생하기 쉽다. 앤리어스는, 콜상면의 크기가 클수록 더 발생하기 쉽다. 특히, 콜상면의 크기가 APS-C 이상일 경우 앤리어스의 발생에 크게 영향을 준다. 또한, 화소수가 증가할 경우에도, 하나의 동작을 행하기 위해

필요한 전류량이 증가하기 때문에, 이 현상이 발생하기 쉽다.

[0026] 두번째 예의 공통 배선은, 각 공통 출력 선마다 또는 복수의 공통 출력 선마다 설치되는 열 증폭기에 DC 전압을 공급하는 배선이다. 열 증폭기 회로의 예는 연산 증폭 회로이다. 연산 증폭 회로에 테일 전류(바이어스 전류)를 공급하기 위해 전류원 회로가 설치된다. 전류원 회로로서, 첫번째 예의 공통 배선과 마찬가지로, 커런트 미러를 이용할 수 있다. 이 전류원 회로에 DC 전압을 공급하기 위한 배선이 복수의 열 증폭기에 공통적으로 접속된다. 이 회로 구성에 있어서, 활상면의 일부에 강한 광이 입사할 경우에, 일부의 화소들로부터 과대한 신호 레벨을 갖는 광 신호가 공통 출력 선들에 출력된다. 이 경우, 연산 증폭 회로가 광 신호를 증폭할 때, 차동 증폭기에 포함되는 전류원 회로가 과대한 전류를 접지 배선에 보낼 수 있다. 이에 따라, 다른 화소 열들의 열 증폭기들이 과대 전류의 영향 때문에 적절한 신호를 출력할 수 없다. 이로 인해, 고체 활상 디바이스로부터 출력된 화상 신호에 따라 얻어지는 화상에 앤리어스가 발생한다.

[0027] 세번째 예의 공통 배선은, 복수의 공통 출력 선에 판독된 신호를 병렬로 유지하는 신호 유지 유닛들에 전압을 공급하는 배선이다. 일반적으로, 신호를 유지하기 위한 용량은 열 증폭기로부터의 신호를 받는 신호 노드와, DC 전압 공급 배선에 의해 소정의 전압이 공급되는 고정 노드를 포함한다. 소정의 전압은 전원 전압, 접지 전위, 또는 이들 사이의 중간 전위이다. 이 회로 구성에 있어서, 활상면의 일부에 강한 광이 입사하면, 강한 광이 입사하는 화소 열에 대응하는 신호 유지 유닛들에 큰 신호가 입력된다. 이에 의해 신호 노드의 전위가 크게 변화되고, 신호 노드의 전위 변화에 따라 고정 노드의 전위가 변화된다. 그 후, DC 전압 공급 배선에 일시적으로 큰 전류가 흐르고, 이에 따라, DC 전압 공급 배선의 전위가 변동한다. 이 DC 전압 공급 배선의 전위 변화가 다른 화소 열들의 신호 유지 유닛들의 고정 노드에 전파된다. 이 상태에서, 전위 변화가 줄어들기 전에 후단의 회로들에 신호를 출력하면, 앤리어스가 발생한다.

[0028] 전술한 화소들로부터의 신호를 병렬 처리하는 회로를 하기에서는 병렬 처리 회로라고 일컫는다.

[0029] 도 10c는 앤리어스가 발생하는 상태를 개략적으로 도시한다. 도 10a는 앤리어스가 발생하지 않은 이상적인 상태를 도시한다. 도 10b와 도 10c는 앤리어스가 발생하는 상태를 도시한다. 도 10a 내지 도 10c는 활상면의 일부, 구체적으로는, 화면 중앙부에 강한 광이 입사하는 상태를 도시한다. 도 10b는 활상면의 일부, 즉, 화면 중앙부 부근에 강한 광이 입사하고, 그 밖의 화면 부분은 어두운 상태를 도시한다. 도 10b는 강한 입사 광을 받은 활상면의 부분의 양측의 영역들이 원래 출력해야 할 신호보다 어둡게 가라앉는 것을 나타낸다.

[0030] 도 10c는 강한 입사광을 수신하는 부분이 도 10b와 마찬가지이지만, 도 10b에 도시된 상태와 반대로 그 부분의 양측이 밝다.

[0031] 도 10b의 상태와 도 10c의 상태 간의 차이는 회로 구성의 차이에 의해 발생할 수 있다. 예를 들어, 제1 예에서 설명한 화소 전류원에 DC 전압을 공급하는 DC 전압 공급 배선은 도 10c에 도시된 바와 같은 화상을 생성할 수 있다. 또한, 신호 유지 유닛에 DC 전압을 공급하는 DC 전압 공급 배선은 도 10b에 도시된 바와 같은 화상을 생성할 수 있다.

[0032] 회로 구성이 전술한 병렬 처리 회로들을 모두 포함할 필요는 없고 그 중 어느 하나를 포함한다면, 전술한 과제가 발생할 수 있다. DC 전압 공급 배선에 대응하는 도전 패턴들을 제1 기판에 설치한 후에 각각 전기적으로 접속을 행함으로써, 본 발명의 효과를 얻을 수 있다. 전술한 과제는 전술한 회로 구성에 의해 발생하는 것에 한정되지 않고, 복수의 화소 중 소정의 개수의 화소로부터의 신호를 병렬 처리하는 복수의 병렬 처리 회로에 대하여 공통 DC 전압 공급 배선을 설치함으로써 발생하는 것일 수도 있다.

[0033] 병렬 처리 회로들을 모두 갖고 있는 전술한 회로 구성에 있어서, 반드시 병렬 처리 회로 모두는 아니더라도 그 중 어느 하나의 DC 전압 공급 배선에 대하여 (제1 기판의) 제1 도전 패턴들을 설치함으로써, 본 발명의 효과를 얻을 수 있다. 그러나, 모든 병렬 처리 회로들의 DC 전압 공급 배선에 대하여 제1 도전 패턴들을 설치함으로써, 더 큰 효과를 얻을 수 있다.

[0034] 도 2a 및 도 2b는 본 발명에 따른 고체 활상 디바이스의 화소들의 등가 회로도를 도시한다. 도 2a 및 도 2b는 각각 하나의 화소만을 도시하지만, 화소 배열은 실제로는 복수의 화소로 형성된다.

[0035] 광전 변환 유닛(201)은 광전 변환에 의해 흘과 전자를 발생한다. 예를 들어, 광전 변환 유닛(201)으로서 포토 다이오드가 이용된다.

[0036] 전송 유닛(202)은 광전 변환 유닛(201)의 전하를 전송한다. 예를 들어, 전송 유닛(202)으로서 MOS 트랜지스터 (이 MOS 트랜지스터를 전송 트랜지스터라고 일컬음)가 이용된다.

- [0037] 플로팅 노드(203)는 신호를 판독한다. 전송 유닛(202)에 의해 광전 변환 유닛(201)의 전하가 전송될 때, 전위가 플로팅된다. 플로팅 노드(203)는, 예를 들어, 제1 기판에 설치된 플로팅 디퓨전(FD)을 포함한다.
- [0038] 화소 리세트 유닛(204)은 적어도 플로팅 노드(203)의 전위를 기준 전위로 설정한다. 대안적으로, 전송 유닛(202)과 동시에 화소 리세트 유닛(204)을 온으로 설정함으로써, 광전 변환 유닛(201)의 전위를 기준 전위로 설정한다. 예를 들어, 화소 리세트 유닛(204)으로서 MOS 트랜지스터(이 MOS 트랜지스터를 리세트 트랜지스터라고 일컬음)가 이용된다.
- [0039] 화소 증폭기(205)는 광전 변환 유닛(201)에 의해 발생된 전하 쌍 중 한쪽의 전하에 기초하는 신호를 증폭한다. 예를 들어, 화소 증폭기(205)로서 MOS 트랜지스터가 이용된다. 이 경우에는, 화소 증폭기(205)의 MOS 트랜지스터(이 MOS 트랜지스터를 증폭 트랜지스터라고 일컬음)의 게이트와 FD가 전기적으로 접속된다.
- [0040] 전송 유닛(202)의 동작을 제어하기 위해 전송 제어 선(206)이 제1 기판에 설치된다. 화소 리세트 유닛(204)의 동작을 제어하기 위해 리세트 제어 선(207)이 제2 기판에 설치된다. 전송 유닛(202)과 화소 리세트 유닛(204)이 MOS 트랜지스터들인 경우, 전송 제어 선(206)과 리세트 제어 선(207)은 각각의 MOS 트랜지스터의 게이트에 그것을 턴 온 및 오프하는 펄스를 전달한다.
- [0041] 공통 출력 선(208)은 화소 증폭기(205)에 의해 증폭된 신호를 출력한다. 화소 배열에 포함되는 복수의 화소로부터의 신호가 공통 출력 선(208)에 판독된다. 1개의 공통 출력 선(208)에 판독되는 화소들의 집합을 화소 열이라고 부를 수도 있다.
- [0042] 전류원(209)은 화소 증폭기(205)에 바이어스 전류를 공급한다. 본 회로 구성에 있어서, 전류원(209)은 증폭 트랜지스터(205)의 소스 팔로워 동작(source follower operation)을 가능하게 하기 위한 바이어스 전류를 공급한다.
- [0043] 도 2a를 참조하면, 전압 V1은 증폭 트랜지스터(205A) 및 리세트 트랜지스터(204A)의 드레인들에 공급된다. 전압 V1이 공통적으로 이용되지만, 상이한 전원 전압들이 이용될 수도 있다. 도 2a를 참조하면, 전압 V2는 전류원(209A)에 공급된다.
- [0044] 도 2b를 참조하면, 전압 V3은 리세트 트랜지스터(204B)의 드레인에 공급된다. 도 2b를 참조하면, 전압 V4는 증폭 트랜지스터(205B)의 드레인에 공급된다. 도 2b를 참조하면, 전압 V5는 전류원(209B)에 공급된다.
- [0045] 화소를 형성하는 요소들 중, pix A는 제1 기판에 설치되는 부분을 나타내고, pix B는 제2 기판에 설치되는 부분을 나타낸다. pix A와 pix B에 의해 화소 pix가 형성된다. 제어 선을 어느 한쪽의 기판에 설치한다는 것은, 제1 기판과 제2 기판 간의 직접적인 전기적 접속 유닛들보다도 하나의 기판측에 제어 선을 설치한다는 것을 말한다.
- [0046] 이하, 도 2a와 도 2b의 회로도들 간의 차이에 대해서 설명한다. 상이한 부재들을 구별하기 위해, 각각 첨자 a와 b를 붙인다. 예를 들어, 도 2a와 도 2b의 회로도들은 증폭 트랜지스터들(205)과 리세트 트랜지스터들(204)의 도전형이 상이하다. 구체적으로, NMOS 트랜지스터들이 도 2a에 이용되고, PMOS 트랜지스터들이 도 2b에 이용된다. 이에 따라, 각각의 트랜지스터들과 전류원들에 공급되는 전압들도 두 회로도들 간에 상이하다.
- [0047] 도 2a를 참조하면, 전압 V1은, 예를 들어, 5V 또는 3.3V DC 전압이다. 전압 V2는 전압 V1보다 낮으며, 예를 들어, 접지 전위이다. 도 2b를 참조하면, 전압 V3과 전압 V4는 접지 전위 등의 상대적으로 낮은 전위이다. 전압 V5는 3.3V와 1.8 V 등, 전압 V3보다 높다.
- [0048] 도 2b를 참조하면, 증폭 트랜지스터(205B)는 PMOS 트랜지스터이다. 광전 변환 유닛(201)은 신호 전하로서 전자를 이용한다. 입사 광량이 클 경우에, PMOS 트랜지스터의 게이트 전위는 저하하고, 이에 따라 PMOS 트랜지스터의 소스 전위는 어두운 입사 광의 경우에 비해 상승한다. 구체적으로, 리세트 동작의 경우에 비해 신호 진폭이 큰 경우, 공통 출력 선(208)은 구동력이 높은 상태에서 구동될 수 있다.
- [0049] 따라서, 도 2a의 회로 구성보다 도 2b의 회로 구성이 판독 속도에 있어서 유리하다. 종래의 회로 구성에 있어서는, 전술한 2개의 회로가 1개의 동일 기판에 설치되었기 때문에, 화소 내에서 웨이 분할되어, 구조가 복잡했다. 또는, 화소의 미세화가 곤란하였기 때문에, 광전 변환 유닛은 낮은 개구율을 가졌다. 한편, 본 발명에 있어서는, 광전 변환 유닛들, 화소 증폭기들, 화소 리세트 유닛들을 상이한 기판들에 분리해서 형성함으로써, 전술한 폐해를 방지한다. 또한, 도 2b의 회로는 동작 전압 범위가 더 좁기 때문에, 저전원 전압화에 있어서 도 2a의 회로보다 유리하다.

- [0050] 도 2b의 회로의 본질은, 증폭 트랜지스터(205B)로서 PMOS 트랜지스터를 이용한다는 점이 아니고, 증폭 트랜지스터(205B)로서 신호 전하와 역 극성의 MOS 트랜지스터를 이용한다는 점이다. 구체적으로, 전자가 신호 전하로서 역할을 하는 경우에는, 증폭 트랜지스터(205B) 및 리세트 트랜지스터(204B)로서 PMOS 트랜지스터들을 이용하고, 홀이 신호 전하로서 역할을 하는 경우에는, 트랜지스터들(205B, 204B)로서 NMOS 트랜지스터들을 이용한다. 전송 트랜지스터(202)의 도전형을 참조하면, 전송 트랜지스터(202)는 제1 도전형의 트랜지스터이고, 증폭 트랜지스터(205B) 및 리세트 트랜지스터(204B)는 제1 도전형과 역 도전형인 제2 도전형의 트랜지스터이다.
- [0051] 화소의 구성에 대해서 구체적으로 설명했지만, 화소의 구성은 이것에 한정되지 않는다. 예를 들어, 증폭 트랜지스터로서 접합형 전계 효과 트랜지스터(junction field effect transistor: JFET)를 이용할 수도 있다. 광전 변환 유닛(201)은 홀을 신호 전하로서 이용할 수 있다. 이 경우에는, 전송 트랜지스터(202)로서 PMOS 트랜지스터를 이용하는 것이 바람직하다. 또한, 복수의 광전 변환 유닛에 의해 증폭 트랜지스터 및 리세트 트랜지스터가 공유될 수 있고, 증폭 트랜지스터와 직렬로 선택 트랜지스터를 형성할 수도 있다. 또한, 복수의 기판에의 화소의 구성의 할당은 전술한 회로 구성에 한정되지 않는다. 리세트 MOS 트랜지스터, 증폭 MOS 트랜지스터를 제1 기판에 설치할 수 있다. 그러나, 공통 출력 선들은 제2 기판에 설치할 필요가 있다. 또한, 증폭 트랜지스터 및 리세트 트랜지스터를 화소에 설치하지 않고, 전송 트랜지스터에 의해 광전 변환 유닛의 전하를 공통 출력 선에 직접 출력할 수 있다.
- [0052] 도 3은 본 발명에 따른 고체 활성 디바이스를 도시하는 블록도이다. 도 3을 참조하여, 주로 제2 기판에 설치되는 회로 소자들에 대해서 설명한다. 또한, 하기에서, 화소를 형성하는 트랜지스터들의 도전형에 대해서는 도 2a에 도시된 경우에 기초하여 설명한다.
- [0053] 화소 영역(301)은 도 1의 제2 화소 영역(201)에 대응한다.
- [0054] 부분(302)은 화소를 형성하는 소자들 중, 제2 기판에 설치되는 부분이다. 부분(302)은 도 2a 및 도 2b의 pix B에 대응한다.
- [0055] 공통 출력 선(303)은 각 화소 열마다 설치된다. 화소들은 2차원 행렬 형태로 설치된다. 각 공통 출력 선에 각 행의 신호가 병렬로 판독된다.
- [0056] 전류원 회로(304)는 병렬 처리 회로들 중 하나로서 기능할 수 있다. 전류원 회로(304)는 화소 증폭기의 증폭 동작을 위한 바이어스 전류를 공급한다. 전류원 회로(304)는 도 2a의 전류원(209A)에 대응한다.
- [0057] 제1 DC 전압 공급 배선(305)은 전류원 회로(304)에 DC 전압을 공급한다. 제1 DC 전압 공급 배선(305)은 도 2a의 전압 V2에 대응한다.
- [0058] 제2 DC 전압 공급 배선(306)은 필요에 따라 전류원 회로(304)에 바이어스 전류를 공급하기 위해 설치된다. 예를 들어, 제2 DC 전압 공급 배선(306)은 캐스코드형 전류원(cascode current source)을 이용하는 경우의 공통 게이트 증폭 MOS 트랜지스터의 게이트에 소정의 전압을 공급한다.
- [0059] 열 증폭기(307)는 화소 열마다 또는 복수의 화소 열마다 설치된다. 열 증폭기(307)는 병렬 처리 회로들 중 하나로서 기능할 수 있다. 또한, 열 증폭기(307)에 화소부의 노이즈를 방지하는 회로를 설치할 수도 있다. 열 증폭기(307)는 구체적으로, 소스 팔로워, 공통 소스, 및 연산 증폭 회로들을 이용하여 형성될 수 있다.
- [0060] 제3 DC 전압 공급 배선(308)은 열 증폭기(307)에 접지 전위를 공급한다.
- [0061] 제4 DC 전압 공급 배선(309)은 필요에 따라, 열 증폭기(307)에 바이어스 전류를 공급하기 위해 설치된다. 예를 들어, 제4 DC 전압 공급 배선(309)은 캐스코드형 전류원을 이용하는 경우의 공통 게이트 증폭 MOS 트랜지스터의 게이트에 소정의 전압을 공급한다.
- [0062] 신호 유지 유닛(310)은 병렬 신호 처리 회로들 중 하나로서 기능할 수 있다. 신호 유지 유닛(310)은 광 신호만을 유지하는 유지 유닛을 포함할 수도 있고, 노이즈 신호 및 노이즈 신호가 중첩된 광 신호를 둘 다 유지하는 유지 유닛을 포함할 수도 있다.
- [0063] 제5 DC 전압 공급 배선(311)은 신호 유지 유닛(310)에 접지 전위를 공급한다.
- [0064] 제2 공통 출력 선(312)은 신호 유지 유닛(310)에 의해 유지된 후의 신호를 순차 선택해서 그 신호를 후단의 회로에 전달한다.
- [0065] 출력 증폭기(313)는 제2 공통 출력 선(312)으로부터 전달된 신호를 증폭 또는 버퍼한 후에 출력 패드(도시

생략)를 통해서 그들을 외부에 출력한다. 하나의 출력 증폭기(313)만이 도시되지만, 복수의 출력 증폭기(313)를 설치해서 병렬 처리를 가능하게 할 수 있다.

[0066] 공급 배선(314)은 출력 증폭기(313)에 소정의 전압을 공급한다. 공급 배선(314)은 전원 전압, 접지 전위, 또는 이들 사이의 중간 전압을 공급한다.

[0067] 제1 주사 유닛(315)은 신호 유지 유닛(310)에 의해 유지된 신호를 순차 선택한 후에 그것을 제2 공통 출력 선(312)에 출력한다.

[0068] 공급 배선(316)은 제1 주사 유닛(315)에 소정의 전압을 공급한다. 공급 배선(314)은 전원 전압, 접지 전위, 또는 이들 사이의 중간 전압을 공급한다.

[0069] 제2 주사 유닛(317)은 화소들 중 제2 기판에 설치되는 화소 리세트 유닛의 구동을 제어한다.

[0070] 공급 배선(318)은 제2 주사 유닛(317)에 소정의 전압을 공급한다. 공급 배선(318)은 전원 전압, 접지 전위, 또는 이들 사이의 중간 전압을 공급한다.

[0071] 도 4는 도 3의 병렬 처리 회로로서 기능하는 전류원 회로의 등가 회로도의 예를 도시한다. 도 4를 참조하면, 접선 사각형에 의해 둘러싸인 부분이 도 3의 제2 DC 전압 공급 배선(306)에 대응한다. 제2 DC 전압 공급 배선(306)에 대응하는 이 부분은 행의 개수로 설치된다.

[0072] 트랜지스터(401)는 부하 MOS 트랜지스터이다. MOS 트랜지스터(402)는 공통 게이트 증폭기 회로로서 동작한다. MOS 트랜지스터(402)의 게이트에 소정의 전압이 공급된다. MOS 트랜지스터(403)의 게이트는 부하 MOS 트랜지스터(401)의 게이트에 접속된다. 전류원(404)은 MOS 트랜지스터(403)에 일정한 전류를 보낸다. 접지 배선(405)은 도 3의 제1 DC 전압 공급 배선(305)에 대응한다. 접지 배선(405)은 트랜지스터(401, 403)의 소스들에 공통으로 접속된다. 바이어스 공급 배선(406)은 MOS 트랜지스터(402)의 게이트에 소정의 전압을 공급한다. 바이어스 공급 배선(406)은 도 3의 제2 DC 전압 공급 배선(306)에 대응한다. 도 4의 회로는 캐스코드형 전류원 회로를 구성한다.

[0073] 도 4의 회로 구성에 있어서, 활상면의 일부에 강한 광이 입사하고, 일부의 화소 열들의 공통 출력 선들의 전위가 크게 저하하는 경우, 접지 배선(405)에 흐르는 전류가 감소한다. 이에 따라, 다른 화소 열들의 부하 MOS 트랜지스터들에 흐르는 전류가 증가하여, 신호들의 레벨을 더 밝은 레벨쪽으로 시프트시켜, 앤리어스를 출력한다. 그 결과의 화상이 도 10c에 도시된다.

[0074] 이 현상은 접지 배선(405)에 일정한 저항이 발생하기 때문에 일어난다. 따라서, 저항을 저하시키기 위해, 제1 기판에 제1 도전 패턴들을 설치한 후에 그들을 제2 기판에 설치된 제2 도전 패턴들과 전기적으로 각각 접속함으로써, 접지 배선(405)을 형성한다. 이 회로 구성은 앤리어스의 발생을 방지할 수 있다.

[0075] 도 4의 회로 구성은 캐스코드형 전류원 회로에 기초하여 구체적으로 설명했지만, 통상의 커런트 미러 회로에도 적용할 수 있다. 단순한 커런트 미러에 있어서는, 전류원 회로의 출력 저항이 작기 때문에, 본 발명을 적용함으로써 더 큰 효과를 얻을 수 있다.

[0076] 도 5는 도 3의 열 증폭기의 등가 회로도의 예를 도시한다. 예로서 연산 증폭 회로가 도시된다.

[0077] 유지 용량(501)의 한쪽의 노드는 공통 출력 선(303)에 접속된다. 트랜지스터(502, 503)는 NMOS 트랜지스터이며, 트랜지스터(504, 505)는 PMOS 트랜지스터이다. 피드백 용량(506)은 연산 증폭 회로의 입력 노드와 출력 노드 사이에 설치된다. 피드백 용량(506)으로서 가변 용량을 이용하면, 연산 증폭 회로의 계인을 변경할 수 있다.

[0078] 피드백 용량(506)과 병렬로 스위치(507)가 설치된다. 스위치(507)는 연산 증폭 회로를 볼테지 팔로워 동작(voltage follower operation)을 행하도록 하기 위해 설치된다. 스위치(507)는 유지 용량(501)의 다른 쪽의 노드에 NMOS 트랜지스터(503)의 게이트에 공급된 전압을 공급한다. NMOS 트랜지스터들(508, 509, 510)은, 도 4의 회로와 마찬가지로, 캐스코드형 정전류원 회로를 형성한다. 이 캐스코드형 전류원 회로는 연산 증폭 회로의 테일 전류를 공급한다.

[0079] 접지 배선(511)은 도 3의 제3 DC 전압 공급 배선(308)에 대응한다. 바이어스 공급 배선(512)은 NMOS 트랜지스터(509)의 게이트에 소정의 바이어스를 공급한다. 이 바이어스 공급 배선(512)은 도 3의 제4 DC 전압 공급 배선(309)에 대응한다.

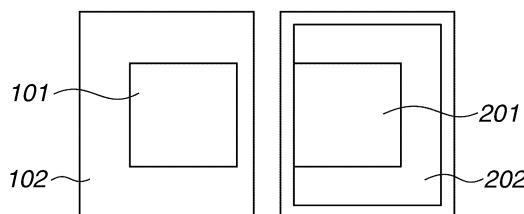
- [0080] 도 5의 회로 구성에 있어서, 활상면의 일부에 강한 광이 입사하면, 과대한 레벨의 신호가 입력 트랜지스터(502)의 게이트에 입력된다. 입력 트랜지스터(502)의 소스의 전위가 상승함에 따라, NMOS 트랜지스터(508)의 드레인의 전위도 상승한다. 그 결과, 전류원 회로는 접지 배선(511)에 과대한 전류를 보낼 수 있다. 이에 따라, 기타의 화소들의 열 증폭기들의 전류원 회로들에 의해 공급되는 바이어스 전류가 감소하여, 신호들의 레벨을 더 어두운 레벨쪽으로 시프트시켜, 앤리어스를 출력한다. 그 결과의 화상이 도 10b에 도시된다.
- [0081] 이 현상은 접지 배선(511)에 일정한 저항이 발생하기 때문에 일어난다. 따라서, 저항을 저하시키기 위해, 제1 기판에 제1 도전 패턴들을 설치한 후에 그들을 제2 기판에 설치된 제2 도전 패턴들과 전기적으로 각각 접속함으로써, 접지 배선(511)을 형성한다. 이 회로 구성은 앤리어스의 발생을 방지할 수 있다.
- [0082] 도 5의 회로 구성은 연산 증폭 회로의 테일 전류를 공급하는 회로로서 캐스코드형 전류원 회로에 기초하여 설명했지만, 통상의 커런트 미러 회로에도 적용할 수 있다. 단순한 커런트 미러에 있어서는, 전류원 회로의 출력 저항이 작기 때문에, 본 발명을 적용함으로써 더 큰 효과를 얻을 수 있다.
- [0083] 도 6은 도 3의 신호 유지 유닛(310)의 등가 회로도의 예를 도시한다. 신호 유지 유닛(310)은 노이즈 신호 및 노이즈 신호가 중첩된 광 신호를 둘 다 유지할 수 있다. 노이즈 신호는 주로 열 증폭기의 오프셋을 포함한다. 신호 유지 유닛(310)은 광 신호만을 유지할 수 있다.
- [0084] CMOS 스위치(601s)는 노이즈 신호가 중첩된 광 신호를 후단의 용량에 전송한다. CMOS 스위치(601n)는 노이즈 신호를 후단의 용량에 전송한다. 광 신호 유지 용량(602s)은 노이즈 신호가 중첩된 광 신호를 유지한다. 노이즈 신호 유지 용량(602n)은 노이즈 신호를 유지한다. 스위치(603s)는 노이즈 신호가 중첩된 광 신호를 후단의 제2 공통 출력 선(312) 및 출력 증폭기(313)에 출력한다. 스위치(603n)는 노이즈 신호를 후단의 제2 공통 출력 선(312) 및 출력 증폭기(313)에 출력한다. 접지 배선(604s)은 신호가 공급되는 용량(602s)의 신호 노드의 대향 측에 배치된 고정 노드에 접지 전위를 공급한다. 접지 배선(604n)은 신호가 공급되는 용량(602n)의 신호 노드의 대향 측에 배치된 고정 노드에 접지 전위를 공급한다. 접지 배선(604s, 604n)은 제4 DC 전압 공급 배선(311)에 대응한다.
- [0085] 도 6의 회로 구성에 있어서, 활상면의 일부에 강한 광이 입사하면, 과대한 레벨의 신호가 용량(602s)의 신호 노드에 공급된다. 이에 따라, 용량(602s)의 고정 노드의 전위가 크게 변화되고, 접지 배선(604s)에 큰 파도 전류가 흐른다. 이에 따라, 기타의 화소 열들에 대한 신호 유지 유닛들에 의해 유지된 신호가 영향을 받아서, 신호들의 레벨을 더 밝은 레벨쪽으로 시프트시켜, 앤리어스를 출력한다. 그 결과의 화상이 도 10c에 도시된다.
- [0086] 이 현상은 접지 배선(604s)에 일정한 저항이 발생하기 때문에 일어난다. 따라서, 저항을 저하시키기 위해, 제1 기판에 제1 도전 패턴들을 설치한 후에 그들을 제2 기판에 설치된 제2 도전 패턴들과 전기적으로 각각 접속함으로써, 접지 배선(604s)을 형성한다. 이 회로 구성은 앤리어스의 발생을 방지할 수 있다.
- [0087] 도 7은 제1 기판과 제2 기판 간의 전기적 접속 유닛들을 포함하는 단면을 개략적으로 도시한다. 도 7은 도 3의 블록도에 개략적으로 도시된 병렬 처리 회로들에, 또는 도 4 내지 도 6에 도시된 병렬 처리 회로들 중 어느 하나에 DC 전원을 공급하는 DC 전원 공급 회로 패턴의 일부를 도시한다.
- [0088] 화소 영역(703a)은 제2 기판(702)에 설치된다. 화소 영역(703b)은 제1 기판(701)에 설치된다. 제1 주변 영역(704a)은 제2 기판(702)에 설치된다. 제2 주변 영역(704b)은 제1 기판(701)에 설치된다. 제1 주변 영역(704a)은 화소 영역(703a) 이외의 부분에 설치되고, 제2 주변 영역(704b)은 화소 영역(703b) 이외의 부분에 설치된다. 제2 주변 영역(704b)은 화소 영역(703b)으로부터 공통 출력 선을 통해서 출력된 신호의 처리하거나, 또는 화소 영역(703b)으로부터의 신호 출력을 제어하는 회로를 포함한다.
- [0089] 광전 변환 유닛(705)의 전하는 FD(706)에 전송된다. 광전 변환 유닛(705)과 FD(706)는 전송 트랜지스터를 형성한다. 증폭 트랜지스터(707)는 증폭기를 형성한다. 증폭 트랜지스터(707)의 게이트는 FD(706)에 전기적으로 접속된다. MOS 트랜지스터(708)는 제2 주변 영역(704b)에 설치되는 병렬 처리 회로의 일부를 형성한다. MOS 트랜지스터(709)는 제2 주변 영역(704b)에 설치되는 병렬 처리 회로 이외의 회로를 형성한다.
- [0090] 제2 도전 패턴(710)은 병렬 처리 회로를 형성하는 MOS 트랜지스터(709)에 DC 전압을 공급하는 DC 전압 공급 배선을 형성한다. 제2 도전 패턴(710)은 지면의 깊이 방향으로 연장되어, 각 병렬 처리 회로의 MOS 트랜지스터들에 공통으로 DC 전압을 공급한다. 제2 도전 패턴(710)은 화소 영역(703b) 이외의 부분에 설치된다.
- [0091] 제1 도전 패턴(711)은 제2 기판(702)에 설치된다. 제1 도전 패턴(711)은 화소 영역(703a) 이외의 부분에 설치된다.

- [0092] 제1 전기적 접속 유닛(712)은 제2 도전 패턴(710)과 제1 도전 패턴(711)을 전기적으로 접속한다. 예를 들어, 제1 전기적 접속 유닛(712)은, 제1 기판(701)의 최상 배선층과 제2 기판(702)의 최상 배선층을 이용하여 도전 패턴들을 형성한 후에 이 도전 패턴들을 전기적으로 접속함으로써 형성될 수 있다. 대안적으로, 제1 전기적 접속 유닛(712)은, 제1 도전 패턴(711) 및/또는 제2 도전 패턴(710)을 각각의 최상 배선층들을 이용하여 형성한 후에 이 도전 패턴들을 전기적으로 접속함으로써 형성될 수도 있다.
- [0093] 제1 도전 패턴(711)은 제2 기판(702)의 제1 주변 영역(704a)에 설치된다. 제1 주변 영역(704a)은 제1 기판(701)의 제2 주변 영역(704b)보다 적은 개수의 회로 소자들을 포함한다. 대안적으로, 제1 주변 영역(704a)은 회로 소자를 전혀 포함하지 않는다. 따라서, 제1 기판(701)은 배선 레이아웃의 자유도가 비교적 높다. 따라서, 제1 도전 패턴(711)의 면적을 제2 도전 패턴(710)의 면적보다 크게 함으로써, 제2 기판(702)의 배선 레이아웃의 자유도를 유지하면서, 저항을 저하시킬 수 있어서 바람직하다.
- [0094] 제2 전기적 접속 유닛(713)은 FD(706)와 증폭 트랜지스터(707)의 게이트를 전기적으로 접속한다. 제2 전기적 접속 유닛(713)은 제1 기판(701)의 최상 배선층과 제2 기판(702)의 최상 배선층을 이용하여 도전 패턴들을 형성한 후에 이 도전 패턴들을 전기적으로 접속함으로써 형성될 수 있다. 제1 전기적 접속 유닛(712)을 형성하는 도전 패턴들의 영역과 제2 전기적 접속 유닛(713)을 형성하는 도전 패턴들의 면적 간의 관계는, 제2 전기적 접속 유닛(713)을 형성하는 도전 패턴들의 면적을 제1 전기적 접속 유닛(712)을 형성하는 도전 패턴들의 면적보다 작게 하는 것이 바람직하다. 제2 전기적 접속 유닛(713)은 FD(706)와 증폭 트랜지스터(707)의 게이트를 접속하며, 도전 패턴들의 면적이 클수록 FD(706)에 더 큰 기생 용량이 발생한다.
- [0095] 도 8a 및 도 8b는 본 발명에 따른 고체 활상 디바이스를 개략적으로 도시하는 상면도이다. 도 8a는 제1 기판(701)을 도시하고, 도 8b는 제2 기판(702)을 도시한다. 설명의 편의상, 도 8a 및 도 8b는 도 7에 도시된 제1 도전 패턴과 제2 도전 패턴을 각각 도시하고, 제1 도전 패턴 및 제2 도전 패턴과 동일 배선층에 형성된 화소 부분들의 접속 유닛들에서의 도전 패턴들을 도시한다. 그 밖의 도전 패턴들은 생략된다.
- [0096] 화소 영역들(801a, 801b)은 제1 및 제2 기판에 각각 설치된다. 복수의 제1 도전 패턴(805a 내지 809a)은 제1 기판(701)에 설치된다. 복수의 제2 도전 패턴(805b 내지 809b)은 제2 기판(702)에 설치된다. 제2 도전 패턴들(805b 내지 809b)은 병렬 처리 회로들 각각에 DC 전압을 공급하기 위해 설치된다. 제1 도전 패턴들(805a, 806a, 807a, 808a)과 제2 도전 패턴들(805b, 806b, 807b, 808b)은 전기적 접속 유닛(후술함)을 통해서 각각 전기적으로 접속된다. 전기적으로 서로 접속되는 제1 및 제2 도전 패턴들의 면적을 비교하면, 제1 도전 패턴들의 면적을 제2 도전 패턴들의 면적보다 크게 한다. 이 회로 구성은, DC 전압 공급 선의 저항을 크게 저하시켜, 제2 기판(702)에 설치되는 회로 소자들의 다른 배선 레이아웃의 자유도를 증가시킬 수 있다.
- [0097] 입력 패드(810)는 제1 기판(701)에 설치된다. 기판(701)의 외부로부터 DC 전압이 입력 패드(810)에 공급된다. 기판(701)의 타 단부에 설치된 마찬가지의 입력 패드들에 DC 전압이 공급된다. 병렬 처리 회로들(811 내지 813)은 제2 기판(702)에 설치된다. 예를 들어, 병렬 처리 회로들(811 내지 813)은 제1 병렬 처리 회로(304), 제2 병렬 처리 회로(307), 제3 병렬 처리 회로(310)에 각각 대응한다.
- [0098] 화소 영역들(801a, 801b)에 설치된 도전 패턴들(814a, 814b)은 전기적 접속 유닛을 각각 형성한다.
- [0099] 도 9a 및 도 9b는 본 발명에 따른 고체 활상 디바이스를 개략적으로 도시하는, 도 8a 및 도 8b의 상면도와는 다른 상면도이다. 도 9a는 제1 기판(701)을 도시하고, 도 9b는 제2 기판(702)을 도시한다. 설명의 편의상, 도 9a 및 도 9b는 도 7에 도시된 제1 도전 패턴과 제2 도전 패턴보다 높은 배선층에 설치된 도전 패턴들을 도시한다. 이 도전 패턴들은 각각의 기판과 직접 전기적 접속을 이룬다. 그 밖의 도전 패턴들은 생략된다. 도 8a 및 도 8b와 마찬가지의 기능을 갖는 소자들에는 마찬가지의 참조 번호를 붙이고, 따라서 중복적인 설명을 생략한다.
- [0100] 도전 패턴들(905a, 905b)은 제1 도전 패턴(805a)과 제2 도전 패턴(805b)을 전기적으로 접속한다. 도전 패턴들(906a, 906b)은 제1 도전 패턴(806a)과 제2 도전 패턴(806b)을 전기적으로 접속한다. 도전 패턴들(907a, 907b)은 제1 도전 패턴(807a)과 제2 도전 패턴(807b)을 전기적으로 접속한다. 도전 패턴들(908a, 908b)은 제1 도전 패턴(808a)과 제2 도전 패턴(808b)을 전기적으로 접속한다.
- [0101] 도 9b를 참조하면, 전기적 접속 유닛들을 형성하는 도전 패턴들의 면적을 다르게 한다. 구체적으로, 제1 기판(701)에 설치되는 도전 패턴들의 면적을 제2 기판(702)에 설치되는 도전 패턴들의 면적보다 크게 한다. 이 회로 구성은 제1 도전 패턴과 제2 도전 패턴 간의 전기적 접속을 확실하게 한다.

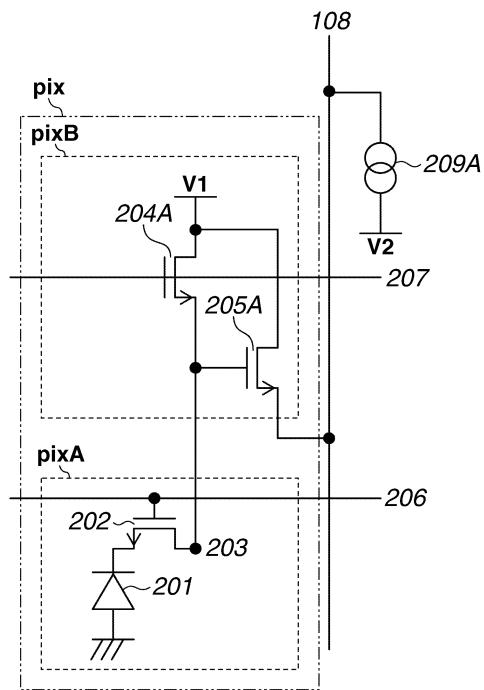
- [0102] 이상 본 발명을 전술한 예시적인 실시 형태들에 기초하여 설명했지만, 본 발명은 그들에 한정되지 않고, 본 발명의 사상을 벗어나지 않으면서 필요에 따라 변경 및 조합될 수 있다.
- [0103] 예를 들어, 도 7에 도시된 단면 구조에 있어서, (디바이스들이 형성되는) 제1 기판(701)의 일 주면과 (디바이스들이 형성되는) 제2 기판(702)의 일 주면을 서로 대향시켜 함께 접합한다. 그러나, (디바이스들이 형성되는) 제1 기판(701)의 일 주면과, 제2 기판(702)의 이면을 함께 접합할 수도 있다.
- [0104] 병렬 처리 회로의 3개의 다른 예를 구체적으로 설명했지만, 병렬 처리 회로는 그들에 한정되지 않는다. 예를 들어, 병렬로 A/D 변환을 행하는 병렬 처리 회로를 설치하는 경우에도 본 발명을 적용할 수 있다. 특히 병렬 처리 회로가 아날로그 신호를 취급할 경우, 앤리어스가 발생하기 쉽기 때문에, 아날로그 신호를 처리하는 병렬 처리 회로에 본 발명을 적용함으로써, 높은 효과를 얻을 수 있다.
- [0105] 또한, 주로 접지 배선에 적용할 경우에 관해서 본 발명을 구체적으로 설명했지만, DC 전원 전압, 또는 접지 전위와 전원 전압 사이의 중간 전압을 공급하는 배선에 본 발명을 적용할 수 있는 것은 명백하다.
- [0106] 본 발명은 예시적인 실시 형태들을 참조하여 설명되었지만, 본 발명은 개시된 예시적인 실시 형태들로 한정되지 않는다는 것을 이해할 것이다. 하기의 청구항들의 범위는 그러한 변경 및 등가의 구조와 기능을 모두 포함하도록 최광의의 해석에 따라야 한다.
- [0107] 본 출원은 2010년 6월 30일자로 출원된 일본 특허 출원 제2010-149477호의 우선권을 주장하며, 그 전체 내용이 본 명세서에 참조되어 포함된다.

도면

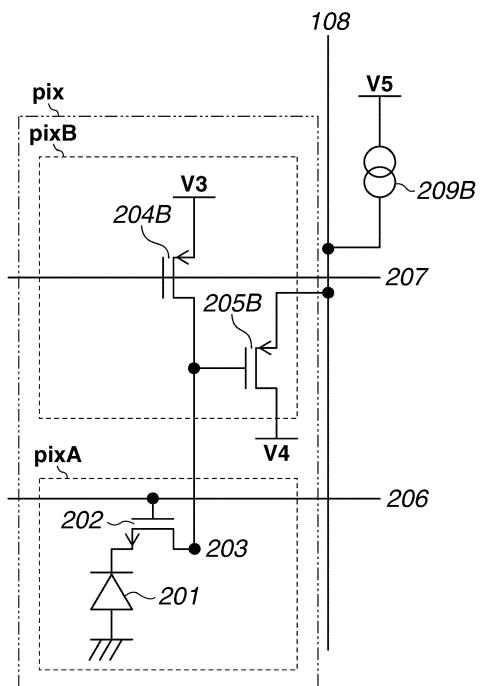
도면1



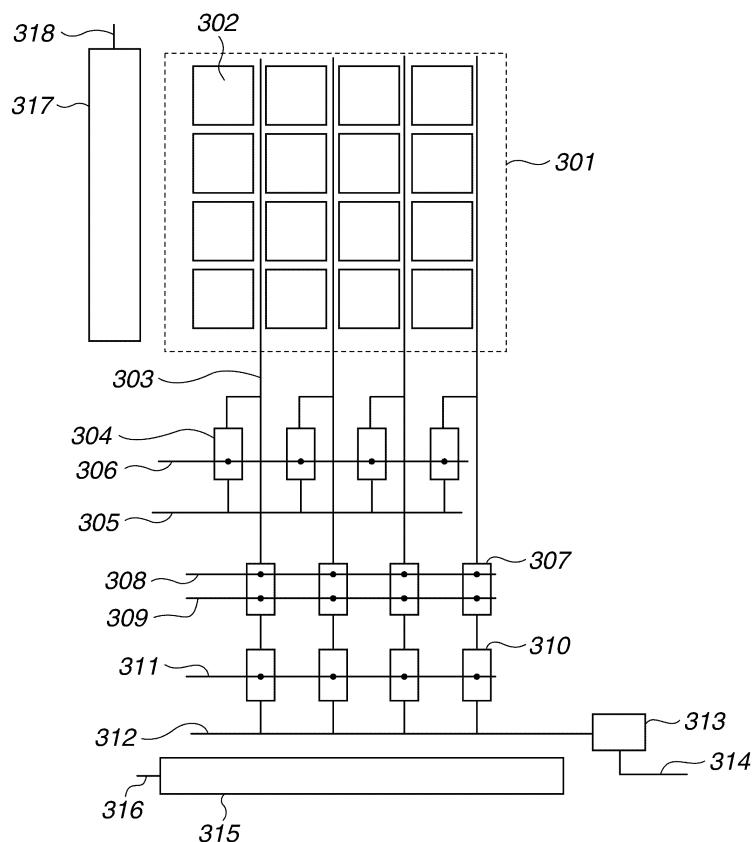
도면2a



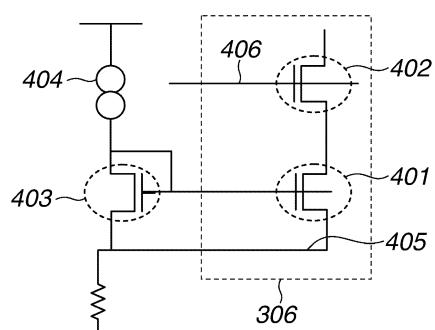
도면2b



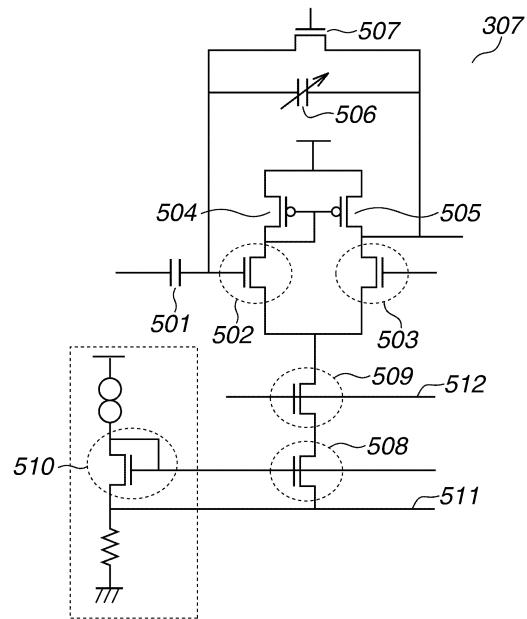
도면3



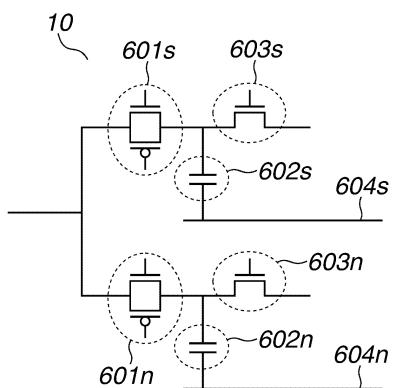
도면4



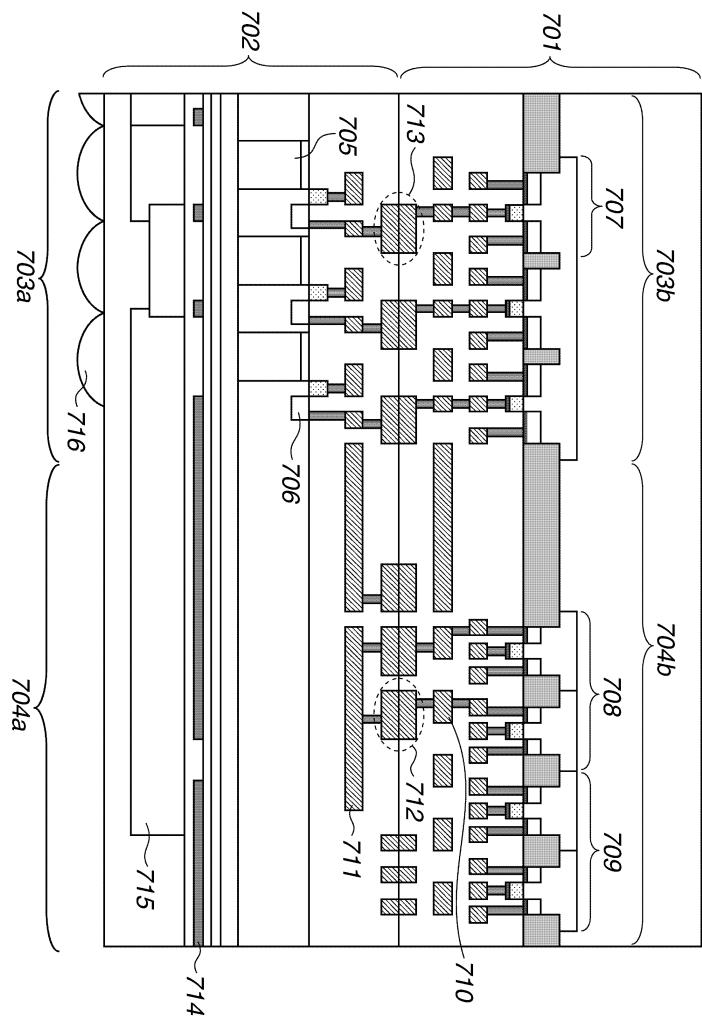
도면5



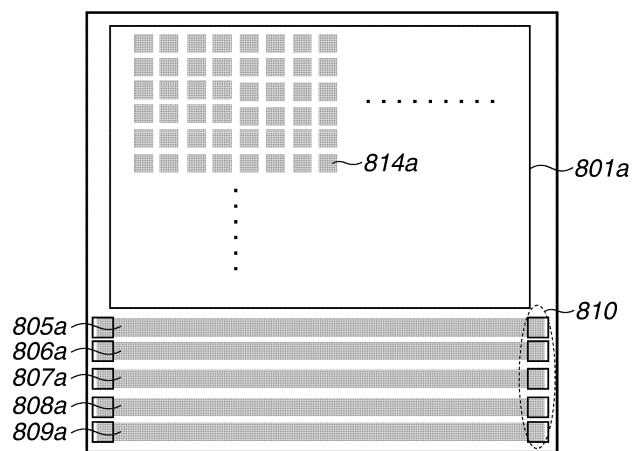
도면6



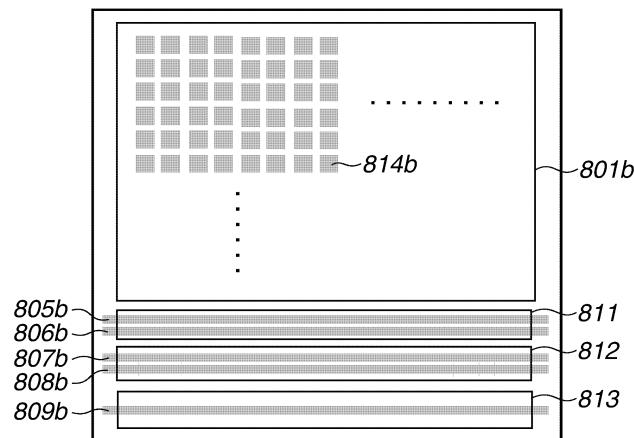
도면7



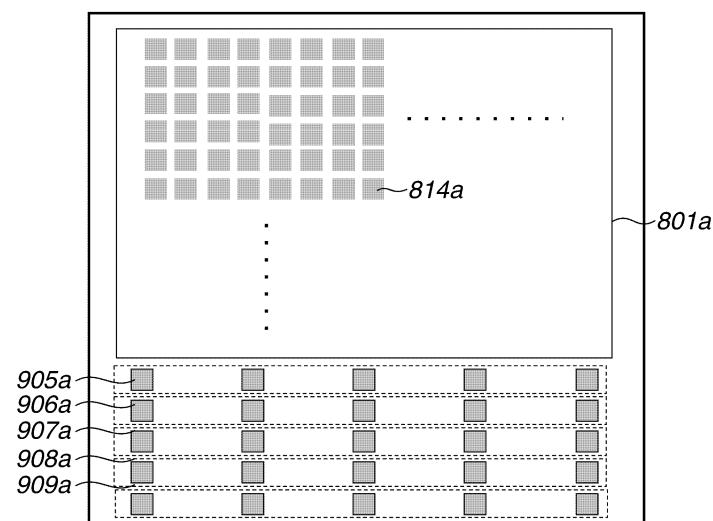
도면8a



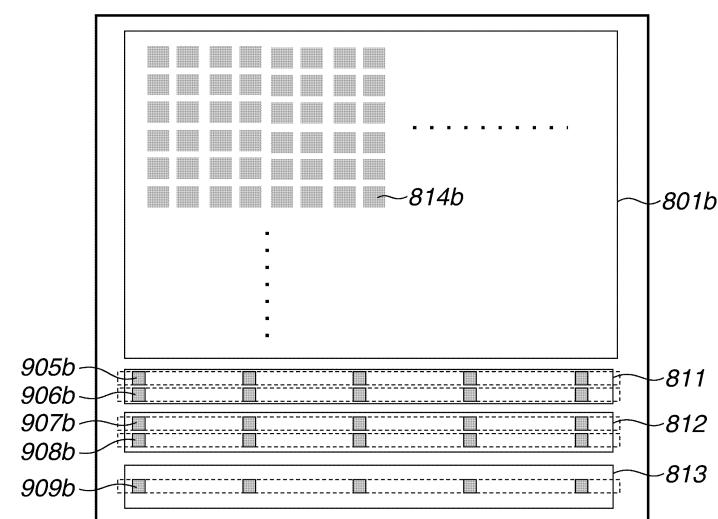
도면8b



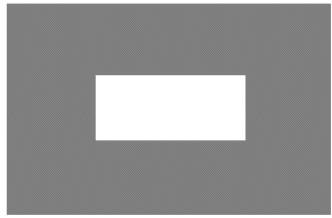
도면9a



도면9b



도면10a



도면10b



도면10c

