



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월27일  
(11) 등록번호 10-1762112  
(24) 등록일자 2017년07월21일

(51) 국제특허분류(Int. Cl.)  
H01L 27/12 (2006.01) H01L 27/02 (2006.01)  
H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 27/1214 (2013.01)  
H01L 27/0266 (2013.01)  
(21) 출원번호 10-2017-7008269(분할)  
(22) 출원일자(국제) 2009년08월31일  
심사청구일자 2017년03월27일  
(85) 번역문제출일자 2017년03월27일  
(65) 공개번호 10-2017-0038936  
(43) 공개일자 2017년04월07일  
(62) 원출원 특허 10-2016-7017108  
원출원일자(국제) 2009년08월31일  
심사청구일자 2016년06월27일  
(86) 국제출원번호 PCT/JP2009/065542  
(87) 국제공개번호 WO 2010/032638  
국제공개일자 2010년03월25일  
(30) 우선권주장  
JP-P-2008-241743 2008년09월19일 일본(JP)  
(56) 선행기술조사문헌  
JP2007293073 A  
(뒷면에 계속)

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
야마자키 슌페이  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
아키토모 겐고  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
장훈

전체 청구항 수 : 총 8 항

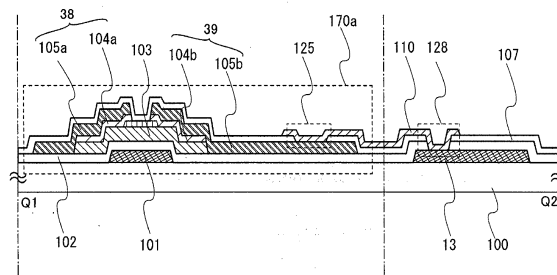
심사관 : 차건숙

(54) 발명의 명칭 액정표시장치

(57) 요약

보호 회로는 게이트 전극, 게이트 전극을 피복하는 게이트 절연층, 게이트 절연층 위에서 게이트 전극과 중첩하는 제 1 산화물 반도체층, 제 1 산화물 반도체층의 채널 형성 영역과 중첩하는 채널 보호층, 및 단부들이 채널 보호층 위에서 게이트 전극과 중첩하고 도전층 및 제 2 산화물 반도체층이 적층되는 한 쌍의 제 1 배선층 및 제 2 배선층을 포함하는 비-선형 소자를 포함한다. 게이트 절연층 위에는, 상이한 특성들을 갖는 산화물 반도체층들이 서로 결합됨으로써, 쇼트키 접합에 비해서 안정한 동작이 수행될 수 있다. 그러므로, 접합 누설이 감소될 수 있고 비-선형 소자의 특성들이 개선될 수 있다.

대표도



- |  |  |
|--|--|
| <p>(52) CPC특허분류<br/> <b>H01L 27/1225</b> (2013.01)<br/> <b>H01L 27/124</b> (2013.01)<br/> <b>H01L 29/7869</b> (2013.01)</p> <p>(72) 발명자<br/> <b>코모리 시게키</b><br/>         일본 243-0036 가나가와켄 아쓰기시 하세 398 가부<br/>         시키가이샤 한도오따이 에네루기 켄큐쇼 내<br/> <b>우오치 히데키</b><br/>         일본 243-0036 가나가와켄 아쓰기시 하세 398 가부<br/>         시키가이샤 한도오따이 에네루기 켄큐쇼 내<br/> <b>후타무라 토모야</b><br/>         일본 243-0036 가나가와켄 아쓰기시 하세 398 가부<br/>         시키가이샤 한도오따이 에네루기 켄큐쇼 내<br/> <b>카사하라 타카히로</b><br/>         일본 243-0036 가나가와켄 아쓰기시 하세 398 가부<br/>         시키가이샤 한도오따이 에네루기 켄큐쇼 내</p> | <p>(56) 선행기술조사문헌<br/>         JP2007293072 A<br/>         JP2007073560 A<br/>         JP2007073559 A<br/>         JP2008171989 A<br/>         JP2008171990 A<br/>         JP평성09265111 A</p> |
|--|--|
-

## 명세서

### 청구범위

#### 청구항 1

액정 표시 장치에 있어서:

기판의 상면과 접하는 제 1 도전층;

상기 기판의 상기 상면과 접하는 제 2 도전층;

상기 제 1 도전층 및 상기 제 2 도전층 위의 제 1 절연층;

상기 제 1 절연층 위의 제 1 산화물 반도체층;

상기 제 1 절연층 위의 제 2 산화물 반도체층;

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 위의 제 3 도전층; 및

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 위의 제 4 도전층을 포함하고,

상기 제 1 도전층은 제 1 트랜지스터의 게이트 전극 역할을 하는 영역을 포함하고,

상기 제 2 도전층은 제 2 트랜지스터의 게이트 전극 역할을 하는 영역을 포함하고,

상기 제 1 산화물 반도체층은 상기 제 1 트랜지스터의 채널 형성 영역을 포함하고,

상기 제 2 산화물 반도체층은 상기 제 2 트랜지스터의 채널 형성 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 하나의 역할을 하는 영역을 포함하고,

상기 제 3 도전층은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나의 역할을 하는 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 도전층과 전기적으로 접속되고,

상기 제 4 도전층은 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나의 역할을 하는 영역을 포함하고,

상기 제 4 도전층은 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나의 역할을 하는 영역을 포함하고,

상기 제 4 도전층은 상기 제 2 도전층과 전기적으로 접속되고,

상기 제 4 도전층은 사이에 상기 제 1 산화물 반도체층 없이 상기 제 1 도전층과 겹치는 영역을 포함하고,

상기 액정 표시 장치는 액정 소자를 포함하는, 액정 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층의 각각은 인듐, 갈륨, 및 아연을 포함하는, 액정 표시 장치.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 중 하나와 상기 제 3 도전층 및 상기 제 4 도전층 중 하나 사이에 개재된 영역을 포함하는 제 2 절연층을 더 포함하는, 액정 표시 장치.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층의 각각은 인듐, 갈륨, 및 아연을 포함하는, 액정 표시 장치.

#### 청구항 5

제 1 항에 있어서,

상기 제 4 도전층은 상기 제 4 도전층의 세로 방향인 제 1 방향으로 연장된 영역을 포함하고,

상기 제 1 트랜지스터의 채널 길이 방향은 상기 제 1 방향과 교차하는 방향이고,

상기 제 2 트랜지스터의 채널 길이 방향은 상기 제 1 방향과 교차하는 방향인, 액정 표시 장치.

#### 청구항 6

제 5 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층의 각각은 인듐, 갈륨, 및 아연을 포함하는, 액정 표시 장치.

#### 청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층의 각각은 나노결정을 포함하는, 액정 표시 장치.

#### 청구항 8

제 7 항에 있어서,

상기 제 1 도전층은 주사선과 전기적으로 접속되는, 액정 표시 장치.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 산화물 반도체(oxide semiconductor)를 포함하는 표시 장치에 관한 것이다.

### 배경 기술

[0002] 유리 기판(glass substrate)과 같은 평판(flat plate) 위에 형성되는 박막 트랜지스터(thin film transistor)는 전형적으로 액정 표시 장치(liquid crystal display device)에서 확인되는 바와 같이, 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 이용하여 제조된다. 비정질 실리콘을 사용하여 제조되는 박막 트랜지스터는 전계 효과 이동도(field effect mobility)가 낮지만, 그와 같은 트랜지스터는 큰 면적을 갖는 유리 기판 위에 형성된다. 한편, 결정질 실리콘(crystalline silicon)을 사용하여 제조되는 박막 트랜지스터는 높은 전계 효과 이동도를 갖지만, 레이저 어닐링(laser annealing)과 같은 결정화 단계가 필요하고 그러한 트랜지스터는 더 큰 유리 기판에 항상 적합한 것은 아니다.

[0003] 상기를 고려할 때, 박막 트랜지스터가 산화물 반도체를 사용하여 제조되고, 그와 같은 트랜지스터가 전자 장치 또는 광학 장치에 적용되는 기술에 주목받고 있다. 예를 들어, 특허 문서 1 및 특허 문서 2는 박막 트랜지스터가 산화 아연(zinc oxide)(ZnO) 또는 In-Ga-Zn-O계 산화물 반도체를 산화물 반도체 막으로 사용하여 제조하는 기술을 개시하고, 그와 같은 반도체는 이미지 표시 장치의 스위칭 소자 등으로 이용된다.

[0004] [특허 문서 1] 일본 특허 출원 공보 2007-123861

[0005] [특허 문서 2] 일본 특허 출원 공보 2007-96055

### 발명의 내용

### 해결하려는 과제

- [0006] 산화물 반도체를 이용하여 채널 형성 영역이 형성되는 박막 트랜지스터는 다음과 같은 특징들을 갖는다: 동작 속도가 비정질 실리콘을 포함하는 박막 트랜지스터의 속도보다 더 빠르고 제조 공정은 다결정 실리콘을 포함하는 박막 트랜지스터의 공정보다 더 단순하다. 즉, 산화물 반도체를 이용하면 심지어 300℃ 이하의 낮은 온도에서도 높은 전계 효과 이동성을 가지는 박막 트랜지스터를 제조하는 것이 가능해진다.
- [0007] 동작 특성들에서 더 우수하고 저온들에서 제조할 수 있는 산화물 반도체를 포함하는 표시 장치의 그와 같은 특성들의 장점을 취하기 위해, 적절한 구조들을 포함하는 보호 회로 등이 필요하다. 더욱이, 산화물 반도체를 포함하는 표시 장치의 신뢰성을 보장하는 것이 중요하다.
- [0008] 본 발명의 일 실시예의 목적은 보호 회로에 적합한 구조를 제공하는 것이다.
- [0009] 산화물 반도체, 절연막 및 도전막 외의, 적층(stack)에 의해 제조되는 다양한 목적들을 위한 표시 장치에서, 본 발명의 일 실시예의 목적은 보호 회로의 기능을 강화하고 그 동작을 안정화하는 것이다.

### 과제의 해결 수단

- [0010] 본 발명의 일 실시예는 보호 회로가 산화물 반도체를 포함하는 비-선형 소자를 이용하여 형성되는 표시 장치이다. 이 비-선형 소자는 상이한 산소 함량을 갖는 산화물 반도체들의 결합체(combination)를 포함한다.
- [0011] 본 발명의 일 예시적인 실시예는 절연 면을 갖는 기판 위에 서로 교차하도록 제공되는 주사선들(scan lines) 및 신호선들(signal lines), 내부의 화소 전극들이 매트릭스형으로 배치되는 화소부(pixel portion), 및 화소부 밖의 영역에 있는 산화물 반도체로부터 형성되는 비-선형 소자를 포함하는 표시 장치이다. 화소부는 채널 형성 영역이 제 1 산화물 반도체층에 형성되는 제 1 반도체 트랜지스터를 포함한다. 화소부 내의 박막 트랜지스터는 주사선에 접속되는 게이트 전극(gate electrode), 신호선에 접속되고 제 1 산화물 반도체층과 접촉되는 제 1 배선층(writing layer), 및 화소 전극에 접속되고 제 1 산화물 반도체층과 접촉하는 제 2 배선층을 포함한다. 더욱이, 비-선형 소자는 화소부 및 기판의 주변에 배치되는 신호 입력 단자 사이에 제공된다. 비-선형 소자는 게이트 전극, 게이트 전극을 피복하는 게이트 절연층, 게이트 절연층 위에서 게이트 전극과 중첩하는 제 1 산화물 반도체층, 제 1 산화물 반도체층의 채널 형성 영역에 의해 피복되는 채널 보호층, 및 단부들이 채널 보호층 위에 있는 게이트 전극과 중첩되고 도전층 및 제 2 산화물 반도체층이 적층되는 제 1 배선층 및 제 2 배선층을 포함한다. 비-선형 소자의 게이트 전극은 주사선 또는 신호선에 접속되고 비-선형 소자의 제 1 배선층 또는 제 2 배선층은 제 3 배선층을 통해 게이트 전극에 접속되어 게이트 전극의 전위가 제 1 배선층 또는 제 2 배선층에 인가된다.
- [0012] 본 발명의 일 예시적인 실시예는 서로 교차하도록 절연면을 갖는 기판 위에 제공되는 주사선들 및 신호선들, 매트릭스형으로 배치되는 화소 전극들을 포함하는 화소부, 및 화소부 외부의 영역에 있는 보호 회로를 포함하는 표시 장치이다. 화소부는 채널 형성 영역이 제 1 산화물 반도체 내에 형성되는 박막 트랜지스터를 포함한다. 화소부 내의 박막 트랜지스터는 주사선에 접속되는 게이트 전극, 신호선에 접속되고 제 1 산화물 반도체층과 접촉하는 제 1 배선층, 및 화소 전극에 접속되고 제 1 산화물 반도체층과 접촉되는 제 2 배선층을 포함한다. 화소부 외부의 영역에서, 주사선 및 공통 배선(common wiring)을 서로 접속시키기 위한 보호 회로 및 신호선 및 공통 배선을 서로 연결시키기 위한 보호 회로가 제공된다. 보호 회로는 게이트 전극, 게이트 전극을 피복하는 게이트 절연층, 게이트 절연층 위에서 게이트 전극과 중첩되는 제 1 산화물 반도체층, 제 1 산화물 반도체층의 채널 형성 영역에 의해 피복되는 채널 보호층, 및 단부들이 채널 보호층 위에서 게이트 전극과 중첩되고 도전층 및 제 2 산화물 반도체층이 적층되는 제 1 배선층 및 제 2 배선층을 포함하는 비-선형 소자를 포함한다. 더욱이, 비-선형 소자의 제 1 배선층 및 제 2 배선층은 제 3 배선층을 통해 게이트 전극에 접속된다.
- [0013] 여기서, 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 더 높은 농도의 산소를 포함한다. 즉, 제 1 산화물 반도체층은 산소 과잉형(oxygen-excess type)이고, 반면에 제 2 산화물 반도체층은 산소 결핍형(oxygen-deficiency type)이다. 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 전기 전도도가 더 낮다. 제 1 산화물 반도체층 및 제 2 산화물 반도체층은 비-단결정 구조들을 갖고, 적어도 비정질 성분을 포함한다. 게다가, 제 2 산화물 반도체층은 어떤 경우들에서는 비정질 구조에서 나노결정(nanocrystal)을 포함한다.
- [0014] 본 명세서에서 "제 1" 및 "제 2"와 같은 서수는 편의를 위해 이용되고 단계들의 순서 및 계층들의 적층 순서를 나타내지 않는 것에 주의하라. 게다가, 본 명세서에서의 서수들은 본 발명을 지정하는 특정한 명칭들을 나타내

지 않는다.

[0015] 본 발명의 일 실시예에 따르면, 보호 회로에 적합한 구조를 갖는 표시 장치는 산화물 반도체를 포함하는 비-선형 소자를 이용하여 보호 회로를 형성함으로써 제공될 수 있다. 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 전기 전도도가 더 높은 제 2 산화물 반도체층과 접합되어 있는 영역을 제공함으로써, 금속 배선들만을 이용하는 경우와 비교해서 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 그 동작은 안정해질 수 있다.

### 발명의 효과

[0016] 상술한 바와 같이 본 발명에 의해 보호 회로에 적합한 기판이 제공되고, 보호 회로의 기능을 강화하고 그 동작이 안정화된다.

### 도면의 간단한 설명

[0017] 도 1은 표시 장치 내에 신호 입력 단자들, 주사선들, 신호선들, 및 비-선형 소자들을 포함하는 보호 회로들 및 화소부 사이의 위치 관계를 도시한 도면.

도 2는 보호 회로의 예를 도시한 도면.

도 3은 보호 회로의 예를 도시한 도면.

도 4a 및 도 4b는 보호 회로의 예를 도시한 평면도들.

도 5는 보호 회로의 예를 도시한 단면도들.

도 6a 및 도 6b는 보호 회로의 예를 도시한 평면도들.

도 7a 및 도 7b는 보호 회로의 예를 도시한 평면도들.

도 8a 내지 도 8c는 보호 회로를 제조하기 위한 프로세스를 도시한 단면도들.

도 9a 내지 도 9c는 보호 회로를 제조하기 위한 프로세스를 도시한 단면도들.

도 10은 전자 종이의 단면도.

도 11a 및 11b는 반도체 장치의 각각의 블록도.

도 12는 신호선 구동 회로의 구조를 도시한 도면.

도 13은 신호선 구동 회로의 동작의 타이밍 도(timing chart).

도 14는 신호선 구동 회로의 동작의 타이밍 도.

도 15는 시프트 레지스터(shift register)의 구조를 도시한 도면.

도 16은 도 15의 플립-플롭의 접속 구조를 도시한 도면.

도 17a1 및 도 17a2는 실시예 6의 반도체 장치를 도시한 상면도들.

도 17b는 실시예 6의 반도체 장치를 도시한 단면도.

도 18은 실시예 6의 반도체 장치를 도시한 단면도.

도 19는 실시예 7의 반도체 장치에서 화소의 등가 회로를 도시한 도면.

도 20a 내지 도 20c는 실시예 7의 반도체 장치를 각각 도시한 도면들.

도 21a는 실시예 7의 반도체 장치를 기술하는 상면도.

도 21b는 실시예 7의 반도체 장치를 기술하는 단면도.

도 22a 및 도 22b는 전자 페이퍼의 응용의 예들을 도시한 도면들.

도 23은 전자 책 디바이스의 예를 도시한 외관도.

도 24a는 텔레비전 장치의 예의 외관도.

도 24b는 디지털 포토 프레임의 예의 외관도.

도 25a 및 도 25b는 게임기들의 예들을 도시한 외관도들.

도 26은 휴대 전화기의 예를 도시한 외관도.

도 27a 및 도 27b는 보호 회로의 예를 도시한 단면도들.

### 발명을 실시하기 위한 구체적인 내용

- [0018] 이후에, 본 발명의 실시예들은 도면들을 참조하여 설명된다. 본 발명은 아래의 설명으로 제한되지 않고 모드 및 세부사항들이 본 발명의 범위 및 정신을 벗어나지 않고 다양하게 변형될 수 있음이 당업자에 의해 용이하게 이해된다. 그러므로, 본 발명은 아래의 실시예들에서의 설명으로 제한되는 것으로 해석되어서는 안 된다. 모든 도면들에서의 동일한 부분들을 나타내는 참조 번호는 아래에서 설명되는 본 발명의 구조들에서 공통으로 사용됨에 주의하라.
- [0019] 실시예 1
- [0020] 실시예 1에서, 화소부 및 화소부 주위에 제공되는 비-선형 소자를 포함하는 보호 회로를 포함하는 표시 장치의 예가 도면들을 참조하여 서술된다.
- [0021] 도 1은 표시 장치에서 신호 입력 단자들, 주사선들, 신호선들, 및 비-선형 소자들을 포함하는 보호 회로들 및 화소부 사이의 위치 관계를 도시한다. 절연면을 갖는 기판(10) 위에, 주사선들(13) 및 신호선들(14)이 서로 교차하여 화소부(17)를 형성한다.
- [0022] 화소부(17)는 매트릭스형으로 배치되는 복수의 화소들(18)을 포함한다. 화소(18)는 주사선(13) 및 신호선(14)에 접속되는 화소 트랜지스터(19), 저장 용량부(storage capacitor portion; 20) 및 화소 전극(21)을 포함한다.
- [0023] 여기서 도시된 화소 구조에서, 저장 용량부(20)의 하나의 전극은 화소 트랜지스터(19)에 접속되고 다른 전극은 용량선(22)에 접속된다. 더욱이, 화소 전극(21)은 표시 소자(액정 소자, 발광 소자, 또는 콘트라스트 매체(전자 잉크) 등)를 구동하는 하나의 전극을 형성한다. 그와 같은 표시 소자의 다른 전극은 공통 단자(23)에 접속된다.
- [0024] 보호 회로는 화소부(17)와 단자(11) 및 단자(12) 사이에 제공된다. 실시예 1에서, 복수의 보호 회로들이 제공된다. 그러므로, 심지어 정전기 등으로 인한 서지 전압(voltage voltage)이 주사선(13), 신호선(14) 및 용량 버스선(27)에 인가될지라도, 화소 트랜지스터(19) 등은 파손되지 않는다. 따라서, 보호 회로는 서지 전압이 보호 회로에 인가될 때 전하를 공통 배선(29) 또는 공통 배선(28)으로 방출하기 위한 구조를 갖는다.
- [0025] 실시예 1에서, 보호 회로(24)는 주사선(13) 측에 제공되고, 보호 회로(25)는 신호선(14) 측에 제공되고, 보호 회로(26)는 용량 버스선(27) 측에 제공된다. 물론, 보호 회로들의 구조들은 상술한 것으로 제한되지 않는다.
- [0026] 도 2는 보호 회로의 예를 도시한다. 이 보호 회로는 비-선형 소자(30) 및 비-선형 소자(31)를 포함하고 이들은 사이에 있는 주사선(13)에 대해 병렬로 배열된다. 비-선형 소자(30) 및 비-선형 소자(31) 각각은 다이오드와 같은 2-단자 소자 또는 트랜지스터와 같은 3-단자 소자를 포함한다. 예를 들어, 비-선형 소자는 화소부의 화소 트랜지스터와 동일한 단계들을 통해 형성될 수 있다. 예를 들어, 다이오드와 유사한 특성들은 게이트 단자를 비-선형 소자의 드레인 단자에 접속함으로써 달성될 수 있다.
- [0027] 비-선형 소자(30)의 제 1 단자(게이트) 및 제 3 단자(드레인)는 주사선(13)에 접속되고, 비-선형 소자(30)의 제 2 단자(소스)는 공통 배선(29)에 접속된다. 비-선형 소자(31)의 제 1 단자(게이트) 및 제 3 단자(드레인)는 공통 배선(29)에 접속되고, 비-선형 소자(31)의 제 2 단자(소스)는 주사선(13)에 접속된다. 즉, 도 2에 도시된 보호 회로는 두 트랜지스터들을 포함하고, 두 트랜지스터들의 정류 방향들은 서로 반대이고 주사선(13) 및 공통 배선(29)을 서로 접속시킨다. 즉, 주사선(13) 및 공통 배선(29) 사이에는 정류 방향이 주사선(13)으로부터 공통 배선(29)으로의 방향인 트랜지스터 및 정류 방향이 공통 배선(29)으로부터 주사선(13)으로의 방향인 트랜지스터가 존재한다.
- [0028] 도 2에 도시되는 보호 회로에서, 주사선(13)이 정전기 등에 의해 공통 배선(29)에 대해 양 또는 음으로 충전되는 경우, 전류는 충전을 상쇄하는 방향으로 흐른다. 예를 들어, 주사선(13)이 양으로 충전되면, 전류는 양전하가 공통 배선(29)으로 방출되는 방향으로 흐른다. 이 동작으로 인해, 정전기 파괴(electrostatic breakdown) 또는 충전된 주사선(13)에 접속되는 화소 트랜지스터(19)의 임계 전압의 시프트가 방지될 수 있다. 더욱이, 충전된 주사선(13) 및 충전된 주사선(13)과 교차하는 다른 배선 사이에 있는 절연막의 절연 파괴(dielctric



breakdown)를 사이에 있는 절연층으로 방지하는 것이 가능하다.

- [0029] 도 2에서, 제 1 단자(게이트)가 주사선(13)에 접속되는 비-선형 소자(30) 및 제 1 단자(게이트)가 공통 배선(29)에 접속되는 비-선형 소자(31)의 쌍이 이용되는 것을 주의하라; 즉, 비-선형 소자(30) 및 비-선형 소자(31)의 정류 방향들은 서로 반대이다. 공통 배선(29) 및 주사선(13)은 각각의 비-선형 소자의 제 2 단자(소스) 및 제 3 단자(드레인)를 통해 서로 병렬로 접속되고; 즉, 비-선형 소자(30) 및 비-선형 소자(31)는 병렬 상태에 있다. 다른 구조로서, 비-선형 소자는, 보호 회로의 동작 안정성이 강화될 수 있도록, 병렬 접속에 더 추가될 수 있다. 예를 들어, 도 3은 주사선(13) 및 공통 배선(29) 사이에 제공되는, 비-선형 소자(30a) 및 비-선형 소자(30b), 및 비-선형 소자(31a) 및 비-선형 소자(31b)를 포함하는 보호 회로를 도시한다. 이 보호 회로는 통틀어 네 개의 비-선형 소자들을 포함한다: 각각의 제 1 단자(게이트)가 공통 배선(29)에 접속되는 두 개의 비-선형 소자들(30b 및 31b) 및 각각의 제 1 단자(게이트)가 주사선(13)에 접속되는 두 개의 비-선형 소자들(30a 및 31a). 즉, 비-선형 소자들의 두 쌍들은 공통 배선(29) 및 주사선(13) 사이에서 접속되고, 각각의 쌍은 두 개의 비-선형 소자들을 포함하고, 상기 비-선형 소자들은 자신들의 정류 방향이 반대가 되도록 제공된다. 즉, 주사선(13) 및 공통 배선(29) 사이에서, 각각의 정류 방향이 주사선(13)으로부터 공통 배선(29)으로 향하는 두 트랜지스터들 및 각각의 정류 방향이 공통 배선(29)으로부터 주사선(13)으로 향하는 두 트랜지스터들이 존재한다. 공통 배선(29) 및 주사선(13)이 네 개의 비-선형 소자들을 가지고 이 방식으로 서로 접속될 때, 심지어 서지 전압이 주사선(13)에 인가되고 더욱이 공통 배선(29)이 정전기 등에 의해 충전되는 경우에도, 전하가 주사선(13)을 통해 직접 흐르는 것을 방지하는 것이 가능하다. 도 6a는 네 개의 비-선형 소자들(740a, 740b, 740c, 740d)이 기판 위에 제공되는 예를 도시하고 도 6b는 그의 등가 회로도이다. 참조 번호(650)는 주사선이고, 참조 번호(651)는 공통 배선이다.
- [0030] 도 7a는 기판 위에 기수의 비-선형 소자들을 이용하여 형성되는 보호 회로의 예를 도시하고, 도 7b는 이의 등가 회로도이다. 이 회로에서, 비-선형 소자(730b) 및 비-선형 소자(730a)는 스위칭 소자들로서 비-선형 소자(730c)에 접속된다. 이 방식으로 비-선형 소자들이 직렬 접속함으로써, 보호 회로의 비-선형 소자들에 인가되는 순간 부하가 분산될 수 있다. 참조 번호(650)는 주사선이고, 참조 번호(651)는 공통 배선이다.
- [0031] 도 2는 주사선(13) 측 상에 제공되는 보호 회로를 도시한다; 그러나, 유사한 구조를 갖는 보호 회로가 신호선(14) 측에 제공될 수 있다.
- [0032] 도 4a는 보호 회로의 예를 도시한 평면도이고, 도 4b는 이의 등가 회로도이다. 도 5a 및 도 5b는 도 4a의 선 Q1-Q2를 따라 취해진 단면도들이다. 보호 회로의 구조에는 도 4a 및 도 4b와 도 5a 및 도 5b를 참조하여 후술된다.
- [0033] 비-선형 소자(170a) 및 비-선형 소자(170b)는 게이트 전극(101) 및 게이트 전극(16)을 각각 포함하고, 이 게이트 전극들은 주사선(13)과 동일한 층을 이용하여 형성된다. 게이트 절연층(102)은 게이트 전극(101) 및 게이트 전극(16) 위에 형성된다. 제 1 산화물 반도체층(103)은 게이트 절연층(102) 위에 형성되고, 채널 보호층은 게이트 전극(101) 위에 형성되고 이 사이에 제 1 산화물 반도체층(103)이 있다. 더욱이, 제 1 배선층(38) 및 제 2 배선층(39)은 서로 마주하도록 채널 보호층 위에 제공된다. 게이트 절연층(102) 및 채널 보호층은 산화 실리콘 또는 산화 알루미늄과 같은 산화물로 형성된다. 비-선형 소자(170a) 및 비-선형 소자(170b)는 주요부 내에서 동일한 구조를 가지는 것에 주의하라.
- [0034] 제 1 산화물 반도체층(103)은, 서로 마주하는 제 1 배선층(38) 및 제 2 배선층(39) 아래에서, 게이트 전극(101)을 피복하도록 제공되고, 반도체층 및 게이트 전극 사이에는 게이트 절연막이 있다. 즉, 제 1 산화물 반도체층(103)은 게이트 전극(101)과 중첩하고 게이트 절연층(102)의 상면 및 제 2 산화물 반도체층들(104a 및 104b)의 하부면들과 접촉하도록 제공된다. 여기서, 제 1 배선층(38)은 제 2 산화물 반도체층(104a) 및 도전층(105a)이 제 1 산화물 반도체층(103) 측으로부터 상기 순서로 적층되는 구조를 가지며 제 2 배선층(39)은 제 2 산화물 반도체층(104b) 및 도전층(105b)이 제 1 산화물 반도체층(103) 측으로부터 상기 순서로 적층되는 구조를 갖는다.
- [0035] 제 1 산화물 반도체층(103)은 제 2 산화물 반도체층들(104a 및 104b)보다 더 높은 산소 농도를 갖는다. 즉, 제 1 산화물 반도체층(103)은 산소-과잉형이고, 반면에 제 2 산화물 반도체층들(104a 및 104b)은 산소-결핍형이다. 도너-유형(donor-type) 결함들은 제 1 산화물 반도체층(103)의 산소 농도를 증가시킴으로써 감소할 수 있기 때문에, 캐리어 수명이 더 연장되고 이동성이 더 높아지는 유용한 효과들이 있다. 한편, 제 2 산화물 반도체층들(104a 및 104b)의 산소 농도가 제 1 산화물 반도체층(103)의 산소 농도보다 더 낮게 제조되면, 캐리어 농도가 증가할 수 있고 제 2 산화물 반도체층들(104a 및 104b)은 소스 영역 및 드레인 영역을 형성하는데 이용될 수 있



다.

- [0036] 산화물 반도체의 구조의 경우에서처럼, 제 1 산화물 반도체층(103)은 In, Ga, Zn 및 O를 포함하는 비-단결정 산화물 반도체층이고 적어도 하나의 비정질 성분을 가지며 제 2 산화물 반도체층들(104a 및 104b)은 각각 In, Ga, Zn 및 O를 포함하는 비-단결정 산화물 반도체층이고, 어떤 경우들에서는 비-단결정 구조에서 나노결정을 포함한다. 그리고 나서, 제 1 산화물 반도체층(103)은 제 2 산화물 반도체층의 전기 전도도가 제 2 산화물 반도체층들(104a 및 104b)의 전기 전도도보다 더 낮은 특징들을 갖는다. 그러므로, 실시예 1의 비-선형 소자(170a) 및 비-선형 소자(170b)에서의 제 2 산화물 반도체층들(104a 및 104b)은 트랜지스터의 소스 영역 및 드레인 영역의 기능들과 유사한 기능들을 가질 수 있다. 소스 영역 역할을 하는 제 2 산화물 반도체층(104a) 및 드레인 영역 역할을 하는 제 2 산화물 반도체층(104b)은 n-형의 전도성 및 0.01eV부터 0.1eV까지의 활성 에너지( $\Delta E$ )를 갖고, 제 2 산화물 반도체층들(104a 및 104b)은 또한  $n^+$  영역들로 칭해질 수 있다.
- [0037] 제 1 산화물 반도체층(103) 및 제 2 산화물 반도체층들(104a 및 104b)은 전형적으로 산화 아연(ZnO) 또는 In, Ga 및 Zn을 포함하는 산화물 반도체로부터 형성된다.
- [0038] 제 2 산화물 반도체층들(104a 및 104b)은 제 2 산화물 반도체층(103) 및 도전층들(105a 및 105b) 사이에서 이들과 접촉하여 제공되고, 상이한 특성들을 갖는 산화물 반도체층들의 접합부가 획득된다. 제 1 산화물 반도체층(103)보다 더 높은 전기 전도도를 갖는 제 2 산화물 반도체를 제공함으로써, 제 1 산화물 반도체층 및 도전층들 사이에서는, 제 1 산화물 반도체층 및 도전층들이 서로 직접적으로 접촉되어 있는 경우에 형성되는 Schottky 접합과 비교해 안정된 동작이 가능하게 된다. 즉, 열적 안정성이 증가하여, 안정된 동작이 가능하게 된다. 따라서, 보호 회로의 기능이 강화되고 안정한 동작이 달성될 수 있다. 더욱이, 접합 누설(junction leakage)이 감소할 수 있고 비-선형 소자(170a) 및 비-선형 소자(170b)의 특성들이 개선될 수 있다.
- [0039] 보호 절연막(107)은 제 1 산화물 반도체층(103) 위에 제공된다. 보호 절연막(107)은 산화 실리콘 또는 산화 알루미늄과 같은 산화물로 형성된다. 더욱이, 질화 실리콘, 질화 알루미늄, 산화질화 실리콘(silicon oxynitride) 또는 산화질화 알루미늄을 산화 실리콘 또는 산화 알루미늄 위에 적층함으로써, 보호막과 같은 기능이 강화될 수 있다.
- [0040] 아무튼, 제 1 산화물 반도체층(103)과 접촉되어 있는 보호 절연막(107)이 산화물일 때, 산소가 제 1 산화물 반도체층(103)으로부터 추출되는 것이 방지되고 제 1 산화물 반도체층(103)이 산소-결핍형으로 변화되는 것을 방지하는 것이 가능하다. 더욱이, 제 1 산화물 반도체층(103)이 질화물을 포함하는 절연층과 직접 접촉되어 있지 않은 구조에 의해서, 질화물 내의 수소가 확산하여 수산기(hydroxyl group) 등으로 인해 제 1 산화물 반도체층(103)에서 결함들을 확산시키고 발생시키는 것을 방지하는 것이 가능하다.
- [0041] 보호 절연막(107)에는 게이트 전극(101)과 동일한 층을 이용하여 형성되는 주사선(13)이 비-선형 소자(170a)의 제 3 단자(드레인)에 접속되는 콘택 홀(contact hole)들(125 및 128)이 제공된다. 이 접속은 화소부의 화소 전극과 동일한 재료로 제조되는 제 3 배선층(110)에 의해 행해진다. 제 3 배선층(110)은 예를 들어 인듐 주석 산화물(indium tin oxide: ITO), 산화 아연(ZnO), 산화 주석(SnO<sub>2</sub>) 등으로부터 투명 도전막을 형성하기 위해 이용되는 재료로부터 형성된다. 그러므로, 제 3 배선층(110)은 금속 재료로부터 형성되는 배선보다 더 높은 저항을 갖는다. 보호 회로가 그와 같은 저항 성분을 포함하는 배선들을 포함할 때, 과도한 전류량이 비-선형 소자(170a)를 통해 흐르는 것을 방지하여 비-선형 소자(170a)가 과손되지 않도록 하는 것이 가능하다.
- [0042] 도 4a 및 도 4b 및 도 5가 주사선(13)에 제공되는 보호 회로의 예를 도시할지라도, 유사한 보호 회로가 신호선, 용량 버스선 등에 적용될 수 있다.
- [0043] 실시예 1에 따르면, 본 방식으로 산화물 반도체를 포함하는 보호 회로의 제공에 의해, 보호 회로에 적합한 구조를 갖는 표시 장치가 제공될 수 있다. 그러므로, 보호 회로의 기능이 강화될 수 있고 동작이 안정화될 수 있다.
- [0044] 실시예 2
- [0045] 실시예 2에서, 실시예 1에서 도 4a에 도시된 보호 회로를 제조하기 위한 프로세스의 일 실시예가 도 8a 내지 도 8c 및 도 9a 내지 도 9c를 참조하여 기술된다. 도 8a 내지 도 8c 및 도 9a 내지 도 9c는 도 4a의 선 Q1-Q2를 따라 취해진 단면도들이다.
- [0046] 도 8a에서, 시장에서 구입 가능한 바륨 붕규산염 유리(barium borosilicate glass), 알루미늄 붕규산염 유리(aluminoborosilicate glass), 알루미늄실리카이트 유리(aluminosilicate glass) 등의 유리 기판이 투광성을

갖는 기판(100)으로 이용될 수 있다. 예를 들어, 조성비에서 붕산(boric acid)( $B_2O_3$ )보다 더 많은 산화 바륨(barium oxide:  $BaO$ )을 포함하고 변형점(strain point)이  $730^\circ C$  이상인 유리 기판이 바람직하다. 이 이유는 산화물 반도체층이 약  $700^\circ C$ 의 고온에서 열처리될 때조차도 변형되지 않기 때문이다.

[0047] 다음, 도전층이 기판(100) 위에 전체적으로 형성된다. 이후에, 레지스트 마스크(resist mask)는 제 1 포토리소그래피(photolithography) 프로세스에 의해 형성되고 불필요한 부분은 에칭에 의해 제거되어 배선들 및 전극(게이트 전극(101))을 포함하는 게이트 배선, 용량 배선, 및 단자)를 형성한다. 이때, 적어도 게이트 전극(101)의 단부는 끝이 가늘어지도록(taper) 에칭이 수행된다.

[0048] 게이트 전극(101)을 포함하는 게이트 배선, 용량 배선, 및 단자부의 단자는 바람직하게도 알루미늄(Al) 또는 구리(Cu)와 같은 저-저항성 도전성 재료로 형성되지만: 알루미늄 자체가 낮은 내열성 및 부식되는 경향과 같은 단점들을 갖기 때문에, 내열성을 갖는 도전성 재료와 결합하여 이용된다. 내열성을 갖는 도전성 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 또는 스칸듐(scandium: Sc) 중에서 선택되는 원소 또는 상기 원소들 중 임의의 원소를 포함하는 합금, 그와 같은 원소들의 결합을 포함하는 합금막 또는 상기 원소들 중 임의의 원소를 포함하는 질화물 막이 이용될 수 있다.

[0049] 후속해서, 게이트 절연층(102)이 게이트 전극(101) 위에 전체적으로 형성된다. 게이트 절연층(102)은 스퍼터링(sputtering) 방법 등에 의해 50nm 내지 250nm의 두께로 형성된다.

[0050] 예를 들어, 산화 실리콘막은 스퍼터링 방법에 의해 100nm의 두께로 게이트 절연층(102)으로서 형성된다. 물론, 게이트 절연층(102)은 그러한 산화 실리콘으로 제한되지 않고 산화질화 실리콘 막, 질화 실리콘 막, 산화 알루미늄 막 또는 산화 텅스텐 막과 같은 다른 절연막을 포함하는 층들의 단일 층 또는 적층일 수 있다.

[0051] 다음, 제 1 산화물 반도체층의 형성 이전에 게이트 절연층(102) 상에 플라즈마 처리(plasma treatment)가 수행된다. 여기서, 플라즈마가 산소 가스 및 아르곤 가스를 증착 챔버에 도입함으로써 발생하는 역 스퍼터링이 수행되어, 게이트 절연층이 산소 라디칼(oxygen radical)들 또는 산소를 이용하여 처리되도록 한다. 그러므로, 표면에 부착되어 있는 먼지가 제거되고 더욱이 게이트 절연층의 표면이 산소-과잉 영역으로 변경된다. 표면이 산소-과잉 영역이 되도록 하기 위해 게이트 절연층의 표면에 산소 라디칼 처리를 수행하는 것은, 이후 단계에서 신뢰성 향상을 위한 열적 처리( $200^\circ C$  내지  $600^\circ C$ )에 있어, 게이트 절연층 및 제 1 산화물 반도체층 사이의 인터페이스를 변경하기 위한 산소 공급원이 되는 것이 효과적이기 때문이다.

[0052] 게이트 절연층(102), 제 1 산화물 반도체층, 및 채널 보호층 역할을 하는 절연막은 챔버 내에 도입되는 가스 및 챔버 내에 설정된 타겟(target)을 적절할 때 변경함으로써 공기에 노출하지 않고 스퍼터링 방법에 의해 연속해서 수행될 수 있다. 공기에 노출하지 않고 연속 성막함으로써 불순물이 혼합되는 것이 방지된다. 공기에 노출 없이 연속 성막하는 경우에, 다중 챔버 유형의 제조 장치를 사용하는 것이 바람직하다.

[0053] 특히, 게이트 절연층(102)을 제 1 산화물 반도체층 및 제 1 산화물 반도체층과 접촉하여 연속 성막하는 것이 바람직하다. 이와 같이 연속 성막에 의해, 적층된 층들 사이의 인터페이스는 수증기와 같은 대기의 구성 성분 또는 오염물 불순 원소 또는 대기 중에 존재하는 먼지에 의해 오염되지 않고 형성될 수 있다. 그러므로, 비-선형 소자들 및 박막 트랜지스터들의 특성의 변화들이 감소할 수 있다.

[0054] 본 명세서에서의 용어 "연속 성막"은 스퍼터링에 의한 제 1 성막 단계로부터 스퍼터링에 의한 제 2 성막 단계의 일련의 단계들 동안, 프로세싱될 기판이 배치되는 대기가 공기와 같은 오염물 대기에 의해 오염되지 않고, 항상 진공 또는 비활성 가스 대기(질소 대기 또는 희 가스(rare gas) 대기)가 제어되는 것을 의미한다. 연속 성막에 의해, 성막은 수분 등이 다시 첨가하지 않은, 클리닝되어 있는 기판에 행해질 수 있다.

[0055] 게이트 절연층(102)에 대한 플라즈마 처리 이후에, 제 1 산화물 반도체층은 플라즈마 처리가 수행되었던 기판이 공기에 노출되지 않는 그러한 방식으로 형성된다. 플라즈마 처리가 수행되었던 기판이 공기에 노출되지 않는 그러한 방식으로 형성되는 제 1 산화물 반도체층은 먼지 또는 습기가 게이트 절연층 및 반도체 막 사이의 인터페이스에 부착되는 것을 방지할 수 있다. 여기서, 제 1 산화물 반도체층은, 타겟이 8인치의 직경을 갖는 In, Ga, 및 Zn 조성비는 ( $IN_2O_3:Ga_2O_3:ZnO=1:1:1$ )를 포함하는 반도체 타겟이고, 기판 및 타겟 사이의 거리는 170mm로 설정되고, 압력은 0.4Pa로 설정되고, 직류(DC) 전원은 0.5kW로 설정되는 조건하의 산소 대기하에서 성막된다. 펄스 직류(DC) 전원은 먼지가 감소할 수 있고 막 두께가 일정할 수 있기 때문에 바람직하다는 점을 주의하라. 제 1 산화물 반도체층의 두께는 5nm 내지 200nm로 설정된다. 실시예 2에서의 제 1 산화물 반도체층의 두께는 100nm이다.

- [0056] 제 1 산화물 반도체층이 제 2 산화물 반도체층과의 상이한 조건 하에서 형성될 때, 제 1 산화물 반도체층은 제 2 산화물 반도체층과 상이한 조성물을 가진다; 예를 들어, 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 더 많은 산소를 포함한다. 이 경우, 예를 들어, 제 2 산화물 반도체층의 증착 조건에서의 산소 가스 유량(flow rate) 및 아르곤 가스 유량과 비교할 때, 제 1 산화물 반도체층의 증착 조건에서의 산소 가스 유량이 증가한다. 특히, 제 2 산화물 반도체층은 희 가스(아르곤 또는 헬륨 등) 대기(또는 10% 이하의 산소 및 90% 이상의 아르곤을 포함하는 가스)에서 형성되고, 반면에 제 1 산화물 반도체층은 산소 대기(또는 산소의 유량이 아르곤의 유량보다 더 크고, 아르곤 가스 유량 : 산소 가스 유량비 = 1:1 이상인 산소 및 아르곤의 혼합 가스)에서 형성된다. 제 1 산화물 반도체층이 제 2 산화물 반도체층보다 더 많은 산소를 포함할 때, 제 1 산화물 반도체층은 제 2 산화물 반도체층보다 더 낮은 전기 전도도를 가질 수 있다. 더욱이, 제 1 산화물 반도체층이 다량의 산소를 포함하면, 오프 전류(off current)의 양이 감소될 수 있고; 따라서, 높은 온/오프 비율을 갖는 박막 트랜지스터가 제공될 수 있다.
- [0057] 제 1 산화물 반도체층은 역 스퍼터링이 이전에 형성된 챔버와 동일한 챔버에서 형성될 수 있거나, 또는 제 1 성막이 공기에 노출되지 않고 수행될 수 있는 한 이전에 역 스퍼터링이 수행된 챔버와 상이한 챔버에서 형성될 수 있다.
- [0058] 다음, 채널 보호층 역할을 하는 절연막은 반도체 막의 성막 이후에, 제 1 산화물 반도체층 위에 형성된다. 이와 같은 연속 성막에 의해, 게이트 절연막과 접촉되어 있는 측과 반대 측, 소위 백 채널부에 있는 반도체 막의 영역에서, 적층된 층들 사이의 인터페이스는 습기와 같은 대기 오염물 또는 대기 중에 있는 오염 불순물 요소 또는 먼지에 의해 오염되지 않고 형성될 수 있다. 그러므로, 비-선행 소자들의 특징의 변화들이 감소할 수 있다.
- [0059] 산화 실리콘(인공 석영) 타겟 및 산화물 반도체 막에 대한 타겟이 제공되는 다중 챔버형 스퍼터링 장치를 사용하여 이전 단계에서 형성되는 제 1 산화물 반도체 막이 공기에 노출되지 않고도 실리콘 산화물 막을 채널 보호층으로 형성한다.
- [0060] 다음, 실시예 2에서의 제 2 포토마스크를 이용하여 형성된 레지스트 마스크를 이용하여, 제 1 반도체층 위에 형성되는 산화 실리콘 막이 선택적으로 에칭되어 채널 보호층(133)을 형성한다.
- [0061] 다음, 제 2 산화물 반도체층이 채널 보호층(133) 및 제 1 산화물 반도체층 위에 스퍼터링 방법에 의해 형성된다. 여기서, 스퍼터링 증착은 8-인치-지름 타겟이 산화 인듐( $\text{In}_2\text{O}_3$ ), 산화 갈륨( $\text{Ga}_2\text{O}_3$ ), 및 산화 아연( $\text{ZnO}$ )을 1:1:1의 조성비(= $\text{InO}_3\text{:Ga}_2\text{O}_3\text{:ZnO}$ )로 포함하고, 타겟 및 기판 사이의 거리는 170mm이고, 증착 챔버 내의 압력은 0.4 Pa로 설정되고, DC 전력은 0.5kW로 설정되고, 증착 온도는 실온으로 설정되고 아르곤 가스 유량은 40 sccm으로 설정되는 조건하에서 수행된다. 그러므로, In, Ga, Zn, 및 산소를 성분들로 포함하는 반도체 막은 제 2 산화물 반도체층으로 형성된다. 조성비가  $\text{In}_2\text{O}_3\text{:Ga}_2\text{O}_3\text{:ZnO}=1:1:1$ 인 타겟이 의도적으로 이용될지라도, 성막 직후의 1nm 내지 10nm의 크기를 갖는 결정립(crystal grain)을 포함하는 산화물 반도체 막이 종종 획득된다. 결정립들의 존재 또는 부재 및 결정립들의 밀도는 제어될 수 있고 결정립의 직경은 적절하도록 타겟 조성비와 같은 반응 스퍼터링의 증착 조건, 증착 압력(0.1 Pa 내지 2.0 Pa), 전력(250W 내지 3000W: 8인치철  $\phi$ ), 온도(실온에서 100℃까지) 등을 조정함으로써 1nm 내지 10nm 이내에서 조정될 수 있다. 제 2 산화물 반도체층의 두께는 5nm 내지 20nm로 설정된다. 즉, 막이 결정립들을 포함하는 경우, 결정립의 크기는 막 두께를 초과하지 않는다. 실시예 2에서, 제 2 산화물 반도체층은 5nm의 두께를 갖는다.
- [0062] 다음, 제 2 포토리소그래피 공정이 수행되어 레지스트 마스크를 형성하고, 제 1 산화물 반도체층 및 제 2 산화물 반도체층이 에칭된다. 여기서, 습식 에칭은 IT007N(Kanto Chemical Co., Inc. 제조)을 이용하여 수행되어 불필요한 부분을 제거한다: 그러므로, 제 1 산화물 반도체층(103) 및 제 2 산화물 반도체층(111)이 형성된다. 여기서 에칭은 습식 에칭으로 제한되지 않고, 건식 에칭일 수 있음을 주의하라. 이 단계에서의 단면이 도 8b에 도시된다.
- [0063] 다음, 도전막(132)이 제 2 산화물 반도체층(111) 및 게이트 절연층(102) 위에서 스퍼터링 방법 또는 진공 증착 방법에 의해 금속 재료로 형성된다. 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, 및 W로부터 선택되는 원소, 상기 원소를 포함하는 합금, 상기 원소들 중 일부가 조합되는 합금막 등이 있을 수 있다.
- [0064] 열 처리가 200℃ 내지 600℃에서 수행될 때, 도전막은 바람직하게도 이 열 처리를 견디기 위해 내열성을 지닌다. 알루미늄 자체는 낮은 내열성 및 부식되는 경향과 같은 단점이 있으므로, 이는 내열성을 갖는 도전성 재료와 조합되어 이용된다. AL과 조합하여 이용될 수 있는 내열성을 갖는 도전성 재료로서는, 티타늄(Ti), 탄탈

(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 또는 스칸듐(Sc) 중 선택된 원소 또는 상기 원소들 중 임의의 원소를 포함하는 합금, 그와 같은 원소들의 조합을 포함하는 합금막 또는 상기 원소들 중 임의의 원소를 포함하는 질화물 막이 이용될 수 있다.

[0065] 본 실시예에서, 도전막(132)은 Ti 막이 형성되고, Nd(Al-Nd)를 포함하는 알루미늄 막이 Ti 막 위에 적층되고, 그 위에 다른 Ti 막이 적층되는 3-층 구조를 갖는다. 대안으로, 도전막(132)은 Ti 막이 Al 막 위에 적층되는 2층 구조를 가질 수 있다. 더 대안으로, 도전막(132)은 실리콘 또는 티타늄 막을 포함하는 알루미늄 막의 단층 구조를 가질 수 있다. 이 단계에서의 단면도는 도 8c에 도시된다.

[0066] 다음, 제 4 포토리소그래피 공정이 수행되어 레지스트 마스크(131)를 형성하고 에칭에 의해 도전막(132)의 불필요한 부분이 제거된다. 그러므로, 도전층들(105a 및 105b)이 형성된다(도 9a). 이때, 에칭으로써 건식 에칭 또는 습식 에칭이 이용될 수 있다. 실시예 2에서,  $\text{SiCl}_4$ ,  $\text{Cl}_2$ , 및  $\text{BCl}_3$ 의 혼합 가스를 이용하는 건식 에칭이 사용되어 Ti 막, Nd를 포함하는 알루미늄 막(Al-Nd) 및 Ti 막이 적층되는 도전막이 에칭된다. 이 방식으로, 도전층들(105a, 105b)이 형성된다.

[0067] 다음, 도전층(105a) 및 도전층(105b) 사이에서 노출되는 제 2 산화물 반도체층은 도전막(132)을 에칭하는데 이용되는 것과 동일한 마스크를 이용하여 에칭된다. 여기서, 습식 에칭은 IOT007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 수행되어 불필요한 부분이 제거된다; 그러므로, 제 2 산화물 반도체층들(104a 및 104b)이 형성된다. 여기서 에칭은 습식 에칭으로 제한되지 않고, 건식 에칭일 수 있음을 주의하라. 게다가, 제 1 산화물 반도체층 및 제 2 산화물 반도체층은 동일한 부식액에서 용해된다. 따라서, 제 2 산화물 반도체층이 제 1 산화물 반도체층 상에 직접 형성될 때, 제 2 산화물 반도체층만을 선택적으로 에칭하는 것이 어렵다. 그러나, 실시예 2에서 제 2 산화물 반도체층은 그 사이에 채널 보호층(133)을 둔 제 1 산화물 반도체층 위에 형성됨으로써, 제 2 산화물 반도체층을 에칭하는데 있어서 제 1 산화물 반도체층(103)이 손상될 가능성이 없다.

[0068] 다음, 200℃ 내지 600℃, 전형적으로 300℃ 내지 500℃에서의 열처리가 바람직하게 수행된다. 이 경우에, 열처리는 질소 대기에서 한 시간 동안 350℃로 노(furnace) 내에서 수행된다. 이 열처리로 인해 In, Ga, 및 Zn을 포함하는 반도체층들의 원자들이 재배열되는 것을 허용한다. 캐리어 이동을 방해하는 왜곡(distortion)이 이 열처리에 의해 해제되기 때문에, (포토-어닐링(annealing)을 포함하는) 이때의 열적 처리가 중요하다. 제 1 산화물 반도체층의 형성 이후에 열처리가 실행되는 한 열처리를 언제 수행할지에 대한 특정한 제한이 존재하지 않는다; 예를 들어, 보호막의 형성 이후에 열처리가 수행된다. 이 단계들을 통해, 제 1 산화물 반도체층(103)이 채널 형성 영역이 되는 비-선형 소자(170a)가 완성된다. 이 단계에서의 단면도가 도 9a에 도시된다.

[0069] 다음, 레지스트 마스크가 제거되고, 비-선형 소자(107a)를 커버하는 보호 절연막(107)이 형성된다. 보호 절연막(107)은 질화 실리콘 막, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄 막, 산화 탄탈 막 등을 이용하여 스퍼터링 방법 등에 의해 형성될 수 있다.

[0070] 다음, 제 5 포토리소그래피 프로세스가 수행되어 레지스트 마스크가 형성되어 보호 절연막(107)이 에칭된다. 그러므로, 도전층(105b)에 도달하는 콘택 홀(contact hole)(125)이 형성된다. 이용되는 마스크들의 수를 감소시키기 위해, 동일한 레지스트 마스크를 이용하여 게이트 절연층(102)을 에칭하여 게이트 전극에 도달하는 콘택 홀(128)을 형성하는 것이 바람직하다. 이 단계에서의 단면도는 도 9b에 도시된다.

[0071] 그리고 나서, 레지스트 마스크가 제거되고, 그후 투명 도전막이 형성된다. 투명 도전막을 위한 재료로서는, 산화 인듐( $\text{In}_2\text{O}_3$ ), 산화 인듐-산화 주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , 축약하여 ITO) 등이 제공될 수 있고, 이는 스퍼터링 방법, 진공 증착법 등에 의해 수행될 수 있다. 그와 같은 재료들의 에칭 처리는 염산 기 용액을 이용하여 수행된다. 그러나, ITO의 에칭은 특히 잔해물을 남기는 경향이 있으므로, 산화 인듐 및 산화 아연의 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ )이 에칭의 프로세싱 능력을 개선하는데 이용될 수 있다.

[0072] 다음, 제 6 포토리소그래피 공정이 수행되어 레지스트 마스크를 형성하고, 투명 도전막의 불필요한 부분이 제거된다. 그러므로, 화소 전극이 형성되지만, 이는 도시되지 않는다.

[0073] 더욱이, 이 제 6 포토리소그래피 프로세스에서, 용량 배선 및 화소 전극은 게이트 절연층(102) 및 보호 절연막(107)을 유전체들로 이용함으로써, 함께 용량부 내에 저장 용량을 형성하지만, 이는 도시되지 않는다.

[0074] 더욱이, 이 제 6 포토리소그래피 공정에서, 레지스트 마스크는 단자부를 커버하여, 단자부 내에 형성되는 투명 도전막이 남아 있게 된다. 투명 도전막은 FPC와의 접속을 위해 이용되는 전극 또는 배선, 소스 배선의 입력 단자로서 기능을 하는 접속을 위한 단자 전극 등의 역할을 한다.



- [0075] 더욱이, 실시예 2에서, 비-선형 소자(170a)의 드레인 전극층 역할을 하는 도전층(105b)은 투명 도전막을 이용하여 형성되는 제 3 배선층(110)을 통해 콘택 홀들(125 및 128) 내의 주사선(108)에 접속됨으로써, 보호 회로가 형성된다.
- [0076] 그리고나서, 레지스터 마스크가 제거된다. 이 단계에서의 단면도는 도 9c에 도시된다.
- [0077] 상기 방식으로 수행되는 제 6 포토리소그래피 공정들을 통해, 복수의 비-선형 소자들(실시예 2에서, 두 비-선형 소자들(170a 내지 170b)을 갖는 보호 회로는 6개의 포토마스크들을 이용함으로써 완성될 수 있다. 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 본딩되는 영역을 제공함으로써 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 실시예 2에 따르면, 복수의 TFT들은 비-선형 소자들의 방법과 유사한 방법에 의해 비-선형 소자들과 함께 완성될 수 있다. 그러므로, 하부 게이트 n-채널형 TFT들 및 보호 회로를 포함하는 화소부는 동시에 제조될 수 있다. 즉, 막 박리(film peeling)로 인해 보다 소수의 결함들을 갖는 보호 다이오드가 실장되는 활성 매트릭스 표시 장치를 위한 기판(board)은 실시예 2에 기술되는 단계들에 따라 제조될 수 있다.
- [0078] 게다가, 제 1 산화물 반도체층(103)이 손상되는 경우, 비-선형 소자의 특징들 또한 더 악화된다. 그러나, 실시예 2에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역이 채널 보호층에 의해 보호되기 때문에, 제 2 산화물 반도체층의 에칭 단계에서 소스 전극 및 드레인 전극 역할을 하는 도전막(132)의 에칭 단계에서 제 1 산화물 반도체층(103)이 손상을 입을 가능성이 없다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 2의 비-선형 소자는 높은 신뢰성을 가지고, 비-선형 소자를 이용하여 보호 회로를 포함하는 표시 장치는 또한 높은 신뢰성을 갖는다.
- [0079] 실시예 3
- [0080] 실시예 3에서, 화소부를 포함하는 표시 장치 및 화소부 주위에 제공되는 비-선형 소자를 포함하고, 실시예 2의 예와 상이한 보호 회로의 예가 도 27a 내지 27b를 참조하여 이제 설명될 것이다.
- [0081] 도 27a는 화소부 내에 배열되는 박막 트랜지스터 및 비-선형 소자를 포함하는 보호 회로가 동일한 기판 위에서 형성되는 표시 장치의 단면도이다. 비-선형 소자(270a)에서, 소스 전극 및 드레인 전극 역할을 하는 도전층들(105a 및 105b)은 제 1 산화물 반도체층(103)과 접하도록 제공된다.
- [0082] 비-선형 소자(270a)에서, 도전층(105a) 및 도전층(105b)은 바람직하게도 플라즈마 처리에 의해 변형되는 제 1 산화물 반도체층(103)과 접촉한다. 실시예 3에서, 제 1 산화물 반도체층(103)은 도전층들의 형성 전에 플라즈마 처리를 겪는다.
- [0083] 플라즈마 처리로써, 예를 들어, 역 스퍼터링이 수행될 수 있다. 플라즈마 처리는 아르곤 가스, 수소 가스, 또는 아르곤 및 수소의 혼합 가스를 이용함으로써 수행될 수 있다. 더욱이, 산소 가스는 그와 같은 가스에 포함될 수 있다. 대안으로, 다른 희 가스가 아르곤 가스 대신 이용될 수 있다.
- [0084] 도 27b에 도시되는 바와 같이, 보호 절연막(107) 및 절연층(136)은 중간 절연층으로서, 제 1 산화물 반도체층(103) 위에 형성될 수 있다. 도전층(105a) 및 도전층(105b)은 보호 절연막(107) 및 절연층(136)에 형성되는 콘택 홀들을 통해, 제 1 산화물 반도체층(103)에 접하여 전기적으로 접속된다.
- [0085] 도 27b에서, 게이트 절연층(102) 및 채널 보호층(133)은 스퍼터링 방법에 의해 산화 실리콘층들; 제 1 산화물 반도체층(103), 산소-과잉 상태에 있는 In, Ga, 및 Zn을 포함하는 산화물 반도체층; 및 절연층(135), 질화 실리콘 층을 이용하여 형성된다.
- [0086] 또한 도 27b에서, 플라즈마 처리는 바람직하게는 소스 전극 및 드레인 전극 역할을 하는 도전층들(105a 및 105b)의 형성 이전에 제 1 산화물 반도체층(103)에 행해진다. 플라즈마 처리는 채널 보호층(133)이 제 1 산화물 반도체층(103) 위에 형성된 이후에, 또는 보호 절연막(107) 및 절연층(136)에서 형성되는 콘택 홀들의 하부에 노출되는 제 1 산화물 반도체층(103)에 행해질 수 있다.
- [0087] 플라즈마 처리에 의해 변형되는 제 1 산화물 반도체층(103)과 접촉하는 드레인 전극 및 소스 전극 역할을 하는 도전층들(105a 및 105b)의 형성에 의해, 제 1 산화물 반도체층(103) 및 소스 전극 및 드레인 전극 역할을 하는 도전층들(105a 및 105b) 사이의 접속 저항이 감소할 수 있다. 게다가, 제 1 산화물 반도체층(103) 및 소스 전극과 드레인 전극 역할을 하는 도전층들(105a 및 105b) 사이의 접합 강도는 플라즈마 처리에 의해 개선되고, 이로 인해 막 박리로 인한 결함들이 거의 발생하지 않는다.

- [0088] 상술한 단계들을 통해, 매우 신뢰성 있는 보호 회로를 비-선형 반도체 장치로써 갖는 표시 장치가 제조될 수 있다.
- [0089] 게다가, 제 1 산화물 반도체층(103)이 손상되는 경우, 비-선형 소자의 특징들 또한 악화된다. 그러나, 실시예 3에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역이 채널 보호층에 의해 보호되기 때문에, 소스 전극 및 드레인 전극 역할을 하는 도전층의 에칭 단계에서 제 1 산화물 반도체층(103)이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 3의 비-선형 소자는 높은 신뢰성을 갖고, 비-선형 소자를 이용하는 보호 회로를 포함하는 표시 장치 또한 높은 신뢰성을 갖는다.
- [0090] 실시예 3은 적절하게 다른 실시예들의 임의의 구조와 결합하여 구현될 수 있다.
- [0091] 실시예 4
- [0092] 실시예 4는 화소부 내의 TFT 및 보호 회로가 본 발명의 일 실시예에 따른 표시 장치로서, 하나의 기판 위에 제공되는 전자 종이의 예를 도시한다.
- [0093] 도 10은 본 발명의 일 실시예에 따른 표시 장치의 예로서 능동 매트릭스형 전자 종이 장치를 도시한다. 반도체 장치에 이용되는 박막 트랜지스터(581)는 실시예 2에서 설명된 비-선형 소자와 유사한 방식으로 제조될 수 있고, 높은 전기적 특성들을 가지며, 여기서 IN, Ga, 및 Zn을 함유하는 산화물 반도체는 반도체층 및 소스 영역 및 드레인 영역에 이용된다.
- [0094] 도 10에서의 전자 종이는 트위스팅 볼(twisting ball) 표시 시스템이 채용되는 표시 장치의 예이다. 트위스팅 볼 표시 시스템은 각각 검은색 및 흰색으로 색깔이 입혀진 구형 입자들이 제 1 전극층 및 제 2 전극층 사이에 배열되는 방법을 칭하고, 상기 제 1 전극층 및 제 2 전극층은 표시 소자에 이용되는 전극층들이고, 제 1 전극층 및 제 2 전극층 사이에 전위차가 발생하여 표시가 수행되도록, 구형 입자들의 배향성(orientation)을 제어한다.
- [0095] 박막 트랜지스터(581)는 소스 전극층 또는 드레인 전극층이 절연층(585)에 형성되는 개구에서 제 1 전극층(587)에 전기적으로 연결되는 하부-게이트 구조를 갖는다. 게이트 절연층(583)은 게이트 전극 위에 있고, 보호층(584)은 채널 보호층 위에 있다. 제 1 전극층(587) 및 제 2 전극층(588) 사이에는, 구형 입자들(589)이 제공된다. 각각의 구형 입자(589)는 흑색 영역(590a) 및 백색 영역(590b), 그리고 흑색 영역(590a) 및 백색 영역(590b) 주위에 액체로 충전된 캐비티(cavity)(594)를 포함한다. 구형 입자(589)의 주변은 수지(resin) 등과 같은 충전재(595)가 채워진다. 이들은 제 1 기판 및 제 2 기판 사이에 있다(도 10을 참조하라).
- [0096] 게다가, 트위스팅 볼 대신, 전기영동(electrophoretic) 소자가 이용될 수 있다. 약  $10\mu\text{m}$  내지  $20\mu\text{m}$ 의 직경을 갖고, 투명액, 양으로 대전된 백색 마이크로입자들 및 음으로 대전된 흑색 마이크로입자들로 채워지는 마이크로캡슐(microcapsule)이 이용된다. 전기장이 제 1 전극층 및 제 2 전극층에 의해 인가될 때, 제 1 전극층 및 제 2 전극층 사이에 제공되는 마이크로캡슐에서, 백색 마이크로입자들 및 흑색 마이크로입자들은 서로 반대 측으로 이동하여, 백색 또는 흑색이 표시될 수 있도록 한다. 이 원리를 이용한 표시 소자는 전기영동 표시 소자이고 일반적으로 전자 종이로 칭해진다. 전기영동 표시 소자는 액정 표시 소자보다 더 높은 반사율을 가지므로, 보조광(assistant light)이 불필요하다. 더욱이, 전력 소비가 낮고 표시부는 어스름한 장소에서 인식될 수 있다. 더욱이, 심지어 전력이 표시부에 공급되지 않을 때에도 일단 표시된 이미지는 계속 유지될 수 있다. 따라서, 표시된 이미지는 표시 기능을 갖는 반도체 장치(또한 간단하게 표시 장치 또는 표시 장치가 제공되는 반도체 장치로 칭해진다)가 전원 공급원의 역할을 하는 전파 발신원(electric wave source)으로부터 떨어져 있을지라도 저장될 수 있다.
- [0097] 상기 단계들을 통해, 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역을 제공함으로써, 단지 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 동작이 안정해질 수 있다. 더욱이, 박막들의 박리로 인한 결함들이 쉽게 발생되지 않는 비-선형 소자들을 포함하는 보호 회로를 통합함으로써, 안정한 동작을 갖는 매우-신뢰성 있는 전자 종이 장치를 제조하는 것이 가능하다.
- [0098] 게다가, 제 1 산화물 반도체층이 손상되는 경우, 비-선형 소자의 전기 특성들이 또한 더 악화된다. 그러나, 실시예 4에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역은 채널 보호층에 의해 보호되기 때문에, 소스 전극 및 드레인 전극 역할을 하는 도전막의 에칭 단계에서 그리고 제 2 산화물 반도체층의 에칭 단계에서 제 1 산화물 반도체층이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 4의 비-선형 소자는 높은 신뢰성을 갖고, 비-선형 소자를 이용한 보호 회로를 포함하는 전



자 종이는 또한 높은 신뢰성을 갖는다.

- [0099] 실시예 4는 임의의 다른 실시예들의 구조와 적절하게 조합하여 구현될 수 있다.
- [0100] 실시예 5
- [0101] 실시예 5는 도 11a 및 도 11b, 도 12, 도 13, 도 14, 도 15 및 도 16을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 예인 표시 장치 내에서 하나의 기관 위에 적어도 보호 회로, 구동 회로의 일부, 및 화소부의 박막 트랜지스터를 제조하는 예를 도시한다.
- [0102] 보호 회로와 동일한 기관 위에 형성되는 화소부 내의 박막 트랜지스터는 실시예 2 또는 실시예 3에 설명된 비-선형 소자와 유사한 방식으로 형성된다. 박막 트랜지스터는 n-채널형 TFT가 되도록 형성되고; 따라서, n-채널형 TFT를 이용하여 형성될 수 있는 구동 회로의 일부는 화소부 내의 박막 트랜지스터로서 동일한 기관 위해 형성된다.
- [0103] 도 11a는 본 발명의 일 실시예에 따른 반도체 장치의 예인 능동 매트릭스 액정 표시 장치의 블록도의 예를 도시한다. 도 11a에 도시되는 표시 장치는 기관(5300) 위에 각각 표시 소자가 제공되는 복수의 화소들; 화소를 선택하는 주사선 구동 회로(5302); 및 선택된 화소에 입력되는 비디오 신호를 제어하는 신호선 구동 회로(5303)를 포함한다.
- [0104] 화소부(5301)는 신호선 구동 회로(5303)로부터 열 방향으로 확장하는 복수의 신호선들(S1 내지 S<sub>m</sub>)(도시되지 않음)을 구비하는 신호선 구동 회로(5303)에 접속되고 주사선 구동 회로(5302)로부터 행 방향으로 확장되는 복수의 주사선들(G1 내지 G<sub>n</sub>)(도시되지 않음)을 구비하는 주사선 구동 회로(5302)에 접속된다. 화소부(5301)는 신호선들(S1 내지 S<sub>m</sub>) 및 주사선들(G1 내지 G<sub>n</sub>)에 대응하여, 매트릭스형으로 배치되는 복수의 화소들(도시되지 않음)을 포함한다. 게다가, 화소들 각각은 신호선(S<sub>j</sub>)(신호선들(S1 내지 S<sub>m</sub>) 중 임의의 하나) 및 주사선(G<sub>i</sub>)(주사선들(G1 내지 G<sub>n</sub>) 중 임의의 하나)에 접속된다.
- [0105] 실시예 2 또는 실시예 3에 설명된 비-선형 소자의 방법과 유사한 방법에 의해 실시예 2 또는 실시예 3에 기술되는 비-선형 소자와 함께 형성될 수 있는 박막 트랜지스터는 n-채널형 TFT이고, n-채널형 TFT를 포함하는 신호선 구동 회로가 도 12를 참조하여 설명된다.
- [0106] 도 12에서의 신호선 구동 회로는 구동 IC(5601), 스위치군들(5602\_1 내지 5602\_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613), 및 배선들(5621\_1 내지 5621\_M)을 포함한다. 스위치군들(5602\_1 내지 5602\_M)의 각각은 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 포함한다.
- [0107] 구동 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613), 및 배선들(5621\_1 내지 5621\_M)에 접속된다. 스위치군들(5602\_1 내지 5602\_M)의 각각은 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613), 및 스위치군들(5602\_1 내지 5602\_M)에 대응하는 배선들(5621\_1 내지 5621\_M) 중 하나에 각각 접속된다. 배선들(5621\_1 내지 5621\_M)의 각각은 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 세 개의 신호선들에 접속된다. 예를 들어, J번째 열 중 배선(5621\_J)(배선들(5621\_1 내지 5621\_M) 중 하나)은 스위치군(5602\_J)의 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 신호선(S<sub>j-1</sub>), 신호선(S<sub>j</sub>), 및 신호선(S<sub>j+1</sub>)에 접속된다.
- [0108] 제 1 배선(5611), 제 2 배선(5612), 및 제 3 배선(5613)의 각각에 신호가 입력되는 것을 주의하라.
- [0109] 구동 IC(5601)는 바람직하게는 단-결정 기관상에 형성되는 것을 주의하라. 스위치군들(5602\_1 내지 5602\_M)은 바람직하게는 화소부와 동일한 기관 위에 형성된다. 그러므로, 구동 IC(5601)는 FPC 등을 통해 스위치군들(5602\_1 내지 5602\_M)에 접속될 수 있다.
- [0110] 다음, 도 12에서의 신호선 구동 회로의 동작은 도 13의 타이밍 차트(timing chart)를 참조하여 설명된다. 도 13은 i번째 행에 있는 주사선(G<sub>i</sub>)이 선택되는 타이밍 차트를 도시한다. i번째 행 내의 주사선(G<sub>i</sub>)의 선택 기간은 제 1 서브-선택 기간(T1), 제 2 서브-선택 기간(T2), 및 제 3 서브-선택 기간(T3)으로 분할된다. 게다가, 도 12에서의 신호선 구동 회로는 또한 다른 행의 주사선이 선택될 때 도 13과 유사하게 동작한다.
- [0111] 도 13에서의 타이밍 차트는 J-번째 열에서의 배선(5621\_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 신호선(S<sub>j-1</sub>), 신호선(S<sub>j</sub>), 신호선(S<sub>j+1</sub>)에 접속되는 경우를 도시한 것임을 주의하라.

- [0112] 도 13의 타이밍 차트는 i-번째 행에서의 주사선(Gi)이 선택될 때의 타이밍, 제 1 박막 트랜지스터(5603a)가 턴온/오프될 때의 타이밍(5603a), 제 2 박막 트랜지스터(5603b)가 턴온/턴오프될 때의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)가 턴온/턴오프될 때의 타이밍(5703c), 및 J번째 열에서 배선(5621\_J)으로 입력되는 신호(5721\_J)를 도시한다.
- [0113] 제 1 서브-선택 기간(T1), 제 2 서브-선택 기간(T2), 및 제 3 서브-선택 기간(T3)에서, 상이한 비디오 신호들은 배선들(5621\_1 내지 5621\_M)에 접속된다. 예를 들어, 제 1 서브-선택 기간(T1)에서 배선(5621\_J)으로 입력되는 비디오 신호는 신호선(Sj-1)에 입력되고, 제 2 서브-선택 기간(T2)에서의 배선(5621\_J)으로 입력되는 비디오 신호는 신호선(Sj)에 입력되고, 제 3 서브-선택 기간(T3)에서의 배선(5621\_J)으로 입력되는 비디오 신호는 신호선(Sj+1)에 입력된다. 게다가, 제 1 서브-선택 기간(T1), 제 2 서브-선택 기간(T2), 및 제 3 서브-선택 기간(T3)에서, 배선(5621\_J)에 입력되는 비디오 신호들은 Data\_J-1, Data\_j, 및 Data\_j+1로 표시된다.
- [0114] 도 13에 도시되는 바와 같이, 제 1 서브-선택 기간(T1)에서, 제 1 박막 트랜지스터(5603a)가 턴온되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 턴오프된다. 이때, 배선(5621\_J)에 입력되는 Data\_J-1은 제 1 박막 트랜지스터(5603a)를 통해 신호선(Sj-1)에 입력된다. 제 2 서브-선택 기간(T2)에서, 제 2 박막 트랜지스터(5603b)가 턴온되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 턴오프된다. 이때, 배선(5621\_J)으로 입력되는 Data\_j는 제 2 박막 트랜지스터(5603b)를 통해 신호선(Sj)에 입력된다. 제 3 서브-선택 기간(T3)에서, 제 3 박막 트랜지스터(5603c)가 턴온되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)는 턴오프된다. 이때, 배선(5621\_J)에 입력되는 Data\_j+1은 제 3 박막 트랜지스터(5603c)를 통해 신호선(Sj+1)에 입력된다.
- [0115] 상술한 바와 같이, 도 12에서의 신호선 구동 회로에서, 하나의 게이트 선택 기간을 세 개로 분할함으로써, 비디오 신호들은 하나의 게이트 선택 기간에서 하나의 배선(5621)으로부터 세 신호선들로 입력될 수 있다. 그러므로, 도 12에서의 신호선 구동 회로에서, 구동 IC(5601)가 제공되는 기관 및 화소부가 제공되는 기관의 접속들의 수가 신호선들의 수의 약 1/3일 수 있다. 접속수들은, 도 12에서의 신호선 구동 회로의 신뢰성, 산출량 등이 개선될 수 있도록, 신호선들의 수의 약 1/3로 감소한다.
- [0116] 하나의 게이트 선택 기간이 복수의 서브-선택 기간들로 분할되고 비디오 신호들이 도 12에 도시되는 바와 같이 각각의 서브-선택 기간들에서 하나의 배선으로부터 복수의 신호선들로 입력되는 한, 박막 트랜지스터들의 배열, 수, 구동 방법 등에 대한 특정한 제한들이 존재하지 않음을 주의하라.
- [0117] 예를 들어, 비디오 신호들이 셋 이상의 서브-선택 기간들 각각에서 하나의 배선으로부터 셋 이상의 신호선들로 입력될 때, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위해 단지 배선을 추가하는 것이 필요하다. 하나의 게이트 선택 기간은 넷 이상의 서브-선택 기간들로 분할될 때, 하나의 서브-선택 기간이 더 짧아지게 됨을 주의하라. 그러므로, 하나의 게이트 선택 기간이 바람직하게는 둘 또는 세 개의 서브-선택 기간들로 분할된다.
- [0118] 다른 예로써, 하나의 게이트 선택 기간은 도 14에서 타이밍 차트에서 도시되는 바와 같이 프리차지(precharge) 기간(Tp), 제 1 서브-선택 기간(T1), 제 2 서브-선택 기간(T2), 및 제 3 서브-선택 기간(T3)으로 분할된다. 도 14에서의 타이밍 차트는 i번째 행의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5803c), 및 J번째 열의 배선(5621\_J)으로 입력되는 신호(5821\_J)를 도시한다. 도 14에 도시되는 바와 같이, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)는 프리차지 기간(Tp)에서 턴온된다. 이때, 배선(5621\_J)으로 입력되는 프리차지 전압(Vp)은 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통해 신호선(Sj-1), 신호선(Sj), 및 신호선(Sj+1) 각각에 입력된다. 제 1 서브-선택 기간(T1)에서, 제 1 박막 트랜지스터(5603a)가 턴온되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 턴오프된다. 이때, 배선(5621\_J)에 입력되는 Data\_j-1은 제 1 박막 트랜지스터(5603a)를 통해 신호선(Sj-1)에 입력된다. 제 2 서브-선택 기간(T2)에서, 제 2 박막 트랜지스터(5603b)가 턴온되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 턴오프된다. 이때, 배선(5621\_J)에 입력되는 Data\_j는 제 2 박막 트랜지스터(5603b)를 통해 신호선(Sj)에 입력된다. 제 3 서브-선택 기간(T3)에서, 제 3 박막 트랜지스터(5603c)가 턴온되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 턴오프된다. 이때, 배선(5621\_J)에 입력되는 Data\_j+1은 제 3 박막 트랜지스터(5603c)를 통해 신호선(Sj+1)에 입력된다.
- [0119] 상술한 바와 같이, 도 14에서의 타이밍 차트가 적용되는 도 12에서의 신호선 구동 회로에서, 비디오 신호는 고속으로 화소에 기록될 수 있는데, 왜냐하면 신호선은 서브-선택 기간 전에 프리차지 선택 기간을 제공함으로써

프리차지될 수 있다. 도 13과 유사한 도 14에서의 부분들은 공통의 참조 번호들로 표현되고 동일한 부분들 및 유사한 기능들을 갖는 부분들의 상세한 설명은 생략된다는 것을 주의해야 한다.

- [0120] 더욱이, 주사선 구동 회로의 구조가 서술된다. 주사선 구동 회로는 시프트 레지스터(shift register) 및 버퍼를 포함한다. 추가적으로, 주사선 구동 회로는 일부 경우들에서 레벨 시프터(level shifter)를 포함할 수 있다. 주사선 구동 회로에서, 클럭 신호(clock signal: CLK) 및 시작 펄스 신호(start pulse signal: SP)가 시프트 레지스터에 입력될 때, 선택 신호가 발생된다. 발생된 선택 신호는 버퍼에 의해 버퍼링되고 증폭되고, 그 결과적인 신호가 대응하는 주사선에 공급된다. 하나의 라인의 화소들에서의 트랜지스터들의 게이트 전극들은 주사선에 접속된다. 더욱이, 하나의 라인의 화소들에서의 트랜지스터들은 동시에 턴온되어야 하기 때문에, 큰 전류를 공급할 수 있는 버퍼가 이용될 수 있다.
- [0121] 주사선 구동 회로의 일부에 이용되는 시프트 레지스터의 하나의 모드가 도 15 및 도 16을 참조하여 설명된다.
- [0122] 도 15는 시프트 레지스터의 회로 구성을 도시한다. 도 15에 도시된 시프트 레지스터는 복수의 플립-플롭들(플립-플롭들(5701-1 내지 5701-n))을 포함한다. 시프트 레지스터는 제 1 클럭 신호, 제 2 클럭 신호, 시작 펄스 신호, 및 리셋 신호의 입력으로 동작된다.
- [0123] 도 15에서의 시프트 레지스터의 접속 관계들이 설명된다. 도 15의 시프트 레지스터에서 i번째 단계 플립-플롭(5701\_i)(플립-플롭들(5701-1 내지 5701\_n) 중 하나)에서, 도 16에서 도시되는 제 1 배선(5501)은 제 7번째 배선(5717\_i-1)에 접속되고; 도 16에서 도시되는 제 2 배선(5502)은 제 7번째 배선(5717\_i+1)에 접속되고; 도 16에서 도시되는 제 3 배선(5503)은 제 7번째 배선(5717\_i)에 접속되고; 그리고 도 16에서 도시되는 제 6 배선(5506)은 제 5번째 배선(5715)에 접속된다.
- [0124] 더욱이, 도 16에 도시되는 제 4 배선(5504)은 홀수의 단계들의 플립-플롭들에서 제 2 배선(5712)에 접속되고, 짝수 단계들의 플립-플롭들에서 제 3 배선(5713)에 접속된다. 도 16에 도시된 제 5 배선(5505)은 제 4 배선(5714)에 접속된다.
- [0125] 도 16에 도시된 제 1 단계 플립-플롭(5701\_1)의 제 1 배선(5501)이 제 1 배선(5711)에 접속되는 것을 주의하라. 더욱이, 도 16에 도시된 n번째 단계 플립-플롭(5701\_n)의 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.
- [0126] 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 및 제 6 배선(5716)이 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 및 제 4 신호선으로 칭해질 수 있다는 것을 주의하라. 제 4 배선(5714) 및 제 5 배선(5715)은 각각 제 1 전원선 및 제 2 전원선으로 칭해질 수 있다.
- [0127] 다음, 도 16은 도 15에 도시된 플립-플롭의 세목들을 도시한다. 도 16에 도시된 플립-플롭은 제 1 박막 트랜지스터(5571), 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 포함한다. 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577), 및 제 8 박막 트랜지스터(5578)의 각각은 n-채널 트랜지스터이고 게이트-소스 전압( $V_{gs}$ )이 임계 전압( $V_{th}$ )을 초과할 때 턴온된다.
- [0128] 다음, 도 16에 도시된 플립-플롭의 접속 구조가 후술된다.
- [0129] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)은 제 4 배선(5504)에 접속된다. 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 제 3 배선(5503)에 접속된다.
- [0130] 제 2 박막 트랜지스터(5572)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 2 박막 트랜지스터(5572)의 제 2 전극은 제 3 배선(5503)에 접속된다.
- [0131] 제 3 박막 트랜지스터(5573)의 제 1 전극은 제 5 배선(5505)에 접속된다. 제 3 박막 트랜지스터(5573)의 제 2 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 3 박막 트랜지스터(5573)의 게이트 전극은 제 5 배선(5505)에 접속된다.
- [0132] 제 4 박막 트랜지스터(5574)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 4 박막 트랜지스터(5574)의 제 2 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 4 박막 트랜지스터(5574)의 게이트 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.

- [0133] 제 5 박막 트랜지스터(5575)의 제 1 전극은 제 5 배선(5505)에 접속된다. 제 5 박막 트랜지스터(5575)의 제 2 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 5 박막 트랜지스터(5575)의 게이트 전극은 제 1 배선(5501)에 접속된다.
- [0134] 제 6 박막 트랜지스터(5576)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 6 박막 트랜지스터(5576)의 제 2 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 6 박막 트랜지스터(5576)의 게이트 전극은 제 2 박막 트랜지스터(5576)의 게이트 전극에 접속된다.
- [0135] 제 7 박막 트랜지스터(5577)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 7 박막 트랜지스터(5577)의 제 2 전극은 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 7 박막 트랜지스터(5577)의 게이트 전극은 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극은 제 6 배선(5506)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 2 전극은 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 8 박막 트랜지스터(5578)의 게이트 전극은 제 1 배선(5501)에 접속된다.
- [0136] 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극, 및 제 7 박막 트랜지스터(5577)의 제 2 전극이 접속되는 지점들이 각각 노드(5543)로 칭해지는 점을 주의하라. 제 2 박막 트랜지스터(5571)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극, 및 제 8 박막 트랜지스터(5578)의 제 2 전극이 접속되는 지점들이 각각 노드(5544)로 칭해진다.
- [0137] 제 1 배선(5501), 제 2 배선(5502), 제 3 배선(5503), 및 제 4 배선(5504)은 제 1 신호선, 제 2 신호선, 제 3 신호선, 및 제 4 신호선으로 각각 칭해질 수 있다는 점을 주의하라. 제 5 배선(5505) 및 제 6 배선(5506)은 각각 제 1 전원선 및 제 2 전원선으로 칭해질 수 있다.
- [0138] 대안으로, 신호선 구동 회로 및 주사선 구동 회로는 실시예 2 또는 실시예 3에서 설명된 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 제조될 수 있는 n-채널형 TFT들만을 이용하여 제조될 수 있다. 실시예 2 또는 실시예 3에서 설명된 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 형성될 수 있는 n-채널형 TFT들은 높은 이동성을 갖기 때문에, 구동 회로들의 구동 주파수가 증가할 수 있다. 더욱이, 실시예 2 또는 실시예 3에서 설명된 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 형성될 수 있는 n-채널형 TFT들은 인듐, 갈륨, 및 아연을 포함하는 산소-결핍 산화물 반도체층을 이용하여 형성되는 소스 영역들 또는 드레인 영역들을 포함한다. 그러므로, 기생 용량이 감소되고 주파수 특징(f-특징이라 칭한다)이 증가된다. 예를 들어, 실시예 2 또는 실시예 3에서 설명된 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 형성될 수 있는 n-채널형 TFT들을 포함하는 주사선 구동 회로는 고속으로 동작할 수 있다; 그러므로, 예를 들어, 프레임 주파수를 증가시키거나 블랙 스크린(black screen)의 삽입을 달성하는 것이 가능하다.
- [0139] 게다가, 예를 들어 주사선 구동 회로에서의 트랜지스터의 채널 폭이 증가되거나 복수의 주사선 구동 회로들이 제공되면, 더 높은 프레임 주파수가 실현될 수 있다. 복수의 주사선 구동 회로들이 제공되면, 짝수의 주사선들을 구동하기 위한 주사선 구동 회로가 한 측에 제공되고 홀수의 주사선들을 구동하기 위한 주사선 구동 회로가 반대 측에 제공되므로; 프레임 주파수의 증가가 실현될 수 있다.
- [0140] 본 발명의 일 실시예에 따른 반도체 장치의 예인 능동 매트릭스형 발광 표시 장치를 제조하는 경우, 복수의 주사선 구동 회로들이 배열되는 것이 바람직하는데 왜냐하면 복수의 박막 트랜지스터들은 적어도 하나의 화소에 배열되기 때문이다. 능동 매트릭스 발광 표시 장치의 블록도의 예가 도 11b에 도시된다.
- [0141] 도 11b에 도시된 발광 표시 장치는 기판(5400) 위에, 각각 표시 소자가 제공되는 복수의 화소들을 포함하는 화소부(5401); 각각의 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404); 및 선택되는 화소들에 입력되는 비디오 신호를 제어하는 신호선 구동 회로(5403)를 포함한다.
- [0142] 도 11b의 발광 표시 장치의 화소들에 디지털 비디오 신호를 입력하는 경우, 화소는 트랜지스터의 스위칭 온/오프에 의해 발광 상태 또는 비-발광 상태에 놓인다. 그러므로, 면적 제조법(area ratio grayscale method) 또는 시간 제조법(time ratio grayscale method)을 이용하여 계조가 표시될 수 있다. 면적 제조법은 하나의 화소가 복수의 부화소들로 분리되고 각각의 부화소들이 비디오 신호들에 기초하여 개별적으로 구동되어 계조가 표시되는 구동 방법을 칭한다. 더욱이, 시간 제조법은 화소가 발광 상태에 있는 기간이 제어되어 계조가 표시되는 구동 방법을 칭한다.



- [0143] 발광 소자들의 응답 시간은 액정 소자 등의 응답 시간보다 더 짧기 때문에, 발광 소자들은 시간 계조법에 적합하다. 특히, 시간 계조법에 의한 표시의 경우, 하나의 프레임 기간은 복수의 서브프레임 기간들로 분할된다. 그리고 나서, 비디오 신호들에 응답하여, 화소에서의 발광 소자는 각각의 서브프레임 기간에서 발광 상태에 또는 비-발광 상태에 놓인다. 프레임을 복수의 서브프레임들로 분할함으로써, 실제로 하나의 프레임 기간에서 화소들이 발광하는 시간의 총 길이는 비디오 신호들에 의해 제어되어 계조들을 표시할 수 있다.
- [0144] 도 11b의 발광 표시 장치에서, 하나의 화소가 두 TFT들, 즉, 스위칭 TFT 및 전류 제어 TFT를 포함하는 경우, 스위칭 TFT의 게이트 배선 역할을 하는 제 1 주사선에 입력되는 신호는 제 1 주사선 구동 회로(5402)로부터 발생하고 전류 제어 TFT의 게이트 배선 역할을 하는 제 2 주사선에 입력되는 신호는 제 2 주사선 구동 회로(5404)로부터 생성되는 것을 주의하라. 그러나, 제 1 주사선으로 입력되는 신호 및 제 2 주사선으로 입력되는 신호는 하나의 주사선 구동 회로로부터 함께 생성될 수 있다. 게다가, 예를 들어, 스위칭 소자의 동작을 제어하기 위해 이용되는 복수의 제 1 주사선들이 스위칭 소자에 포함되는 트랜지스터들의 수에 따라 각각의 화소 내에 제공될 가능성이 있다. 이 경우, 제 1 주사선들에 입력되는 신호들은 모두 하나의 주사선 구동 회로로부터 생성될 수 있거나 복수의 주사선 구동 회로들로부터 생성될 수 있다.
- [0145] 심지어 발광 표시 장치에서, n-채널형 TFT들을 이용하여 형성될 수 있는 구동 회로의 일부는 하나의 기판 위에서 화소부의 박막 트랜지스터들과 함께 제공될 수 있다. 더욱이, 신호선 구동 회로 및 주사선 구동 회로는 실시예 2 또는 실시예 3에서 설명된 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 형성될 수 있는 n-채널형 TFT들만을 이용하여 제조될 수 있다.
- [0146] 상술한 구동 회로는 액정 표시 장치 또는 발광 표시 장치뿐만 아니라 스위칭 소자에 전기적으로 접속되는 소자를 이용함으로써 전자 잉크가 구동되는 전자 종이에 이용될 수 있다. 전자 종이는 또한 전기영동 표시 장치(전기영동 디스플레이)로 칭해지고 이것이 보통의 종이와 동일한 레벨의 판독성(readability)을 가지고, 다른 표시 장치들보다 전력 소비가 적으며, 얇고 가벼운 형태를 가지도록 설정될 수 있다는 점에서 장점들을 갖는다.
- [0147] 전기영동 디스플레이들은 다양한 모드들을 가질 수 있다. 전기영동 디스플레이들은 용매 또는 전해질에서 확산되는 복수의 마이크로캡슐들을 포함하고, 각각의 마이크로캡슐은 양으로 대전된 제 1 입자들 및 음으로 대전된 제 2 입자들을 포함한다. 전계를 마이크로캡슐들에 인가함으로써, 마이크로캡슐 내의 입자들은 반대 방향으로 이동하고 한 측에 집중되는 입자들의 색만이 나타난다. 제 1 입자들 및 제 2 입자들은 각각 색소(pigment)를 함유하고 전계가 없이 이동하지 않음이 주의되어야 한다. 더욱이, 제 1 입자들 및 제 2 입자들의 색들은 서로 상이하다(색들은 무색이거나 수색성(achroma)을 포함한다).
- [0148] 이 방식에서, 전기영동 디스플레이는 높은 유전 상수를 갖는 기판이 높은 전계 영역으로 이동하는 소위 유전영동 효과(dielectrophoretic effect)를 이용하는 디스플레이이다. 전기영동 디스플레이는 액정 표시 장치에서 필요한 편광판(polarizer) 및 대향 기판(counter substrate)을 이용할 필요가 없고, 전기영동 표시 장치의 두께 및 중량 이 둘 모두는 액정 표시 장치의 절반일 수 있다.
- [0149] 상술한 마이크로캡슐들이 용매에서 확산될 때 이때의 용액은 전자 잉크로 칭해진다. 이 전자 잉크는 유리, 플라스틱, 종이 등의 표면에 인쇄될 수 있다. 더욱이, 컬러 필터 또는 색소를 가지는 입자들을 이용함으로써, 색 표시가 또한 가능하다.
- [0150] 게다가, 능동 매트릭스형 표시 장치는 능동 매트릭스 기판 위에 복수의 마이크로캡슐들을 두 전극들 사이에 개재되도록 적절하게 제공함으로써 완성될 수 있고, 전계를 마이크로캡슐들에 인가함으로써 표시를 수행할 수 있다. 예를 들어, 실시예 2 또는 실시예 3에서 설명된 비-선형 소자와 함께 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 형성될 수 있는 박막 트랜지스터들을 이용하여 획득된 능동 매트릭스 기판이 이용된다.
- [0151] 마이크로캡슐에서의 제 1 입자들 및 제 2 입자들은 도전성 재료, 절연 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선스 재료, 일렉트로크로믹 재료, 및 자기영동(magnetophoretic) 재료 또는 이들의 혼합 재료 중 하나로부터 형성될 수 있다.
- [0152] 상기 단계들을 통해, 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역을 제공함으로써 또는 플라스마 처리에 의해 변형되는 영역을 제공함으로써 단지 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 동작이 안정해질 수 있다. 더욱이, 박막들의 박리로 인한 손상들이 쉽게 발생되지 않는 비-선형 소자들을 포함하는 보호 회로를 포함함으로써, 안정한 동작을 갖는 매우-신뢰성 있는 표시 장치를 제조하는 것이 가능하다.

- [0153] 게다가, 제 1 산화물 반도체층이 손상되는 경우, 비-선형 소자의 전기 특징들이 또한 더 악화된다. 그러나, 실시예 5에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역은 채널 보호층에 의해 보호되기 때문에, 소스 전극 및 드레인 전극 역할을 하는 도전막의 에칭 단계에서 및 제 2 산화물 반도체층의 에칭 단계에서 제 1 산화물 반도체층이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 5의 비-선형 소자는 높은 신뢰성을 갖고, 비-선형 소자를 이용한 보호 회로를 포함하는 표시 장치는 또한 높은 신뢰성을 갖는다.
- [0154] 실시예 5는 다른 실시예들의 임의의 다른 구조와 적절하게 조합하여 구현될 수 있다.
- [0155] 실시예 6
- [0156] 박막 트랜지스터는 본 발명의 일 실시예에 따라 비-선형 소자와 함께 제조될 수 있고, 박막 트랜지스터는 디스플레이 기능을 갖는 반도체 장치(또한 표시 장치로 칭해진다)가 제조될 수 있도록, 화소부에, 더욱이 구동 회로에 이용될 수 있다. 더욱이, 본 발명의 일 실시예에 따른 박막 트랜지스터 및 비-선형 소자는 시스템-온-패널(system-on-panel)이 형성될 수 있도록, 화소부와 함께 하나의 기판 위에 형성되는 구동 회로의 일부 또는 전체 구동 회로에 이용될 수 있다.
- [0157] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(또한 액정 표시 소자로서 칭한다) 또는 발광 소자(또한 발광 표시 소자로서 칭한다)가 이용될 수 있다. 발광 소자는 자신의 범위 내에서, 전류 및 전압에 의해 휘도가 제어되는 소자를 포함하고, 특히 무기 전계 발광(inorganic electroluminescent: EL) 소자, 유기 EL 소자 등을 포함한다. 더욱이, 명암이 전자 잉크와 같은 전기 효과에 의해 변하는 표시 매체가 이용될 수 있다.
- [0158] 게다가, 표시 장치는 표시 소자가 실링(sealing)되는 패널, 및 제어기를 포함하는 IC 등이 상기 패널에 실장되는 모듈을 포함한다. 본 발명의 일 실시예는 표시 장치를 제조하기 위한 프로세스에서 표시 소자가 완성되기 전의 하나의 모드의 소자 기판과 관련되고, 소자 기판에는 복수의 화소들 각각에 있는 표시 소자에 전류를 공급하기 위한 수단이 제공된다. 특히, 소자 기판은 표시 소자의 화소 전극만이 제공된 상태, 화소 전극이 되는 도전막이 형성된 이후 및 도전막이 화소 전극을 형성하기 위해 에칭되기 전의 상태, 또는 임의의 다른 상태에 있을 수 있다.
- [0159] 본 명세서에서의 표시 장치는 이미지 표시 장치, 표시 장치, 또는 광원(조명 디바이스를 포함하는)을 칭한다. 더욱이, 표시 장치는 다음의 모듈들 중 임의의 모듈을 자신의 카테고리 내에 포함한다: 연성 인쇄 회로(flexible printed circuit: FPC), 테이프 오토메이티드 본딩(tape automated bonding : TAB) 테이프, 또는 테이프 캐리어 패키지(tape carrier package: TCP)와 같은 커넥터를 포함하는 모듈; TAB 테이프 또는 TCP를 갖고 자신의 종단에 인쇄 회로 배선 기판이 제공되는 모듈; 및 칩-온-글래스(chip-on-glass; COG) 방법에 의해 표시 소자 상에 직접 실장되는 집적 회로(IC)를 갖는 모듈.
- [0160] 본 발명의 일 실시예에 따른 표시 장치의 일 모드인 액정 표시 패널의 외관 및 단면은 도 17a1, 도 17a2, 및 17b를 참조하여 실시예 6에서 설명될 것이다. 도 17a1 및 도 17a2는 패널의 상면도이고, 패널은 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 제조될 수 있는 높은 전기 특징들을 갖는 박막 트랜지스터들(4010 및 4011) 및 액정 소자(4013)가 제 1 기판(4001) 및 제 2 기판(4006) 사이에 실링 재료(4005)로 실링된다(sealed). 도 17b는 도 17a1 및 17a2의 M-N에 따른 패널의 단면에 대응한다.
- [0161] 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 실링 재료(4005)가 제공된다. 제 2 기판(4006)은 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 그러므로, 액정층(4008)뿐만 아니라 화소부(4002) 및 주사선 구동 회로(4004)는 제 1 기판(4001) 및 제 2 기판(4006) 사이에서 실링 재료(4005)로 실링된다. 단결정 반도체 막 또는 다결정 반도체 막을 이용하여 개별적으로 준비되는 기판 위에 형성되는 신호선 구동 회로(4003)가 제 1 기판(4001) 위에서 실링 재료(4005)에 의해 둘러싸인 영역과 상이한 영역에 실장된다.
- [0162] 개별적으로 형성되는 구동 회로의 접속 방법에 대한 특정한 제한이 없고, 공지된 COG 방법, 와이어 본딩 방법, TAB 방법 등이 이용될 수 있음을 주의하라. 도 17a1은 COG 방법에 의해 신호선 구동 회로(4003)가 실장된 예를 도시하고 도 17a2는 TAB 방법에 의해 신호선 구동 회로(4003)가 실장된 예를 도시한다.
- [0163] 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동 회로(4004)의 각각은 복수의 박막 트랜지스터들을 포함한다. 도 17b는 화소부(4002) 내에 포함되는 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 도시한다. 박막 트랜지스터들(4010 및 4011) 위에는 절연층들(4020 및 4021)이 제공된



다.

- [0164] 박막 트랜지스터들(4010 및 4011)의 각각은 IN, Ga 및 Zn을 포함하는 산화물 반도체가 박막 트랜지스터의 반도체층 및 박막 트랜지스터의 소스 및 드레인 영역들에 이용되는 높은 전기 특성들을 가지고, 실시예 2 또는 실시예 3에 설명된 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 비-선형 소자와 함께 제조될 수 있다. 실시예 6에서, 박막 트랜지스터들(4010 및 4011)은 n-채널형 박막 트랜지스터들이다.
- [0165] 액정 소자(4013)에 포함되는 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 상에 형성된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 중첩하는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)은 배향막들로서 기능하는 절연층(4032) 및 절연층(4033)이 각각 제공되고, 절연층들(4032 및 4033)을 사이에 개재하여 그 사이에 액정층(4008)을 갖는다는 것을 주의하라.
- [0166] 제 1 기관(4001) 및 제 2 기관(4006)은 유리, 금속(전형적으로, 스테인리스 스틸), 세라믹 또는 플라스틱으로 형성될 수 있다는 것을 주의하라. 플라스틱으로서, 유리섬유 보강 플라스틱(fiberglass-reinforced plastics : FRP) 판, 폴리비닐플루오라이드(polyvinyl fluoride: PVF) 막, 폴리에스테르 막, 또는 아크릴계 수지막(acrylic resin film)이 사용될 수 있다. 또한, 알루미늄 포일이 PVF 막들 또는 폴리에스테르 막들 사이에 끼워 넣어지는 구조를 갖는 시트(sheet)가 사용될 수 있다.
- [0167] 화소 전극층(4030) 및 대향 전극층(4031) 사이의 거리(셀 갭(cell gap))을 제어하기 위해 선택적으로 절연막을 예칭하여 형성되는 원주형 스페이서(columnar spacer)(4035)가 제공된다. 대안으로, 구형 스페이서가 사용될 수 있다.
- [0168] 대안으로, 배향막을 갖지 않는 블루상(blue phase) 액정이 사용될 수 있다. 블루상은 콜레스테릭(cholesteric) 액정의 온도가 상승될 때 콜레스테릭 액정이 등방성 상으로 변하기 직전에 나타나는 액정 상의 하나의 유형이다. 블루상은 좁은 온도 범위 내에서만 나타나므로; 액정층(4008)은 온도 범위를 확장하기 위해 5wt.% 이상의 키랄제(chiral agent)가 혼합되는 액정 조성물을 이용하여 형성된다. 블루상 액정 및 키랄제를 포함하는 액정 조성물은 10 $\mu$ s 내지 100 $\mu$ s의 짧은 응답 시간을 갖고, 광학적으로 등방성이다; 따라서, 배향 처리가 불필요하고 시야각 의존도가 낮다.
- [0169] 실시예 6은 투과형 액정 표시 장치의 예를 설명하고 있지만; 본 발명의 일 실시예는 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에 적용될 수 있다는 것을 주의하라.
- [0170] 실시예 6의 액정 표시 장치가 기관 외부(시아측)에 제공되는 편광판 및 순서대로 배열되는, 기관 내부에 제공된 착색층 및 표시 소자의 전극층을 가질지라도, 편광판은 기관 내부에 있을 수 있다. 편광판 및 착색층의 적층된 구조는 실시예 6에 기술되는 것으로 제한되지 않고, 편광판 및 착색층의 재료들 및 제조 공정의 조건에 따라 적절하게 설정될 수 있다. 또한, 흑색 매트릭스 역할을 하는 차광막이 제공될 수 있다.
- [0171] 실시예 6에서, 박막 트랜지스터들의 표면의 불균일성(unevenness)을 감소시키고 박막 트랜지스터들의 신뢰성을 향상시키기 위해서, 실시예 2 또는 실시예 3에서 설명된 비-선형 소자 및 비-선형 소자와 함께 비-선형 소자를 제조하기 위한 방법과 유사한 방법으로 형성될 수 있는 박막 트랜지스터들은 보호막들 또는 절연막들을 평탄화하는 역할을 하는 절연층들(절연층들(4020 및 4021))로 커버된다. 보호막은 공기 중에 있는 유기 물질, 금속 물질, 습기와 같은 오염 불순물의 진입을 방지하도록 제공되므로, 고밀도막이 바람직하다는 것을 주의하라. 보호막은 산화 실리콘막, 질화 실리콘 막, 산화질화 실리콘 막, 질화산화 실리콘 막, 산화 알루미늄 막, 질화 알루미늄 막, 산화질화 알루미늄 막, 또는 질화산화 알루미늄 막의 단일층 또는 상기 층들의 적층을 이용하여 형성될 수 있다. 보호막이 실시예 6에서 스퍼터링 방법에 의해 형성될지라도, 상기 방법은 특정 방법으로 제한되지 않고 다양한 방법들로부터 선택될 수 있다.
- [0172] 여기서, 절연층(4020)은 보호막으로서 적층된 구조를 가지도록 형성된다. 여기서, 산화 실리콘막은 스퍼터링 방법에 의해 절연층(4020)의 제 1 층으로 형성된다. 보호막으로서 산화 실리콘 막을 사용함으로써 소스 전극층 및 드레인 전극층에 이용되는 알루미늄 막의 힐록(hillock)을 방지하는 유용한 효과가 제공된다.
- [0173] 또한, 절연층은 보호막의 제 2 층으로 형성된다. 여기서, 질화 실리콘 막은 스퍼터링 방법에 의해 절연층(4020)의 제 2 층으로서 형성된다. 질화 실리콘 막이 보호막에 사용될 때, 나트륨과 같은 가동 이온들이 반도체 영역에 진입하여 TFT의 전기 특성들을 변화시키는 것을 방지하는 것이 가능하다.
- [0174] 또한, 보호막이 형성된 후에, IGZO 반도체층이 어닐링(300 $^{\circ}$ C 내지 400 $^{\circ}$ C에서)될 수 있다.

- [0175] 더욱이, 절연층(4021)은 평탄화 절연막으로 형성된다. 절연층(4021)은 폴리이미드(polyimide), 아크릴, 벤조시클로부텐(benzocyclobutene), 폴리아미드(polyamide) 또는 에폭시(epoxy)와 같은 내열성을 갖는 유기 재료로부터 형성될 수 있다. 그와 같은 유기 재료들에 대한 대안으로서, 저 유전율 재료(낮은 k 재료), 실록산계(siloxane-based) 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것이 가능하다. 실록산계 수지는 치환기로서 수소 외에 불소(fluorine), 알킬기(alkyl group), 및 아릴기(aryl group) 중 적어도 하나를 포함할 수 있다. 절연층(4021)은 이 재료들로 형성되는 복수의 절연막들을 적층함으로써 형성될 수 있다는 것을 주의하라.
- [0176] 실록산계 수지는 출발 재료(starting material)로서 실록산계 재료로부터 형성되고 Si-O-Si의 결합을 갖는 수지라는 것을 주의하라. 실록산계 수지는 치환기로서 수소 외에, 불소, 알킬기, 및 방향족 탄화수소(aromatic hydrocarbon) 중 적어도 하나를 포함할 수 있다.
- [0177] 절연층(4021)의 형성을 위한 방법은 특정 방법으로 제한되지 않고 다음의 방법이 절연층(4021)의 재료에 따라 사용될 수 있다: 스퍼터링 방법, SOG 방법, 스핀 코팅(spin coating), 딥 코팅(dip coating), 스프레이 코팅(spray coating), 액적 토출법(droplet discharge method)(예를 들어, 잉크젯 방법, 스크린 인쇄, 또는 오프셋 인쇄), 닥터 나이프(doctor knife), 롤 코터(roll coater), 커튼 코터(curtain coater), 나이프 코터(knife coater) 등. 재료 용액(material liquid)을 이용하여 절연층(4021)을 형성하는 경우, 베이킹(baking) 단계와 동시에 IGZO 반도체층상에서 어닐링(300℃ 내지 400℃)이 수행될 수 있다. 절연층(4021)의 베이킹 및 IGZO 반도체층의 어닐링이 동시에 수행될 때, 반도체 장치가 효과적으로 제조될 수 있다.
- [0178] 화소 전극층(4030) 및 대향 전극층(4031)은 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물(이후에는 ITO로 칭한다), 산화 인듐 아연, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등과 같은 투광성 도전 재료로 형성될 수 있다.
- [0179] 도전성 고분자(또는 도전성 폴리머라고도 함)를 함유하는 도전성 조성물은 화소 전극층(4030) 및 대향 전극층(4031)에 사용될 수 있다. 도전성 조성물로 형성되는 화소 전극은 바람직하게는 10000  $\Omega/\text{square}$  이하의 시트 저항 및 550nm의 파장에서 70% 이상의 투과율을 갖는다. 또한, 도전성 조성물에 함유되는 도전성 고분자의 저항률은 바람직하게는 0.1 $\Omega \cdot \text{cm}$  이하이다.
- [0180] 도전성 고분자로서, 소위  $\pi$ -전자 공액계 도전성 폴리머가 사용될 수 있다. 그 예들로서, 폴리아닐린(polyaniline) 또는 그 유도체, 폴리피롤(Polypyrrole) 또는 그 유도체, 폴리티오펜(polythiophene) 또는 그 유도체, 그들의 2 종류들 이상의 공중합체(copolymer) 등이 주어질 수 있다.
- [0181] 또한, 별도로 형성되는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 및 화소부(4002)에 공급되는 다양한 신호들 및 전위들이 FPC(4018)로부터 공급될 수 있다.
- [0182] 실시예 6에서, 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 사용하여 접속 단자 전극(4015)이 형성된다. 박막 트랜지스터들(4010 및 4011)에 포함된 소스 및 드레인 전극층들과 동일한 도전막을 사용하여 단자 전극(4016)이 형성된다.
- [0183] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)의 단자에 전기적으로 접속된다.
- [0184] 도 17a1, 도 17a2, 및 도 17b는 신호선 구동 회로(4003)가 별도로 형성되어 제 1 기판(4001) 상에 실장되는 예를 도시하고 있지만, 실시예 6은 이 구조로 제한되지 않는다. 주사선 구동 회로는 별도로 형성되고나서 실장될 수 있거나, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별개로 형성되고나서 실장될 수 있다.
- [0185] 도 18은 본 발명의 일 실시예에 따라 제조되는 TFT 기판(2600)을 이용하여 반도체 장치로 액정 표시 모듈을 형성하는 일례를 도시한다.
- [0186] 도 18은 액정 표시 모듈의 예를 도시하고, 여기서 TFT 기판(2600) 및 대향 기판(2601)은 실링 재료(2602)에 의해 서로 고정되고, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 기판들 사이에 제공되어 표시 영역을 형성한다. 착색층(2605)은 컬러 디스플레이를 수행하는데 필요하다. RGB 시스템의 경우, 레드, 그린 및 블루의 색들에 대응하는 각각의 착색층들이 각각의 화소들에 제공된다. 편광판들(polarizing plates)(2606 및 2607) 및 확산판(diffuser plate)(2613)이 TFT 기판(2600) 및 대향 기판(2601) 외부에 제공된다. 광원은 냉 음극관(cold cathode tube)(2610) 및 반사판(reflective plate)(2611)을

포함하고, 회로 기관(2612)은 플렉시블 배선 기관(2609)을 통해 TFT 기관(2600)의 배선 회로부(2608)에 접속되고 제어 회로 및 전원 회로와 같은 외부 회로를 포함한다. 편광판 및 액정층은 사이에 위상차판(retardation plate)을 두고 적층될 수 있다.

[0187] 액정 표시 모듈의 경우, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등이 사용될 수 있다.

[0188] 상기 단계들을 통해, 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 전기 전도도가 높은 제 2 산화물 반도체층과 접합되는 영역을 제공함으로써 단지 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 동작이 안정해질 수 있다. 또한, 박막들의 박리로 인한 결함들이 쉽게 발생되지 않는 비-선형 소자들을 포함하는 보호 회로를 포함함으로써, 안정한 동작을 갖는 매우-신뢰성 있는 액정 표시 패널을 제조하는 것이 가능하다.

[0189] 또한, 제 1 산화물 반도체층이 손상되는 경우, 비-선형 소자의 전기 특징들이 또한 악화된다. 그러나, 실시예 6에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역은 채널 보호층에 의해 보호되기 때문에, 소스 전극 및 드레인 전극 역할을 하는 도전막의 에칭 단계에서 그리고 제 2 산화물 반도체층의 에칭 단계에서 제 1 산화물 반도체층이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 6의 비-선형 소자는 높은 신뢰성을 갖고, 비-선형 소자를 이용한 보호 회로를 포함하는 액정 표시 장치는 또한 높은 신뢰성을 갖는다.

[0190] 실시예 6은 다른 실시예들의 임의의 다른 구조와 결합하여 적절하게 구현될 수 있다.

[0191] 실시예 7

[0192] 본 발명의 일 실시예에 따라 비-선형 소자와 함께 박막 트랜지스터가 형성되고, 표시 기능을 갖는 반도체 장치(또한 표시 장치로 칭한다)는 화소부 및 구동 회로에서 박막 트랜지스터를 이용함으로써 제조될 수 있다.

[0193] 실시예 7은 본 발명의 일 실시예에 따른 표시 장치로서 발광 표시 장치의 예를 설명한다. 표시 장치의 표시 소자의 예로서, 여기서 전계 발광(electroluminescence)을 이용하는 발광 소자가 사용된다. 전계 발광을 이용하는 발광 소자들은 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자로 칭하고, 후자는 무기 EL 소자로 칭한다.

[0194] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극들로부터 발광성 유기 화합물을 함유하는 층으로 전자들 및 정공들이 각기 주입되어 전류가 흐른다. 그리고나서, 상기 캐리어들(즉, 전자들 및 정공들)이 재결합되어, 발광성 유기 화합물이 여기(exited)된다. 발광성 유기 화합물이 여기 상태에서 기저 상태(ground state)로 복귀할 때, 발광된다. 이러한 메커니즘에 의해, 이러한 발광 소자는 전류 여기형 발광 소자로 칭해진다.

[0195] 무기 EL 소자들은 그들의 소자 구조들에 따라 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더(binder)에서 확산되는 발광층을 갖고, 이의 발광 메커니즘은 도너 준위(donor level) 및 억셉터 준위(acceptor level)를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전체 층들 사이에 개재되고, 그것이 전극들 사이에 더 개재되는 구조를 갖고, 이의 발광 메커니즘은 금속 이온들의 내부-셸(inner-shell) 전자 전이를 이용한 국제형 발광이다. 유기 EL 소자는 실시예 7에서 발광 소자로 사용된다는 것을 주의하라.

[0196] 도 19는 본 발명의 일 실시예에 따른 반도체 장치의 예로서, 디지털 시간 계조 구동이 적용될 수 있는 화소 구조의 예를 도시한다.

[0197] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구조 및 동작이 기술되어 있다. 실시예 7에서, 하나의 화소는 각각의 채널 형성 영역이 IGZO 반도체층을 포함하고, 실시예 2에 도시된 비-선형 소자와 함께 유사한 방법으로 형성될 수 있는 두 개의 n-채널형 트랜지스터들을 포함한다.

[0198] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404), 및 용량 소자(6403)를 포함한다. 스위칭용 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제 2 전극

(소스 전극 및 드레인 전극 중 다른 하나)은 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 대응한다.

[0199] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저전력 공급 전위로 설정된다. 저전원 전위는 전원선(6407)에 설정된 고전원 전위가 기준일 때 저전원 전위 < 고전원 전위를 만족시키는 전위이다. 예를 들어, 저전원 전위로서, 접지, 0V 등이 이용될 수 있다. 고전원 전위 및 저전원 전위 사이의 전위차는 발광 소자(6404)에 인가되어 전류가 발광 소자(6404)에 공급됨으로써 발광 소자(6404)가 발광한다. 여기서, 발광 소자(6404)로 하여금 발광 하도록 하기 위해, 각각의 전위는 고전원 전위 및 저전원 전위 사이의 전위차가 순방향 임계 전압보다 크거나 같도록 설정된다.

[0200] 구동용 트랜지스터(6402)의 게이트 용량은 용량 소자(6403)에 대한 대체물로서 이용될 수 있어, 용량 소자(6403)가 생략될 수 있다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 형성 영역 및 게이트 전극 사이에 형성될 수 있다.

[0201] 전압-입력 전압 구동 방법의 경우, 비디오 신호는 구동용 트랜지스터(6402)의 게이트에 입력되어 구동용 트랜지스터(6402)가 충분히 턴온되고 턴오프된 2개의 상태들 중 하나의 상태가 되도록 한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)가 선형 영역에서 동작하므로, 전원선(6407)의 전압보다 높은 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. (전원선의 전압 + 구동용 트랜지스터(6402)의  $V_{th}$ ) 이상인 전압이 신호선(6405)에 인가되는 것을 주의하라.

[0202] 디지털 시간 계조 구동 대신 아날로그 계조 구동을 수행하는 경우, 신호 입력을 변화시킴으로써 도 19에 도시된 것과 동일한 화소 구조가 사용될 수 있다.

[0203] 아날로그 계조 구동을 수행하는 경우, (발광 소자(6404)의 순방향 전압(forward voltage) + 구동용 트랜지스터(6402)의  $V_{th}$ ) 이상인 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 발광 소자(6404)의 순방향 전압은 소망의 휘도가 획득되는 전압을 나타내고, 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호가 입력되어, 발광 소자(6404)에 전류가 공급될 수 있다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 하기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호가 사용될 때, 비디오 신호에 따라 전류를 발광 소자(6404)에 공급하고 아날로그 계조 구동을 수행하는 것이 가능하다.

[0204] 도 19에 도시되는 화소 구조는 이로 제한되지 않는다. 예를 들어, 스위치, 저항 소자, 용량 소자, 트랜지스터, 또는 논리 회로 등이 도 19에 도시된 화소에 추가될 수 있다.

[0205] 다음, 발광 소자의 구조들이 도 20a 내지 20c를 참조하여 설명된다. 여기에서, n-채널형 구동용 TFT를 예로 들어, 화소의 단면 구조가 설명된다. 도 20a 내지 도 20c에 도시된 반도체 장치에 이용되는 구동용 TFT들 역할을 하는 TFT들(7001, 7011, 7021)은 실시예 2에 설명된 비-선형 소자와 함께 비선형 소자를 제조하기 위한 방법과 유사한 방법으로 형성될 수 있다. TFT들(7001, 7011, 7021)은 높은 전기 특성을 갖고, In, Ga 및 Zn을 포함하는 산화물 반도체가 반도체층 및 소스 영역 및 드레인 영역에 이용된다.

[0206] 또한, 발광 소자로부터 발산되는 광을 추출하기 위해, 애노드 및 캐소드 중 적어도 하나는 광이 투과하도록 투명해야 한다. 박막 트랜지스터 및 발광 소자는 기판 위에 형성된다. 발광 소자는, 기판의 반대인 표면을 통해 발광이 추출되는 상면-방출 구조; 기판측 상의 표면을 통해 발광이 추출되는 하면-방출 구조; 또는 기판에 반대인 표면 및 기판측 상의 표면을 통해 발광이 추출되는 양면-방출 구조를 가질 수 있다. 본 발명의 일 실시예에 따른 화소 구조는 이 방출 구조들 중 임의의 구조를 갖는 발광 소자에 적용될 수 있다.

[0207] 상면-방출 구조를 갖는 발광 소자가 도 20a를 참조하여 설명된다.

[0208] 도 20a는 구동용 TFT 역할을 하는 TFT(7001)가 n-채널형 TFT이고 발광 소자(7002)에서 발생하는 광이 애노드(7005) 측으로 방사되는 경우의 화소의 단면도이다. 도 20a에서, 발광 소자(7002)의 캐소드(7003)는 구동용 TFT 역할을 하는 TFT(7001)에 전기적으로 접속되고, 캐소드(7003) 위에 발광층(7004), 애노드(7005)가 이 순서로 적층된다. 캐소드(7003)는 자신이 낮은 일 함수(work function)를 갖고 광을 반사한다면, 다양한 도전성 재료들 중 임의의 재료를 사용하여 형성될 수 있다. 예를 들어, 바람직하게 Ca, Al, CaF, MaAg, AlLi 등이 사용된다. 발광층(7004)이 단일 층을 이용하여 또는 복수의 층들을 적층함으로써 형성될 수 있다. 발광층(7004)이 복수의 층들을 사용하여 형성될 때, 발광층은 전자-주입층, 전자-수송층, 발광층, 홀-수송층 및 홀-주입층을 캐소드



(7003) 위에 이 순서로 적층함으로써 형성된다. 이들 층들 모두를 형성할 필요는 없다. 애노드(7005)는 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 주석 인듐 산화물(이하, ITO로 칭한다), 인듐 아연 산화물, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물의 막과 같은 투광성 도전막을 사용하여 형성된다.

[0209] 발광 소자(7002)는 캐소드(7003) 및 애노드(7005)의 사이에 발광층(7004)이 개재되어 있는 영역에 대응한다. 도 20a에 도시된 화소의 경우, 광은 도 20a의 화살표에 의해 표시되는 바와 같이, 발광 소자(7002)로부터 애노드(7005)로 방출된다.

[0210] 다음, 하면-방출 구조를 갖는 발광 소자가 도 20b를 참조하여 설명된다. 도 20b는 구동용 TFT(7011)가 n-채널형이고 광이 발광 소자(7012)로부터 캐소드(7013) 측으로 방출되는 경우에서의 화소의 단면도이다. 도 20b에서, 발광 소자(7012)의 캐소드(7013)는 구동용 TFT(7011)에 전기적으로 접속되는 투광성 도전막(7017) 위에 형성되고, 캐소드(7013) 위에 발광층(7014) 및 애노드(7015) 순서로 적층된다. 애노드(7015)가 투광성을 가질 때, 광을 반사하거나 차단하기 위한 차광막(7016)은 애노드(7015)를 커버하기 위해 형성될 수 있다. 캐소드(7013)의 경우, 캐소드(7013)가 낮은 일 함수를 갖는 도전막이라면, 도 20a의 경우에서처럼 다양한 재료들이 사용될 수 있다. 캐소드(7013)가 광을 투과할 수 있는 두께(바람직하게는, 약 5nm부터 30nm까지)를 가지도록 형성되는 것을 주의하라. 예를 들어, 20nm의 두께를 갖는 알루미늄막이 캐소드(7013)로서 사용될 수 있다. 발광층(7014)은 도 20a의 경우에서처럼 단일 층으로 또는 복수의 층들을 적층함으로써 형성될 수 있다. 애노드(7015)는 광을 투과시킬 필요는 없지만, 도 20a의 경우에서처럼 투광성의 도전성 재료를 이용하여 형성될 수 있다. 차광막(7016)의 경우, 광을 반사하는 금속 등이 사용될 수 있지만; 이는 금속막으로 제한되는 것은 아니다. 예를 들어, 흑색 안료가 첨가되는 수지 등이 사용될 수 있다.

[0211] 발광 소자(7012)는 캐소드(7013) 및 애노드(7015)의 사이에 발광층(7014)이 개재되어 있는 영역에 대응된다. 도 20b에 도시된 화소의 경우, 광은 도 20b의 화살표에 의해 표시되는 바와 같이, 발광 소자(7012)로부터 캐소드(7013)측으로 방출된다.

[0212] 다음에, 양면-방출 구조를 갖는 발광 소자가 도 20c를 참조하여 설명된다. 도 20c에서, 발광 소자(7022)의 캐소드(7023)는 구동용 TFT(7021)에 전기적으로 접속되는 투광성 도전막(7027) 위에 형성되고, 캐소드(7023) 위에 발광층(7024) 및 애노드(7025)는 순서대로 적층된다. 도 20a의 경우에서처럼, 캐소드(7023)는 도전성이고 낮은 일 함수를 갖는다면, 다양한 도전성 재료들 중 임의의 재료로 형성될 수 있다. 캐소드(7023)는 광을 투과시킬 수 있는 그러한 두께를 가지도록 형성되는 것을 주의하라. 예를 들어, 20nm의 두께를 갖는 Al 막은 캐소드(7023)로서 이용될 수 있다. 발광층(7024)은 도 20a의 경우에서처럼 단일 층으로 또는 복수의 층들을 적층함으로써 형성될 수 있다. 도 20a와 유사한 방식으로, 애노드(7025)는 투광성 도전성 재료를 이용하여 형성될 수 있다.

[0213] 발광 소자(7022)는 캐소드(7023), 발광층(7024), 및 애노드(7025)가 서로 중첩되는 영역에 대응된다. 도 20c에 도시된 화소의 경우, 광은 도 20c의 화살표에 의해 표시되는 바와 같이, 발광 소자(7022)로부터 애노드(7025)측 및 캐소드(7023)측 양측으로 방출된다.

[0214] 여기서는, 유기 EL 소자가 발광 소자로 설명되었지만, 대안적으로 무기 EL 소자가 발광 소자로서 제공될 수 있다.

[0215] 실시예 7은 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되는 예를 도시하지만, 구동용 TFT 및 발광 소자 사이에 전류 제어용 TFT가 접속되는 구조가 사용될 수 있음을 주의하라.

[0216] 도 7에 설명된 반도체 장치는 도 20a 내지 도 20c에 도시된 구조로 제한되지 않고, 본 발명에 따른 기술들의 정신에 기초하여 다양한 방식으로 수정될 수 있다.

[0217] 다음으로, 본 발명에 따른 반도체 장치의 하나의 모드에 대응하는 발광 표시 패널(또한 발광 패널로 칭한다)의 외관 및 단면이 도 21a 및 21b를 참조하여 설명될 것이다. 도 21a는 본 발명의 일 실시예에 따른 비-선형 소자를 제조하기 위한 방법과 유사한 방법에 의해 In, Ga 및 Zn을 포함하는 산화물 반도체가 자신의 반도체층 및 자신의 소스 및 드레인 영역들에 이용되는 높은 전기적 특성들을 갖는 박막 트랜지스터 및 발광 소자가 제 1 기판 및 제 2 기판 사이에서 실링 재료(sealing material)에 의해 실링되는 패널의 상면도이고, 도 21b는 도 21a의 H-I에 따른 단면도이다.

[0218] 제 1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동회로들(4503a 및 4503b), 및 주사선 구동 회로들

(4504a 및 4504b)을 둘러싸도록 실링 재료(4505)가 제공된다. 또한, 제 2 기관(4506)은 화소부(4052), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b) 위에 형성된다. 따라서, 화소부(4052), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 제 1 기관(4501), 실링 재료(4505), 및 제 2 기관(4506)에 의해, 충전재(4507)와 함께 실링된다. 이 방식으로, (부착막 또는 자외선 경화형 수지막과 같은) 보호막 또는 공기 기밀성이 높아서 가스 제거가 거의 되지 않는 커버 재료를 사용하는 패키징(실링)은 바람직하게는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)이 외부 공기에 노출되지 않도록 행해진다.

- [0219] 제 1 기관 위에 형성되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 각각 복수의 박막 트랜지스터들을 포함하고, 화소부(4502)에 포함되는 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)는 도 21b에 예로서 도시된다.
- [0220] 박막 트랜지스터들(4509 및 4510) 각각은 In, Ga, 및 Zn을 포함하는 산화물 반도체가 자신의 반도체층 및 자신의 소스 및 드레인 영역들에 이용되는 높은 전기적 특성들을 가지고, 실시예 2에 도시된 비-선형 소자와 함께 비-선형 소자를 제조하기 위한 방법과 유사한 방법으로 제조될 수 있다. 실시예 7에서, 박막 트랜지스터(4509 및 4510)는 n-채널형 박막 트랜지스터들이다.
- [0221] 또한, 참조 번호(4511)는 발광 소자를 나타낸다. 발광 소자(4511) 내에 포함되는 화소 전극인 제 1 발광층(4517)은 박막 트랜지스터(4510)의 소스 및 드레인 전극층들에 전기적으로 접속된다. 발광 소자(4511)가 제 1 전극층(4517), 전계 발광층(4512) 및 제 2 전극층(4513)의 적층된 구조를 갖지만, 발광 소자(4511)의 구조는 실시예 7에 기술되는 구조로 제한되지 않는다는 것을 주의하라. 발광 소자(4511)의 구조는 발광 소자(4511) 등으로부터 광이 추출되는 방향에 따라 적절하게 변화될 수 있다.
- [0222] 유기 수지막, 무기 절연막, 또는 유기 폴리실록산(polysiloxane)을 사용하여 격벽(4520)이 형성된다. 특히 바람직하게는, 격벽(4520)은 감광성 재료를 이용하여 제 1 전극층(4517) 위에 개구부를 형성하여 개구부의 측벽이 연속하는 곡률(curvature)을 갖는 경사면으로 되도록 형성된다.
- [0223] 전계 발광층(4512)은 단일 층 또는 적층된 복수의 층들을 이용하여 형성될 수 있다.
- [0224] 산소, 수소, 습기, 이산화탄소 등이 발광 소자(4511)로의 진입을 방지하기 위해서, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막이 형성될 수 있다. 보호막으로써, 질화 실리콘 막, 산화 질화 실리콘 막, DLC(diamond like carbon) 막 등이 형성될 수 있다.
- [0225] 또한, 다양한 신호들 및 전위들이 FPC들(4518a 및 4518b)로부터 신호선 구동 회로들(4503a 및 4503b), 주사선 구동 회로들(4504a 및 4505b) 또는 화소부(4502)에 공급될 수 있다.
- [0226] 실시예 7에서, 발광 소자(4511)에 포함되는 제 1 전극층(4517)과 동일한 도전막을 사용하여 접속 단자 전극(4515)이 형성된다. 박막 트랜지스터들(4509 및 4510)에 포함되는 소스 및 드레인 전극층들과 동일한 도전막을 사용하여 단자 전극(4516)이 형성된다.
- [0227] 접속 단자 전극(4515)은 FPC(4518a)에 포함되는 단자에 이방성 도전막(4519)을 통해 전기적으로 접속된다.
- [0228] 광이 발광 소자(4511)로부터 추출되는 방향으로 위치되는 제 2 기관(4506)은 투광성을 가져야 한다. 이 경우에, 유리판, 플라스틱판, 폴리에스테르 막, 또는 아크릴 막과 같은 투광성 재료가 사용된다.
- [0229] 충전재(4507)로써, 질소 또는 아르곤과 같은 불활성 기체 외에 자외선 경화 수지 및 열경화성 수지가 사용될 수 있다. 예를 들어, 폴리비닐 염화물(polyvinyl chloride: PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, 폴리비닐 부티랄(polyvinyl butyral: PVB) 또는 에틸렌 비닐 아세테이트(ethylene vinyl acetate: EVA)가 사용될 수 있다. 실시예 7에서, 질소는 충전재(4507)로 사용된다.
- [0230] 또한, 필요하다면, 편광판, (타원 편광판을 포함한) 원형 편광판, 복합 위상차판(retarder plate)( $\lambda/4$ 판,  $\lambda/2$ 판), 및 컬러 필터와 같은, 광학막들이 발광 소자의 방출면에 적절히 제공될 수 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막(anti-reflection film)이 제공될 수 있다. 예를 들어, 표면의 오목부/돌출부에 의해 반사광이 확산되어 눈부심이 감소될 수 있는 눈부심 방지(anti-glare) 처리가 수행될 수 있다.
- [0231] 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)로서, 별도로 준비되는 기관 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성되는 구동 회로들이 실장될 수 있다. 또한, 신호선 구동 회로만 또는 이들의 일부만, 또는 주사선 구동 회로만 또는 이들의 일부만 별도로 형성되어 실장될 수 있다. 실



시에 7은 도 21a 및 도 21b에 도시된 구조로 제한되지 않는다.

- [0232] 상기 단계들을 통해, 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역을 제공함으로써 또는 플라스마 처리에 의해 변형되는 영역을 제공함으로써, 단지 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 동작이 안정해질 수 있다. 또한, 박막들의 박리로 인한 결함들이 쉽게 발생되지 않는 비-선형 소자들을 포함하는 보호 회로를 포함함으로써, 안정한 동작을 갖는 매우-신뢰성 있는 발광 표시 장치(표시 패널)를 제조하는 것이 가능하다.
- [0233] 또한, 제 1 산화물 반도체층이 손상되는 경우, 비-선형 소자의 전기 특징들이 또한 더 악화된다. 그러나, 실시예 7에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역은 채널 보호층에 의해 보호되기 때문에, 소스 전극 및 드레인 전극 역할을 하는 도전막의 에칭 단계에서 그리고 제 2 산화물 반도체층의 에칭 단계에서 제 1 산화물 반도체층이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 보호층에 의해 채널 형성 영역이 보호되는 실시예 7의 비-선형 소자는 높은 신뢰성을 갖고, 또한 비-선형 소자를 이용한 보호 회로를 포함하는 표시 장치도 또한 높은 신뢰성을 갖는다.
- [0234] 실시예 7은 다른 실시예들의 임의의 다른 구조와 결합하여 적절하게 구현될 수 있다.
- [0235] 실시예 8
- [0236] 본 발명의 일 실시예에 따른 표시 장치는 전자 종이(electronic paper)로서 적용될 수 있다. 전자 종이는 정보를 표시하기 위한 모든 분야의 전자기기를 위해 이용될 수 있다. 예를 들어, 전자 종이는 전자 책(e-book), 포스터들, 열차들과 같은 차량들에서의 광고, 신용카드와 같은 다양한 카드들에서의 디스플레이 등에 사용될 수 있다. 그와 같은 전자기기들의 예들이 도 22a, 도 22b, 및 도 23에 도시된다.
- [0237] 도 22a는 전자 종이를 이용하여 형성되는 포스터(2631)를 도시한다. 광고 매체가 인쇄 종이인 경우, 광고는 인력에 의해 교체된다; 그러나 본 발명의 일 실시예에 따른 전자 종이가 사용되면, 광고 디스플레이가 단시간에 변경될 수 있다. 또한, 디스플레이 왜곡 없이 안정된 이미지가 획득될 수 있다. 또한, 포스터는 무선으로 정보를 송신하고 수신할 수 있다.
- [0238] 도 22b는 기차와 같은 운송수단 내에서 광고(2632)를 도시한다. 광고 매체가 인쇄 종이인 경우, 광고는 인력에 의해 교체된다; 그러나 본 발명의 일 실시예에 따른 전자 종이가 사용되면, 광고 디스플레이는 많은 인력 없이 단시간에 변경될 수 있다. 또한, 디스플레이 왜곡 없이 안정된 이미지가 획득될 수 있다. 더욱이, 운송수단들 내에서의 광고는 무선으로 정보를 송신하고 수신할 수 있다.
- [0239] 도 23은 전자 책 장치(2700)의 예를 도시한다. 예를 들어, 전자 책 장치(2700)는 두 개의 하우징들(housings)(2701 및 2703)을 포함한다. 하우징들(2701 및 2703)은 축 부(2711)에 의해 서로 결합되고, 축 부(2711)에 따라 전자 책 디바이스(2700)가 개폐된다. 이러한 구조에 의해, 종이 책과 같은 동작이 달성된다.
- [0240] 표시부(2705)는 하우징(2701)에 통합되고 표시부(2707)는 하우징(2703)에 통합된다. 표시부(2705) 및 표시부(2707)는 하나의 이미지를 디스플레이하거나 상이한 이미지들을 디스플레이할 수 있다. 표시부들이 서로 상이한 이미지들을 디스플레이하는 구조에서, 예를 들어, 우측 표시부(도 23에서의 표시부(2705))는 텍스트를 디스플레이할 수 있고 좌측 표시부(도 23에서의 표시부(2707))는 이미지들을 디스플레이할 수 있다.
- [0241] 도 23은 하우징(2701)에 조작부 등이 제공되는 예를 도시한다. 예를 들어, 하우징(2701)에는 전원(2721), 조작키(2723), 스피커(2725) 등이 제공된다. 페이지는 조작키(2723)로 넘길 수 있다. 키보드, 포인팅 디바이스 등이 하우징의 표시부와 동일한 평면상에 제공될 수 있음을 주의하라. 또한, 하우징의 후면 또는 측면에는 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 또는 USB 케이블과 같은 다양한 케이블들과 접속될 수 있는 단자 등), 저장 매체 삽입부 등이 제공될 수 있다. 또한, 전자 책 장치(2700)는 전자 사전의 기능을 가질 수 있다.
- [0242] 또한, 전자 책 장치(2700)는 무선으로 정보를 송신하고 수신할 수 있다. 원하는 책 데이터 등은 전자 책 서버로부터 무선으로 구매되고 다운로드될 수 있다.
- [0243] 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 전기 전도도가 높은 제 2 산화물 반도체층과 접합되는 영역을 제공함으로써 또는 플라스마 처리에 의해 변형되는 영역을 제공함으로써 단지 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 동작이 안정해질 수 있다. 또한, 박막들의 박리로 인한 결함들이 쉽게 발생되지 않는 비-선형 소자를 포함하는 보호 회로를 포함함으로써, 안정한 동작을 갖는 매우-신뢰성 있는 전자 종이 장치를 제조하는 것이

가능하다.

- [0244] 또한, 제 1 산화물 반도체층이 손상되는 경우, 비-선형 소자의 전기 특징들이 또한 더 악화된다. 그러나, 실시예 8에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역은 채널 보호층에 의해 보호되기에, 소스 전극 및 드레인 전극의 역할을 하는 도전막의 에칭 단계 및 제 2 산화물 반도체층의 에칭 단계에서 제 1 산화물 반도체층이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 8의 비-선형 소자는 높은 신뢰성을 갖고, 또한 비-선형 소자를 이용한 보호 회로를 포함하는 전자 종이도 또한 높은 신뢰성을 갖는다.
- [0245] 실시예 8은 적절하게 다른 실시예들의 임의의 구조와 결합하여 구현될 수 있다.
- [0246] 실시예 9
- [0247] 본 발명에 따른 일 실시예에 따른 반도체 장치는 (게임기들을 포함하는) 다양한 전자 장치들에 적용될 수 있다. 전자 장치들로서, 예를 들어 텔레비전 장치(또한 TV 또는 텔레비전 수신기로 칭해진다), 컴퓨터 등의 모니터, 디지털 카메라와 같은 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 모바일 전화(또한 모바일 전화 또는 휴대 전화 장치로 칭해진다), 휴대용 게임기, 휴대 정보 단말, 오디오 재생 디바이스, 콕칭코 머신과 같은 큰 게임기가 있다.
- [0248] 도 24a는 텔레비전 장치(9600)의 예를 도시한다. 표시부(9603)는 텔레비전 장치(9600)의 하우징(9601)에 통합된다. 표시부(9603)는 화상들을 표시할 수 있다. 여기서 하우징(9601)은 스탠드(9605)에 의해 지지된다.
- [0249] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치 또는 별도의 리모트 컨트롤러(9610)에 의해 조작될 수 있다. 채널 및 볼륨은 리모트 컨트롤러(9610)의 조작키들(9609)에 의해 제어될 수 있고 표시부(9603)에 표시되는 이미지들은 제어될 수 있다. 또한, 리모트 컨트롤러(9610)는 리모트 컨트롤러(9610)로부터 출력하는 정보가 표시되는 표시부(9607)를 가질 수 있다.
- [0250] 텔레비전 장치(9600)에는 수신기, 모뎀 등이 제공되는 것을 주의하라. 수신기를 사용함으로써, 일반적인 텔레비전 방송이 수신될 수 있다. 또한, 표시 장치가 모뎀을 통해 유선으로 또는 무선으로 통신 네트워크에 접속될 때, 단방향(송신기로부터 수신기로) 또는 양방향(송신기 및 수신기 사이 또는 수신기들 사이의) 정보 통신이 수행될 수 있다.
- [0251] 도 24b는 디지털 포토 프레임(9700)의 예를 도시한다. 예를 들어, 표시부(9703)는 디지털 포토 프레임(9700)의 하우징(9701)에 통합된다. 표시부(9703)는 다양한 이미지들을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영될 수 있는 이미지 데이터를 표시하는 것으로, 디지털 포토 프레임은 일반 영상 프레임과 유사한 방식으로 기능을 할 수 있다.
- [0252] 디지털 포토 프레임(9700)에는 조작부, (USB단자 또는 USB 케이블을 포함하는 다양한 케이블들에 접속될 수 있는 단자와 같은) 외부 접속 단자, 저장 매체 삽입부 등이 제공된다는 것을 주의하라. 이들 구조들은 표시부와 동일한 평면에 통합될 수 있다: 그러나, 이들은 설계가 개선되기 때문에 표시부의 측면 또는 후면에 제공되는 것이 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라로 촬영된 이미지의 데이터를 저장한 메모리가 삽입되고, 이에 의해 이미지 데이터는 디지털 포토 프레임(9700)으로 전송되고 표시부(9703)상에서 표시될 수 있다.
- [0253] 디지털 포토 프레임(9700)은 무선으로 데이터를 송신하고 수신할 수 있다. 원하는 이미지 데이터가 표시될 디지털 포토 프레임(9700)으로 무선으로 전송되는 구조가 채용될 수 있다.
- [0254] 도 25a는 개폐될 수 있도록 커넥터(9893)에 결합된 하우징(9881) 및 하우징(9891)을 포함하는 휴대용 게임기를 도시한다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 통합된다. 도 25a에 도시된 휴대용 게임기는 추가적으로 스피커 부(9884), 저장 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키들(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자력, 온도, 화학 물질, 사운드, 시간, 경도, 전기장, 전류, 전압, 전력, 방사, 흐름율, 습도, 경사각, 진동, 향, 또는 적외선을 측정하는 기능을 포함함), 마이크폰(9889) 등을 포함함)을 포함한다. 물론, 휴대용 게임기의 구조는 상술된 것으로 제한되지 않고, 본 발명의 일 실시예에 따른 반도체 장치가 제공되는 어떠한 구조일 수 있다. 또한, 다른 부속품이 적절하게 제공될 수 있다. 도 25a에 도시된 휴대용 게임기는 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 표시부 상에 표시하는 기능 및 다른 휴대용 게임기와 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 도 25a에 도시된 휴대용 게임기는 상술한 것 외에도 다양한 기능들을 가질 수 있다.

- [0255] 도 25b는 대형 게임기인 슬롯 머신(9900)의 예를 도시한다. 표시부(9903)는 슬롯 머신(9900)의 하우징(9901)에 통합된다. 슬롯 머신(9900)은 시작 레버 또는 정지 스위치와 같은 조작 수단, 코인 슬롯, 스피커 등을 추가로 포함한다. 물론, 슬롯 머신(9900)의 구조는 상기로 제한되지 않고, 본 발명의 일 실시예에 따른 적어도 하나의 반도체 장치가 제공되는 한 임의의 구조일 수 있다. 또한, 다른 부속물이 적절하게 제공될 수 있다.
- [0256] 도 26은 모바일 전화(1000)의 예를 도시한다. 모바일 전화(1000)는 표시부(1002)가 통합되어 있는 하우징(1001)을 포함하고, 또한 동작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크로폰(1006), 등을 포함한다.
- [0257] 손가락 등으로 표시부(1002)를 터치함으로써 도 26에 도시된 모바일 전화(1000)에 정보가 입력될 수 있다. 또한, 전화를 걸거나 문자 메시지를 보내는 것이 손가락 등으로 표시부(1002)를 터치함으로써 수행될 수 있다.
- [0258] 표시부(1002)의 주요한 세 스크린 모드들이 존재한다. 제 1 모드는 주로 이미지를 표시하기 위한 표시 모드이다. 제 2 모드는 주로 문자와 같은 정보를 입력하기 위한 모드이다. 제 3 모드는 표시 모드 및 입력 모드의 두 모드들이 혼합된 표시-및 입력 모드이다.
- [0259] 예를 들어, 전화를 걸거나 메시지를 보내는 경우, 표시부(1002)는 문자 입력이 주로 수행되는 문자 입력 모드로 설정되고, 문자 입력 동작은 스크린상에서 수행될 수 있다. 이 경우, 표시부(1002)의 거의 전체의 스크린상에 키보드 또는 숫자 버튼들을 표시하는 것이 바람직하다.
- [0260] 자이로스코프(gyroscope) 또는 가속도 센서와 같은 경사를 검출하기 위한 센서를 포함하는 검출 장치가 모바일 전화(1000) 내에 제공될 때, 표시부(1002)의 스크린 내의 디스플레이는 모바일 전화(1000)의 방향을 판정함으로써(모바일 전화(1000)가 랜드스케이프(landscape) 모드 또는 포트레이트(portrait) 모드에 대해 수평으로 또는 수직으로 배치됨) 자동으로 전환될 수 있다.
- [0261] 또한, 스크린 모드들은 표시부(1002)를 터치하거나 또는 하우징(1001)의 조작 버튼(1003)을 조작시킴으로써 전환된다. 대안적으로, 스크린 모드들은 표시부(1002)에 표시되는 이미지들의 종류들에 따라 전환될 수 있다. 예를 들어, 표시부에 표시되는 이미지에 대한 신호가 동영상들의 데이터일 때, 스크린 모드는 표시 모드로 전환된다. 신호가 문자 데이터라면, 스크린 모드는 입력 모드로 전환된다.
- [0262] 또한, 입력 모드에서, 표시부(1002)에서 광 센서에 의해 검출된 신호가 검출되고 특정한 기간 동안 표시부(1002)를 터치함으로써 입력이 수행되지 않는다면, 스크린 모드는 입력 모드로부터 표시 모드로 전환되도록 제어될 수 있다.
- [0263] 표시부(1002)는 또한 이미지 센서로 기능을 할 수 있다. 예를 들어, 손 또는 손가락으로 표시부(1002)를 터치함으로써 손금, 지문 등의 이미지가 촬상됨으로써, 이로 인해 개인 인증이 수행될 수 있다. 또한, 표시부에 근적외선 광을 방출하는 백라이트(backlight) 또는 근적외선 광을 방출하는 센서용 광원이 제공될 때, 손가락 정맥, 손바닥 정맥 등이 이미지 또는 데이터가 취해질 수 있다.
- [0264] 비-선형 소자의 제 1 산화물 반도체층 및 배선층들 사이의 접속 구조에서, 제 1 산화물 반도체층보다 높은 전기 전도도를 갖는 제 2 산화물 반도체층과 접합되는 영역을 제공함으로써 또는 플라즈마 처리에 의해 변경되는 영역을 제공함으로써 단지 금속 배선들만을 이용하는 경우에 비해 안정된 동작이 가능하다. 따라서, 보호 회로의 기능이 강화되고 동작이 안정해질 수 있다. 또한, 박막들의 박리로 인한 결함들이 쉽게 발생되지 않는 비-선형 소자들을 포함하는 보호 회로를 포함함으로써, 안정한 동작을 갖는 매우-신뢰성 있는 전자기기를 제조하는 것이 가능하다.
- [0265] 게다가, 제 1 산화물 반도체층이 손상되는 경우, 비-선형 소자의 전기 특징들이 또한 더 악화된다. 그러나, 실시예 9에서의 비-선형 소자의 제 1 산화물 반도체층에서의 채널 형성 영역은 채널 보호층에 의해 보호되기 때문에, 소스 전극 및 드레인 전극 역할을 하는 도전막의 에칭 단계에서 및 제 2 산화물 반도체층의 에칭 단계에서 제 1 산화물 반도체층이 손상될 가능성이 존재하지 않는다. 그러므로, 채널 형성 영역이 채널 보호층에 의해 보호되는 실시예 9의 비-선형 소자는 높은 신뢰성을 갖고, 또한 비-선형 소자를 사용한 보호 회로를 포함하는 전자기기는 또한 높은 신뢰성을 갖는다.
- [0266] 실시예 9는 다른 실시예들의 임의의 다른 구조와 결합하여 적절하게 구현될 수 있다.
- [0267] 본 출원은 일본 특허청에 2008년 9월 19일에 출원되고, 그의 전체 내용이 본원에 참조로써 통합되어 있는 일본 특허 출원 일련 제 2008-241743 호에 기초한다.

**부호의 설명**

[0268]

10 : 기관	11 : 단자
12 : 단자	13 : 주사선
14 : 신호선	16 : 게이트 전극
17 : 화소부	18 : 화소
19 : 화소 트랜지스터	20 : 저장 용량부
21 : 화소 전극	22 : 용량선
23 : 공통 단자	24 : 보호 회로
25 : 보호 회로	26 : 보호 회로
27 : 용량 버스선	28 : 공통 배선
29 : 공통 배선	30 : 비선형 소자
30a : 비선형 소자	30b : 비선형 소자
31 : 비선형 소자	31a : 비선형 소자
31b : 비선형 소자	38 : 배선층
39 : 배선층	100 : 기관
101 : 게이트 전극	102 : 게이트 절연층
103 : 산화물 반도체층	104 : 산화물 반도체층
104a : 산화물 반도체층	104b : 산화물 반도체층
105a : 도전층	105b : 도전층
107 : 보호 절연막	108 : 주사선
110 : 배선층	111 : 산화물 반도체층
125 : 콘택트 홀	128 : 콘택트 홀
131 : 레지스트 마스크	132 : 도전막
133 : 채널 보호층	135 : 절연층
136 : 절연층	170a : 비선형 소자
170b : 비선형 소자	270a : 비선형 소자
581 : 박막 트랜지스터	585 : 절연층
587 : 전극층	588 : 전극층
589 : 구형 입자	590a : 흑색 영역
590b : 백색 영역	594 : 캐비티
595 : 충전재	730a : 비선형 소자
730b : 비선형 소자	730c : 비선형 소자
1000 : 이동 전하	1001 : 하우징
1002 : 디스플레이부	1003 : 조작 버튼
1004 : 외부 접속 포트	1005 : 스피커

1006 : 마이크	2600 : TFT 기판
2601 : 대향 기판	2602 : 실란트
2603 : 화소부	2604 : 표시 소자
2605 : 착색층	2606 : 편광판
2607 : 편광판	2608 : 배선 회로부
2609 : 플렉시블 배선 기판	2610 : 냉 캐소드관
2611 : 반사판	2612 : 회로 기판
2613 : 확산판	2631 : 포스터
2632 : 운송수단 내 광고	2700 : 전자 서적 장치
2701 : 하우징	2703 : 하우징
2705 : 디스플레이부	2707 : 디스플레이부
2711 : 축부	2721 : 전원
2723 : 조작키	2725 : 스피커
4001 : 기판	4002 : 화소부
4003 : 신호선 구동 회로	4004 : 주사선 구동 회로
4005 : 실란트	4006 : 기판
4008 : 액정층	4010 : 박막 트랜지스터
4011 : 박막 트랜지스터	4013 : 액정 소자
4015 : 접속 단자 전극	4016 : 단자 전극
4018 : FPC	4019 : 이방성 도전막
4020 : 절연층	4021 : 절연층
4030 : 화소 전극층	4031 : 대향 전극층
4032 : 절연층	4501 : 기판
4502 : 화소부	4503a : 신호선 구동 회로
4504a : 주사선 구동 회로	4505 : 셀재
4506 : 기판	4507 : 충전재
4509 : 박막 트랜지스터	4510 : 박막 트랜지스터
4511 : 발광 소자	4512 : 전계발광층
4513 : 전극층	4515 : 접속 단자 전극
4516 : 단자 전극	4517 : 전극층
4518a : FPC	4519 : 이방성 도전막
4520 : 격벽	5300 : 기판
5301 : 화소부	5302 : 주사선 구동 회로
5303 : 신호선 구동 회로	5400 : 기판
5401 : 화소부	5402 : 주사선 구동 회로
5403 : 신호선 구동 회로	5404 : 주사선 구동 회로

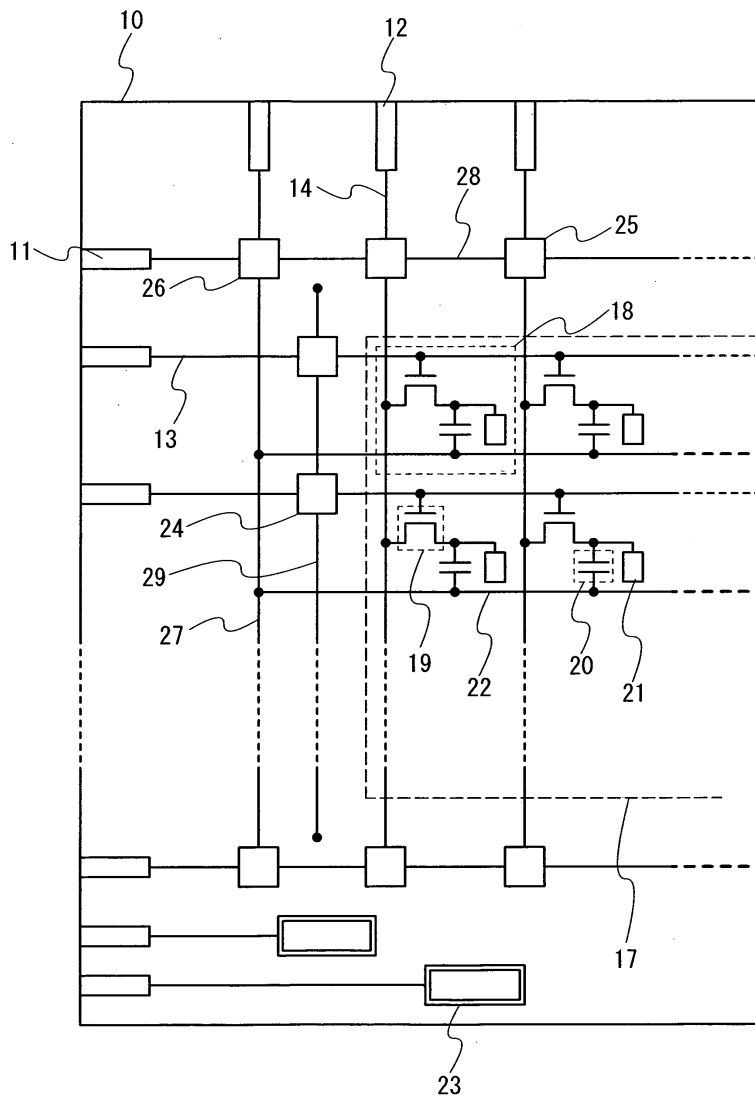
5501 : 배선	5502 : 배선
5501 : 배선	5504 : 배선
5505 : 배선	5506 : 배선
5543 : 노드	5544 : 노드
5571 : 박막 트랜지스터	5572 : 박막 트랜지스터
5573 : 박막 트랜지스터	5574 : 박막 트랜지스터
5575 : 박막 트랜지스터	5576 : 박막 트랜지스터
5577 : 박막 트랜지스터	5578 : 박막 트랜지스터
5601 : 구동 IC	5602 : 스위치군
5603a : 박막 트랜지스터	5603b : 박막 트랜지스터
5603c : 박막 트랜지스터	5611 : 배선
5612 : 배선	5613 : 배선
5621 : 배선	5701 : 플립-플롭
5703a : 타이밍	5703b : 타이밍
5703c : 타이밍	5711 : 배선
5712 : 배선	5713 : 배선
5714 : 배선	5715 : 배선
5716 : 배선	5717 : 배선
5721 : 신호	5803a : 타이밍
5803b : 타이밍	5803c : 타이밍
5711 : 배선	5712 : 배선
5713 : 배선	5714 : 배선
5715 : 배선	5716 : 배선
5717 : 배선	5721 : 신호
5803a : 타이밍	5803b : 타이밍
5803c : 타이밍	5821 : 신호
6400 : 화소	6401 : 스위칭용 트랜지스터
6402 : 구동용 트랜지스터	6403 : 용량 소자
6404 : 발광 소자	6405 : 신호선
6406 : 주사선	6407 : 전원선
6408 : 공통 전극	7001 : TFT
7002 : 발광 소자	7003 : 캐소드
7004 : 발광층	7005 : 애노드
7011 : 구동용 TFT	7012 : 발광 소자
7013 : 캐소드	7014 : 발광층
7015 : 애노드	7016 : 차광막



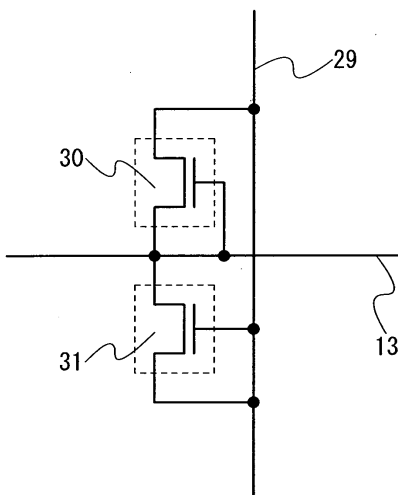
7017 : 도전막	7021 : 구동용 TFT
7022 : 발광 소자	7023 : 캐소드
7024 : 발광층	7025 : 애노드
7027 : 도전막	9600 : 텔레비전 장치
9601 : 하우징	9603 : 표시부
9605 : 스탠드	9607 : 표시부
9609 : 조작키	9610 : 리모트 컨트롤러
9700 : 디지털 포토 프레임	9701 : 하우징
9703 : 표시부	9881 : 하우징
9882 : 표시부	9883 : 표시부
9884 : 스피커부	9885 : 입력 수단(조작키)
9886 : 저장 매체 삽입부	9887 : 접속 단자
9888 : 센서	9889 : 마이크로폰
9890 : LED 램프	9891 : 하우징
9893 : 접속부	9900 : 슬롯 머신
9901 : 하우징	9903 : 표시부

도면

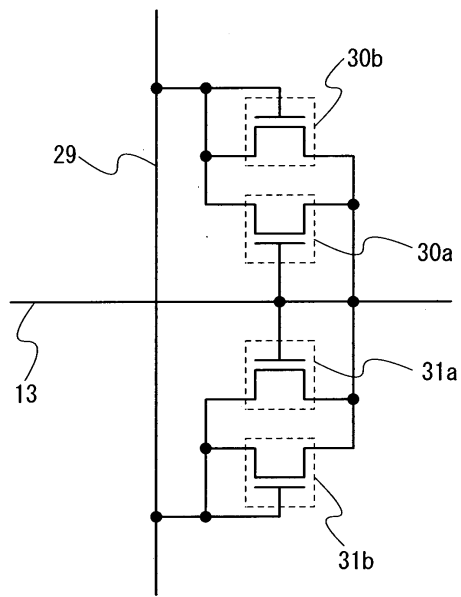
도면1



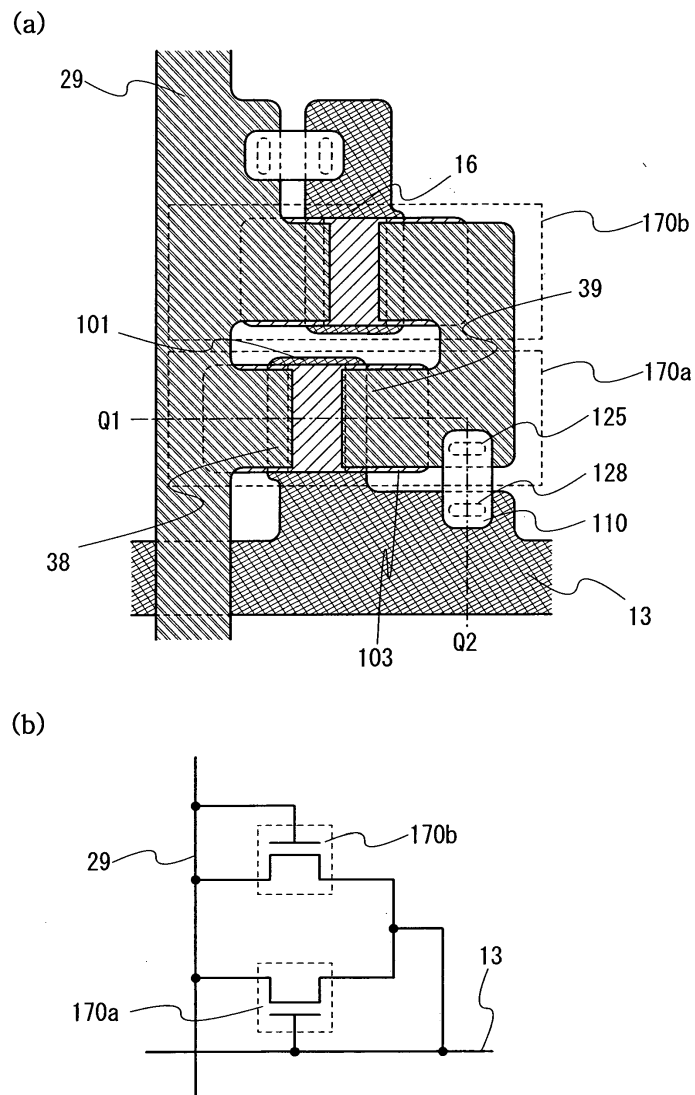
도면2



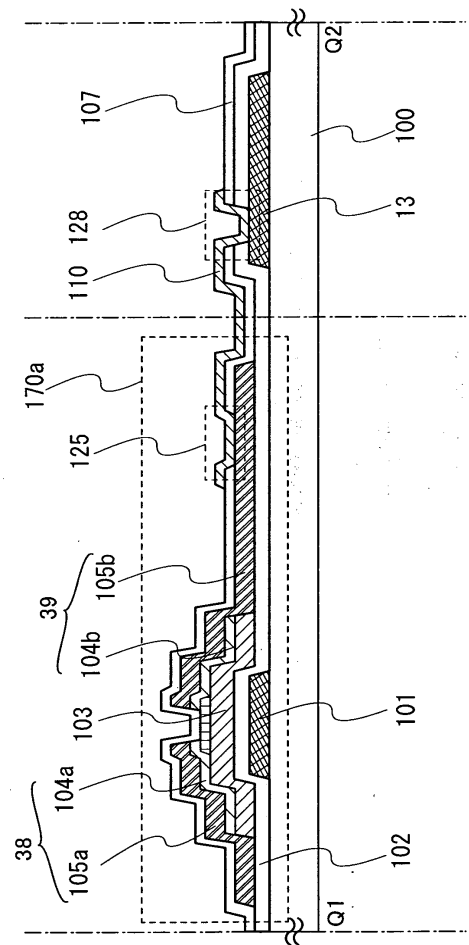
도면3



도면4

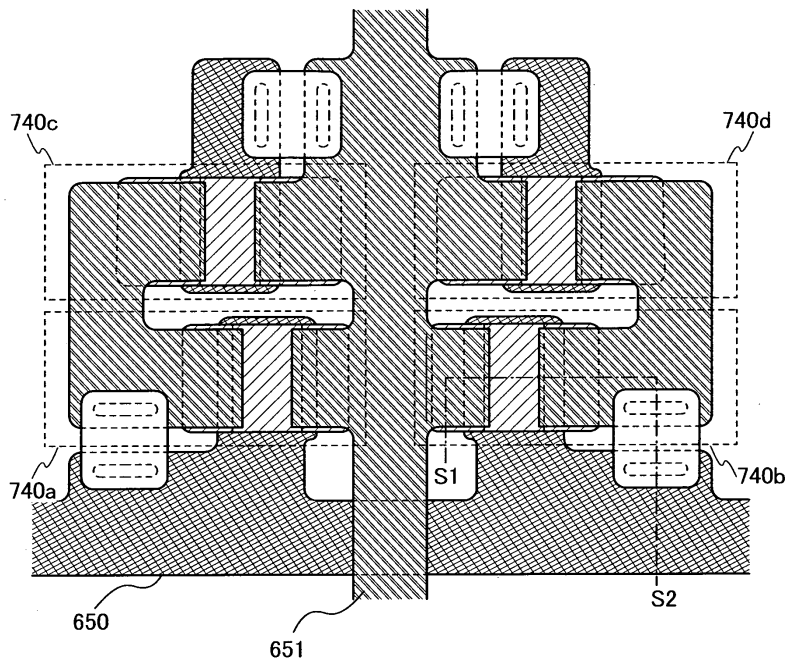


도면5

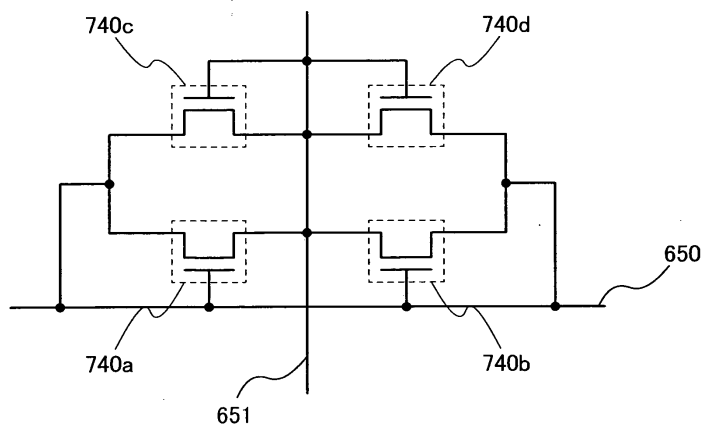


도면6

(a)



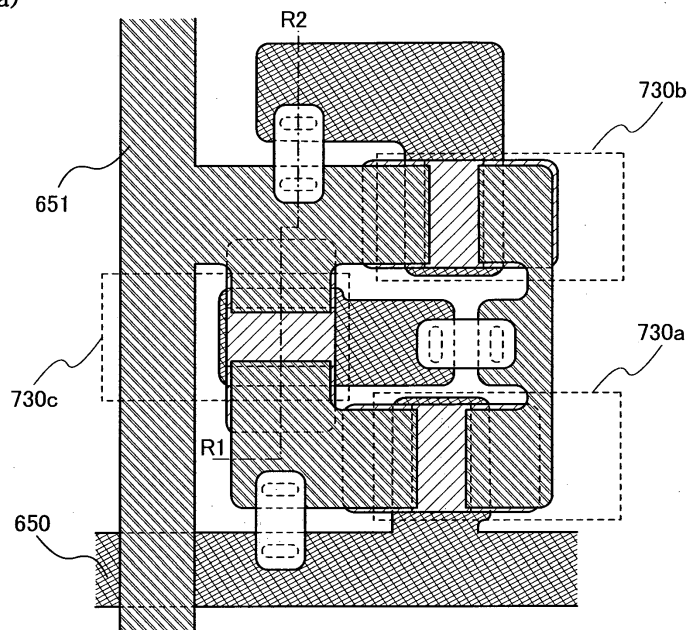
(b)



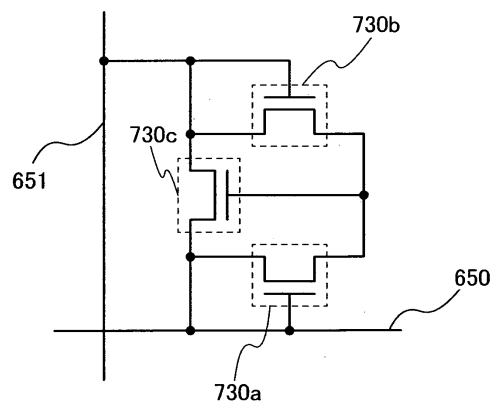


도면7

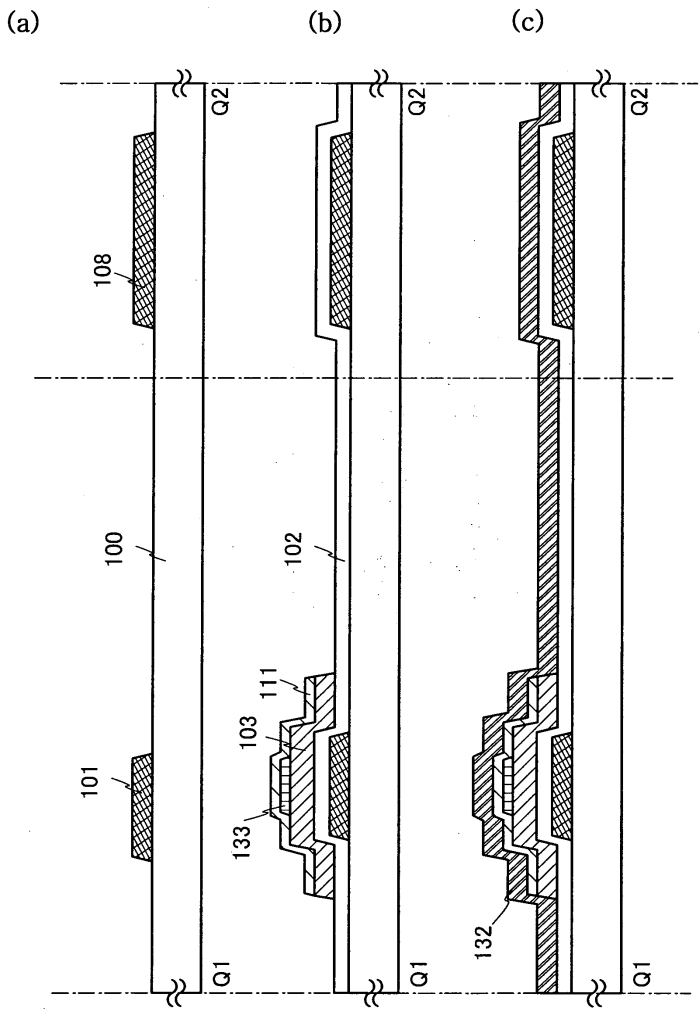
(a)



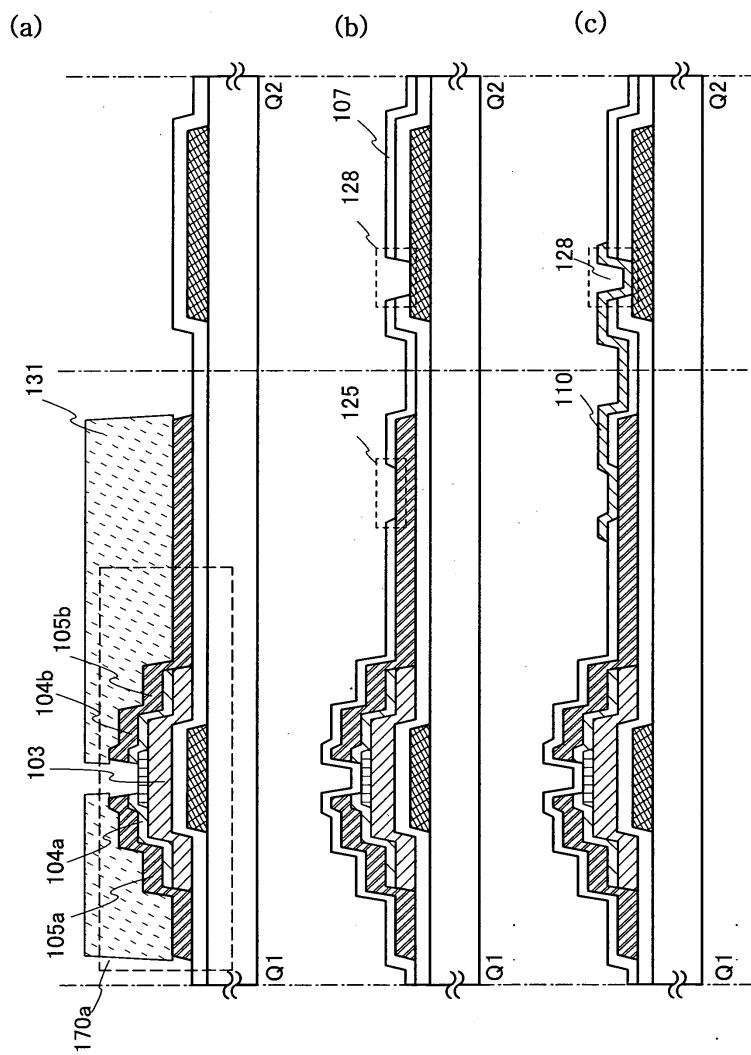
(b)



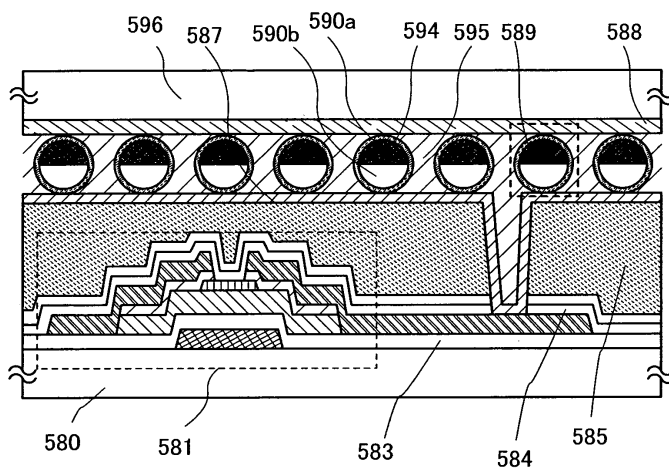
도면8



도면9

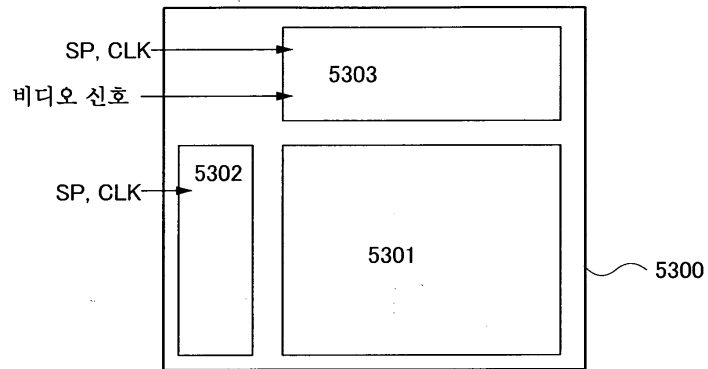


도면10

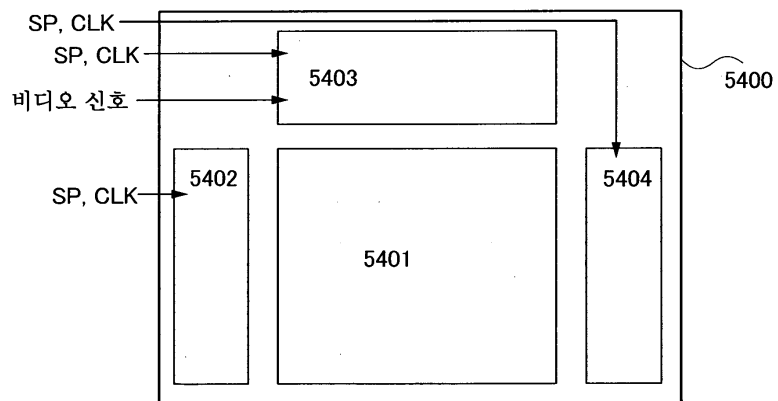


도면11

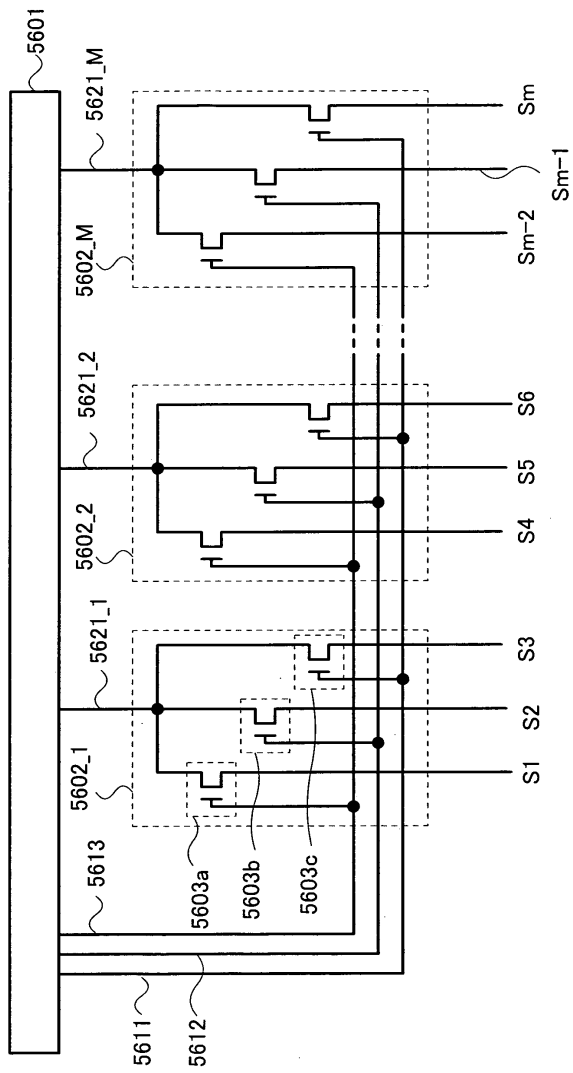
(a)



(b)

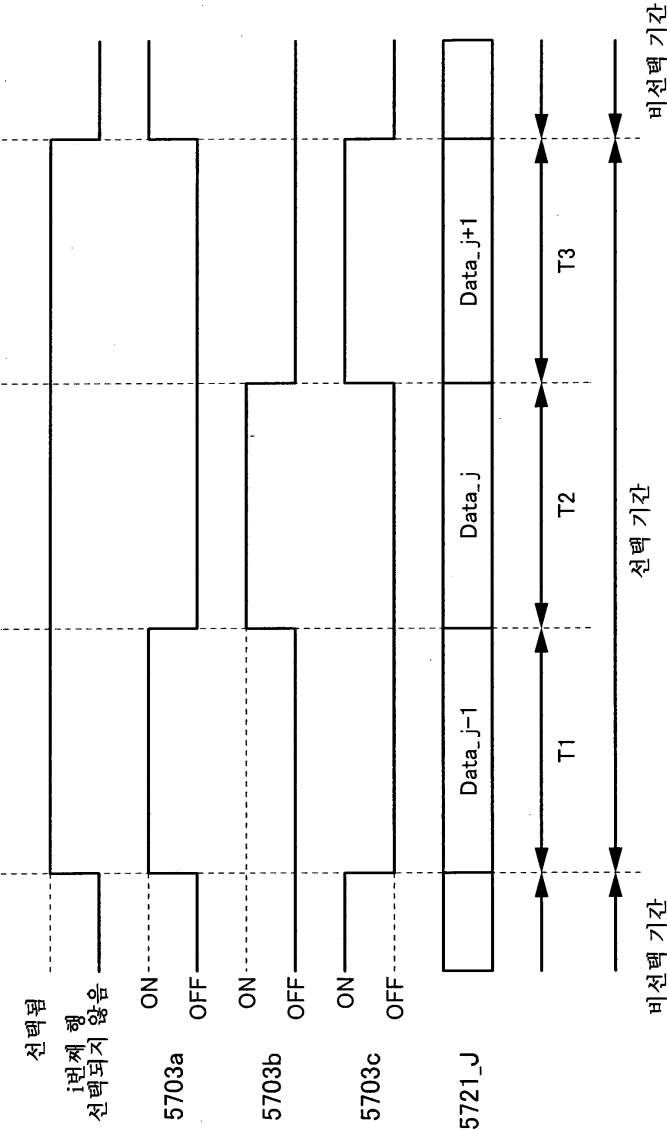


도면12

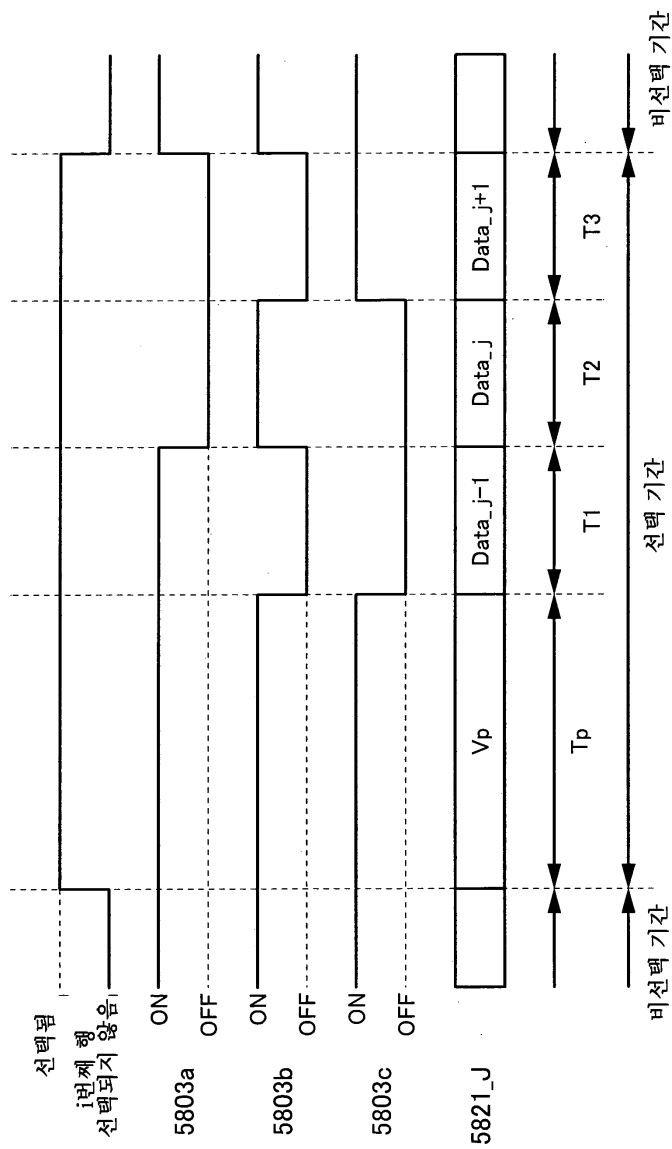




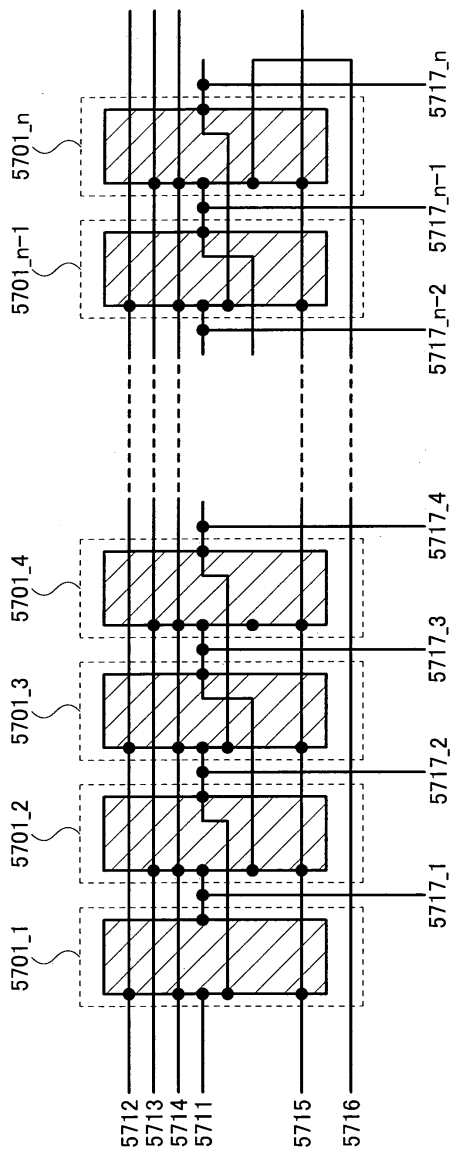
도면13



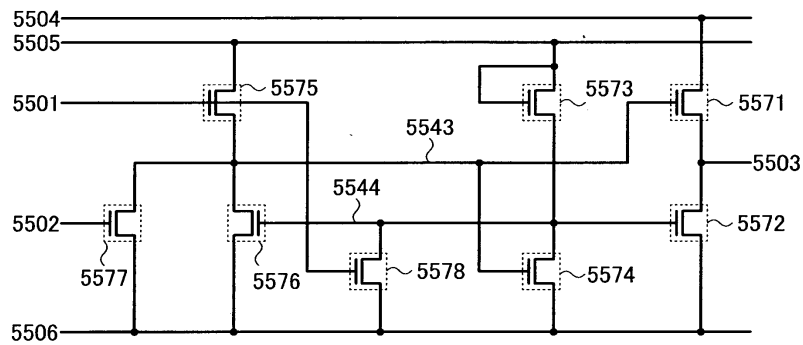
도면14



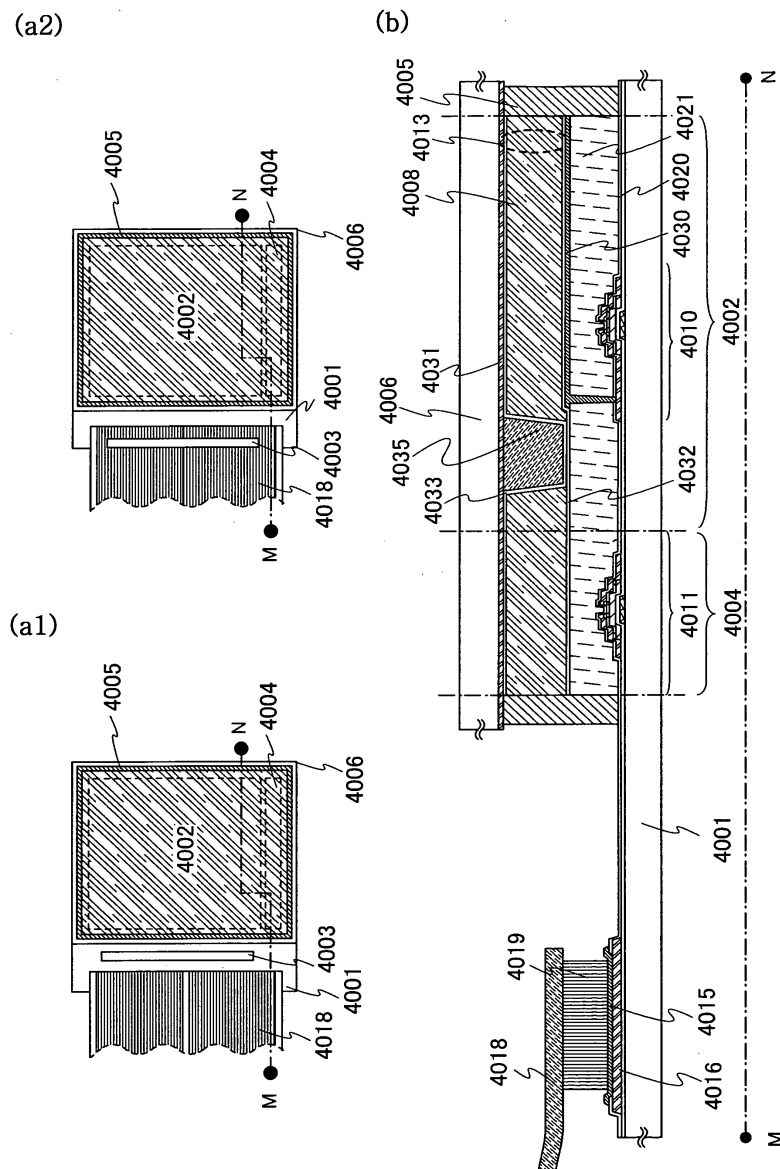
도면15



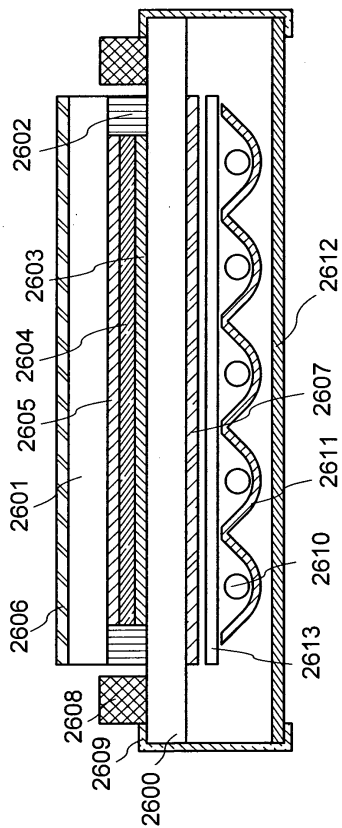
도면16



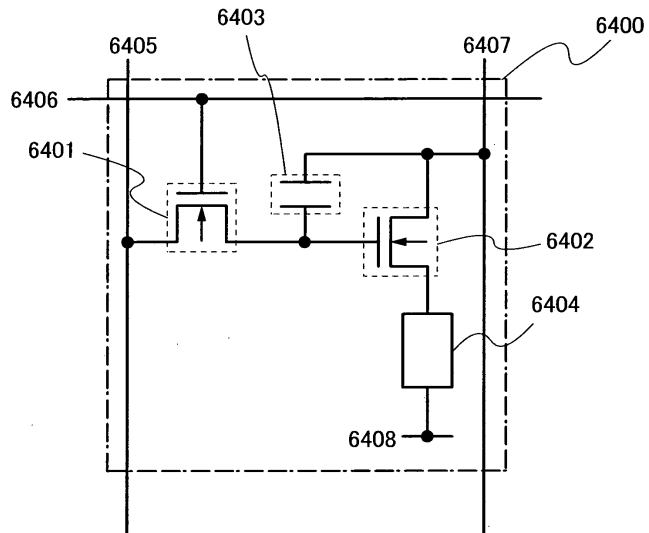
도면17



도면18

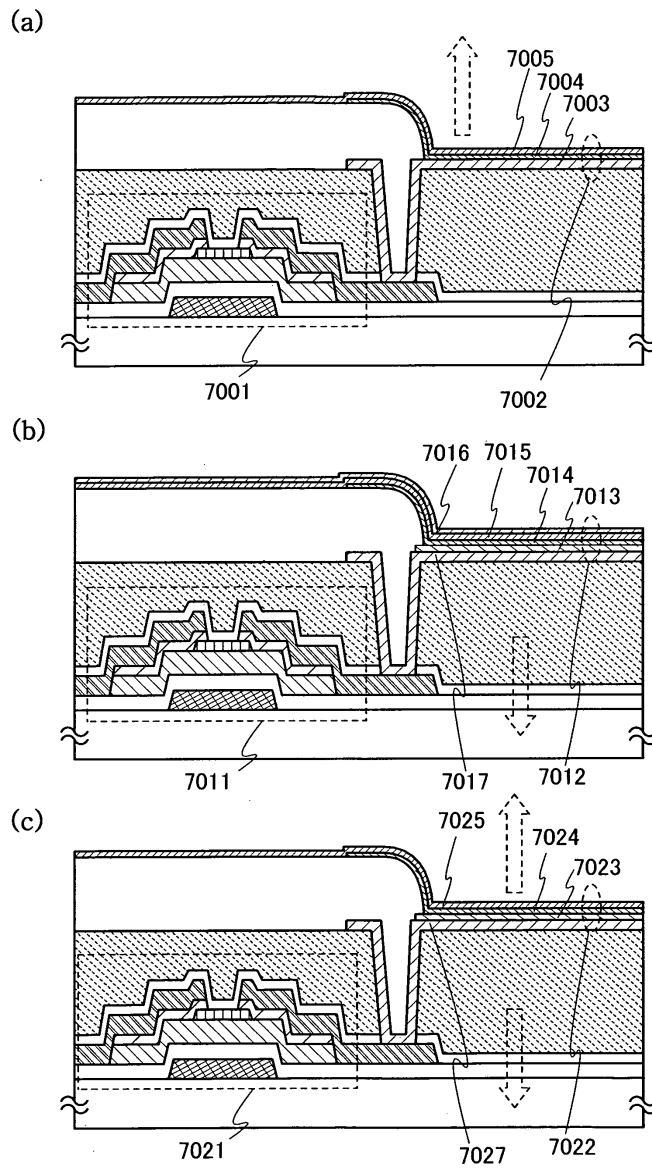


도면19

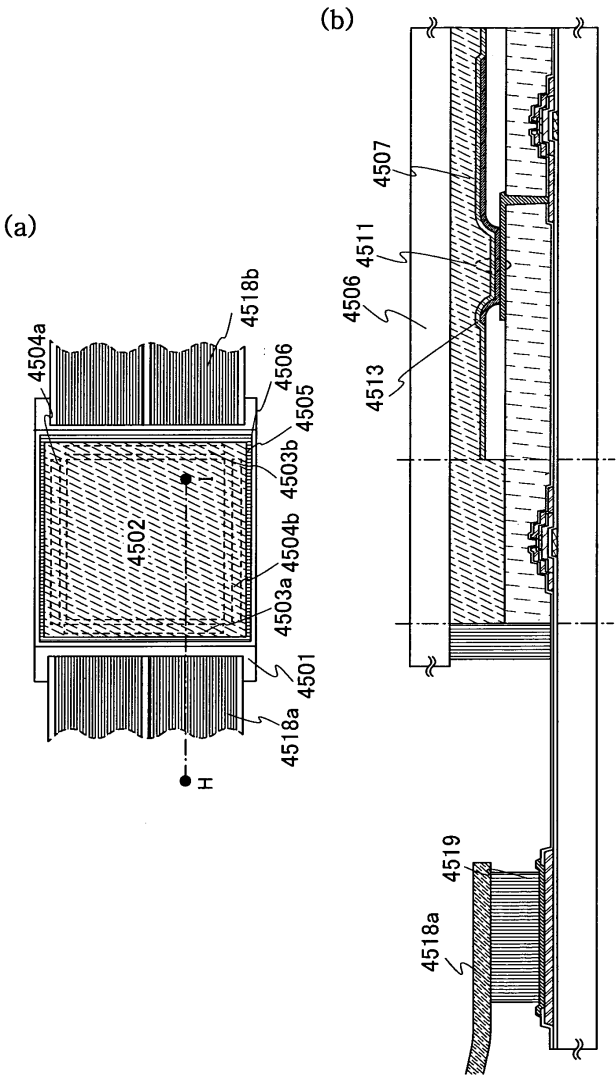




도면20

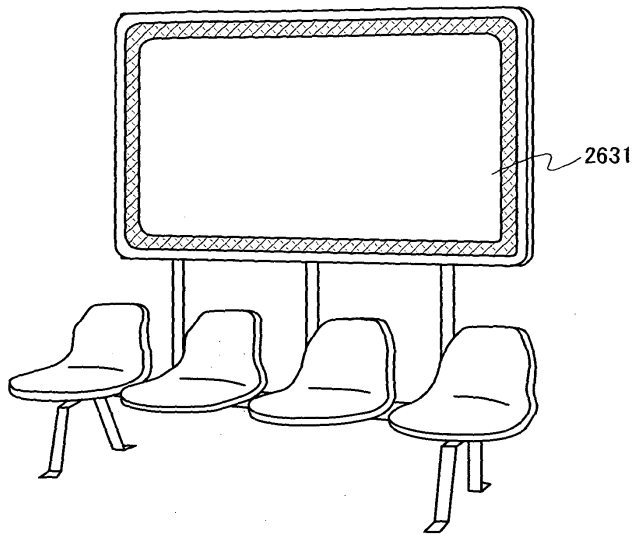


도면21

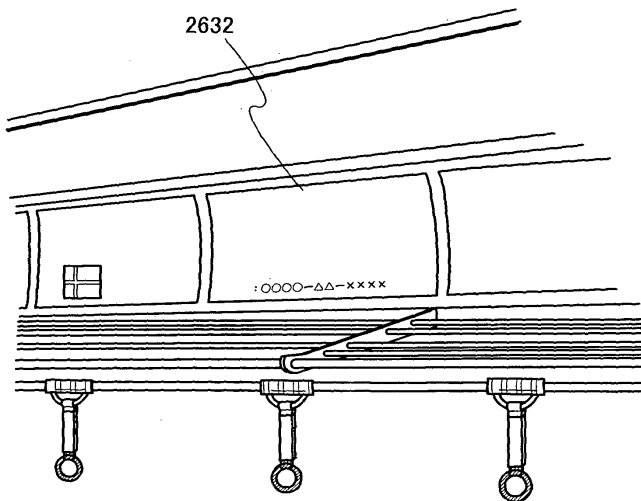


도면22

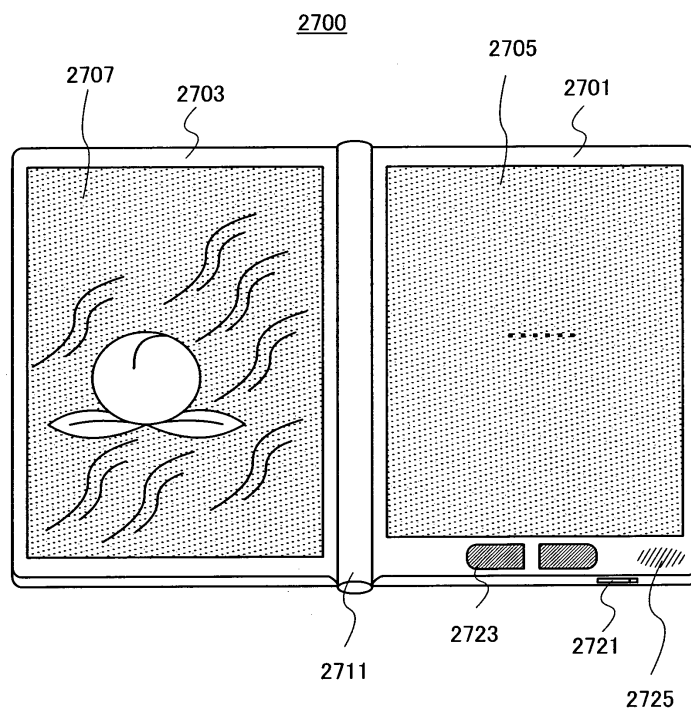
(a)



(b)

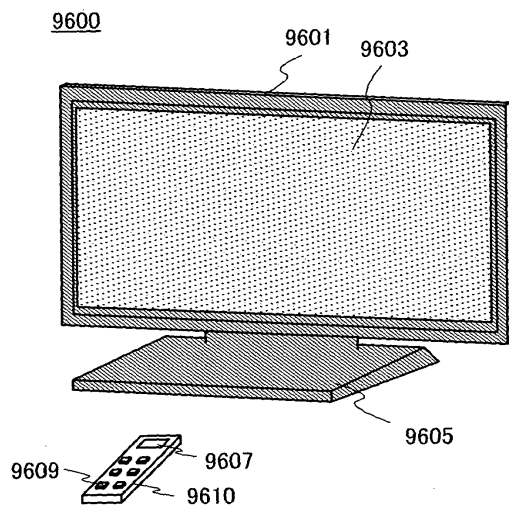


도면23

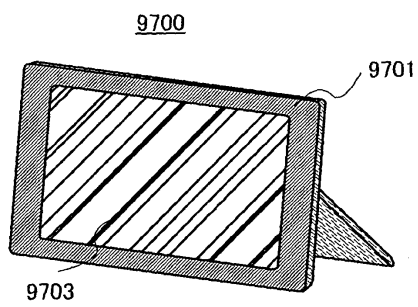


도면24

(a)

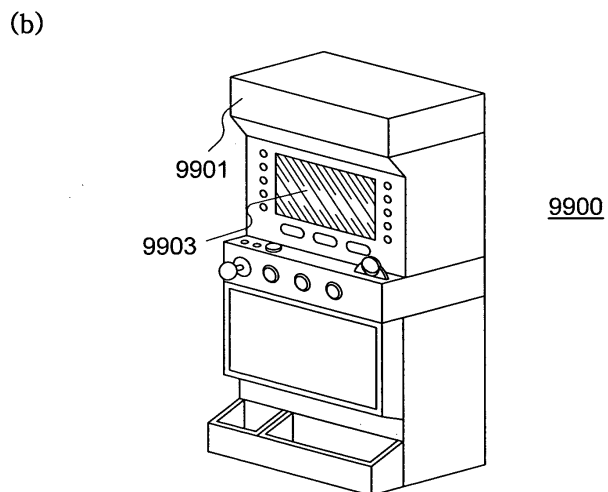
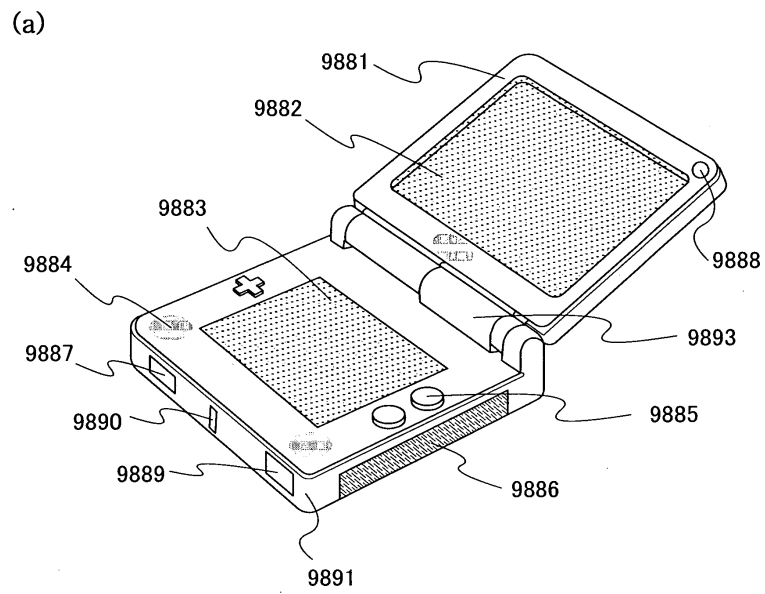


(b)

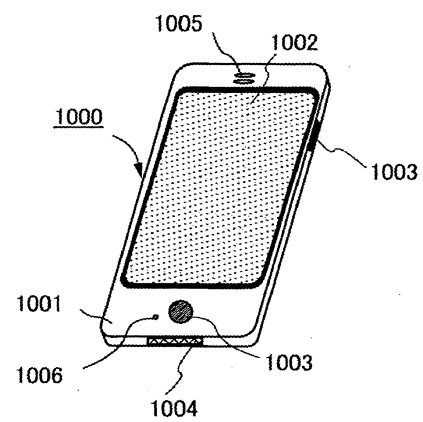




도면25



도면26



도면27

