

申請日期: 90.5.25

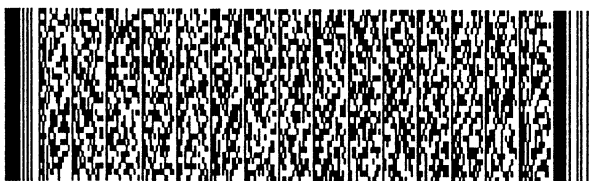
案號: 90112661

類別: G11C11/00

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	磁性記憶體
	英文	MAGNETIC MEMORY
二、 發明人	姓名 (中文)	1. 卡爾斯-米契爾 修伯特 連森 2. 傑克布斯 約瑟夫斯 瑪利亞 如伊葛羅克
	姓名 (英文)	1. KARS-MICHIEL HUBERT LENSSEN 2. JACOBUS JOSEPHUS MARIA RUIGROK
	國籍	1. 荷蘭 2. 荷蘭
	住、居所	1. 荷蘭愛因和文市普羅何斯蘭路6號 2. 荷蘭愛因和文市普羅何斯蘭路6號
三、 申請人	姓名 (名稱) (中文)	1. 荷蘭商皇家飛利浦電子股份有限公司
	姓名 (名稱) (英文)	1. KONINKLIJKE PHILIPS ELECTRONICS N.V.
	國籍	1. 荷蘭
	住、居所 (事務所)	1. 荷蘭愛因和文市格羅尼渥街1號
	代表人 姓名 (中文)	1. J.L. 凡德渥
	代表人 姓名 (英文)	1. J.L. VAN DER VEER



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

歐洲專利機構 EP

2000/06/23 00202187.1

無

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明領域

本發明係有關一種磁性記憶體，其包含一個磁性記憶元件陣列，各個記憶元件包括至少一層磁性材料，該記憶體設置有阻擋磁場的遮蔽層。

發明背景

此種磁性記憶體揭示於美國5,902,690號專利案。

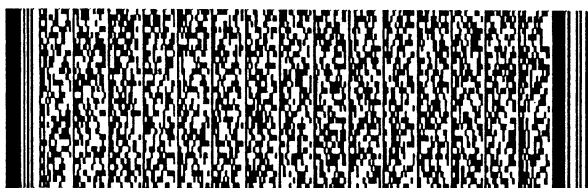
磁性記憶體由於讀及寫的時間短、記憶屬於非揮發性且功率耗散較低，故可替代SRAM、DRAM、FLASH以及非揮發性記憶體EPROM及EEPROM。磁性記憶元件的操作係以磁阻效應為基礎，表示磁場決定磁性材料的磁化方向，以及當電流發送通過材料時，電阻係依據磁性材料之磁化方向性決定。利用磁場，可將磁化方向切換成二態。

一種磁化態對應於較低電阻 a_0 ，而另一態對應於較高電阻 a_1 。經由利用局部磁場指導各個記憶元件的磁化可寫入記憶。當磁場變更磁化方向的取向時，外在磁場可抹消記憶。需要遮蔽而不接觸磁性干擾場。

於已知記憶體，屏蔽層材料為非導電性鐵氧體。

已知屏蔽層之缺點在於由於鐵氧體屏蔽層變成磁飽和。故無法完全阻擋較強的例如數十千安/米的磁性干擾場。一旦屏蔽層為磁飽和，磁場穿透屏蔽層，結果記憶元件儲存的磁化方向倒轉，而非揮發性記憶被抹消。若干千安/米的微弱磁場即足夠抹消記憶元件。

於某些用途例如用於晶片卡，磁性記憶體須保護不受至少80千安/米的強磁性干擾場。使用已知屏蔽層不可能屏



五、發明說明 (2)

蔽不受如此強的外在磁場影響。

另一項缺點為隨著磁性干擾場的增強已知屏蔽層須加厚。磁性記憶體經常設置於矽半導體基板上。於半導體技術界係採用薄膜技術來施用各層。厚度大約10微米之屏蔽層由於沈積時間長故價格極為昂貴。

本發明之目的係提供一種第一段所述該類型磁性記憶體，其可屏蔽不受數百千安/米的較強磁性干擾場影響。

於根據本發明之磁性記憶體，可達成此項目的，屏蔽層被劃分為多個彼此分開區域。

由於磁場夠強結果磁性層變成飽和。由於根據本發明之記憶體之屏蔽層被劃分為多個彼此分開區，故磁場可扇出於各區間。於屏蔽層的磁場，磁場線被拉近材料。此等區域的磁場密度比較連續層減少，結果磁化的飽和較非快速發生，因此比較具有相等層厚度的連續屏蔽層案例，可屏蔽更強的磁場。

較佳各個記憶元件除了第一層磁化材料外，包括第二層磁化材料，第二層磁化材料係藉一種非磁性材料而與第一層磁性材料分開，原因在於此種磁性元件出現的磁阻效應係超過包含單層磁性材料之磁性元件出現的磁阻效應。

旋轉閥及磁性隧道接面構成此種層封包，其優點為當磁場微弱時可作為磁性記憶元件功能。於最基礎形式，旋轉閥是軟磁層組成的三層結構，其中由於較弱磁場的結果磁化發生變化、較硬磁層以及貴金屬夾置於其間組成的三層結構。於磁性隧道接面，兩層磁性層藉電絕緣層分開。由



五、發明說明 (3)

於旋轉閥及磁性隧道接面的磁阻效應較大，故極為適用作為磁性記憶元件。

遮蔽層各區位置較佳為磁性元件上一區的垂直凸部包含至少一個記憶元件。當記憶元件之維度係於次微米範圍時，較佳記憶元件上一區遮蔽成的垂直凸部包含多個記憶元件，故方便實現遮蔽區維度，通常也可有利地影響遮蔽效應。

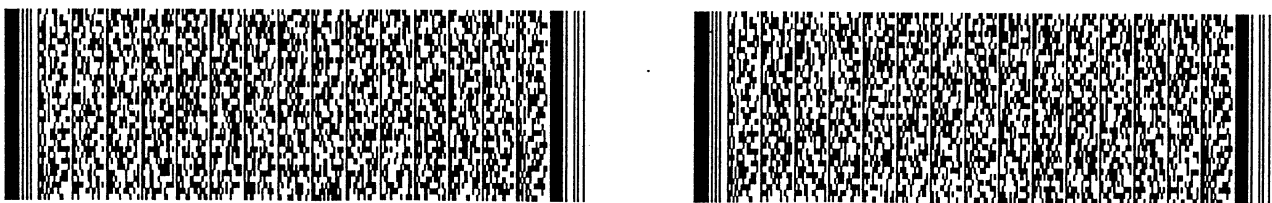
為了提供於記憶元件所在位置防止磁性干擾場效應的足夠遮蔽效果，須滿足兩項條件。

第一，遮蔽層材料之磁化須維持低於飽和值。於高於飽和值磁性干擾場會穿透材料。若記憶元件與遮蔽層間距小例如相對於該區維度 w 為0.5或以下，則磁化 M 表示為

$M = H_{\text{appl}} \chi / (1 + \chi t / w)$ ，其中 H_{appl} 為外在磁性干擾場， χ 為磁性靈敏度以及 t 為屏蔽層厚度。磁性區可具有任意形狀。通常該區例如為矩形、方形、圓形或六角形。這一區維度 w 分別對應於長及寬、直徑或對角線。首先，足夠屏蔽要求滿足下式 $t / w > H_{\text{appl}} / M_s - 1 / \chi$ ，其中 M_s 為磁化飽和值。若未滿足此式，則屏蔽層遭遇飽和。

於此階段方便了解，由於厚度 t 的屏蔽層被分成多區，一區維度 w 係遠小於伸展遍佈磁性記憶體表面的連續屏蔽層維度 w' ，故磁性干擾場於磁化飽和且磁場被穿透前可能更大達到約 w' / w 因素。

結果當屏蔽層被劃分為多區時，鑑於屏蔽不受磁性干擾場影響，可選用比未經劃分的屏蔽層厚度更薄的屏蔽層厚



五、發明說明 (4)

度。

其次，要求屏蔽層各區可充分衰減磁性干擾場，故記憶元件的磁化方向不會倒轉。於飽和以下，於磁性記憶元件位置的磁場表示為 $H = H_{\text{appl}} / (1 + \chi t/w)$ 。磁性干擾場 H_{appl} 若滿足不等式 $t/w > H_{\text{appl}} / (H \chi) - 1 / \chi$ ，則磁性干擾場 H_{appl} 於磁性記憶元件位置被衰減至遠更低磁場 H 。

結果為了充分屏蔽各個記憶元件須滿足下式

$t/w > H_{\text{appl}} / M_s - 1 / \chi$ 及 $t/w > H_{\text{appl}} / (H \chi) - 1 / \chi$ 。因而 t/w 比較佳儘可能為大。

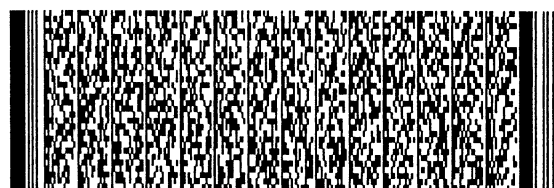
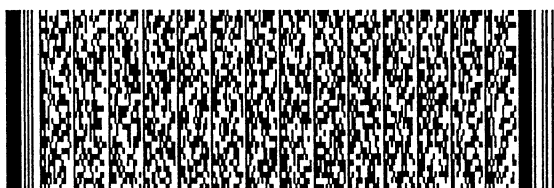
舉例：若滿足下式： $t/w > 100 / (1 * \chi) - 1 / \chi$ ，則100千安/米的磁性干擾場 H_{appl} 於磁性記憶元件位置被衰減至遠更低的磁場 H 1千安/米。

磁性層例如FeNi具有較大敏感度值例如為1000。結果屏蔽層厚度對各區維度之比 $> 0.1:1$ 。顯然隨著選用的 t/w 比縮小，磁性干擾場的衰減也減少。因此較佳 $t/w > 0.01$ 。

較佳屏蔽層厚度係遠大於磁性記憶元件厚度，例如大10倍因數，因而確保最大量外在磁性干擾場之磁通線通過屏蔽層，而未通過記憶元件。

屏蔽層材料具有磁性靈敏度較佳儘可能為大，例如磁性靈敏度超過100。較佳材料也具有高磁性飽和度例如超過800千安/米。

磁區影響磁性記憶體的讀及寫。為了讀及寫磁性記憶元件，經由同時發送電流通過字線及位元線而產生局部磁場。屏蔽層磁區將局部磁場集中於磁性記憶元件。經由字線



五、發明說明 (5)

發送較大電流，字線較佳係位於屏蔽層一區與一個磁性記憶元件間。結果一區磁性材料減少讀及寫磁性記憶體需要的電流量。

磁性記憶體可與半導體IC集成。IC包含帶有半導體裝置的一片矽基板。半導體裝置例如為二極體、雙極電晶體或MOS電晶體。通常磁性記憶體係設置於半導體裝置上。半導體裝置利用金屬軌線連結至磁性記憶體。磁性記憶體可與矽基板的半導體裝置電子電路從事電通訊。電子電路的操作受寄生電容的不利影響。導電磁性材料連續屏蔽層組合基板結果導致較大寄生電容。相對較大寄生電容大為造成IC速度受限制。當屏蔽層劃分為多區時，屏蔽層的總寄生電容實質上減低，於高頻例如於十億赫範圍的電路操作改良。

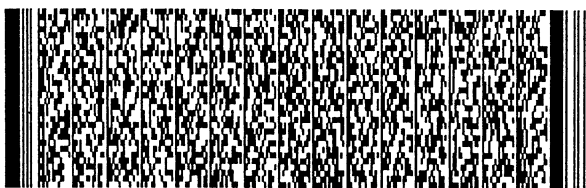
額外優點為屏蔽層各區排列於半導體IC上讓IC的半導體裝置被屏蔽而不接觸紫外光及幅射線。

若屏蔽層各區係位於IC頂上，則由於屏蔽層各區為非透明故IC獲得較佳保護無法利用光學方法辨識。此外，屏蔽層各區材料難以利用例如蝕刻方法去除，故晶片的反向工程變成遠更困難。

此等及其它根據本發明之磁性記憶體之各方面經由參照後文較佳具體實例將更為彰顯。

圖式之簡單說明

圖1圖解顯示磁性記憶元件及屏蔽層各區之具體實施例；



五、發明說明 (6)

圖2顯示包含旋轉閥及屏蔽區配置之磁性記憶元件；

圖3顯示包含磁性隧道接面陣列之磁性記憶體之具體實施例。

圖4為磁性記憶體整合半導體IC之具體實例之圖解剖面圖。

發明之詳細說明

圖1顯示磁性記憶體1包含記憶元件陣列2。各個記憶元件3包含至少一層磁性材料4。

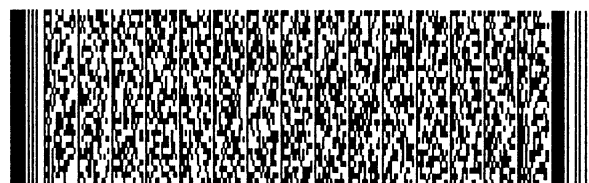
於最基本形式，記憶元件3之操作係基於磁性材料之各向異性磁阻效應(AMR)。

各向異性磁阻效應(AMR)係發生於磁導體的阻抗由導體電流與磁化間的夾角決定。若電流及磁化係於同向定向，則阻抗為最高；若電流與磁化彼此成直角，則阻抗為最低。其間差異典型為2至4%。

記憶元件3隨著磁阻效應的增大而操作效能更佳。

巨大磁阻(GMR)效應係由非均質磁性系統例如磁性及非磁性金屬層堆疊的旋轉相依性散射所造成。若個別磁性層的磁化藉外加外在磁場而於一個方向切換，這對帶有特定旋轉方向電子發生一種短路。結果若磁化係於平行方向伸展，則阻抗比磁化為逆平行的案例更低。結果多層阻抗於室溫可能典型降至約40至60%。破壞自發磁力耦合需要的磁場相當大，典型為數百千安/米。

可於小磁場操作的磁性元件為旋轉閥及磁性隧道接面。此等記憶元件的特色為第二層磁性材料係藉非磁性材料而



五、發明說明 (7)

與第一層分開。

磁性記憶元件可交替由強磁體以及半導體的混成體組成。磁鐵的磁性邊帶磁場足夠於半導體獲得赫爾效應。赫爾電壓可為正或負，換言之分別表示0或1。

磁性記憶體的屏蔽層14被劃分為交互分開的多區5。各多區5可具有任意形狀。屏蔽區5較佳係位在距磁性記憶元件3的最短可能距離8處。經由設置屏蔽區5於記憶元件3的任一側上可獲得更佳屏蔽效果。該具體實例中，屏蔽區9之維度為記憶元件上的磁性屏蔽區5之垂直凸部包含一個記憶元件3。若此屏蔽區5材料為良好電絕緣體例如鐵氧體，則屏蔽區5可直接設置於記憶元件3上。若屏蔽區5材料為導電性，則較佳薄層絕緣材料例如 AlO_x 、 SiO_2 或 Si_3N_4 設置於磁性記憶元件3與磁性區5間。為了儘量屏蔽記憶元件3，屏蔽區5材料較佳具有高靈敏度。例如使用NiFe、CoNbZr、FeSi、FeAlSi可達成靈敏度值1000。

磁性區5具有厚度10，該厚度10通常係遠大於磁性記憶元件11之厚度，故磁性區5可作為外在磁性干擾場的一種短路。

於圖2，對應部件標示圖1的相同參考編號。圖2顯示包含旋轉閥之磁性記憶元件3以及屏蔽區5之可能配置。

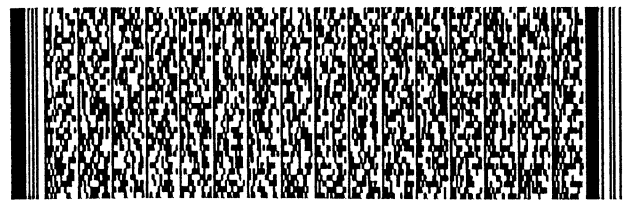
於所示具體實施例，旋轉閥3為一種三層結構，該三層結構包含例如CoFe的第一硬磁性層4，例如NiFe的第二軟磁性層6其僅需小的磁場即可改變磁化，以及例如非磁性金屬7例如銅夾置於其間，各層厚度典型為1至10毫微米。



五、發明說明 (8)

各層磁化方向可彼此平行或逆平行。本具體實施例中，字線18及位元線16用來於選定磁性記憶元件3之第一層4寫入磁化方向，以及用來由記憶元件3讀取被儲存的磁化方向。字線18係位於磁區5與磁性記憶元件3間。寫入方式係同時發送較大電流通過字線18以及例如1毫安的電流通過位元線16，因而導引第一較硬磁性層的磁化方向。讀取一個位元，或換言之決定第一層4之磁性取向，係使用一序列電流脈衝進行，該序列電流脈衝之振幅較小，該序列電流脈衝可切換第一軟磁層6而無法切換第一硬磁層4。記憶元件3之電阻係利用當一系列正及負電極脈衝被發送通過字線18時流經位元線16的感應電流測量。於此過程中，局部磁場係大於第二軟磁層6的切換磁場而小於硬磁層4的切換磁場。該脈衝順序的第一脈衝將軟磁層6的磁化置於經過界定的開始位置。於第二脈衝期間阻抗符號的改變指示於硬磁層4的資訊為0或為1。對儲存0而言，脈衝順序例如對應於磁化之逆平行至平行取向，電阻由高改成低。於室溫，阻抗差異典型為4至18%。

於圖3，對應部件帶有如同圖1及2的相同參考編號。圖3表示包含磁性隧道接面3陣列2的磁性記憶體1之可能的具體實施例。於磁性隧道接面3，兩層厚若干毫微米的例如CoFe強磁層4，6藉一層絕緣層7分開。絕緣層厚1至2毫米例如由三氧化二鋁製成。經由外加小電壓跨夾置磁層(其中包含金屬氧化物7介於其間)，則電子可穿隧通過絕緣層7。穿隧機率係與二磁層4，6的磁取向有關：若二磁取向



五、發明說明 (9)

彼此平行伸展則穿隧機率加大。於室溫之電阻差異典型為20至40%。於圖3所示具體實施例，屏蔽區5伸展於四個記憶元件3上方。由記憶元件3之屏蔽層14之距離係小於該區9維度。於磁性屏蔽區5，不可出現因磁場造成磁化飽和。

充分屏蔽要求 $t/w > H_{\text{appl}}/M_s - 1/\chi$ 及 $t/w > (H_{\text{appl}}/H - 1)\chi^{-1}$ 。於實際數字 H_{appl} 為80千安/米，對NiFe以及 $\chi=1000$ 磁化飽和值 $M_s=800$ 千安/米，以及於磁性記憶元件3所在位置磁場 $H=0.8$ 千安/米，達成 $t/w > 0.1$ 之值。

於圖4，於圖1、2及3相對應部件標示以相同參考編號。圖4為磁性記憶體1集成半導體IC 12之具體實施例之圖解剖面圖，矽基板13包含半導體裝置例如二極體、雙極電晶體、MOS裝置或其組合。

磁性記憶體1設置於半導體裝置上方，且藉金屬軌線15連結至半導體裝置。半導體裝置可電子切換磁性記憶元件3。於本具體實施例中，MOS電晶體14係連結至磁性記憶體1之位元線16。第二MOS電晶體17選擇磁性記憶體1之字線18。磁性記憶體1可藉製造於矽基板13內及上的電子電路控制。



圖式簡單說明

四、中文發明摘要 (發明之名稱：磁性記憶體)

本發明目的係屏蔽磁性記憶體不受高外在磁場的影響。磁性記憶體(1)包含一個磁性記憶元件陣列(2)，各個記憶元件(3)包括至少一層磁性材料(4)。磁性記憶元件(3)之操作係基於磁阻效應。記憶體(1)藉屏蔽層(14)被保護不接觸高外在磁場，屏蔽層(14)已經被分成遮蓋記憶元件(3)之多區(5)。磁性記憶體(1)由於藉屏蔽層(14)各區(5)強力衰減外在磁場因而不會被高外在磁場所抹消。

英文發明摘要 (發明之名稱：MAGNETIC MEMORY)

The object of the invention is the shielding of a magnetic memory against high external magnetic fields. The magnetic memory (1) comprises an array of magnetic memory elements (2), each memory element (3) including at least one layer of magnetic material (4). The operation of the magnetic memory elements (3) is based on a magnetoresistance effect. The memory (1) is protected against high external magnetic fields by a shielding layer (14), which has been split into



四、中文發明摘要 (發明之名稱：磁性記憶體)

英文發明摘要 (發明之名稱：MAGNETIC MEMORY)

regions (5) covering the memory elements (3). The magnetic memory (1) is not erased by high external magnetic fields because of a strong attenuation of the external magnetic field by the regions (5) of the shielding layer (14).



六、申請專利範圍

1. 一種磁性記憶體(1)，其包含一個磁性記憶元件陣列(2)，各個磁性記憶元件(3)包括至少一層磁性材料(4)，該記憶體係設置有對抗磁場的屏蔽層(14)，其特徵在於該屏蔽層(14)被劃分為彼此分開的多區(5)。

2. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於各記憶元件(3)包含第二層磁性材料(6)，其係藉非磁性材料(7)而與第一層磁性材料(4)分開。

3. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於一區(5)於磁性記憶元件(2)上的垂直凸起包含至少一個記憶元件(3)。

4. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於記憶元件(3)係位在距屏蔽層(13)的一段距離(8)，而該距離係小於該區(5)之維度(9)。

5. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於該區厚度(10)與各區(5)維度(9)間之比係大於0.01:1。

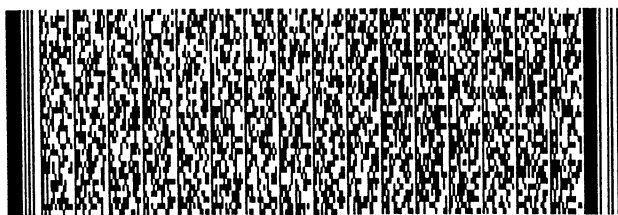
6. 如申請專利範圍第5項之磁性記憶體(1)，其特徵在於該區厚度(10)與各區(5)維度(9)間之比係大於0.1:1。

7. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於區(5)厚度(10)係超過磁性記憶元件(3)厚度(11)。

8. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於區(5)之材料具有磁性靈敏度高於100。

9. 如申請專利範圍第8項之磁性記憶體(1)，其特徵在於區(5)之材料具有磁性飽和值高於800千安/米。

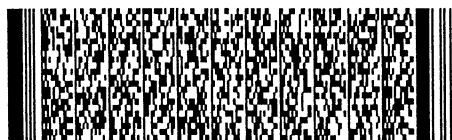
10. 如申請專利範圍第2項之磁性記憶體(1)，其特徵在於



六、申請專利範圍

字線(18)係位於一區(5)與記憶元件(3)間。

11. 如申請專利範圍第1項之磁性記憶體(1)，其特徵在於磁性記憶體係與半導體IC (12)集成。



圖式

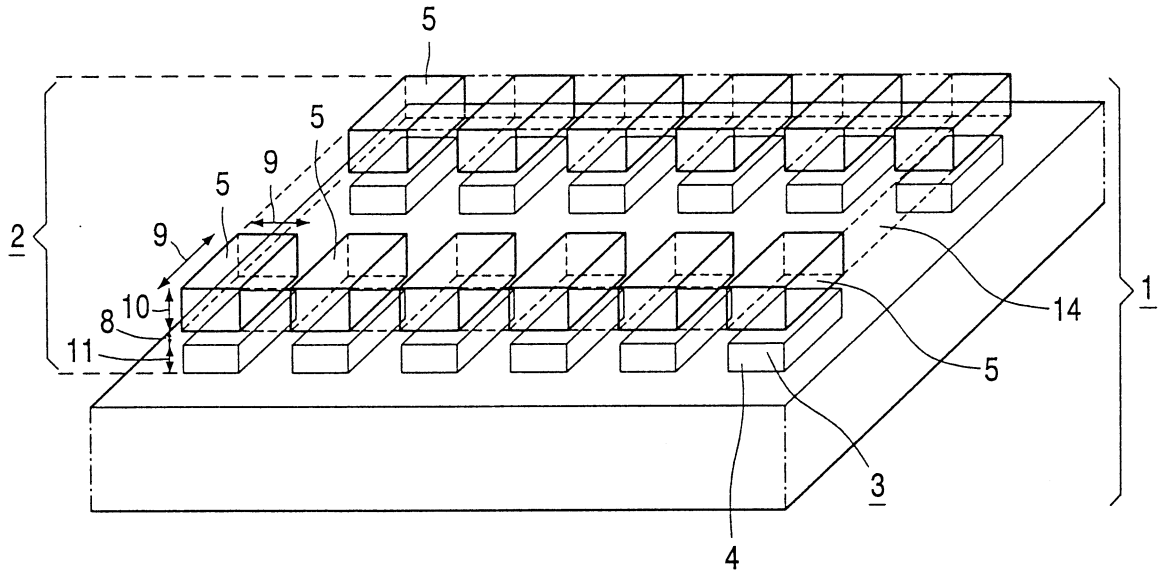


圖 1

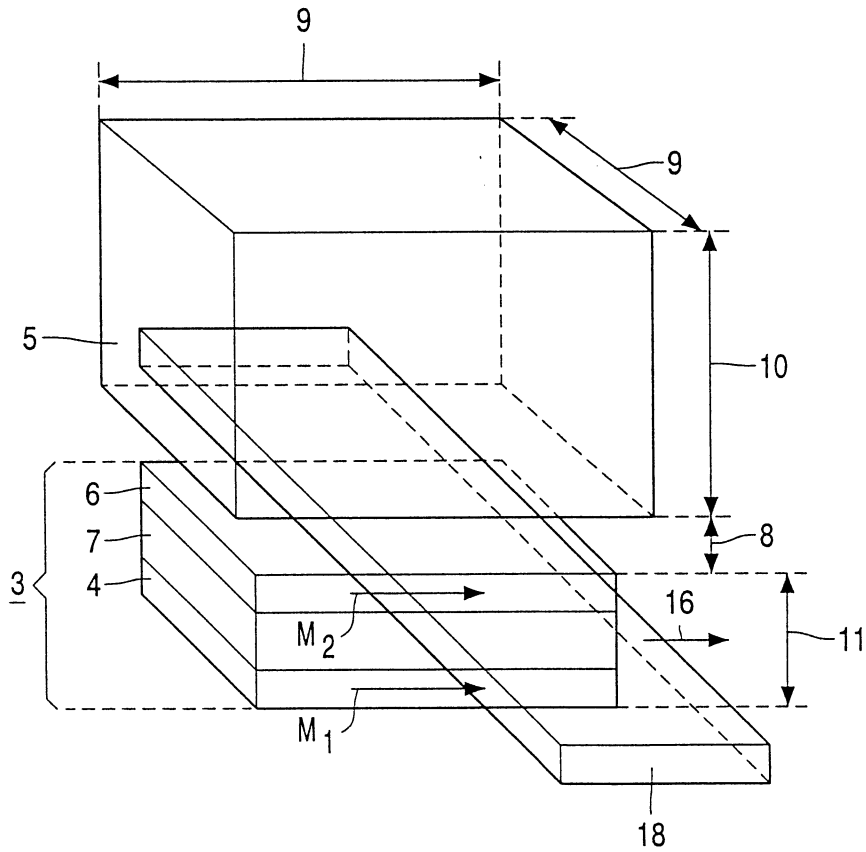


圖 2

圖式

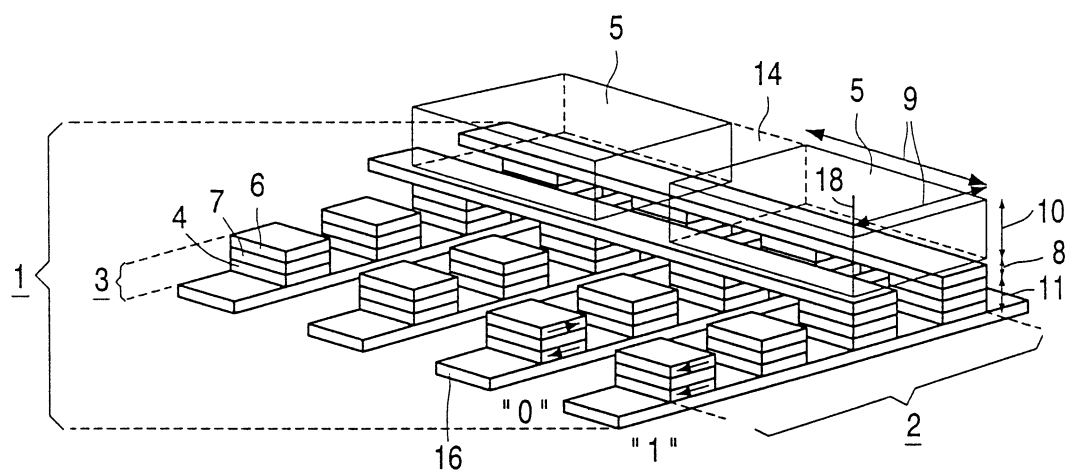


圖 3

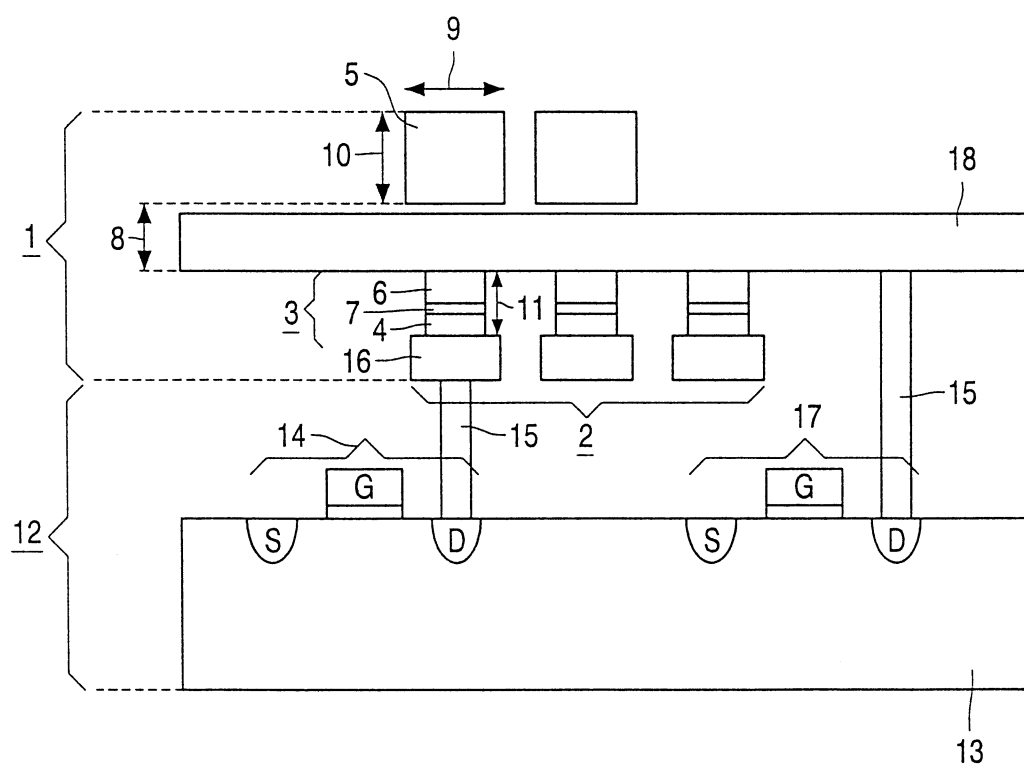


圖 4