(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 101911208 A
(43)申请公布日 2010.12.08

(21)申请号 200880123171.6
(22)申请日 2008.12.15
(30)优先权数据
61/022656 2008.01.22 US
12/286959 2008.10.03 US
(85)PCT申请进入国家阶段日
2010.06.28
(86)PCT申请的申请数据
PCT/CA2008/002155 2008.12.15
(87)PCT申请的公布数据
WO2009/092152 EN 2009.07.30
(71)申请人 莫塞德技术公司
地址 加拿大安大略省
(72)发明人 金镇祺
(74)专利代理机构 北京泛华伟业知识产权代理有限公司 11280
代理人 王勇
(51)Int.Cl.
G11C 16/06(2006.01)

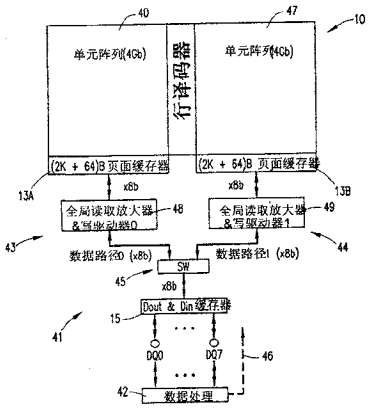
权利要求书 3 页 说明书 6 页 附图 9 页

(54)发明名称

具有宽松时序约束的NAND闪速存储器访问

(57)摘要

通过提供将NAND闪速存储器耦合到提供对存储器的外部访问的缓存器的多个数据路径，可以放宽在访问NAND闪速存储器期间对数据传送的时序约束。该缓存器限定和外部访问相关的位宽，并且每个数据路径适应该位宽。



CN 101911208 A

1. 一种存储器设备，包括：

NAND 闪速存储器；

缓存器，所述缓存器提供对所述 NAND 闪速存储器的外部访问并且限定和所述外部访问相关的位宽；

将所述 NAND 闪速存储器耦合到所述缓存器的第一和第二数据路径，并且所述第一和第二数据路径的每一个适应所述位宽；和

耦合到所述 NAND 闪速存储器和所述缓存器的转换电路，所述第一和第二数据路径经过所述转换电路，并且所述转换电路配置为以交替顺序选择所述第一和第二数据路径。

2. 一种存储器设备，包括：

NAND 闪速存储器；

缓存器，该缓存器提供对所述 NAND 闪速存储器的外部访问并且限定和所述外部访问相关的位宽；和

将所述 NAND 闪速存储器耦合到所述缓存器的多个数据路径，并且每个所述数据路径适应所述位宽。

3. 权利要求 2 的设备，包括具有多个组成缓存器部分的复合缓存器，该多个组成缓存器部分耦合到所述 NAND 闪速存储器的相关部分并且还耦合到各自对应的所述数据路径。

4. 权利要求 3 的设备，其中，所述 NAND 闪速存储器的所述部分包含在所述 NAND 闪速存储器的单个存储面内。

5. 权利要求 3 的设备，其中，所述 NAND 闪速存储器的所述部分被提供在所述 NAND 闪速存储器的多个存储面上。

6. 权利要求 2 的设备，包括耦合到所述 NAND 闪速存储器和所述缓存器的转换电路，所述数据路径经过所述转换电路，并且所述转换电路配置为根据选择序列来选择所述数据路径。

7. 权利要求 6 的设备，包括分别耦合到所述 NAND 闪速存储器的第一和第二部分的第一和第二组的所述数据路径。

8. 权利要求 7 的设备，其中，所述 NAND 闪速存储器的所述第一和第二部分包含在所述 NAND 闪速存储器的单个存储面内。

9. 权利要求 7 的设备，其中，所述 NAND 闪速存储器的所述第一和第二部分提供在所述 NAND 闪速存储器的各自不同的存储面内。

10. 权利要求 9 的设备，其中，所述 NAND 闪速存储器包括多个所述存储面，其个数是 2 的乘幂。

11. 权利要求 7 的设备，其中，所述选择序列使得对所述第一组中的所述数据路径的选择和对所述第二组中的所述数据路径的选择在时间上交错。

12. 权利要求 2 到 11 的任一项的设备，包括分别耦合到所述 NAND 闪速存储器的第一、第二、第三和第四部分的第一、第二、第三和第四组的所述数据路径。

13. 权利要求 12 的设备，其中，所述 NAND 闪速存储器的第一、第二、第三和第四部分被提供在所述 NAND 闪速存储器的多个存储面上。

14. 权利要求 13 的设备，其中，所述多个存储面包括其个数为 2 的乘幂的多个所述存储面。

15. 权利要求 12 的设备，其中，所述选择序列包括使得对所述第一组中的所述数据路径的选择和对所述第二组中的所述数据路径的选择在时间上交错的第一交错，并且还包括使得对所述第三组中的所述数据路径的选择和对所述第四组中的所述数据路径的选择在时间上交错的第二交错。

16. 权利要求 15 的设备，其中，所述选择序列还包括使得对所述第一交错的选择和对所述第二交错的选择在时间上交错的第三交错。

17. 权利要求 6 或者 7 的设备，其中，在所述选择序列中对所述数据路径的选择在时间上交错。

18. 权利要求 6 到 11 的任一项的设备，其中，所述转换电路在所述 NAND 闪速存储器的读出访问期间将来自所述数据路径的信息多路复用到所述缓存器中，并且在所述 NAND 闪速存储器的写访问期间将来自所述缓存器的信息解多路复用到所述数据路径上。

19. 权利要求 2 的设备，其中，第一和第二所述数据路径的每一个被配置为承载信息，而所述第一和第二数据路径中的另一个数据路径也承载信息。

20. 一种数据处理系统，包括：

数据处理器；和

耦合到所述数据处理器的存储器设备，所述存储器设备包括：NAND 闪速存储器；缓存器，该缓存器允许所述数据处理器访问所述存储器设备并且限定和所述访问相关的位宽；以及将所述 NAND 闪速存储器耦合到所述缓存器的多个数据路径，每个所述数据路径适应所述位宽。

21. 权利要求 20 的系统，其中，第一和第二所述数据路径中的每一个被配置为承载信息，而所述第一和第二数据路径另一个也承载信息。

22. 权利要求 20 或者 21 的系统，其中，所述存储器设备包括耦合到所述 NAND 闪速存储器和所述缓存器的转换电路，所述数据路径经过所述转换电路，并且所述转换电路配置为根据选择序列来选择所述数据路径。

23. 权利要求 22 的系统，其中，所述存储器设备包括分别耦合到所述 NAND 闪速存储器的第一和第二部分的第一和第二组的所述数据路径。

24. 权利要求 23 的系统，其中，所述选择序列使得对所述第一组中的所述数据路径的选择和对所述第二组中的所述数据路径的选择在时间上交错。

25. 权利要求 22 到 24 的任一项的系统，其中，所述存储器设备包括分别耦合到所述 NAND 闪速存储器的第一、第二、第三和第四部分的第一、第二、第三和第四组的所述数据路径。

26. 权利要求 25 的系统，其中，所述选择序列包括使得对所述第一组中的所述数据路径的选择和对所述第二组中的所述数据路径的选择在时间上交错的第一交错，并且还包括使得对所述第三组中的所述数据路径的选择和对所述第四组中的所述数据路径的选择在时间上交错的第二交错。

27. 权利要求 26 的系统，其中，所述选择序列还包括使得对所述第一交错的选择和对所述第二交错的选择在时间上交错的第三交错。

28. 权利要求 22 的系统，其中，在所述选择序列中对所述数据路径的选择在时间上交错。

29. 权利要求 22 到 25 的任一项的系统，其中，所述转换电路在所述 NAND 闪速存储器的读出访问期间将来自所述数据路径的信息多路复用到所述缓存器中，并且在所述 NAND 闪速存储器的写访问期间将来自所述缓存器的信息解多路复用到所述数据路径上。

30. 权利要求 20 的系统，其中，所述存储器设备包括具有多个组成缓存器部分的复合缓存器，该多个组成缓存器部分耦合到所述 NAND 闪速存储器的相关部分并且还耦合到各自对应的所述数据路径。

31. 权利要求 30 的系统，其中，所述组成缓存器部分是互相物理上区分的相应的缓存器。

32. 权利要求 20 到 31 的任一项的系统，其被提供作为移动数据处理系统。

33. 权利要求 20 到 31 的任一项的系统，其被提供作为数字音频播放器、数字视频播放器、蜂窝电话、闪存卡、USB 闪速驱动器和用于替代硬盘驱动器的固态驱动器中的一个。

34. 权利要求 20 到 31 的任一项的系统，其中，所述位宽为八位。

35. 一种在 NAND 闪速存储器和缓存器之间传送数据单元的方法，该缓存器提供对所述 NAND 闪速存储器的外部访问并且限定数据单元的位宽，该方法包括：

提供所述数据单元的序列；和

将序列中相邻的数据单元路由到在 NAND 闪速存储器和缓存器之间提供的各自不同的数据路径上，其中每个数据路径适应所述位宽。

具有宽松时序约束的 NAND 闪速存储器访问

技术领域

[0001] 本发明总的涉及数据处理，并且更具体地涉及使用闪速存储器来保存信息的数据处理。

背景技术

[0002] 传统的 NAND 闪速存储器技术以相对低的成本来提供高的数据存储密度。NAND 闪速存储器通常用在多种类型的数据处理应用中，例如移动数据处理应用和移动数据存储应用。得益于使用 NAND 闪速存储器的特定的应用例子包括数字音频 / 视频播放器、蜂窝电话、闪存卡、USB 闪速驱动器和用于替代硬盘驱动器 (HDD) 的固态驱动器 (SSD)。

[0003] 图 1 示意性示出传统 NAND 闪速存储器设备。在图 1 中，NAND 闪速存储器单元阵列 10 包括 n 个块（未明确示出），每个块包含 m 个页面，图中示出其中一个。一些传统 NAND 闪速存储器装置包含两个这样的阵列。对于读出和编程操作，基于页面来访问每个阵列（也称之为存储面 (plane)）。每个页面包括含有 j 个字节的数据字段和含有 k 个字节的空闲字段，总计每页面 j+k 个字节。在图 1 中所示的存储面中，j ＝ 4096（即 4KB）并且 k ＝ 128，总计每页面 4224 字节。在一些传统阵列中，m ＝ 128 并且 n ＝ 2048。

[0004] 在页面读出操作期间，所选择的数据页面载入图 1 的页面缓存器 13 中，并且随后经由一字节宽的信号路径 17 按字节 (byte-wise) 顺序传送到一字节宽的 I/O 缓存器 15 中。在页面编程操作期间，经由信号路径 17，将页面数据按字节顺序从 I/O 缓存器 15 传送到页面缓存器 13 中。（在图 1 中已经略去传统位于页面缓存器 13 和 I/O 缓存器 15 之间的信号路径 17 中的读取放大器和写驱动器电路，以避免不必要的复杂性）。

[0005] 图 2 和 3 分别示出编程（当信号 W/R# 为高电平时）和读出 (W/R# 为低电平时）操作的时序的传统例子。图 2 和 3 示出所谓的双数据速率 (DDR) 操作，其中一字节 (Din 或者 Dout) 的页面数据在时序信号（图 2 和 3 中标为 CLK) 的每个上升沿和下降沿上被传送（到页面缓存器 13 或从页面缓存器 13 被传送过来）。另一方面，在传统的单数据速率 (SDR) 方法中，页面数据以每 CLK 周期一个字节的速率传送，实现图 2 和 3 的 DDR 方法的一半的传送吞吐量。一些传统的方法使用不同版本的 CLK 作为时序信号，用于读出和编程操作。在一些传统布置中（对于 SDR 或者 DDR 接口），写使能信号用作对于编程操作的时序信号，而读使能信号用作对于读出操作的时序信号。

[0006] 继续 DDR 操作的例子，在图 2 的编程操作期间输入数据字节在 CLK 的每半个周期是有效的，这意味着从 I/O 缓存器 15 传送输入字节到页面缓存器 13（还参见图 1）的总时间应该低于半个周期的时间，以满足内在时序要求。对于图 3 中的读出操作而言同样是这样，即从页面缓存器 13 到 I/O 缓存器 15 进行数据读取和传送的总时间应该低于半个周期的时间。

[0007] 随着时序信号（图 2 和 3 中的 CLK) 的频率的增加，对应的该时序信号的周期时间减少。随着这样的频率增加，数据通过从 I/O 缓存器 15 到页面缓存器 13 的数据输入路径（用于编程操作）所需的时间和数据通过从页面缓存器 13 到 I/O 缓存器 15 的数据输出路

径（用于读出操作）所需的时间会成为瓶颈，这是因为很难轻易地降低通过数据输入路径或者数据输出路径所需的总时间（时序预算 timing budget），除非采用诸如引入高性能晶体管的方法，而引入高性能晶体管的不利之处在于增加了成本，包括芯片成本。

[0008] 此外，由于存储器容量的增加典型通过页面缓存器 13 和 I/O 缓存器 15 之间的物理距离上的相应增加来实现，因而随着存储器容量的增加，数据输入和输出路径就会成为时序瓶颈。

[0009] 从而，期望提供对于在 NAND 闪速存储器设备中页面缓存器和 I/O 缓存器之间的数据接口传送所需时序预算的宽松约束。

发明内容

[0010] 根据本发明的一个方面，提供包括 NAND 闪速存储器和缓存器的存储器设备，该缓存器提供对 NAND 闪速存储器的外部访问并且限定和外部访问相关的位宽。第一和第二数据路径将 NAND 闪速存储器耦合到缓存器，并且第一和第二数据路径的每一个适应该位宽。转换电路耦合到 NAND 闪速存储器和缓存器。第一和第二数据路径经过转换电路，并且该转换电路配置为以交替顺序选择第一和第二数据路径。

[0011] 根据本发明的另一个方面，提供包括 NAND 闪速存储器和缓存器的存储器设备，该缓存器提供对 NAND 闪速存储器的外部访问并且限定和外部访问相关的位宽。多个数据路径将 NAND 闪速存储器耦合到缓存器，并且每个数据路径适应该位宽。

[0012] 根据本发明的又一方面，提供包括数据处理器和耦合到数据处理器的存储器设备的数据处理系统。该存储器设备包括 NAND 闪速存储器和缓存器，该缓存器允许数据处理器访问存储器设备并且限定和访问相关的位宽。多个数据路径将 NAND 闪速存储器耦合到缓存器，并且每个数据路径适应该位宽。

[0013] 根据本发明的又一个方面，提供在 NAND 闪速存储器和缓存器之间传送数据单元的方法，该缓存器提供对 NAND 闪速存储器的外部访问并且限定数据单元的位宽。该方法包括提供数据单元序列。该方法还包括将序列中相邻的数据单元路由到在 NAND 闪速存储器和缓存器之间提供的各自不同数据路径上。每个数据路径适应该位宽。

附图说明

[0014] 图 1 示图示出现有技术的 NAND 闪速存储器设备。

[0015] 图 2 和 3 分别图示出现有技术存储器编程操作和存储器读出操作的时序。

[0016] 图 4 图示出根据本发明的示例实施例的数据处理系统。

[0017] 图 5 和 6 分别图示出可以由图 4 的系统执行的存储器编程操作和存储器读出操作。

[0018] 图 7 图示出根据本发明的示例实施例的图 4 的一部分。

[0019] 图 8 和 9 示出可以由图 7 的实施例执行的操作。

[0020] 图 10 图示出根据本发明另一个示例实施例的数据处理系统。

[0021] 图 11 和 12 分别图示出可以由图 10 的系统执行的存储器编程操作和存储器读出操作。

[0022] 图 13 图示出根据本发明另一个示例实施例的数据处理系统。

[0023] 图 14 图示出根据本发明另一个示例实施例的数据处理系统。

具体实施方式

[0024] 图 4 图示出根据本发明的示例实施例的数据处理系统。该数据处理系统包括耦合到数据处理资源 42 的 NAND 闪速存储器设备 41。在一些实施例中，存储器设备 41 放宽和图 1 的传统设备中页面缓存器 13 和 I/O 缓存器 15 之间的数据传送相关的前面所提及的时序约束。在一些实施例中，这通过将图 1 的页面缓存器 13 分为诸如图 4 的页面缓存器部分 13A 和 13B 的多个页面缓存器部分来实现。在一些实施例中，页面缓存器部分 13A 和 13B 实现为物理上不同的缓存器，其限定整个复合页面缓存器的各组成部分。在一些实施例中，页面缓存器部分 13A 和 13B 是作为单个物理缓存器的整个复合页面缓存器的简单组成部分。

[0025] 在图 4 的示例存储器设备 41 中，页面缓存器部分 13A 和 13B 的每一个表示整个页面缓存器的一半。因此每个页面缓存器部分具有 j/2 字节的数据字段和 k/2 字节的空闲字段。页面缓存器部分 13A 和 13B 耦合到 NAND 闪速存储面中各自对应的部分（例如二等分）40 和 47，诸如图 1 的传统 NAND 闪速存储面 10。

[0026] 仅出于说明的目的，NAND 闪速存储面 10 自此假设为对应于前述传统例子的 8G 比特存储面，该传统例子中 j ＝ 4096，k ＝ m ＝ 128，并且 n ＝ 2048。如果页面缓存器部分 13A 和 13B 的每一个表示图 1 的整个页面缓存器 13 的一半，则每个页面缓存器部分 13A 和 13B 具有 2048 个字节（即 2KB）的数据字段和 64 字节的空闲字段。如果存储面部分 40 和 47 的每一个组成存储面 10 的一半，则 NAND 闪速存储面部分 40 和 47 的每一个是 8G 比特的存储面 10 中的 4G 比特 NAND 闪速单元阵列。

[0027] 页面缓存器部分 13A 和 13B 已经与用于在其相关的页面缓存器部分和 I/O 缓存器 15 之间传送数据（或者诸如程序代码 / 指令的其它信息）的各自对应的信号路径 43 和 44（在图 4 中还分别标为数据路径 0 和数据路径 1）相关联。每个信号路径是八位（一字节）宽，从而匹配 I/O 缓存器 15 的传统位宽（同样参见图 1）。该信号路径 43 和 44 包括各自的读取放大器和写驱动器的组 48 和 49（在图 4 中分别标为全局 S/A 和写驱动器 0 以及全局 S/A 和写驱动器 1）。图 4 的存储器设备 41 因此包含两个八位宽的读取放大器和写驱动器的组，而图 1 的传统设备仅包含一个这样的读取放大器和写驱动器的组（图 1 中未明确示出）。

[0028] 总的在 45 处标注的转换电路 (SW) 将八位宽信号路径 43 和 44 连接到八位的 (DQ0-DQ7) I/O 缓存器 15，使得对于存储器读出操作和存储器编程操作而言信号路径 43 和 44 对数据处理资源 42 都可用。数据处理资源 42 提供总的在 46 处标注的控制信令来控制读出和编程操作。标为 46 的控制信令包括用于控制上面结合图 1-3 描述的传统存储器读出和编程操作的控制信号，以及附加的控制信令用于控制转换电路 45 的操作。数据处理资源 42 在存储器编程操作期间还在 I/O 缓存器 15 的 DQ0-DQ7 端子处（以传统方式）提供输入数据字节的序列，并且在存储器读出操作期间（以传统方式）接收来自 DQ0-DQ7 端子的输出数据字节的序列。

[0029] 图 5 和 6 分别图示出根据本发明示例实施例的用于 DDR 编程和读出操作的数据传送时序。在一些实施例中，图 4 的系统可以执行图 5 和 6 的编程和读出操作。对于图 5 中所示的编程操作，图 4 的转换电路 45 进行操作，以使得由数据处理资源 42 提供的输入序列

中的数据字节 Din0、Din1 等在信号路径 43 和 44（数据路径 0 和数据路径 1）上被交替路由到存储面 10 的各自对应的存储器部分 40 和 47。第一字节 Din0 在 CLK 的上升沿 (T0) 锁存到 I/O 缓存器 15 中，用于经由信号路径 43（数据路径 0）传送到页面缓存器部分 13A。第二字节 Din1 在 CLK 的下降沿 (T1) 锁存，用于经由信号路径 44（数据路径 1）传送到页面缓存器部分 13B。第三字节 Din2 在 CLK 的下一个上升沿 (T2) 锁存，用于经由信号路径 43 传送到页面缓存器部分 13A。第四字节 Din3 在 CLK 的下一个下降沿 (T3) 锁存，用于经由信号路径 44 传送到页面缓存器部分 13B，以此类推。

[0030] 通过对信号路径 43 和 44 的交替（或交错）选择，用于从 I/O 缓存器 15 到页面缓存器部分 13A 和 13B 的传送的时序预算相对于图 1 的从 I/O 缓存器 15 到页面缓存器部分 13 的传送的时序预算（图 2 中所示）有所放宽。在图 5 中，尽管与图 2 相同在 CLK 的每个边沿上锁存一字节数据，但是从 I/O 缓存器 15 到页面缓存器部分 13A 和 13B 的传送的总的时序预算是 CLK 的一个完整周期，而不是和图 1 和 2 的现有方法相关的半个 CLK 周期的时序预算。例如，如果考虑编程序列 Din0、Din1、Din2，由于对信号路径 43 和 44 的交错选择，当 Din1 在 T1 时锁存到 I/O 缓存器 15 时，无需完成通过信号路径 43 将 Din0 传送到页面缓存器部分 13A 的操作。而是，信号路径 43 仅需要在 Din2 在 T2 被锁存到 I/O 缓存器 15 中时有效。

[0031] 图 6 图示出用于存储器读出操作的时序预算同样被放宽。在 CLK 上升沿 T0 处，第一字节 Dout0 从页面缓存器部分 13A 输出到信号路径 43（数据路径 0）用于传送到 I/O 缓存器 15。响应于 CLK 上升沿 T2，字节 Dout0 在 I/O 缓存器 15 是有效的。该一个 CLK 周期的等待时间对应于用于从页面缓存器部分 13A 传送到 I/O 缓存器 15 所需的时间。类似地，在 CLK 的下降沿 T1，下一个字节 Dout1 从页面缓存器部分 13B 输出到信号路径 44（数据路径 1），用于传送到 I/O 缓存器 15。响应于 CLK 的下降沿 T3，字节 Dout1 在 I/O 缓存器 15 中是有效的。

[0032] 在一些实施例中，转换电路 45 实现在读出操作期间将来自信号路径 43 和 44 的数据字节多路复用到 I/O 缓存器 15 的多路复用功能，和在编程操作期间将来自 I/O 缓存器 15 的数据字节解多路复用到信号路径 43 和 44 的解多路复用功能。图 7-9 示出这样的转换电路的例子。

[0033] 更具体地，图 7-9 示出将 I/O 缓存器 15 的第 n 位位置的 GIOn 解多路复用到信号路径 43 和 44 用于存储器编程（图 8 中示出），和将来自页面缓存器 13A 和 13B 的多个位多路复用到第 n 位位置的 GIOn 中，用于存储器读出（图 9 中所示）。在图 7 中，来自图 4 的附图标记示以具有后缀 'n'，以说明表示图 4 中所示的对应字节宽结构的第 n 位的结构。对于图 4 中示出的字节宽的架构例子中，n 取值 0、1、...、7。图 7 的转换控制信号 IO_ODD 和 IO_EVEN 提供为用于图 4 的字节宽架构的全部八位 (n = 0、1、...、7) 的全局信号。

[0034] 读出或者编程序列中的偶数的字节 (Din0/Dout0，Din2/Dout2，Din4/Dout4 和 Din6/Dout6) 在信号路径 43 上传播，使得 EGIOn 和 EGDLn 对应于给定偶数字节的第 n 位。类似地，读出或者编程序列中的奇数的字节 (Din1/Dout1，Din3/Dout3，Din5/Dout5 和 Din7/Dout7) 在信号路径 44 上传播，使得 OGIOn 和 OGDLn 对应于给定奇数字节的第 n 位。数据处理资源 42 提供转换控制信号 IO-ODD 和 IO_EVEN（还可参见图 4 中的 46）。在参考图 8 和 9，转换控制信号 IO-ODD 和 IO_EVEN 适当地控制传输门 71n 和 72n，来实现对于图 8 的读出

操作的多路复用，和对于图 9 的编程操作的解多路复用。

[0035] 图 10 图示出根据本发明另一个示例实施例的数据处理系统。图 10 的系统总的类似于图 4 的系统，包括耦合到数据处理资源 42A 的 NAND 闪速存储器设备 41A。然而，在图 10 中，提供四个八位宽的信号路径（数据路径 0- 数据路径 3）来在 I/O 缓存器 15 和存储器部分 40 和 47 之间传送数据字节。在图 10 中，图 4 的页面缓存器部分 13A 由一组两个页面缓存器部分 13C 和 13D 代替，其每一个占页面缓存器部分 13A 的一半。还是在图 10 中，图 4 的页面缓存器部分 13B 由一组两个页面缓存器部分 13E 和 13F 代替，其每个占页面缓存器部分 13B 的一半。在一些实施例中，数据路径 0 到数据路径 3 的信号路径的每一个大体上具有和图 4 的信号路径 43 和 44 相同的结构和功能特征。

[0036] 转换电路 45A 将四个信号路径连接到 I/O 缓存器 15。数据处理资源 42A 在编程操作期间提供数据字节的输入序列，并且在读出操作期间接收数据字节的输出序列，并且提供大体上类似于图 4 的控制信令 46 的控制信令 46A，但包括使得转换电路 45A 适于将四个信号路径连接到 I/O 缓存器 15 的控制信号。

[0037] 图 11 和 12 分别图示出根据本发明示例实施例的用于 DDR 编程和读出操作的数据传送时序。在一些实施例中，图 10 的系统可以执行图 11 和 12 的编程和读出操作。图 11 中，如同在图 5 中，数据字节在 CLK 的每个边沿载入 I/O 缓存器 15 中。控制信令 46A（还参考图 10）使得转换电路 45A 交错选择四个信号路径，用来对输入序列的数据字节进行如下路由 ：Din0 经由数据路径 0 到页面缓存器部分 13C ；Din1 经由数据路径 1 到页面缓存器部分 13E ；Din2 经由数据路径 2 到页面缓存器部分 13D ；以及 Din3 经由数据路径 3 到页面缓存器部分 13F。这表示四个信号路径即数据路径 0 到数据路径 3 的四路交错选择。

[0038] 和参考图 4-6 上面描述的两路交错的信号路径选择相比，图 10-12 的四路交错进一步放宽 I/O 缓存器 15 和页面缓存器部分之间的传送的时序预算。例如，如图 11 中所示，Din0 在 T0 时锁存到 I/O 缓存器 15 中，并且路由到数据路径 0 上，但是直到在 T4 时锁存了 Din4，数据路径 0 才对于另一个数据传送可用。因此，两个完整的 CLK 周期可用于将数据字节从 I/O 缓存器 15 传送到页面缓存器部分 13C-13F 的任一个，但是新的字节仍在 CLK 的每个边沿上锁存到 I/O 缓存器 15 中。同样，图 12 示出在存储器读出操作期间也可实现同样的两个 CLK 周期的时序预算，同时仍旧在 CLK 的每个边沿从页面缓存器部分 13C-13F 的其中一个输出数据字节。

[0039] 对于本领域内的普通技术人员明显的是（并且如一些实施例中所实现的），图 7 的传输门结构和控制信号容易扩展以实现图 11 和 12 所示的相应的编程和读出操作。

[0040] 图 13 图示出根据本发明另一个示例实施例的数据处理系统。图 13 的该数据处理系统可以看作是图 4 的数据处理系统的扩展，包括两个存储面 10。更具体地，该系统包括具有两个 NAND 闪速存储面 10 的存储器设备 41B，也标示为存储面 0 和存储面 1。以与参考图 4-6 上述的同样方式，每个存储面经由两个页面缓存器部分 (13A 和 13B) 和两个各自对应的信号路径（对于存储面 0 是数据路径 0 和数据路径 1，和对于存储面 1 是数据路径 2 和数据路径 3）连接到 I/O 缓存器 15。存储面 0 和存储面 1 具有与其相关的转换电路 45 的第一和第二各自对应的实例（还参考图 4-6），其将与其相关的信号路径以参考图 4-6 描述的相同方式连接到 I/O 缓存器 15。提供转换电路 45 的第三实例来将第一和第二转换电路 45 连接到 I/O 缓存器 15。

[0041] 数据处理资源 42B 提供控制信令 46B 到存储器设备 41B，其包括以参考图 4-6 描述的相同方式来控制转换电路 45 的第一和第二实例的信号。46B 的另一控制信令控制转换电路 45 的第三实例，使得对存储面 0 和存储面 1 的（读出和编程）访问根据任一期望时序互相交错。

[0042] 图 14 图示出根据本发明另一个示例实施例的数据处理系统。图 14 的该数据处理系统可以看作是对图 10 的数据处理系统的扩展以包括两个存储面 10（包括在存储器设备 41C 中），其总的与图 13 的数据处理系统扩展图 4 的数据处理系统来包括两个存储面的方式相同。数据处理资源 42C 提供控制信令 46C 到存储器设备 41C，该信令包括用于以参考图 10-12 描述的相同方式控制转换电路 45A（参见图 10-12）的第一和第二实例的信号。46C 处的另一控制信令控制转换电路 45 的实例（参考图 4-6），使得存储面 0 和存储面 1 的（读出和编程）访问根据任一期望时序互相交错。

[0043] 上述数据处理系统的多个实施例展示了诸如以下未详尽列出实例的特征：(1) 数据处理系统提供作为单个集成电路；(2) 存储器设备和数据处理资源各自提供在两个单独的集成电路上；(3) 存储器设备和数据处理资源的其中一个提供在单个集成电路上，而存储器设备和数据处理资源的另一个在多个集成电路上分布；(4) 存储器设备分布在多个集成电路上，数据处理资源分布在多个集成电路上；(5) 读出和编程操作是根据 CLK 的不同版本来时序控制的；(6) 编程操作是根据写使能信号（而不是 CLK）来时序控制的，而读出操作是根据读使能信号（而不是 CLK）来时序控制的；和 (7) 数据处理系统的架构是可缩放的，用于传送具有不同于八位的位宽的数据单元。

[0044] 尽管图 13 和 14 中所示的 NAND 闪速存储器设备包含两个存储面，但在其他实施例中 NAND 闪速存储器设备包含多于两个的存储面。在一些实施例中，NAND 闪速存储器设备包括多个存储面，其个数大于 2 并且不是 2 的乘幂。例如，在多个实施例中，NAND 闪速存储器设备包括三个存储面，其内容根据类似于参考图 13 和 14 所描述的交错选择序列连接到单个 I/O 缓存器。

[0045] 在一些实施例中，上述多个数据处理系统实现了移动数据处理应用或者移动数据存储应用。在多个实例中，上述数据处理系统构成以下任一个：例如数字音频 / 视频播放器、蜂窝电话、闪存卡、USB 闪速驱动器和用于替代硬盘驱动器 (HDD) 的固态驱动器 (SSD)。

[0046] 尽管本发明的示例实施例在上面详细进行了描述，但是这并不限制本发明的保护范围，本发明可以以多种实施例来实现。

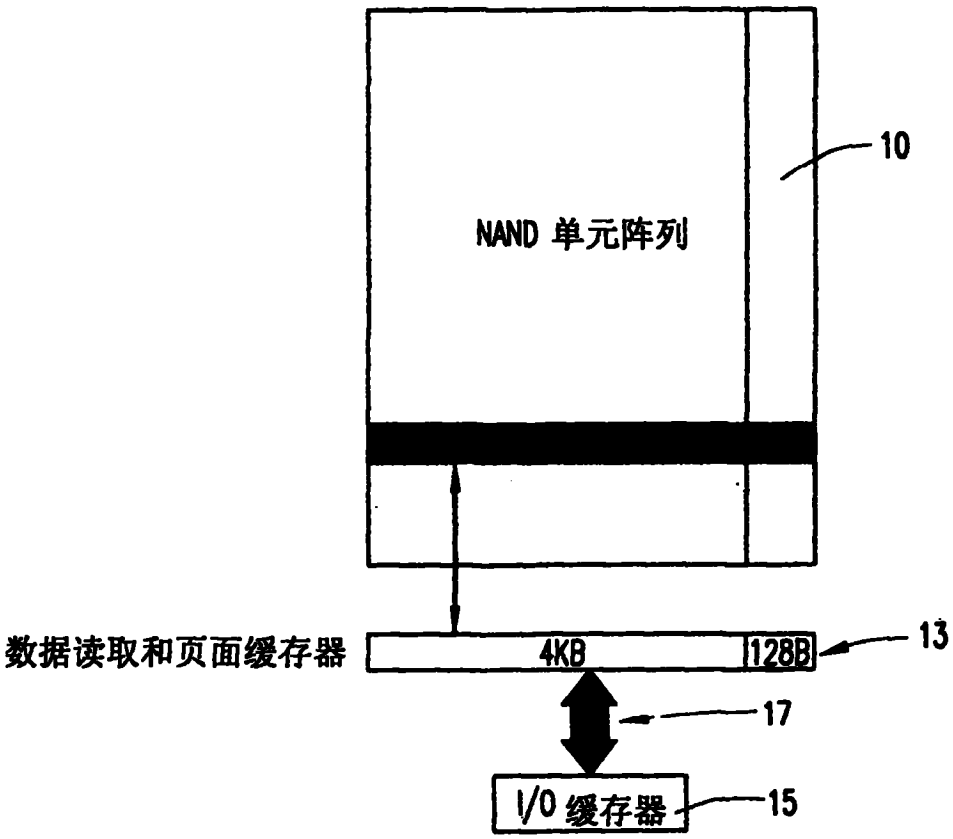


图 1（现有技术）

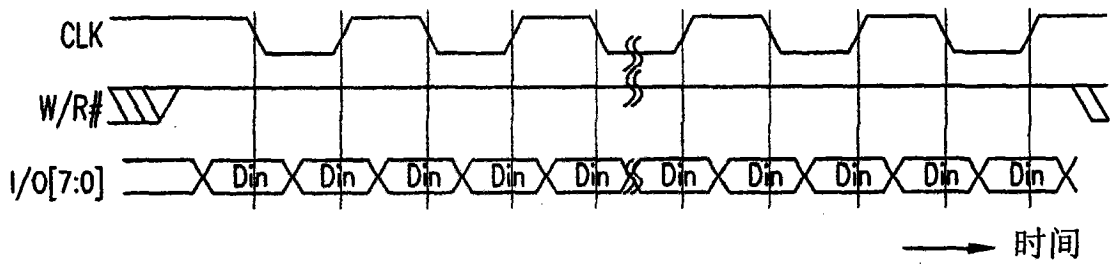


图 2（现有技术）

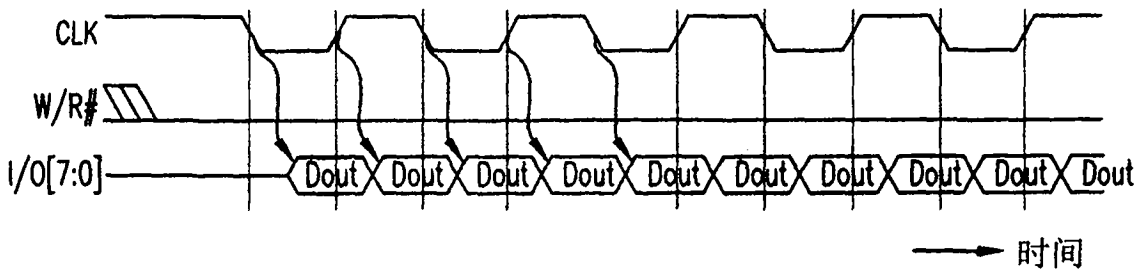


图 3（现有技术）

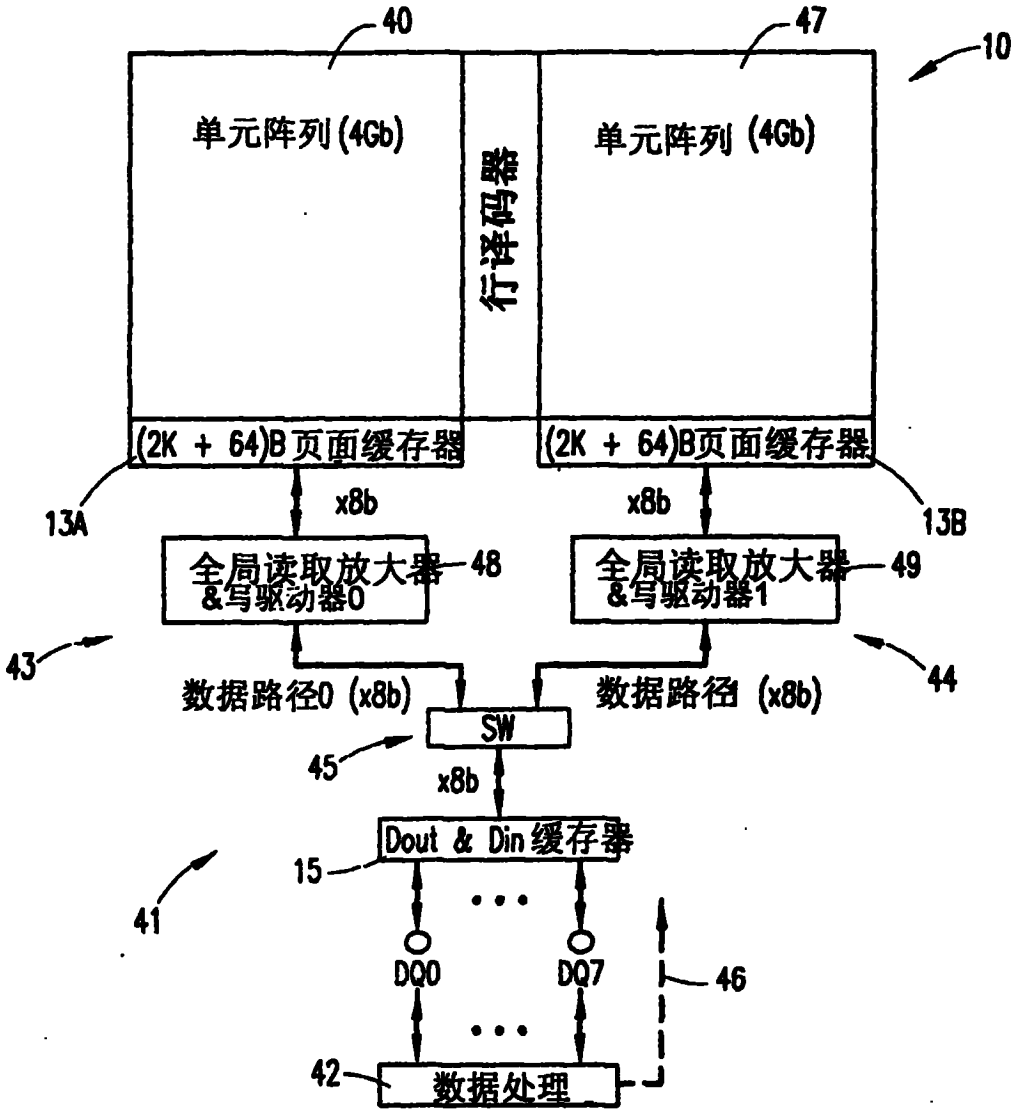

40
47
10
单元阵列(4Gb)
行译码器
单元阵列 (4Gb)
(2K + 64)B页面缓存器
(2K + 64)B页面缓存器
13A
x8b
x8b
13B
全局读取放大器&写驱动器0
48
全局读取放大器&写驱动器1
49
43
44
数据路径0 (x8b)
数据路径1 (x8b)
SW
45
x8b
Dout & Din缓存器
15
41
DQ0
DQ7
46
42
数据处理

图 4

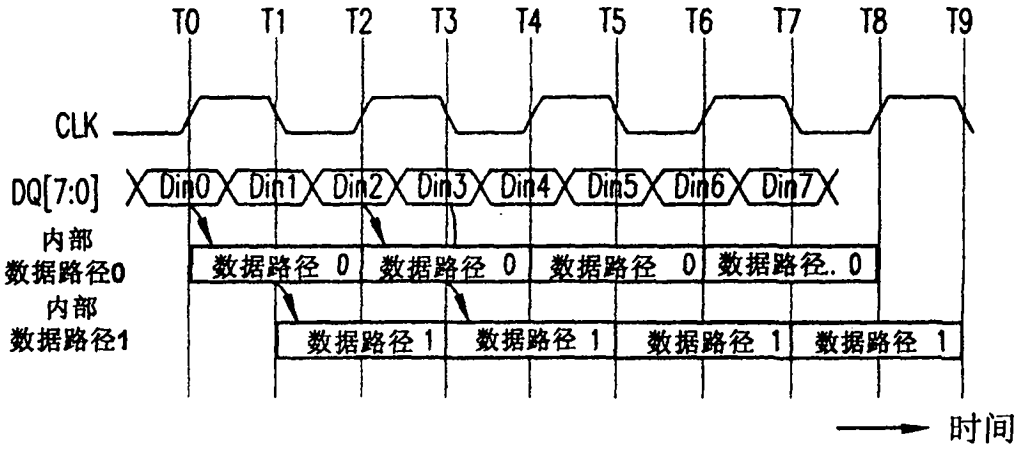

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
CLK
DQ[7:0]
Din0
Din1
Din2
Din3
Din4
Din5
Din6
Din7
内部数据路径0
内部数据路径1
数据路径 0
数据路径 1
时间

图 5

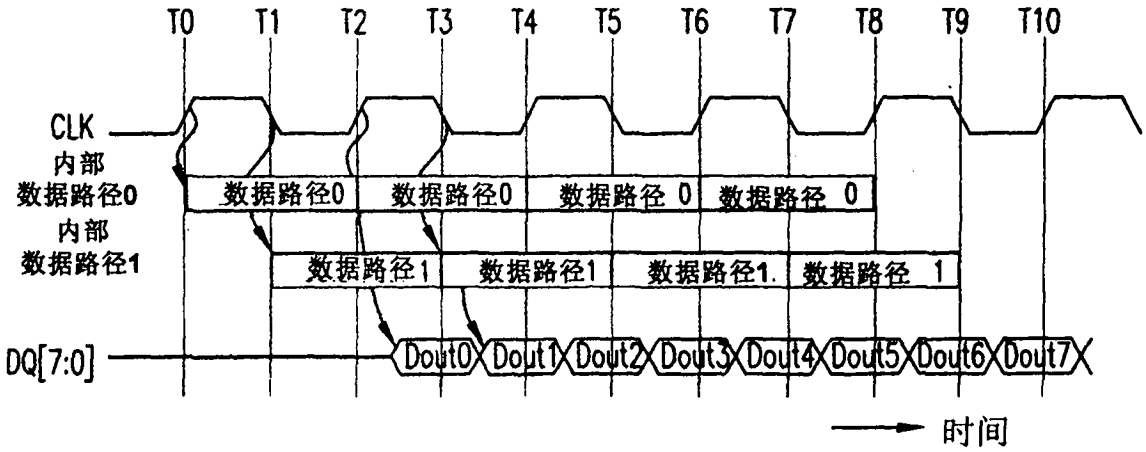

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
CLK
内部
数据路径0
内部
数据路径1
数据路径0
数据路径0
数据路径 0
数据路径 0
数据路径1
数据路径1
数据路径1.
数据路径 1
DQ[7:0]
Dout0
Dout1
Dout2
Dout3
Dout4
Dout5
Dout6
Dout7
时间

图 6

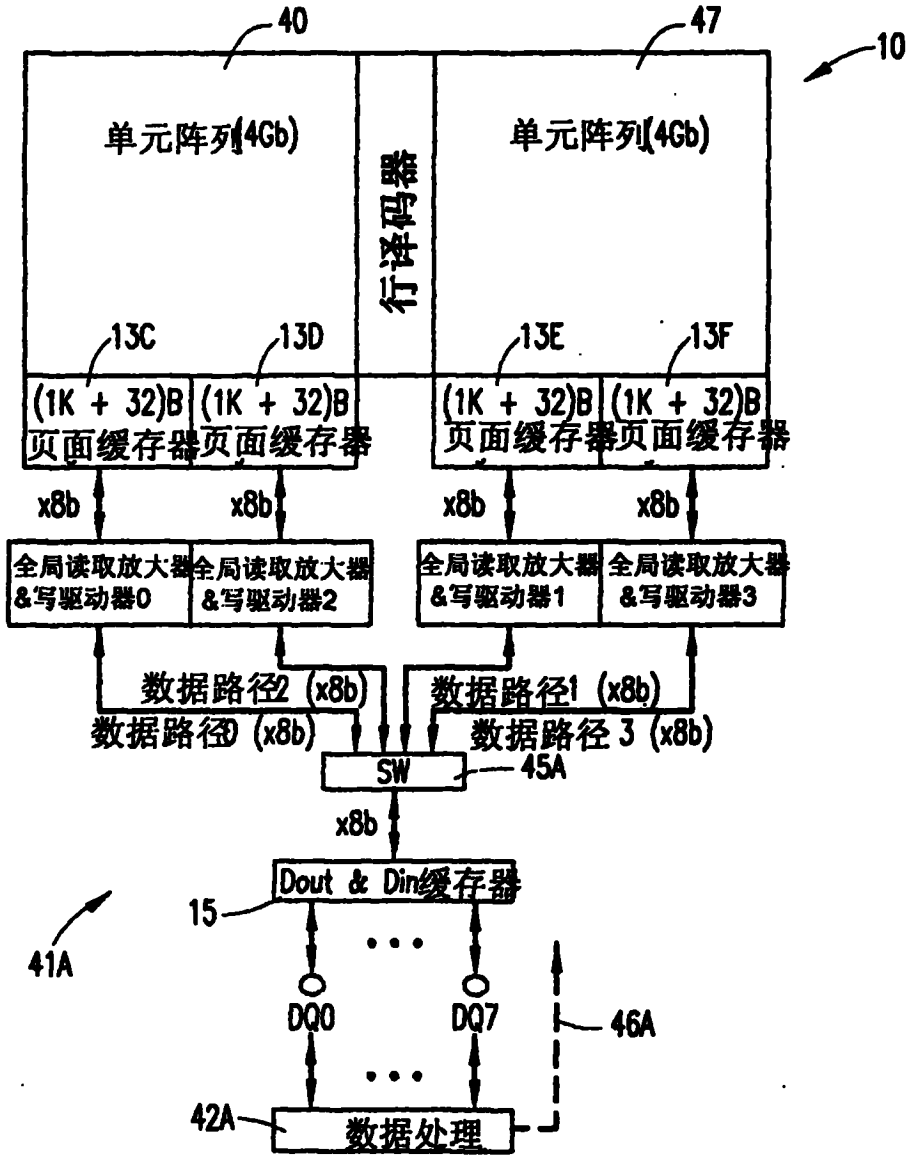

40
47
10
单元阵列(4Gb)
行译码器
单元阵列(4Gb)
13C
13D
13E
13F
(1K + 32)B 页面缓存器
(1K + 32)B 页面缓存器
(1K + 32)B 页面缓存器
(1K + 32)B 页面缓存器
x8b
x8b
x8b
x8b
全局读取放大器&写驱动器0
全局读取放大器&写驱动器2
全局读取放大器&写驱动器1
全局读取放大器&写驱动器3
数据路径2 (x8b)
数据路径1 (x8b)
数据路径0 (x8b)
数据路径 3 (x8b)
SW
45A
x8b
Dout & Din缓存器
15
41A
DQ0
DQ7
46A
42A
数据处理

图 10

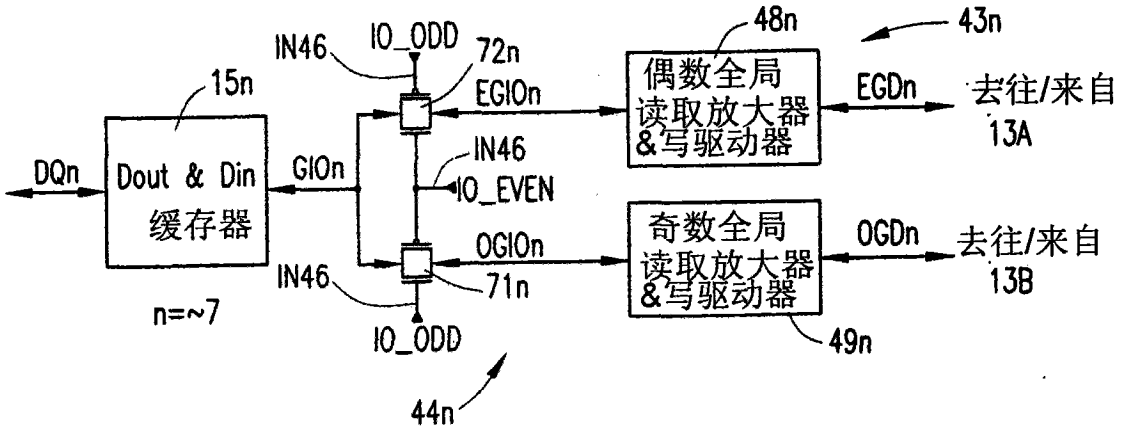

IN46
IO_ODD
72n
48n
43n
15n
EGIOn
偶数全局
读取放大器
&写驱动器
EGDn
去往/来自
13A
DQn
Dout & Din
缓存器
GIOn
IN46
IO_EVEN
奇数全局
读取放大器
&写驱动器
OGDn
去往/来自
13B
OGIOn
IN46
71n
n=~7
IO_ODD
49n
44n

图 7

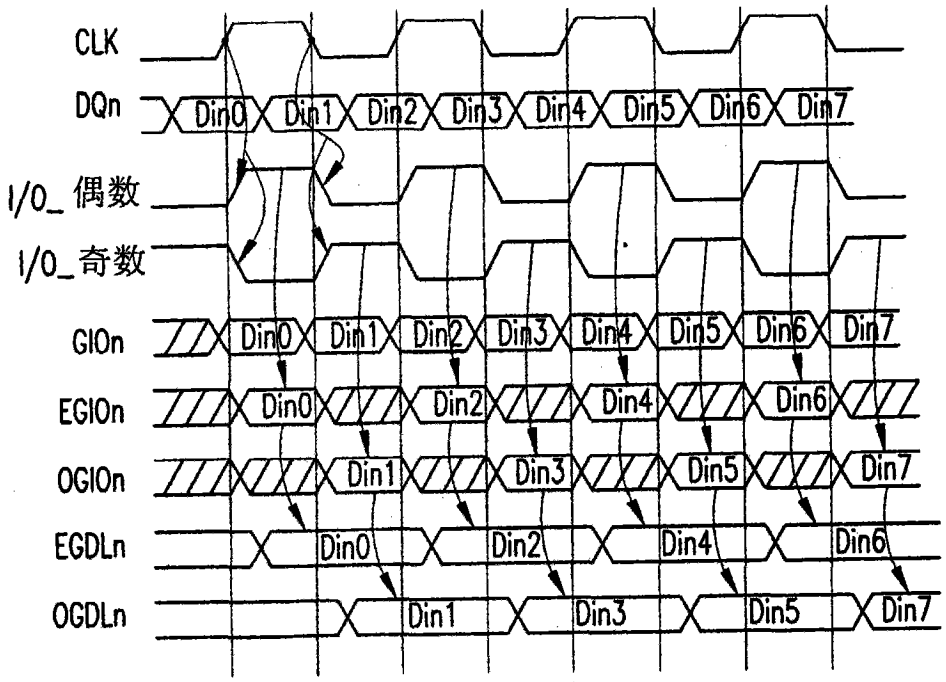

CLK
DQn
Din0
Din1
Din2
Din3
Din4
Din5
Din6
Din7
I/O_ 偶数
I/O_奇数
GIOn
EGIOn
OGIOn
EGDLn
OGDLn

图 8

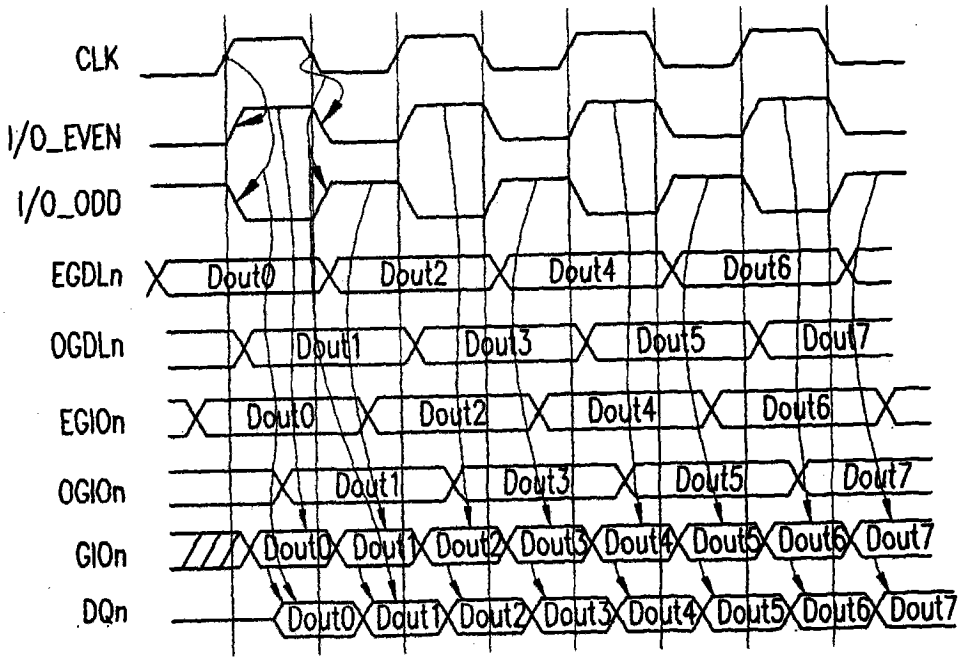

CLK
I/O_EVEN
I/O_ODD
EGDLn
OGDLn
EGIOn
OGIOn
GIOn
DQn
Dout0
Dout1
Dout2
Dout3
Dout4
Dout5
Dout6
Dout7

图 9

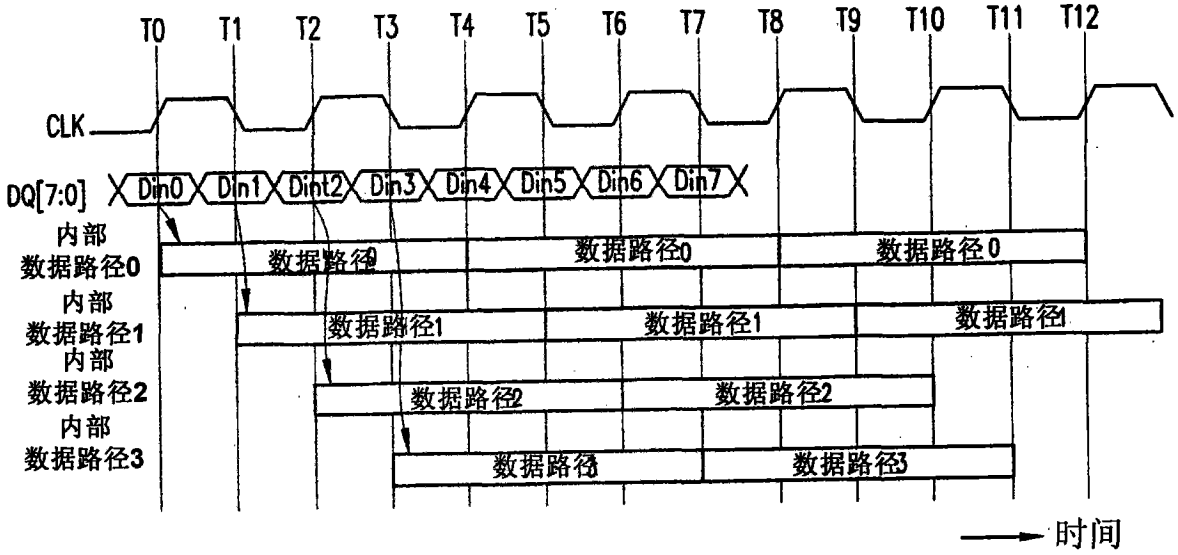

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
CLK
DQ[7:0]
Din0
Din1
Dint2
Din3
Din4
Din5
Din6
Din7
内部
数据路径0
内部
数据路径1
内部
数据路径2
内部
数据路径3
数据路径0
数据路径1
数据路径2
数据路径3
时间

图 11

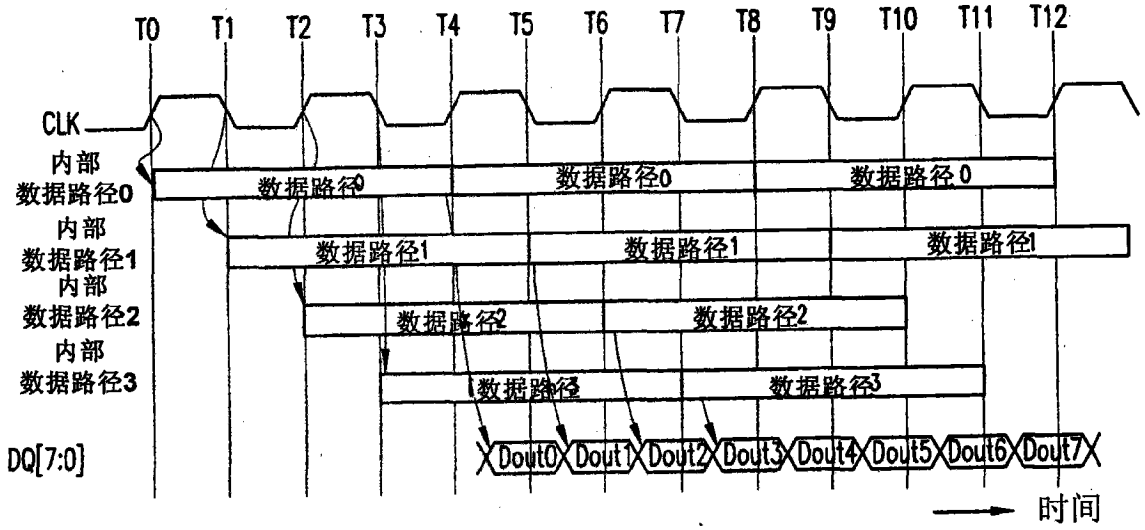

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
CLK
内部
数据路径0
数据路径0
数据路径0
数据路径0
内部
数据路径1
数据路径1
数据路径1
数据路径1
内部
数据路径2
数据路径2
数据路径2
内部
数据路径3
数据路径3
数据路径3
DQ[7:0]
Dout0
Dout1
Dout2
Dout3
Dout4
Dout5
Dout6
Dout7
时间

图 12

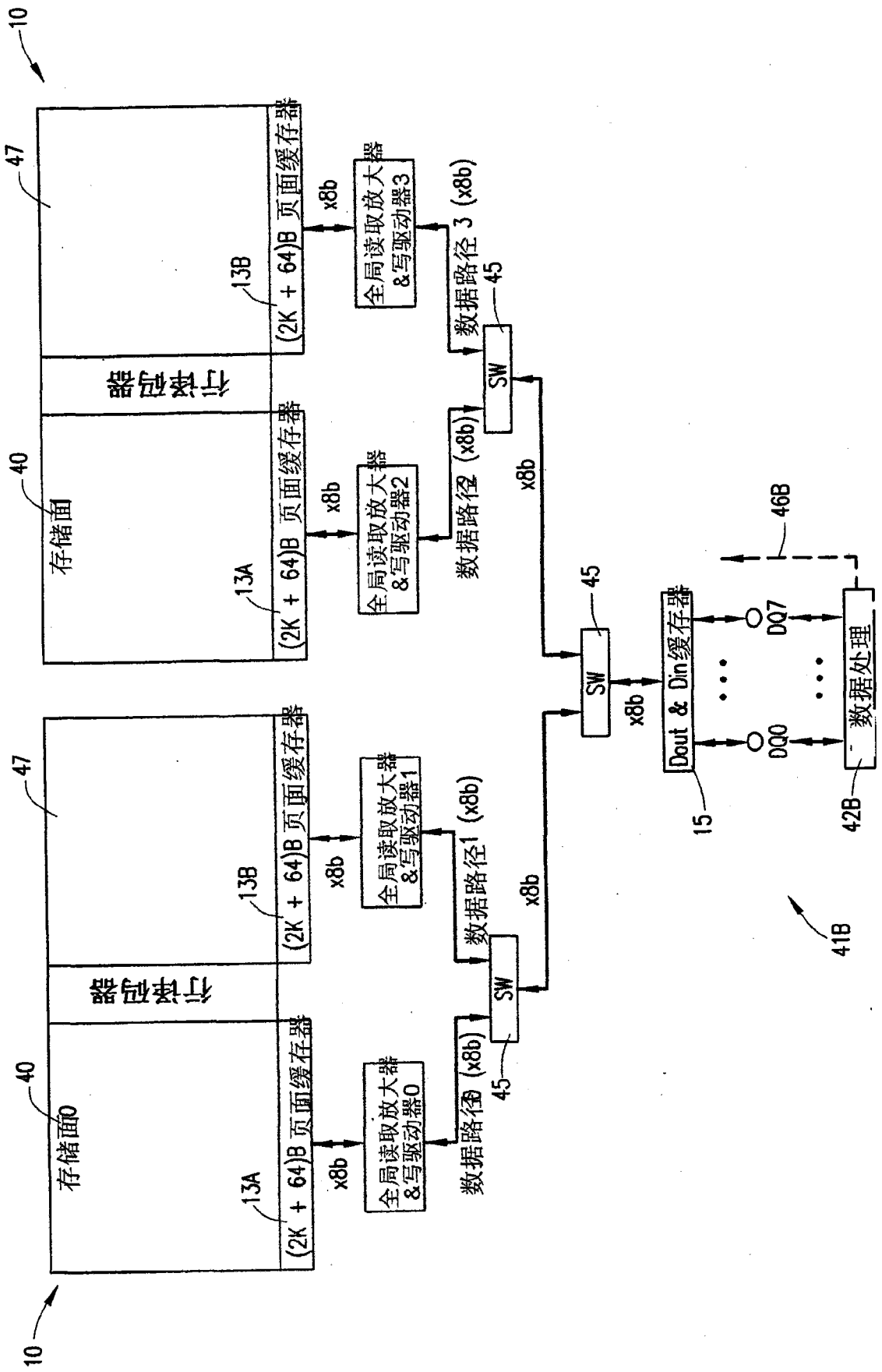

10
47
40
存储面
行译码器
13B
13A
(2K + 64)B 页面缓存器
x8b
全局读取放大器&写驱动器3
全局读取放大器&写驱动器2
全局读取放大器&写驱动器1
全局读取放大器&写驱动器0
数据路径 3 (x8b)
数据路径2 (x8b)
数据路径1 (x8b)
数据路径0 (x8b)
45
SW
Dout & Din缓存器
DQ7
DQ0
46B
15
42B
数据处理
41B

图 13

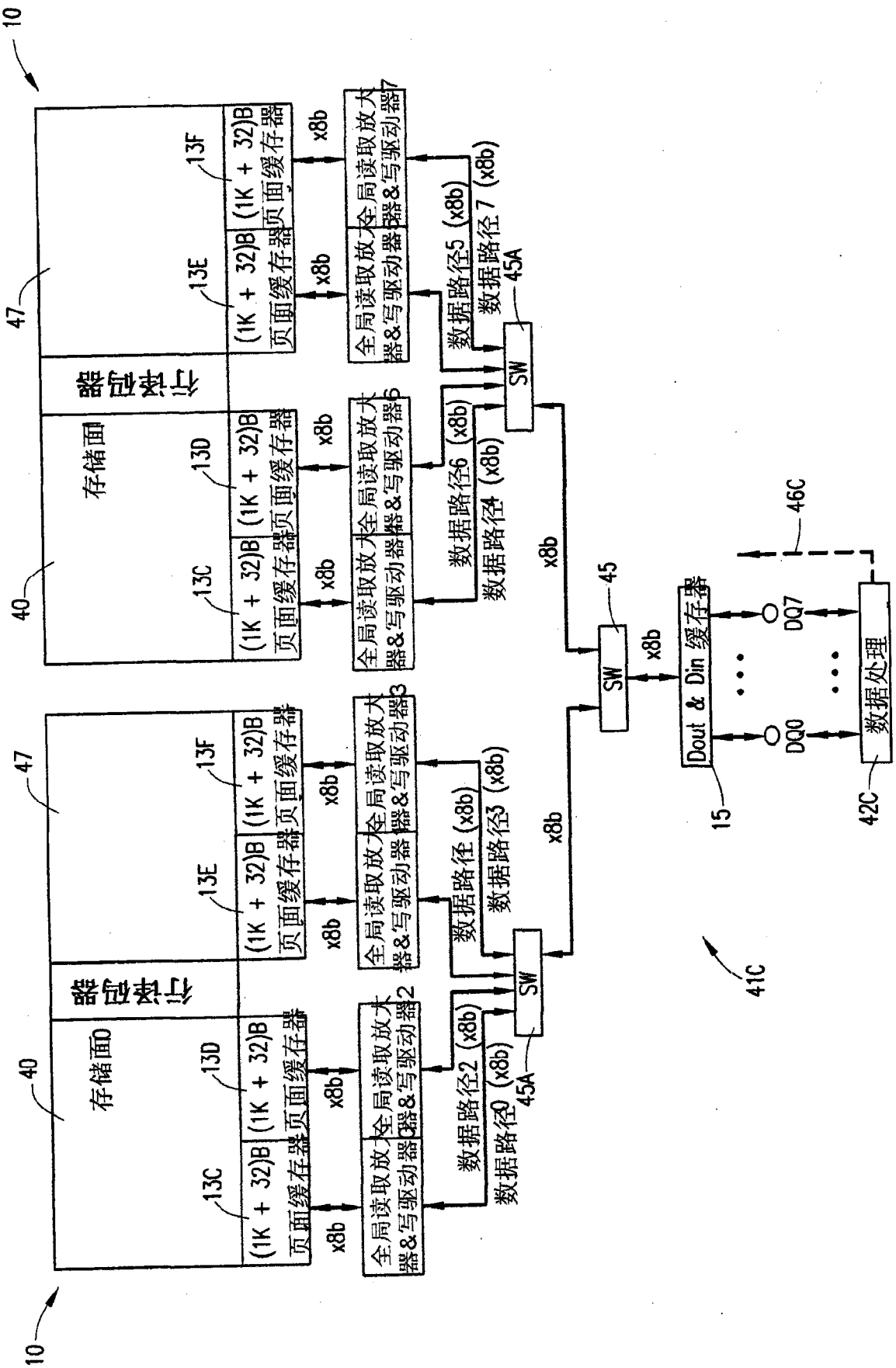

10
40
47
存储面0
行译码器
存储面
行译码器
13C
13D
13E
13F
(1K + 32)B
页面缓存器
x8b
全局读取放大器&写驱动器0
全局读取放大器&写驱动器1
全局读取放大器&写驱动器2
全局读取放大器&写驱动器3
全局读取放大器&写驱动器4
全局读取放大器&写驱动器5
全局读取放大器&写驱动器6
全局读取放大器&写驱动器7
数据路径0 (x8b)
数据路径1 (x8b)
数据路径2 (x8b)
数据路径3 (x8b)
数据路径4 (x8b)
数据路径5 (x8b)
数据路径6 (x8b)
数据路径7 (x8b)
45A
SW
45
Dout & Din 缓存器
15
41C
DQ0
DQ7
46C
数据处理
42C

图 14