(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/163872 A1

(51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 29/41* (2006.01)
H01L 21/822 (2006.01) *H01L 29/861* (2006.01)
H01L 27/04 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号： PCT/JP2018/006877

(22) 国際出願日： 2018年2月26日(26.02.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-044644 2017年3月9日(09.03.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 巽 孝明(**TATSUMI Takaaki**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

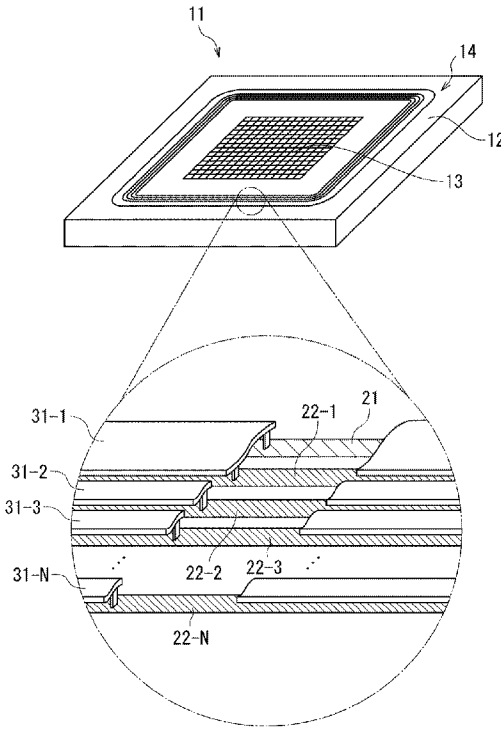
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称： 半導体装置および電子機器

Fig. 1



(57) **Abstract:** The present disclosure relates to a semiconductor device and an electronic apparatus with which a higher withstand voltage can be achieved. In an N-type well on a surface of a semiconductor substrate, an outer peripheral structure region is disposed around an outer periphery of a region in which a plurality of semiconductor elements are formed. An anode is disposed on an inner-most side of the outer peripheral structure region, and a plurality of guard rings are disposed in a multiple manner on the outside of the anode. A field plate covering the anode and a field plate covering the guard ring adjacent to the anode are electrically connected to each other and formed integrally. The present technique may be applied to various semiconductor devices, for example.

(57) 要約：本開示は、さらなる高耐圧化を図ることができるようにする半導体装置および電子機器に関する。半導体基板の表面のN型ウェルに、複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が設けられる。また、外周構造領域の最も内側にアノードが配置され、そのアノードよりも外側に多重に複数のガードリングが配置される。そして、アノードを覆うフィールドプレートと、アノードに隣接するガードリングを覆うフィールドプレートとが、電気的に接続され、一体となるように形成される。本技術は、例えば、各種の半導体装置に適用できる。

WO 2018/163872 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 半導体装置および電子機器

技術分野

[0001] 本開示は、半導体装置および電子機器に関し、特に、さらなる高耐圧化を図ることができるようにした半導体装置および電子機器に関する。

背景技術

[0002] 従来、様々な半導体装置では、半導体基板の表面において外周を囲うように設けられるガードリングを利用し、耐圧を向上させる手法が用いられている。ガードリングによる耐圧は、一般的に、最も外側のガードリングに印加される電界で決定される。そのため、例えば、ガードリングの幅やピッチ、個数などによって、ポテンシャル分布のバランスを図ったり、ガードリングの端部処理によって、その端部での電界を緩和したり、ガードリングの不純物の縦方向のレイアウトによって、電界の集中を表面および底面の２カ所に分割したりすることで、耐圧を向上させることが行われている。

[0003] また、ガードリングを覆うようにフィールドプレートを設けることによって、半導体基板の表面近傍における電界の緩和を図ることができる。即ち、フィールドプレートを設けない構造では、半導体素子を構成するＰＮ接合の接合部分に電界が集中するのに対して、フィールドプレートを設ける構造では、半導体基板の表面の方にも電界を分散することができ、これによって耐圧を向上させることができる。

[0004] 例えば、特許文献１には、最内周側のフィールドプレートと、その隣のフィールドプレートとをコーナー部で電気的に接続することで、ブレークダウン時のコーナー部における外周耐圧部の電流密度を低減させることができる半導体装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００３－１７４１６５号公報

発明の概要

発明が解決しようとする課題

[0006] 上述したように、従来、ガードリングを利用して耐圧を向上させる手法が用いられているが、様々な状況に対応して、さらに耐圧を高めることが求められている。

[0007] 本開示は、このような状況に鑑みてなされたものであり、さらなる高耐圧化を図ることができるようにするものである。

課題を解決するための手段

[0008] 本開示の一側面の半導体装置は、複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と、前記第１の素子領域および複数の前記ガードリングそれぞれを覆うように形成される金属配線とを備え、前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とが、電気的に接続される。

[0009] 本開示の一側面の半導体装置は、複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、前記外周構造

領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域とを備え、前記第１の素子領域と、少なくとも前記第１の素子領域に隣接する前記ガードリングとが、電気的に接続される。

[0010] 本開示の一側面の電子機器は、複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と、前記第１の素子領域および複数の前記ガードリングそれぞれを覆うように形成される金属配線とを備え、前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とが、電気的に接続される半導体装置を備える。

[0011] 本開示の一側面においては、半導体基板の表面の第１の導電型には、複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が設けられる。そして、第１の素子領域は、外周構造領域の最も内側に配置され、第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層とされ、所定の基準電位に接続される。複数のガードリングは、外周構造領域において第１の素子領域よりも外側に多重に配置され、第２の導電型が円環形状に形成された高濃度の半導体層とされる。第２の素子領域は、外周構造領域よりも外側に設けられ、第１の導電型からなる高濃度の半導体層とされ、所定のゲート電位に接続される。金属配線は、第１の素子領域および複数のガードリングそれぞれを覆うように形成される。さらに、第１の素子領域を覆う金属配線と、少なくとも第１の素子領域に隣接するガードリングを

覆う金属配線とが、電気的に接続される。または、金属配線を設けずに、第１の素子領域と、少なくとも第１の素子領域に隣接するガードリングとが、電気的に接続される。

発明の効果

[0012] 本開示の一側面によれば、さらなる高耐圧化を図ることができる。

図面の簡単な説明

[0013] [図1]本技術を適用した半導体装置の一実施の形態の構成例を示す図である。

[図2]外周構造領域の第１の構成例を示す断面図である。

[図3]アノードおよびガードリングの近傍でのポテンシャルを説明する図である。

[図4]従来の構成におけるアノードおよびガードリングの近傍での電界強度分布を説明する図である。

[図5]本実施の形態におけるアノードおよびガードリングの近傍での電界強度分布を説明する図である。

[図6]外周構造領域の第２の構成例を示す断面図である。

[図7]外周構造領域の第３の構成例を示す断面図である。

[図8]外周構造領域の第４の構成例を示す断面図である。

[図9]外周構造領域の第５の構成例を示す断面図である。

[図10]外周構造領域の第６の構成例を示す断面図である。

[図11]電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0014] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0015] ＜半導体装置の構成例＞

図１は、本技術を適用した半導体装置の一実施の形態の構成例を示す図である。

[0016] 図１の上側には、半導体装置１１について全体の概略的な構成を示す斜視図が示されており、図１の下側には、半導体装置１１の一部分が拡大して示

されている。

[0017] 図１に示す半導体装置１１は、半導体基板１２の表面に、複数の半導体素子が形成される素子形成領域１３が設けられるとともに、素子形成領域１３の外周を囲うように配置される外周構造領域１４が半導体基板１２の表面に設けられて構成される。

[0018] 半導体基板１２は、例えば、単結晶のシリコンを薄くスライスしたウェハである。

[0019] 素子形成領域１３は、半導体装置１１が備える機能を実行するための各種の半導体素子（例えば、トランジスタやダイオードなど）が形成される領域である。

[0020] 外周構造領域１４は、素子形成領域１３の外周部分において、半導体装置１１に高電圧が印加されることによるブレークダウンの発生を防止するように高耐圧化を図るための構造物が形成される領域である。例えば、外周構造領域１４は、半導体基板１２の表面に形成されるＮ型ウェルに設けられ、図１の下側に示すように、アノード２１、ガードリング２２－１乃至２２－Ｎ、およびフィールドプレート３１－１乃至３１－Ｎが形成されて構成される。

[0021] アノード２１は、外周構造領域１４における最も内側に配置されており、円環形状に形成されるＰ型の半導体層であって、所定の基準電位（ＧＮＤ）に接続される。

[0022] ガードリング２２－１乃至２２－Ｎは、外周構造領域１４においてアノード２１よりも外側に多重に配置されており、円環形状に形成される高濃度のＰ型の半導体層である。

[0023] フィールドプレート３１－１乃至３１－Ｎは、アノード２１およびガードリング２２－１乃至２２－Ｎそれぞれを覆うように形成されるゲート金属配線である。

[0024] ここで、フィールドプレート３１－１は、外周構造領域１４の最も内側に配置され、アノード２１と、アノード２１に隣接するガードリング２２－１

とを覆うように形成されており、アノード２１およびガードリング２２－１の両方に接続される。また、フィールドプレート３１－２は、フィールドプレート３１－１の外側に配置され、ガードリング２２－２を覆うように形成されており、ガードリング２２－２に接続される。同様に、フィールドプレート３１－３乃至３１－Ｎが、外側に向かって順に配置され、それぞれガードリング２２－３乃至２２－Ｎを覆うように形成されており、それぞれガードリング２２－３乃至２２－Ｎに接続される。

[0025] このように、半導体装置１１の外周構造領域１４は、最も内側に設けられるアノード２１と、アノード２１に隣接して設けられるガードリング２２－１とを覆うようにフィールドプレート３１－１が設けられた構成となっている。このような構成によって、半導体装置１１は、外周構造領域１４の内側における電界の集中を緩和することができ、従来よりも高耐圧化を図ることができる。

[0026] ＜外周構造領域の第１の構成例＞

図２に示す断面的な構成例を参照し、外周構造領域１４の構造についてさらに説明する。図２では、図の左側が外周構造領域１４の内側となり、図の右側が外周構造領域１４の外側となっている。

[0027] 図２に示すように、外周構造領域１４では、半導体基板１２のＮ型ウェルの表面に、アノード２１を構成するＰ型の半導体層（素子領域）、および、ガードリング２２－１乃至２２－Ｎを構成する高濃度のＰ型の半導体層が形成されている。また、外周構造領域１４より外側の任意の箇所において、半導体基板１２のＮ型ウェルの表面に、カソード２３を構成する高濃度のＮ型の半導体層（素子領域）が形成されており、カソード２３は、所定のゲート電位に接続されている。

[0028] また、フィールドプレート３１－１乃至３１－Ｎのうち、最も内側に配置されるフィールドプレート３１－１は、アノード２１およびガードリング２２－１の両方を覆うように形成され、所定の基準電位に接続されている。そして、フィールドプレート３１－１およびアノード２１を接続するように電

極３２が形成されているともに、フィールドプレート３１－１およびガードリング２２－１を接続するように電極３３－１が形成されている。即ち、アノード２１およびガードリング２２－１は、フィールドプレート３１－１を介して、所定の基準電位に接続されている。

[0029] そして、図２において破線の円で囲う領域に示すように、フィールドプレート３１－１の外側（図２の右側）の端部は、ガードリング２２－１よりも所定幅だけ外側まで延在するように形成される。これにより、フィールドプレート３１－１は、ガードリング２２－１より外側にある半導体基板１２のＮ型ウェルの一部を所定幅だけ覆うように形成される。

[0030] また、フィールドプレート３１－２は、ガードリング２２－２を覆うように形成され、フィールドプレート３１－２およびガードリング２２－２を接続するように電極３３－２が形成されている。同様に、フィールドプレート３１－３乃至３１－Ｎは、外側に向かって順次、それぞれガードリング２２－３乃至２２－Ｎを覆うように形成され、それらを接続するように、電極３３－３乃至３３－Ｎが形成されている。

[0031] このように外周構造領域１４は構成されており、最も内側のフィールドプレート３１－１が基準電位に接続されるとともに、外周構造領域１４よりも外側に設けられるカソード２３にゲート電位が印加される。このとき、外周構造領域１４は、フィールドプレート３１－１に接続されているアノード２１およびガードリング２２－１の近傍において電界の集中を緩和することで、半導体装置１１の高耐圧化を図ることができる。

[0032] ここで、図３乃至図５を参照して、外周構造領域１４のアノード２１およびガードリング２２－１の近傍におけるポテンシャルと電界強度分布について説明する。

[0033] 図３のＡには、本実施の形態の構成、即ち、図２に示したようにアノード２１およびガードリング２２－１を覆うようにフィールドプレート３１－１が形成された構成における半導体基板１２のポテンシャルが示されている。図３のＢには、従来の構成、即ち、アノード２１を覆うフィールドプレート

３４と、ガードリング２２－１を覆うフィールドプレート３４－１’とが、それぞれ個別に形成されている構成における半導体基板１２のポテンシャルが示されている。また、図３では、ポテンシャルが深くなるのに従って色が濃くなるように図示されている。

[0034] 例えば、図３のＢに示すように、従来の構成では、アノード２１を覆うフィールドプレート３４が基準電位（０Ｖ）に接続されており、アノード２１の近辺だけポテンシャルが深くなっていた。これに対し、図３のＡに示すように、アノード２１およびガードリング２２－１を覆うフィールドプレート３１－１が基準電位（０Ｖ）に接続される構成とすることで、アノード２１の近辺だけでなく、ガードリング２２－１の近辺においてもポテンシャルを深くすることができる。

[0035] また、図４には、図３のＢに示したような従来の構成において半導体基板１２に発生する電界強度の分布が示されている。図４に示すように、従来の構造では、アノード２１を覆うフィールドプレート３４の端部でのみ、即ち、アノード２１およびガードリング２２－１の間においてアノード２１側でのみ、電界強度が高くなっている。

[0036] これに対し、図５には、図３のＡに示したような本実施の形態において半導体基板１２に発生する電界強度の分布が示されている。図５に示すように、アノード２１およびガードリング２２－１を覆うようにフィールドプレート３１－１が形成される構造では、アノード２１およびガードリング２２－１の間において、それらの両方で電界強度が高くなっている。即ち、図４に示した電界強度の分布と比較して、本実施の形態では、電界の集中が分配され、アノード２１側だけでなくガードリング２２－１側でも電界強度が高くなっている。

[0037] 従って、従来のようにフィールドプレート３４およびフィールドプレート３４－１’を個別に設けるのはなく、それらを電気的に接続して一体化（短絡）させたような構成のフィールドプレート３４－１を設けることによって、電界の集中を緩和することができる。即ち、アノード２１およびガードリ

ング２２－１を覆うようにフィールドプレート３１－１を形成することによって、電界の集中が緩和される結果、半導体装置１１の高耐圧化を図ることができる。

[0038] 特に、アノード２１およびガードリング２２－１の両方を覆うようなフィールドプレート３４－１を設ける構成は、外周構造領域１４の内側に電界が集中するのに対して有効に、高耐圧化を図ることができる。

[0039] また、外周構造領域１４では、フィールドプレート３１－１の外側の端部が、ガードリング２２－１よりも所定幅だけ外側まで延在するように形成されている。これにより、フィールドプレート３１－１は、ガードリング２２－１より外側にある半導体基板１２のＮ型ウェルの一部を所定幅だけ覆うことになり、この所定幅の部分において、電界の勾配を緩和することができる。従って、半導体装置１１のさらなる高耐圧化を図ることができる。

[0040] 例えば、従来、ガードリングの製造時における問題や、特殊用途などによって表面が帯電し、さらにこれに対応した不純物を導入するような状況において、最内側の電界の強さを緩和するような対策は行われていなかった。これに対し、半導体装置１１は、このような状況に対応して、最内側の電界の強さを緩和することによって、耐圧を高めることが可能となった。

[0041] 従って、半導体装置１１は、従来の構成の半導体装置と比較して、より小さな面積でも同等以上の耐圧を実現することができることより、外周構造領域１４を含む全体としての小型化が可能となる。

[0042] ＜外周構造領域の第２の構成例＞

図６には、外周構造領域１４の第２の構成例が示されている。なお、図６に示す外周構造領域１４Ａにおいて、図１の外周構造領域１４と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0043] 図６に示す外周構造領域１４Ａにおいて、最も内側に設けられるフィールドプレート３１－１Ａは、アノード２１を覆うフィールドプレート３４－１と、ガードリング２２－１を覆うフィールドプレート３４－２とを連結プレート３５により部分的に連結して構成される。

[0044] 即ち、図１のフィールドプレート３１－１は、アノード２１を覆う部分とガードリング２２－１を覆う部分とが、外周構造領域１４の全周に亘って一体となるように形成されていた。これに対し、フィールドプレート３１－１Ａは、連結プレート３５を利用して、フィールドプレート３４－１とフィールドプレート３４－２とが同一のレイヤで部分的に連結絡されている。

[0045] このような構成によって、図１の外周構造領域１４と同様に、外周構造領域１４Ａの内側における電界の集中を緩和することができる結果、半導体装置１１の高耐圧化を図ることができる。

[0046] ＜外周構造領域の第３の構成例＞

図７には、外周構造領域１４の第３の構成例が示されている。なお、図７に示す外周構造領域１４Ｂにおいて、図１の外周構造領域１４と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0047] 図７に示す外周構造領域１４Ｂにおいて、最も内側に設けられるフィールドプレート３１－１Ｂは、アノード２１を覆うフィールドプレート３４－１と、ガードリング２２－１を覆うフィールドプレート３４－２とを、異なるレイヤの配線４１を介して電気的に接続して構成される。即ち、フィールドプレート３１－１Ｂが形成されるレイヤとは異なるレイヤに配線４１が設けられており、フィールドプレート３４－１が電極４２を介して配線４１に接続され、フィールドプレート３４－２が電極４３を介して配線４１に接続されている。

[0048] このような構成によって、図１の外周構造領域１４と同様に、外周構造領域１４Ｂの内側における電界の集中を緩和することができる結果、半導体装置１１の高耐圧化を図ることができる。

[0049] ＜外周構造領域の第４の構成例＞

図８には、外周構造領域１４の第４の構成例が示されている。なお、図８に示す外周構造領域１４Ｃにおいて、図７の外周構造領域１４Ｂと共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0050] 図８に示す外周構造領域１４Ｃにおいて、最も内側に設けられるフィール

ドプレート３１－１Ｃは、アノード２１を覆うフィールドプレート３４－１と、ガードリング２２－１を覆うフィールドプレート３４－２とを、異なるレイヤに配置されている抵抗４４を介して電気的に接続して構成される。即ち、フィールドプレート３１－１Ｂが形成されるレイヤとは異なるレイヤに設けられている配線４１に抵抗４４が接続されており、その抵抗４４の両端に、フィールドプレート３４－１に接続される電極４２と、フィールドプレート３４－２に接続される電極４３とが接続されている。

[0051] このような構成によって、図１の外周構造領域１４と同様に、外周構造領域１４Ｃの内側における電界の集中を緩和することができる結果、半導体装置１１の高耐圧化を図ることができる。

[0052] さらに、フィールドプレート３４－１およびフィールドプレート３４－２を、抵抗４４を介して接続する構成によって、フィールドプレート３１－１Ｃは、アノード２１およびガードリング２２－１それぞれの端部に集中する電界強度の割合を調整することができる。これにより、例えば、それぞれの端部に均等に電界強度が集中するように抵抗４４の抵抗値を設定することで、どちらか一方の端部における電界強度が高くなるような構成よりも、耐圧を高めることができる。

[0053] ＜外周構造領域の第５の構成例＞

図９には、外周構造領域１４の第５の構成例が示されている。なお、図９に示す外周構造領域１４Ｄにおいて、図７の外周構造領域１４Ｂと共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0054] 図９に示す外周構造領域１４Ｄにおいて、最も内側に設けられるフィールドプレート３１－１Ｄは、アノード２１を覆うフィールドプレート３４－１、ガードリング２２－１を覆うフィールドプレート３４－２、および、ガードリング２２－２を覆うフィールドプレート３４－３を、異なるレイヤの配線４１を介して電気的に接続して構成される。即ち、フィールドプレート３１－１Ｄが形成されるレイヤとは異なるレイヤに配線４１が設けられており、フィールドプレート３４－１乃至３４－３が、それぞれ電極４２、４３、

および４５を介して配線４１に接続されている。

[0055] このような構成によって、図１の外周構造領域１４と同様に、外周構造領域１４Ｄの内側における電界の集中を緩和することができる結果、半導体装置１１の高耐圧化を図ることができる。さらに、接続されるフィールドプレート３４の枚数を適切に設定することによって、半導体装置１１の耐圧をより向上させることができる。

[0056] なお、接続されるフィールドプレート３４の枚数は、上述したような２枚および３枚に限定されることなく、必要に応じて、外周構造領域１４の内側から３枚以上のフィールドプレート３４を接続してもよい。さらに、複数枚のフィールドプレート３４の接続は、異なるレイヤに設けられる配線４１を利用する他、図１に示したように外周構造領域１４の全周に亘って一体となるように形成したり、図６に示したように連結プレート３５を利用して部分的に連結したりすることができる。

[0057] ＜外周構造領域の第６の構成例＞

図１０には、外周構造領域１４の第６の構成例が示されている。なお、図６に示す外周構造領域１４Ｅにおいて、図１の外周構造領域１４と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0058] 図１０に示すように、外周構造領域１４Ｅは、上述したようなフィールドプレート３１を設けずに、アノード２１およびガードリング２２－１を、配線４１を介して電気的に接続するように構成されている。

[0059] このように、アノード２１およびガードリング２２－１を電気的に接続することによっても、外周構造領域１４Ｅの内側における電界の集中を緩和することができる。これにより、半導体装置１１の高耐圧化を図ることができる。

[0060] なお、本技術は、例えば、複数の半導体素子により構成されるメモリやマイクロプロセッサ、システムLSI（Large-Scale Integration）などの各種の半導体装置に適用することができる。即ち、本技術は、複数の半導体素子が形成される領域の外側を囲うように、上述したような構成の外周構造領域１

４が半導体基板１２の表面に設けられて構成される半導体装置に適用することができる。これにより、様々な種類の半導体装置の高耐圧化を図ることができ、外周構造領域１４を含む半導体装置の小型化を実現することができる。

[0061] ＜電子機器の構成例＞

なお、上述したような半導体装置１１は、一例として、画素がアレイ状に配置されている画素アレイ領域を囲うように外周構造領域１４が設けられた固体撮像素子に適用することができる。その固体撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に組み込むことができる。

[0062] 図１１は、電子機器の構成例を示すブロック図である。

[0063] 図１１に示すように、電子機器１０１は、光学系１０２、撮像素子１０３、信号処理回路１０４、モニタ１０５、およびメモリ１０６を備えて構成され、静止画像および動画像を撮像可能である。

[0064] 光学系１０２は、１枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子１０３に導き、撮像素子１０３の受光面（センサ部）に結像させる。

[0065] 撮像素子１０３としては、上述した半導体装置１１が適用される。撮像素子１０３には、光学系１０２を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子１０３に蓄積された電子に応じた信号が信号処理回路１０４に供給される。

[0066] 信号処理回路１０４は、撮像素子１０３から出力された画素信号に対して各種の信号処理を施す。信号処理回路１０４が信号処理を施すことにより得られた画像（画像データ）は、モニタ１０５に供給されて表示されたり、メモリ１０６に供給されて記憶（記録）されたりする。

[0067] このように構成されている電子機器１０１では、上述した半導体装置１１を適用することで、例えば、より小型化を図ることができる。

[0068] ＜構成の組み合わせ例＞

なお、本技術は以下のような構成も取ることができる。

（１）

複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、

前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、

前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、

前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と、

前記第１の素子領域および複数の前記ガードリングそれぞれを覆うように形成される金属配線と

を備え、

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とが、電気的に接続される

半導体装置。

（２）

前記金属配線は、前記第１の素子領域に隣接する前記ガードリングの端部よりも所定幅だけ外側まで延在し、そのガードリングより外側にある第１の導電型の前記半導体基板の一部を覆うように形成される

上記（１）に記載の半導体装置。

（３）

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線

と同一のレイヤで前記外周構造領域の全周に亘って一体となるように形成される

上記（１）または（２）に記載の半導体装置。

（４）

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線と同一のレイヤで部分的に連結される

上記（１）または（２）に記載の半導体装置。

（５）

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線とは異なるレイヤに設けられる配線を介して電気的に接続される

上記（１）または（２）に記載の半導体装置。

（６）

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線とは異なるレイヤに設けられる抵抗を介して電気的に接続される

上記（１）または（２）に記載の半導体装置。

（７）

複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、

前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、

前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、

前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃

度の半導体層であり、所定のゲート電位に接続される第２の素子領域と

を備え、

前記第１の素子領域と、少なくとも前記第１の素子領域に隣接する前記ガードリングとが、電気的に接続される

半導体装置。

（８）

複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、

前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、

前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、

前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と、

前記第１の素子領域および複数の前記ガードリングそれぞれを覆うように形成される金属配線と

を備え、

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とが、電気的に接続される

半導体装置を備える電子機器。

[0069] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

符号の説明

[0070] １１　半導体装置，　１２　半導体基板，　１３　素子形成領域，　１４　外周構造領域，　２１　アノード，　２２　ガードリング，　２３　カソ

ード，　３１　フィールドプレート，　３２および３３　電極，　３４　フィールドプレート，　３５　連結プレート，　４１　配線，　４２および４３　電極，　４４　抵抗，　４５　電極

請求の範囲

[請求項1] 複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、

前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、

前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、

前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と、

前記第１の素子領域および複数の前記ガードリングそれぞれを覆うように形成される金属配線と

を備え、

前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とが、電気的に接続される

半導体装置。

[請求項2] 前記金属配線は、前記第１の素子領域に隣接する前記ガードリングの端部よりも所定幅だけ外側まで延在し、そのガードリングより外側にある第１の導電型の前記半導体基板の一部を覆うように形成される

請求項１に記載の半導体装置。

[請求項3] 前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線と同一のレイヤで前記外周構造領域の全周に亘って一体となるように形成される

請求項１に記載の半導体装置。

[請求項4] 前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線と同一のレイヤで部分的に連結される

請求項１に記載の半導体装置。

[請求項5] 前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線とは異なるレイヤに設けられる配線を介して電気的に接続される

請求項１に記載の半導体装置。

[請求項6] 前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とは、それらの金属配線とは異なるレイヤに設けられる抵抗を介して電気的に接続される

請求項１に記載の半導体装置。

[請求項7] 複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、

前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、

前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、

前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と

を備え、

前記第１の素子領域と、少なくとも前記第１の素子領域に隣接する前記ガードリングとが、電気的に接続される

半導体装置。

[請求項8] 複数の半導体素子が形成される領域の外周を囲うように配置される外周構造領域が表面の第１の導電型の領域に設けられる半導体基板と、

前記外周構造領域の最も内側に配置され、前記第１の導電型とは逆の第２の導電型が円環形状に形成された半導体層であり、所定の基準電位に接続される第１の素子領域と、

前記外周構造領域において前記第１の素子領域よりも外側に多重に配置され、前記第２の導電型が円環形状に形成された高濃度の半導体層である複数のガードリングと、

前記外周構造領域よりも外側に設けられ、前記第１の導電型からなる高濃度の半導体層であり、所定のゲート電位に接続される第２の素子領域と、

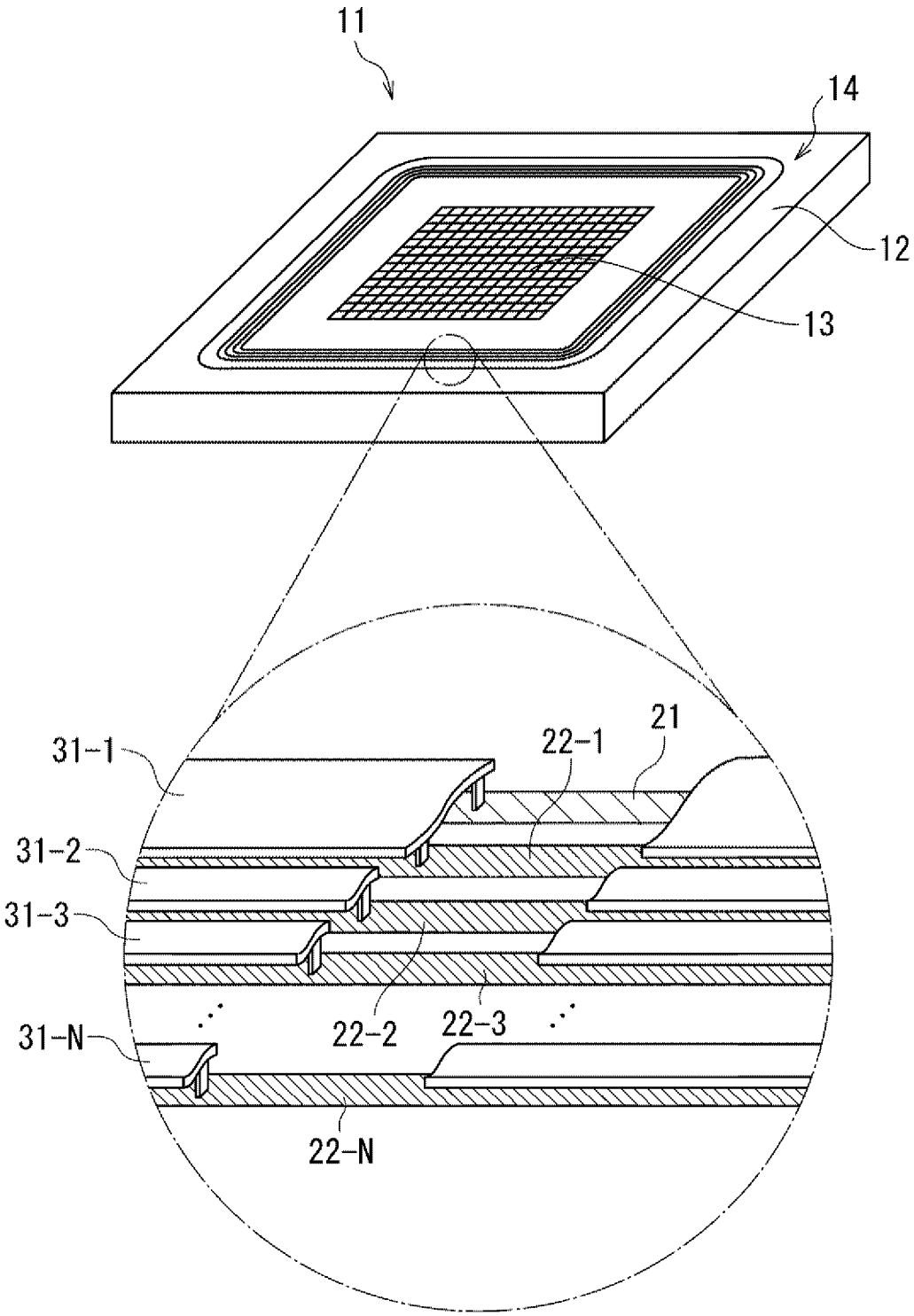
前記第１の素子領域および複数の前記ガードリングそれぞれを覆うように形成される金属配線と

を備え、

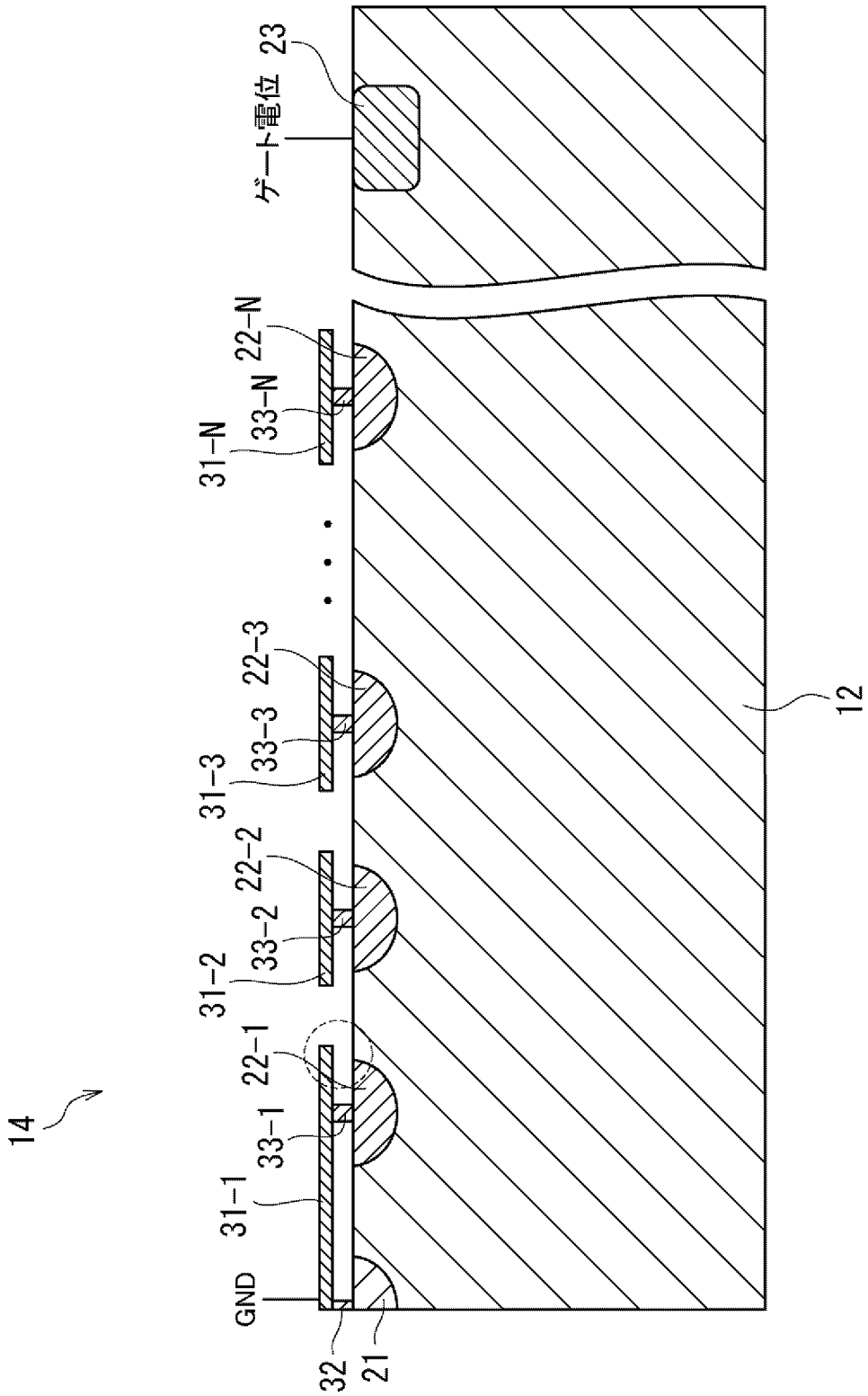
前記第１の素子領域を覆う前記金属配線と、少なくとも前記第１の素子領域に隣接する前記ガードリングを覆う前記金属配線とが、電気的に接続される

半導体装置を備える電子機器。

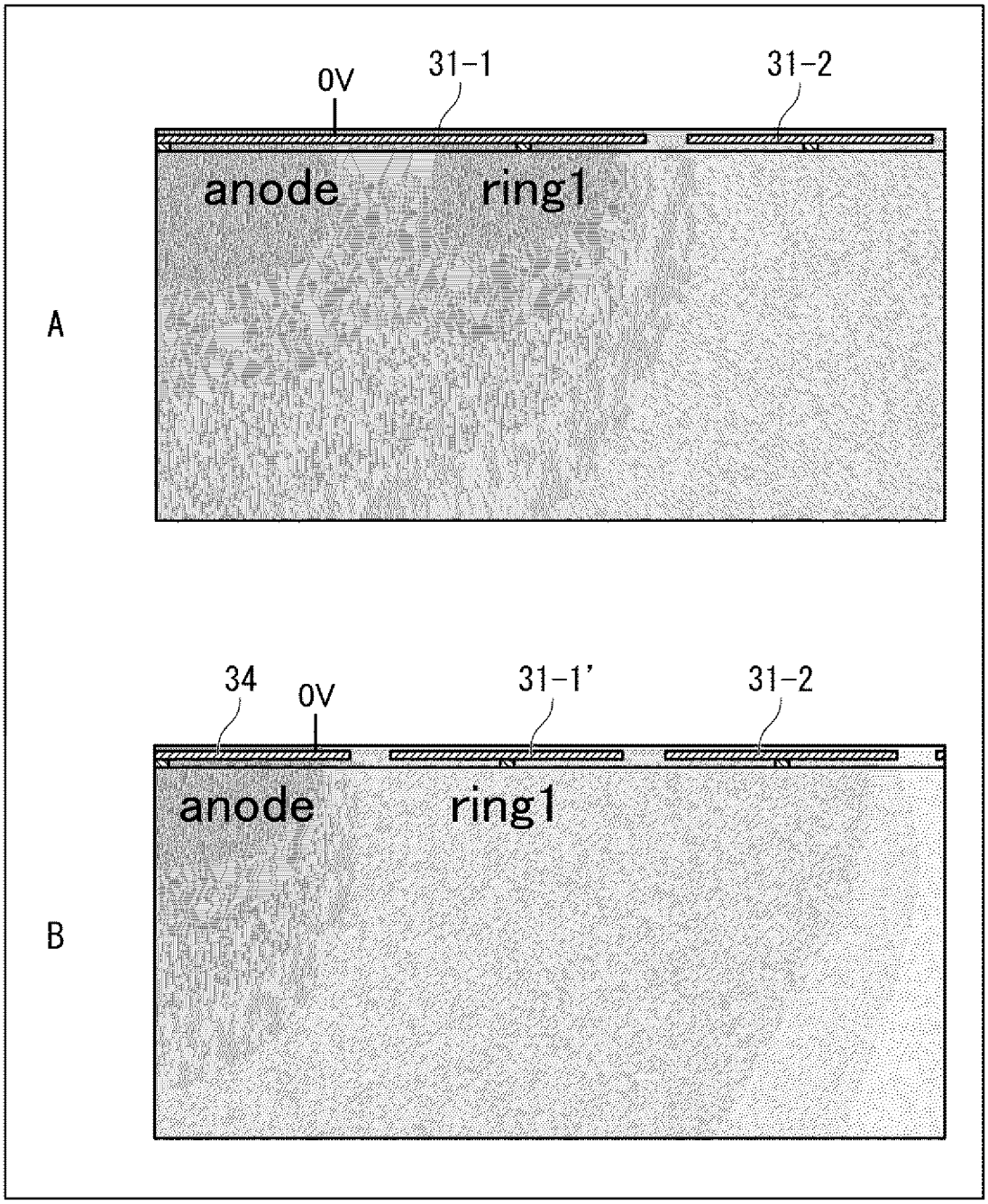
[図1]
Fig. 1



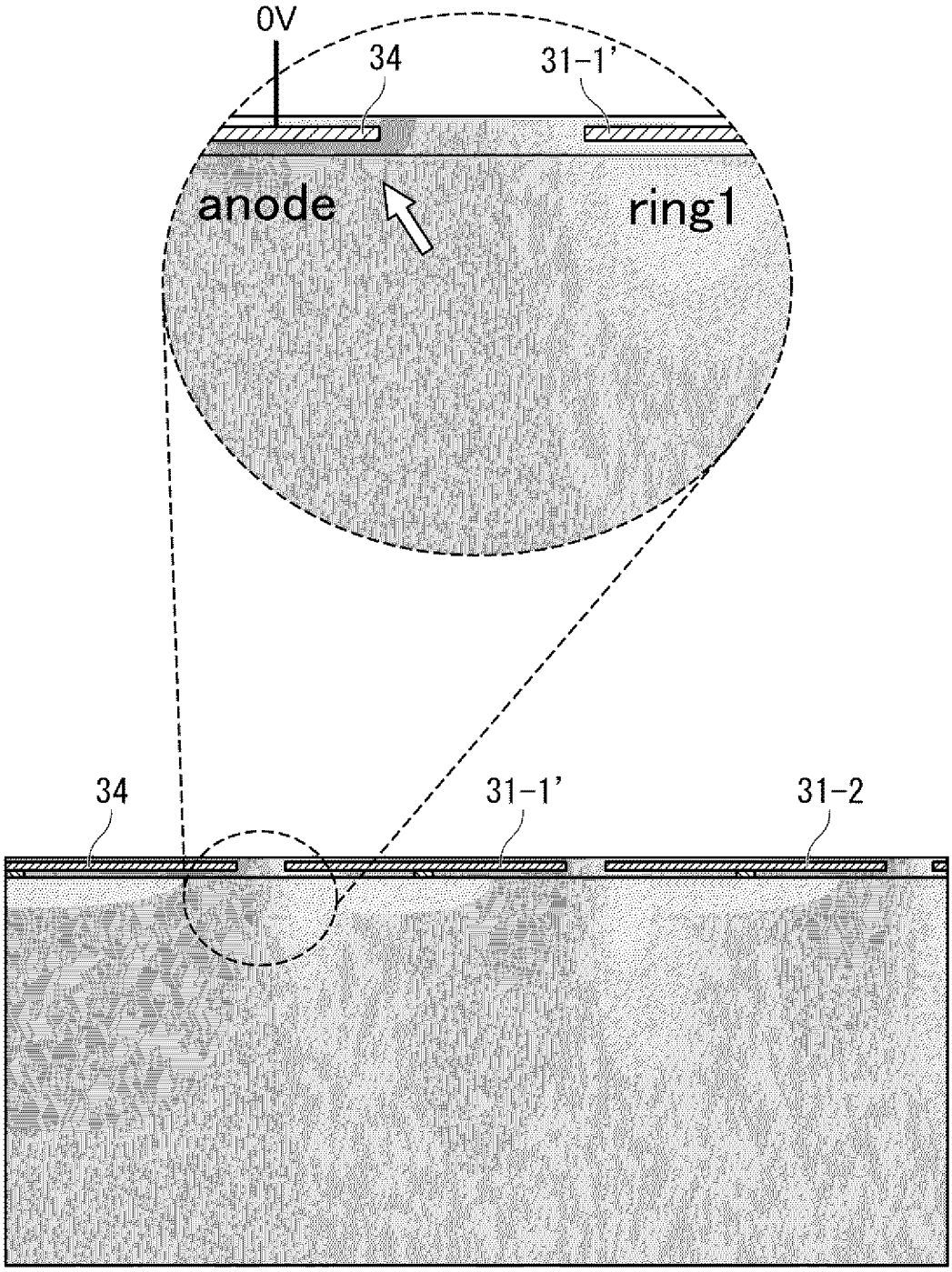
[図2]
Fig. 2


14
GND
31-1
33-1
22-1
31-2
33-2
22-2
31-3
33-3
22-3
31-N
33-N
22-N
ゲート電位
23
12
32
21

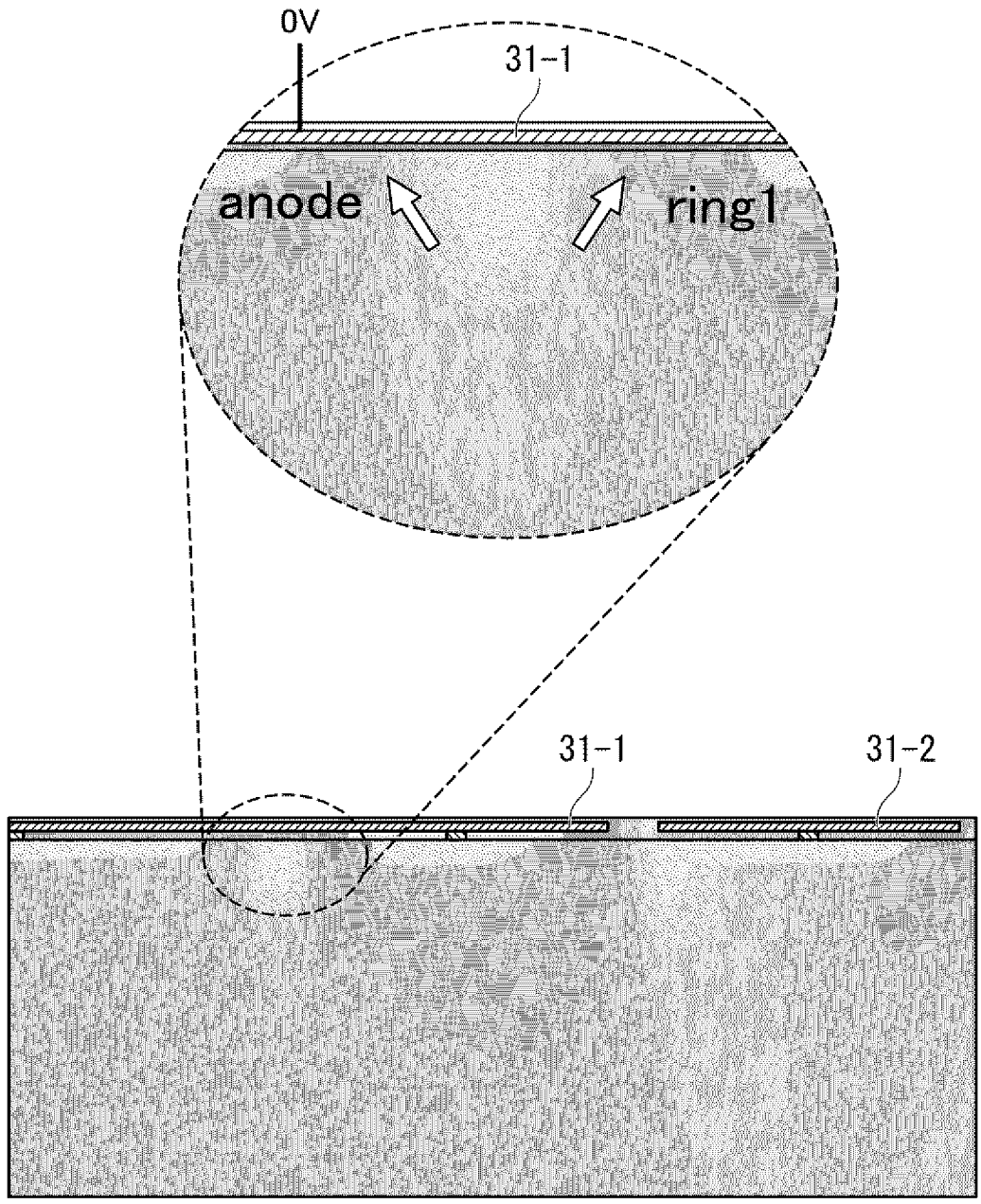
[図3]
Fig. 3



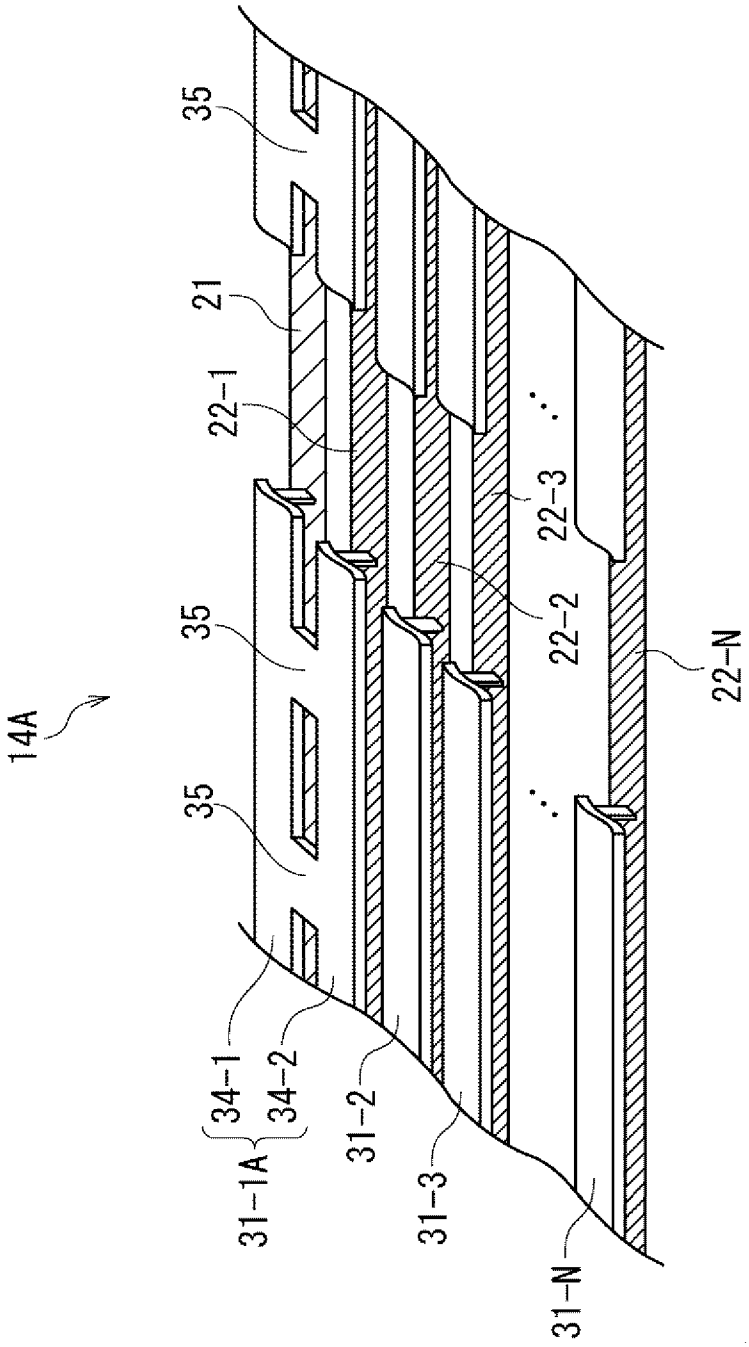
[図4]
Fig. 4



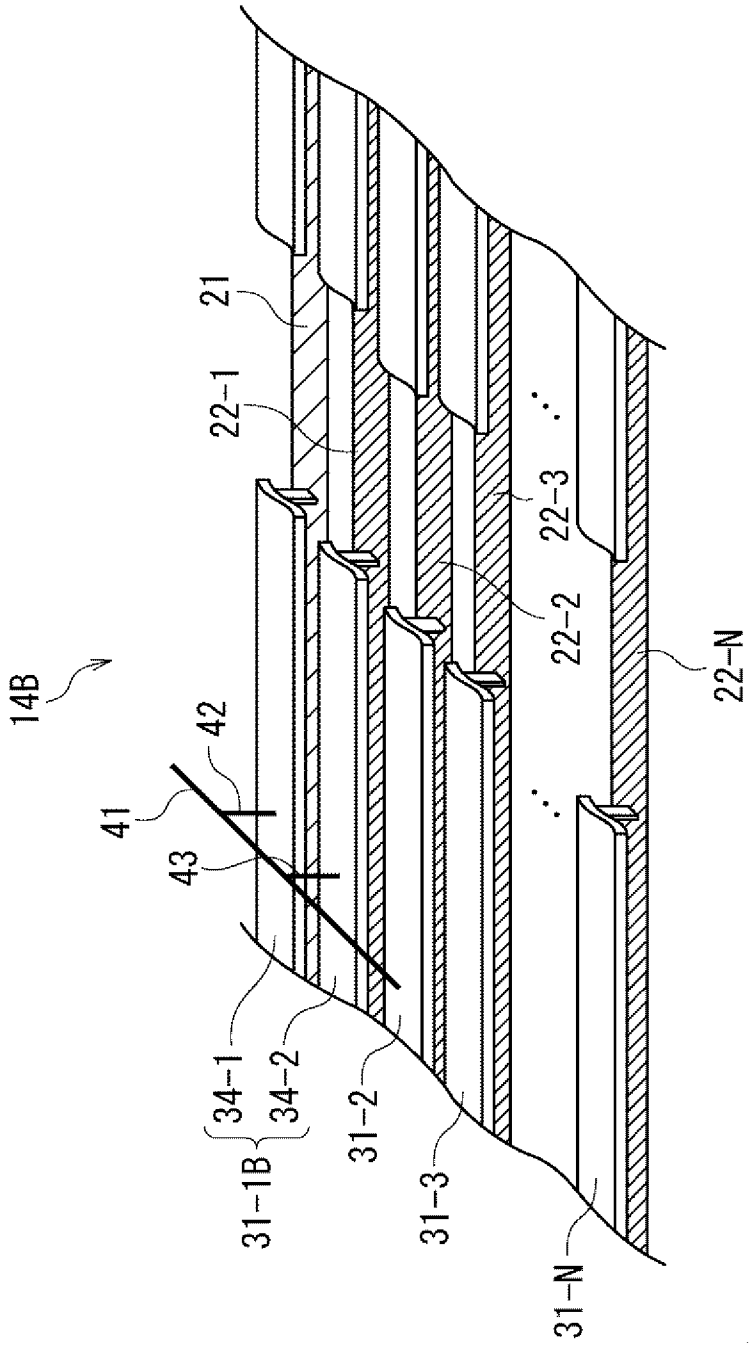
[図5]
Fig. 5



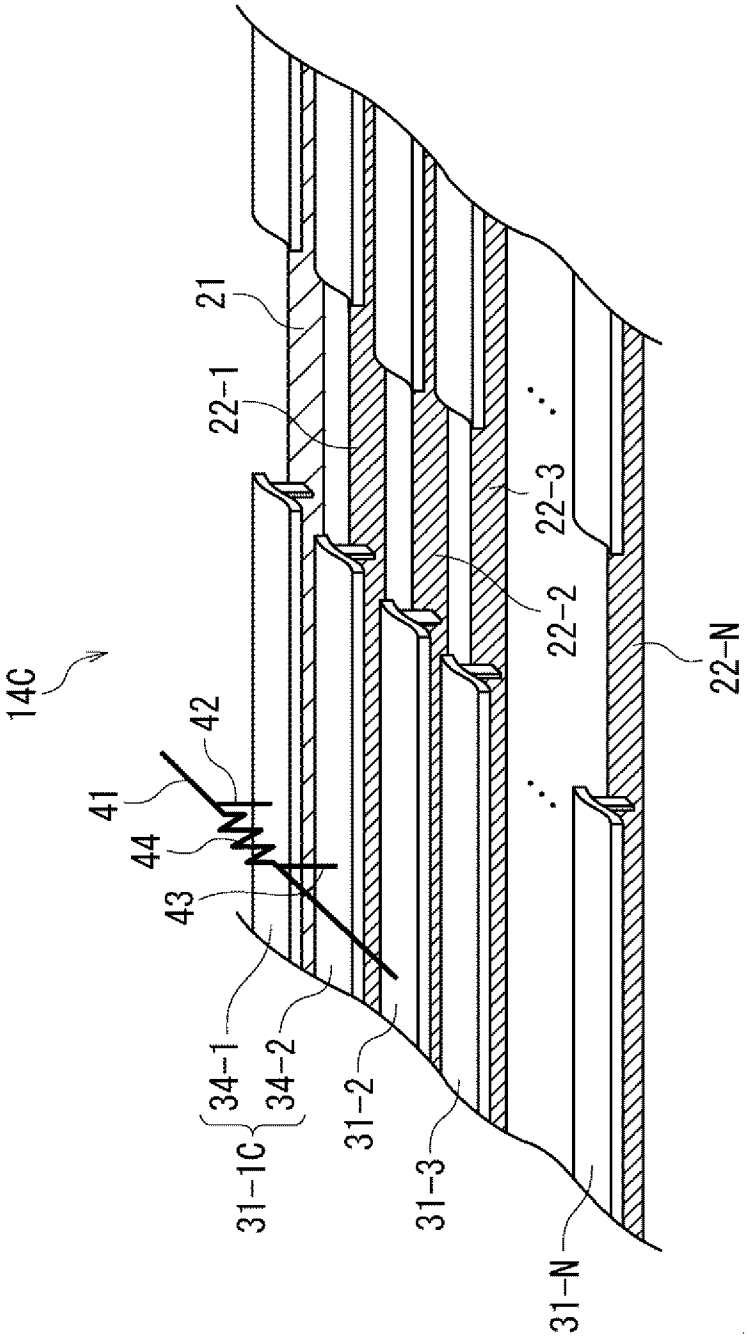
[図6]
Fig. 6



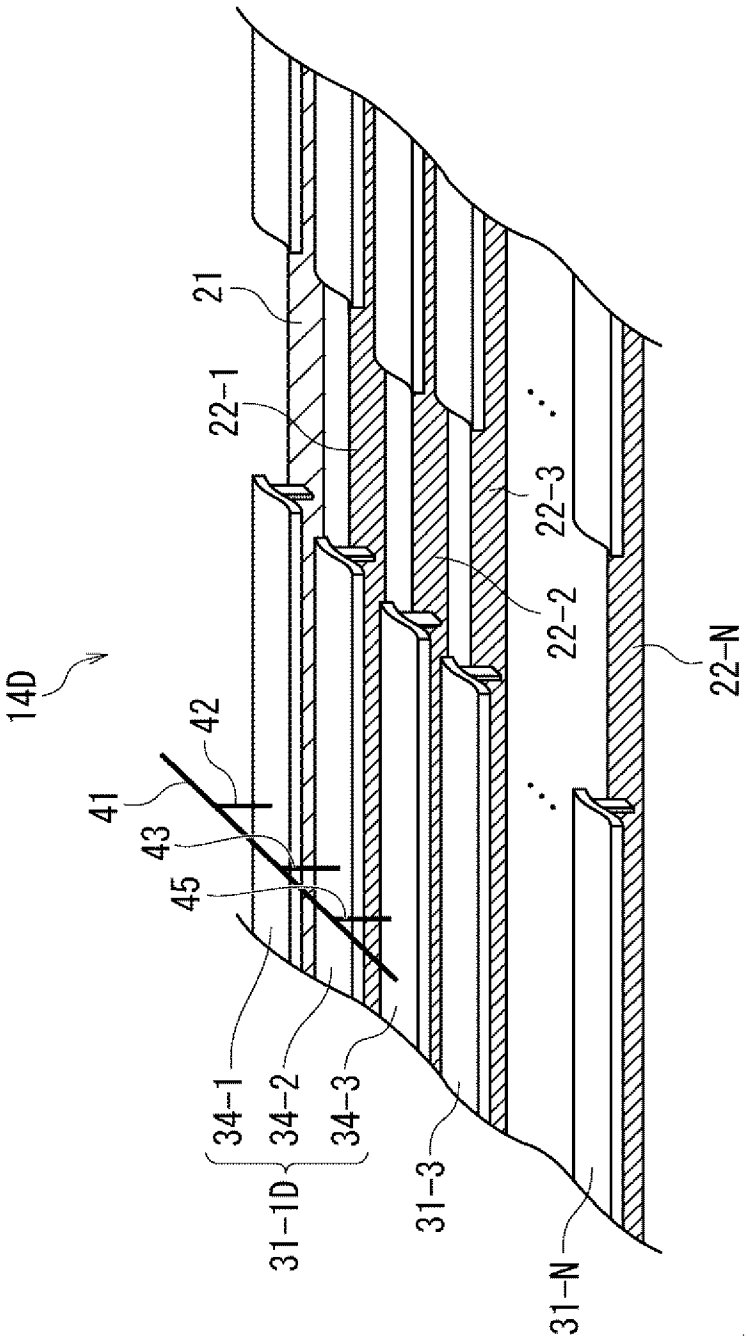
[図7]
Fig. 7



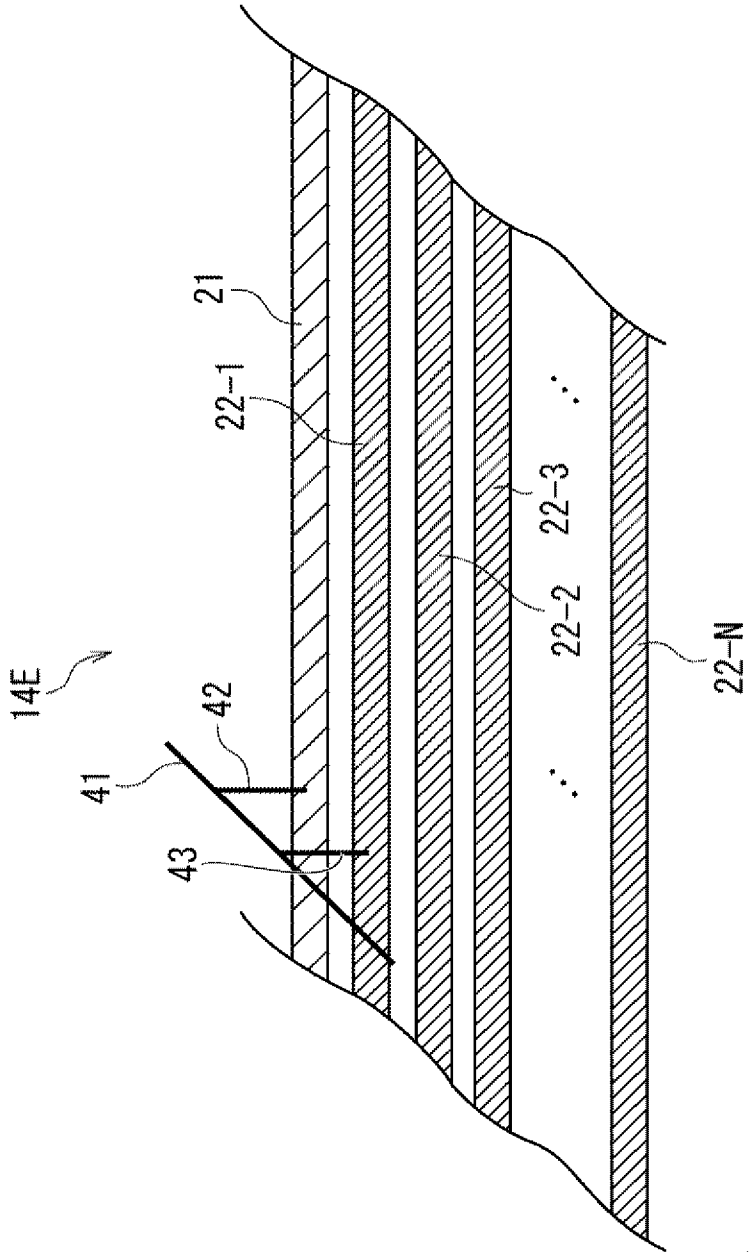
[図8]
Fig. 8



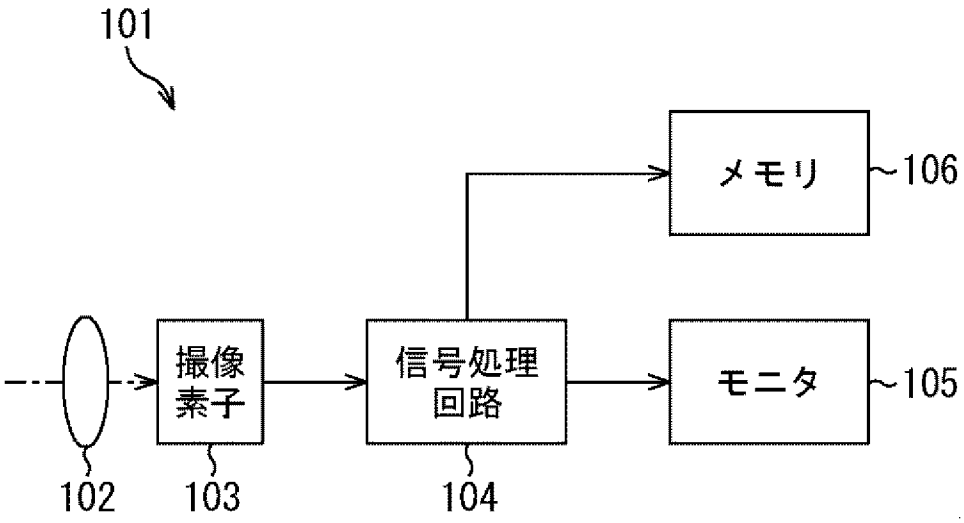
[図9]
Fig. 9



[図10]
Fig. 10



[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/006877

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L29/06(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i,
H01L29/41(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L29/06, H01L21/822, H01L27/04, H01L29/41, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-347547 A (MITSUBISHI ELECTRIC CORP.) 05 December 2003, paragraphs [0063]-[0097], fig. 7-15 & US 2003/0218220 A1, paragraphs [0126]-[0163], fig. 7-15 & DE 10302628 A1	1-8
A	JP 2010-118548 A (MITSUBISHI ELECTRIC CORP.) 27 May 2010, paragraphs [0017]-[0033], fig. 1-5 & US 2010/0118455 A1, paragraphs [0048]-[0067], fig. 1-5 & DE 102009032446 A1 & CN 101740567 A	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 April 2018 (17.04.2018)	01 May 2018 (01.05.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/006877

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-88346 A (HITACHI, LTD.) 02 April 1996, paragraphs [0018]-[0025], fig. 1, 4 & US 5691553 A1, column 5, line 10 to column 6, line 13, fig. 1, 4 & EP 703627 A1	1-8
A	JP 2015-70184 A (SANKEN ELECTRIC CO., LTD.) 13 April 2015, paragraphs [0011]-[0023], fig. 1, 3 & US 2015/0091126 A1, paragraphs [0021]-[0035], fig. 1, 3 & CN 104518007 A	1-8
A	JP 2012-4566 A (SEMIKRON ELEKTRONIK GMBH & CO. KG) 05 January 2012, paragraphs [0023]-[0024], fig. 3 & US 2012/0007223 A1, paragraphs [0028]-[0029], fig. 3 & DE 102010024257 A1 & CN 102290433 A	1-8
A	JP 2017-157670 A (MITSUBISHI ELECTRIC CORP.) 07 September 2017, paragraphs [0021]-[0023], fig. 3 & US 2017/0256503 A1, paragraphs [0023]-[0025], fig. 3 & DE 102017200252 A1 & CN 107146813 A	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００６８７７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/06(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/41(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/06, H01L21/822, H01L27/04, H01L29/41, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０１８年
日本国実用新案登録公報　１９９６－２０１８年
日本国登録実用新案公報　１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2003-347547 A (三菱電機株式会社) 2003.12.05, 段落[0063]-[0097], 図 7-15 & US 2003/0218220 A1, 段落[0126]-[0163], 図 7-15 & DE 10302628 A1	1-8
A	JP 2010-118548 A (三菱電機株式会社) 2010.05.27, 段落[0017]-[0033], 図 1-5 & US 2010/0118455 A1, 段落[0048]-[0067], 図 1-5 & DE 102009032446 A1 & CN 101740567 A	1-8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１７．０４．２０１８	０１．０５．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１１
杉山　芳弘
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 8-88346 A (株式会社日立製作所) 1996.04.02, 段落[0018]-[0025], 図 1,4 & US 5691553 A1, 第 5 欄 10 行-第 6 欄 13 行, 図 1,4 & EP 703627 A1	1-8
A	JP 2015-70184 A (サンケン電気株式会社) 2015.04.13, 段落[0011]-[0023], 図 1,3 & US 2015/0091126 A1, 段落[0021]-[0035], 図 1,3 & CN 104518007 A	1-8
A	JP 2012-4566 A (ゼミクロン　エレクトローニク　ゲーエム　ベーハー　ウント　コンパニー　カーゲー) 2012.01.05, 段落[0023]-[0024], 図 3 & US 2012/0007223 A1, 段落[0028]-[0029], 図 3 & DE 102010024257 A1 & CN 102290433 A	1-8
P,A	JP 2017-157670 A (三菱電機株式会社) 2017.09.07, 段落[0021]-[0023], 図 3 & US 2017/0256503 A1, 段落[0023]-[0025], 図 3 & DE 102017200252 A1 & CN 107146813 A	1-8