(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月11日(11.05.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/083973 A1

(51) 国際特許分類:
*H01G 4/33* (2006.01) *H01L 27/04* (2006.01)
*H01L 21/822* (2006.01)

(21) 国際出願番号： PCT/JP2017/037518

(22) 国際出願日： 2017年10月17日(17.10.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-215106 2016年11月2日(02.11.2016) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 香川 武史 (**KAGAWA, Takeshi**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 泉谷淳子(**IZUMITANI, Junko**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 原田 真臣(**HARADA, Masatomi**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 石田 宣博(**ISHIDA, Nobuhiro**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 稲葉 良幸, 外(**INABA, Yoshiyuki** et al.); 〒1066123 東京都港区六本木６－１０－１ 六本木ヒルズ森タワー２３階 ＴＭＩ総合法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) **Title:** CAPACITOR

(54) 発明の名称： キャパシタ

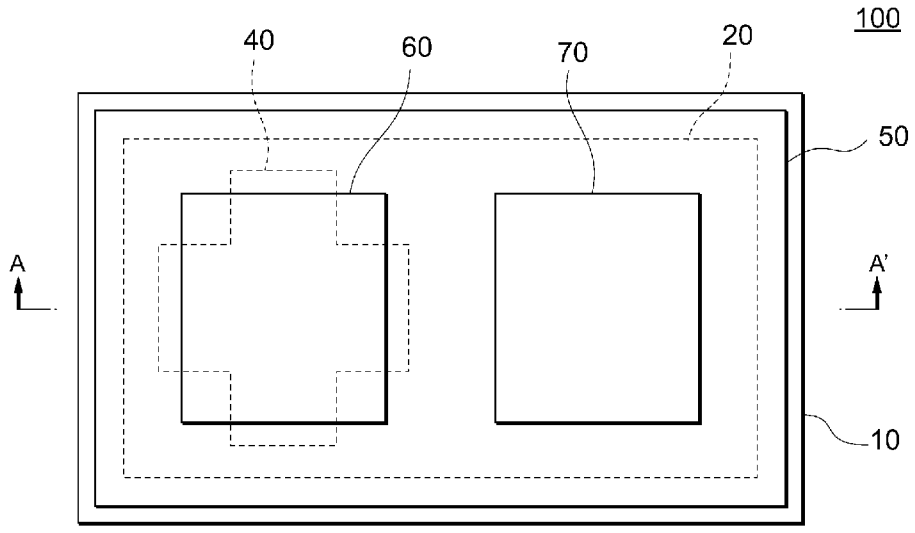



図１

(57) **Abstract:** This invention is equipped with a substrate having a first main surface and a second main surface, a lower electrode provided on the first main surface, a dielectric film provided on the lower electrode, and an upper electrode provided on the dielectric film. The lower electrode and/or the upper electrode has, when viewed in plan view of the first main surface, a rectangular first region and at least one second region projecting from at least one side of the first region.

WO 2018/083973 A1

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:第１主面及び第２主面を有する基板と、前記第１主面上に設けられた下部電極と、前記下部電極上に設けられた誘電膜と、前記誘電膜上に設けられた上部電極とを備え、前記下部電極及び前記上部電極の少なくとも一方は、前記第１主面の平面視において、矩形形状を有する第１領域と、前記第１領域の少なくとも１つの辺から突出した、少なくとも１つの第２領域とを有する。

# 明　細　書

## 発明の名称 ： キャパシタ

## 技術分野

[0001] 本発明は、キャパシタに関する。

## 背景技術

[0002] 半導体集積回路に用いられる代表的なキャパシタ素子として、例えばＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）キャパシタがよく知られている。ＭＩＭキャパシタは、誘電体を下部電極と上部電極とで挟んだ平行平板型の構造を有するキャパシタである。

[0003] 例えば特許文献１には、このようなキャパシタが開示されている。特許文献１に記載のキャパシタは、下地電極と、該下地電極上に形成された誘電体層と、該誘電体層上に形成された上部電極層と、上部電極層に接続された端子電極と、を有する。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開２０１５－２１６２４６号公報

## 発明の概要

## 発明が解決しようとする課題

[0005] 上記特許文献１に記載された従来のキャパシタでは、上部電極及び下部電極が矩形形状を有しているため、上部電極及び下部電極の低抵抗化のために膜厚を厚くすると、この膜厚に比例して応力が増加するため、素子破壊が発生する頻度が高くなり、キャパシタの信頼性が劣化するという問題が生じていた。

[0006] 本発明はこのような事情に鑑みてなされたものであり、下部電極及び／又は上部電極を起因とする応力を低減させることを目的とする。

## 課題を解決するための手段

[0007] 本発明の一側面に係るキャパシタによれば、第１主面及び第２主面を有す

る基板と、前記第１主面上に設けられた下部電極と、前記下部電極上に設けられた誘電膜と、前記誘電膜上に設けられた上部電極とを備え、前記下部電極及び前記上部電極の少なくとも一方は、前記第１主面の平面視において、矩形形状を有する第１領域と、前記第１領域の少なくとも１つの辺から突出した、少なくとも１つの第２領域とを有する。

## 発明の効果

[0008] 本発明によれば、下部電極及び／又は上部電極を起因とする応力を低減させることが可能となる。

## 図面の簡単な説明

[0009] [図1]本発明の一実施形態に係るキャパシタ１００の構造を概略的に示す平面図である。

[図2]図１のＡＡ´断面を示す図である。

[図3]平面視における、下部電極２０及び上部電極４０の形状を概略的に示す図である。

[図4A]キャパシタ１００の製造方法の一例を示す模式図である。

[図4B]キャパシタ１００の製造方法の一例を示す模式図である。

[図4C]キャパシタ１００の製造方法の一例を示す模式図である。

[図4D]キャパシタ１００の製造方法の一例を示す模式図である。

[図4E]キャパシタ１００の製造方法の一例を示す模式図である。

[図4F]キャパシタ１００の製造方法の一例を示す模式図である。

[図5]キャパシタ１００の他の実施形態を示す図である。

[図6]キャパシタ１００の他の実施形態を示す図である。

[図7]キャパシタ１００の他の実施形態を示す図である。

[図8]キャパシタ１００の他の実施形態を示す図である。

[図9]キャパシタ１００の他の実施形態を示す図である。

[図10]キャパシタ１００の他の実施形態を示す図である。

[図11]キャパシタ１００の他の実施形態を示す図である。

[図12]キャパシタ１００の他の実施形態を示す図である。

## 発明を実施するための形態

[0010] 図１は、本発明の一実施形態に係るキャパシタ１００の構造を概略的に示す平面図である。また、図２は、図１のＡＡ´断面を示す図である。なお、図１及び図２においては、キャパシタ１００の構造における特徴の少なくとも一部を説明するのに必要な構成を抽出して記載しているが、キャパシタ１００が不図示の構成を備えることを妨げるものではない。

[0011] キャパシタ１００は、基板１０と、絶縁膜１２と、下部電極２０と、誘電膜３０と、上部電極４０とを備えて構成される。また、キャパシタ１００は、下部電極２０に電気的に接続されたビア電極４２と、ビア電極４２に電気的に接続された端子電極７０と、上部電極４０に電気的に接続された端子電極６０とを備える。

[0012] 基板１０は、下部電極２０が設けられた側の面である表面（第１主面の一例である。）と、基板１０における当該表面と反対側の裏面（第２主面の一例である。）とを有する。基板１０は、基板１０の表面の平面視（すなわち、下部電極２０から基板１０に向かう方向に基板１０を見た平面視（図１）。以下、単に「平面視」ともいう。）において、矩形形状を有する。基板１０は、例えばシリコンなどの半導体基板である。基板１０の長辺の長さは、例えば、２００μｍ以上６００μｍ以下、短辺の長さは１００μｍ以上３００μｍ以下である。

[0013] 絶縁膜１２は、例えば酸化シリコンなどにより形成される。また、絶縁膜１２は、絶縁膜１２の下に形成される基板１０及び絶縁膜１２の上に形成される下部電極２０と密着する材料により形成される。絶縁膜１２は、異なる材料から形成された複数の層からなる膜であってもよい。絶縁膜１２は基板１０と下部電極２０を電気的に絶縁できればよく、その膜厚は、例えば、０．５μｍ以上３μｍ以下程度である。また、基板１０は、例えばアルミナなどの絶縁材料により形成されてもよい。この場合、絶縁膜１２は、基板１０上に形成されなくともよい。

[0014] 下部電極２０は、基板１０の上層において、平面視で基板１０の周縁の内

側の領域に形成される。下部電極２０の平面視における形状については後述する。下部電極２０の膜厚は、下部電極２０の膜厚は、０．３μｍ以上１０μｍ以下でよく、また、０．５μｍ以上５μｍ以下であってもよい。このように、下部電極２０が比較的厚い膜厚を有することにより、直列抵抗を下げることができる。

[0015] 下部電極２０は、例えば、銅、銀、金、アルミニウム、ニッケル、クロム、チタン等からなる金属又はこれらの金属を含む導電体である。また、下部電極２０は、異なる材料から形成された複数の層を有するように形成されてもよい。

[0016] 誘電膜３０は、下部電極２０の表面を覆うように形成される。具体的には、誘電膜３０は、下部電極２０の上面（すなわち、上部電極４０と対向する面）及び端面を覆うように形成されるとともに、ビア電極４２が形成される位置において、下部電極２０が露出した開口を有する。誘電膜３０は、例えば、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム等の酸化物、窒化物などの誘電性ないし絶縁性を有する材料により形成される。誘電膜３０の膜厚は、例えば、０．０２μｍ以上２μｍ以下である。

[0017] 上部電極４０は、誘電膜３０上において、平面視で下部電極２０の内側に位置する。すなわち、上部電極４０は、基板１０の表面の平面視において、その全てが下部電極２０の少なくとも一部と重なるように、誘電膜３０上に位置する。下部電極２０の平面視における形状については後述する。上部電極４０の膜厚は、例えば、０．３μｍ以上１０μｍ以下でよく、０．５μｍ以上５μｍ以下であってもよい。このように、上部電極４０が比較的厚い膜厚を有することにより、直列抵抗を下げることができる。

[0018] ビア電極４２は、下部電極２０に対して電気的に接続された電極である。ビア電極４２は、平面視において、下部電極２０の上面における、上部電極４０が形成される一部の領域以外の領域に位置する。また、ビア電極４２は、誘電膜３０に形成された開口を充填するように形成される。すなわち、ビ

ア電極４２は、当該開口の内部において、下部電極２０と接触するように形成される。また、ビア電極４２は、当該開口の内部から当該開口の周囲における誘電膜３０上に亘って形成されてもよい。

[0019] 本実施形態において、上部電極４０及びビア電極４２は、同一の材料で形成される。上部電極４０及びビア電極４２は、例えば、銅、銀、金、アルミニウム、ニッケル、クロム、チタン等からなる金属又はこれらの金属を含む導電体である。

[0020] 保護膜５０は、上部電極４０及びビア電極４２を覆うように形成される。また、保護膜５０は、端子電極６０及び７０が形成される位置において、それぞれ、上部電極４０及びビア電極４２が露出した開口を有する。また、保護膜５０は、平面視において、下部電極２０の外側の領域において、誘電膜３０及び絶縁膜１２を覆うように形成され、かつ、基板１０の周縁の内側の領域に形成されている。保護膜５０は、例えば、ポリイミド樹脂や酸化シリコンなどの絶縁材料により形成される。また、保護膜５０の膜厚は、例えば、１μｍ以上２０μｍ以下である。

[0021] 端子電極６０は、上部電極４０及び保護膜５０上に形成され、上部電極４０と外部とを電気的に接続する端子である。本実施形態において、端子電極６０は、上部電極４０と直接接続されるように形成されているが、端子電極６０と上部電極との間に、他の導電膜が形成されてもよい。

[0022] 端子電極７０は、保護膜５０及びビア電極４２上に形成され、下部電極２０と外部とを電気的に接続する端子である。端子電極６０及び端子電極７０は、下部電極２０及び上部電極４０の材料よりも抵抗率の低い材料であってよく、例えば、銅やアルミニウム等からなる金属である。これにより抵抗を下げることが可能となる。また、端子電極７０は、その表面にさらに、金やスズなどの金属膜を有してもよい。端子電極６０及び端子電極７０の膜厚は、例えば、１μｍ以上１０μｍ以下である。

[0023] 図３は、平面視における、下部電極２０及び上部電極４０の形状を概略的に示す図である。本実施形態において、下部電極２０は、矩形形状を有する

。また、上部電極４０は、矩形形状を有する第１領域４０－１と、第１領域４０－１から連続する２つの第２領域４０－２とを有する。具体的には、第１領域４０－１は、２つの長辺及び２つの短辺を有しており、２つの第２領域４０－２は、２つの長辺のそれぞれの一部において領域４０－１から突出するように、領域４０－１から連続して設けられている。また、２つの第２領域４０－２は、第１領域４０－１を挟んで互いに対向するように設けられている。すなわち、本実施形態において、上部電極４０は、十字型の形状を有する。なお、２つの第２領域４０－２は、第１領域４０－１の長辺方向において、互いにずれた位置に設けられてもよい。このように、上部電極４０が、第１領域４０－１から突出した、少なくとも１つの第２領域４０－２を有するので、上部電極４０に発生する応力を緩和させることができる。

[0024] 図４Ａ～Ｆは、本実施形態に係るキャパシタ１００の製造方法の一例を示す模式図である。以下、図４Ａ～Ｆを用いて、キャパシタ１００の製造方法について説明する。なお、図４Ａ～Ｆでは、１つのキャパシタ１００について説明するが、同一の基板１０に複数のキャパシタ１００を同時に形成することができる。

[0025] 図４Ａに示すように、まず、基板１０を用意し、基板１０上に絶縁膜１２を形成する。例えば、基板１０はシリコン基板であり、絶縁膜１２はシリコン基板の表面を酸化した酸化シリコン膜である。基板１０の厚さは、例えば、１００μｍ以上３００μｍ以下である。基板１０の厚さを１００μｍ以上３００μｍ以下とすると、基板１０の機械的強度を保ちつつ、キャパシタ１００を実装時にハンドリングし易い形状に保つことができる。なお、基板１０は、ガリウムヒ素等の他の半導体基板や、ガラスやアルミナ等の絶縁性基板であってもよい。また、絶縁膜１２の膜厚は、例えば、０．１μｍ以上３μｍ以下程度である。もっとも、絶縁膜１２は、基板１０と下部電極２０との間の絶縁が保てる厚さであればよい。絶縁膜１２は、窒化シリコン、酸化アルミニウム等の絶縁材料により形成されてもよい。

[0026] 次に、図４Ｂに示すように、絶縁膜１２上に、下部電極２０を構成する金

属材料からなる金属膜を形成し、当該金属膜をフォトレジストでパターニングし、当該フォトレジストをマスクとして当該金属膜をエッチングすることにより、下部電極２０を形成する。金属材料は、例えば、銅、銀、金、アルミニウム等である。また、下部電極２０の膜厚は、例えば、０．５μｍ以上１０μｍ以下であり、また、２μｍ以上６μｍ以下であってもよい。下部電極２０の膜厚を０．５μｍ以上１０μｍ以下とすると、下部電極２０の抵抗値を、キャパシタ１００の高周波特性に影響を与えない程度の値にすることができ、また、下部電極２０により発生する応力をキャパシタ１００が歪まない程度に抑えることができる。

[0027] 次に、図４Ｃに示すように、誘電膜３０を形成する。まず、誘電膜３０を形成する誘電体材料を、下部電極２０の上面及び端面、並びに、絶縁膜１２上に堆積させる。誘電体材料は、例えば、シリコン窒化膜で、その膜厚は、例えば、０．１μｍ以上１．５μｍ以下である。そして、パターニングされたフォトレジストをマスクとして、下部電極２０の上面の一部が露出するように、誘電体材料の一部を除去して、開口３２を形成し、誘電膜３０を形成する。誘電膜３０は、酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の他の酸化物や窒化物からなる誘電体材料により形成されてもよい。

[0028] 次に、図４Ｄに示すように、上部電極４０及びビア電極４２を形成する。まず、上部電極４０及びビア電極４２を形成する金属材料を、誘電膜３０、絶縁膜１２、及び、誘電膜３０の開口３２（図４Ｃ参照）内に堆積させる。上部電極４０及びビア電極４２の厚さは、例えば、０．５μｍ以上１０μｍ以下であり、また、２μｍ以上６μｍ以下であってもよい。このように、上部電極４０が比較的厚い膜厚を有することにより、直列抵抗を下げることができる。また、金属材料は、例えば、銅、銀、金、アルミニウム等である。そして、パターニングされたフォトレジストをマスクとして、堆積された金属材料をエッチングして、下部電極２０の一部の領域に上部電極４０を形成するとともに、誘電膜３０の開口３２にビア電極４２を形成する。

[0029] なお、本実施形態において、下部電極２０は、上部電極４０よりも、膜厚が厚く形成される。これにより、平面視において上部電極４０が下部電極２０よりも内側に形成されたとしても、等価直列抵抗を低く抑えることができる。

[0030] 次に、図４Ｅに示すように、保護膜５０を形成する。まず、保護膜５０を形成する絶縁材料を、上部電極４０、ビア電極４２、誘電膜３０、及び絶縁膜１２上に堆積させる。保護膜５０は、ポリイミド樹脂や酸化シリコンなどの絶縁材料により形成される。保護膜５０の膜厚は、例えば、１μｍ以上２０μｍ以下である。これにより、保護膜５０を挟んで下部電極２０と端子電極６０との間に形成される容量を、誘電膜３０を挟んで下部電極２０と上部電極４０との間に形成される容量よりも大きくすることができる。また、保護膜５０を形成する材料として、高粘度の材料を必ずしも用いる必要がないため、保護膜５０の厚さを比較的容易に制御することができる。ひいては、キャパシタ１００の容量のばらつきを低減させることができる。

[0031] そして、パターニングされたフォトレジストをマスクとして、当該絶縁材料をエッチングして、それぞれ、上部電極４０の一部及びビア電極４２の一部が露出するように、開口５２及び５４を形成する。なお、本実施形態において、保護膜５０は、下部電極２０の側壁部分（側面）を覆うように形成される。これにより、仮に誘電膜３０が下部電極２０の側壁部分に十分に形成されなかったとしても、下部電極２０が露出することを防ぐことができる。ひいては、キャパシタ１００の実装時に、下部電極２０の側壁部分においてはんだと下部電極２０が短絡することを防ぐことができる。

[0032] 次に、図４Ｆに示すように、開口５２及び５４（図４Ｅ参照）並びに保護膜５０上に、金属材料を堆積させ、これをパターニングされたフォトレジストをマスクとしてエッチングすることにより、端子電極６０及び７０を形成する。金属材料は、例えば、銅やアルミニウムであり、また、ニッケルと金等の合金であってもよい。なお、金属材料は、スパッタリングやめっきにより堆積される。以上の工程により、本実施形態に係るキャパシタ１００を得

ることができる。

[0033] 図５～１２は、ぞれぞれ、キャパシタ１００の他の実施形態を示す図である。具体的には、図５～図１２は、それぞれ、平面視における下部電極２０及び上部電極４０の形状の一例を示している。以下の実施形態では、図１～４で説明した実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0034] 図５～７に示す例において、下部電極２０は矩形形状を有する。また、これらの例において、上部電極４０は、矩形形状を有する第１領域４０－１と、第１領域４０－１から突出する、１つ以上の第２領域４０－２とを有する。各例に示すとおり、第２領域４０－２は、第１領域４０－１のいずれの辺から突出して設けられてもよく、また、その位置も、当該辺のいずれの位置（例えば、中央部、端部等）であってもよい。また、図７に示すように、第１領域４０－１の１つの辺において、第１領域４０－１及び第２領域４０－２が凹部を形成する等、第１領域４０－１の１つの辺から突出する第２領域４０－２の数が複数であってよい。

[0035] 図８～１１に示す例において、下部電極２０は、矩形形状を有する第１領域２０－１と、第１領域２０－１から連続する、少なくとも１つの第２領域２０－２とを有する。他方で、上部電極４０は、矩形形状を有する。各例に示すとおり、下部電極２０の第２領域２０－２は、第１領域２０－１のいずれの辺から突出して設けられてもよく、また、その位置も、当該辺のいずれの位置（例えば、中央部、端部等）であってもよい。また、第１領域２０－１の１つの辺から突出する第２領域２０－２の数も複数であってよい。

[0036] 図８及び９に示す例において、上部電極４０は、下部電極２０の第１領域２０－１の内側に位置している。また、図１０及び１１に示す例において、上部電極４０は、下部電極２０の第２領域２０－２の内側に位置する（すなわち、上部電極４０が、複数個に分割されている。）。特に、上部電極４０が、下部電極２０の第２領域２０－２の内側に位置することにより、端子電

極６０及び７０と下部電極２０との間で発生する寄生容量を低減させることができる。

[0037] 図１２に示す例においては、下部電極２０及び上部電極４０の双方が、第１領域２０－１及び４０－１を有し、また、これらの少なくとも１つの辺から突出した、少なくとも１つの第２領域２０－２及び４０－２を有する。上部電極４０は、図１２に示すように、下部電極２０の第１領域２０－１から第２領域２０－２に亘って設けられてもよく、また、下部電極２０の第１領域２０－１の内側に位置するように設けられてもよい。

[0038] 以上、本発明の例示的な実施形態について説明した。

[0039] 本発明の一実施形態に係るキャパシタ１００は、表面及び裏面を有する基板１０と、表面上に設けられた下部電極２０と、下部電極２０上に設けられた誘電膜３０と、誘電膜３０上に設けられた上部電極４０と、を備え、下部電極２０及び上部電極４０の少なくとも一方は、基板１０の表面の平面視において、矩形形状を有する第１領域２０－１及び／又は４０－１と、第１領域２０－１及び／又は４０－１の少なくとも１つの辺から突出した、少なくとも１つの第２領域２０－２及び／又は４０－２とを有する。これにより、下部電極２０及び／又は上部電極４０と保護膜５０や誘電膜３０との間に生じる、下部電極２０及び／又は上部電極４０を起因とする応力を低減させることができる。ひいては、下部電極２０及び／又は上部電極４０の膜厚を厚くしたとしても、応力を原因とする素子破壊を低減させることができ、キャパシタ１００の信頼性の低下を抑えることができる。なお、第２領域２０－２及び／又は４０－２は、矩形形状であってよく、また、三角形状、扇形状など、下部電極２０及び／又は上部電極４０によって発生する応力を低減できる形状であればよい。

[0040] また、上部電極４０は、平面視において、下部電極２０の内側に位置してもよい。また、下部電極２０は、第１領域２０－１及び第２領域２０－２を有し、上部電極４０は、平面視において、第２領域２０－２の内側に位置してもよい。これにより、下部電極２０と端子電極６０との間に発生する容量

を低減させることができる。

[0041] なお、以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るとともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素及びその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。また、各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもなく、これらも本発明の特徴を含む限り本発明の範囲に包含される。

## 符号の説明

[0042] １０…基板、１２…絶縁膜、２０…下部電極、２０－１…第１領域、２０－２…第２領域、３０…誘電膜、４０…上部電極、４０－１…第１領域、４０－２…第２領域、４２…ビア電極、５０…保護膜、６０…端子電極、７０…端子電極、１００…キャパシタ。

# 請求の範囲

[請求項1] 第１主面及び第２主面を有する基板と、

前記第１主面上に設けられた下部電極と、

前記下部電極上に設けられた誘電膜と、

前記誘電膜上に設けられた上部電極と

を備え、

前記下部電極及び前記上部電極の少なくとも一方は、前記第１主面の平面視において、矩形形状を有する第１領域と、前記第１領域の少なくとも１つの辺から突出した、少なくとも１つの第２領域とを有する、キャパシタ。

[請求項2] 前記第２領域は、矩形形状を有する、請求項１に記載のキャパシタ。

[請求項3] 前記上部電極は、前記第１主面の平面視において、前記下部電極の内側に位置する、請求項１又は２に記載のキャパシタ。

[請求項4] 前記下部電極は、前記第１領域及び前記第２領域を有し、

前記上部電極は、前記第１主面の平面視において、前記第２領域の内側に位置する、請求項１又は２に記載のキャパシタ。

[図1]

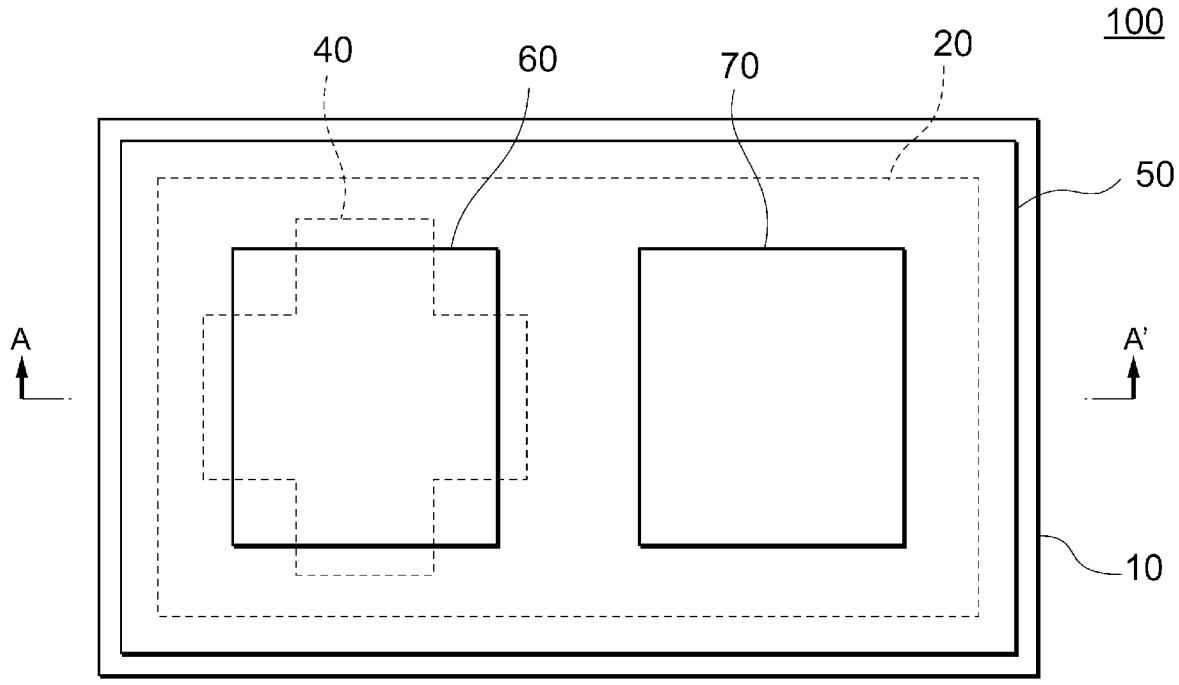



図 1

[図2]

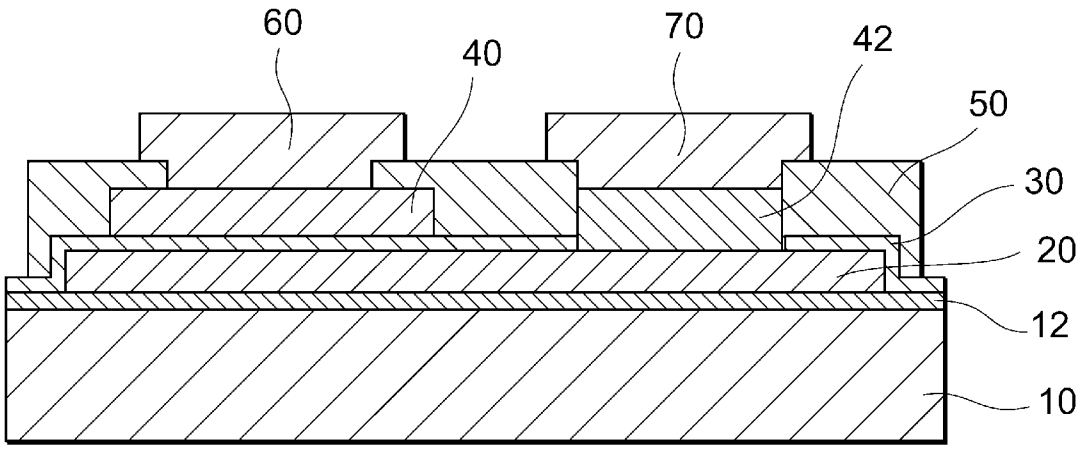



図 2

[図3]

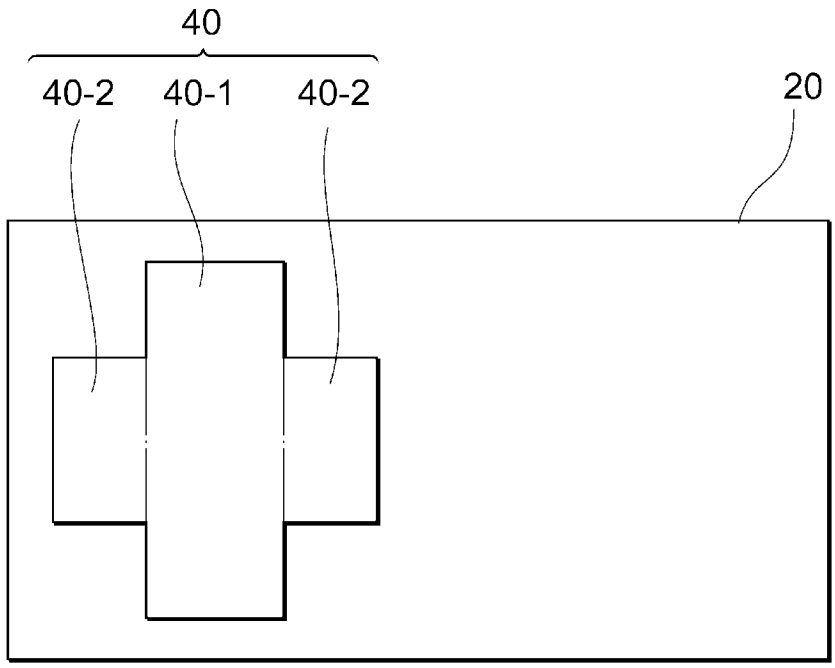



図３

[図4A]

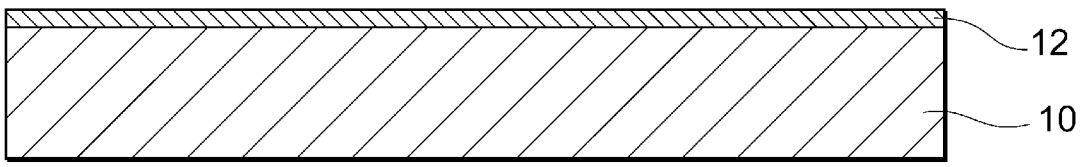



図４Ａ

[図4B]

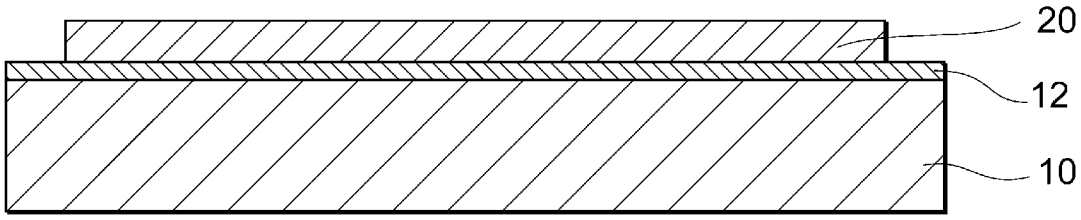



図４Ｂ

[図4C]

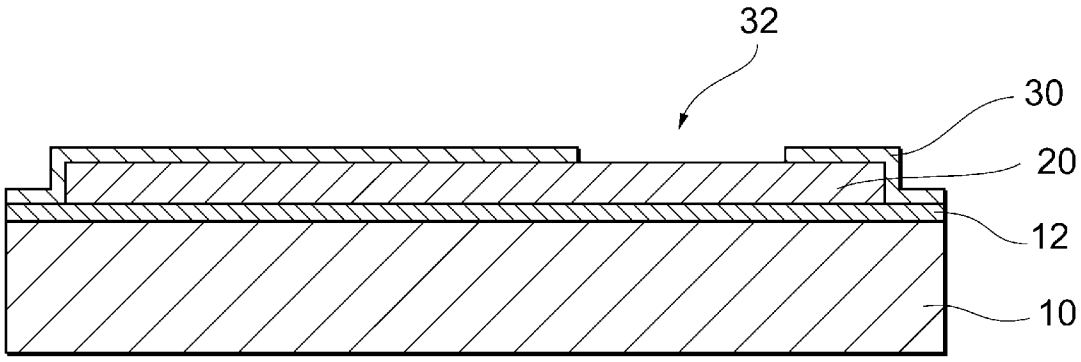



図４Ｃ

[図4D]

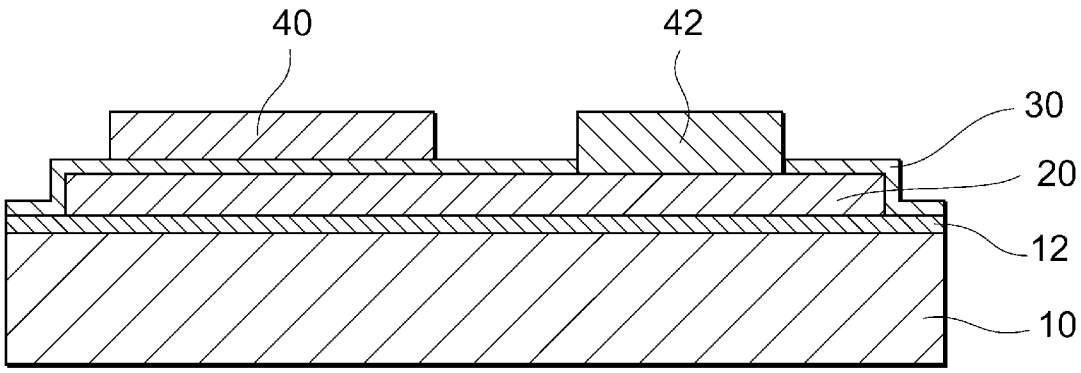



図４Ｄ

[図4E]

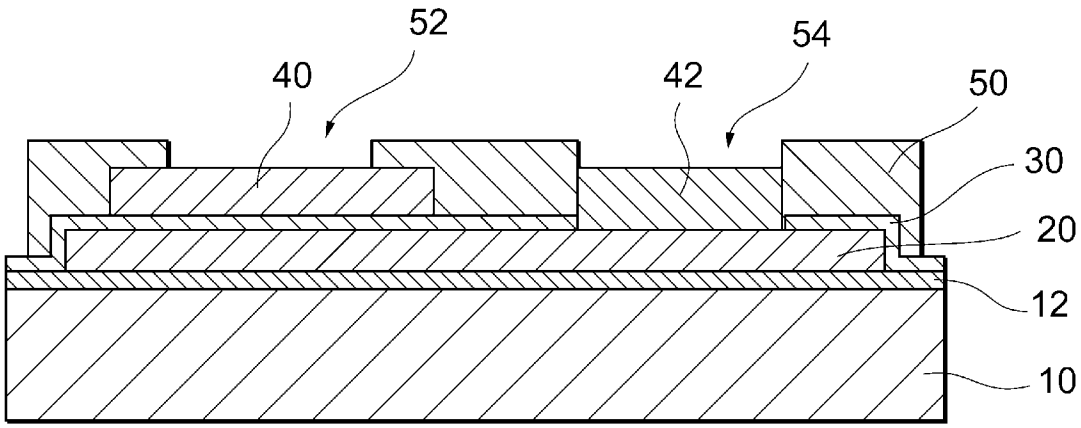



図４Ｅ

[図4F]

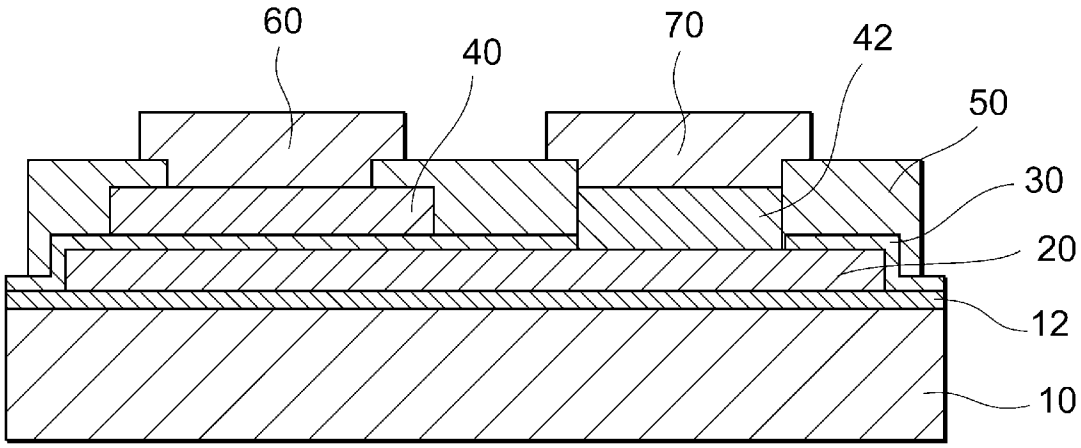



図４Ｆ

[図5]

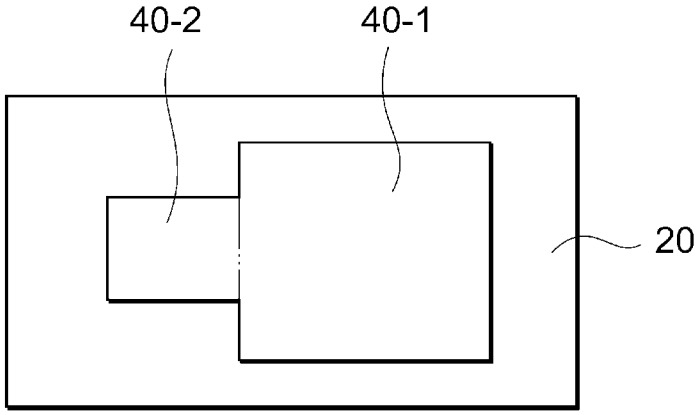



図５

[図6]

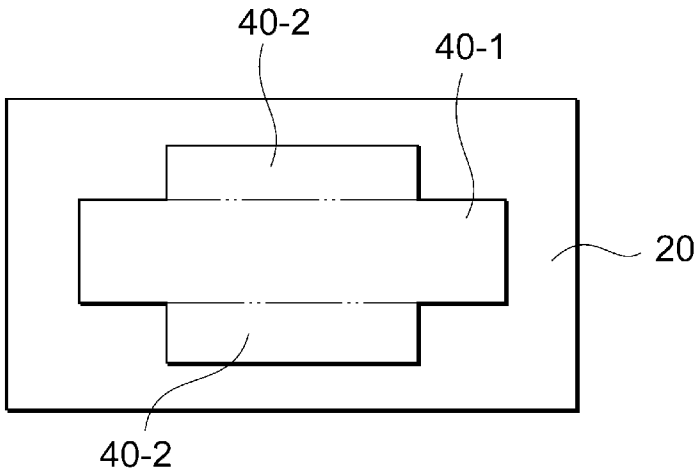



図 6

[図7]

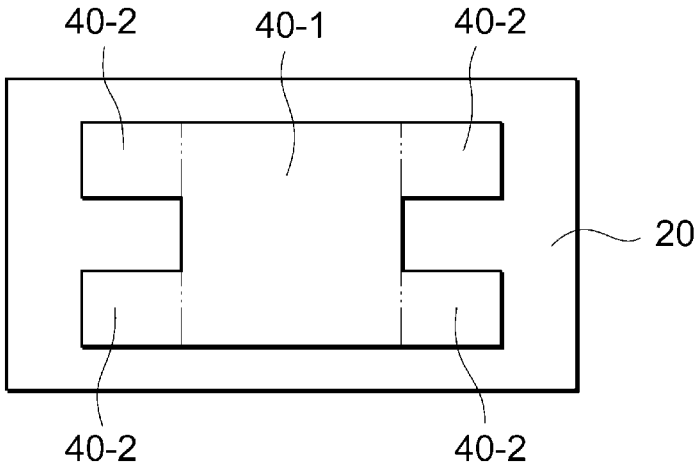



図 7

[図8]

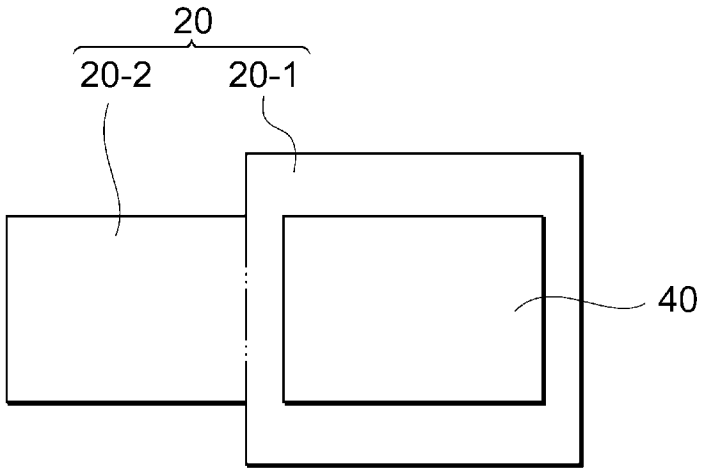



図 8

[図9]

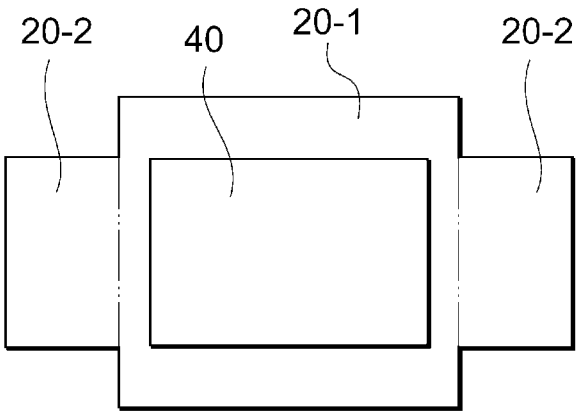



図９

[図10]

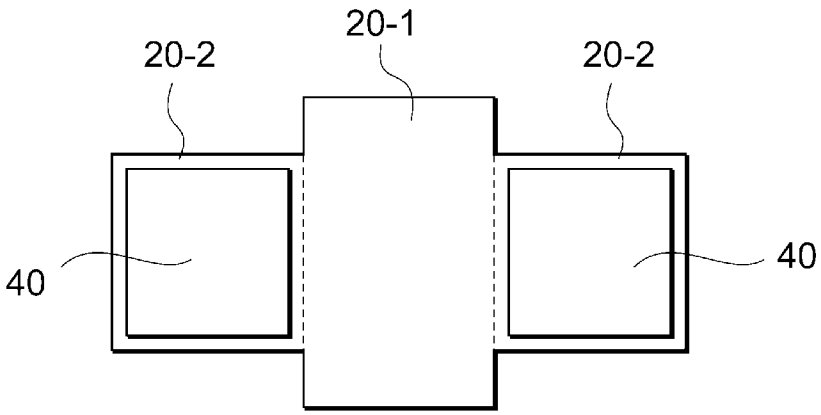



図１０

[図11]

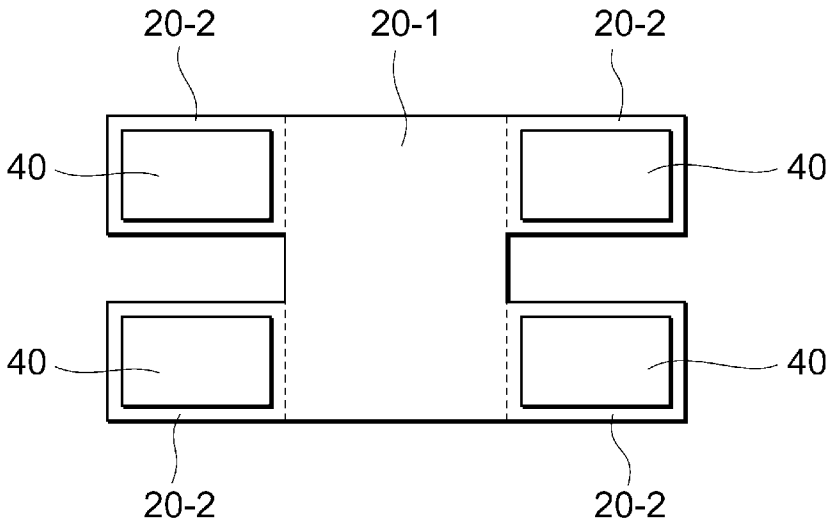



図１１

[図12]

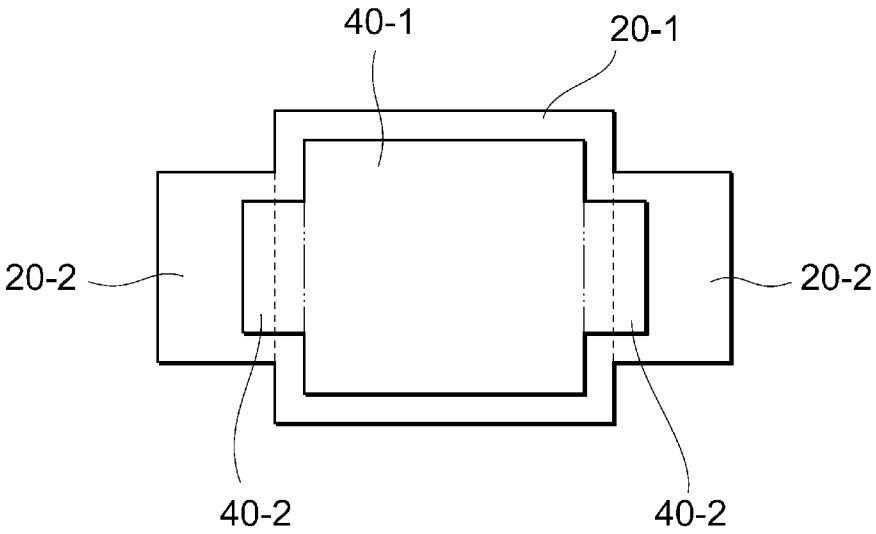



図１２

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/037518

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01G4/33(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01G4/33, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|---|---|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2017 |
| Registered utility model specifications of Japan | 1996-2017 |
| Published registered utility model applications of Japan | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X<br>Y | JP 9-213908 A (UNITED MEMORIES INC.) 15 August 1997, claims & EP 788164 A1, claims | 1, 2<br>3, 4 |
| Y | JP 6-89831 A (TOSHIBA CORP.) 29 March 1994, paragraphs [0010], [0018] (Family: none) | 3, 4 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| | |
|---|---|
| Date of the actual completion of the international search<br>04 January 2018 (04.01.2018) | Date of mailing of the international search report<br>16 January 2018 (16.01.2018) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan | Authorized officer<br><br>Telephone No. |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０３７５１８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/33(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/33, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１８年 |
| 日本国実用新案登録公報 | １９９６－２０１８年 |
| 日本国登録実用新案公報 | １９９４－２０１８年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | JP 9-213908 A (ユナイテッド　メモリズ, インコーポレイテッド) | 1, 2 |
| Y | 1997.08.15, 特許請求の範囲 & EP 788164 A1,特許請求の範囲 | 3, 4 |
| Y | JP 6-89831 A (株式会社東芝) 1994.03.29, 段落 [0010], [0018] (ファミリーなし) | 3, 4 |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０４．０１．２０１８ | １６．０１．２０１８ |

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　３８００
田中　晃洋
電話番号　０３－３５８１－１１０１　内線　３５５１