



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0069595
(43) 공개일자 2010년06월24일

(51) Int. Cl.

HO1L 21/20 (2006.01)

(21) 출원번호 10-2009-0123832

(22) 출원일자 2009년12월14일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-318377 2008년12월15일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

오누마 히데토

일본, 가나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

모모 준페이

일본, 가나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 슈페이

일본, 가나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 24 항

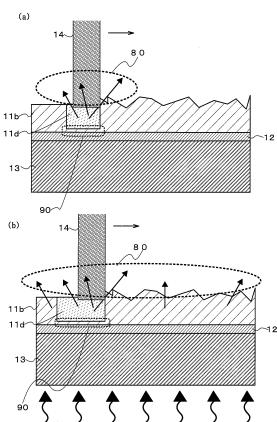
(54) SOI 기판의 제작 방법, 반도체 장치의 제작 방법

(57) 요 약

SOI 기판의 단결정 반도체층 중의 산소 농도를 저감시키는 방법이 제공된다.

단결정 반도체층을 용융 상태로 함으로써 산소의 외방 확산이 촉진된다. 구체적으로는 베이스 기판 위에 형성된 산소를 함유한 접합층과, 상기 산소를 함유한 접합층 위에 형성된 단결정 반도체층을 갖는 SOI 구조를 형성하고, 상기 베이스 기판의 온도를 500°C 이상의 온도이며 상기 베이스 기판의 용접보다 낮은 온도로 가열한 상태에서 레이저 광의 조사에 의하여 상기 단결정 반도체층을 부분 용융시킴으로써 SOI 기판이 제작된다.

대 표 도 - 도4



특허청구의 범위

청구항 1

베이스 기판과, 상기 베이스 기판 위에 형성된 산소를 함유한 접합층과, 상기 산소를 함유한 접합층 위에 형성된 단결정 반도체층을 포함하는 SOI 구조를 형성하는 단계와;

상기 베이스 기판이 500°C 이상이고 상기 베이스 기판의 융점보다 낮은 온도로 가열되면서, 상기 단결정 반도체층의 일부분을 레이저 광을 조사함으로써 용융하는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 레이저 광의 조사 분위기는 감압 분위기인, SOI 기판의 제작 방법.

청구항 3

제 1 항에 있어서,

상기 레이저 광의 조사 분위기는 환원 가스를 포함하는, SOI 기판의 제작 방법.

청구항 4

제 1 항에 있어서,

상기 레이저 광의 조사 분위기는 불화 수소 가스를 포함하는, SOI 기판의 제작 방법.

청구항 5

제 4 항에 있어서,

상기 SOI 구조를 형성한 후이며 상기 레이저 광을 조사하기 전에, 상기 불화 수소 가스를 함유한 분위기에 상기 SOI 구조가 노출되는, SOI 기판의 제작 방법.

청구항 6

제 1 항에 있어서,

상기 레이저 광이 조사될 때, 상기 베이스 기판이 광 조사와 유도 가열 중 하나에 의하여 가열되는, SOI 기판의 제작 방법.

청구항 7

제 1 항에 있어서,

질량 분리하지 않는 이온 도핑법을 사용하여 단결정 반도체 기판에 축화 영역이 형성되고, 상기 단결정 반도체 기판의 일부분을 분리하기 위하여 상기 축화 영역이 가열 처리됨으로써, 상기 단결정 반도체층이 형성되는, SOI 기판의 제작 방법.

청구항 8

제 1 항에 따른 상기 SOI 기판을 사용하여 반도체 소자가 형성되는, 반도체 장치의 제작 방법.

청구항 9

베이스 기판과, 상기 베이스 기판 위에 형성된 산소를 함유한 접합층과, 상기 산소를 함유한 접합층 위에 형성된 단결정 반도체층을 포함하는 SOI 구조를 형성하는 단계와;

상기 베이스 기판이 500°C 이상이고 상기 베이스 기판의 융점보다 낮은 온도로 가열되면서, 상기 단결정 반도체층의 일부분을 레이저 광을 조사함으로써 용융하는 단계를 포함하고,

상기 단결정 반도체층의 상기 일부분은 상기 접합층과 접촉하지 않는, SOI 기판의 제작 방법.

청구항 10

제 9 항에 있어서,

상기 레이저 광의 조사 분위기는 감압 분위기인, SOI 기판의 제작 방법.

청구항 11

제 9 항에 있어서,

상기 레이저 광의 조사 분위기는 환원 가스를 포함하는, SOI 기판의 제작 방법.

청구항 12

제 9 항에 있어서,

상기 레이저 광의 조사 분위기는 불화 수소 가스를 포함하는, SOI 기판의 제작 방법.

청구항 13

제 12 항에 있어서,

상기 SOI 구조를 형성한 후이며 상기 레이저 광을 조사하기 전에, 상기 불화 수소 가스를 함유한 분위기에 상기 SOI 구조가 노출되는, SOI 기판의 제작 방법.

청구항 14

제 9 항에 있어서,

상기 레이저 광이 조사될 때, 상기 베이스 기판이 광 조사와 유도 가열 중의 하나에 의하여 가열되는, SOI 기판의 제작 방법.

청구항 15

제 9 항에 있어서,

질량 분리하지 않는 이온 도핑법을 사용하여 단결정 반도체 기판에 취화 영역이 형성되고, 상기 단결정 반도체 기판의 일부분을 분리하기 위하여 상기 취화 영역이 가열 처리됨으로써, 상기 단결정 반도체층이 형성되는, SOI 기판의 제작 방법.

청구항 16

제 9 항에 따른 상기 SOI 기판을 사용하여 반도체 소자가 형성되는, 반도체 장치의 제작 방법.

청구항 17

베이스 기판과, 상기 베이스 기판 위에 형성된 산소를 함유한 접합층과, 상기 산소를 함유한 접합층 위에 형성된 단결정 반도체층을 포함하는 SOI 구조를 형성하는 단계와;

상기 단결정 반도체층을 에치 백하는 단계와;

상기 베이스 기판이 500°C 이상이고 상기 베이스 기판의 융점보다 낮은 온도로 가열되면서, 상기 단결정 반도체층의 일부분을 레이저 광을 조사함으로써 용융하는 단계를 포함하고,

상기 에치 백 단계를 행한 후이며 상기 용융 단계를 행하기 전에, 상기 단결정 반도체층의 두께의 평균 값은 100nm이상인, SOI 기판의 제작 방법.

청구항 18

제 17 항에 있어서,

상기 레이저 광의 조사 분위기는 감압 분위기인, SOI 기판의 제작 방법.

청구항 19

제 17 항에 있어서,

상기 레이저 광의 조사 분위기는 환원 가스를 포함하는, SOI 기판의 제작 방법.

청구항 20

제 17 항에 있어서,

상기 레이저 광의 조사 분위기는 불화 수소 가스를 포함하는, SOI 기판의 제작 방법.

청구항 21

제 20 항에 있어서,

상기 SOI 구조를 형성한 후이며 상기 레이저 광을 조사하기 전에, 상기 불화 수소 가스를 함유한 분위기에 상기 SOI 구조가 노출되는, SOI 기판의 제작 방법.

청구항 22

제 17 항에 있어서,

상기 레이저 광이 조사될 때, 상기 베이스 기판이 광 조사와 유도 가열 중의 하나에 의하여 가열되는, SOI 기판의 제작 방법.

청구항 23

제 17 항에 있어서,

질량 분리하지 않는 이온 도핑법을 사용하여 단결정 반도체 기판에 츄화 영역이 형성되고, 상기 단결정 반도체 기판의 일부분을 분리하기 위하여 상기 츄화 영역이 가열 처리됨으로써, 상기 단결정 반도체층이 형성되는, SOI 기판의 제작 방법.

청구항 24

제 17 항에 따른 상기 SOI 기판을 사용하여 반도체 소자가 형성되는, 반도체 장치의 제작 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 기술 분야는 SOI(Silicon on Insulator) 구조에 관련된 분야이다.

배경기술

[0002] 트랜지스터를 형성하는 방법으로서 실리콘 웨이퍼를 사용하는 방법, 절연 표면을 갖는 기판 위에 형성된 비단결정 반도체층을 형성하는 방법, 절연 표면에 형성된 얇은 단결정 반도체층을 갖는 기판(SOI 기판)을 사용하는 방법 등이 알려져 있다.

[0003] 특히, SOI 기판을 사용하여 형성한 트랜지스터는 다른 방법을 사용하여 형성한 트랜지스터보다 성능을 높게 할 수 있다.

[0004] 여기서, SOI 기판의 제작 방법으로서 스마트 컷(등록 상표)법이 알려져 있다.

[0005] 스마트 컷법이란, 대략 이하의 공정을 거쳐 SOI 기판을 제작하는 방법이다.

[0006] 우선, 실리콘 웨이퍼에 수소 이온을 조사하여 상기 실리콘 웨이퍼의 표면으로부터 소정의 깊이에 츄화 영역(미소 기포층, 분리층, 박리층 등이라고도 함)을 형성한다.

[0007] 다음에, 상기 실리콘 웨이퍼의 표면에 접합층으로서 기능하는 절연층을 형성한다.

[0008] 다음에, 상기 접합층과 베이스 기판을 접합하여 가열 처리함으로써, 상기 미소 기포층에 균열을 생기게 함으로써 상기 실리콘 웨이퍼의 일부분을 분리시켜, 상기 실리콘 웨이퍼의 일부분으로 이루어진 단결정 반도체층을 상기 베이스 기판 위에 형성한다.

[0009] 그리고, 상술한 바와 같은 SOI 기판의 제작 방법을 개시한 문헌으로서는 특히 문헌 1을 참조한다.

[0010] [특허 문헌 1] 특개2008-277789호 공보

발명의 내용

해결 하고자하는 과제

[0011] 실리콘 중에 다량의 산소가 함유되어 있으면 산소 석출이라는 현상이 발생할 경우가 있다.

[0012] 그리고, 산소 석출에는 오염 금속 불순물을 게터링하는 장점과, 트랜지스터의 성능을 악화시키는 결점이 있다.

[0013] 실리콘 웨이퍼를 사용하여 트랜지스터를 형성하는 경우는, 표면으로부터 깊은 개소(수 μ m 내지 수십 μ m 정도의 깊이)에서 산소 석출을 발생시키고, 표면으로부터 얕은 개소(수십nm 내지 수백nm)에서는 산소 석출을 발생시키지 않음으로써, 산소 석출의 결점을 회피하고 장점을 살릴 수 있다.

[0014] 그러나, SOI 기판은 단결정 반도체층의 막 두께가 얇기 때문에(수십nm 내지 수백nm의 막 두께), 산소 석출이 발생하면 트랜지스터의 성능을 악화시킨다는 결점을 회피하기 어렵다.

- [0015] 따라서, SOI 기판에 있어서는, 산소 석출을 극력 방지하기 위하여 실리콘 중의 산소 농도가 낮은 것이 바람직하다.
- [0016] 상술한 내용을 감안하여 단결정 반도체층 중의 산소 농도를 저감시킨 SOI 기판의 제작 방법을 이하에 개시한다.
- [0017] 또한, SOI 기판을 사용하여 형성한 반도체 장치 및 그 제작 방법도 이하에 개시한다.
- [0018] 또한, 이하에 개시하는 SOI 기판을 사용하여 형성하는 반도체 장치 및 그 제작 방법에는 각각의 특유의 과제를 해결하는 것이 있다.
- [0019] 따라서, 상기 특유의 과제를 해결하는 방법이 산소 농도를 감소시킨 SOI 기판 외의 SOI 기판을 사용하여 제작한 반도체 장치에도 적용할 수 있다는 것을 부언한다.

과제 해결手段

- [0020] 용융 상태는 고상 상태보다 산소의 확산 계수가 높다. 따라서, 베이스 기판과, 베이스 기판 위에 형성된 절연층(접합층)과, 절연층(접합층) 위에 형성된 단결정 반도체층을 갖는 SOI 구조에 있어서, 단결정 반도체층(실리콘을 주성분으로 하는 단결정 반도체층)을 용융 상태로 함으로써 단결정 반도체층 중의 산소의 외방 확산을 촉진할 수 있다.
- [0021] 따라서, SOI 구조의 단결정 반도체층에 레이저 광을 조사하여 단결정 반도체층을 용융시킴으로써 산소의 확산 계수가 높은 상태로 할 수 있으므로, 산소의 외방 확산을 촉진할 수 있다.
- [0022] 그리고, 산소의 외방 확산이 촉진되면, 단결정 반도체층 중의 산소 농도는 감소되며 때문이다.
- [0023] 또한, 베이스 기판을 가열한 상태에서 레이저 광을 조사하면 더 바람직하다.
- [0024] 즉, 베이스 기판을 가열한 상태에서 레이저 광을 조사하면 단결정 반도체층도 가열된다.
- [0025] 그리고, 단결정 반도체층을 가열한 상태에서 레이저 광을 조사하면 용융된 단결정 반도체층의 냉각 속도가 저하되며, 단결정 반도체층의 용융 시간을 길게 할 수 있다.
- [0026] 단결정 반도체층의 용융 시간이 길어지면, 산소의 확산 계수가 높은 용융 상태의 유지 시간이 길어지기 때문에 산소의 외방 확산을 더 촉진할 수 있다.
- [0027] 따라서, 베이스 기판을 가열한 상태에서 레이저 광을 조사함으로써, 레이저 광 조사에 의한 산소의 외방 확산의 촉진 효과를 촉진할 수 있기 때문에 바람직하다.
- [0028] 또한, 베이스 기판의 온도가 500°C 이상이면 베이스 기판을 가열하지 않는 경우와 비교하여 산소를 저감할 수 있다.
- [0029] 그리고, 베이스 기판의 온도가 높으면 높을수록 용융 상태의 반도체의 냉각 속도를 느리게 할 수 있으므로 베이스 기판의 온도는 높은 것이 바람직하다.
- [0030] 또한, 단결정 반도체층과 접촉되는 절연층이 산소를 함유한 절연막(열 산화막, 산화실리콘막, 절화산화실리콘막, 산화절화실리콘막, 산화알루미늄막, 절화산화알루미늄막, 산화질화알루미늄막 등)으로 이루어지는 경우, 용융 상태의 반도체가 산소를 함유한 절연막과 접촉되면 산소를 함유한 절연막 중의 산소가 용융 상태의 반도체 중에 확산되어 버리는 문제가 생긴다. 또한, 절화산화막이란, 산소 농도보다 질소 농도가 높은 막이고, 산화질화막이란, 산소 농도보다 질소 농도가 낮은 막이다.
- [0031] 따라서, 단결정 반도체층과 접촉되는 절연층이 산소를 함유한 절연층인 경우는 단결정 반도체층의 바닥 부분이 고상 상태가 되는 에너지 밀도로 레이저 광을 조사하는 것이 바람직하다.
- [0032] 즉, 레이저 광을 조사함으로써 단결정 반도체층을 부분 용융하는 것이 바람직하다.
- [0033] 부분 용융이란, 단결정 반도체층의 바닥 부분이 고상 상태가 되고, 상기 바닥 부분보다 위의 영역이 용융 상태가 되는 것을 가리킨다.
- [0034] 왜냐하면, 레이저 광을 조사함으로써 단결정 반도체층을 부분 용융시킴으로써 용융 상태의 반도체와 비교하여 산소의 확산 계수가 낮은 고상 상태의 반도체를 용융 상태의 반도체와 산소를 함유한 절연막 사이에 차단시킬 수 있으므로, 산소를 함유한 절연막 중의 산소가 용융 상태의 반도체 중에 확산되어 버리는 것을 방지할 수 있기 때문이다.

- [0035] 또한, 하지의 산소가 용융 상태의 반도체 중에 확산되는 문제는 베이스 기판에 단결정 반도체층을 직접 접합하는 경우에 있어서, 베이스 기판이 유리 기판, 석영 기판 등의 산소를 함유한 기판인 경우에도 생기는 문제다.
- [0036] 또한, 산소를 함유한 절연막(열 산화막, 산화실리콘막, 질화산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 질화산화알루미늄막, 산화질화알루미늄막 등) 중 산화알루미늄막, 질화산화알루미늄막, 산화질화알루미늄막 등과 비교하여 산화실리콘막, 질화산화실리콘막, 산화질화실리콘막 등은 열 전도율이 낮다.
- [0037] 한편, 본 발명자들이 계산 과학에 의거하여 계산을 행한 결과에 의하면, 단결정 반도체층의 열 확산은 하지 측으로 우선적으로 생기기 쉬운 것이 알려져 있다.
- [0038] 따라서, 단결정 반도체층의 하지 측에 열 전도율이 낮은 물질을 배치함으로써 하지 측으로 열이 확산되는 것을 억제할 수 있으므로, 단결정 반도체층의 냉각 속도를 느리게 할 수 있다.
- [0039] 따라서, 용융 상태의 유지 시간을 길게 하는 관점에서 보면, 산소를 함유한 절연막으로서는 열 산화막, 산화실리콘막, 질화산화실리콘막, 산화질화실리콘막 등이 열 전도율이 낮으므로 바람직하다고 할 수 있다.
- [0040] 또한, 실리콘 웨이퍼보다 유리 기판, 석영 기판 등이 열 전도율이 낮으므로, 용융 상태를 길게 유지하는 관점에서 보면, 베이스 기판으로서 유리 기판, 석영 기판 등이 바람직하다.
- [0041] 베이스 기판의 가열 수단으로서 램프 가열, 유도 가열 등의 수단을 사용하는 경우는 램프 가열, 유도 가열 등이 가능한 베이스 기판을 선택하는 것이 바람직하다. 또한, 접촉 가열을 사용하여도 좋다.
- [0042] 또한, 레이저 광의 조사 분위기를 감압 분위기(기압이 10^{-3} Pa 이하의 분위기)로 함으로써 분위기 중에서 산소가 흡입되는 것을 방지할 수 있으므로 바람직하다.
- [0043] 또한, 레이저 광의 조사 분위기를 환원 분위기(수소를 함유한 분위기, 일산화탄소를 함유한 분위기, 요오드화수소를 함유한 분위기 등)로 함으로써 환원 반응이 일어나므로 산소의 외방 확산을 촉진할 수 있어 바람직하다.
- [0044] 또한, 감압 분위기 또 환원 분위기로 하면 산소 저감 효과가 더 높아지므로 바람직하다.
- [0045] 또한, 단결정 반도체층 중의 산소량이 증대되는 원인은 산소 농도가 정밀하게 제어되지 않고 가격이 저렴한 단결정 반도체 기판(실리콘 웨이퍼 등)을 사용하거나, 질량 분리하지 않는 이온 도핑법을 사용하여 수소, 헬륨 등을 첨가하는 일 등이 생각된다.
- [0046] 따라서, 산소의 외방 확산을 촉진시키는 방법은 산소 농도가 정밀하게 제어되지 않고 가격이 저렴한 단결정 반도체 기판(실리콘 웨이퍼 등)을 사용한 경우, 질량 분리하지 않는 이온 도핑법을 사용하여 수소, 헬륨 등을 첨가한 경우 등에 특히 유효하다.
- [0047] 한편, 이온 도핑법은 이온 주입법과 비교하면, 질량 분리하지 않으므로 장치에 질량 분리기가 필요 없다.
- [0048] 질량 분리기를 사용하면, 이온 범을 만족시킬 필요가 있어 이온 범의 단면적을 크게 하기 어렵다. 또한, 질량 분리기를 사용하면, 이온 전류가 감소되기 때문에 면적이 좁은 영역에 뒤에 이온을 조사할 수 없는 한편, 이온 도핑법은 질량 분리하지 않고 이온을 조사하므로 큰 이온 전류를 사용할 수 있어 대면적의 기판에 이온을 조사할 수 있다.
- [0049] 또한, 이온 도핑법을 사용하여 수소 가스를 원료로 하여 도핑하면, 피조사물에 대하여 H^+ 이온, H_2^+ 이온, H_3^+ 이온 중 H_3^+ 이온을 많이 조사할 수 있다.
- [0050] 그리고, H_3^+ 은 H^+ 나 H 로 분리하여 피조사물 내에 도입되기 때문에, 피조사물에 대하여 H^+ , H_2^+ 를 조사하는 경우와 비교하여 수소, 헬륨 등의 혼입 효율을 향상시킬 수 있다.
- [0051] 취화 영역에 수소, 헬륨 등이 많이 도입될수록 단결정 반도체 기판이 더 확실하게 분리되기 때문에, 수소, 헬륨 등의 도입 효율이 향상되는 것을 바람직하다.
- [0052] 또한, 이온 도핑법을 사용하면, 면적이 넓은 영역에 이온을 조사할 수 있으므로, 면적이 작은 기판을 복수개 동시에 처리할 수도 있다.
- [0053] 그러나, 이온 도핑법은 질량 분리하지 않고 수소, 헬륨 등을 피처리물에 첨가하는 방법이므로, 도핑 분위기 중의 수소, 헬륨 등 외의 불순물도 피처리물에 첨가되어 버린다.

- [0054] 즉, 이온 도핑법으로 피처리물에 수소를 도핑할 때, 도핑 분위기 중에 존재하는 산소도 피처리물에 도핑되기 때문에 피처리물 중의 산소 농도가 상승되어 버린다.
- [0055] 따라서, 산소의 외방 확산을 촉진시키는 방법은 산소 농도가 정밀하게 제어되지 않고 가격이 저렴한 단결정 반도체 기판(실리콘 웨이퍼 등)을 사용한 경우, 질량 분리하지 않는 이온 도핑법으로 수소, 헬륨 등을 첨가한 경우 등에 특히 유효하다고 할 수 있다.
- [0056] 물론, 산소 석출을 방지하는 관점에서 보면, 산소 농도가 정밀하게 제어되고 가격이 비싼 단결정 반도체 기판(실리콘 웨이퍼 등)을 사용한 경우, 질량 분리를 행하는 이온 주입법으로 수소, 헬륨 등을 첨가하는 경우 등이라도 산소의 외방 확산을 촉진시키는 방법을 적용하는 것이 바람직한 것은 말할 것도 없다.
- [0057] 즉, 베이스 기판과, 상기 베이스 기판 위에 형성된 산소를 함유한 접합층과, 상기 산소를 함유한 접합층 위에 형성된 단결정 반도체층을 갖는 SOI 구조를 형성하고, 상기 베이스 기판을 500°C 이상의 온도이고 상기 베이스 기판의 용접보다 낮은 온도로 가열한 상태에서 레이저 광의 조사에 의하여 상기 단결정 반도체층을 부분 용융시킴으로써 SOI 기판을 제작하는 것이 바람직하다.
- [0058] 또한, 상기 레이저 광의 조사 분위기는 감압 분위기인 것이 바람직하다.
- [0059] 또한, 상기 레이저 광의 조사 분위기는 환원 가스를 함유하는 것이 바람직하다.
- [0060] 또한, 상기 레이저 광의 조사 분위기는 불화 수소 가스를 함유하는 것이 바람직하다.
- [0061] 또한, 상기 레이저 광의 조사 분위기에 불화 수소 가스를 함유시키는 경우에 있어서, 상기 SOI 구조의 형성 후이고 상기 레이저 광을 조사하기 전에, 불화 수소 가스를 함유시킨 분위기 내에 상기 SOI 구조를 노출시키면 바람직하다.
- [0062] 또한, 상기 레이저 광을 조사할 때, 상기 베이스 기판을 광 조사 또는 유도 가열에 의하여 가열하면 바람직하다.
- [0063] 또한, 질량 분리하지 않는 이온 도핑법을 사용하여 단결정 반도체 기판에 취화 영역을 형성한 후, 상기 취화 영역을 가열 처리함으로써 상기 단결정 반도체 기판의 일부분을 분리하여 상기 단결정 반도체층을 형성한 경우에 특히 유효적이다.
- [0064] 또한, 상기 단결정 반도체층이 Cz법(초크랄스키(Czochralski)법)을 사용하여 형성된 벌크 실리콘으로 형성된 것 이면 특히 유효적이다.
- [0065] 또한, 산소 농도를 저감한 SOI 기판을 사용하여 반도체 소자(트랜지스터 등)를 형성하면, 수율이 좋고 또 고성능의 반도체 장치를 제작할 수 있으므로 바람직하다.

효과

- [0066] SOI 기판의 단결정 반도체층에 레이저 광을 조사함으로써 산소의 확산 계수가 높은 용융 상태의 반도체를 형성할 수 있으므로, 반도체 중의 산소의 외방 확산이 일어나 단결정 반도체층 중의 산소를 저감할 수 있다.
- [0067] 또한, SOI 기판의 베이스 기판을 가열한 상태에서 레이저 광을 조사하면, 레이저 광의 조사에 의한 산소의 외방 확산의 촉진 효과를 촉진할 수 있게 되므로 바람직하다.
- [0068] 또한, 단결정 반도체층과 접촉되는 절연막이 산소를 함유한 절연막인 경우는 단결정 반도체층의 바닥 부분이 고상 상태가 되는 에너지 밀도로 레이저 광을 조사하면, 산소를 함유한 절연막 중의 산소가 용융 상태의 반도체 중에 확산되어 버리는 것을 방지할 수 있으므로 바람직하다.
- [0069] 또한, 레이저 광의 조사 분위기를 감압 분위기 또는 환원 분위기로 함으로써 산소의 저감 효과를 촉진할 수 있다.
- [0070] 또한, 산소의 외방 확산을 촉진시키는 방법은 산소 농도가 정밀하게 제어되지 않고 가격이 저렴한 단결정 반도체 기판(실리콘 웨이퍼 등)을 사용한 경우, 질량 분리하지 않는 이온 도핑법을 사용하여 수소, 헬륨 등을 첨가한 경우 등에 특히 유효하다고 할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0071] 실시형태에 대하여 이하 설명한다.

- [0072] 다만, 본 발명의 형태 및 상세한 사항은 발명의 취지에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다.
- [0073] 따라서, 본 발명의 범위는 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0074] 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0075] 또한, 이하의 실시형태는 몇 개의 실시형태를 적절히 조합하여 실시할 수 있다.
- [0076] 또한, 이하에 개시하는 SOI 기판을 사용하여 형성하는 반도체 장치 및 그 제작 방법에는 각각의 특유의 과제를 해결하는 것이 있다.
- [0077] 따라서, 상기 특유의 과제를 해결하는 기술은 상기 기술에 의한 작용 효과가 손실되지 않으면, 이하의 실시형태에 기재된 다른 기술과 당연히 조합하여 실시할 수 있다.
- [0078] (실시형태 1)
- [0079] 본 실시형태에서는 SOI 기판의 제작 방법의 일례에 대하여 설명한다.
- [0080] 우선, 단결정 반도체 기판(11)을 준비한다(도 1a 참조).
- [0081] 단결정 반도체 기판(11)은 실리콘을 주성분으로 하는 기판을 사용할 수 있다.
- [0082] 실리콘을 주성분으로 하는 기판으로서는, 실리콘 웨이퍼, 게르마늄이 첨가된 실리콘 웨이퍼 등을 사용할 수 있다.
- [0083] 또한, 실리콘을 주성분으로 하는 기판은 게르마늄 외의 불순물이 첨가된 경우라도 실리콘이 주성분이라면 어느 기판이라도 사용할 수 있다.
- [0084] 또한, 실리콘을 주성분으로 하는 기판에는, 도너 원소, 억셉터 원소 등의 저항 값을 제어하기 위한 불순물 원소가 첨가되어도 좋다.
- [0085] 다음에, 단결정 반도체 기판(11)에 접합층(12)을 형성한다(도 1b 참조).
- [0086] 또한, 접합층(12)은 노출된 표면이 평활성을 갖고, 또 단결정 반도체 기판(11)과 접촉되는 면이 절연성을 갖는 것이면 어느 층이라도 사용할 수 있다.
- [0087] 따라서, 접합층(12)은 단층 구조와 적층 구조의 어느 쪽이라도 좋다.
- [0088] 접합층(12)으로서는, 단결정 반도체 기판(11)의 표면 또는 베이스 기판의 표면을 열 산화한 열 산화막, CVD법, 스퍼터링법 등으로 형성한 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막 등을 사용할 수 있다.
- [0089] 특히, 단결정 반도체 기판(11)의 표면 또는 베이스 기판의 표면을 열 산화한 열 산화막을 형성하는 경우, 할로겐화물(염화수소 등)을 포함한 분위기 중에서 열 산화를 행하면 열 산화막에 할로겐을 첨가할 수 있다.
- [0090] 또한, 할로겐은 금속 불순물 등을 게터링할 효과가 있다.
- [0091] 또한, 접합층으로서 열 산화막을 사용하는 경우는 단결정 반도체 기판(11)의 표면, 이면, 및 측면에 열 산화막이 형성된다.
- [0092] 한편, 접합층으로서 CVD법, 스퍼터링법 등으로 형성한 막을 사용하는 경우는 적어도 표면에 접합층을 형성하면 좋다.
- [0093] 할로겐이 함유된 열 산화막은 나트륨 등의 가동 이온을 게터링할 수 있으므로 바람직하다.
- [0094] 또한, 접합층(12)을 적층 구조로 하는 경우는 상기 재료에 추가하여 금속막을 사용하여도 좋다.
- [0095] 노출된 표면이 평활성을 갖는 이유는 접합층과 접촉되는 베이스 기판의 표면의 접합을 강하게 하기 위해서이다.
- [0096] 또한, 원자간 힘 현미경(AFM)으로 측정한 경우의 평균 면 거칠기(Ra)가 0.50nm 이하인 것이 바람직하다(더 바람직하게는 평균 면 거칠기가 0.35nm 이하(더 바람직하게는 평균 면 거칠기가 0.20nm 이하)).
- [0097] 다만, 평균 면 거칠기는 하지의 평활성의 영향을 받기 때문에 접합층(12)을 적층 구조로 하는 경우는 접합층

(12)이 노출된 표면의 평균 면 거칠기(Ra)가 0.50nm 이하가 되도록 적층 구조를 형성하는 것이 바람직하다(더 바람직하게는 평균 면 거칠기가 0.35nm 이하(더 바람직하게는 평균 면 거칠기가 0.20nm 이하)).

[0098] 또한, 테트라에톡시실란(TEOS) 등의 유기 실란 재료를 사용하여 형성한 산화실리콘막은 성막시에 중간 반응 생성물이 하지의 표면을 재빠르게 이동한 후에 막이 형성되기 때문에, 적층 구조의 접합층의 표면을 평활화할 수 있다.

[0099] 따라서, 접합층(12)의 최상층은 유기 실란 재료를 사용하여 형성한 산화실리콘막으로 하면 평활성이 향상되기 때문에 바람직하다.

[0100] 단결정 반도체 기판(11)과 접촉되는 면이 절연성을 갖는 이유는 단결정 반도체 기판(11)과 접촉되는 면이 도전성을 가지면 반도체와 도전성의 표면이 접촉되어 트랜지스터에 리크가 발생되기 때문이다.

[0101] 또한, 베이스 기판의 표면이 평활성 또 절연성을 가지면 접합층을 형성하지 않아도 좋다.

[0102] 다음에, 단결정 반도체 기판(11)에 소정의 원소를 첨가하여 제 1 영역(11a)과 제 2 영역(11b) 사이에 취화 영역(11c)(미소 기포층, 분리층, 박리층 등이라고도 함)을 형성한다(도 1c 참조).

[0103] 또한, 취화 영역의 형성은 접합층을 형성하기 전에 행하여도 좋다.

[0104] 다만, 취화 영역의 형성시에 반도체층이 노출되면, 이온의 주입시 또는 도핑시에 반도체층이 거칠어진다.

[0105] 따라서, 취화 영역의 형성시에는 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막 등의 보호막을 형성해 두는 것이 바람직하다.

[0106] 따라서, 접합층을 형성한 후에 취화 영역을 형성하는 경우는 접합층이 보호막으로서 기능한다.

[0107] 한편, 접합층을 형성하기 전에 취화 영역을 형성하는 경우는 보호막을 형성하고 나서 취화 영역을 형성하면 바람직하다.

[0108] 다만, 접합층이 400°C 이상으로 가열되는 공정에서 형성되면, 접합층 형성시에 단결정 반도체 기판에 균열이 생길 우려가 있으므로, 취화 영역은 접합층을 형성한 후에 형성하는 것이 바람직하다.

[0109] 특히, 열 산화는 보통 800°C 이상의 온도로 행해지기 때문에, 접합층을 형성하기 전에 취화 영역을 형성하면, 접합층 형성시에 단결정 반도체 기판에 균열이 생기는 것을 피할 수 없다.

[0110] 따라서, 특히, 접합층으로서 열 산화막을 형성하는 경우는 취화 영역은 접합층을 형성한 후에 형성하는 것이 바람직하다.

[0111] 소정의 원소로서는 수소, 헬륨 등을 사용할 수 있다.

[0112] 수소, 헬륨 등의 첨가 방법으로서는, 질량 분리를 행하는 이온 주입법, 질량 분리를 행하지 않는 이온 도핑법 등을 사용할 수 있다.

[0113] 또한, 이온 도핑법은 질량 분리를 행하지 않고 수소, 헬륨 등을 피처리물에 첨가하는 방법이므로, 도핑 분위기 중의 수소, 헬륨 등 외의 불순물도 피처리물에 첨가되어 버린다.

[0114] 즉, 이온 도핑법으로 피처리물에 수소 등을 첨가할 때, 도핑 분위기 중에 존재하는 산소도 피처리물에 첨가되기 때문에, 피처리물 중의 산소 농도가 상승되어 버린다.

[0115] 따라서, 산소의 외방 확산을 촉진시키는 방법은 이온 도핑법으로 혼입되어 버린 산소를 제거하는 의미에서 유효하다고 할 수 있다.

[0116] 또한, 단결정 반도체 기판 자체에 산소가 어느 정도 함유되어 있으므로, 질량 분리를 행하는 이온 주입법을 행한 경우라도 산소의 외방 확산을 촉진시키는 방법을 사용하는 가치는 당연히 있다(특히, Cz법(초크랄스키법)을 사용하여 단결정 실리콘의 잉곳을 형성한 경우는 석영 도가니로부터 잉곳으로 산소가 혼입되는 것을 회피할 수 없음)

[0117] 다음에, 접합층(12)의 표면을 베이스 기판(13)에 접합하여 가열한다(도 2a 및 도 2b 참조).

[0118] 또한, 접합하기 전에, 2개의 접합 면의 접합을 강화하기 위하여 적어도 2개의 접합 면 중 어느 한쪽에 대하여 친수화 또는 활성화를 위한 표면 처리를 행하는 것이 바람직하다.

[0119] 친수화를 위한 표면 처리로서는, 오존수, 암모니아 과수(암모니아수와 과산화수소수의 혼합 용액) 등에 의한 표

면 처리를 사용할 수 있다.

[0120] 활성화를 위한 표면 처리로서는, 산소 플라즈마 처리, 질소 플라즈마 처리, 희ガ스 플라즈마 처리(특히, 아르곤 플라즈마 처리) 등에 의한 표면 처리를 사용할 수 있다.

[0121] 접합층(12)의 표면을 베이스 기판에 접합하면, 접합층의 표면 및 베이스 기판의 표면이 평활성을 갖기 때문에 접합이 생긴다(도 2a 참조).

[0122] 또한, 접합 후에 가열함으로써 취화 영역에 형성된 미소한 공동의 체적 변화가 일어나 취화 영역을 따라 균열이 생겨 제 1 영역(11a)과 제 2 영역(11b)을 분리할 수 있다(도 2b 참조).

[0123] 베이스 기판으로서는, 실리콘 웨이퍼, 유리 기판, 석영 기판, 금속 기판(스테인리스 기판 등)을 사용할 수 있다.

[0124] 취화 영역을 따라 균열을 생기게 하기 위한 가열의 온도는 400°C 이상의 온도로 행하면 좋다.

[0125] 또한, 취화 영역을 따라 균열을 생기게 하기 위한 가열을 행하기 전에, 가열(200°C 이상 400°C 미만) 또는 가압을 행하여 접합을 강화시켜 두어도 좋다. 가열 및 가압을 행하여도 좋다.

[0126] 제 2 영역(11b) 측에 잔존된 취화 영역(11c)은 고농도로 수소, 헬륨 등이 첨가되므로 결함이 많다.

[0127] 그래서, 접합 후에 제 2 영역(11b; 단결정 반도체층)의 표면을 에칭하여 취화 영역(11c)을 제거하는 것이 바람직하다(도 3a 참조).

[0128] 에칭 방법으로서는 레지스트 마스크를 형성하지 않고 에칭하는 방법(에치 백), CMP법(Chemical Mechanical Polishing) 등을 사용하여 표면을 연마하는 방법 등을 사용하는 것이 바람직하다.

[0129] 다만, 공정수를 삭감하기 위하여 취화 영역(11c)을 제거하는 공정을 생략하여도 좋다.

[0130] 또한, 취화 영역(11c)에 균열을 생기게 하여 분리하기 때문에 취화 영역(11c)의 표면에는 요철이 형성된다(도 3a 참조).

[0131] 그리고, 에치 백을 행한 경우는 취화 영역(11c)의 표면의 요철 형상이 반영되어 남아 버린다(도 3b 참조).

[0132] 그래서, 레이저 광을 주사시키면서 조사하여 단결정 반도체층을 용융시킴으로써 표면의 평탄성을 향상시킬 수 있다.

[0133] 또한, 에치 백 후의 제 2 영역(11b; 단결정 반도체층)의 막 두께의 평균 값이 100nm보다 얇게 되면, 레이저 광을 조사한 후, 표면의 골 부분에 구멍이 생길 확률이 높아진다(도 3c의 파선(81 내지 83) 참조).

[0134] 100nm이라는 값은 에치 백 후의 제 2 영역(11b; 단결정 반도체층)의 막 두께의 평균 값을 10nm씩 바꾼 샘플을 준비하고, 각각의 샘플에 레이저 광을 조사한 후, 현미경 관찰을 행함으로써 도출한 값이다.

[0135] 현미경 관찰의 결과에 의거하면, 에치 백 후의 제 2 영역(11b; 단결정 반도체층)의 막 두께의 평균 값이 100nm보다 작은 샘플은 구멍의 개수가 급격하게 증가되었다.

[0136] 또한, 막 두께의 평균 값은 광학적인 막 두께 측정기(제품명: 나노 스詈)를 사용하여 단결정 반도체층 위의 복수의 개소를 측정하고, 복수의 개소의 측정 결과의 평균 값을 사용하여 산출하였다.

[0137] 따라서, 에치 백 후의 제 2 영역(11b; 단결정 반도체층)의 막 두께의 평균 값이 100nm 이상이 되도록 수소, 헬륨 등의 첨가 및 에치 백을 행하면 바람직하다.

[0138] 또한, 수소, 헬륨 등을 첨가할 때의 가속 전압을 조정함으로써 취화 영역(11c)의 형성 위치를 조정할 수 있으므로, 에치 백 전의 막 두께는 수소, 헬륨 등을 첨가할 때의 가속 전압을 조정함으로써 설정하면 좋다.

[0139] 그리고, 에치 백 후의 막 두께는 에칭 레이트를 고려하여 원하는 막 두께가 될 때까지 제 2 영역(11b; 단결정 반도체층)을 에칭함으로써 조정할 수 있다.

[0140] 다음에, 레이저 광(14)을 조사한 영역을 용융시키면서 주사하여 산소의 외방 확산을 행한다(도 4a 참조).

[0141] 레이저 광의 조사 영역은 적어도 반도체 소자(트랜지스터 등)를 형성하는 영역이라면 좋다. 단결정 반도체층 전체 면에 레이저 광을 조사하여도 좋다.

[0142] 레이저 광(14)의 종류로서는, 단결정 반도체층에 흡수되는 파장의 레이저 광이면 어느 레이저 광이라도 사용할

수 있다(예를 들어, 엑시머 레이저 광, YAG 레이저 광, YVO_4 레이저 광 등).

[0143] 레이저 광(14)의 조사 영역의 형상도 어느 형상이라도 좋다(예를 들어, 스폷 형상, 선 형상, 면 형상 등).

[0144] 또한, 레이저 광의 조사 영역의 형상이 면 형상이고, 원하는 영역을 한번에 용융시킬 수 있으면 레이저 광을 주사하지 않아도 좋다.

[0145] 또한, 펠스 레이저 광을 주사하면서 조사하는 경우는 충분히 가열하기 위하여 조사 영역을 중첩하여 주사하면 바람직하다(특히, 하나의 위치에 펠스 레이저 광이 평균하여 5회 내지 50회 조사되도록 펠스 레이저 광을 주사하면 바람직함).

[0146] 산소의 외방 확산을 행하는 공정은 표면의 평탄성을 향상시키는 공정과 동시에 행하여도 좋고, 따로 행하여도 좋다(표면의 평탄성을 다른 공정에서 행하는 경우도 레이저 광(14)과 같은 종류의 레이저 광을 적용할 수 있음).

[0147] 도 4a에서는, 산소의 외방 확산을 행하는 공정과 표면의 평탄성을 향상시키는 공정을 동시에 행한다.

[0148] 레이저 광(14)이 조사된 개소는 용융 상태의 반도체(11d)가 된다.

[0149] 용융 상태의 반도체(11d)는 고상 상태의 반도체보다 산소의 확산 계수가 높아지고, 또 레이저 광(14)의 조사에 의하여 온도가 상승되어 산소의 외방 확산이 촉진된다(도 4a의 과선(80) 참조).

[0150] 여기서, 접합층(12)이 산소를 함유한 절연막인 경우, 용융 상태의 반도체가 산소를 함유한 절연막과 접촉되면, 산소를 함유한 절연막 중의 산소가 용융 상태인 반도체 중에 확산되어 버리는 문제가 생긴다.

[0151] 따라서, 단결정 반도체층과 접촉되는 절연막이 산소를 함유한 절연막의 경우는 단결정 반도체층의 바닥 부분이 고상 상태가 되는 에너지 밀도로 레이저 광을 조사하는 것이 바람직하다(도 4a 과선(90) 참조).

[0152] 즉, 레이저 광을 조사함으로써 단결정 반도체층을 부분 용융시키는 것이 바람직하다.

[0153] 부분 용융이란, 단결정 반도체층의 바닥 부분이 고상 상태가 되고, 상기 바닥 부분보다 위의 영역이 용융 상태가 되는 것을 가리킨다.

[0154] 왜냐하면, 레이저 광을 조사하여 단결정 반도체층을 부분 용융함으로써 용융 상태의 반도체와 비교하여 산소의 확산 계수가 낮은 고상 상태의 반도체를 용융 상태의 반도체와 산소를 함유한 절연막 사이에 개재시킬 수 있으므로, 산소를 함유한 절연막 중의 산소가 용융 상태의 반도체 중에 확산되어 버리는 것을 방지할 수 있기 때문이다.

[0155] 또한, 하지에 함유된 산소가 용융 상태의 반도체 중에 확산되는 문제는 베이스 기판에 단결정 반도체층을 직접 접착하는 경우에 있어서, 베이스 기판이 유리 기판, 석영 기판 등의 산소를 함유한 기판인 경우에도 생기는 문제다.

[0156] 여기서, 결정 반도체층의 바닥 부분이 고상 상태가 되는 에너지 밀도의 결정 방법에 대하여 설명한다.

[0157] 우선, 미리 에너지 밀도를 변화시켜 레이저 광을 조사한 SOI 기판으로 이루어진 복수의 샘플을 준비한다.

[0158] 다음에, 복수의 샘플에 대하여, 반도체층의 단면의 전자 현미경 사진의 관찰, 반도체층의 SIMS 분석(2차 이온 질량 분석) 등을 행한다.

[0159] 예를 들어, 반도체층의 단면의 전자 현미경 사진의 관찰을 행하면, 반도체층의 결정화 상태로부터 용융한 깊이를 판단할 수 있다.

[0160] 또한, 용융 상태와 고상 상태의 경계에 불순물(탄소, 질소, 산소 등)이 모이기 쉬우므로, SIMS 분석을 하면 불순물 농도가 높은 피크의 위치가 용융 상태와 고상 상태의 경계인 것을 판단할 수 있다.

[0161] 따라서, 원하는 깊이까지 용융하고자 하는 경우는 미리 복수의 샘플을 형성하여 측정을 해 둠으로써 적절한 에너지 밀도를 결정할 수 있다.

[0162] 물론, 에너지 밀도의 결정 방법이 예시한 방법에 한정되지 않는 것은 말할 것도 없다.

[0163] 또한, 도 4a에서는 베이스 기판(13)을 가열하지 않고 레이저 광을 조사하였지만, 도 4b와 같이 베이스 기판(13)을 가열하면서 레이저 광을 조사하면 바람직하다.

- [0164] 즉, 베이스 기판을 가열한 상태에서 레이저 광을 조사하면 단결정 반도체층도 가열된다.
- [0165] 그리고, 단결정 반도체층이 가열된 상태가 되면, 용융된 단결정 반도체층의 냉각 속도가 완화되기 때문에, 단결정 반도체층의 용융 시간을 길게 할 수 있다.
- [0166] 단결정 반도체층의 용융 시간이 길어지면, 산소의 확산 계수가 높은 용융 상태의 유지 시간이 길어지기 때문에, 산소의 외방 확산을 더 촉진할 수 있다.
- [0167] 따라서, SOI 기판의 베이스 기판을 가열한 상태에서 레이저 광을 조사하는 것은 레이저 광을 조사함으로써 산소의 외방 확산의 촉진 효과를 촉진할 수 있게 되므로 바람직하다.
- [0168] 베이스 기판의 온도가 500°C 이상이면 베이스 기판을 가열하지 않는 경우와 비교하여 산소를 저감할 수 있다.
- [0169] 그리고, 베이스 기판의 온도가 높으면 높을수록 용융 상태의 반도체의 냉각 속도를 느리게 할 수 있으므로, 베이스 기판의 온도는 높을수록 바람직하다.
- [0170] 또한, 반도체층은 고상 상태라도 온도가 높으면 약간의 산소의 외방 확산이 생기므로, 산소의 외방 확산이 더 촉진된다고 할 수 있다(도 4b의 파선(80) 참조).
- [0171] 다만, 베이스 기판의 온도가 베이스 기판의 융점 이상이 되면 베이스 기판이 녹아 버린다.
- [0172] 또한, 베이스 기판의 온도가 베이스 기판의 변형점 온도 이상이 되면 베이스 기판이 변형되어 버린다.
- [0173] 따라서, 베이스 기판의 온도 범위의 상한 값은 베이스 기판의 융점보다 낮은 온도, 또는, 베이스 기판의 변형점 온도보다 낮은 온도 중에서 선택하는 것이 바람직하다.
- [0174] 다만, 단결정 반도체층이 실리콘인 경우, 실리콘의 융점은 약 1414°C이므로, 베이스 기판의 내열 온도(융점, 변형점 온도 등)가 1414°C 이상이라도 베이스 기판의 온도는 1414°C보다 낮은 온도로 할 필요가 있다(즉, 베이스 기판의 온도 범위의 상한 값은 단결정 반도체층의 융점 미만의 온도라고 할 수 있음).
- [0175] 또한, 베이스 기판의 온도 범위의 상한 값은 600°C 이하(또는 600°C 미만), 650°C 이하(또는 650°C 미만), 700°C 이하(또는 700°C 미만), 750°C 이하(또는 750°C 미만), 800°C 이하(또는 800°C 미만), 850°C 이하(또는 850°C 미만), 900°C 이하(또는 900°C 미만), 950°C 이하(또는 950°C 미만), 1000°C 이하(또는 1000°C 미만), 1050°C 이하(또는 1050°C 미만), 1100°C 이하(또는 1100°C 미만), 1150°C 이하(또는 1150°C 미만), 1200°C 이하(또는 1200°C 미만), 1250°C 이하(또는 1250°C 미만), 1300°C 이하(또는 1300°C 미만), 1350°C 이하(또는 1350°C 미만), 1400°C 이하(또는 1400°C 미만) 중에서 선택하여도 좋다. 또한, X°C 미만이란, X°C보다 낮은 온도를 가리킨다(X는 임의의 수임).
- [0176] 또한, 베이스 기판의 온도 범위의 하한 값은 500°C 이상(또는 500°C 초과), 550°C 이상(또는 550°C 초과), 600°C 이상(또는 600°C 초과), 650°C 이상(또는 650°C 초과), 700°C 이상(또는 700°C 초과), 750°C 이상(또는 750°C 초과), 800°C 이상(또는 800°C 초과), 850°C 이상(또는 850°C 초과), 900°C 이상(또는 900°C 초과), 950°C 이상(또는 950°C 초과), 1000°C 이상(또는 1000°C 초과), 1050°C 이상(또는 1050°C 초과), 1100°C 이상(또는 1100°C 초과), 1150°C 이상(또는 1150°C 초과), 1200°C 이상(또는 1200°C 초과), 1250°C 이상(또는 1250°C 초과), 1300°C 이상(또는 1300°C 초과), 1350°C 이상(또는 1350°C 초과) 중에서 선택하여도 좋다. 또한, X°C 초과란, X°C보다 높은 온도를 가리킨다(X는 임의의 수임).
- [0177] 다만, 베이스 기판의 온도 범위의 상한 값은 베이스 기판의 온도 범위의 하한 값보다 큰 것으로 한다.
- [0178] 베이스 기판의 가열 수단으로서는 접촉 가열, 광 조사에 의한 가열, 유도 가열 등의 수단이 있다.
- [0179] 접촉 가열은 기판을 배치하는 스테이지 등을 가열하여 스테이지 등과 접촉되는 기판을 가열하는 수단이다.
- [0180] 따라서, 접촉 가열을 사용하면 베이스 기판이 어느 종류의 기판이라도 가열할 수 있다.
- [0181] 한편, 광 조사에 의한 가열은 기판에 흡수되는 광장의 광을 기판에 조사하여 기판을 발열시키는 수단이다.
- [0182] 따라서, 광 조사에 의한 가열을 사용하는 경우는 베이스 기판의 종류와 광 광장의 선택이 필수적이다.
- [0183] 광 조사에 의한 가열로서는, 예를 들어, 베이스 기판을 실리콘을 주성분으로 하는 기판으로 하고, 광을 실리콘에 흡수되는 광(레이저 광, 램프 광(텅스텐 할로겐 램프 등) 등)으로 하는 방법 등이 있다.
- [0184] 레이저 광(제 2 레이저 광으로 함)은 산소 확산을 위한 레이저 광(14(제 1 레이저 광))과 같은 것을 사용할 수

있다. 예를 들어, 베이스 기판을 용융시키지 않는 에너지 밀도로 베이스 기판 측으로부터 조사한다.

[0185] 이 경우, 제 1 레이저 광을 단결정 반도체층 측으로부터 조사하고 제 2 레이저 광을 베이스 기판 측으로부터 조사함과 함께, 제 1 레이저 광의 조사 영역의 일부분과 제 2 레이저 광의 조사 영역의 일부분이 중첩되도록 한다. 또한, 제 1 레이저 광의 파장과 제 2 레이저 광의 파장이 상이하면 제 2 레이저 광을 단결정 반도체층 측으로부터 조사하여도 처리할 수 있다.

[0186] 또한, 제 1 레이저 광과 제 2 레이저 광의 주사 방향이 같은 방향을 향하도록 주사한다.

[0187] 또한, 제 2 레이저 광은 여열(余熱)용이므로, 제 2 레이저 광의 조사 영역의 면적이 제 1 레이저 광의 조사 영역의 면적보다 크게 되도록 하면 바람직하다.

[0188] 제 2 레이저 광의 조사 영역의 면적이 제 1 레이저 광의 조사 영역의 면적보다 크게 되도록 함으로써, 여열 범위를 광범위하게 할 수 있으므로, 용융 상태를 유지할 수 있는 영역을 광범위하게 할 수 있기 때문이다.

[0189] 또한, 제 2 레이저 광은 단결정 반도체층과 비교하여 매우 두꺼운 베이스 기판을 조사하는 것이다.

[0190] 따라서, 제 2 레이저 광에는 제 1 레이저 광보다 파장이 긴 레이저 광을 사용하는 것이 바람직하다.

[0191] 레이저 광의 파장이 길면, 피조사물 표면으로부터 깊은 위치까지 레이저 광이 조사되기 때문이다.

[0192] 유도 가열은 교류 자장 중에 도체를 놓고, 도체에 와 전류(eddy current)를 발생시켜 도체를 발열시키는 방법이다.

[0193] 따라서, 유도 가열이 가능한 베이스 기판은 와 전류가 흐르기 쉬운 도체인 것이 바람직하다.

[0194] 와 전류가 흐르기 쉬운 것은 어느 정도 저항이 높은 도체이므로, 유도 가열을 사용하는 경우는 베이스 기판으로서 실리콘 웨이퍼, 철 기판, 스테인리스 기판 등을 사용하는 것이 바람직하다.

[0195] 접촉 가열은 베이스 기판이 원하는 온도에 도달될 때까지 시간이 걸리기 때문에, 베이스 기판이 원하는 온도에 도달될 때까지 시간이 짧은 광 조사에 의한 가열, 유도 가열 등을 사용하면 처리 시간을 단축할 수 있다. 또한, 유도 가열로 도체를 가열하고, 도체로부터의 열 전도를 이용한 가열 방법을 사용하여도 좋다.

[0196] 또한, 레이저 광의 조사 분위기를 불활성 기체 분위기(질소, 희 가스 등)로 함으로써 분위기 중으로부터 산소가 혼입되는 것을 방지할 수 있어 바람직하다.

[0197] 또한, 레이저 광의 조사 분위기를 감압 분위기(기압이 10^{-3} Pa 이하의 분위기)로 함으로써, 분위기 중으로부터 산소가 혼입되는 것을 방지할 수 있어 바람직하다.

[0198] 또한, 레이저 광의 조사 분위기를 환원 분위기(수소를 함유한 분위기, 일산화탄소를 함유한 분위기, 요오드화수소를 함유한 분위기 등(환원 가스만이라도 좋고, 환원 가스와 불활성 기체의 혼합 가스라도 좋음))으로 함으로써 환원 반응이 생기므로, 산소의 외방 확산을 촉진할 수 있어 바람직하다.

[0199] 즉, 레이저 광의 조사 분위기에 환원 가스를 포함시키면 바람직하다.

[0200] 특히, 요오드화 수소를 함유한 분위기는 환원 작용이 있는 동시에 할로겐인 요오드에 의하여 중금속 등의 오염을 제거할 수 있어 바람직하다.

[0201] 또한, 감압 분위기 또 불활성 기체 분위기, 또는 감압 분위기 또 환원 분위기로 하면, 산소 저감 효과가 더 높아지므로 바람직하다.

[0202] 또한, 레이저 광을 조사하기 전에 불화 수소 용액을 사용하여 반도체층의 자연 산화막을 제거해 두는 것이 바람직하다.

[0203] 자연 산화막은 불균일하게 형성되기 때문에, 자연 산화막이 존재하면 레이저 광을 조사한 후의 반도체막의 결정 상태에 불균일이 생기기 때문이다. 또한, 산소가 자연 산화막으로부터 반도체층으로 확산되는 것을 방지하기 위해서이다.

[0204] 한편, 공정수를 삭감하기 위하여, 불화 수소 용액을 사용하는 대신에, 감압 분위기, 환원 분위기, 또는 감압 분위기 또 환원 분위기 등의 분위기에 불화 수소를 함유시켜도 좋다.

[0205] 또한, 대기 분위기, 불활성 기체 분위기(희 가스, 질소 등)에 불화 수소를 함유시켜도 좋다.

- [0206] 물론, 불화 수소 분위기만이라도 좋다.
- [0207] 즉, 레이저 광의 조사 분위기에 불화 수소 가스를 포함시키면 바람직하다.
- [0208] 불화 수소는 산화실리콘막을 제거하는 작용이 있기 때문에, 반도체층 표면의 자연 산화막을 제거하면서 레이저 광을 조사할 수 있어 바람직하다.
- [0209] 특히, 불화 수소를 함유한 분위기 중에 잠시 SOI 기판을 노출한 직후에 연속적으로 레이저 광을 조사하면, 자연 산화막을 확실히 제거한 후 레이저 광을 조사할 수 있어 바람직하다(연속적으로 레이저 광을 조사하므로 공정수도 삭감할 수 있음).
- [0210] 또한, 요오드화 수소, 불화 수소 등은 금속을 침식하기 쉬우므로, 요오드화 수소, 불화 수소 등을 분위기에 도입할 때는, 레이저 광의 조사를 행하는 처리실 내의 내벽, 스테이지 등을 사파이어, 다이아몬드 라이크 카본 등으로 코팅해 두면 바람직하다.
- [0211] 또한, 레이저 광의 조사 분위기의 온도를 높게 하면, 용융 상태의 유지 시간이 길어져 바람직하다.
- [0212] 베이스 기판의 가열 온도가 500°C 이상인 경우에 산소 저감의 효과가 있는 것을 고려하면, 레이저 광의 조사 분위기의 온도도 500°C 이상인 것이 바람직하다.
- [0213] 또한, 레이저 광의 조사 분위기의 온도 범위의 상한 값은 600°C 이하(또는 600°C 미만), 650°C 이하(또는 650°C 미만), 700°C 이하(또는 700°C 미만), 750°C 이하(또는 750°C 미만), 800°C 이하(또는 800°C 미만), 850°C 이하(또는 850°C 미만), 900°C 이하(또는 900°C 미만), 950°C 이하(또는 950°C 미만), 1000°C 이하(또는 1000°C 미만), 1050°C 이하(또는 1050°C 미만), 1100°C 이하(또는 1100°C 미만), 1150°C 이하(또는 1150°C 미만), 1200°C 이하(또는 1200°C 미만), 1250°C 이하(또는 1250°C 미만), 1300°C 이하(또는 1300°C 미만), 1350°C 이하(또는 1350°C 미만), 1400°C 이하(또는 1400°C 미만) 중에서 선택하여도 좋다. 또한, X°C 미만이란, X°C보다 낮은 온도를 가리킨다(X는 임의의 수임).
- [0214] 또한, 레이저 광의 조사 분위기의 온도 범위의 하한 값은 500°C 이상(또는 500°C 초과), 550°C 이상(또는 550°C 초과), 650°C 이상(또는 650°C 초과), 600°C 이상(또는 600°C 초과), 650°C 이상(또는 650°C 초과), 700°C 이상(또는 700°C 초과), 750°C 이상(또는 750°C 초과), 800°C 이상(또는 800°C 초과), 850°C 이상(또는 850°C 초과), 900°C 이상(또는 900°C 초과), 950°C 이상(또는 950°C 초과), 1000°C 이상(또는 1000°C 초과), 1050°C 이상(또는 1050°C 초과), 1100°C 이상(또는 1100°C 초과), 1150°C 이상(또는 1150°C 초과), 1200°C 이상(또는 1200°C 초과), 1250°C 이상(또는 1250°C 초과), 1300°C 이상(또는 1300°C 초과), 1350°C 이상(또는 1350°C 초과) 중에서 선택하여도 좋다. 또한, X°C 초과란, X°C보다 높은 온도를 가리킨다(X는 임의의 수임).
- [0215] 다만, 레이저 광의 조사 분위기의 온도 범위의 상한 값은 레이저 광의 조사 분위기의 온도 범위의 하한 값보다 큰 것으로 한다.
- [0216] 상술한 바와 같이, 산소를 저감시킨 SOI 기판을 형성할 수 있다.
- [0217] 또한, 레이저 광의 조사는 구멍이 발생되는 것을 회피하기 위하여 단결정 반도체층의 막 두께의 평균 값이 100nm 이상의 상태에서 행하는 것이 바람직하다.
- [0218] 그러나, 축척 법칙(scaling law)에 따르면, 단결정 반도체층의 막 두께가 얇으면 얇을수록 트랜지스터의 특성이 상승되는 것이 알려져 있다.
- [0219] 따라서, 단결정 반도체층의 막 두께를 100nm보다 얇게 하고 싶은 경우에는 100nm 이상의 막 두께로 레이저 광을 조사하고, 레이저 광을 조사한 후에 막 두께를 100nm보다 얇게 하기 위한 박막화 에칭을 행하면 바람직하다(도 5a 및 도 5b 참조).
- [0220] 또한, 레이저 광을 조사할 때의 단결정 반도체층의 막 두께가 300nm보다 두꺼우면, 레이저 광을 충분히 흡수할 수 없는 경우가 있으므로, 레이저 광을 조사할 때의 단결정 반도체층의 막 두께가 300nm 이하인 것이 바람직하다.
- [0221] 본 실시형태는 다른 모든 실시형태와 조합하여 실시할 수 있다.
- [0222] (실시형태 2)
- [0223] 본 실시형태에서는 SOI 기판을 사용하여 형성한 반도체 장치의 제작 방법의 일례에 대하여 설명한다.

- [0224] 우선, 베이스 기판(100)과, 베이스 기판(100) 위에 형성된 접합층(200)과, 접합층(200) 위에 형성된 단결정 반도체층(300)을 갖는 구조의 SOI 기판을 준비한다(도 6a 참조).
- [0225] 베이스 기판, 접합층, 단결정 반도체층은 각각 실시형태 1에 기재한 것과 같은 재료를 사용할 수 있다.
- [0226] 다음에, 단결정 반도체층(300)을 에칭하여 섬 형상으로 가공한다.
- [0227] 여기서는, 섬 형상 반도체층(301, 302) 등을 형성한다(소자 분리 공정).
- [0228] 그리고, 섬 형상 반도체층(301, 302) 위에 게이트 절연막(400), 게이트 전극(501, 502)을 순차로 형성한다(도 6b 참조).
- [0229] 게이트 절연막은 열 산화막, 산화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막, 하프늄 화합물막 등을 사용할 수 있다.
- [0230] 게이트 절연막은 단층과 적층의 어느 쪽이라도 좋다.
- [0231] 게이트 전극은 텅스텐, 몰리브덴, 알루미늄, 티타늄, 실리콘 등을 사용할 수 있다.
- [0232] 게이트 전극은 단층과 적층의 어느 쪽이라도 좋다.
- [0233] 다음에, 섬 형상 반도체층(301)에 제 1 불순물 원소를 선택적으로 첨가하여 불순물 영역(301a, 301b)을 형성한다(도 6c 참조).
- [0234] 또한, 섬 형상 반도체층(302)에 제 2 불순물 원소를 선택적으로 첨가하여 불순물 영역(302a, 302b)을 형성한다(도 6c 참조).
- [0235] 제 1 불순물 원소와 제 2 불순물 원소는 어느 쪽을 먼저 첨가하여도 좋다.
- [0236] 또한, 제 1 불순물 원소는 도너 원소(인, 비소 등) 또는 억셉터 원소(붕소 등)의 한쪽이다.
- [0237] 또한, 제 2 불순물 원소는 도너 원소(인, 비소 등) 또는 억셉터 원소(붕소 등)의 다른 쪽이다.
- [0238] 또한, 불순물 영역(301a, 301b, 302a, 302b)에는 마스크 또는 사이드 월 등을 사용하여 LDD 영역을 형성하여도 좋다.
- [0239] 다음에, 게이트 전극 위에 충간 절연막(600)을 형성하고, 충간 절연막(600)에 콘택트 홀을 형성하고, 충간 절연막(600) 위에 콘택트 홀을 통하여 반도체층 및 게이트 전극과 전기적으로 접속되는 배선(701a 내지 701c, 702a 내지 702c)을 형성한다(도 7a 및 도 7b 참조).
- [0240] 또한, 도 7a 및 도 7b는 상이한 개소의 단면도이다.
- [0241] 그리고, 게이트 전극과 배선의 콘택트 개소는 게이트 전극 아래에 반도체층이 존재하지 않는 개소로 한다(도 7b 참조).
- [0242] 충간 절연막은 산화실리콘막, 질화실리콘막, 질소를 함유한 산화실리콘막, 산소를 함유한 질화실리콘막, 폴리이미드, 아크릴, 실록산 폴리머 등을 사용할 수 있다.
- [0243] 충간 절연막은 단층과 적층의 어느 쪽이라도 좋다.
- [0244] 배선은 알루미늄, 티타늄, 몰리브덴, 텅스텐, 금, 은, 구리 등의 금속, 또는 ITO(산화인듐주석) 등의 투명 도전물을 사용할 수 있다.
- [0245] 배선은 단층과 적층의 어느 쪽이라도 좋다.
- [0246] 본 실시형태는 다른 모든 실시형태와 조합하여 실시할 수 있다.
- [0247] (실시형태 3)
- [0248] 본 실시형태에서는 SOI 기판을 사용하여 형성한 반도체 장치의 제작 방법의 일례에 대하여 설명한다.
- [0249] 우선, 베이스 기판(1100)과, 베이스 기판(1100) 위에 형성된 접합층(1200)과, 접합층(1200) 위에 형성된 단결정 반도체층(1300)을 갖는 구조의 SOI 기판을 준비한다(도 8a 참조).
- [0250] 베이스 기판, 접합층, 단결정 반도체층은 각각 실시형태 1에 기재한 것과 같은 재료를 사용할 수 있다.

- [0251] 다음에, 단결정 반도체층(1300) 위에 섬 형상의 마스크 절연막(1400)을 형성한다(도 8b 참조).
- [0252] 다음에, 마스크 절연막(1400)을 마스크로서 사용하여 단결정 반도체층(1300)을 에칭하여 섬 형상으로 한다(섬 형상 반도체층(1301, 1302) 등을 형성함; 도 8c 참조, 소자 분리 공정).
- [0253] 다음에, 마스크 절연막(1400) 위에 절연막을 형성하고, 절연막을 에치 백 또는 연마하여 섬 형상 반도체층 사이를 채우는 매립(embedded) 절연막(1500)을 형성한다(도 9a 참조).
- [0254] 여기서, 마스크 절연막(1400) 및 매립 절연막(1500)은 산화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막 등을 사용할 수 있다.
- [0255] 다만, 마스크 절연막(1400)을 매립 절연막(1500)을 형성할 때의 에칭 스토퍼로서 사용하기 위해서는 마스크 절연막(1400)과 매립 절연막(1500)을 상이한 재질의 막으로 하는 것이 바람직하다.
- [0256] 다음에, 마스크 절연막(1400)을 제거한다(도 9b 참조).
- [0257] 다음에, 섬 형상 반도체층(1301) 위에 게이트 절연막(1601)을 형성함과 함께, 섬 형상 반도체층(1302) 위에 게이트 절연막(1602)을 형성한다(도 9c 참조).
- [0258] 게이트 절연막은 열 산화막, 산화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막, 하프늄 화합물막 등을 사용할 수 있다.
- [0259] 게이트 절연막은 단층과 적층의 어느 쪽이라도 좋다.
- [0260] 다음에, 게이트 절연막 위에 실리콘을 주성분으로 하는 게이트 전극(1701) 및 실리콘을 주성분으로 하는 게이트 전극(1702)을 형성한다(도 10a 참조).
- [0261] 실리콘을 주성분으로 하는 게이트 전극에는 도너 원소 또는 억셉터 원소를 첨가하여 저항 값을 낮추는 것이 바람직하다.
- [0262] 또한, 도 10a에 도시하는 바와 같이 게이트 전극을 형성할 때, 게이트 절연막도 동시에 에칭하여 게이트 절연막(1601, 1602)을 형성한다.
- [0263] 또한, 게이트 전극은 섬 형상 반도체층과 중첩되는 위치 및 매립 절연막과 중첩되는 위치에 형성된다.
- [0264] 한편, 매립 절연막(1500)은 섬 형상 반도체층과 대략 같은 막 두께가 되도록 형성된다.
- [0265] 따라서, 매립 절연막이 존재함으로써 섬 형상 반도체층의 에지의 단차가 낮아지므로, 섬 형상 반도체층의 에지의 단차로 인하여 게이트 절연막이 단절되어 게이트 전극과 섬 형상 반도체층이 단락되어 버리는 것을 방지할 수 있다.
- [0266] 또한, 섬 형상 반도체층의 에지는 도 15의 파선(18001, 18002)으로 도시된 부분이다.
- [0267] 도 15는 섬 형상 반도체층(11301)과, 섬 형상 반도체층(11301)의 주위에 형성된 매립 절연막(11500)과, 섬 형상 반도체층(11301) 및 매립 절연막(11500)과 중첩되는 위치에 배치된 게이트 전극(11701)과, 섬 형상 반도체층(11301)과 배선의 콘택트 영역(12401a, 12401b)과, 게이트 전극과 배선의 콘택트 영역(12401c)을 도시한 것이다.
- [0268] 다음에, 게이트 전극(1701, 1702), 섬 형상 반도체층(1301, 1302)을 산화하여 산화막(1801) 및 산화막(1802)을 형성한다(도 10b 참조).
- [0269] 또한, 산화막 대신에 질화막을 형성하여도 좋고, 산화와 질화를 동시에 행한 절연막으로 하여도 좋다.
- [0270] 다음에, 섬 형상 반도체층(1301)의 얇은 깊이에 억셉터 원소(봉소)를 선택적으로 첨가하여 저농도 불순물 영역(1311a, 1311b)을 형성한다(도 10c 참조).
- [0271] 또한, 섬 형상 반도체층(1302)의 얇은 깊이에 도너 원소(비소)를 선택적으로 첨가하여 저농도 불순물 영역(1312a, 1312b)을 형성한다(도 10c 참조).
- [0272] 여기서, 인이 아니라 비소를 첨가하는 이유는 활성화 처리시의 열 확산을 억제하기 위하여 확산 계수가 낮은 원소를 사용하기 때문이다.
- [0273] 열이 확산되는 것을 상관하지 않으면 인을 사용하여도 좋다.

- [0274] 또한, 도너 원소와 억셉터 원소는 어느 쪽을 먼저 첨가하여도 좋다.
- [0275] 다음에, 게이트 전극(1701)을 덮는 사이드 월 형성용 절연막(1901)과, 게이트 전극(1702)을 덮는 사이드 월 형성용 절연막(1902)과, 사이드 월 형성용 절연막(1901, 1902) 위에 형성된 사이드 월 형성용 절연막(1903)을 형성한다(도 11a 참조).
- [0276] 다음에, 사이드 월 형성용 절연막을 에치 백하여, 사이드 월(1901a, 1901b, 1902a, 1902b, 1903a, 1903b)을 형성한다(도 11b 참조).
- [0277] 또한, 사이드 월(1901a, 1901b)은 사이드 월 형성용 절연막(1901)을 에칭하여 형성한 것이고, 사이드 월(1902a, 1902b)은 사이드 월 형성용 절연막(1902)을 에칭하여 형성한 것이고, 사이드 월(1903a, 1903b)은 사이드 월 형성용 절연막(1903)을 에칭하여 형성한 것이다.
- [0278] 사이드 월 형성용 절연막은 산화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막 등을 사용할 수 있다.
- [0279] 다만, 게이트 전극(1701)의 측벽에 형성되는 사이드 월의 폭을 게이트 전극(1702)의 측벽에 형성되는 사이드 월의 폭보다 넓게 하기 위하여, 사이드 월 형성용 절연막(1901)의 막 두께를 사이드 월 형성용 절연막(1902)의 막 두께보다 두껍게 한다.
- [0280] 또한, 게이트 전극(1701)의 측벽에 형성되는 사이드 월의 단면 형상이 L자 형상이 되도록 하기 위하여, 사이드 월 형성용 절연막(1903)의 재료와 사이드 월 형성용 절연막(1901)의 재료를 상이한 것으로 한다.
- [0281] 사이드 월 형성용 절연막(1901)의 막 두께를 사이드 월 형성용 절연막(1902)의 막 두께보다 두껍게 하고, 또 사이드 월 형성용 절연막(1903)의 재료와 사이드 월 형성용 절연막(1901)의 재료를 상이한 것으로 함으로써, 사이드 월 형성용 절연막(1903)이 마스크로서 기능하므로, 게이트 전극(1701)의 측벽에 형성되는 사이드 월의 단면 형상이 L자 형상이 되고, 사이드 월의 폭을 넓게 할 수 있다.
- [0282] 즉, 사이드 월 형성용 절연막(1901)의 막 두께를 사이드 월 형성용 절연막(1902)의 막 두께보다 두껍게 하고, 또 사이드 월 형성용 절연막(1903)의 재료와 사이드 월 형성용 절연막(1901)의 재료와 상이한 것으로 함으로써, 동일한 에치 백 공정으로 폭이 상이한 사이드 월을 형성할 수 있다.
- [0283] 다음에, 노출된 산화막(1801, 1802)을 제거한다(도 11c 참조).
- [0284] 또한, 사이드 월 형성시의 에치 백은 노출된 산화막(1801, 1802)을 제거하였을 때, 게이트 전극의 정상이 돌출되는 조건으로 에칭한다(도 11c의 파선(8001, 8002) 참조).
- [0285] 게이트 전극의 정상이 돌출되어 게이트 전극의 측벽이 일부분 노출됨으로써, 이후의 실리사이드화 공정에 있어서 게이트 전극의 실리사이드화를 촉진할 수 있다.
- [0286] 구체적으로는, 게이트 전극의 정상이 돌출되므로 금속막과 접촉 면적이 커져, 실리사이드화가 촉진되어 실리사이드 영역의 막 두께를 두껍게 할 수 있다.
- [0287] 또한, 도 15의 파선(18003)에 도시하는 바와 같이 게이트 전극의 콘택트부는 섬 형상 반도체층과 중첩되는 위치에서 떨어진 위치에 형성되기 때문에, 실리사이드 영역의 막 두께를 두껍게 하여 게이트 전극의 저저항화를 행하는 것은 바람직하다.
- [0288] 다음에, 섬 형상 반도체층(1301)에 억셉터 원소(붕소)를 선택적으로 첨가하여 고농도 불순물 영역(1321a, 1321b)을 형성한다(도 12a 참조).
- [0289] 또한, 섬 형상 반도체층(1302)에 도너 원소(비소)를 선택적으로 첨가하여 고농도 불순물 영역(1322a, 1322b)을 형성한다(도 12a 참조).
- [0290] 여기서, 인이 아니라 비소를 첨가하는 이유는 활성화 처리시의 열 확산을 억제하기 위하여 확산 계수가 낮은 원소를 사용하기 때문이다.
- [0291] 또한, 도너 원소와 억셉터 원소는 어느 쪽을 먼저 첨가하여도 좋다.
- [0292] 열이 확산되는 것을 상관하지 않으면 인을 사용하여도 좋다.
- [0293] 다음에, 활성화 처리를 행한다(도 12b 참조).

- [0294] 활성화 처리에 의하여 열 확산이 생겨 불순물 원소의 확산이 생긴다(도 12b의 파선(8011a, 8011b, 8012a, 8012b 등 참조).
- [0295] 사이드 월의 폭이 짧은 트랜지스터는 확산 계수가 낮은 비소를 침가해 두면, 확산되는 거리가 짧아지므로 확산으로 인하여 LDD 영역이 손실해 버리는 것을 방지할 수 있다(도 12b의 파손(8011a, 8011b, 8012a, 8012b 참조).
- [0296] 다음에, 금속막(2000)을 형성하고, 가열 처리를 행함으로써 실리사이드 영역(2001a 내지 2001c, 2002a 내지 2002c)을 형성한다(도 12c 참조).
- [0297] 금속막으로서는, 코발트, 니켈, 텅스텐 등을 사용할 수 있다.
- [0298] 여기서, 게이트 전극의 정상을 돌출시킴으로써 실리사이드 영역의 막 두께를 두껍게 할 수 있다.
- [0299] 실리사이드 영역의 막 두께를 두껍게 함으로써 게이트 전극의 저저항화가 가능하다.
- [0300] 다음에, 금속막(2000)을 제거하고, 게이트 전극(1701, 1702) 위에 충간 절연막(2100)을 형성하고, 충간 절연막(2100) 위의 게이트 전극(1702) 위에 선택적으로 충간 절연막(2200)을 형성한다(도 13a 참조).
- [0301] 다음에, 충간 절연막(2200)을 마스크로서 사용하여 충간 절연막(2100)을 에치 백하여 사이드 월(2101a, 2101b)을 형성한다(도 13b 참조).
- [0302] 다음에, 충간 절연막(2101)을 게이트 전극(1702) 위에 선택적으로 형성하고, 충간 절연막(2101, 2200) 위에 충간 절연막(2300)을 형성한다(도 13c 참조).
- [0303] 충간 절연막은 산화실리콘막, 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막, 폴리이미드, 아크릴, 실록산 폴리머 등을 사용할 수 있다.
- [0304] 다만, 충간 절연막(2200)을 마스크로서 사용하여 충간 절연막(2100)을 에치 백하기 때문에, 충간 절연막(2200)과 충간 절연막(2100)은 상이한 재료로 하는 것이 바람직하다.
- [0305] 또한, n채널형 트랜지스터 위에 형성되는 충간 절연막을 인장 응력을 갖게 하고, 또 p채널형 트랜지스터 위에 형성되는 충간 절연막을 압축 응력을 갖게 하면, n채널형 트랜지스터 및 p채널형 트랜지스터의 특성값이 상승된다.
- [0306] 따라서, 충간 절연막(2100)을 인장 응력을 갖는 막으로 하고, 충간 절연막(2200)을 압축 응력을 갖는 막으로 하면 바람직하다(다만, 충간 절연막(2100)의 인장 응력의 값은 충간 절연막(2200)의 압축 응력보다 작은 값으로 함).
- [0307] 다음에, 충간 절연막에 콘택트 홀을 형성하고, 충간 절연막 위에 콘택트 홀을 통하여 트랜지스터와 접속되는 배선(2401a 내지 2401c, 2402a 내지 2402c)을 형성한다(도 14a 참조).
- [0308] 또한, 도 14a와 도 14b는 상이한 개소의 단면도이다.
- [0309] 그리고, 게이트 전극과 배선의 콘택트 개소는 게이트 전극 아래에 반도체층이 존재하지 않는 개소로 한다(도 14b).
- [0310] 배선은 알루미늄, 티타늄, 몰리브덴, 텅스텐, 금, 은, 구리 등의 금속, 또는 ITO(산화인듐주석) 등의 투명 도전물을 사용할 수 있다.
- [0311] 배선은 단층과 적층의 어느 쪽이라도 좋다.
- [0312] 본 실시형태는 다른 모든 실시형태와 조합하여 실시할 수 있다.
- [0313] (실시예 1)
- [0314] 본 발명자들은 베이스 기판과, 베이스 기판 위에 형성된 절연층(접합층)과, 절연층(접합층) 위에 형성된 단결정 반도체층을 갖는 SOI 구조로 이루어진 샘플을 복수개 준비하여, SIMS 분석(2차 이온 질량 분석)을 행하여 단결정 반도체층 중의 산소의 농도를 측정하는 실험을 행하였다.
- [0315] (제 1 설명: 샘플의 제작 방법)
- [0316] 우선, 염화수소를 함유한 분위기 중에서 950°C의 온도로 열 산화를 행함으로써 실리콘 웨이퍼의 표면에 열 산화

막을 100nm의 막 두께로 형성하였다.

[0317] 다음에, 열 산화막을 형성한 실리콘 웨이퍼에 질량 분리를 행하지 않는 이온 도핑법을 사용하여 수소를 첨가하였다.

[0318] 또한, 이온 도핑은 수소 가스를 도핑 가스로서 사용하여 가속 전압을 50kV로 설정하여 행하였다.

[0319] 다음에, 유리 기판(ASAHI GLASS CO., LTD. AN100 기판)으로 이루어진 베이스 기판을 준비하였다.

[0320] 그리고, 베이스 기판의 표면과 열 산화막의 표면을 세정한 후, 베이스 기판의 표면과 열 산화막의 표면을 접합하였다.

[0321] 다음에, 200°C로 2시간의 가열 처리(접합 강화)를 행하고, 이어서 600°C로 2시간의 가열 처리(균열 형성)를 행함으로써 SOI 기판을 형성하였다.

[0322] 그 후, SOI 기판의 단결정 반도체층의 표면을 드라이 에칭법에 의하여 에치 백하였다.

[0323] 에치 백 후의 SOI 기판의 단결정 반도체층의 막 두께의 평균 값은 105nm이었다.

[0324] 또한, 단결정 반도체층의 막 두께의 평균값은 광학적인 막 두께 측정기(나노 스펙)를 사용하여 복수의 개소를 측정하여 복수의 개소의 평균값으로부터 산출하였다.

[0325] 그리고, 상술한 공정과 같은 공정을 거친 복수의 샘플을 형성하였다.

[0326] (제 2 설명: 샘플의 종류)

[0327] 참조 샘플은 레이저 광을 조사하지 않은 샘플이다.

[0328] 제 1 샘플은 베이스 기판을 가열하지 않고, 단결정 반도체층에 레이저 광을 조사한 샘플이다.

[0329] 제 2 샘플은 베이스 기판의 온도를 300°C로 하여 단결정 반도체층에 레이저 광을 조사한 샘플이다.

[0330] 제 3 샘플은 베이스 기판의 온도를 500°C로 하여 단결정 반도체층에 레이저 광을 조사한 샘플이다.

[0331] 또한, 레이저 광의 조사 분위기는 질소 분위기로 하였다.

[0332] 또한, 레이저는 엑시머 레이저를 사용하였다.

[0333] 또한, 레이저 광을 조사할 때 부분 용융하였다.

[0334] 또한, 베이스 기판과 접촉되는 스테이지를 가열함으로써 베이스 기판을 접촉 가열하였다.

[0335] (제 3 설명: SIMS 측정 결과)

[0336] 참조 샘플(레이저 광이 조사되지 않았음), 제 1 샘플(레이저 광이 조사되었음(실온)), 제 2 샘플(레이저 광이 조사되었음(300°C)), 제 3 샘플(레이저 광이 조사되었음(500°C))의 단결정 반도체층 중의 산소 농도를 측정하기 위하여 SIMS 분석(2차 이온 질량 분석)을 행하였다.

[0337] 참조 샘플(레이저 광이 조사되지 않았음), 제 1 샘플(레이저 광이 조사되었음(실온)), 제 2 샘플(레이저 광이 조사되었음(300°C)), 및 제 3 샘플(레이저 광이 조사되었음(500°C))의 SIMS 측정 결과를 정리한 것을 도 16에 도시한다.

[0338] 또한, 참조 샘플(레이저 광이 조사되지 않았음), 제 1 샘플(레이저 광이 조사되었음(실온))을 비교한 것을 도 17에 도시한다.

[0339] 또한, 제 1 샘플(레이저 광이 조사되었음(실온)), 제 2 샘플(레이저 광이 조사되었음(300°C)), 제 3 샘플(레이저 광이 조사되었음(500°C))을 비교한 것을 도 18에 도시한다.

[0340] 도 16 내지 도 18에 있어서, 그래프(20000)가 참조 샘플(레이저 광이 조사되지 않았음)의 측정 결과이고, 그래프(20001)가 제 1 샘플(레이저 광이 조사되었음(실온))의 측정 결과이고, 그래프(20002)가 제 2 샘플(레이저 광이 조사되었음(300°C))의 측정 결과이고, 그래프(20003)가 제 3 샘플(레이저 광이 조사되었음(500°C))의 측정 결과이다.

[0341] 또한, 도 16 내지 도 18의 그래프 중 부호가 같은 것은 같은 데이터에 의거하는 그래프이다.

[0342] 또한, 도 16 내지 도 18에 있어서, 1E+n(n은 자연수)은 10의 n승을 뜻한다.

[0343] (제 4 설명: 고찰)

[0344] 우선, 도 16 내지 도 18의 그래프를 어떻게 해석하는지에 대하여 설명한다.

[0345] SIMS 분석에 의하여 검출되는 산소 농도 중, 단결정 반도체층 표면 근방(도면 중의 막 두께가 0nm 내지 20nm의 범위) 및 단결정 반도체층과 접합층의 계면 근방(도면 중의 막 두께가 80nm 내지 105nm의 범위)은 보통 측정 정밀도가 떨어지는 영역이므로, 단결정 반도체층 중의 산소 농도를 비교하는 경우는 참고가 되지 않는다.

[0346] 측정 정밀도가 떨어지는 이유는 녹온(knock-on) 효과의 영향, 단결정 반도체층 표면의 요철의 영향, 단결정 반도체층 표면의 오염의 영향을 생각할 수 있다(오염에 대해서는 SIMS 장치가 청정한 분위기인 크린 룸 밖에 있고, SIMS 분석을 위한 샘플을 청정한 분위기 밖으로 반출했기 때문이라고 생각됨).

[0347] 따라서, 도면 중의 막 두께가 20nm 내지 80nm의 범위의 산소 농도를 비교하면 좋다.

[0348] 우선, 레이저 광이 조사되지 않은 참조 샘플과, 레이저 광이 조사된 제 1 샘플 내지 제 3 샘플을 비교하면, 적어도 레이저 광을 조사하면 산소 농도가 감소되는 것을 알 수 있다(도 16 참조).

[0349] 특히, 레이저 광이 조사되지 않은 참조 샘플과 실온에서 레이저 광이 조사된 제 1 샘플을 비교하여도, 제 1 샘플은 산소 농도가 감소되기 때문에, 기판을 가열하지 않아도 산소 농도의 감소 효과를 얻을 수 있는 것을 알 수 있다(도 16 및 도 17 참조).

[0350] 다음에, 제 1 샘플(레이저 광이 조사되었음(실온)), 제 2 샘플(레이저 광이 조사되었음(300°C)), 제 3 샘플(레이저 광이 조사되었음(500°C))을 비교한다(도 16 및 도 18 참조).

[0351] 제 1 샘플(레이저 광이 조사되었음(실온))과 제 2 샘플(레이저 광이 조사되었음(300°C))은 산소 농도에 거의 차이가 없다.

[0352] 한편, 제 1 샘플(레이저 광이 조사되었음(실온))과 제 3 샘플(레이저 광이 조사되었음(500°C))을 비교하면, 제 3 샘플(레이저 광이 조사되었음(500°C))은 산소 농도가 감소되는 것을 알 수 있다.

[0353] 따라서, 적어도 베이스 기판의 온도를 500°C로 한 상태에서 레이저 광을 조사하면, 산소 농도가 감소되는 것을 알 수 있다.

[0354] 상술한 결과에 의거하면, 본 발명자들은 레이저 광을 조사함으로써 산소 농도가 감소된 이유는 단결정 반도체층이 산소의 확산 계수가 높은 용융 상태가 되어 산소의 외방 확산이 촉진되어 산소 농도가 감소되기 때문이라고 생각하였다.

[0355] 또한, 본 발명자들은 300°C의 기판 가열은 산소의 감소가 현저하지 않고, 500°C의 기판 가열은 산소의 감소가 현저하므로, 확산 계수가 높은 용융 상태의 유지 시간이 길수록 산소의 외방 확산이 촉진된다고 생각하였다.

[0356] 따라서, 기판 가열의 온도가 높을수록 용융 상태의 유지 시간이 길어지는 것이 분명하므로, 500°C보다 높은 온도의 기판 가열을 행하면 산소의 감소가 촉진되는 것은 분명하다.

[0357] 따라서, 적어도 레이저 광을 조사함으로써 산소의 외방 확산이 생기므로, 산소 농도를 감소시킬 수 있다고 할 수 있다.

[0358] 또한, 500°C 이상의 온도로 가열하면서 레이저 광을 조사함으로써 산소의 외방 확산을 촉진할 수 있다고 할 수 있다.

[0359] (제 5 설명: 이온 도핑법에 대하여)

[0360] 샘플 제작에 사용한 실리콘 웨이퍼는 산소 농도가 1.0×10^{18} atom/cm³ 내지 2.0×10^{18} atom/cm³가 되도록 제어된 실리콘 웨이퍼이었다.

[0361] 그러나, 참조 샘플의 단결정 반도체층 중의 산소 농도는 2.0×10^{18} atom/cm³보다 높은 값을 나타냈다.

[0362] 따라서, SOI 기판의 제작 공정 중에서 산소 농도가 상승된 것은 분명하다.

[0363] 산소 농도가 상승한 원인의 하나는 질량 분리를 행하지 않는 이온 도핑법을 사용하여 수소를 첨가하는 공정이다.

[0364] 즉, 질량 분리를 행하지 않는 경우는 이온 도핑 처리 챔버 내의 분위기 중에 존재하는 원소를 모두 이온화하여

도핑되어 버린다.

[0365] 그리고, 대기 중에는 산소가 대량으로 존재하기 때문에, 처리 챔버 내에 산소가 완전히 혼입되지 않도록 챔버 내 분위기를 관리하기 어렵다.

[0366] 따라서, 질량 분리하지 않는 이온 도핑법을 사용하여 수소를 첨가하는 공정을 행하는 경우는, 단결정 반도체층 중에 산소도 동시에 도핑되어 버린다.

도면의 간단한 설명

[0367] 도 1a 내지 도 1c는 SOI 기판의 제작 방법의 일례.

[0368] 도 2a 및 도 2b는 SOI 기판의 제작 방법의 일례.

[0369] 도 3a 내지 도 3c는 SOI 기판의 제작 방법의 일례.

[0370] 도 4a 및 도 4b는 SOI 기판의 제작 방법의 일례.

[0371] 도 5a 및 도 5b는 SOI 기판의 제작 방법의 일례.

[0372] 도 6a 내지 도 6c는 반도체 장치의 제작 방법의 일례.

[0373] 도 7a 및 도 7b는 반도체 장치의 제작 방법의 일례.

[0374] 도 8a 내지 도 8c는 반도체 장치의 제작 방법의 일례.

[0375] 도 9a 내지 도 9c는 반도체 장치의 제작 방법의 일례.

[0376] 도 10a 내지 도 10c는 반도체 장치의 제작 방법의 일례.

[0377] 도 11a 내지 도 11c는 반도체 장치의 제작 방법의 일례.

[0378] 도 12a 내지 도 12c는 반도체 장치의 제작 방법의 일례.

[0379] 도 13a 내지 도 13c는 반도체 장치의 제작 방법의 일례.

[0380] 도 14a 및 도 14b는 반도체 장치의 제작 방법의 일례.

[0381] 도 15는 반도체 장치의 상면도의 일례.

[0382] 도 16은 SIMS 분석 결과의 일례.

[0383] 도 17은 SIMS 분석 결과의 일례.

[0384] 도 18은 SIMS 분석 결과의 일례.

<도면의 주요 부분에 대한 부호의 설명>

[0386] 11b: 제 2 영역 11d: 용융 상태의 반도체

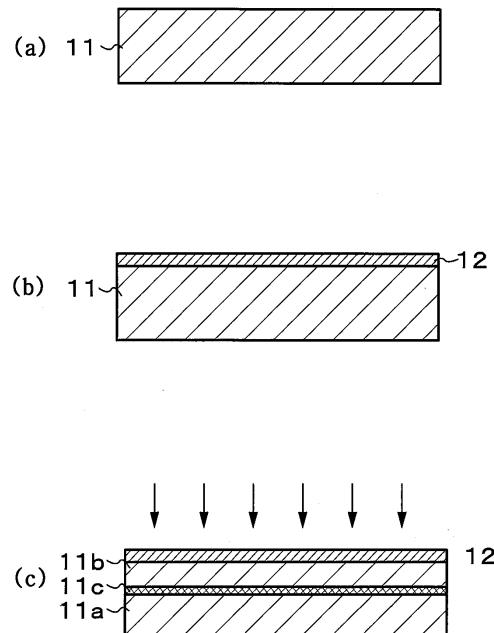
[0387] 12: 접합층 13: 베이스 기판

[0388] 14: 레이저 광 80: 파선

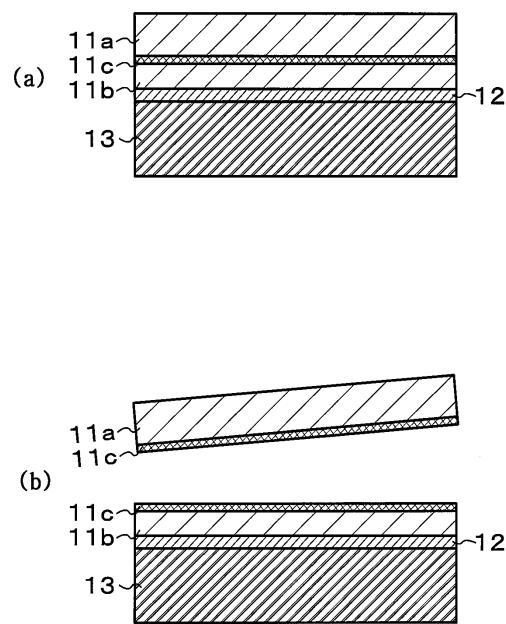
[0389] 90: 파선

도면

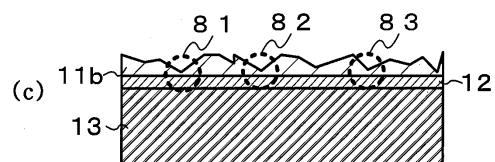
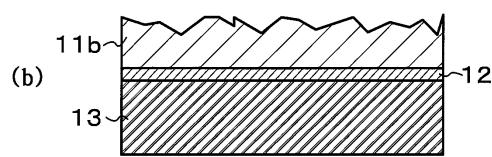
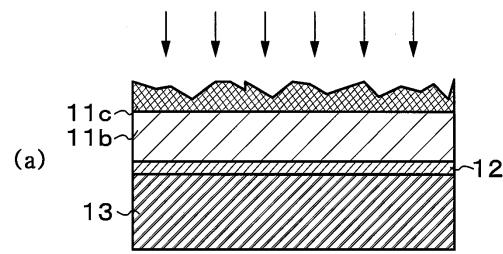
도면1



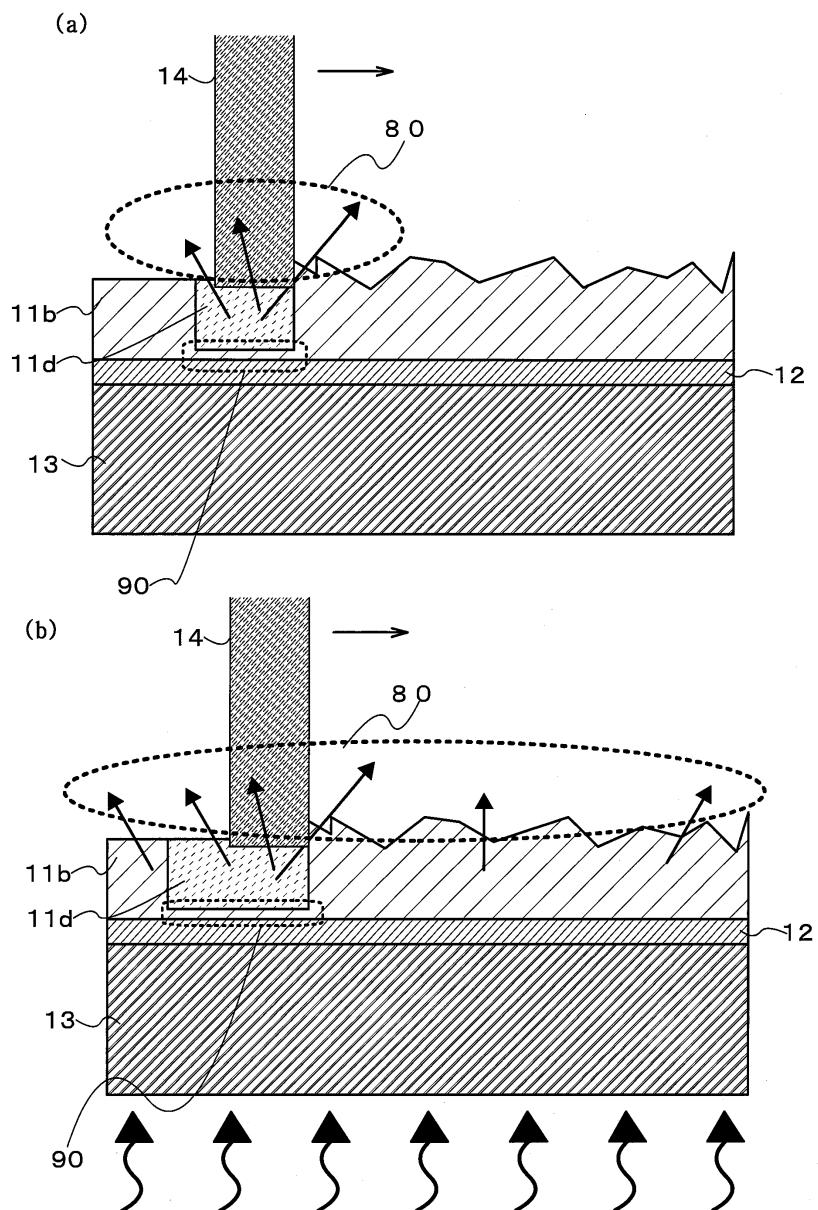
도면2



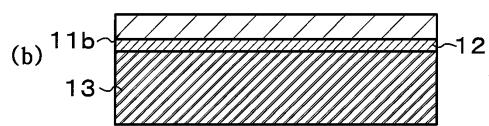
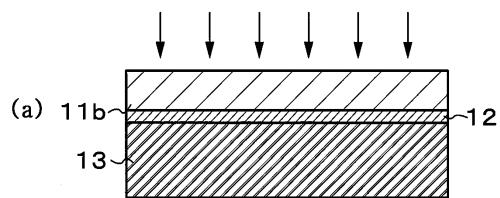
도면3



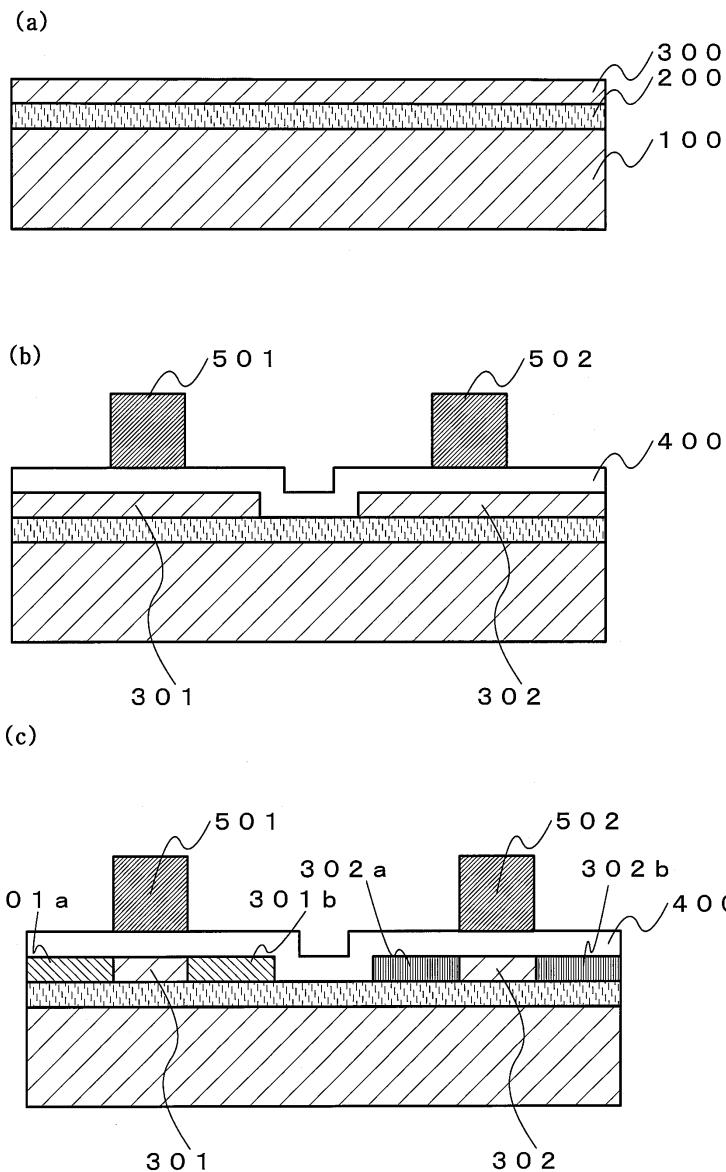
도면4



도면5

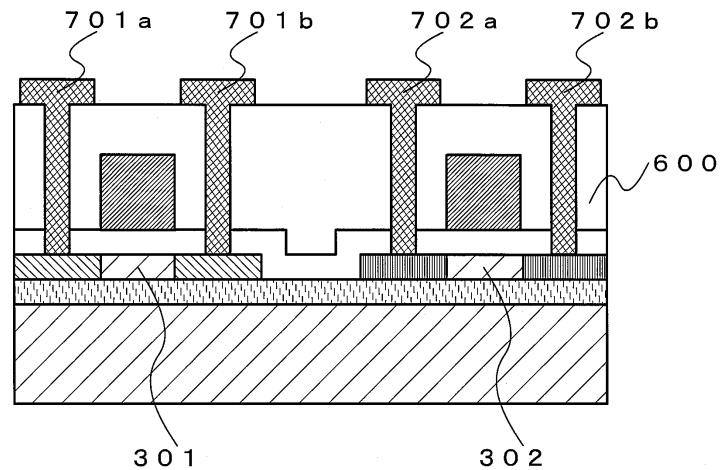


도면6

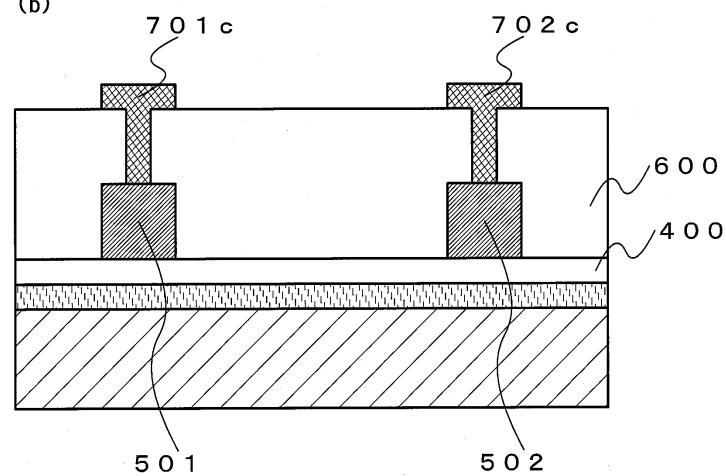


도면7

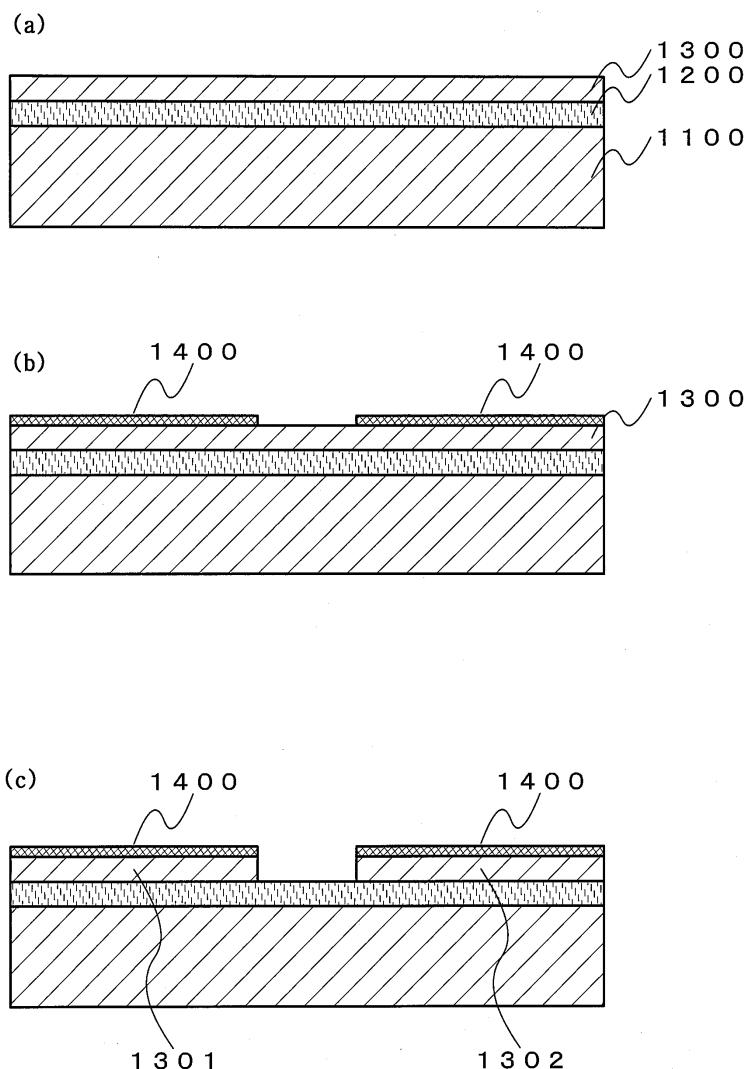
(a)



(b)

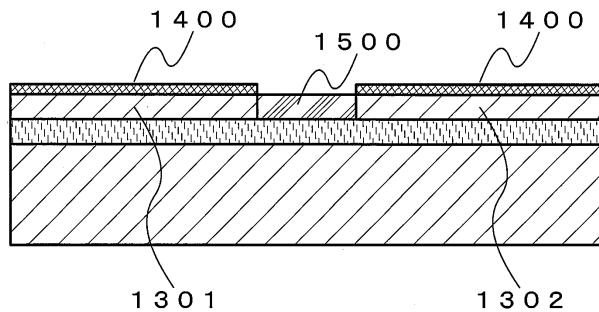


도면8

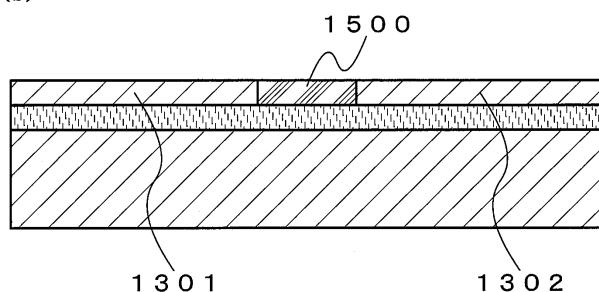


도면9

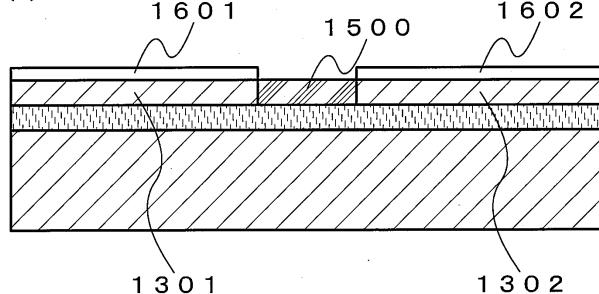
(a)



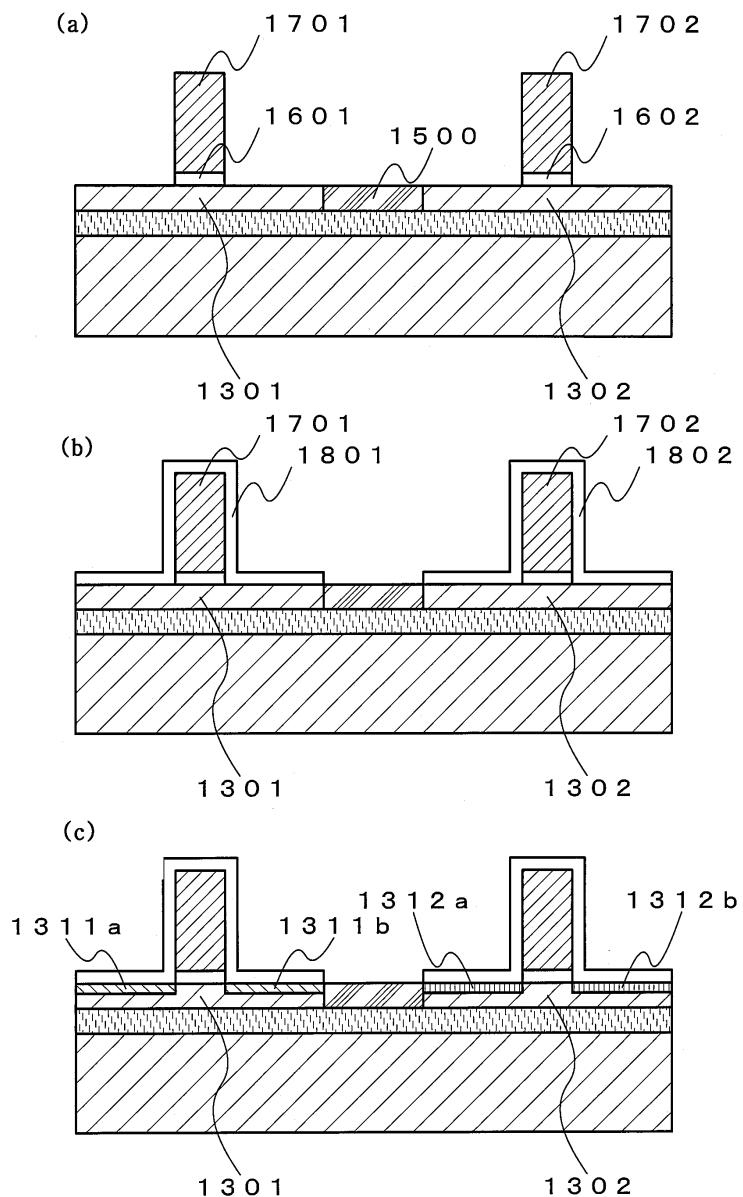
(b)



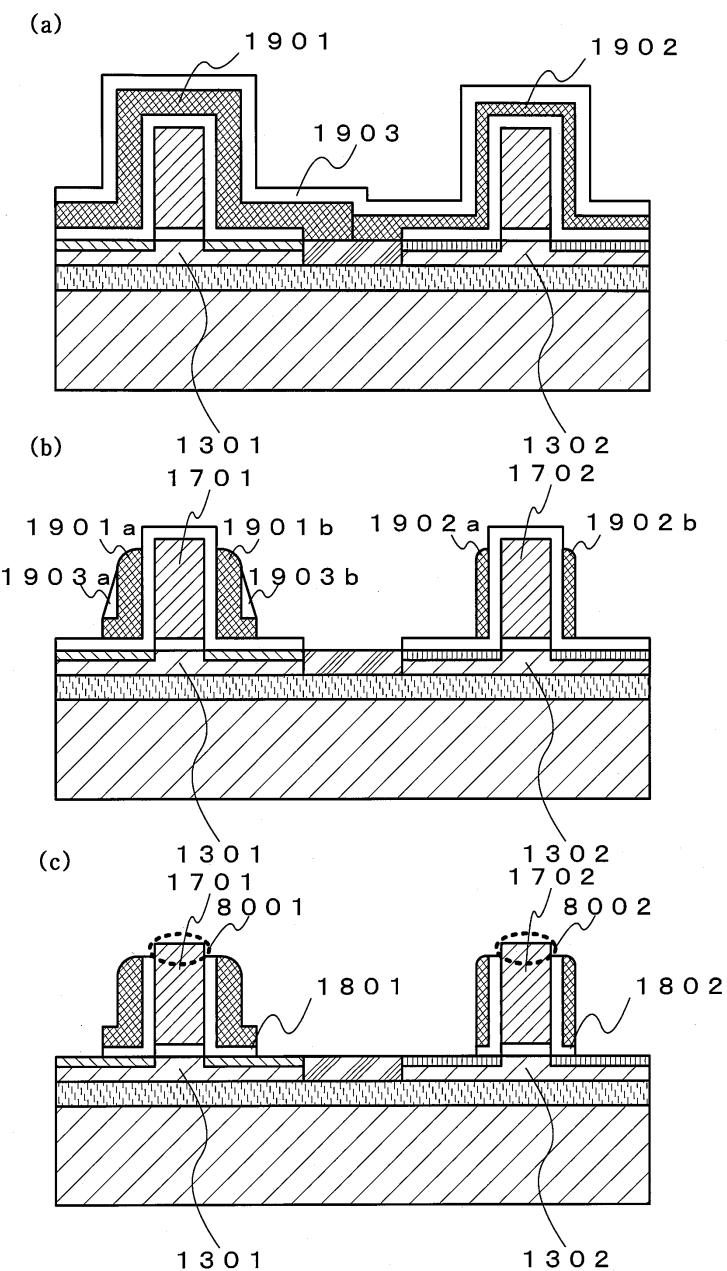
(c)



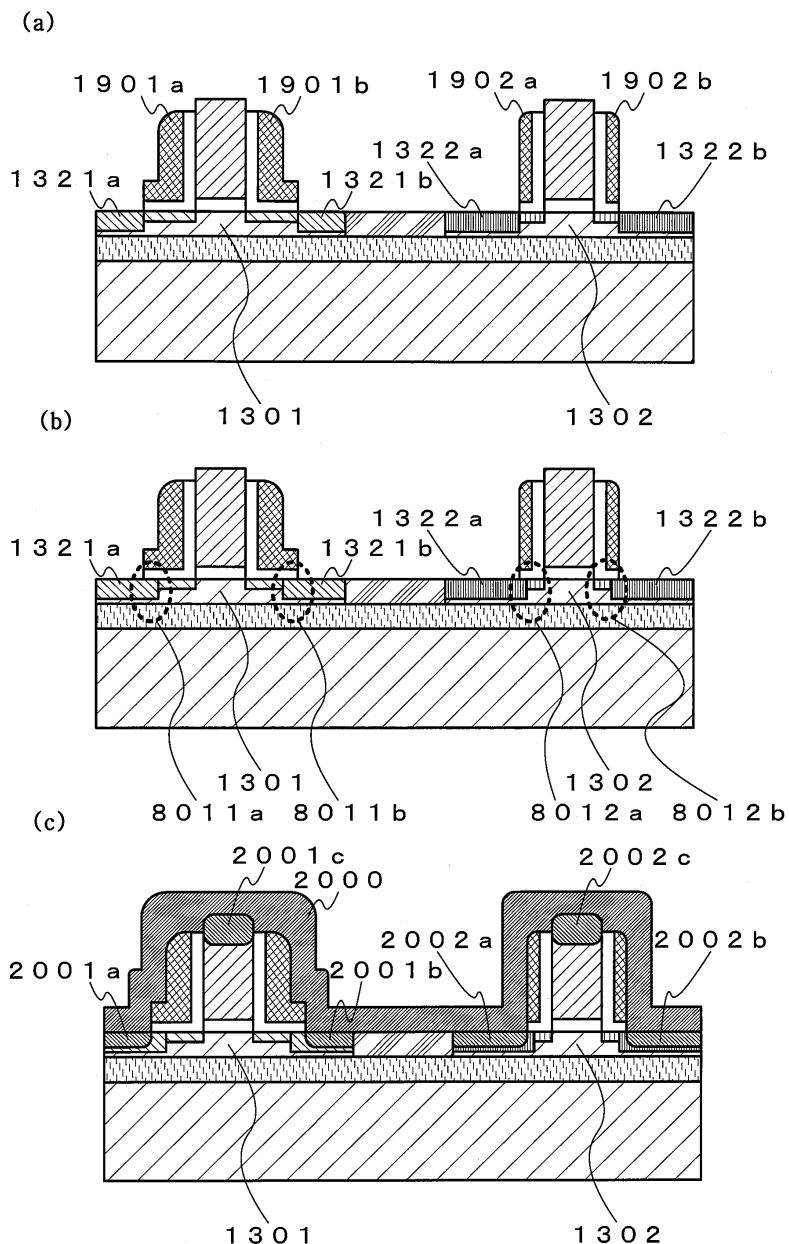
도면10



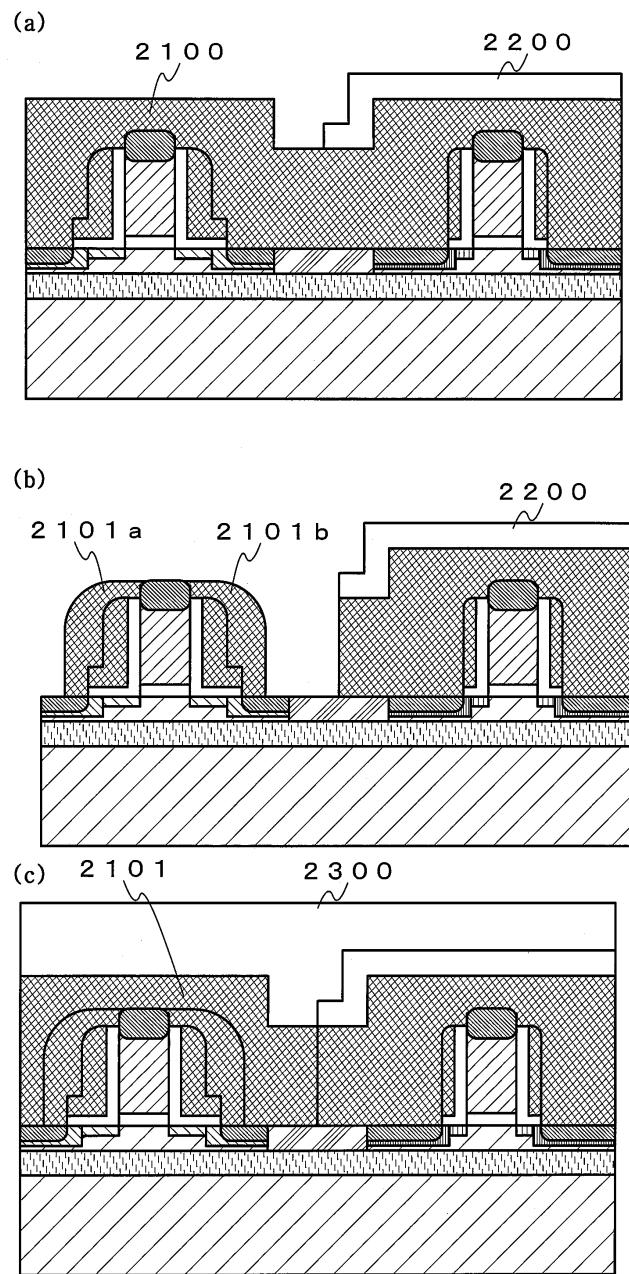
도면11



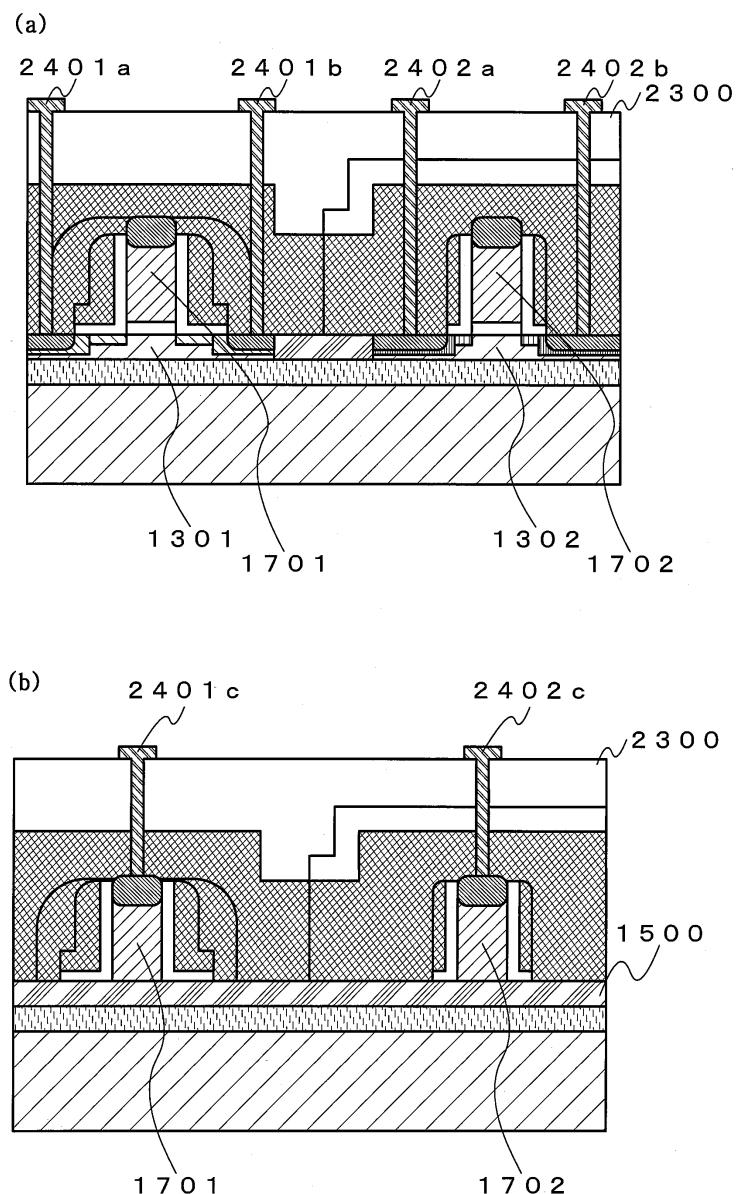
도면12



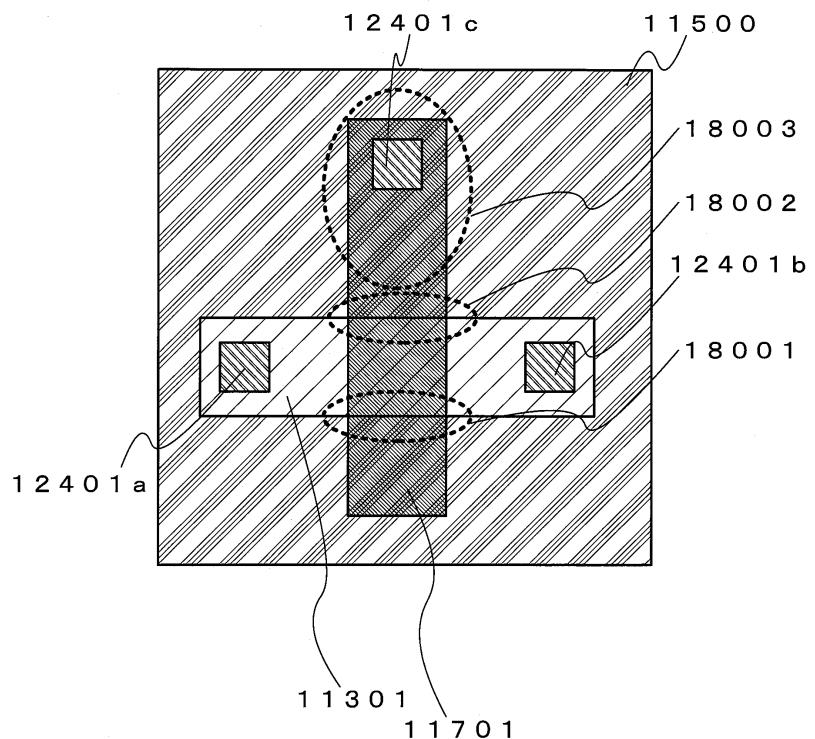
도면13



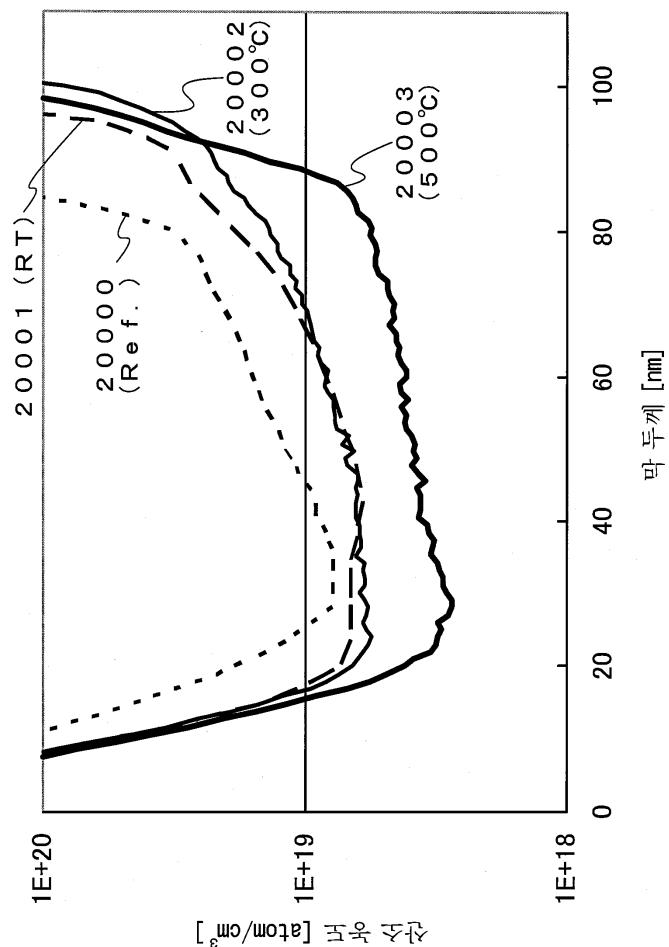
도면14



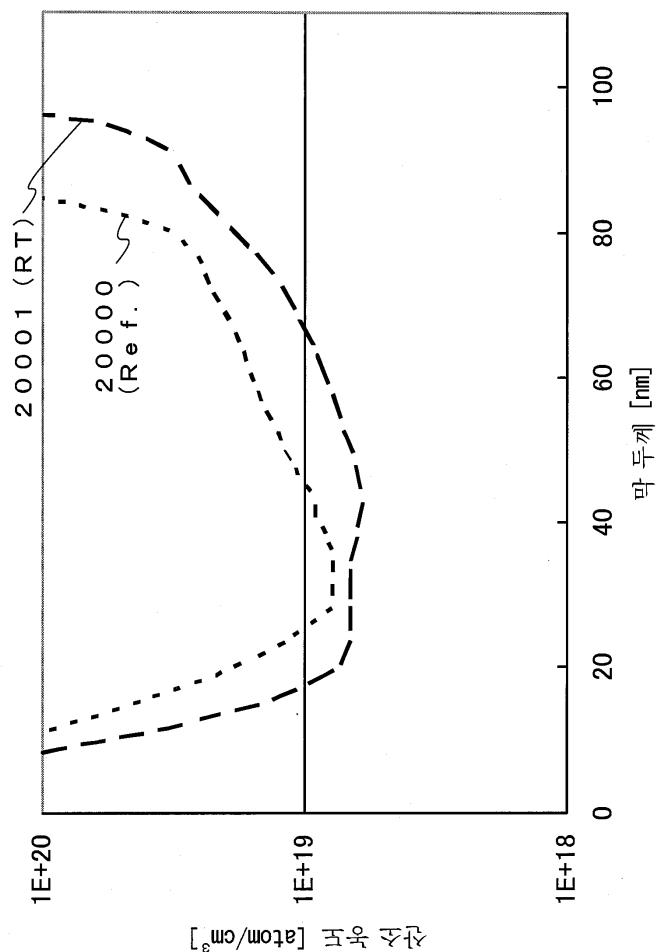
도면15



도면16



도면17



도면18

