201926571

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201926571 A

(43)公開日： 中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：107135184 (22)申請日： 中華民國 107 (2018) 年 10 月 05 日

(51)Int. Cl.： *H01L21/8232(2006.01)* *H01L29/78 (2006.01)*
H01L27/088 (2006.01)

(30)優先權：2017/11/30 美國 62/593,149
2017/12/30 美國 15/859,353

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：何百榮 HO, BYRON (US)；奧斯 克里斯多福 AUTH, CHRISTOPHER (US)；哈頓朵夫 麥可 HATTENDORF, MICHAEL (US)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：90 共 417 頁

(54)名稱

用於進階積體電路結構製造的閘極線插塞結構

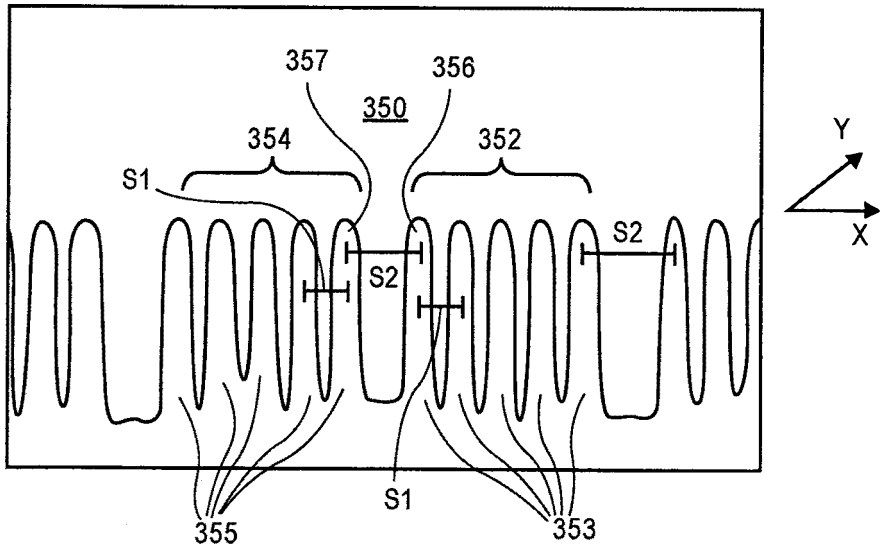
GATE LINE PLUG STRUCTURES FOR ADVANCED INTEGRATED CIRCUIT STRUCTURE FABRICATION

(57)摘要

本揭示內容實施例是相關於進階積體電路結構製造之領域，且更明確地是相關於 10 奈米節點及更小的積體電路結構製造以及所產生的結構。舉例而言，積體電路結構包括沿著第一方向具有最長維度之第一矽鰭部。具有最長維度的第二矽鰭部是沿著第一方向。絕緣體材料是位於第一矽鰭部與第二矽鰭部之間。閘極線沿著第二方向在第一矽鰭部上方以及在第二矽鰭部上方，第二方向與第一方向正交，閘極線具有第一側及第二側，其中閘極線在絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充。

Embodiments of the disclosure are in the field of advanced integrated circuit structure fabrication and, in particular, 10 nanometer node and smaller integrated circuit structure fabrication and the resulting structures. In an example, an integrated circuit structure includes a first silicon fin having a longest dimension along a first direction. A second silicon fin having a longest dimension is along the first direction. An insulator material is between the first silicon fin and the second silicon fin. A gate line is over the first silicon fin and over the second silicon fin along a second direction, the second direction orthogonal to the first direction, the gate line having a first side and a second side, wherein the gate line has a discontinuity over the insulator material, the discontinuity filled by a dielectric plug.

指定代表圖：



【圖 3B】

符號簡單說明：

350・・・半導體鰭部

352・・・第一複數個半導體鰭部

353・・・個別半導體鰭部

354・・・第二複數個半導體鰭部

355・・・個別半導體鰭部

356・・・半導體鰭部

357・・・半導體鰭部

【發明說明書】

【中文發明名稱】

用於進階積體電路結構製造的閘極線插塞結構

【英文發明名稱】

GATE LINE PLUG STRUCTURES FOR ADVANCED INTEGRATED CIRCUIT STRUCTURE FABRICATION

【技術領域】

【0001】本揭示內容實施例是相關於進階積體電路結構製造之領域，且更明確地是相關於10奈米節點及更小的積體電路結構製造以及所產生的結構。

【先前技術】

【0002】在過去數十年中，積體電路之特徵縮小(feature scaling)已成為持續成長的半導體產業之驅動力。縮小到越來越小之特徵將賦能有限半導體晶片面積上的功能性單元之密度增加。舉例而言，縮小電晶體尺寸會允許可以併入增加數量的記憶體或邏輯裝置到晶片上，導致製造具有增加容量之產品。然而對更大容量之驅動並非沒有問題的。將各裝置效能最佳化的需求已日趨顯著。

【0003】在習知與當前已知的製造處理中，變異性可能會限制進一步擴充到10奈米節點或次10奈米節點範圍內之可能性。相應地，製造未來科技節點所需之功能組件可

能需要引入新的方法、或整合新的技術到當前製造處理中或以取代當前製造處理。

【圖式簡單說明】

【0004】圖1A說明起始結構的橫截面圖，其是在沉積形成硬遮罩材料層於層間介電(ILD)層上之後，但在圖案化該硬遮罩材料層之前。

【0005】圖1B說明圖1A結構在透過節距減半對硬遮罩層圖案化之後的橫截面圖。

【0006】圖2A係根據本揭示內容之實施例的製造半導體鰭部所使用的節距四分方法之示意圖。

【0007】圖2B說明根據本揭示內容之實施例的使用節距四分方法所製造的半導體鰭部之橫截面圖。

【0008】圖3A係根據本揭示內容之實施例的製造半導體鰭部所使用的合併鰭部節距四分方法之示意圖。

【0009】圖3B說明根據本揭示內容之實施例的使用合併鰭部節距四分方法所製造的半導體鰭部之橫截面圖。

【0010】圖4A-4C係根據本揭示內容之實施例代表製造複數個半導體鰭部之方法中的各種操作之橫截面圖。

【0011】圖5A說明根據本揭示內容之實施例的透過三層溝槽隔離結構所分離的一對半導體鰭部之橫截面圖。

【0012】圖5B說明根據本揭示內容之另一實施例的透過另一三層溝槽隔離結構所分離的另一對半導體鰭部之橫截面圖。

【0013】圖6A-6D說明根據本揭示內容之實施例在製造三層溝槽隔離結構中的各種操作之橫截面圖。

【0014】圖7A-7E說明根據本揭示內容之實施例在製造積體電路結構之方法中的各種操作之斜角三維橫截面圖。

【0015】圖8A-8F說明根據本揭示內容之實施例沿著圖7E之a-a'軸所截取到的針對在製造積體電路結構之方法中各種操作的略為投影之橫截面圖。

【0016】圖9A說明根據本揭示內容之實施例沿著圖7E之a-a'軸所截取到的針對包括永久閘極堆疊與磊晶源極或汲極區之積體電路結構的略為投影之橫截面圖。

【0017】圖9B說明根據本揭示內容之實施例沿著圖7E之b-b'軸所截取到的針對包括磊晶源極或汲極區與多層溝槽隔離結構之積體電路結構的橫截面圖。

【0018】圖10說明根據本揭示內容之實施例於源極或汲極位置處所截取到的積體電路結構之橫截面圖。

【0019】圖11說明根據本揭示內容之實施例於源極或汲極位置處所截取到的另一積體電路結構之橫截面圖。

【0020】圖12A-12D說明根據本揭示內容之實施例於源極或汲極位置處所截取到且代表積體電路結構製造中各種操作的橫截面圖。

【0021】圖13A及13B說明根據本揭示內容之實施例代表鰭部圖案化之方法中的各種操作之平面圖，該鰭部圖案化具有多閘極間距以用於形成局部隔離結構。

【0022】圖14A-14D說明根據本揭示內容之另一實施例代表鰭部圖案化之方法中的各種操作之平面圖，該鰭部圖案化具有單閘極間距以用於形成局部隔離結構。

【0023】圖15說明根據本揭示內容之實施例的具有具備多閘極間距以用於局部隔離的鰭部之積體電路結構之橫截面圖。

【0024】圖16A說明根據本揭示內容之另一實施例的具有具備單閘極間距以用於局部隔離的鰭部之積體電路結構之橫截面圖。

【0025】圖16B說明根據本揭示內容之實施例的橫截面圖，其顯示其中可能形成鰭部隔離結構以取代閘極電極之位置。

【0026】圖17A-17C說明根據本揭示內容之實施例的針對使用鰭部調節隔離方法所製造之鰭部切割的各種深度可能性。

【0027】圖18說明根據本揭示內容之實施例的平面圖以及沿著a-a'軸所截取到的對應橫截面圖，其顯示針對鰭部內的鰭部切割之局部位置對上更寬位置的深度之可能選項。

【0028】圖19A及19B說明根據本揭示內容之實施例在鰭部具有寬切割之端部處選擇鰭部端部應力源位置之方法中各種操作之橫截面圖。

【0029】圖20A及20B說明根據本揭示內容之實施例在鰭部具有局部切割之端部處選擇鰭部端部應力源位置之

方法中各種操作之橫截面圖。

【0030】圖21A-21M說明根據本揭示內容之實施例在製造具有差異鰭部端部介電質插塞的積體電路結構之方法中的各種操作之橫截面圖。

【0031】圖22A-22D說明根據本揭示內容之實施例的PMOS鰭部端部應力源介電質插塞之例示性結構的橫截面圖。

【0032】圖23A說明根據本揭示內容之另一實施例的具有鰭部端部應力誘發特徵之另一半導體結構的橫截面圖。

【0033】圖23B說明根據本揭示內容之另一實施例的具有鰭部端部應力誘發特徵之另一半導體結構的橫截面圖。

【0034】圖24A說明根據本揭示內容之實施例的具有伸張單軸應力的鰭部之斜角圖。

【0035】圖24B說明根據本揭示內容之實施例的具有壓縮單軸應力的鰭部之斜角圖。

【0036】圖25A及25B說明根據本揭示內容之實施例代表鰭部圖案化之方法中的各種操作之平面圖，該鰭部圖案化具有單閘極間距以用於在所選閘極線切割位置中形成局部隔離結構。

【0037】圖26A-26C說明根據本揭示內容之實施例的用於圖25B的結構之各個區域的多晶矽切割和鰭部調節隔離(FTI)局部鰭部切割位置和僅多晶矽切割位置的介電質

插塞的各種可能性之橫截面圖。

【0038】圖27A說明根據本揭示內容之實施例的具有具備延伸進入閘極線之介電質間隔件的介電質插塞之閘極線切割的積體電路結構之平面圖與對應橫截面圖。

【0039】圖27B說明根據本揭示內容之另一實施例的具有具備延伸超越閘極線之介電質間隔件的介電質插塞之閘極線切割的積體電路結構之平面圖與對應橫截面圖。

【0040】圖28A-28F說明根據本揭示內容之另一實施例的具有具備介電質插塞之閘極線切割的積體電路結構製造方法中各種操作之橫截面圖，其中該介電質插塞具有延伸超越閘極線之介電質間隔件的上部分以及具有延伸進入閘極線之介電質間隔件的下部分。

【0041】圖29A-29C說明根據本揭示內容之實施例的在永久閘極堆疊底部部分處具有殘餘仿閘極材料的積體電路結構之平面圖與對應橫截面圖。

【0042】圖30A-30D說明根據本揭示內容之另一實施例的在永久閘極堆疊底部部分處具有殘餘仿閘極材料的積體電路結構製造方法中各種操作之橫截面圖。

【0043】圖31A說明根據本揭示內容之實施例的具有鐵電或反鐵電閘極介電質結構之半導體裝置的橫截面圖。

【0044】圖31B說明根據本揭示內容之另一實施例的具有鐵電或反鐵電閘極介電質結構之另一半導體裝置的橫截面圖。

【0045】圖32A說明根據本揭示內容之實施例的在一

對半導體鰭部上方之複數個閘極線的平面圖。

【0046】圖32B說明根據本揭示內容之實施例沿著圖32A之a-a'軸所截取到的橫截面圖。

【0047】圖33A說明根據本揭示內容之實施例的一對具有基於調變摻雜之差異電壓臨界值的NMOS裝置與一對具有基於調變摻雜之差異電壓臨界值的PMOS裝置之橫截面圖。

【0048】圖33B說明根據本揭示內容之另一實施例的一對具有基於差異閘極電極結構之差異電壓臨界值的NMOS裝置與一對具有基於差異閘極電極結構之差異電壓臨界值的PMOS裝置之橫截面圖。

【0049】圖34A說明根據本揭示內容之實施例的三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的NMOS裝置與三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的PMOS裝置之橫截面圖。

【0050】圖34B說明根據本揭示內容之另一實施例的三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的NMOS裝置與三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的PMOS裝置之橫截面圖。

【0051】圖35A-35D說明根據本揭示內容之另一實施例的具有基於差異閘極電極結構之差異電壓臨界值的NMOS裝置製造方法中各種操作之橫截面圖。

【0052】圖36A-36D說明根據本揭示內容之另一實施

例的具有基於差異閘極電極結構之差異電壓臨界值的PMOS裝置製造方法中各種操作之橫截面圖。

【0053】圖37說明根據本揭示內容之實施例的具有P/N接面的積體電路結構之橫截面圖。

【0054】圖38A-38H說明根據本揭示內容之實施例使用雙金屬閘極替換閘極處理流程製造積體電路結構之方法中的各種操作之橫截面圖。

【0055】圖39A-39H說明根據本揭示內容之實施例代表製造雙矽化物為基積體電路之方法中的各種操作之橫截面圖。

【0056】圖40A說明根據本揭示內容之實施例的具有用於NMOS裝置之溝槽接點的積體電路結構之橫截面圖。

【0057】圖40B說明根據本揭示內容之另一實施例的具有用於PMOS裝置之溝槽接點的積體電路結構之橫截面圖。

【0058】圖41A說明根據本揭示內容之實施例的在源極或汲極區上具有導電接點之半導體裝置的橫截面圖。

【0059】圖41B說明根據本揭示內容之實施例的在凸起源極或汲極區上具有導電接點之另一半導體裝置的橫截面圖。

【0060】圖42說明根據本揭示內容之實施例的在一對半導體鰭部上方之複數個閘極線的平面圖。

【0061】圖43A-43C說明根據本揭示內容之實施例沿著圖42之a-a’軸所截取到的針對在製造積體電路結構之方

法中各種操作的橫截面圖。

【0062】圖44說明根據本揭示內容之實施例沿著圖42之b-b'軸所截取到的針對積體電路結構的橫截面圖。

【0063】圖45A與45B個別說明根據本揭示內容之實施例的包括其上有硬遮罩材料的溝槽接點插塞之積體電路結構的平面圖及對應橫截面圖。

【0064】圖46A-46D說明代表根據本揭示內容之實施例的包括其上有硬遮罩材料的溝槽接點插塞之積體電路結構之製造方法中各種操作的橫截面圖。

【0065】圖47A說明具有設置在閘極電極不主動部分上方之閘極接點的半導體裝置之平面圖。圖47B說明具有設置在閘極電極不主動部分上方之閘極接點的非平面半導體裝置之橫截面圖。

【0066】圖48A說明根據本揭示內容之實施例的具有設置在閘極電極主動部分上方之閘極接點通孔的半導體裝置之平面圖。圖48B說明根據本揭示內容之實施例的具有設置在閘極電極主動部分上方之閘極接點通孔的非平面半導體裝置之橫截面圖。

【0067】圖49A-49D說明根據本揭示內容之實施例代表製造具有設置在閘極主動部分上方之閘極接點結構的半導體結構之方法中的各種操作之橫截面圖。

【0068】圖50說明根據本揭示內容之實施例的具有包括覆蓋絕緣帽層之溝槽接點的積體電路結構之平面圖及對應橫截面圖。

【0069】圖51A-51F說明根據本揭示內容之實施例的各種積體電路結構之橫截面圖，各具有包括覆蓋絕緣帽層之溝槽接點以及具有包括覆蓋絕緣帽層之閘極堆疊。

【0070】圖52A說明根據本揭示內容之另一實施例的具有設置在閘極主動部分上方之閘極接點通孔的另一半導體裝置之平面圖。

【0071】圖52B說明根據本揭示內容之另一實施例的具有耦合一對溝槽接點之溝槽接點通孔的另一半導體裝置之平面圖。

【0072】圖53A-53E說明代表根據本揭示內容之實施例的具有具備覆蓋絕緣帽層之閘極堆疊的積體電路結構之製造方法中各種操作的橫截面圖。

【0073】圖54係根據本揭示內容之實施例的製造用於互連結構之溝槽所使用的節距四分方法之示意圖。

【0074】圖55A說明根據本揭示內容之實施例的使用節距四分方案所製造的金屬化層之橫截面圖。

【0075】圖55B說明根據本揭示內容之實施例在使用節距四分方案所製造的金屬化層以上的使用節距減半方案製造的金屬化層之橫截面圖。

【0076】圖56A說明根據本揭示內容之實施例的具有在具備不同金屬線組成物之金屬化層以上的具備金屬線組成物之金屬化層的積體電路結構之橫截面圖。

【0077】圖56B說明根據本揭示內容之實施例的具有耦合到具備不同金屬線組成物之金屬化層的具備金屬線組

成物之金屬化層的積體電路結構之橫截面圖。

【0078】圖57A-57C說明根據本揭示內容之實施例的具有各種襯墊及導電覆蓋結構配置之個別互連線的橫截面圖。

【0079】圖58說明根據本揭示內容之實施例的具有在具備不同金屬線組成物及較小節距之兩層金屬化層以上的具備金屬線組成物及節距之四層金屬化層的積體電路結構之橫截面圖。

【0080】圖59A-59D說明根據本揭示內容之實施例的具有底導電層之各種互連線以及通孔配置的橫截面圖。

【0081】圖60A-60D說明根據本揭示內容之實施例的針對BEOL金屬化層的凹線形貌之結構配置的橫截面圖。

【0082】圖61A-61D說明根據本揭示內容之實施例的針對BEOL金屬化層的凸線形貌之結構配置的橫截面圖。

【0083】圖62A說明根據本揭示內容之實施例的金屬化層平面圖與沿著該金屬化層平面圖之a-a'軸所截取到的對應橫截面圖。

【0084】圖62B說明根據本揭示內容之實施例的線端或插塞之橫截面圖。

【0085】圖62C說明根據本揭示內容之實施例的線端或插塞之另一橫截面圖。

【0086】圖63A-63F係根據本揭示內容之實施例代表插塞最後處理方案中各種操作的平面圖及對應橫截面圖。

【0087】圖64A說明根據本揭示內容之實施例的其內

具有接縫的導電線插塞之橫截面圖。

【0088】圖64B說明根據本揭示內容之實施例的在下金屬線位置處包括導電線插塞之金屬化層堆疊之橫截面圖。

【0089】圖65說明針對記憶體單元之單元布局的第一視圖。

【0090】圖66說明根據本揭示內容之實施例的針對具有內部節點跨接線的記憶體單元之單元布局的第一視圖。

【0091】圖67說明針對記憶體單元之單元布局的第二視圖。

【0092】圖68說明根據本揭示內容之實施例的針對具有內部節點跨接線的記憶體單元之單元布局的第二視圖。

【0093】圖69說明針對記憶體單元之單元布局的第三視圖。

【0094】圖70說明根據本揭示內容之實施例的針對具有內部節點跨接線的記憶體單元之單元布局的第三視圖。

【0095】圖71A及71B個別說明根據本揭示內容之實施例針對六個電晶體(6T)靜態隨機存取記憶體(SRAM)的位元單元布局及示意圖。

【0096】圖72說明根據本揭示內容之實施例的用於相同標準單元之兩個不同布局的橫截面圖。

【0097】圖73說明根據本揭示內容之實施例的四種不同單元配置的平面圖，其指示偶數(E)或奇數(O)指定代號(designation)。

【0098】圖74說明根據本揭示內容之實施例的方塊層級多晶矽格線之平面圖。

【0099】圖75說明根據本揭示內容之實施例的基於具有不同版本之標準單元的例示性可接受(通過)布局。

【0100】圖76說明根據本揭示內容之實施例的基於具有不同版本之標準單元的例示性不可接受(失敗)布局。

【0101】圖77說明根據本揭示內容之實施例的基於具有不同版本之標準單元的另一例示性可接受(通過)布局。

【0102】圖78說明根據本揭示內容之實施例的鰭部為基薄膜電阻器結構之部分切割平面圖及對應橫截面圖，其中該橫截面圖是沿著該部分切割平面圖之a-a'軸所截取到的。

【0103】圖79-83說明根據本揭示內容之實施例代表製造鰭部為基薄膜電阻器結構之方法中的各種操作之平面圖及對應橫截面圖。

【0104】圖84說明根據本揭示內容之實施例的具有各種針對陽極或陰極電極接點之例示性位置的鰭部為基薄膜電阻器結構之平面圖。

【0105】圖85A-85D說明根據本揭示內容之實施例的用於製造鰭部為基精密電阻器的各種鰭部幾何形狀之平面圖。

【0106】圖86說明根據本揭示內容之實施例的微影遮罩結構之橫截面圖。

【0107】圖87說明根據本揭示內容之一實作之計算裝

置。

【0108】圖88顯示包括本揭示內容之一或多實施例之中介物。

【0109】圖89係根據本揭示內容之實施例的採用根據本文描述的一個或多處理所製造的IC或包括本文描述的一個或多特徵之移動計算平台的等角視圖。

【0110】圖90說明根據本揭示內容之實施例的倒裝晶片安裝晶粒之橫截面圖。

【發明內容】及【實施方式】

【0111】將描述進階積體電路結構製造。在以下說明中陳述數種特定細節，諸如特定整合與材料狀態(regimes)，以為了提供本發明實施例之徹底理解。對於熟悉該技術領域者將係明顯地，可不需此類特定細節來施作本揭示內容之實施例。在其他情況下，諸如積體電路設計布局等已知的特徵不會被詳細說明，以為了不要不必要地模糊本揭示內容之實施例。此外，應瞭解在圖式中所顯示之各種實施例為說明性的代表且並不必然照比例繪製。

【0112】以下詳細說明在本質上僅為例示性的且目的不在於限制標的之實施例或此類實施例之應用與用途。如本文所使用的，用字「例示性」代表「作為實例、舉例、或說明」。在本文中被描述成例示性的任何實作並不必然被解釋成為較佳的或相較於其他實作具優勢的。此外，其並沒有意圖被前述技術領域、先前技術、發明內容、或以

下實施方式中所呈之任何明示或暗示理論所約束。

【0113】此說明書包括對「一實施例」或「實施例」之參照。因此，用語「在一個實施例中」或「在實施例中」之出現並不必然參照同一個實施例。特定特徵、結構、或特徵可以與本揭示內容一致之任意適當方式結合。

【0114】術語：以下段落提供本揭示內容中(包括隨附申請專利範圍中)會出現的術語之定義或情境：

【0115】「包含(Comprising)」-此術語為開放性的。如在所附申請專利範圍中所使用一般，此術語並不會排除附加結構或操作。

【0116】「經組態以(Configured To)」-各種單元或組分可能被描述或主張成「經組態以」執行一或多任務。在此情境下，「經組態以」用於透過指示單元或組件包括在操作期間執行那些一或多任務的結構來表示結構。如此，即使當特定單元或組件並不是當前為可操作的(例如，並非開通或主動)，該單元或組件可被說成經組態以執行該任務。記載之單元、電路、或組件「經組態以」執行一或多任務是意圖明確地針對該單元或組件不援引35 U.S.C.§112第六段記載內容。

【0117】「第一(First)」、「第二(Second)」等-如在本文所使用，此等術語是用作其後所接名詞之標記，並且並不暗示任何類型之順序(例如，空間上、時序上、邏輯上等)。

【0118】「耦合(Coupled)」-以下說明內容參照被

「耦合」在一起之元件、節點、或特徵。如在本文所使用，除非另有明確說明，否則「耦合」代表一元件、節點、或特徵是直接或間接結合到(或直接或間接通訊)另一元件或節點或特徵，且並不必然是機械的結合。

【0119】此外，特定術語亦可用於以下說明中，僅用於參考之目的而因此目的不在於是限制性的。例如，諸如「上(upper)」、「下(lower)」、「以上(above)」、「以下(below)」之術語參照參考圖式中的方向。諸如「前(front)」、「後(back)」、「背(rear)」、「側(side)」、「板外(outboard)」、「板內(inboard)」之術語在一致但任意的參考框架內描述組件部分的定向或位置或兩者，所述參考是透過參照描述所討論組件的內文與相關圖式而明確做出的。此類術語可包括以上明確提及之用字、其衍生字、以及相似涵義之詞。

【0120】「抑制(Inhibit)」-如在本文中所使用之抑制是用以描述減少或最小化效應。當組件或特徵被描述成抑制一動作、運動、或條件時，其可完全防止該結果發生或完全避免未來狀態。附加地，「抑制」亦可參照減少或降低其否則可能會發生之結果、效能、或效應。相應地，當一組件、元件、或特徵被參照成抑制一結果或狀態時，其並不需要完全防止或消除該結果或狀態。

【0121】本文所描述之實施例可涉及前端製程(FEOL)半導體處理及結構。FEOL是積體電路(IC)製造之第一部分，其中個別裝置(例如，電晶體、電容器、電阻器等)被

圖案化到半導體基板或層中。FEOL通常涵蓋直到(但不包括)金屬互連層的沉積之前的所有製程。在最後的FEOL操作之後，該結果典型上是具有隔離電晶體(例如，不具有任何線路)之晶圓。

【0122】本文所描述之實施例可涉及後端製程(BEOL)半導體處理及結構。BEOL是積體電路(IC)製造之第二部分，其中個別裝置(例如，電晶體、電容器、電阻器等)與晶圓上佈線互連，例如，(一或多)金屬化層。BEOL包括接點、絕緣層(介電質)、金屬層、及針對晶片對封裝連接之接合點。在製造階段的BEOL部分中，形成了接點(墊)、互連線路、通孔及介電質結構。就當代IC處理而言，可在BEOL中添加多於10層的金屬層。

【0123】下述實施例可應用於FEOL處理及結構、BEOL處理及結構、或FEOL與BEOL處理及結構兩者。更明確地，雖然可透過使用FEOL處理情境來說明例示性的處理方案，但此類方法亦可應用於BEOL處理。相似地，雖然可透過使用BEOL處理情境來說明例示性的處理方案，但此類方法亦可應用於FEOL處理。

【0124】節距劃分處理以及圖案化方案可被實作以賦能本文描述之實施例或可被包括成本文所述之實施例之一部分。節距劃分圖案化典型上參照的是節距減半或節距四分等。節距劃分方案可應用於FEOL處理、BEOL處理、或FEOL(裝置)與BEOL(金屬化)處理兩者。根據本文所述之一或多實施例，首先實作光微影以使得以預界定節距印出

單方向線(例如，嚴格單向或主要是單向的)。接著，如一種用以增加線密度之技術般實作節距劃分處理。

【0125】在實施例中，針對鰭部、閘極線、金屬線、ILD線或硬遮罩線之術語「柵狀結構」在本文中用以參照緊縮節距柵狀結構。在一此類實施例中，並不是可透過所選微影而直接達到緊縮節距。舉例而言，可首先形成基於所選微影之圖案，但可透過使用間隔件遮罩圖案化而將節距減半，如在該技術領域中所瞭解般。更進一步的，可透過第二輪的間隔件遮罩圖案化而將原始節距四分。據此，本文所述及之柵狀圖案可具有金屬線、ILD線或硬遮罩線，上述線間隔有實質上一致的節距且具有實質上一致的寬度。舉例而言在若干實施例中，節距變異可能在百分之十內且寬度變異可能在百分之十內，且在若干實施例中，節距變異可能在百分之五內且寬度變異可能在百分之五內。可透過節距減半或節距四分、或其他節距劃分方法而製造出該圖案。在實施例中，柵狀並不必然是單節距。

【0126】在第一實例中，可實作節距減半以使所製造的柵狀結構之線密度變二倍。圖1A說明起始結構的橫截面圖，其是在沉積形成硬遮罩材料層於層間介電(ILD)層上之後，但在圖案化該硬遮罩材料層之前。圖1B說明圖1A結構在透過節距減半對硬遮罩層圖案化之後的橫截面圖。

【0127】參照圖1A，起始結構100具有形成於層間介電(ILD)層102上之硬遮罩材料層104。圖案化遮罩106經設置在硬遮罩材料層104以上。圖案化遮罩106具有在硬遮罩

材料層104上沿著其特徵(線)之側壁所形成的間隔件108。

【0128】參照圖1B，利用節距減半方法將硬遮罩材料層104圖案化。更明確地，首先移除圖案化遮罩106。所導致間隔件108之圖案具有雙倍密度或一半的節距，或遮罩106之特徵。間隔件108之圖案例如透過蝕刻處理而被轉移到硬遮罩材料層104，以形成圖案化硬遮罩110，如在圖1B所描繪一般。在一此類實施例中，圖案化硬遮罩110經形成為具有柵狀圖案，其具有單向線。圖案化硬遮罩110之柵狀圖案可能是緊縮節距柵狀結構。舉例而言，緊縮節距並不是可透過所選微影技術而直接達到的。更進一步的，雖然未示出，但可透過第二輪的間隔件遮罩圖案化而將原始節距四分。據此，圖1B之圖案化硬遮罩110的柵狀圖案可具有以固定節距間隔且相對於彼此具有固定寬度之硬遮罩線。所達到的維度可能遠小於所採用的微影技術之臨界維度(critical dimension)。

【0129】據此，不論針對前端製程(FEOL)或後端製程(BEOL)，或同時針對兩整合方案，可使用微影及蝕刻處理以將覆蓋薄膜圖案化，該微影及蝕刻處理可涉及例如間隔件為基雙重圖案化(SBDP)或節距減半、或間隔件為基四重圖案化(SBQP)或節距四分。應瞭解亦可實作其他的節距劃分方法。在任何情況中，在實施例中可透過所選微影方法，諸如193mm浸沒微影(193i)，來製造格線布局(gridded layout)。可實作節距劃分以將格線布局中線之密度增加n倍。使用193i微影加上節距劃分成n分所形成之格線布局

可經指定為193i+P/n節距劃分。在一此類實施例中，193nm浸沒縮小(193nm immersion scaling)可透過成本效益節距劃分而延長許多代。

【0130】在積體電路裝置之製造中，隨著裝置尺寸持續縮小，諸如三閘極電晶體等之多閘極電晶體已變得更加廣泛使用。三閘極電晶體通常被製造在塊狀矽基板或絕緣體上矽基板上。在若干情況下，較佳為塊狀矽基板，其優勢在於其較低成本及與現存高產率塊狀矽基板基礎建設之相容性。

【0131】然而，縮小多閘極電晶體並非沒有代價。隨著此類微電子電路之基礎建構方塊的維度縮減以及隨著製造在給定區中的基礎建構方塊的大量數量增加，對用以製造此類建構方塊的半導體處理之限制將變得過多。

【0132】根據本揭示內容之一或多實施例，實作節距四分方法用於圖案化半導體層，以形成半導體鰭部。在一或多實施例中，實作合併鰭部節距四分方法。

【0133】圖2A係根據本揭示內容之實施例的製造半導體鰭部所使用的節距四分方法200之示意圖。圖2B說明根據本揭示內容之實施例的使用節距四分方法所製造的半導體鰭部之橫截面圖。

【0134】參照圖2A，在操作(a)處，將光阻層(PR)圖案化以形成光阻特徵202。可使用諸如193浸沒微影等標準微影處理技術來將光阻特徵202圖案化。在操作(b)處，使用光阻特徵202以將諸如絕緣或介電質硬遮罩層等材料層

圖案化，用以形成第一支柱(BB1)特徵204。接著將第一間隔件(SP1)特徵206形成相鄰於第一支柱特徵204之側壁。在操作(c)處，移除第一支柱特徵204以僅留下第一間隔件特徵206。在移除第一支柱特徵204之前或期間，可使第一間隔件特徵206薄化以形成薄化第一間隔件特徵206'，如圖2A中所描繪一般。取決於BB2特徵(如下述之208)所需間距及尺寸，此薄化可執行於BB1(特徵204)移除之前(如所述)或之後。在操作(d)處，使用第一間隔件特徵206或薄化第一間隔件特徵206'以將諸如絕緣或介電質硬遮罩層等材料層圖案化，用以形成第二支柱(BB2)特徵208。接著將第二間隔件(SP2)特徵210形成相鄰於第二支柱特徵208之側壁。在操作(e)處，移除第二支柱特徵208以僅留下第二間隔件特徵210。可接著使用剩餘第二間隔件特徵210來將半導體層圖案化，用以提供複數個相對於初始圖案化光阻特徵202具有節距四分維度的半導體鰭部。作為一實例，參照圖2B，使用第二間隔件特徵210形成諸如形成自塊狀矽層之矽鰭部等複數個半導體鰭部250，作為用於圖案化之遮罩，例如針對乾式或電漿蝕刻圖案化。在圖2B之實例中，複數個半導體鰭部250整體基本上具有相同的節距及間距。

【0135】應瞭解，初始圖案化之光阻特徵之間的間距可被修改以改變節距四分處理之結構性結果。在實例中，圖3A係根據本揭示內容之實施例的製造半導體鰭部所使用的合併鰭部節距四分方法300之示意圖。圖3B說明根據本

揭示內容之實施例的使用合併鰭部節距四分方法所製造的半導體鰭部之橫截面圖。

【0136】參照圖3A，在操作(a)處，將光阻層(PR)圖案化以形成光阻特徵302。可使用諸如193浸沒微影等標準微影處理技術來將光阻特徵302圖案化，但其間距最終可能會干涉用以產生等節距相乘圖案所需之設計規則(例如，經被稱作次設計規則空間之一間距)。在操作(b)處，使用光阻特徵302以將諸如絕緣或介電質硬遮罩層等材料層圖案化，用以形成第一支柱(BB1)特徵304。接著將第一間隔件(SP1)特徵306形成相鄰於第一支柱特徵304之側壁。然而，對比於圖2A所說明之方案，相鄰第一間隔件特徵306之若干者由於較緊縮光阻特徵302之緣故而是合併間隔件特徵。在操作(c)處，移除第一支柱特徵304以僅留下第一間隔件特徵306。在移除第一支柱特徵304之前或之後，可使第一間隔件特徵306之若干者薄化以形成薄化第一間隔件特徵306’，如圖3A中所描繪一般。在操作(d)處，使用第一間隔件特徵306及薄化第一間隔件特徵306’以將諸如絕緣或介電質硬遮罩層等材料層圖案化，用以形成第二支柱(BB2)特徵308。接著將第二間隔件(SP2)特徵310形成相鄰於第二支柱特徵308之側壁。然而，在其中BB2特徵308為合併特徵之位置處，諸如在圖3A之中央BB2特徵308處，並未形成第二間隔件。在操作(e)處，移除第二支柱特徵308以僅留下第二間隔件特徵310。可接著使用剩餘第二間隔件特徵310來將半導體層圖案化，用以提供

複數個相對於初始圖案化光阻特徵302具有節距四分維度的半導體鰭部。

【0137】作為一實例，參照圖3B，使用第二間隔件特徵310形成諸如形成自塊狀矽層之矽鰭部等複數個半導體鰭部350，作為用於圖案化之遮罩，例如針對乾式或電漿蝕刻圖案化。然而，在圖3B之實例中，複數個半導體鰭部350具有不同的節距及間距。可實作此類合併鰭部間隔件圖案化方法以基本上消除複數個鰭部之圖案的特定位置中鰭部之存在。據此，合併特定位置中的第一間隔件特徵306允許得以製造六個或四個基於二個第一支柱特徵304之鰭部，如結合圖2A及2B所述一般，其典型上產生八個鰭部。在一實例中，板內鰭部具有比透過以等節距建立鰭部並接著切割不必要鰭部所一般能允許的更為緊縮的節距，雖然後者方法可仍根據本文所述實施例而實作。

【0138】在例示性實施例中，參照圖3B，積體電路結構中，第一複數個半導體鰭部352沿著第一方向具有最長維度(y，進入頁面中)。第一複數個半導體鰭部352之相鄰的個別半導體鰭部353在與第一方向y正交之第二方向(x)中彼此間距第一量(S11)。第二複數個半導體鰭部354沿著該第一方向y具有最長維度。第二複數個半導體鰭部354之相鄰的個別半導體鰭部355在第二方向中彼此間距第一量(S1)。個別與第一複數個半導體鰭部352與第二複數個半導體鰭部354最接近的半導體鰭部356與357在第二方向x中彼此間距第二量(S2)。在實施例中，第二量S2大於第一量

S1，但小於兩倍的第一量S1。在另一實施例中，第二量S2是第一量S1的兩倍以上。

【0139】在一實施例中，第一複數個半導體鰭部352與第二複數個半導體鰭部354包括矽。在一實施例中，第一複數個半導體鰭部352與第二複數個半導體鰭部354與下層單晶矽基板為連續的。在一實施例中，第一複數個半導體鰭部352與第二複數個半導體鰭部354之個別者具有沿著第二方向x從第一複數個半導體鰭部352與第二複數個半導體鰭部354之個別者的頂部到底部向外漸縮之側壁。在一實施例中，第一複數個半導體鰭部352具有恰好五個半導體鰭部，且第二複數個半導體鰭部354具有恰好五個半導體鰭部。

【0140】在另一例示性實施例中，參照圖3A及3B，製造積體電路結構之方法包括形成第一主要支柱結構304(左側BB1)以及第二主要支柱結構304(右側BB1)。主要間隔件結構306經形成相鄰於第一主要支柱結構304(左側BB1)與第二主要支柱結構304(右側BB1)之側壁。合併在第一主要支柱結構304(左側BB1)與第二主要支柱結構304(右側BB1)之間的主要間隔件結構306。移除第一主要支柱結構304(左側BB1)與第二主要支柱結構304(右側BB1)，並且設置第一、第二、第三、及第四次要支柱結構308。合併第二及第三次要支柱結構(例如，次要支柱結構308之中央對)。次要間隔件結構310經形成相鄰於第一、第二、第三、及第四次要支柱結構308之側壁。接著移除第一、第

二、第三及第四次要支柱結構308。接著使用次要間隔件結構310圖案化半導體材料，以在半導體材料中形成半導體鰭部350。

【0141】在一實施例中，將第一主要支柱結構304(左側BB1)與第二主要支柱結構304(右側BB1)圖案化成具有次設計規則間距在第一主要支柱結構與第二主要支柱結構之間。在一實施例中，半導體材料包括矽。在一實施例中，半導體鰭部350之個別者具有沿著第二方向x從半導體鰭部350之個別者的頂部到底部向外漸縮之側壁。在一實施例中，半導體鰭部350與下層單晶矽基板為連續的。在一實施例中，使用次要間隔件結構310將半導體材料圖案化包括形成沿著第一方向y具有最長維度之第一複數個半導體鰭部352，其中第一複數個半導體鰭部352之相鄰的個別半導體鰭部在與第一方向y正交之第二方向x中彼此間距第一量S1。第二複數個半導體鰭部354經形成為沿著第一方向y具有最長之維度，其中第二複數個半導體鰭部354之相鄰的個別半導體鰭部在第二方向x中彼此間距第一量S1。個別與第一複數個半導體鰭部352與第二複數個半導體鰭部354最接近的半導體鰭部356與357在第二方向x中彼此間距第二量S2。在實施例中，第二量S2大於第一量S1。在一此類實施例中，第二量S2小於兩倍的第一量S1。在另一此類實施例中，第二量S2比第一量S1大兩倍以上但三倍以下。在實施例中，第一複數個半導體鰭部352具有恰好五個半導體鰭部，且第二複數個半導體鰭部254具有恰好五個半

導體鰭部，如圖3B中所描繪一般。

【0142】在另一態樣中，應瞭解在其中替代合併鰭部方法而執行鰭部移除之鰭部調節處理(fin trim process)中，可在硬遮罩圖案化期間或透過實體移除鰭部來將該鰭部調節(移除)。作為後者方法之實例，圖4A-4C係根據本揭示內容之實施例代表製造複數個半導體鰭部之方法中的各種操作之橫截面圖。

【0143】參照圖4A，形成圖案化硬遮罩層402在諸如塊狀單晶矽層之半導體層404以上。參照圖4B，接著例如透過乾式或電漿蝕刻處理形成鰭部406於半導體層404中。參照圖4C，例如使用遮罩及蝕刻處理將所選的鰭部406移除。在所顯示實例中，移除鰭部406之一並且可能留下剩餘鰭部短截408，如圖4C所描繪一般。在此「鰭部調節最後(fin trim last)」方法中，整體圖案化硬遮罩402以提供柵狀結構而無移除或修改個別特徵。在直到製造完鰭部之前，鰭部數量並未被修改。

【0144】在另一態樣中，可實作諸如被參照成淺溝槽隔離(STI)結構之多層溝槽隔離區於半導體鰭部之間。在實施例中，將多層STI結構形成於被形成在塊狀矽基板中的矽鰭部之間，以界定矽鰭部之子鰭區。

【0145】期望的是使用塊狀矽用於鰭部或三閘極為基電晶體。然而，有在裝置之主動矽鰭部部分(例如，閘控區或HSi)以下的區(子鰭)被減少或無閘極控制之疑慮。如此，若源極或汲極區是在HSi點處或以下，則可存在通過

子鰭區之洩漏路徑。可能發生應控制子鰭區中的洩漏路徑以進行適當的裝置操作之情況。

【0146】一種解決上述問題之方法涉及使用阱植入操作，其中子鰭區是重摻雜的(例如，遠大於2E18/cm^3)，這將會關閉子鰭洩漏但亦導致鰭部中的大量摻雜。環形植入之加入將進一步增加鰭部摻雜，使得端製程鰭部被高度摻雜(例如，大於約1E18/cm^3)。

【0147】另一方法涉及透過子鰭摻雜提供摻雜而無須遞送相同層級之摻雜到鰭部之HSi部分。處理可涉及選擇性摻雜製造在塊狀矽晶圓上的FinFET電晶體或三閘極之子鰭區，例如透過三閘極摻雜的玻璃子鰭向外擴散。例如，選擇性摻雜FinFET電晶體或三閘極之子鰭區可能會減輕子鰭洩漏同時使鰭部摻雜保持在低程度。將固態摻雜源(例如，P型及N型摻雜氧化物、氮化物或碳化物)併入電晶體處理流程中，其在被自鰭部側壁凹陷之後，會遞送阱摻雜進入子鰭區中同時使鰭部本體保持相對未摻雜的。

【0148】因此，處理方案可包括在鰭部蝕刻之後使用沉積在鰭部上的固體源摻雜層(例如，硼摻雜氧化物)。之後，在溝槽填充與拋光之後，連同溝槽填充材料凹陷摻雜層以界定裝置之鰭部高度(HSi)。該操作從HSi以上的鰭部側壁移除摻雜層。因此，摻雜層僅沿著子鰭區中的鰭部側壁存在，這確保了設置摻雜之精準度控制。在驅入退火之後，高摻雜受限於子鰭區，快速轉換成在HSi以上鰭部相鄰區中的低摻雜(其形成電晶體之通道區)。普遍而言，針

對NMOS鰭部摻雜實作硼矽酸鹽玻璃(BSG)，而針對PMOS鰭部摻雜實作磷矽酸鹽(PSG)或砷矽酸鹽玻璃(AsSG)層。在一實例中，此類P型固態摻雜劑源層是具有約0.1-10重量%範圍內的硼濃度之BSG層。在另一實例中，此類N型固態摻雜劑源層是個別具有約0.1-10重量%範圍內的磷濃度或砷濃度之PSG層或AsSG層。可在摻雜層上包括氮化矽覆蓋層，以及可接著在氮化矽覆蓋層上包括二氧化矽或氧化物矽填充材料。

【0149】根據本揭示內容之另一實施例，針對相對較薄鰭部(例如，具備寬度少於約20奈米之鰭部)之薄子鰭洩漏是足夠低的，其中未摻雜的或稍微摻雜的氧化矽或二氧化矽薄膜經形成直接相鄰於鰭部，氮化矽層經形成在該未摻雜的或稍微摻雜的氧化矽或二氧化矽薄膜上，以及二氧化矽或氧化矽填充材料被包括在該氮化矽覆蓋層上。應瞭解亦可使用此種結構實作子鰭區之諸如環形摻雜等摻雜。

【0150】圖5A說明根據本揭示內容之實施例的透過三層溝槽隔離結構所分離的一對半導體鰭部之橫截面圖。

【0151】參照圖5A，積體電路結構包括諸如矽鰭部之鰭部502。鰭部502具有下鰭部部分(子鰭)502A及上鰭部部分502B(H_{Si})。第一絕緣層504是直接在鰭部502之下鰭部部分502A的側壁上。第二絕緣層506是直接在第一絕緣層504上，而該第一絕緣層504是直接在鰭部502之下鰭部部分502A的側壁上。介電質填充材料508是直接橫向相鄰於第二絕緣層506，該第二絕緣層506是直接在第一絕緣層504

上，而該第一絕緣層504是直接在鰭部502之下鰭部部分502A的側壁上。

【0152】在實施例中，第一絕緣層504為未摻雜的絕緣層，其包括矽及氧，諸如氧化矽或二氧化矽絕緣層。在實施例中，第一絕緣層504包括矽及氧，且不具有其他具備大於每立方公分1E15個原子之原子濃度的原子種類。在實施例中，第一絕緣層504具有在0.5-2奈米範圍內的厚度。

【0153】在實施例中，第二絕緣層506包括矽及氮，諸如化學計量Si_3N_4之氮化矽絕緣層、富矽之氮化矽絕緣層、或貧矽氮化矽絕緣層。在實施例中，第二絕緣層506具有在2-5奈米範圍內的厚度。

【0154】在實施例中，介電質填充材料508包括矽及氧，諸如氧化矽或二氧化矽絕緣層。在實施例中，閘極電極最終形成在鰭部502之上鰭部部分502B的頂部上方並且橫向相鄰於該鰭部502之上鰭部部分502B的側壁。

【0155】應瞭解在處理期間，半導體鰭部之上鰭部部分可能被侵蝕或消耗。另外，鰭部間的溝槽隔離結構亦可能被侵蝕成具有非平面形貌或其可能製造成具有非平面形貌。作為實例，圖5B說明根據本揭示內容之另一實施例的透過另一三層溝槽隔離結構所分離的另一對半導體鰭部之橫截面圖。

【0156】參照圖5B，積體電路結構包括諸如矽鰭部之第一鰭部552。第一鰭部552具有下鰭部部分552A及上鰭部

部分552B，以及位於下鰭部部分552A與上鰭部部分552B之間的一區之肩部特徵554。諸如第二矽鰭部之第二鰭部562具有下鰭部部分562A及上鰭部部分562B，以及位於下鰭部部分562A與上鰭部部分562B之間的一區之肩部特徵564。第一絕緣層574是直接在第一鰭部552之下鰭部部分552A的側壁上以及是直接在第二鰭部562之下鰭部部分562A的側壁上。第一絕緣層574具有與第一鰭部552之肩部特徵554實質共平面之第一端部部分574A，以及第一絕緣層574進一步具有與第二鰭部562之肩部特徵564實質共平面之第二端部部分574B。第二絕緣層576是直接在第一絕緣層574上，而該第一絕緣層574是直接在第一鰭部552之下鰭部部分552A的側壁上以及是直接在第二鰭部562之下鰭部部分562A的側壁上。

【0157】介電質填充材料578是直接橫向相鄰於第二絕緣層576，該第二絕緣層576是直接在第一絕緣層574上，而該第一絕緣層574是直接在第一鰭部552之下鰭部部分552A的側壁上以及是直接在第二鰭部562之下鰭部部分562A的側壁上。在實施例中，介電質填充材料578具有上表面578A，其中介電質填充材料578之上表面578A之一部分是位於第一鰭部552之肩部特徵554之至少一者以下以及位於第二鰭部562之肩部特徵564之至少一者以下，如圖5B所描繪一般。

【0158】在實施例中，第一絕緣層574為未摻雜的絕緣層，其包括矽及氧，諸如氧化矽或二氧化矽絕緣層。在

實施例中，第一絕緣層574包括矽及氧，且不具有其他具備大於每立方公分1E15個原子之原子濃度的原子種類。在實施例中，第一絕緣層574具有在0.5-2奈米範圍內的厚度。

【0159】在實施例中，第二絕緣層576包括矽及氮，諸如化學計量Si_3N_4之氮化矽絕緣層、富矽之氮化矽絕緣層、或貧矽氮化矽絕緣層。在實施例中，第二絕緣層576具有在2-5奈米範圍內的厚度。

【0160】在實施例中，介電質填充材料578包括矽及氧，諸如氧化矽或二氧化矽絕緣層。在實施例中，閘極電極最終形成在第一鰭部552之上鰭部部分552B的頂部上方並且橫向相鄰於該第一鰭部552之上鰭部部分552B的側壁，以及在第二鰭部562之上鰭部部分562B的頂部上方並且橫向相鄰於該第二鰭部562之上鰭部部分562B的側壁。閘極電極進一步在第一鰭部552與第二鰭部562之間的介電質填充材料578上方。

【0161】圖6A-6D說明根據本揭示內容之實施例在製造三層溝槽隔離結構中的各種操作之橫截面圖。

【0162】參照圖6A，製造積體電路結構之方法包括形成諸如矽鰭部之鰭部602。如圖6B所描繪一般，第一絕緣層604經形成為直接在鰭部602上並與其共形。在實施例中，第一絕緣層604包括矽及氧，且不具有其他具備大於每立方公分1E15個原子之原子濃度的原子種類。

【0163】參照圖6C，第二絕緣層606經形成為直接在

第一絕緣層604上並與其共形。在實施例中，第二絕緣層606包括矽及氮。如圖6D所描繪一般，介電質填充材料608經形成為直接在第二絕緣層606上。

【0164】在實施例中，該方法進一步涉及凹陷介電質填充材料608、第一絕緣層604、及第二絕緣層606以提供具有暴露上鰭部部分602A(例如，諸如圖5A及5B之上鰭部部分502B、552B、或562B)之鰭部602。可結合圖5A或5B來說明所產生之結構。在一實施例中，凹陷介電質填充608材料、第一絕緣層604、及第二絕緣層606涉及使用濕式蝕刻處理。在另一實施例中，凹陷介電質填充608材料、第一絕緣層604、及第二絕緣層606涉及使用電漿蝕刻或乾式蝕刻處理。

【0165】在實施例中，第一絕緣層604是使用化學氣相沉積處理所形成的。在實施例中，第二絕緣層606是使用化學氣相沉積處理所形成的。在實施例中，介電質填充材料608是使用旋塗處理所形成的。在一此類實施例中，介電質填充材料608是旋塗材料並且例如在凹陷蝕刻處理之前或之後被暴露於蒸汽處理，以提供包括矽及氧之固化材料。在實施例中，閘極電極最終形成在鰭部602之上鰭部部分的頂部上方並且橫向相鄰於該鰭部602之上鰭部部分的側壁。

【0166】在另一態樣中，閘極側壁間隔件材料可保留在特定溝槽隔離區上方，以在接續處理操作期間作為溝槽隔離區抗侵蝕之保護。舉例而言，圖7A-7E說明根據本揭

示內容之實施例在製造積體電路結構之方法中的各種操作之斜角三維橫截面圖。

【0167】參照圖7A，製造積體電路結構之方法包括形成諸如矽鰭部之鰭部702。鰭部702具有下鰭部部分702A及上鰭部部分702B。絕緣結構704經形成為直接相鄰於鰭部702之下鰭部部分702A的側壁。閘極結構706經形成為在上鰭部部分702B上方以及在絕緣結構704上方。在實施例中，閘極結構是佔位或仿閘極結構，包括犧牲閘極介電層706A、犧牲閘極706B、及硬遮罩706C。介電質材料708經形成為與鰭部702之上鰭部部分702B共形、與閘極結構706共形、以及與絕緣結構704共形。

【0168】參照圖7B，硬遮罩材料710經形成在介電質材料708上方。在實施例中，硬遮罩材料710是使用旋塗處理所形成之碳為基硬遮罩材料。

【0169】參照圖7C，硬遮罩材料710經凹陷以形成凹陷硬遮罩硬材料712，及用以暴露與鰭部702之上鰭部部分702B共形及與閘極結構706共形之介電質材料708的一部分。凹陷硬遮罩材料712覆蓋與絕緣結構704共形的介電質材料708之一部分。在實施例中，硬遮罩材料710是使用濕式蝕刻處理所凹陷的。在另一實施例中，硬遮罩材料710是使用灰化法(ash)、乾式蝕刻或電漿蝕刻處理所凹陷的。

【0170】參照圖7D，介電質材料708經各向異性蝕刻以形成沿著閘極結構706之側壁(作為介電質間隔件714A)、沿著鰭部702之上鰭部部分702B之側壁的部分、以

及在絕緣結構704上方的圖案化介電質材料714。

【0171】參照圖7E，從圖7D之結構移除凹陷硬遮罩材料712。在實施例中，閘極結構706為仿閘極結構，以及接續處理包括以永久閘極介電質與閘極電極堆疊來替代閘極結構706。在實施例中，進一步處理包括在閘極結構706之相對側上形成嵌入式源極或汲極結構，如將在下文闡述一般。

【0172】再次參照圖7E，在實施例中，積體電路結構700包括諸如第一矽鰭部之第一鰭部(左側702)，該第一鰭部具有下鰭部部分702A及上鰭部部分702B。積體電路結構進一步包括諸如第二矽鰭部之第二鰭部(右側702)，該第二鰭部具有下鰭部部分702A及上鰭部部分702B。絕緣結構704是直接相鄰於第一鰭部之下鰭部部分702A的側壁以及是直接相鄰於第二鰭部之下鰭部部分702A的側壁。閘極電極706是在第一鰭部(左側702)之上鰭部部分702B上方、在第二鰭部(右側702)之上鰭部部分702B上方、以及在絕緣結構704之第一部分704A上方。第一介電質間隔件714B沿著第一鰭部(左側702)之上鰭部部分702B之側壁，以及第二介電質間隔件714C沿著第二鰭部(右側702)之上鰭部部分702B之側壁。第二介電質間隔件714C與第一介電質間隔件714B在第一鰭部(左側702與右側的第二鰭部702)之間的絕緣結構704之第二部分704B上方為連續的。

【0173】在實施例中，第一與第二介電質間隔件714B與714C包括矽及氮，諸如化學計量Si_3N_4之氮化矽材料、

富矽之氮化矽材料、或貧矽氮化矽材料。

【0174】在實施例中，積體電路結構700進一步包括在閘極電極706之相對側上的嵌入式源極或汲極結構，該嵌入式源極或汲極結構具有在第一及第二介電質間隔件714B及714C之頂表面以下並沿著第一及第二鰭部702之上鰭部部分702B之側壁之底表面，以及該源極或汲極結構具有在第一及第二介電質間隔件714B及714C之頂表面以上並沿著第一及第二鰭部702之上鰭部部分702B之側壁之頂表面，如以下結合圖9B所描述一般。在實施例中，絕緣結構704包括第一絕緣層、直接在第一絕緣層上之第二絕緣層、以及直接位於第二絕緣層上之介電質填充材料，亦如以下結合圖9B所描述一般。

【0175】圖8A-8F說明根據本揭示內容之實施例沿著圖7E之a-a'軸所截取到的針對在製造積體電路結構之方法中各種操作的略為投影之橫截面圖。

【0176】參照圖8A，製造積體電路結構之方法包括形成諸如矽鰭部之鰭部702。鰭部702具有下鰭部部分(未見於圖8A中)及上鰭部部分702B。絕緣結構704經形成為直接相鄰於鰭部702之下鰭部部分702A的側壁。一對閘極結構706經形成為在上鰭部部分702B上方以及在絕緣結構704上方。應瞭解在圖8A-8F中所示之視角是有略為投影的，以顯示閘極結構706之部分以及上鰭部部分702B之前面(離開頁面)的絕緣結構，其中上鰭部部分略為地進入頁面。在實施例中，閘極結構706是佔位或仿閘極結構，包括犧牲

閘極介電層706A、犧牲閘極706B、及硬遮罩706C。

【0177】參照圖8B，其對應於結合圖7A所描述之處理操作，介電質材料708經形成為與鰭部702之上鰭部部分702B共形、與閘極結構706共形、以及與絕緣結構704之暴露部分共形。

【0178】參照圖8C，其對應於結合圖7B所描述之處理操作，硬遮罩材料710經形成在介電質材料708上方。在實施例中，硬遮罩材料710是使用旋塗處理所形成之碳為基硬遮罩材料。

【0179】參照圖8D，其對應於結合圖7C所描述之處理操作，硬遮罩材料710經凹陷以形成凹陷硬遮罩硬材料712，及用以暴露與鰭部702之上鰭部部分702B共形及與閘極結構706共形之介電質材料708的一部分。凹陷硬遮罩材料712覆蓋與絕緣結構704共形的介電質材料708之一部分。在實施例中，硬遮罩材料710是使用濕式蝕刻處理所凹陷的。在另一實施例中，硬遮罩材料710是使用灰化法(ash)、乾式蝕刻或電漿蝕刻處理所凹陷的。

【0180】參照圖8E，其對應於結合圖7D所描述之處理操作，介電質材料708經各向異性蝕刻以形成沿著閘極結構706之側壁(作為部分714A)、沿著鰭部702之上鰭部部分702B之側壁的部分、以及在絕緣結構704上方的圖案化介電質材料714。

【0181】參照圖8F，其對應於結合圖7E所描述之處理操作，從圖8E之結構移除凹陷硬遮罩材料712。在實施例

中，閘極結構706為仿閘極結構，以及接續處理包括以永久閘極介電質與閘極電極堆疊來替代閘極結構706。在實施例中，進一步處理包括在閘極結構706之相對側上形成嵌入式源極或汲極結構，如將在下文闡述一般。

【0182】再次參照圖8F，在實施例中，積體電路結構700包括諸如矽鰭部之鰭部702，該鰭部702具有下鰭部部分(圖8F中不可見的)及上鰭部部分702B。絕緣結構704是直接相鄰於鰭部702之下鰭部部分的側壁。第一閘極電極(左側706)是在上鰭部部分702B上方以及絕緣結構704之第一部分704A上方。第二閘極電極(右側706)是在上鰭部部分702B上方以及絕緣結構704之第二部分704A'上方。第一介電質間隔件(左側706之右側714A)是沿著第一閘極電極(左側706)之側壁且第二介電質間隔件(右側706之左側714A)是沿著第二閘極電極(右側706)之側壁，並且第二介電質間隔件與第一介電質間隔件在第一閘極電極(左側706)與第二閘極電極(右側706)之間的絕緣結構704之第三部分704A"上方為連續的。

【0183】圖9A說明根據本揭示內容之實施例沿著圖7E之a-a'軸所截取到的針對包括永久閘極堆疊與磊晶源極或汲極區之積體電路結構的略為投影之橫截面圖。圖9B說明根據本揭示內容之實施例沿著圖7E之b-b'軸所截取到的針對包括磊晶源極或汲極區與多層溝槽隔離結構之積體電路結構的橫截面圖。

【0184】參照圖9A及9B，在實施例中，積體電路結

構包括在閘極結構706之相對側上的嵌入式源極或汲極結構910。嵌入式源極或汲極結構910具有在第一及第二介電質間隔件714B及714C之頂表面990以下並沿著第一及第二鰭部702之上鰭部部分702B之側壁之底表面910A。嵌入式源極或汲極結構910具有在第一及第二介電質間隔件714B及714C之頂表面以上並沿著第一及第二鰭部702之上鰭部部分702B之側壁之頂表面910B。

【0185】在實施例中，閘極堆疊706為永久閘極堆疊920。在一此類實施例中，永久閘極堆疊920包括閘極介電層922、諸如工作函數閘極層之第一閘極層924、以及閘極填充材料926，如圖9A中所描繪一般。在一實施例中，其中永久閘極結構920是在絕緣結構704上方，永久閘極結構920經形成在殘餘多晶矽部分930上，其可能是涉及犧牲多晶矽閘極電極之替換閘極處理的剩餘物。

【0186】在實施例中，絕緣結構704包括第一絕緣層902、直接在第一絕緣層902上之第二絕緣層904、以及直接位於第二絕緣層904上之介電質填充材料906。在一實施例中，第一絕緣層902為未摻雜的絕緣層，其包括矽及氧。在一實施例中，第二絕緣層904包括矽及氮。在一實施例中，介電質填充材料906包括矽及氧。

【0187】在另一態樣中，磊晶嵌入式源極或汲極區經實作成用於半導體鰭部之源極或汲極結構。作為實例，圖10說明根據本揭示內容之實施例於源極或汲極位置處所截取到的積體電路結構之橫截面圖。

【0188】參照圖10，積體電路結構1000包括諸如P型金屬氧化物半導體(PMOS)裝置之P型裝置。積體電路結構1000亦包括諸如N型金屬氧化物半導體(NMOS)裝置之N型裝置。

【0189】圖10之PMOS裝置包括第一複數個半導體鰭部1002，諸如從塊狀矽基板1001所形成之矽鰭部。在源極或汲極位置處，已移除鰭部1002之上部分，且生長相同或不同半導體材料以形成源極或汲極結構1004。應瞭解，在從閘極電極之任一側所截取到的橫截面圖上來看源極或汲極結構1004看起來是相同的，例如，其在源極側看起來與在汲極側看起來實質上相同。在實施例中，如所描繪的，源極或汲極結構1004具有在絕緣結構1006上表面以下的一部分以及在絕緣結構1006上表面以上的一部分。在實施例中，如所描繪的，源極或汲極結構1004為強分面的。在實施例中，導電接點1008經形成在源極或汲極結構1004上方。然而，在一此類實施例中，源極或汲極結構1004之強分面及相對寬的生長至少在某程度上抑制了導電接點1008之良好覆蓋。

【0190】圖10之NMOS裝置包括第二複數個半導體鰭部1052，諸如從塊狀矽基板1001所形成之矽鰭部。在源極或汲極位置處，已移除鰭部1052之上部分，且生長相同或不同半導體材料以形成源極或汲極結構1054。應瞭解，在從閘極電極之任一側所截取到的橫截面圖上來看源極或汲極結構1054看起來是相同的，例如，其在源極側看起來與

在汲極側看起來實質上相同。在實施例中，如所描繪的，源極或汲極結構1054具有在絕緣結構1006上表面以下的一部分以及在絕緣結構1006上表面以上的一部分。在實施例中，如所描繪的，源極或汲極結構1054相對於源極或汲極結構1004為弱分面的。在實施例中，導電接點1058經形成在源極或汲極結構1054上方。在一此類實施例中，源極或汲極結構1054之相對弱分面及導致的相對窄的生長(相較於源極或汲極結構1004)增強了導電接點1058之良好覆蓋。

【0191】PMOS裝置之源極或汲極結構之形狀可為不同的以提高與覆蓋接點之接觸區域。舉例而言，圖11說明根據本揭示內容之實施例於源極或汲極位置處所截取到的另一積體電路結構之橫截面圖。

【0192】參照圖11，積體電路結構1100包括P型半導體(例如，PMOS)裝置。PMOS裝置包括諸如矽鰭部之第一鰭部1102。第一磊晶源極或汲極結構1104經嵌入於第一鰭部1102中。雖然未描繪，但在一實施例中，第一磊晶源極或汲極結構1104是在第一閘極電極之第一側處(其可形成為在諸如鰭部1102之通道部分的上鰭部部分上方)，且第二磊晶源極或汲極結構於此類第一閘極電極相對於第一側之第二側處經嵌入於第一鰭部1102中。在實施例中，第一1104及第二磊晶源極或汲極結構包括矽及鍺，且具有輪廓1105。在一實施例中，該輪廓為如圖11所描繪之火柴棒型(match-stick)輪廓。第一導電電極1108是在第一磊晶源極

或汲極結構1104上方。

【0193】再次參照圖11，在實施例中，積體電路結構1100亦包括N型半導體(例如，NMOS)裝置。NMOS裝置包括諸如矽鰭部之第二鰭部1152。第三磊晶源極或汲極結構1154經嵌入於第二鰭部1152中。雖然未描繪，但在一實施例中，第三磊晶源極或汲極結構1154是在第二閘極電極之第一側處(其可形成為在諸如鰭部1152之通道部分的上鰭部部分上方)，且第四磊晶源極或汲極結構於此類第二閘極電極相對於第一側之第二側處經嵌入於第二鰭部1152中。在實施例中，第三1154及第四磊晶源極或汲極結構包括矽，且具有與第一及第二磊晶源極或汲極結構1004之輪廓1105實質上相同的輪廓。第二導電電極1158是在第三磊晶源極或汲極結構1154上方。

【0194】在實施例中，第一磊晶源極或汲極結構1104為弱分面的。在實施例中，第一磊晶源極或汲極結構1104具有約50奈米之高度及在30-35奈米的範圍內之寬度。在一此類實施例中，第三磊晶源極或汲極結構1154具有約50奈米之高度及在30-35奈米的範圍內之寬度。

【0195】在實施例中，第一磊晶源極或汲極結構1104是具備在第一磊晶源極或汲極結構1104之底部1104A處為約20%鍺濃度到在第一磊晶源極或汲極結構1104之頂部1104B處為約45%鍺濃度之梯度。在實施例中，第一磊晶源極或汲極結構1104經摻雜有硼原子。在一此類實施例中，第三磊晶源極或汲極結構1154經摻雜有磷原子或砷原

子。

【0196】圖12A-12D說明根據本揭示內容之實施例於源極或汲極位置處所截取到且代表積體電路結構製造中各種操作的橫截面圖。

【0197】參照圖12A，製造積體電路結構之方法包括形成鰭部，諸如從矽基板1201所形成的矽鰭部。鰭部1202具有下鰭部部分1202A及上鰭部部分1202B。雖然未描繪但在實施例中，閘極電極在進入頁面之位置處經形成在鰭部1202之上鰭部部分1202B的一部分上方。此類閘極電極具有與第二側相對之第一側，並且界定在第一及第二側上之源極或汲極位置。舉例而言，為了說明之目的，圖12A-12D視圖之橫截面位置是在閘極電極其中一側之源極或汲極位置之一處所截取到的。

【0198】參照圖12B，鰭部1202之源極或汲極位置經凹陷以形成凹陷鰭部部分1206。鰭部1202之凹陷源極或汲極位置可在閘極電極之一側處以及在閘極電極之第二側處。在實施例中，參照圖12A與12B兩者，介電質間隔件1204是例如在閘極結構之一側處沿著鰭部1202之一部分的側壁所形成的。在一此類實施例中，凹陷鰭部1202涉及凹陷在介電質間隔件1204之頂表面1204A以下的鰭部1202。

【0199】參照圖12C，磊晶源極或汲極結構1208經形成在凹陷鰭部1206上，例如且因此可形成在閘極電極之一側上。在一此類實施例中，在此類閘極電極之第二側處，第二磊晶源極或汲極結構經形成在凹陷鰭部1206之第二部

分上。在實施例中，磊晶源極或汲極結構1208包括矽及鍺，且具有火柴棒型輪廓，如圖12C中所描繪一般。在實施例中，包括介電質間隔件1204且其沿著磊晶源極或汲極結構1208之側壁的下部分1208A，如所描繪一般。

【0200】參照圖12D，導電電極1210經形成在磊晶源極或汲極結構1208上。在實施例中，導電電極1210包括導電障壁層1210A及導電填充材料1201B。在一實施例中，導電電極1210遵循磊晶源極或汲極結構1208之輪廓，如所描繪一般。在其他實施例中，在製造導電電極1210期間，侵蝕磊晶源極或汲極結構1208之上部分。

【0201】在另一態樣中，說明鰭部調節隔離(FTI)及針對隔離鰭部之單閘極間距。運用從基板表面突出的半導體材料鰭部之非平面電晶體採用環繞鰭部之二、三、或甚至所有側之閘極電極(亦即，雙閘極、三閘極、或奈米線電晶體)。接著，典型上在閘極電極之任一側上的鰭部中形成源極及汲極區，或作為鰭部之再生長部分。為了從相鄰第二非平面電晶體之源極或汲極區隔離第一非平面電晶體之源極或汲極區，可在兩相鄰鰭部之間形成間隙或空間。此類隔離間隙通常需要某種類型之遮罩蝕刻。一旦經隔離後，閘極堆疊接著經圖案化到個別鰭部上方，通常典型上使用某種類型之遮罩蝕刻(例如，取決於特定實作之線蝕刻或開口蝕刻)。

【0202】上述鰭部隔離技術之一潛在問題在於閘極並非與鰭部端部為自對準的，以及閘極堆疊圖案與半導

體鰭部圖案之對準是倚靠此等兩圖案化之覆蓋。為此，微影覆蓋公差被添加到半導體鰭部與隔離間隙之定維度(dimensioning)中，其中鰭部需要具有更大的長度，且隔離間隙需要比針對給定層級之電晶體功能性者更大之隔離間隙。因此，降低此類過度定維度之裝置架構及製造技術會對電晶體密度提供非常有利的提高。

【0203】上述鰭部隔離技術之另一潛在問題在於半導體鰭部中期望用於提高載體遷移率的應力可能會從電晶體之通道區遺失，其中有過多鰭部表面在製造期間為空閒的，這使得鰭部應力趨向緩解(relax)。因此，維持較高層級之期望鰭部應力的裝置架構及製造技術會對非平面電晶體效能提供有利的提高。

【0204】根據本揭示內容之實施例，本文說明過閘極鰭部隔離架構及技術。在所說明例示性實施例中，非平面電晶體為微電子裝置，諸如積體電路(IC)以對電晶體之閘極電極自對準之方式而彼此互相隔離。雖然本揭示內容之實施例可應用於基本上任何採用非平面電晶體之IC，例示性IC包括但不限於包括邏輯及記憶體(SRAM)部分之微處理器核心、RFIC(例如，包括數位基頻及類比前端模組之無線IC)、及功率IC。

【0205】在實施例中，相鄰半導體鰭部之兩端部為彼此電性隔離的，其中僅使用一圖案化遮罩層級而於兩端其間相對於閘極電極設置隔離區。在實施例中，採用單遮罩以形成具有固定節距之複數個犧牲佔位條，第一子集之佔

位條界定隔離區之維度或位置而第二子集之佔位條界定閘極電極之維度或位置。在特定實施例中，第一子集之佔位條被移除以及由於該第一子集的移除而導致對開口中半導體鰭部內產生隔離切割，而第二子集之佔位條則最終被非犧牲閘極電極堆疊取代。由於針對閘極電極替換所運用之一子集之佔位(placeholder)是被採用以形成隔離區，故該方法及所產生架構在本文中被稱作「過閘極(through-gate)」隔離。本文中描述之一或多過閘極隔離實施例可舉例而言賦能更高的電晶體密度及更高層級的有利電晶體通道應力。

【0206】在設置或界定閘極電極後界定隔離，可達到更大的電晶體密度，因為可將鰭部隔離定維度及設置作成與閘極電極完全對上節距的，以令閘極電極與隔離區兩者為單遮罩層級之最小特徵節距之整數倍。在進一步其中半導體鰭部與其上設有鰭部之基板具有晶格失配的實施例中，較大程度之應力透過在設置或界定閘極電極後界定隔離而被維持住。針對此類實施例，在界定鰭部端部之前所形成的電晶體之其他特徵(諸如閘極電極及添加的源極或汲極材料)有助於在對鰭部內產生隔離切割後機械地維持鰭部應力。

【0207】為提供進一步情境，電晶體縮小可受益於晶片內較密封裝的單元。當前而言，大部分單元透過兩個或更多個具有埋入鰭部之仿閘極而與相鄰單元分離。該等單元透過蝕刻此等兩個或更多仿閘極下方的鰭部而被隔離，

該等仿閘極將一單元連接到另一單元。假若分離相鄰單元之仿閘極數量可從兩個或更多縮減到一個，則該縮小將顯著受益於此。如上述，一解決方案需要二或更多個仿閘極。在鰭部圖案化期間，蝕刻在兩個或更多仿閘極以下的鰭部。此類方法之一潛在問題在於仿閘極消耗晶片上可留給單元之空間。在實施例中，本文所述之方法賦能使用僅單仿閘極以分離相鄰的單元。

【0208】在實施例中，如自對準圖案化方案般實作鰭部調節隔離方法。在此，在單閘極下方的鰭部被蝕刻出來。因此，相鄰單元可透過單仿閘極而被分離。此類方法之優勢可包括節省晶片上之空間及針對給定區域允許有更多的運算功率。該方法亦可允許在子鰭節距距離處執行鰭部調節。

【0209】圖13A及13B說明根據本揭示內容之實施例代表鰭部圖案化之方法中的各種操作之平面圖，該鰭部圖案化具有多閘極間距以用於形成局部隔離結構。

【0210】參照圖13A，複數個鰭部1302被顯示成具有沿著第一方向1304之長度。其間具有間距1307之格線(grid)1306界定了最終用於形成複數個閘極線之位置，如沿著與第一方向1304正交之第二方向1308所示者。

【0211】參照圖13B，複數個鰭部1302之一部分被切割(例如，透過蝕刻處理而移除)以留下其內具有切割1312之鰭部1310。因此，最終形成在切割1312中的隔離結構具有多於單閘極線之維度，例如，三閘極線1306之維度。據

此，最終沿著閘極線1306之位置所形成之閘極結構將會被形成為至少部分在形成在切割1312中的隔離結構上方。因此，切割1312是相對寬的鰭部切割。

【0212】圖14A-14D說明根據本揭示內容之另一實施例代表鰭部圖案化之方法中的各種操作之平面圖，該鰭部圖案化具有單閘極間距以用於形成局部隔離結構。

【0213】參照圖14A，製造積體電路結構之方法包括形成複數個鰭部1402，該複數個鰭部1402之個別者沿著第一方向1404具有最長維度。複數個閘極結構1406在複數個鰭部1402上方，該閘極結構1406之個別者沿著與第一方向1404正交的第二方向1408具有最長維度。在實施例中，閘極結構1406為犧牲或仿閘極線，例如從多晶矽製造的。在一實施例中，複數個鰭部1402為矽鰭部且與下層矽基板之一部分為連續的。

【0214】參照圖14B，介電質材料結構1410經形成在複數個閘極結構1406之相鄰者之間。

【0215】參照圖14C，複數個閘極結構1406之一者的一部分1412經移除以暴露該複數個鰭部1402之各者的一部分1414。在實施例中，移除複數個閘極結構1406之一者的部分1412涉及使用比複數個閘極結構1406之一者的部分1412之寬度1418更寬之微影窗口1416。

【0216】參照圖14D，複數個鰭部1402之各者的暴露部分1414經移除以形成切割區1420。在實施例中，使用乾式或電漿蝕刻處理將複數個鰭部1402之各者的暴露部分

1414移除。在實施例中，移除複數個鰭部1402之各者的暴露部分1414涉及蝕刻到一小於複數個鰭部1402之高度的深度。在一此類實施例中，該深度比複數個鰭部1402中源極或汲極區的深度更大。在實施例中，該深度比複數個鰭部1402之主動部分的深度更深，以提供隔離邊限(margin)。在實施例中，移除複數個鰭部1402之各者的暴露部分1414而不蝕刻或沒有實質上蝕刻複數個鰭部1402之源極或汲極區(諸如，磊晶源極或汲極區)。在一此類實施例中，移除複數個鰭部1402之各者的暴露部分1414而不橫向蝕刻或沒有實質上橫向蝕刻複數個鰭部1402之源極或汲極區(諸如，磊晶源極或汲極區)。

【0217】在實施例中，最終以絕緣層填充切割區1420，例如在複數個鰭部1402之各者的移除部分1414之位置中。將在下文中說明例示性絕緣層或「多晶矽切割(poly cut)」或「插塞」結構。然而在其他實施例中，切割區1420僅是部分地填充有絕緣層，其中接著形成導電結構。導電結構可被用作局部互連。在實施例中，在以絕緣層或以容納局部互連結構之絕緣層來填充切割區1420之前，可透過固體源摻雜劑層將摻雜劑植入或遞送穿過切割區1420進入(一或多)鰭部之局部切割部分中。

【0218】圖15說明根據本揭示內容之實施例的具有具備多閘極間距以用於局部隔離的鰭部之積體電路結構之橫截面圖。

【0219】參照圖15，矽鰭部1502具有橫向相鄰於第二

鰭部部分1506之第一鰭部部分1504。第一鰭部部分1504透過相對寬的切割1508而與第二鰭部部分1506分離，諸如結合圖13A及13B所述者，該相對寬的切割1508具有寬度X。介電質填充材料1510經形成在相對寬的切割1508中並且電性隔離第一鰭部部分1504與第二鰭部部分1506。複數個閘極線1512是在矽鰭部1502上方，其中閘極線之各者可包括閘極介電質及閘極電極堆疊1514、介電帽層1516、及側壁間隔件1518。兩個閘極線(左側兩個閘極線1512)佔據相對寬的切割1508，且因此第一鰭部部分1504透過實際上兩個仿或不主動閘極而與第二鰭部部分1506分離。

【0220】相比之下，鰭部部分可透過單閘極距離而被分離。作為實例，圖16A說明根據本揭示內容之另一實施例的具有具備單閘極間距以用於局部隔離的鰭部之積體電路結構之橫截面圖。

【0221】參照圖16A，矽鰭部1602具有橫向相鄰於第二鰭部部分1606之第一鰭部部分1604。第一鰭部部分1604透過相對窄的切割1608而與第二鰭部部分1606分離，諸如結合圖14A-14D所述者，該相對窄的切割1608具有寬度Y，其中Y小於圖15之X。介電質填充材料1610經形成在相對窄的切割1608中並且電性隔離第一鰭部部分1604與第二鰭部部分1606。複數個閘極線1612是在矽鰭部1602上方，其中閘極線之各者可包括閘極介電質及閘極電極堆疊1614、介電帽層1616、及側壁間隔件1618。介電質填充材料1610佔據其中先前為單閘極線之位置，並且因此第一鰭

部部分1604透過單「插塞」閘極線而與第二鰭部部分1606分離。在一實施例中，殘餘間隔件材料1620維持在經移除閘極線部分之位置的側壁上，如所描繪一般。應瞭解，鰭部1602之其他區可透過由先前、更寬鰭部切割處理所製造的二或更多個不主動閘極線(區1622具有三個不主動閘極線)而與彼此區隔離，如下文所述。

【0222】再次參照圖16A，積體電路結構1600包括諸如矽鰭部之鰭部1602。鰭部1602沿著第一方向1650具有最長維度。隔離結構1610沿著第一方向1650將鰭部1602之第一上部分1604與鰭部1602之第二上部分1606分離。隔離結構1610沿著第一方向1650具有中心1611。

【0223】第一閘極結構1612A在鰭部1602之第一上部分1604上方，該第一閘極結構1612A沿著與第一方向1650正交的第二方向1652(例如，進入頁面中)具有最長維度。第一閘極結構1612A之中心1613A沿著第一方向1650與隔離結構1610之中心1611間距一節距。第二閘極結構1612B在鰭部之第一上部分1604上方，該第二閘極結構1612B沿著第二方向1652具有最長維度。第二閘極結構1612B之中心1613B沿著第一方向1650與第一閘極結構1612A之中心1613A間距該節距。第三閘極結構1612C在鰭部1602之第二上部分1606上方，該第三閘極結構1612C沿著第二方向1652具有最長維度。第三閘極結構1612C之中心1613C沿著第一方向1650與隔離結構1610之中心1611間距該節距。在實施例中，隔離結構1610具有實質上與第一閘極結構

1612A之頂部、與第二閘極結構1612B之頂部、及與第三閘極結構1612C之頂部共平面之頂部，如所描繪一般。

【0224】在實施例中，第一閘極結構1612A、第二閘極結構1612B及第三閘極結構1612C之各者包括閘極電極1660，該閘極電極1660在高k值閘極介電層1662上及在其側壁間，如針對例示性第三閘極結構1612C所說明的。在一此類實施例中，第一閘極結構1612A、第二閘極結構1612B及第三閘極結構1612C之各者進一步包括絕緣帽蓋1616，該絕緣帽蓋1616在閘極電極1660上以及在高k值閘極介電層1662之側壁上。

【0225】在實施例中，積體電路結構1600進一步包括在第一閘極結構1612A與隔離結構1610之間在鰭部1602之第一上部分1604上的第一磊晶半導體區1664A。第二磊晶半導體區1664B是在第一閘極結構1612A與第二閘極結構1612B之間在鰭部1602之第一上部分1604上。第三磊晶半導體區1664C是在第三閘極結構1612C與隔離結構1610之間在鰭部1602之第二上部分1606上。在一實施例中，第一1664A、第二1664B、及第三1664C磊晶半導體區包括矽及鍺。在另一實施例中，第一1664A、第二1664B、及第三1664C磊晶半導體區包括矽。

【0226】在實施例中，隔離結構1610對鰭部1602之第一上部分1604及對鰭部1602之第二上部分1606誘發應力。在一實施例中，該應力為壓縮應力。在另一實施例中，該應力為伸張應力。在其他實施例中，隔離結構1610是部分

地填充有絕緣層，其中接著形成導電結構。導電結構可被用作局部互連。在實施例中，在以絕緣層或以容納局部互連結構之絕緣層來形成隔離結構1610之前，透過固體源摻雜劑層將摻雜劑植入或遞送進入(一或多)鰭部之局部切割部分中。

【0227】在另一態樣中，應瞭解可在鰭部切割之局部位置或鰭部切割之較寬位置處形成諸如上述隔離結構1610等隔離結構以取代主動閘極電極。附加地，鰭部切割之此類局部或較寬位置之深度可形成為鰭部內相對於彼此為不同之深度。在第一實例中，圖16B說明根據本揭示內容之實施例的橫截面圖，其顯示其中可能形成鰭部隔離結構以取代閘極電極之位置。

【0228】參照圖16B，諸如矽鰭部之鰭部1680經形成在基板1682以上並且可與該基板1682為連續的。鰭部1680具有鰭部端部或寬鰭部切割1684，例如，其可形成於諸如上述鰭部調最後方法(fin trim last approach)等節鰭部圖案化之時刻。鰭部1680亦具有局部切割1686，其中例如使用鰭部調節隔離方法而移除鰭部1680之一部分，在該方法中以介電質插塞來替代仿閘極，如上述。主動閘極電極1688經形成在鰭部上方，為了說明之目的其被顯示成略為在鰭部1680前端，而鰭部1680在背後，其中虛線代表前視圖覆蓋之區域。介電質插塞1690可形成在鰭部端部或寬鰭部切割1684處，以取代在此類位置使用主動閘極。此外，或在替代方案中，介電質插塞1692可形成在局部切割1686處，

以取代在此類位置使用主動閘極。應瞭解磊晶源極或汲極區1694亦經顯示成在主動閘極電極1688與插塞1690或1692間的鰭部1680之位置處。附加地在實施例中，在局部切割1686處鰭部端部之表面粗糙度比在寬切割位置處鰭部端部者更粗糙，如圖16B所描繪一般。

【0229】圖17A-17C說明根據本揭示內容之實施例的針對使用鰭部調節隔離方法所製造之鰭部切割的各種深度可能性。

【0230】參照圖17A，諸如矽鰭部之半導體鰭部1700經形成在下層基板1702以上並且可與該基板1702為連續的。鰭部1700具有下鰭部部分1700A及上鰭部部分1700B，如絕緣結構1704相對於鰭部1700之高度所界定。局部鰭部隔離切割1706A將鰭部1700分離成第一鰭部部分1710與第二鰭部部分1712。在圖17A之實例中，如沿著a-a'軸所顯示，局部鰭部隔離切割1706A之深度是鰭部1700到基板1702之整個深度。

【0231】參照圖17B，在第二實例中，如沿著a-a'軸所顯示，局部鰭部隔離切割1706B之深度比鰭部1700到基板1702之整個深度更深。亦即，切割1706B延伸進入下層基板1702中。

【0232】參照圖17C，在第三實例中，如沿著a-a'軸所顯示，局部鰭部隔離切割1706C之深度比鰭部1700之整個深度更淺，但比隔離結構1704之上表面更深。再參照圖17C，在第四實例中，如沿著a-a'軸所顯示，局部鰭部隔

離切割1706D之深度比鰭部1700之整個深度更淺，但在與隔離結構1704之上表面約為共平面之層級。

【0233】圖18說明根據本揭示內容之實施例的平面圖以及沿著a-a'軸所截取到的對應橫截面圖，其顯示針對鰭部內的鰭部切割之局部位置對上更寬位置的深度之可能選項。

【0234】參照圖18，第一及第二半導體鰭部1800及1802，諸如矽鰭部，具有延伸到絕緣結構1804以上之上鰭部部分1800B及1802B。鰭部1800與1802兩者皆具有鰭部端部或寬鰭部切割1806，例如，其可形成於諸如上述鰭部調節最後方法等鰭部圖案化之時刻。鰭部1800與1802兩者亦具有局部切割1808，其中例如使用鰭部調節隔離方法而移除鰭部1800或1802之一部分，在該方法中以介電質插塞來替代仿閘極，如上述。在實施例中，在局部切割1808處鰭部1800與1802端部之表面粗糙度比在1806位置處鰭部端部者更粗糙，如圖18所描繪一般。

【0235】參照圖18之橫截面圖，下鰭部部分1800A及1802A可視為在絕緣結構1804之高度以下。另外，在橫截面圖中可見鰭部之剩餘部分1810，該鰭部是在形成絕緣結構1804之前於鰭部調節最後處理時所移除的，如上述。雖然顯示為突出於基板以上，但剩餘部分1810亦可在基板之層級處或進入基板中，如透過附加例示性寬切割深度1820所描繪一般。應瞭解針對鰭部1800及1802之寬切割1806亦可在針對切割深度1820所描述之層級處，將描繪該實例。

如所描繪的，局部切割1808可具有對應於針對圖17A-17C所述深度之例示性深度。

【0236】根據本揭示內容之實施例統一參照圖16A、16B、17A-17C及18，積體電路結構包括包含矽之鰭部，該鰭部具有頂部及側壁，其中該頂部沿著第一方向具有最長維度。第一隔離結構沿著第一方向將鰭部的第一部分之第一端部與鰭部的第二部分之第一端部分離。第一隔離結構具有沿著第一方向之寬度。鰭部的第一部分之第一端部具有表面粗糙度。閘極結構包括在鰭部的第一部分之一區的頂部上方以及橫向相鄰於鰭部的第一部分之一區的側壁之閘極電極。閘極結構具有沿著第一方向之寬度，以及該閘極結構之中心沿著第一方向與第一隔離結構之中心間距一節距。第二隔離結構是在鰭部之第一部分之第二端部上方，該第二端部是與第一端部相對。第二隔離結構具有沿著第一方向之寬度，以及鰭部之第一部分之第二端部具有小於鰭部之第一部分之第一端部的表面粗糙度之粗糙度。第二隔離結構之中心沿著第一方向與閘極結構之中心間距該節距。

【0237】在一實施例中，鰭部的第一部分之第一端部具有扇形形貌，如圖16B所描繪一般。在一實施例中，第一磊晶半導體區是在閘極結構與第一隔離結構之間在鰭部之第一部分上。第二磊晶半導體區是在閘極結構與第二隔離結構之間在鰭部之第一部分上。在一實施例中，第一與第二磊晶半導體區具有沿著與第一方向正交之第二方向的

寬度，該沿著第二方向之寬度比閘極結構下方沿著第二方向的鰭部之第一部分的寬度更寬，例如，如結合圖11與12D所描述之磊晶特徵具有比圖11與12D所示視角中其上生長該磊晶特徵的鰭部部分更寬的寬度。在一實施例中，閘極結構進一步包括高k值介電層在閘極電極與鰭部之第一部分之間並且沿著閘極電極之側壁。

【0238】根據本揭示內容之另一實施例統一參照圖16A、16B、17A-17C及18，積體電路結構包括包含矽之鰭部，該鰭部具有頂部及側壁，其中該頂部沿著一方向具有最長維度。第一隔離結構沿著該方向將鰭部的第一部分之第一端部與鰭部的第二部分之第一端部分離。鰭部的第一部分之第一端部具有一深度。閘極結構包括在鰭部的第一部分之一區的頂部上方以及橫向相鄰於鰭部的第一部分之一區的側壁之閘極電極。第二隔離結構是在鰭部之第一部分之第二端部上方，該第二端部是與第一端部相對。鰭部之第一部分之第二端部具有與鰭部之第一部分之第一端部的深度不同之深度。

【0239】在一實施例中，鰭部之第一部分之第二端部之深度小於鰭部之第一部分之第一端部的深度。在一實施例中，鰭部之第一部分之第二端部之深度大於鰭部之第一部分之第一端部的深度。在一實施例中，第一隔離結構具有沿著該方向之寬度，以及閘極結構具有沿著該方向之寬度。第二隔離結構具有沿著該方向之寬度。在一實施例中，閘極結構之中心沿著該方向與第一隔離結構之中心間

距一節距，以及第二隔離結構之中心沿著該方向與閘極結構之中心間距該節距。

【0240】根據本揭示內容之另一實施例統一參照圖16A、16B、17A-17C及18，積體電路結構包括包含矽之第一鰭部，該第一鰭部具有頂部及側壁，其中該頂部沿著一方向具有最長維度，以及具有沿著該方向將第一鰭部之第一部分的第一端部與鰭部之第二部分的第一端部分離之不連續性。第一鰭部之第一部分具有與第一端部相對之第二端部，以及鰭部之第一部分的第一端部具有一深度。積體電路結構亦包括包含矽之第二鰭部，該第二鰭部具有頂部及側壁，其中該頂部沿著該方向具有最長維度。積體電路結構亦包括在第一鰭部與第二鰭部之間的剩餘或殘餘鰭部部分。該殘餘鰭部具有頂部及側壁，其中該頂部沿著該方向具有最長維度，以及該頂部與鰭部之第一部分的第一端部之深度非共平面。

【0241】在一實施例中，鰭部之第一部分之第一端部之深度是低於剩餘或殘餘鰭部部分之頂部。在一實施例中，鰭部之第一部分之第二端部具有與鰭部之第一部分之第一端部的深度共平面之深度。在一實施例中，鰭部之第一部分之第二端部具有低於鰭部之第一部分之第一端部的深度之深度。在一實施例中，鰭部之第一部分之第二端部具有高於鰭部之第一部分之第一端部的深度之深度。在一實施例中，鰭部之第一部分之第一端部之深度是高於剩餘或殘餘鰭部部分之頂部。在一實施例中，鰭部之第一部分

之第二端部具有與鰭部之第一部分之第一端部的深度共平面之深度。在一實施例中，鰭部之第一部分之第二端部具有低於鰭部之第一部分之第一端部的深度之深度。在一實施例中，鰭部之第一部分之第二端部具有高於鰭部之第一部分之第一端部的深度之深度。在一實施例中，鰭部之第一部分之第二端部具有與殘餘鰭部部分之頂部共平面之深度。在一實施例中，鰭部之第一部分之第二端部具有低於殘餘鰭部部分之頂部之深度。在一實施例中，鰭部之第一部分之第二端部具有高於殘餘鰭部部分之頂部之深度。

【0242】在另一態樣中，形成於局部或寬鰭部切割位置中的介電質插塞可訂做修改以提供特定應力到鰭部或鰭部部分。在此類實作中，介電質插塞可被稱作鰭部端部應力源。

【0243】一或多實施例可涉及鰭部為基半導體裝置之製造。可經由自多晶插塞填充處理所誘發的通道應力做出針對此類裝置之效能提高。實施例可包括利用多晶插塞填充處理中的材料性質以於金屬氧化物半導體場效電晶體(MOSFET)通道中誘發機械應力。結果導致誘發的應力可增強電晶體之遷移率與驅動電流。此外，本文所述插塞填充之方法可允許於沉積期間消除任何接縫或空穴之形成。

【0244】為提供情境，操縱抵著鰭部之插塞填充的特殊材料性質可於通道內誘發應力。根據一或多實施例，透過調整插塞填充材料之組成物、沉積及處理後條件，通道中的應力經調變以受益NMOS與PMOS電晶體兩者。此

外，相較於諸如磊晶源極或汲極等其他共用應力源技術，此類插塞可更深常駐於鰭部基板中。用以達成此類效果之插塞填充之性質亦會於沉積期間消除接縫或空穴，並且減輕處理期間之特定缺陷模式。

【0245】為提供進一步情境，目前沒有蓄意加工用於閘極(多)插塞之應力。隨著裝置節距縮小，源自諸如磊晶源極或汲極、仿多晶閘極移除、應力襯墊等習知應力源之應力增強不幸的趨向於減少。根據本揭示內容之一或多實施例，為解決一或多上述問題，將附加應力源併入電晶體結構中。使用此類處理之另一可能優勢可能會是消除插塞內之接縫或空穴，這可能與其他化學氣相沉積方法相同。

【0246】圖19A及19B說明根據本揭示內容之實施例在鰭部具有寬切割之端部處選擇鰭部端部應力源位置，例如作為上述鰭部調節最後處理的部分，之方法中各種操作之橫截面圖。

【0247】參照圖19A，諸如矽鰭部之鰭部1900經形成在基板1902以上並且可與該基板1902為連續的。鰭部1900具有鰭部端部或寬鰭部切割1904，例如，其可形成於諸如上述鰭部調最後方法(fin trim last approach)等節鰭部圖案化之時刻。主動閘極電極位置1906及仿閘極電極位置1908經形成在鰭部1900上方，為了說明之目的其被顯示成略為在鰭部1900前端，而鰭部1900在背後，其中虛線代表前視圖覆蓋之區域。應瞭解磊晶源極或汲極區1910亦經顯示成在閘極位置1906與1908間的鰭部1900之位置處。附加地，

層間介電質材料1912被包括在閘極位置1906與1908間的鰭部1900之位置處。

【0248】參照圖19B，移除閘極佔位結構或仿閘極位置1908，暴露了鰭部端部或寬鰭部切割1904。該移除造成開口1920，最終可在其中形成例如鰭部端部應力源介電質插塞等介電質插塞。

【0249】圖20A及20B說明根據本揭示內容之實施例在鰭部具有局部切割之端部處選擇鰭部端部應力源位置，例如作為上述鰭部調節隔離處理的部分，之方法中各種操作之橫截面圖。

【0250】參照圖20A，諸如矽鰭部之鰭部2000經形成在基板2002以上並且可與該基板2002為連續的。鰭部2000具有局部切割2004，其中例如使用鰭部調節隔離方法而移除鰭部2000之一部分，在該方法中移除仿閘極以及鰭部被蝕刻到局部位置中，如上述。主動閘極電極位置2006及仿閘極電極位置2008經形成在鰭部2000上方，為了說明之目的其被顯示成略為在鰭部2000前端，而鰭部2000在背後，其中虛線代表前視圖覆蓋之區域。應瞭解磊晶源極或汲極區2010亦經顯示成在閘極位置2006與2008間的鰭部2000之位置處。附加地，層間介電質材料2012被包括在閘極位置2006與2008間的鰭部2000之位置處。

【0251】參照圖20B，移除閘極佔位結構或仿閘極電極位置2008，暴露了具有局部切割2004之鰭部端部。該移除造成開口2020，最終可在其中形成例如鰭部端部應力源

介電質插塞等介電質插塞。

【0252】圖21A-21M說明根據本揭示內容之實施例在製造具有差異鰭部端部介電質插塞的積體電路結構之方法中的各種操作之橫截面圖。

【0253】參照圖21A，起始結構2100包括NMOS區及PMOS區。起始結構2100之NMOS區包括諸如第一矽鰭部之第一鰭部2102，經形成在基板2104以上並且可與該基板2104為連續的。第一鰭部2102具有鰭部端部2106，其可形成自局部或寬鰭部切割。第一主動閘極電極位置2108及第一仿閘極電極位置2110經形成在第一鰭部2102上方，為了說明之目的其被顯示成略為在第一鰭部2102前端，而第一鰭部2102在背後，其中虛線代表前視圖覆蓋之區域。諸如磊晶矽源極或汲極結構的磊晶N型源極或汲極區2112亦經顯示成在閘極位置2108與2110間的第一鰭部2102之位置處。附加地，層間介電質材料2114被包括在閘極位置2108與2110間的第一鰭部2102之位置處。

【0254】起始結構2100之PMOS區包括諸如第二矽鰭部之第二鰭部2122，經形成在基板2104以上並且可與該基板2104為連續的。第二鰭部2122具有鰭部端部2126，其可形成自局部或寬鰭部切割。第二主動閘極電極位置2128及第二仿閘極電極位置2130經形成在第二鰭部2122上方，為了說明之目的其被顯示成略為在第二鰭部2122前端，而第二鰭部2122在背後，其中虛線代表前視圖覆蓋之區域。諸如磊晶矽鍺源極或汲極結構的磊晶P型源極或汲極區2132

亦經顯示成在閘極位置2128與2130間的第二鰭部2122之位置處。附加地，層間介電質材料2134被包括在閘極位置2128與2130間的第二鰭部2122之位置處。

【0255】參照圖21B，移除個別在位置2110及2130處之第一及第二仿閘極電極。一旦經移除，第一鰭部2102之鰭部端部2106以及第二鰭部2122之鰭部端部2126被暴露。該移除亦個別造成開口2116及2136，最終可在其中形成例如鰭部端部應力源介電質插塞等介電質插塞。

【0256】參照圖21C，材料襯墊2140經形成為與圖21B之結構共形。在實施例中，材料襯墊包括矽及氮，諸如氮化矽材料襯墊。

【0257】參照圖21D，諸如金屬氮化物層的保護冠層2142經形成在圖21C之結構上。

【0258】參照圖21E，諸如碳為基硬遮罩材料的硬遮罩材料2144經形成在圖21D之結構上方。微影遮罩或遮罩堆疊2146經形成在硬遮罩材料2144上方。

【0259】參照圖21F，從圖21E之結構移除PMOS區中的硬遮罩材料2144之部分以及保護冠層2142之部分。亦移除微影遮罩或遮罩堆疊2146。

【0260】參照圖21G，第二材料襯墊2148經形成為與圖21F之結構共形。在實施例中，第二材料襯墊包括矽及氮，諸如第二氮化矽材料襯墊。在實施例中，第二材料襯墊2148具有不同的應力狀態，以調整暴露插塞中的應力。

【0261】參照圖21H，諸如第二碳為基硬遮罩材料的

第二硬遮罩材料2150經形成在圖21G之結構上方並且接著經凹陷成在結構之PMOS區之開口2136內。

【0262】參照圖21I，從圖2H之結構蝕刻第二材料襯墊2148以從NMOS區移除第二材料襯墊2148並且凹陷結構之PMOS區中的第二材料襯墊2148。

【0263】參照圖2J，從圖2I之結構移除硬遮罩材料2144、保護冠層2142、以及第二硬遮罩材料2150。相較於開口2136，該移除分別為開口2116留下兩個不同的填充結構。

【0264】參照圖2K，於圖2J之結構的開口2116與2136中形成絕緣填充材料2152並且經平面化。在實施例中，絕緣填充材料2152為可流動的氧化物材料，諸如可流動的氧化矽或二氧化矽材料。

【0265】參照圖2L，將圖2K之結構的開口2116與2136中的絕緣填充材料2152凹陷以形成凹陷絕緣填充材料2154。在實施例中，執行蒸汽氧化處理作為凹陷處理之部分，或在凹陷處理之後執行蒸汽氧化處理以固化凹陷絕緣填充材料2154。在一此類實施例中，凹陷絕緣填充材料2154縮小，對鰭部2102及2122誘發伸張應力。然而，相較於NMOS區，PMOS區中有相對較少的伸張應力誘發材料。

【0266】參照圖21M，第三材料襯墊2156是在圖21L之結構上方。在實施例中，第三材料襯墊2156包括矽及氮，諸如第三氮化矽材料襯墊。在實施例中，第三材料襯

墊2156防止凹陷絕緣填充材料2154在接續源極或汲極接點蝕刻期間被蝕刻掉。

【0267】圖22A-22D說明根據本揭示內容之實施例的PMOS鰭部端部應力源介電質插塞之例示性結構的橫截面圖。

【0268】參照圖22A，結構2100之PMOS區上的開口2136包括沿著開口2136側壁之材料襯墊2140。第二材料襯墊2148與材料襯墊2140之下部分共形，但第二材料襯墊2148相對於材料襯墊2140之上部分被凹陷。凹陷絕緣填充材料2154是在第二材料襯墊2148內且具有與第二材料襯墊2148之上表面共平面的上表面。第三材料襯墊2156是在材料襯墊2140之上部分內以及在絕緣填充材料2154之上表面上，並且在第二材料襯墊2148之上表面上。第三材料襯墊2156具有接縫2157，例如為用以形成第三材料襯墊2156之沉積處理的產物。

【0269】參照圖22B，結構2100之PMOS區上的開口2136包括沿著開口2136側壁之材料襯墊2140。第二材料襯墊2148與材料襯墊2140之下部分共形，但第二材料襯墊2148相對於材料襯墊2140之上部分被凹陷。凹陷絕緣填充材料2154是在第二材料襯墊2148內且具有與第二材料襯墊2148之上表面共平面的上表面。第三材料襯墊2156是在材料襯墊2140之上部分內以及在絕緣填充材料2154之上表面上，並且在第二材料襯墊2148之上表面上。第三材料襯墊2156不具有接縫。

【0270】參照圖22C，結構2100之PMOS區上的開口2136包括沿著開口2136側壁之材料襯墊2140。第二材料襯墊2148與材料襯墊2140之下部分共形，但第二材料襯墊2148相對於材料襯墊2140之上部分被凹陷。凹陷絕緣填充材料2154是在第二材料襯墊2148內以及上方且具有在第二材料襯墊2148之上表面以上的上表面。第三材料襯墊2156是在材料襯墊2140之上部分內以及在絕緣填充材料2154之上表面上。第三材料襯墊2156被顯示成不具接縫，但在其他實施例中該第三材料襯墊2156具有接縫。

【0271】參照圖22D，結構2100之PMOS區上的開口2136包括沿著開口2136側壁之材料襯墊2140。第二材料襯墊2148與材料襯墊2140之下部分共形，但第二材料襯墊2148相對於材料襯墊2140之上部分被凹陷。凹陷絕緣填充材料2154是在第二材料襯墊2148內且具有經凹陷成在第二材料襯墊2148之上表面以下的上表面。第三材料襯墊2156是在材料襯墊2140之上部分內以及在絕緣填充材料2154之上表面上，並且在第二材料襯墊2148之上表面上。第三材料襯墊2156被顯示成不具接縫，但在其他實施例中該第三材料襯墊2156具有接縫。

【0272】根據本揭示內容之實施例統一參照圖19A、19B、20A、20B、21A-21M及22A-22D，積體電路結構包括諸如矽鰭部等鰭部，該鰭部具有頂部及側壁。該頂部沿著一方向具有最長維度。第一隔離結構是在鰭部之第一端部上方。閘極結構包括在鰭部之一區的頂部上方以及橫向

相鄰於鰭部之一區的側壁之閘極電極。閘極結構沿著該方向與第一隔離結構間隔開。第二隔離結構是在鰭部之第二端部上方，該第二端部是與第一端部相對。第二隔離結構沿著該方向與閘極結構間隔開。第一隔離結構及第二隔離結構皆包括橫向環繞凹陷第二介電質材料(例如，第二材料襯墊2148)之第一介電質材料(例如，材料襯墊2140)，該第二介電質材料與第一介電質材料不同。凹陷第二介電質材料橫向環繞第三介電質材料(例如，凹陷絕緣填充材料2154)之至少一部分，該第三介電質材料與第一及第二介電質材料不同。

【0273】在一實施例中，第一隔離結構及第二隔離結構皆進一步包括被第一介電質材料之上部分橫向環繞的第四介電質材料(例如，第三材料襯墊2156)，該第四介電質材料是在第三介電質材料之上表面上。在一此類實施例中，第四介電質材料進一步在第二介電質材料之上表面上。在另一此類實施例中，第四介電質材料具有近似垂直之中央接縫。在另一此類實施例中，第四介電質材料不具有接縫。

【0274】在一實施例中，第三介電質材料具有與第二介電質材料之上表面共平面之上表面。在一實施例中，第三介電質材料具有在第二介電質材料之上表面以下之上表面。在一實施例中，第三介電質材料具有在第二介電質材料之上表面以上之上表面，以及該第三介電質材料進一步在第二介電質材料之上表面上方。在一實施例中，第一及

第二隔離結構對鰭部誘發壓縮應力。在一此類實施例中，閘極電極為P型閘極電極。

【0275】在一實施例中，第一隔離結構具有沿著該方向之寬度，閘極結構具有沿著該方向之寬度，以及第二隔離結構具有沿著該方向之寬度。在一此類實施例中，閘極結構之中心沿著該方向與第一隔離結構之中心間距一節距，以及第二隔離結構之中心沿著該方向與閘極結構之中心間距該節距。在一實施例中，第一及第二隔離結構皆在層間介電層中的對應溝槽中。

【0276】在一此類實施例中，第一源極或汲極區是在閘極結構與第一隔離結構之間。第二源極或汲極區是在閘極結構與第二隔離結構之間。在一此類實施例中，第一及第二源極或汲極區為包括矽及鍺之嵌入式源極或汲極區。在一此類實施例中，閘極結構進一步包括高k值介電層在閘極電極與鰭部之間並且沿著閘極電極之側壁。

【0277】在另一態樣中，半導體結構內或形成在共用基板上之架構內的個別介電質插塞之深度可為不同的。作為實例，圖23A說明根據本揭示內容之另一實施例的具有鰭部端部應力誘發特徵之另一半導體結構的橫截面圖。參照圖23A，包括淺介電質插塞2308A，以及連帶包括一對深介電質插塞2308B及2308C。在一此類實施例中，如所描繪的，淺介電質插塞2308A是在約等於基板2304內半導體鰭部2302之深度的深度處，而該對深介電質插塞2308B及2308C是在基板2304內半導體鰭部2302之深度以下的深

度處。

【0278】再次參照圖23A，此類配置可賦能對溝槽中的鰭部調節隔離(FTI)裝置之應力放大，該溝槽更深地蝕刻進入基板2304中以為了提供相鄰鰭部2302間的隔離。可實作此類方法以增加晶片上電晶體之密度。在實施例中，從插塞填充對電晶體誘發之應力效應在FTI電晶體中被放大，這是因為應力轉移發生在鰭部與電晶體下方之阱或基板中。

【0279】在另一態樣中，半導體結構內或形成在共用基板上之架構內的介電質插塞中所包括之伸張應力誘發氧化物層之寬度或量可為不同的，例如取決於該裝置是PMOS裝置或NMOS裝置。作為實例，圖23B說明根據本揭示內容之另一實施例的具有鰭部端部應力誘發特徵之另一半導體結構的橫截面圖。參照圖23B，在特定實施例中相較於對應PMOS裝置，NMOS裝置包括相對較多的伸張應力誘發氧化物層2350。

【0280】再次參考圖23B，在實施例中，實作差異插塞填充以於NMOS及PMOS中誘發適當的應力。舉例而言，相較於PMOS插塞2308F及2308G，NMOS插塞2308D及2308E具有較大量及較大寬度之伸張應力誘發氧化物層2350。插塞填充可經圖案化以於NMOS及PMOS裝置中誘發不同應力。舉例而言，可使用微影圖案化以開啟(open up)PMOS裝置(例如，增寬介電質插塞溝槽以用於PMOS裝置)，在該時刻可執行不同的填充選項以使NMOS裝置中的

插塞填充對上PMOS裝置中的插塞填充差異化。在例示性實施例中，降低PMOS裝置上插塞中的可流動氧化物之體積可降低誘發的伸張應力。在一此類實施例中，例如來自壓縮應力源極及汲極區之壓縮應力可為主導的。在其他實施例中，使用不同的插塞襯墊或不同的填充材料提供可調應力控制。

【0281】如上述，應瞭解多晶插塞應力效應可使NMOS電晶體(例如，伸張通道應力)及PMOS電晶體(例如，壓縮通道應力)兩者受益。根據本揭示內容之實施例，半導體鰭部是單軸受力(uniaxially stressed)的半導體鰭部。單軸受力的半導體鰭部可在伸張應力或壓縮應力下單軸地受力。舉例而言，根據本揭示內容之實施例，圖24A說明具有伸張單軸應力的鰭部之斜角圖，而圖24B說明具有壓縮單軸應力的鰭部之斜角圖。

【0282】參照圖24A，半導體鰭部2400具有分離通道區(C)設置於其內。源極區(S)及汲極區(D)經設置在半導體鰭部2400中在通道區(C)之任一側上。半導體鰭部2400之分離通道區具有從源極區(S)沿著單軸伸張應力方向(彼此互相遠離並且指向端部2402與2404之箭頭)到汲極區(D)之電流(current flow)方向。

【0283】參照圖24B，半導體鰭部2450具有分離通道區(C)設置於其內。源極區(S)及汲極區(D)經設置在半導體鰭部2450中在通道區(C)之任一側上。半導體鰭部2450之分離通道區具有從源極區(S)沿著單軸壓縮應力方向(從端

部2452與2454指向彼此互相接近之箭頭)到汲極區(D)之電流(current flow)方向。據此，可實作本文所描述之實施例以提高電晶體遷移率以及驅動電流，允許實現較快執行之電路及晶片。

【0284】在另一態樣中，其中做出閘極線切割(多晶矽切割)並且做出鰭部調節隔離(FTI)局部鰭部切割的位置之間的關係可能存在關係。在實施例中，僅在其中做出多晶矽切割的位置中做出FTI局部鰭部切割。然而在一此類實施例中，並不必然在每個其中做出多晶矽切割的位置處做出FTI切割。

【0285】圖25A及25B說明根據本揭示內容之實施例代表鰭部圖案化之方法中的各種操作之平面圖，該鰭部圖案化具有單閘極間距以用於在所選閘極線切割位置中形成局部隔離結構。

【0286】參照圖25A，製造積體電路結構之方法包括形成複數個鰭部2502，該複數個鰭部2502之個別者沿著第一方向2504具有最長維度。複數個閘極結構2506在複數個鰭部2502上方，該閘極結構2506之個別者沿著與第一方向2504正交的第二方向2508具有最長維度。在實施例中，閘極結構2506為犧牲或仿閘極線，例如從多晶矽製造的。在一實施例中，複數個鰭部2502為矽鰭部且與下層矽基板之一部分為連續的。

【0287】再次參照圖25A，介電質材料結構2510經形成在複數個閘極結構2506之相鄰者之間。複數個閘極結構

2506之兩者的部分2512及2513經移除以暴露該複數個鰭部2502之各者的部分。在實施例中，移除閘極結構2506之兩者的部分2512及2513涉及使用比閘極結構2506之部分2512及2513的各者之寬度更寬之微影窗口。在位置2512處的複數個鰭部2502之各者的暴露部分經移除以形成切割區2520。在實施例中，使用乾式或電漿蝕刻處理將複數個鰭部2502之各者的暴露部分移除。然而，在位置2513處的複數個鰭部2502之各者的暴露部分經遮罩以免被移除。在實施例中，區2512/2520代表多晶矽切割及FTI局部鰭部切割。然而，位置2513僅代表多晶矽切割。

【0288】參照圖25B，多晶矽切割及FTI局部鰭部切割之位置2512/2520以及多晶矽切割之位置2513被填充有諸如介電質插塞之絕緣結構2530。將在下文中說明例示性絕緣結構或「多晶矽切割」或「插塞」結構。

【0289】圖26A-26C說明根據本揭示內容之實施例的用於圖25B的結構之各個區域的多晶矽切割和FTI局部鰭部切割位置和僅多晶矽切割位置的介電質插塞的各種可能性之橫截面圖。

【0290】參照圖26A，沿著圖25B的結構之a-a'軸顯示位置2513處介電質插塞2530之一部分2600A的橫截面圖。介電質插塞2530之部分2600A被顯示成在未切割鰭部2502上以及在介電質材料結構2510間。

【0291】參照圖26B，沿著圖25B的結構之b-b'軸顯示位置2512處介電質插塞2530之一部分2600B的橫截面圖。

介電質插塞2530之部分2600B被顯示成在切割的鰭部位置2520上以及在介電質材料結構2510間。

【0292】參照圖26C，沿著圖25B的結構之c-c'軸顯示位置2512處介電質插塞2530之一部分2600C的橫截面圖。介電質插塞2530之部分2600C被顯示成在鰭部2502之間的溝槽隔離結構2602上以及在介電質材料結構2510間。在實施例中，其實例描述於上文中，溝槽隔離結構2602包括第一絕緣層2602A、第二絕緣層2602B、以及位於第二絕緣層2602B上之介電質填充材料2602C。

【0293】根據本揭示內容之實施例統一參照圖25A、25B及26A-26C，製造積體電路結構之方法包括形成複數個鰭部，該複數個鰭部之個別者沿著第一方向。複數個閘極結構經形成在複數個鰭部上方，該閘極結構之個別者沿著與第一方向正交的第二方向。介電質材料結構經形成在複數個閘極結構之相鄰者之間。複數個閘極結構之第一者的一部分經移除以暴露該複數個鰭部之各者的第一部分。複數個閘極結構之第二者的一部分經移除以暴露該複數個鰭部之各者的第二部分。複數個鰭部之各者的暴露第一部分經移除，但是複數個鰭部之各者的暴露第二部分並未被移除。第一絕緣結構經形成在複數個鰭部之移除的第一部分之位置中。第二絕緣結構經形成在複數個閘極結構之第二者之移除的部分之位置中。

【0294】在一實施例中，移除複數個閘極結構之第一及第二者的部分涉及使用比複數個閘極結構之第一及第二

者的各個部分之寬度更寬之微影窗口。在一實施例中，移除複數個鰭部之各者的暴露第一部分涉及蝕刻到一小於複數個鰭部之高度的深度。在一此類實施例中，該深度比複數個鰭部中源極或汲極區的深度更大。在一實施例中，複數個鰭部包括矽且與矽基板之一部分為連續的。

【0295】根據本揭示內容之另一實施例統一參照圖16A、25A、25B及26A-26C，積體電路結構包括包含矽之鰭部，該鰭部沿著第一方向具有最長維度。隔離結構是在鰭部之上部分上方，該隔離結構沿著第一方向具有中心。第一閘極結構在鰭部之上部分上方，該第一閘極結構沿著與第一方向正交的第二方向具有最長維度。第一閘極結構之中心沿著第一方向與隔離結構之中心間距一節距。第二閘極結構在鰭部之上部分上方，該第二閘極結構沿著第二方向具有最長維度。第二閘極結構之中心沿著第一方向與第一閘極結構之中心間距該節距。第三閘極結構在相對隔離結構一側的鰭部之上部分上方且遠離第一及第二閘極結構，該第三閘極結構沿著第二方向具有最長維度。第三閘極結構之中心沿著第一方向與隔離結構之中心間距該節距。

【0296】在一實施例中，第一閘極結構、第二閘極結構及第三閘極結構之各者包括閘極電極，該閘極電極在高k值閘極介電層上及在其側壁間。在一此類實施例中，第一閘極結構、第二閘極結構及第三閘極結構之各者進一步包括絕緣帽蓋，該絕緣帽蓋在閘極電極上以及在高k值閘

極介電層之側壁上。

【0297】在一實施例中，第一磊晶半導體區是在第一閘極結構與隔離結構之間在鰭部之上部分上。第二磊晶半導體區是在第一閘極結構與第二閘極結構之間在鰭部之上部分上。第三磊晶半導體區是在第三閘極結構與隔離結構之間在鰭部之上部分上。在一此類實施例中，第一、第二、及第三磊晶半導體區包括矽及鍺。在另一此類實施例中，第一、第二、及第三磊晶半導體區包括矽。

【0298】根據本揭示內容之另一實施例統一參照圖16A、25A、25B及26A-26C，積體電路結構包括在一對半導體鰭部間的淺溝槽隔離(STI)結構，該STI結構沿著第一方向具有最長維度。隔離結構是在STI結構上，該隔離結構沿著第一方向具有中心。第一閘極結構在STI結構上，該第一閘極結構沿著與第一方向正交的第二方向具有最長維度。第一閘極結構之中心沿著第一方向與隔離結構之中心間距一節距。第二閘極結構在STI結構上，該第二閘極結構沿著第二方向具有最長維度。第二閘極結構之中心沿著第一方向與第一閘極結構之中心間距該節距。第三閘極結構在相對隔離結構一側的STI結構上且遠離第一及第二閘極結構，該第三閘極結構沿著第二方向具有最長維度。第三閘極結構之中心沿著第一方向與隔離結構之中心間距該節距。

【0299】在一實施例中，第一閘極結構、第二閘極結構及第三閘極結構之各者包括閘極電極，該閘極電極在高

k值閘極介電層上及在其側壁間。在一此類實施例中，第一閘極結構、第二閘極結構及第三閘極結構之各者進一步包括絕緣帽蓋，該絕緣帽蓋在閘極電極上以及在高k值閘極介電層之側壁上。在一實施例中，該對半導體鰭部是一對矽鰭部。

【0300】在另一態樣中，不論是多晶矽切割與FTI局部鰭部切割一起或僅有多晶矽切割，用以填充該切割位置之絕緣結構或介電質插塞可以橫向延伸進入介電質間隔件或對應切割閘極線中，或甚至超越對應切割閘極線之介電質間隔件。

【0301】在第一實例中，其中溝槽接點形狀不受多晶矽切割介電質插塞之影響，圖27A說明根據本揭示內容之實施例的具有具備延伸進入閘極線之介電質間隔件的介電質插塞之閘極線切割的積體電路結構之平面圖與對應橫截面圖。

【0302】參照圖27A，積體電路結構2700A包括沿著第一方向2703具有最長維度之第一矽鰭部2702。第二矽鰭部2704沿著第一方向2703具有最長維度。絕緣體材料2706是位於第一矽鰭部2702與第二矽鰭部2704之間。閘極線2708沿著第二方向2709在第一矽鰭部2702上方以及在第二矽鰭部2704上方，第二方向2709與第一方向2703正交。閘極線2708具有第一側2708A及第二側2708B，以及具有第一端部2708C及第二端部2708D。閘極線2708在絕緣體材料2706上方具有不連續性2710，其在閘極線2708之第一端

部2708C與第二端部2708D之間。該不連續部分2710是透過介電質插塞2712填充。

【0303】在閘極線2708之第一側2708A處，溝槽接點2714沿著第二方向2709在第一矽鰭部2702上方以及在第二矽鰭部2704上方。在橫向相鄰於介電質插塞2712之位置2715處，溝槽接點2714在絕緣體材料2706上方為連續的。介電質間隔件2716是橫向位於溝槽接點2714與閘極線2708之第一側2708A之間。介電質間隔件2716沿著閘極線2708之第一側2708A與介電質插塞2712為連續的。介電質間隔件2716具有橫向相鄰於介電質插塞2712之寬度(W2)，該寬度W2比橫向相鄰於閘極線2708之第一側2708A之寬度(W1)更薄。

【0304】在一實施例中，在閘極線2708之第二側2708B處，第二溝槽接點2718沿著第二方向2709在第一矽鰭部2702上方以及在第二矽鰭部2704上方。在橫向相鄰於介電質插塞2712之位置2719處，第二溝槽接點2718在絕緣體材料2706上方為連續的。在一此類實施例中，第二介電質間隔件2720是橫向位於第二溝槽接點2718與閘極線2708之第二側2708B之間。第二介電質間隔件2720沿著閘極線2708之第二側2708B與介電質插塞2712為連續的。第二介電質間隔件具有橫向相鄰於介電質插塞2712之寬度，該寬度比橫向相鄰於閘極線2708之第二側2708B之寬度更薄。

【0305】在一實施例中，閘極線2708包含高k值閘極介電層2722、閘極電極2724、以及介電帽層2726。在一實

施例中，介電質插塞2712包含與介電質間隔件2714相同的材料但與該介電質間隔件2714分離。在一實施例中，介電質插塞2712包含與介電質間隔件2714不同的材料。

【0306】在第二實例中，其中溝槽接點形狀是受多晶矽切割介電質插塞之影響，圖27B說明根據本揭示內容之另一實施例的具有具備延伸超越閘極線之介電質間隔件的介電質插塞之閘極線切割的積體電路結構之平面圖與對應橫截面圖。

【0307】參照圖27B，積體電路結構2700B包括沿著第一方向2753具有最長維度之第一矽鰭部2752。第二矽鰭部2754沿著第一方向2753具有最長維度。絕緣體材料2756是位於第一矽鰭部2752與第二矽鰭部2754之間。閘極線2758沿著第二方向2759在第一矽鰭部2752上方以及在第二矽鰭部2754上方，第二方向2759與第一方向2753正交。閘極線2758具有第一側2758A及第二側2758B，以及具有第一端部2758C及第二端部2758D。閘極線2758在絕緣體材料2756上方具有不連續性2760，其在閘極線2758之第一端部2758C與第二端部2758D之間。該不連續部分2760是透過介電質插塞2762填充。

【0308】在閘極線2758之第一側2758A處，溝槽接點2764沿著第二方向2759在第一矽鰭部2752上方以及在第二矽鰭部2754上方。在橫向相鄰於介電質插塞2762之位置2765處，溝槽接點2764在絕緣體材料2756上方為連續的。介電質間隔件2766是橫向位於溝槽接點2764與閘極線2758

之第一側2758A之間。介電質間隔件2766沿著閘極線2758之第一側2758A但不是沿著介電質插塞2762，導致不連續介電質間隔件2766。溝槽接點2764具有橫向相鄰於介電質插塞2762之寬度(W1)，該寬度W1比橫向相鄰於介電質間隔件2766之寬度(W2)更薄。

【0309】在一實施例中，在閘極線2758之第二側2758B處，第二溝槽接點2768沿著第二方向2759在第一矽鰭部2752上方以及在第二矽鰭部2754上方。在橫向相鄰於介電質插塞2762之位置2769處，第二溝槽接點2768在絕緣體材料2756上方為連續的。在一此類實施例中，第二介電質間隔件2770是橫向位於第二溝槽接點2768與閘極線2758之第二側2758B之間。第二介電質間隔件2770沿著閘極線2758之第二側2508B但不是沿著介電質插塞2762，導致不連續介電質間隔件2770。第二溝槽接點2768具有橫向相鄰於介電質插塞2762之寬度，該寬度比橫向相鄰於第二介電質間隔件2770之寬度更薄。

【0310】在一實施例中，閘極線2758包含高k值閘極介電層2772、閘極電極2774、以及介電帽層2776。在一實施例中，介電質插塞2762包含與介電質間隔件2764相同的材料但與該介電質間隔件2764分離。在一實施例中，介電質插塞2762包含與介電質間隔件2764不同的材料。

【0311】在第三實例中，其中用於多晶矽切割位置之介電質插塞從該插塞頂部漸縮到該插塞底部，圖28A-28F說明根據本揭示內容之另一實施例的具有具備介電質插塞

之閘極線切割的積體電路結構製造方法中各種操作之橫截面圖，其中該介電質插塞具有延伸超越閘極線之介電質間隔件的上部分以及具有延伸進入閘極線之介電質間隔件的下部分。

【0312】參照圖28A，複數個閘極線2802經形成在結構2804上方，諸如在半導體鰭部之間的溝槽隔離結構上方。在一實施例中，閘極線2802之各者是犧牲或仿閘極線，例如具有仿閘極電極2806及介電質帽蓋2808。例如，在下述之介電質插塞形成之後，可接著在替換閘極處理中將此類犧牲或仿閘極線之部分替代。介電質間隔件2810是沿著閘極線2802之側壁。諸如層間介電層等介電質材料2812是在閘極線2802之間。遮罩2814經形成並且被微影圖案化以暴露閘極線2802之一者的一部分。

【0313】參照圖28B，在遮罩2814就位的情況下，使用蝕刻處理移除中間閘極線2802。接著移除遮罩2814。在實施例中，蝕刻處理侵蝕了移除的閘極線2802之介電質間隔件2810的部分，導致形成縮減的介電質間隔件2816。附加地，被遮罩2814暴露之介電質材料2812的上部分在蝕刻處理中被侵蝕，形成經侵蝕的介電質材料部分2818。在特定實施例中，諸如殘餘多晶矽等殘餘仿閘極材料2820維持在結構中，成為未完成蝕刻處理之產物。

【0314】參照圖28C，硬遮罩2822經形成在圖28B之結構上方。硬遮罩2822可與圖28B之結構的上部分共形，並且更明確的與經侵蝕的介電質材料部分2818共形。

【0315】參照圖28D，例如使用蝕刻處理以移除殘餘仿閘極材料2820，該蝕刻處理可能在化學上與用以移除閘極線2802之中央者的蝕刻處理相似。在實施例中，在移除殘餘仿閘極材料2820期間，硬遮罩2822保護經侵蝕的介電質材料部分2818免於進一步的侵蝕。

【0316】參照圖28E，移除硬遮罩2822。在一實施例中，移除硬遮罩2822而沒有侵蝕或實質上不進一步侵蝕經侵蝕的介電質材料部分2818。

【0317】參照圖28F，介電質插塞2830經形成在圖28E之結構的開口中。介電質插塞2830之上部分在經侵蝕的介電質材料部分2818上方，例如有效地超越原始間隔件2810。介電質插塞2830之下部分是相鄰於縮減的介電質間隔件2816，例如有效地進入但未超越原始間隔件2810。結果導致介電質插塞2830具有如圖28F所描繪之漸縮輪廓(tapered profile)。應瞭解介電質插塞2830可由上文針對其他多晶矽切割或FTI插塞或鰭部端部應力源所描述的材料及處理所製成。

【0318】在另一態樣中，佔位閘極結構或仿閘極結構之部分可保留在永久閘極結構下方的溝槽隔離區上方，以在接續替換閘極處理期間作為溝槽隔離區抗侵蝕之保護。舉例而言，圖29A-29C說明根據本揭示內容之實施例的在永久閘極堆疊底部部分處具有殘餘仿閘極材料的積體電路結構之平面圖與對應橫截面圖。

【0319】參照圖29A-29C，積體電路結構2900包括諸

如矽鰭部之鰭部2902，該鰭部從半導體基板2904突出。鰭部2902具有下鰭部部分2902B及上鰭部部分2902A。上鰭部部分2902A具有頂部2902C及側壁2902D。隔離結構2906環繞下鰭部部分2902B。隔離結構2906包括具有頂表面2907之絕緣材料2906C。半導體材料2908是在絕緣材料2906C之頂表面2907的一部分上。半導體材料2908是與鰭部2902分離。

【0320】閘極介電層2910是在上鰭部部分2902A之頂部2902C上方並且橫向相鄰於上鰭部部分2902A之側壁2902D。閘極介電層2910進一步在絕緣材料2906C之頂表面2907的部分上的半導體材料2908上。諸如鰭部2902的氧化部分之附加的中介閘極介電層2911可介於上鰭部部分2902A之頂部2902C上方的閘極介電層2910之間(並橫向相鄰於)上鰭部部分2902A之側壁2902D。閘極電極2912是在閘極介電層2910上方，該閘極介電層2910是在上鰭部部分2902A之頂部2902C上方並且橫向相鄰於上鰭部部分2902A之側壁2902D。閘極電極2912是進一步在閘極介電層2910上方，該閘極介電層2910是在絕緣材料2906C之頂表面2907的部分上的半導體材料2908上。第一源極或汲極區2916是相鄰於閘極電極2912之第一側，以及第二源極或汲極區2918是相鄰於閘極電極2912之第二側，該第二側相對於該第一側。在實施例中，其實例描述於上文中，隔離結構2906包括第一絕緣層2906A、第二絕緣層2906B、以及絕緣材料2906C。

【0321】在一實施例中，半導體材料2908在絕緣材料2906C之頂表面2907的部分上或包括多晶矽。在一實施例中，描繪絕緣材料2906C之頂表面2907具有凹陷，並且半導體材料2908是在該凹陷中。在一實施例中，隔離結構2906包括沿著絕緣材料2906C之底部及側壁的第二絕緣材料(2906A或2906B或2906A/2906B兩者)。在一此類實施例中，沿著絕緣材料2906C之側壁的第二絕緣材料(2906A或2906B或2906A/2906B兩者)之部分具有在絕緣材料2906C的最上表面以上之頂表面，如所描繪一般。在一實施例中，第二絕緣材料(2906A或2906B或2906A/2906B兩者)之頂表面是在半導體材料2908之最上表面以上或者與其共平面。

【0322】在一實施例中，絕緣材料2906C之頂表面2907的部分上的半導體材料2908不延伸超越閘極介電層2910。亦即，從平面圖視角來看，半導體材料2908之位置受限於被閘極堆疊2912/2910所覆蓋之區。在一實施例中，第一介電質間隔件2920是沿著閘極電極2912之第一側。第二介電質間隔件2922是沿著閘極電極2912之第二側。在一此類實施例中，閘極介電層2910進一步沿著第一介電質間隔件2920與第二介電質間隔件2922之側壁延伸，如圖29B所描繪一般。

【0323】在一實施例中，閘極電極2912包括共形導電層2912A(例如，工作函數層)。在一此類實施例中，工作函數層2912A包括鈦及氮。在另一實施例中，工作函數層

2912A包括鈦、鋁、碳及氮。在一實施例中，閘極電極2912進一步包括在工作函數層2912A上方之導電填充金屬層2912B。在一此類實施例中，導電填充金屬層2912B包括鎢。在特定實施例中，導電填充金屬層2912B包括95或更高原子百分比之鎢以及0.1至2原子百分比之氟。在一實施例中，絕緣帽蓋2924是在閘極電極2912上並且可延伸於閘極介電層2910上方，如圖29B所描繪一般。

【0324】圖30A-30D說明根據本揭示內容之另一實施例的在永久閘極堆疊底部部分處具有殘餘仿閘極材料的積體電路結構製造方法中各種操作之橫截面圖。所顯示視角是沿著圖29C之結構的a-a'軸之一部分所截取到的。

【0325】參照圖30A，製造積體電路結構之方法包括從半導體基板3002形成鰭部3000。鰭部3000具有下鰭部部分3000A及上鰭部部分3000B。上鰭部部分3000B具有頂部3000C及側壁3000D。隔離結構3004環繞下鰭部部分3000A。隔離結構3004包括具有頂表面3005之絕緣材料3004C。佔位閘極電極3006是在上鰭部部分3000B之頂部3000C上方並且橫向相鄰於上鰭部部分3000B之側壁3000D。佔位閘極電極3006包括半導體材料。

【0326】雖然並未描繪於圖30A之視角(但針對其之位置有顯示於圖29C中)，第一源極或汲極區可形成相鄰於佔位閘極電極3006之第一側，以及第二源極或汲極區可形成相鄰於佔位閘極電極3006之第二側，該第二側相對於該第一側。附加地，可沿著佔位閘極電極3006之側壁形成閘極

介電質間隔件，以及可橫向相鄰於佔位閘極電極3006形成層間介電(ILD)層。

【0327】在一實施例中，佔位閘極電極3006是或包括多晶矽。在一實施例中，如所描繪般，隔離結構3004的絕緣材料3004C之頂表面3005具有凹陷。佔位閘極電極3006之一部分在該凹陷中。在一實施例中，隔離結構3004包括沿著絕緣材料3004C之底部及側壁的第二絕緣材料(3004A或3004B或3004A與3004B兩者)，如所描繪一般。在一此類實施例中，沿著絕緣材料3004C之側壁的第二絕緣材料(3004A或3004B或3004A與3004B兩者)之部分具有在絕緣材料3004C之頂表面3005之至少一部分以上的頂表面，如所描繪一般。在一實施例中，第二絕緣材料(3004A或3004B或3004A與3004B兩者)之頂表面是在佔位閘極電極3006之一部分的最下表面以上。

【0328】參照圖30B，從上鰭部部分3000B之側壁3000D以及頂部3000C上方，例如沿著圖30A之方向3008，蝕刻佔位閘極電極3006。該蝕刻處理可被稱作替換閘極處理。在實施例中，蝕刻或替換閘極處理為不完整的，並且留下佔位閘極電極3006之一部分3012在隔離結構3004的絕緣材料3004C之頂表面3005的至少一部分上。

【0329】參照圖30A及30B兩者，在實施例中，在形成佔位閘極電極3006之前所形成的上鰭部部分3000B之氧化部分3010在蝕刻處理期間被保留，如所描繪一般。然而在另一實施例中，在形成佔位閘極電極3006之前形成佔位

閘極介電層，以及在蝕刻佔位閘極電極之後移除該佔位閘極介電層。

【0330】參照圖30C，閘極介電層3014經形成在上鰭部部分3000B之頂部3000C上方並且橫向相鄰於上鰭部部分3000B之側壁3000D。在一實施例中，閘極介電層3014經形成在上鰭部部分3000B之氧化部分3010上，該上鰭部部分3000B之氧化部分3010在上鰭部部分3000B之頂部3000C上方並且橫向相鄰於上鰭部部分3000B之側壁3000D，如所描繪一般。在另一實施例中，在蝕刻佔位閘極電極之後移除上鰭部部分3000B之氧化部分3010之情況下，閘極介電層3014經直接形成在上鰭部部分3000B上，在上鰭部部分3000B之頂部3000C上方並且橫向相鄰於上鰭部部分3000B之側壁3000D，如所描繪一般。在任一情況下，在實施例中，閘極介電層3014進一步經形成在隔離結構3004之絕緣材料3004C之頂表面3005之部分上的佔位閘極電極3006之部分3012上。

【0331】參照圖30D，永久閘極電極3016經形成在閘極介電層3014上方，該閘極介電層3014是在上鰭部部分3000B之頂部3000C上方並且橫向相鄰於上鰭部部分3000B之側壁3000D。永久閘極電極3016是進一步在閘極介電層3014上方，該閘極介電層3014是在絕緣材料3004C之頂表面3005的部分上的佔位閘極電極3006之部分3012上。

【0332】在一實施例中，形成永久閘極電極3016包括形成工作函數層3016A。在一此類實施例中，工作函數層

3016A包括鈦及氮。在另一此類實施例中，工作函數層3016A包括鈦、鋁、碳及氮。在一實施例中，形成永久閘極電極3016進一步包括形成導電填充金屬層3016B在工作函數層3016A上方。在一此類實施例中，形成導電填充金屬層3016B包括使用原子層沉積(ALD)和六氟化鎢(WF_6)前驅物形成含鎢薄膜。在實施例中，絕緣閘極帽層3018經形成在永久閘極電極3016上。

【0333】在另一態樣中，本揭示內容之若干實施例包括在用於閘極電極之閘極介電質結構中的非晶高k值層。在其他態樣中，部分或全晶狀高k值層被包括在用於閘極電極之閘極介電質結構中。在其中包括部分或全晶狀高k值層之一實施例中，該閘極介電質結構是鐵電(FE)閘極介電質結構。在其中包括部分或全晶狀高k值層之另一實施例中，該閘極介電質結構是反鐵電(AFE)閘極介電質結構。

【0334】在實施例中，本文所描述之方法透過採用鐵電或反鐵電閘極氧化物以增加裝置通道中的電荷並且提高次臨界行為。鐵電及反鐵電閘極氧化物可增加通道電荷以獲得更高電流且亦可實現更陡的通電(turn-on)行為。

【0335】為提供情境，鉿或鋯(Hf或Zr)為基的鐵電和反鐵電(FE或AFE)材料典型上比諸如鋯鈦酸鉛(PZT)等鐵電材料更薄得多，並且因此可相容於極度縮小之邏輯技術。有兩種FE或AFE材料之特徵可提高邏輯電晶體之效能：(1)透過FE或AFE極化所達到的通道中較高電荷，以及(2)FE

或AFE急遽轉變導致之更陡的通電行為。此類性質可透過增加電流及降低次臨界擺幅(subthreshold swing, SS)提高電晶體效能。

【0336】圖31A說明根據本揭示內容之實施例的具有鐵電或反鐵電閘極介電質結構之半導體裝置的橫截面圖。

【0337】參照圖31A，積體電路結構3100包括在基板3104以上之閘極結構3102。在一實施例中，閘極結構3102是在包括諸如單晶矽等單晶材料之半導體通道結構3106以上或上方。閘極結構3102包括在半導體通道結構3106上方之閘極介電質以及在該閘極介電質結構上方之閘極電極。閘極介電質包括鐵電或反鐵電多晶材料層3102A。閘極電極具有在鐵電或反鐵電多晶材料層3102A上之導電層3102B。導電層3102B包括金屬且可是障壁層、工作函數層、或模板層增強FE或AFE層之結晶化。(一或多)閘極填充層3102C是在導電層3102B上或以上。源極區3108及汲極區3110是在閘極結構3102之相對側。源極或汲極接點3112電性連接到位置3149處之源極區3108及汲極區3110，並且透過層間介電層3114或閘極介電質間隔件3116之一或兩者而與閘極結構3102間隔開。在圖31A之實例中，源極區3108及汲極區3110是基板3104之區。在實施例中，源極或汲極接點3112包括障壁層3112A以及導電溝槽填充材料3112B。在一實施例中，鐵電或反鐵電多晶材料層3102A沿著介電質間隔件3116延伸，如圖31A所描繪一般。

【0338】在實施例中，以及可在本揭示內容中通篇應

用，鐵電或反鐵電多晶材料層3102A是鐵電多晶材料層。在一實施例中，鐵電多晶材料層是包括Zr及Hf且具有50：50之Zr：Hf比或更高比例的Zr之氧化物。可隨著斜方結晶性增加而增加鐵電效應。在一實施例中，鐵電多晶材料層具有至少80%之斜方結晶性(orthorhombic crystallinity)。

【0339】在實施例中，以及可在本揭示內容中通篇應用，鐵電或反鐵電多晶材料層3102A是反鐵電多晶材料層。在一實施例中，反鐵電多晶材料層是包括Zr及Hf且具有80：20之Zr：Hf比或更高比例的Zr，甚至到100% Zr(ZrO_2)，之氧化物。在一實施例中，反鐵電多晶材料層具有至少80%之正方結晶性(tetragonal crystallinity)。

【0340】在實施例中，以及可在本揭示內容中通篇應用，閘極堆疊3102之閘極介電質進一步包括非晶介電層3103，諸如原生氧化矽層、高K值介電質(HfOx、Al_2O_3等)、或氧化物與高K值介電質之組合，在鐵電或反鐵電多晶材料層3102A與半導體通道結構3106之間。在實施例中，以及可在本揭示內容中通篇應用，鐵電或反鐵電多晶材料層3102A具有在1奈米至8奈米範圍內之厚度。在實施例中，以及可在本揭示內容中通篇應用，鐵電或反鐵電多晶材料層3102A具有約在20奈米以上範圍內之晶粒尺寸。

【0341】在實施例中，在例如透過原子層沉積(ALD)來沉積鐵電或反鐵電多晶材料層3102A之後，在鐵電或反鐵電多晶材料層3102A上形成包括金屬之層(例如，層3102B，諸如5-10奈米之氮化鈦或氮化鉭或鎢)。接著執行

退火。在一實施例中，執行退火長達1毫秒到30分鐘之範圍內之期間。在一實施例中，在攝氏500-1100度之範圍內的溫度下執行退火。

【0342】圖31B說明根據本揭示內容之另一實施例的具有鐵電或反鐵電閘極介電質結構之另一半導體裝置的橫截面圖。

【0343】參照圖31B，積體電路結構3150包括在基板3154以上之閘極結構3152。在一實施例中，閘極結構3152是在包括諸如單晶矽等單晶材料之半導體通道結構3156以上或上方。閘極結構3152包括在半導體通道結構3156上方之閘極介電質以及在該閘極介電質結構上方之閘極電極。閘極介電質包括鐵電或反鐵電多晶材料層3152A，並且可進一步包括非晶氧化物層3153。閘極電極具有在鐵電或反鐵電多晶材料層3152A上之導電層3152B。導電層3152B包括金屬且可是障壁層或工作函數層。(一或多)閘極填充層3152C是在導電層3152B上或以上。諸如與半導體通道結構3156不同半導體材料之區的凸起源極區3158及凸起汲極區3160是在閘極結構3152之相對側。源極或汲極接點3162電性連接到位置3199處之源極區3158及汲極區3160，並且透過層間介電層3164或閘極介電質間隔件3166之一或兩者而與閘極結構3152間隔開。在實施例中，源極或汲極接點3162包括障壁層3162A以及導電溝槽填充材料3162B。在一實施例中，鐵電或反鐵電多晶材料層3152A沿著介電質間隔件3166延伸，如圖31B所描繪一般。

【0344】圖32A說明根據本揭示內容之另一實施例的在一對半導體鰭部上方之複數個閘極線的平面圖。

【0345】參照圖32A，複數個主動閘極線3204經形成在複數個半導體鰭部3200上方。仿閘極線3206是在複數個半導體鰭部3200端部處。在閘極線3204/3206之間的間距3208是其中可設有溝槽接點之位置處，用以對諸如源極或汲極區3251、3252、3253、及3254的源極或汲極區提供導電接點。在實施例中，複數個閘極線3204/3206之圖案或複數個半導體鰭部3200之圖案被描述成柵狀結構。在一實施例中，柵狀圖案包括複數個閘極線3204/3206或/及以固定節距間距並且具有固定寬度的複數個半導體鰭部3200之圖案。

【0346】圖32B說明根據本揭示內容之實施例沿著圖32A之a-a'軸所截取到的橫截面圖。

【0347】參照圖32B，形成複數個主動閘極線3264在形成於基板3260以上之半導體鰭部3262上方。仿閘極線3266是在半導體鰭部3262端部處。介電層3270在仿閘極線3266外部。溝槽接點材料3297是在主動閘極線3264之間、以及在仿閘極線3266與主動閘極線3264之間。嵌入式源極或汲極結構3268是在主動閘極線3264之間以及在仿閘極線3266與主動閘極線3264之間的半導體鰭部3262中。

【0348】主動閘極線3264包含閘極介電質結構3272、工作函數閘極電極部分3274和填充閘極電極部分3276、以及介電覆蓋層3278。介電質間隔件3280沿著仿閘極線3266

以及主動閘極線3264之側壁。在實施例中，閘極介電質結構3272包括鐵電或反鐵電多晶材料層3298。在一實施例中，閘極介電質結構3272進一步包括非晶氧化物層3299。

【0349】在另一態樣中，相同導電類型例如N型或P型之裝置可具有相同導電類型之差異閘極電極堆疊。然而，就比較目的，具有相同導電類型之裝置可具有基於經調變摻雜之差異電壓臨界值(VT)。

【0350】圖33A說明根據本揭示內容之實施例的一對具有基於調變摻雜之差異電壓臨界值的NMOS裝置與一對具有基於調變摻雜之差異電壓臨界值的PMOS裝置之橫截面圖。

【0351】參照圖33A，第一NMOS裝置3302是在諸如矽鰭部或基板等半導體主動區3300上方與第二NMOS裝置3304相鄰。第一NMOS裝置3302與第二NMOS裝置3304兩者皆包括閘極介電層3306、諸如工作函數層之第一閘極電極導電層3308、以及閘極電極導電填充3310。在實施例中，第一NMOS裝置3302與第二NMOS裝置3304之第一閘極電極導電層3308具有相同材料以及具有相同厚度並且因此具有相同工作函數。然而，相較於第二NMOS裝置3304，第一NMOS裝置3302具有較低的VT。在一此類實施例中，第一NMOS裝置3302被稱作「標準VT」裝置，而第二NMOS裝置3304被稱作「高VT」裝置。在實施例中，透過在第一NMOS裝置3302與第二NMOS裝置3304之區3312處使用經調變或差異植入摻雜以達成差異VT。

【0352】再次參照圖33A，第一PMOS裝置3322是在諸如矽鰭部或基板等半導體主動區3320上方與第二PMOS裝置3324相鄰。第一PMOS裝置3322與第二PMOS裝置3324兩者皆包括閘極介電層3326、諸如工作函數層之第一閘極電極導電層3328、以及閘極電極導電填充3330。在實施例中，第一PMOS裝置3322與第二PMOS裝置3324之第一閘極電極導電層3328具有相同材料以及具有相同厚度並且因此具有相同工作函數。然而，相較於第二PMOS裝置3324，第一PMOS裝置3322具有較高的VT。在一此類實施例中，第一PMOS裝置3322被稱作「標準VT」裝置，而第二PMOS裝置3324被稱作「低VT」裝置。在實施例中，透過在第一PMOS裝置3322與第二PMOS裝置3324之區3332處使用經調變或差異植入摻雜以達成差異VT。

【0353】對比於圖33A，圖33B說明根據本揭示內容之另一實施例的一對具有基於差異閘極電極結構之差異電壓臨界值的NMOS裝置與一對具有基於差異閘極電極結構之差異電壓臨界值的PMOS裝置之橫截面圖。

【0354】參照圖33B，第一NMOS裝置3352是在諸如矽鰭部或基板等半導體主動區3350上方與第二NMOS裝置3354相鄰。第一NMOS裝置3352與第二NMOS裝置3354兩者皆包括閘極介電層3356。然而，第一NMOS裝置3352與第二NMOS裝置3354具有結構上不同的閘極電極堆疊。更明確的，第一NMOS裝置3352包括諸如第一工作函數層之第一閘極電極導電層3358、以及閘極電極導電填充3360。

第二NMOS裝置3354包括諸如第二工作函數層之第二閘極電極導電層3359、第一閘極電極導電層3358、以及閘極電極導電填充3360。相較於第二NMOS裝置3354，第一NMOS裝置3352具有較低的VT。在一此類實施例中，第一NMOS裝置3352被稱作「標準VT」裝置，而第二NMOS裝置3354被稱作「高VT」裝置。在實施例中，透過使用差異閘極堆疊用於相同導電類型裝置以達到差異VT。

【0355】再次參照圖33B，第一PMOS裝置3372是在諸如矽鰭部或基板等半導體主動區3370上方與第二PMOS裝置3374相鄰。第一PMOS裝置3372與第二PMOS裝置3374兩者皆包括閘極介電層3376。然而，第一PMOS裝置3372與第二PMOS裝置3374具有結構上不同的閘極電極堆疊。更明確的，第一PMOS裝置3372包括諸如工作函數層之具有第一厚度的閘極電極導電層3378A、以及閘極電極導電填充3380。第二PMOS裝置3374包括具有第二厚度的閘極電極導電層3378B、以及閘極電極導電填充3380。在一實施例中，閘極電極導電層3378A與閘極電極導電層3378B具有相同的組成物，但是閘極電極導電層3378B之厚度(第二厚度)大於閘極電極導電層3378A之厚度(第一厚度)。相較於第二PMOS裝置3374，第一PMOS裝置3372具有較高的VT。在一此類實施例中，第一PMOS裝置3372被稱作「標準VT」裝置，而第二PMOS裝置3374被稱作「低VT」裝置。在實施例中，透過使用差異閘極堆疊用於相同導電類型裝置以達到差異VT。

【0356】根據本揭示內容之實施例，再次參照圖33B，積體電路結構包括鰭部(例如，諸如3350之矽鰭部)。應瞭解該鰭部具有頂部(如所示)與側壁(進出頁面)。閘極介電層3356在鰭部頂部上方以及橫向相鄰於鰭部之側壁。裝置3354之N型閘極電極是在閘極介電層3356上方，該閘極介電層3356在鰭部頂部上方以及橫向相鄰於鰭部之側壁。N型閘極電極包括在閘極介電層3356上之P型金屬層3359，以及在該P型金屬層3359上的N型金屬層3358。應瞭解，第一N型源極或汲極區可相鄰於閘極電極之第一側(例如，進入頁面)，以及第二N型源極或汲極區可相鄰於閘極電極之第二側(例如，離開頁面)，該第二側相對於該第一側。

【0357】在一實施例中，P型金屬層3359包括鈦及氮，以及N型金屬層3358包括鈦、鋁、碳及氮。在一實施例中，P型金屬層3359具有在2-12埃(Angstrom)範圍內之厚度，以及在特定實施例中，P型金屬層3359具有在2-4埃範圍內之厚度。在一實施例中，N型閘極電極進一步包括在N型金屬層3358上的導電填充金屬層3360。在一此類實施例中，導電填充金屬層3360包括鎢。在特定實施例中，導電填充金屬層3360包括95或更高原子百分比之鎢以及0.1至2原子百分比之氟。

【0358】再次參照圖33B，根據本揭示內容之另一實施例，積體電路結構包括具有電壓臨界值(VT)之第一N型裝置3352，該第一N型裝置3352具有第一閘極介電層3356

以及在該第一閘極介電層3356上之第一N型金屬層3358。另外，包括具有電壓臨界值(VT)之第二N型裝置3354，該第二N型裝置3354具有第二閘極介電層3356、在該第二閘極介電層3356上之P型金屬層3359、以及在該P型金屬層3359上之第二N型金屬層3358。

【0359】在一實施例中，其中第二N型裝置3354之VT高於第一N型裝置3352之VT。在一實施例中，第一N型金屬層3358以及第二N型金屬層3358具有相同組成物。在一實施例中，第一N型金屬層3358以及第二N型金屬層3358具有相同厚度。在一實施例中，其中N型金屬層3358包括鈦、鋁、碳及氮，以及P型金屬層3359包括鈦及氮。

【0360】再次參照圖33B，根據本揭示內容之另一實施例，積體電路結構包括具有電壓臨界值(VT)之第一P型裝置3372，該第一P型裝置3372具有第一閘極介電層3376以及在該第一閘極介電層3376上之第一P型金屬層3378A。第一P型金屬層3378A具有一厚度。亦包括第二P型裝置3374且其具有電壓臨界值(VT)。該第二P型裝置3374具有第二閘極介電層3376、以及在該第二閘極介電層3376上之第二P型金屬層3378B。第二P型金屬層3378B具有比第一P型金屬層3378A之厚度更厚之厚度。

【0361】在一實施例中，第二P型裝置3374之VT低於第一P型裝置3372之VT。在一實施例中，第一P型金屬層3378A以及第二P型金屬層3378B具有相同組成物。在一實施例中，第一P型金屬層3378A以及第二P型金屬層3378B

兩者皆包括鈦及氮。在一實施例中，第一P型金屬層3378A之厚度少於第一P型金屬層3378A之材料的工作函數飽和厚度。在一實施例中，雖然並未描繪但第二P型金屬層3378B包括在第二金屬薄膜(例如，來自第一沉積)上之第一金屬薄膜(例如，來自第二沉積)，以及在第一金屬薄膜與第二金屬薄膜之間的接縫。

【0362】再次參照圖33B，根據本揭示內容之另一實施例，積體電路結構包括具有第一閘極介電層3356之第一N型裝置3352，以及在該第一閘極介電層3356上之第一N型金屬層3358。第二N型裝置3354具有第二閘極介電層3356、在該第二閘極介電層3356上之第一P型金屬層3359、以及在該第一P型金屬層3359上之第二N型金屬層3358。第一P型裝置3372具有第三閘極介電層3376、以及在該第三閘極介電層3376上之第二P型金屬層3378A。第二P型金屬層3378A具有一厚度。第二P型裝置3374具有第四閘極介電層3376、以及在該第四閘極介電層3376上之第三P型金屬層3378B。第三P型金屬層3378B具有比第二P型金屬層3378A之厚度更厚之厚度。

【0363】在一實施例中，第一N型裝置3352具有電壓臨界值(VT)，第二N型裝置3354具有電壓臨界值(VT)，以及第二N型裝置3354之VT低於第一N型裝置3352之VT。在一實施例中，第一P型裝置3372具有電壓臨界值(VT)，第二P型裝置3374具有電壓臨界值(VT)，以及第二P型裝置3374之VT低於第一P型裝置3372之VT。在一實施例中，第

三P型金屬層3378B包括在第二金屬薄膜上之第一金屬薄膜，以及在第一金屬薄膜與第二金屬薄膜之間的接縫。

【0364】應瞭解可將相同導電類型的多於兩類型之VT裝置包括在相同結構中，諸如相同晶粒上。在第一實例中，圖34A說明根據本揭示內容之實施例的三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的NMOS裝置與三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的PMOS裝置之橫截面圖。

【0365】參照圖34A，第一NMOS裝置3402是在諸如矽鰭部或基板等半導體主動區3400上方與第二NMOS裝置3404及第三NMOS裝置3403相鄰。第一NMOS裝置3402、第二NMOS裝置3404、及第三NMOS裝置3403包括閘極介電層3406。第一NMOS裝置3402與第三NMOS裝置3403具有結構上相同或類似的閘極電極堆疊。然而，第二NMOS裝置3404與第一NMOS裝置3402、第三NMOS裝置3403具有結構上不同的閘極電極堆疊。更明確的，第一NMOS裝置3402及第三NMOS裝置3403包括諸如第一工作函數層之第一閘極電極導電層3408、以及閘極電極導電填充3410。第二NMOS裝置3404包括諸如第二工作函數層之第二閘極電極導電層3409、第一閘極電極導電層3408、以及閘極電極導電填充3410。相較於第二NMOS裝置3404，第一NMOS裝置3402具有較低的VT。在一此類實施例中，第一NMOS裝置3402被稱作「標準VT」裝置，而第二NMOS裝置3404被稱作「高VT」裝置。在實施例中，透過使用

差異閘極堆疊用於相同導電類型裝置以達到差異VT。在實施例中，即使第三NMOS裝置3403之閘極電極結構與第一NMOS裝置3402之閘極電極結構相同，第三NMOS裝置3403具有的VT與第一NMOS裝置3402及第二NMOS裝置3404之VT不同。在一實施例中，第三NMOS裝置3403之VT是在第一NMOS裝置3402與第二NMOS裝置3404之VT之間。在實施例中，透過在第三NMOS裝置3403之區3412處使用經調變或差異植入摻雜以達成第三NMOS裝置3403與第一NMOS裝置3402間的差異VT。在一此類實施例中，第三N型裝置3403具有通道區，該通道區的摻雜劑濃度不同於第一N型裝置3402之通道區的摻雜劑濃度。

【0366】再次參照圖34A，第一PMOS裝置3422是在諸如矽鰭部或基板等半導體主動區3420上方與第二PMOS裝置3424及第三PMOS裝置3423相鄰。第一PMOS裝置3422、第二PMOS裝置3424、以及第三PMOS裝置3423包括閘極介電層3426。第一PMOS裝置3422與第三PMOS裝置3423具有結構上相同或類似的閘極電極堆疊。然而，第二PMOS裝置3424與第一PMOS裝置3422、第三PMOS裝置3423具有結構上不同的閘極電極堆疊。更明確的，第一PMOS裝置3422以及第三PMOS裝置3423包括諸如工作函數層之具有第一厚度的閘極電極導電層3428A、以及閘極電極導電填充3430。第二PMOS裝置3424包括具有第二厚度的閘極電極導電層3428B、以及閘極電極導電填充3430。在一實施例中，閘極電極導電層3428A與閘極電極導電層

3428B具有相同的組成物，但是閘極電極導電層3428B之厚度(第二厚度)大於閘極電極導電層3428A之厚度(第一厚度)。在實施例中，相較於第二PMOS裝置3424，第一PMOS裝置3422具有較高的VT。在一此類實施例中，第一PMOS裝置3422被稱作「標準VT」裝置，而第二PMOS裝置3424被稱作「低VT」裝置。在實施例中，透過使用差異閘極堆疊用於相同導電類型裝置以達到差異VT。在實施例中，即使第三PMOS裝置3423之閘極電極結構與第一PMOS裝置3422之閘極電極結構相同，第三PMOS裝置3423具有的VT與第一PMOS裝置3422及第二PMOS裝置3424之VT不同。在一實施例中，第三PMOS裝置3423之VT是在第一PMOS裝置3422與第二PMOS裝置3424之VT之間。在實施例中，透過在第三PMOS裝置3423之區3432處使用經調變或差異植入摻雜以達成第三PMOS裝置3423與第一PMOS裝置3422間的差異VT。在一此類實施例中，第三P型裝置3423具有通道區，該通道區的摻雜劑濃度不同於第一P型裝置3422之通道區的摻雜劑濃度。

【0367】在第二實例中，圖34B說明根據本揭示內容之另一實施例的三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的NMOS裝置與三個具有基於差異閘極電極結構與基於調變摻雜之差異電壓臨界值的PMOS裝置之橫截面圖。

【0368】參照圖34B，第一NMOS裝置3452是在諸如矽鰭部或基板等半導體主動區3450上方與第二NMOS裝置

3454及第三NMOS裝置3453相鄰。第一NMOS裝置3452、第二NMOS裝置3454、及第三NMOS裝置3453包括閘極介電層3456。第二NMOS裝置3454與第三NMOS裝置3453具有結構上相同或類似的閘極電極堆疊。然而，第一NMOS裝置3452與第二NMOS裝置3454、第三NMOS裝置3453具有結構上不同的閘極電極堆疊。更明確的，第一NMOS裝置3452包括諸如第一工作函數層之第一閘極電極導電層3458、以及閘極電極導電填充3460。第二NMOS裝置3454以及第三NMOS裝置3453包括諸如第二工作函數層之第二閘極電極導電層3459、第一閘極電極導電層3458、以及閘極電極導電填充3460。相較於第二NMOS裝置3454，第一NMOS裝置3452具有較低的VT。在一此類實施例中，第一NMOS裝置3452被稱作「標準VT」裝置，而第二NMOS裝置3454被稱作「高VT」裝置。在實施例中，透過使用差異閘極堆疊用於相同導電類型裝置以達到差異VT。在實施例中，即使第三NMOS裝置3453之閘極電極結構與第二NMOS裝置3454之閘極電極結構相同，第三NMOS裝置3453具有的VT與第一NMOS裝置3452及第二NMOS裝置3454之VT不同。在一實施例中，第三NMOS裝置3453之VT是在第一NMOS裝置3452與第二NMOS裝置3454之VT之間。在實施例中，透過在第三NMOS裝置3453之區3462處使用經調變或差異植入摻雜以達成第三NMOS裝置3453與第二NMOS裝置3454間的差異VT。在一此類實施例中，第三N型裝置3453具有通道區，該通道區的摻雜劑濃度不同

於第二N型裝置3454之通道區的摻雜劑濃度。

【0369】再次參照圖34B，第一PMOS裝置3472是在諸如矽鰭部或基板等半導體主動區3470上方與第二PMOS裝置3474及第三PMOS裝置3473相鄰。第一PMOS裝置3472、第二PMOS裝置3474、以及第三PMOS裝置3473包括閘極介電層3476。第二PMOS裝置3474與第三PMOS裝置3473具有結構上相同或類似的閘極電極堆疊。然而，第一PMOS裝置3472與第二PMOS裝置3474、第三PMOS裝置3473具有結構上不同的閘極電極堆疊。更明確的，第一PMOS裝置3472包括諸如工作函數層之具有第一厚度的閘極電極導電層3478A、以及閘極電極導電填充3480。第二PMOS裝置3474以及第三PMOS裝置3473包括具有第二厚度的閘極電極導電層3478B、以及閘極電極導電填充3480。在一實施例中，閘極電極導電層3478A與閘極電極導電層3478B具有相同的組成物，但是閘極電極導電層3478B之厚度(第二厚度)大於閘極電極導電層3478A之厚度(第一厚度)。在實施例中，相較於第二PMOS裝置3474，第一PMOS裝置3472具有較高的VT。在一此類實施例中，第一PMOS裝置3472被稱作「標準VT」裝置，而第二PMOS裝置3474被稱作「低VT」裝置。在實施例中，透過使用差異閘極堆疊用於相同導電類型裝置以達到差異VT。在實施例中，即使第三PMOS裝置3473之閘極電極結構與第二PMOS裝置3474之閘極電極結構相同，第三PMOS裝置3473具有的VT與第一PMOS裝置3472及第二PMOS裝置3474之VT不同。在一

實施例中，第三PMOS裝置3473之VT是在第一PMOS裝置3472與第二PMOS裝置3474之VT之間。在實施例中，透過在第三PMOS裝置3473之區3482處使用經調變或差異植入摻雜以達成第三PMOS裝置3473與第一PMOS裝置3472間的差異VT。在一此類實施例中，第三P型裝置3473具有通道區，該通道區的摻雜劑濃度不同於第二P型裝置3474之通道區的摻雜劑濃度。

【0370】圖35A-35D說明根據本揭示內容之另一實施例的具有基於差異閘極電極結構之差異電壓臨界值的NMOS裝置製造方法中各種操作之橫截面圖。

【0371】參照圖35A，其中「標準VT NMOS」區(STD VT NMOS)以及「高VT NMOS」區(HIGH VT NMOS)經顯示成在共用基板上為分叉的，製造積體電路結構之方法包括在第一半導體鰭部3502上方以及在第二半導體鰭部3504上方，諸如在第一與第二矽鰭部上方，形成閘極介電層3506。P型金屬層3508經形成在第一半導體鰭部3502上方以及第二半導體鰭部3504上方的閘極介電層3506上。

【0372】參照圖35B，P型金屬層3508之一部分被移除自在第一半導體鰭部3502上方的閘極介電層3506，但是P型金屬層3508之一部分3509經保留於在第二半導體鰭部3504上方的閘極介電層3506上。

【0373】參照圖35C，N型金屬層3510經形成於在第一半導體鰭部3502上方的閘極介電層3506上，以及經形成於在第二半導體鰭部3504上方的閘極介電層3506上之P型

金屬層之部分3509上。在實施例中，接續處理包括形成具有電壓臨界值(VT)之第一N型裝置於第一半導體鰭部3502上方，以及形成具有電壓臨界值(VT)之第二N型裝置於第二半導體鰭部3504上方，其中第二N型裝置之VT高於第一N型裝置之VT。

【0374】參照圖35D，在實施例中，導電填充金屬層3512經形成在N型金屬層3510上。在一此類實施例中，形成導電填充金屬層3512包括使用原子層沉積(ALD)和六氟化鎢(WF_6)前驅物形成含鎢薄膜。

【0375】圖36A-36D說明根據本揭示內容之另一實施例的具有基於差異閘極電極結構之差異電壓臨界值的PMOS裝置製造方法中各種操作之橫截面圖。

【0376】參照圖36A，其中「標準VT PMOS」區(STD VT PMOS)以及「低VT PMOS」區(LOW VT PMOS)經顯示成在共用基板上為分叉的，製造積體電路結構之方法包括在第一半導體鰭部3602上方以及在第二半導體鰭部3604上方，諸如在第一與第二矽鰭部上方，形成閘極介電層3606。第一P型金屬層3608經形成在第一半導體鰭部3602上方以及第二半導體鰭部3604上方的閘極介電層3606上。

【0377】參照圖36B，第一P型金屬層3608之一部分被移除自在第一半導體鰭部3602上方的閘極介電層3606，但是第一P型金屬層3608之一部分3609經保留於在第二半導體鰭部3604上方的閘極介電層3606上。

【0378】參照圖36C，第二P型金屬層3610經形成於在

第一半導體鰭部3602上方的閘極介電層3606上，以及經形成於在第二半導體鰭部3604上方的閘極介電層3606上之第一P型金屬層之部分3609上。在實施例中，接續處理包括形成具有電壓臨界值(VT)之第一P型裝置於第一半導體鰭部3602上方，以及形成具有電壓臨界值(VT)之第二P型裝置於第二半導體鰭部3604上方，其中第二P型裝置之VT低於第一P型裝置之VT。

【0379】在一實施例中，第一P型金屬層3608以及第二P型金屬層3610具有相同組成物。在一實施例中，第一P型金屬層3608以及第二P型金屬層3610具有相同厚度。在一實施例中，第一P型金屬層3608以及第二P型金屬層3610具有相同厚度以及相同組成物。在一實施例中，接縫3611在第一P型金屬層3608與第二P型金屬層3610之間，如所描繪一般。

【0380】參照圖36D，在實施例中，導電填充金屬層3612經形成在P型金屬層3610上方。在一此類實施例中，形成導電填充金屬層3612包括使用原子層沉積(ALD)和六氟化鎢(WF_6)前驅物形成含鎢薄膜。在一實施例中，在形成導電填充金屬層3612之前，N型金屬層3614經形成在P型金屬層3610上，如所描繪一般。在一此類實施例中，N型金屬層3614是雙金屬閘極替換處理方案之產物。

【0381】在另一態樣中，說明用於互補金屬氧化物半導體(CMOS)半導體裝置之金屬閘極結構。在實例中，圖37說明根據本揭示內容之實施例的具有P/N接面的積體電

路結構之橫截面圖。

【0382】參照圖37，積體電路結構3700包括具有N阱區3704以及P阱區3708之半導體基板3702，其中從該N阱區3704突出第一半導體鰭部3706以及從該P阱區3708突出第二半導體鰭部3710。第一半導體鰭部3706與第二半導體鰭部3710是間隔開的。在半導體基板3702中N阱區3704直接相鄰於P阱區3708。溝槽隔離結構3712是在半導體基板3702上且在第一3706與第二3210半導體鰭部之間與外部。第一3706及第二3210半導體鰭部延伸於溝槽隔離結構3712以上。

【0383】閘極介電層3714在第一3706與第二3710半導體鰭部上以及在溝槽隔離結構3712上。閘極介電層3714在第一3706與第二3710半導體鰭部之間為連續的。導電層3716在第一半導體鰭部3706上方的閘極介電層3714上方，但不在第二半導體鰭部3710上方。在一實施例中，導電層3716包括鈦、氮及氧。P型金屬閘極層3718在第一半導體鰭部3706上方的導電層3716上方，但不在第二半導體鰭部3710上方。P型金屬閘極層3718進一步在第一半導體鰭部3706與第二半導體鰭部3710之間的溝槽隔離結構3712的一部分但非全部上。N型金屬閘極層3720在第二半導體鰭部3710上方、在第一半導體鰭部3706與第二半導體鰭部3710之間的溝槽隔離結構3712上方、以及在P型金屬閘極層3718上方。

【0384】在一實施例中，層間介電(ILD)層3722在溝

槽隔離結構3712以上且在第一半導體鰭部3706與第二半導體鰭部3710外部。ILD層3722具有開口3724，該開口3724暴露第一3706與第二3710半導體鰭部。在一此類實施例中，導電層3716、P型金屬閘極層3718、以及N型金屬閘極層3720進一步經形成沿著開口3724之側壁3726，如所描繪一般。在特定實施例中，導電層3716沿著開口3724側壁3726具有頂表面3717，該頂表面3717在沿著開口3724側壁3726的P型金屬閘極層3718之頂表面3719以下以及N型金屬閘極層3720之頂表面3721以下，如所描繪一般。

【0385】在一實施例中，P型金屬閘極層3718包括鈦及氮。在一實施例中，N型金屬閘極層3720包括鈦及鋁。在一實施例中，導電填充金屬層3730在N型金屬閘極層3720上方，如所描繪一般。在一此類實施例中，導電填充金屬層3730包括鎢。在特定實施例中，導電填充金屬層3730包括95或更高原子百分比之鎢以及0.1至2原子百分比之氟。在一實施例中，閘極介電層3714具有包括鉿及氧之層。在一實施例中，熱或化學氧化物層3732是在第一3706及第二3710半導體鰭部之上部分之間，如所描繪一般。在一實施例中，半導體基板3702係塊狀矽半導體基板。

【0386】根據本揭示內容之實施例，現在僅參照圖37之右側，積體電路結構包括具有N阱區3704之半導體基板3702，其中從該N阱區3704突出半導體鰭部3706。溝槽隔離結構3712是在半導體基板3702上且在半導體鰭部3706周圍。半導體鰭部3706延伸於溝槽隔離結構3712以上。閘極

介電層3714在半導體鰭部3706上方。導電層3716在半導體鰭部3706上方的閘極介電層3714上方。在一實施例中，導電層3716包括鈦、氮及氧。P型金屬閘極層3718在半導體鰭部3706上方的導電層3716上方。

【0387】在一實施例中，層間介電(ILD)層3722在溝槽隔離結構3712以上。ILD層具有開口，該開口暴露半導體鰭部3706。導電層3716及P型金屬閘極層3718進一步經形成沿著開口之側壁。在一此類實施例中，導電層3716沿著開口側壁具有頂表面，該頂表面在沿著開口側壁的P型金屬閘極層3718之頂表面以下。在一實施例中，P型金屬閘極層3718是在導電層3716上。在一實施例中，P型金屬閘極層3718包括鈦及氮。在一實施例中，導電填充金屬層3730在P型金屬閘極層3718上方。在一此類實施例中，導電填充金屬層3730包括鎢。在此類特定實施例中，導電填充金屬層3730是由95或更高原子百分比之鎢以及0.1至2原子百分比之氟所構成。在一實施例中，閘極介電層3714包括具有鉿及氧之層。

【0388】圖38A-38H說明根據本揭示內容之實施例使用雙金屬閘極替換閘極處理流程製造積體電路結構之方法中的各種操作之橫截面圖。

【0389】參照圖38A，其顯示NMOS(N型)區以及PMOS(P型)區，製造積體電路結構之方法包括形成層間介電(ILD)層3802於在基板3800以上的第一3804與第二3806半導體鰭部以上。在ILD層3802中形成開口3808，該開口

3808暴露第一3804與第二3806半導體鰭部。在一實施例中，透過移除初始位在第一3804與第二3806半導體鰭部上方之閘極佔位或仿閘極結構來形成開口3808。

【0390】閘極介電層3810經形成在開口3808中且在第一3804與第二3806半導體鰭部上方，以及在第一3804與第二3806半導體鰭部之間的溝槽隔離結構3812之一部分上。在一實施例中，閘極介電層3810經形成在諸如氧化矽或二氧化矽層等熱或化學氧化物層3811上，該熱或化學氧化物層3811經形成在第一3804與第二3806半導體鰭部上，如所描繪一般。在另一實施例中，閘極介電層3810經形成直接在第一3804與第二3806半導體鰭部上。

【0391】導電層3814經形成在閘極介電層3810上方，該閘極介電層3810經形成在第一3804與第二3806半導體鰭部上方。在一實施例中，導電層3814包括鈦、氮及氧。P型金屬閘極層3816經形成在導電層3814上方，該導電層3814經形成在第一半導體鰭部3804上方以及在第二半導體鰭部3806上方。

【0392】參照圖38B，介電質蝕刻停止層3818經形成在P型金屬閘極層3816上。在一實施例中，介電質蝕刻停止層3818包括第一層氧化矽(例如，SiO_2)、在該第一層氧化矽上的氧化鋁(例如，Al_2O_3)之層、以及在該氧化鋁之層上的第二層氧化矽(例如，SiO_2)。

【0393】參照圖38C，遮罩3820經形成在圖38B之結構上方。遮罩3820覆蓋PMOS區且暴露NMOS區。

【0394】參照圖38D，介電質蝕刻停止層3818、P型金屬閘極層3816、以及導電層3814經圖案化以提供經圖案化的介電質蝕刻停止層3819、經圖案化的P型金屬閘極層3817在第一半導體鰭部3804上方的經圖案化導電層3815上方，但不在第二半導體鰭部3806上方。在實施例中，導電層3814在圖案化期間保護第二半導體鰭部3806。

【0395】參照圖38E，從圖38D之結構移除遮罩3820。參照圖38F，從圖38E之結構移除經圖案化的介電質蝕刻停止層3819。

【0396】參照圖38G，N型金屬閘極層3822經形成在第二半導體鰭部3806上方、在第一3804與第二3806半導體鰭部之間的溝槽隔離結構3812之部分上方、以及在經圖案化的P型金屬閘極層3817上方。在實施例中，經圖案化的導電層3815、經圖案化的P型金屬閘極層3817、以及N型金屬閘極層3822進一步經形成沿著開口3808之側壁3824。在一此類實施例中，經圖案化的導電層3815沿著開口3808側壁3824具有頂表面，該頂表面在沿著開口3808側壁3824的經圖案化的P型金屬閘極層3817之頂表面以下以及N型金屬閘極層3822之頂表面以下。

【0397】參照圖38H，導電填充金屬層3826經形成在N型金屬閘極層3822上方。在一實施例中，透過使用原子層沉積(ALD)和六氟化鎢(WF_6)前驅物沉積含鎢薄膜以形成導電填充金屬層3826。

【0398】在另一態樣中，說明用於互補金屬氧化物半

導體(CMOS)半導體裝置之雙矽化物結構。作為例示性處理流程，圖39A-39H說明根據本揭示內容之實施例代表製造雙矽化物為基積體電路之方法中的各種操作之橫截面圖。

【0399】參照圖39A，其中NMOS區以及PMOS區經顯示成在共用基板上為分叉的，製造積體電路結構之方法包括在諸如第一矽鰭部之第一鰭部3904上方形成可包括介電質側壁間隔件3903之第一閘極結構3902。可包括介電質側壁間隔件3953之第二閘極結構3952經形成在諸如第二矽鰭部之第二鰭部3954上方。絕緣材料3906經形成相鄰於第一鰭部3904上方的第一閘極結構3902以及相鄰於第二鰭部3954上方的第二閘極結構3952。在一實施例中，絕緣材料3906是犧牲材料且在雙矽化物處理中被用作為遮罩。

【0400】參照圖39B，從第一鰭部3904上方但不從第二鰭部3954上方移除絕緣材料3906之第一部分，以暴露與第一閘極結構3902相鄰的第一鰭部3904之第一3908及第二3910源極或汲極區。在實施例中，第一3908及第二3910源極或汲極區是形成於第一鰭部3904之凹陷部分內的磊晶區，如所描繪一般。在一此類實施例中，第一3908及第二3910源極或汲極區包括矽及鍺。

【0401】參照圖39C，第一金屬矽化物層3912經形成在第一鰭部3904之第一3908及第二3910源極或汲極區上。在一實施例中，透過沉積包括鎳及鉑之層在圖39B之結構上、將該包括鎳及鉑之層退火、以及移除該包括鎳及鉑之

層的未反應部分，以形成第一金屬矽化物層3912。

【0402】參照圖39D，在形成第一金屬矽化物層3912之後，從第二鰭部3954上方移除絕緣材料3906之第二部分以暴露與第二閘極結構3952相鄰的第二鰭部3954之第三3958及第四3960源極或汲極區。在實施例中，第二3958及第三3960源極或汲極區經形成在第二鰭部3954內，諸如在第二矽鰭部內，如所描繪一般。然而在另一實施例中，第三3958及第四3960源極或汲極區是形成於第二鰭部3954之凹陷部分內的磊晶區。在一此類實施例中，第三3958及第四3960源極或汲極區包括矽。

【0403】參照圖39E，第一金屬層3914經形成在圖39D之結構上，亦即在第一3908、第二3910、第三3958、及第四3960源極或汲極區上。第二金屬矽化物層3962接著經形成在第二鰭部3954之第三3958及第四3960源極或汲極區上。例如使用退火處理而從第一金屬層3914形成第二金屬矽化物層3962。在實施例中，第二金屬矽化物層3962的組成物不同於第一金屬矽化物層3912的組成物。在一實施例中，第一金屬層3914是或包括鈦層。在一實施例中，第一金屬層3914經形成為例如與圖39D之開放溝槽共形的共形金屬層，如所描繪一般。

【0404】參照圖39F，在實施例中，第一金屬層3914經凹陷以形成在第一3908、第二3910、第三3958、及第四3960源極或汲極區以上的U型金屬層3916。

【0405】參照圖39G，在實施例中，第二金屬層3918

經形成在圖39F之結構的U型金屬層3916上。在實施例中，第二金屬層3918的組成物不同於U型金屬層3916的組成物。

【0406】參照圖39H，在實施例中，第三金屬層3920經形成在圖39G之結構的第二金屬層3918上。在實施例中，第三金屬層3920的組成物與U型金屬層3916的組成物相同。

【0407】根據本揭示內容之實施例，再次參照圖39H，積體電路結構3900包括在基板以上的P型半導體裝置(PMOS)。P型半導體裝置包括諸如第一矽鰭部之第一鰭部3904。應瞭解該第一鰭部具有頂部(顯示成3904A)與側壁(例如，進出頁面)。第一閘極電極3902包括在第一鰭部3904頂部3904A上方以及橫向相鄰於第一鰭部3904側壁的第一閘極介電層，並且包括在第一鰭部3904頂部3904A上方以及橫向相鄰於第一鰭部3904側壁的該第一閘極介電層上方的第一閘極電極。第一閘極電極3902具有第一側3902A以及與該第一側3902A相對的第二側3902B。

【0408】第一3908及第二3910半導體源極或汲極區個別相鄰於第一閘極電極3902之第一3902A及第二3932側。第一3930及第二3932溝槽接點結構是在個別相鄰於第一閘極電極3902之第一3902A及第二3902B側的第一3908及第二3910半導體源極或汲極區上方。第一金屬矽化物層3912是分別直接位於第一3930及第二3932溝槽接點結構與第一3908及第二3910半導體源極或汲極區之間。

【0409】積體電路結構3900包括在基板以上的N型半導體裝置(NMOS)。N型半導體裝置包括諸如第二矽鰭部之第二鰭部3954。應瞭解該第二鰭部具有頂部(顯示成3954A)與側壁(例如，進出頁面)。第二閘極電極3952包括在第二鰭部3954頂部3954A上方以及橫向相鄰於第二鰭部3954側壁的第二閘極介電層，並且包括在第二鰭部3954頂部3954A上方以及橫向相鄰於第二鰭部3954側壁的該第二閘極介電層上方的第二閘極電極。第二閘極電極3952具有第一側3952A以及與該第一側3952A相對的第二側3952B。

【0410】第三3958及第四3960半導體源極或汲極區個別相鄰於第二閘極電極3952之第一3952A及第二3952B側。第三3970及第四3972溝槽接點結構是在個別相鄰於第二閘極電極3952之第一3952A及第二3952B側的第三3958及第四3960半導體源極或汲極區上方。第二金屬矽化物層3962是分別直接位於第三3970及第四3972溝槽接點結構與第三3958及第四3960半導體源極或汲極區之間。在實施例中，第一金屬矽化物層3912包括至少一不被包括於第二金屬矽化物層3962中的金屬種類。

【0411】在一實施例中，第二金屬矽化物層3962包括鈦及矽。第一金屬矽化物層3912包括鎳、鉑及矽。在一實施例中，第一金屬矽化物層3912進一步包括鍺。在一實施例中，第一金屬矽化物層3912進一步包括鈦，例如在用第一金屬層3914接續形成第二金屬矽化物層3962期間併入第一金屬矽化物層3912中。在一此類實施例中，已形成於

PMOS源極或汲極區上之矽化物層進一步透過用以在NMOS源極或汲極區上形成矽化物區的退火處理而被修改。這可能導致在PMOS源極或汲極區上的矽化物層具有極小百分比的所有矽化金屬。然而在其他實施例中，此類已形成於PMOS源極或汲極區上之矽化物層不會或實質上不會透過用以在NMOS源極或汲極區上形成矽化物區的退火處理修改。

【0412】在一實施例中，第一3908及第二3910半導體源極或汲極區是包括矽及鍺之第一及第二嵌入式半導體源極或汲極區。在一此類實施例中，第三3958及第四3960半導體源極或汲極區是包括矽之第三及第四嵌入式半導體源極或汲極區。在另一實施例中，第三3958及第四3960半導體源極或汲極區經形成在鰭部3954中並且不是嵌入式磊晶區。

【0413】在實施例中，第一3930、第二3932、第三3970、及第四3972溝槽接點結構皆包括U型金屬層3916以及在該U型金屬層3916整體上及上方的T型金屬層3918。在一實施例中，U型金屬層3916包括鈦，以及T型金屬層3918包括鈷。在一實施例中，第一3930、第二3932、第三3970、及第四3972溝槽接點結構皆進一步包括在T型金屬層3918上的第三金屬層3920。在一實施例中，第三金屬層3920以及U型金屬層3916具有相同組成物。在一特定實施例中，第三金屬層3920及U型金屬層包括鈦，以及T型金屬層3918包括鈷。

【0414】在另一態樣中，描述例如用於源極或汲極區的溝槽接點結構。在實例中，圖40A說明根據本揭示內容之實施例的具有用於NMOS裝置之溝槽接點的積體電路結構之橫截面圖。圖40B說明根據本揭示內容之另一實施例的具有用於PMOS裝置之溝槽接點的積體電路結構之橫截面圖。

【0415】參照圖40A，積體電路結構4000包括諸如矽鰭部之鰭部4002。閘極介電層4004在鰭部4002上方。閘極電極4006在閘極介電層4004上方。在實施例中，閘極電極4006包括共形導電層4008及導電填充4010。在實施例中，介電質帽蓋4012是在閘極電極4006上方以及在閘極介電層4004上方。閘極電極具有第一側4006A以及與該第一側4006A相對的第二側4006B。介電質間隔件4013是沿著閘極電極4006之側壁。在一實施例中，閘極介電層4004進一步位於閘極電極4006之第一側4006A與第一介電質間隔件4013之間以及位於閘極電極4006之第二側4006B與第二介電質間隔件4013之間，如所描繪一般。雖然並未描繪出來，但在實施例中，諸如熱或化學氧化矽或二氧化矽層的薄氧化物層是位於鰭部4002與閘極介電層4004之間。

【0416】第一4014及第二4016半導體源極或汲極區個別相鄰於閘極電極4006之第一4006A及第二4006B側。在一實施例中，第一4014及第二4016半導體源極或汲極區是在鰭部4002中，如所描繪一般。然而在另一實施例中，第一4014及第二4016半導體源極或汲極區是形成在鰭部4002

凹陷中的嵌入式磊晶區。

【0417】第一4018及第二4020溝槽接點結構是在個別相鄰於閘極電極4006之第一4006A及第二4006B側的第一4014及第二4016半導體源極或汲極區上方。第一4018及第二4020溝槽接點結構皆包括U型金屬層4022以及在該U型金屬層4022整體上及上方的T型金屬層4024。在一實施例中，U型金屬層4022以及T型金屬層4024之組成物不同。在一此類實施例中，U型金屬層4022包括鈦，以及T型金屬層4024包括鈷。在一實施例中，第一4018及第二4020溝槽接點結構皆進一步包括在T型金屬層4024上的第三金屬層4026。在一此類實施例中，第三金屬層4026以及U型金屬層4022具有相同組成物。在一特定實施例中，第三金屬層4026及U型金屬層4022包括鈦，以及T型金屬層4024包括鈷。

【0418】第一溝槽接點通孔4028是電性連接到第一溝槽接點4018。在特定實施例中，第一溝槽接點通孔4028是耦合於並且在第一溝槽接點4018之第三金屬層4026上。第一溝槽接點通孔4028進一步接觸並且在介電質間隔件4013之一的一部分上方，以及接觸並且在介電質帽蓋4012之一部分上方。第二溝槽接點通孔4030是電性連接到第二溝槽接點4020。在特定實施例中，第二溝槽接點通孔4030是耦合於並且在第二溝槽接點4020之第三金屬層4026上。第二溝槽接點通孔4030進一步接觸並且在介電質間隔件4013之另一者的一部分上方，以及接觸並且在介電質帽蓋4012之

另一部分上方。

【0419】在實施例中，金屬矽化物層4032是分別直接位於第一4018及第二4020溝槽接點結構與第一4014及第二4016半導體源極或汲極區之間。在一實施例中，金屬矽化物層4032包括鈦及矽。在此類特定實施例中，第一4014及第二4016半導體源極或汲極區是第一及第二N型半導體源極或汲極區。

【0420】參照圖40B，積體電路結構4050包括諸如矽鰭部之鰭部4052。閘極介電層4054在鰭部4052上方。閘極電極4056在閘極介電層4054上方。在實施例中，閘極電極4056包括共形導電層4058及導電填充4060。在實施例中，介電質帽蓋4062是在閘極電極4056上方以及在閘極介電層4054上方。閘極電極具有第一側4056A以及與該第一側4056A相對的第二側4056B。介電質間隔件4063是沿著閘極電極4056之側壁。在一實施例中，閘極介電層4054進一步位於閘極電極4056之第一側4056A與介電質間隔件4063的第一者之間，以及位於閘極電極4056之第二側4056B與介電質間隔件4063的第二者之間，如所描繪一般。雖然並未描繪出來，但在實施例中，諸如熱或化學氧化矽或二氧化矽層的薄氧化物層是位於鰭部4052與閘極介電層4054之間。

【0421】第一4064及第二4066半導體源極或汲極區個別相鄰於閘極電極4056之第一4056A及第二4056B側。在一實施例中，第一4064及第二4066半導體源極或汲極區是

個別形成在鰭部4052之凹陷4065及4067中的嵌入式磊晶區，如所描繪一般。然而在另一實施例中，第一4064及第二4066半導體源極或汲極區是在鰭部4052中。

【0422】第一4068及第二4070溝槽接點結構是在個別相鄰於閘極電極4056之第一4056A及第二4056B側的第一4064及第二4066半導體源極或汲極區上方。第一4068及第二4070溝槽接點結構皆包括U型金屬層4072以及在該U型金屬層4072整體上及上方的T型金屬層4074。在一實施例中，U型金屬層4072以及T型金屬層4074之組成物不同。在一此類實施例中，U型金屬層4072包括鈦，以及T型金屬層4074包括鈷。在一實施例中，第一4068及第二4070溝槽接點結構皆進一步包括在T型金屬層4074上的第三金屬層4076。在一此類實施例中，第三金屬層4076以及U型金屬層4072具有相同組成物。在一特定實施例中，第三金屬層4076及U型金屬層4072包括鈦，以及T型金屬層4074包括鈷。

【0423】第一溝槽接點通孔4078是電性連接到第一溝槽接點4068。在特定實施例中，第一溝槽接點通孔4078是耦合於並且在第一溝槽接點4068之第三金屬層4076上。第一溝槽接點通孔4078進一步接觸並且在介電質間隔件4063之一的一部分上方，以及接觸並且在介電質帽蓋4062之一部分上方。第二溝槽接點通孔4080是電性連接到第二溝槽接點4070。在特定實施例中，第二溝槽接點通孔4080是耦合於並且在第二溝槽接點4070之第三金屬層4076上。第二

溝槽接點通孔4080進一步接觸並且在介電質間隔件4063之另一者的一部分上方，以及接觸並且在介電質帽蓋4062之另一部分上方。

【0424】在實施例中，金屬矽化物層4082是分別直接位於第一4068及第二4070溝槽接點結構與第一4064及第二4066半導體源極或汲極區之間。在一實施例中，金屬矽化物層4082包括鎳、鉑及矽。在此類特定實施例中，第一4064及第二4066半導體源極或汲極區是第一及第二P型半導體源極或汲極區。在一實施例中，金屬矽化物層4082進一步包括鍺。在一實施例中，金屬矽化物層4082進一步包括鈦。

【0425】本文所述一或多實施例是涉及使用金屬化學氣相沉積用於環繞式半導體接點。實施例可應用於或包括化學氣相沉積(CVD)、電漿增強化學氣相沉積(PECVD)、原子層沉積(ALD)、導電接點製造、或薄膜之一或多者。

【0426】特定實施例可包括使用接點金屬之低溫(例如，少於攝氏500度，或在攝氏400-500度之範圍內)化學氣相沉積製造鈦或類似金屬層，以提供共形源極或汲極接點。此類共形源極或汲極接點之實作可提高三維(3D)電晶體互補金屬氧化物半導體(CMOS)效能。

【0427】為提供情境，可使用濺鍍沉積金屬到半導體接觸層。濺鍍是視線處理(line of sight process)並且可能不是很適用於3D電晶體製造。習知濺鍍方案對裝置接點表面具有沉積入射角度之不良或不完整金屬半導體接面。

【0428】根據本揭示內容之一或多實施例，實作低溫化學氣相沉積處理用於製造接點金屬，以提供三維中的共形性並且最大化金屬半導體接面接觸區域。所產生的較大接觸區域可降低接面電阻。實施例可包括在具有非扁平形貌的半導體表面上之沉積，其中區域之形貌參照表面形狀及特徵本身，而非扁平形貌包括不為扁平的表面形狀及特徵或表面形狀及特徵之部分，亦即，不完全為扁平之表面形狀及特徵。

【0429】本文所述實施例可包括環繞式接點結構之製造。在一此類實施例中，描述透過化學氣相沉積、電漿增強化學氣相沉積、原子層沉積、或電漿增強原子層沉積使用純金屬而共形地沉積在電晶體源極-汲極接點上。此類共形沉積可用以增加金屬半導體接點之可用區域以及降低電阻，從而提高電晶體裝置之效能。在實施例中，相對低溫的沉積導致每單元區域之最小化接面電阻。

【0430】應瞭解可使用本文所述涉及金屬層沉積處理的整合方案來製造各種積體電路結構。根據本揭示內容之實施例，製造積體電路結構之方法包括於具有RF源之化學氣相沉積(CVD)腔室中提供基板，該基板其上具有特徵。該方法亦包括令四氯化鈦($TiCl_4$)與氫(H_2)反應以在基板特徵上形成鈦(Ti)層。

【0431】在實施例中，鈦層具有含98%或更高百分比的鈦以及0.5-2%的氯之總原子組成物。在替代實施例中，使用相似處理以製造鋯(Zr)、鉿(Hf)、鉭(Ta)、鈮(Nb)、或

釩(V)之高純度金屬層。在實施例中，存在相對小的薄膜厚度變異，例如在實施例中所有覆蓋是大於50%以及標稱是70%或更高百分比(亦即，30%或更低百分比之厚度變異)。在實施例中，相較於其他表面，矽(Si)或矽鍺(SiGe)厚度是可測量地較厚，因為在沉積期間Si或SiGe反應並且加速Ti之吸取(uptake)。在實施例中，薄膜組成物包括約0.5%之Cl(或少於1%)之雜質，並且基本上沒有其他可觀察到的雜質。在實施例中，沉積處理賦能金屬覆蓋在非視線表面上，諸如被濺鍍沉積視線隱藏之表面。本文所述實施例可經實作以透過降低被驅動通過源極及汲極接點之電流的外部電阻，以提高電晶體裝置驅動。

【0432】根據本揭示內容之實施例，基板之特徵是暴露半導體源極或汲極結構之源極或汲極接點溝槽。鈦層(或其他高純度金屬層)是用於半導體源極或汲極結構之導電接觸層。此類實作之例示性實施例將結合圖41A、41B、42、43A-43C及44而描述於下文中。

【0433】圖41A說明根據本揭示內容之實施例的在源極或汲極區上具有導電接點之半導體裝置的橫截面圖。

【0434】參照圖41A，半導體結構4100包括在基板4104以上之閘極結構4102。閘極結構4102包括閘極介電層4102A、工作函數層4102B、以及閘極填充4102C。源極區4108及汲極區4110是在閘極結構4102之相對側。源極或汲極接點4112電性連接到源極區4108及汲極區4110，並且透過層間介電層4114或閘極介電質間隔件4116之一或兩者而

與閘極結構4102間隔開。源極區4108及汲極區4110是基板4104之區。

【0435】在實施例中，源極或汲極接點4112包括如上述的高純度金屬層4112A以及導電溝槽填充材料4112B。在一實施例中，高純度金屬層4112A具有包括98%或更高百分比的鈦之總原子組成物。在一此類實施例中，高純度金屬層4112A之總原子組成物進一步包括0.5-2%之氯。在實施例中，高純度金屬層4112A具有30%或更低百分比的厚度變異。在實施例中，導電溝槽填充材料4112B是由諸如但不限於Cu、Al、W或其合金等導電材料所構成。

【0436】圖41B說明根據本揭示內容之實施例的在凸起源極或汲極區上具有導電接點之另一半導體裝置的橫截面圖。

【0437】參照圖41B，半導體結構4150包括在基板4154以上之閘極結構4152。閘極結構4152包括閘極介電層4152A、工作函數層4152B、以及閘極填充4152C。源極區4158及汲極區4160是在閘極結構4152之相對側。源極或汲極接點4162電性連接到源極區4158及汲極區4160，並且透過層間介電層4164或閘極介電質間隔件4166之一或兩者而與閘極結構4152間隔開。源極區4158及汲極區4160是形成於基板4154之蝕刻出區的磊晶或嵌入式材料區。如所描繪的，在實施例中，源極區4158及汲極區4160是凸起源極及汲極區。在此類特定實施例中，該凸起源極及汲極區是凸起矽源極及汲極區或凸起矽鍺源極及汲極區。

【0438】在實施例中，源極或汲極接點4162包括如上述的高純度金屬層4162A以及導電溝槽填充材料4162B。在一實施例中，高純度金屬層4162A具有包括98%或更高百分比的鈦之總原子組成物。在一此類實施例中，高純度金屬層4162A之總原子組成物進一步包括0.5-2%之氯。在實施例中，高純度金屬層4162A具有30%或更低百分比的厚度變異。在實施例中，導電溝槽填充材料4162B是由諸如但不限於Cu、Al、W或其合金等導電材料所構成。

【0439】據此，在實施例中，統一參照圖41A及41B，積體電路結構包括具有表面之特徵(暴露半導體源極或汲極結構之源極或汲極接點溝槽)。高純度金屬層4112A或4162A是在源極或汲極接點溝槽之表面上。應瞭解，接點形成處理可涉及源極或汲極區之暴露的矽或鍺或矽鍺材料之消耗。此類消耗會使裝置效能降級。相比之下，根據本揭示內容之實施例，半導體源極(4108或4158)或汲極(4110或4160)結構之表面(4149或4199)不被侵蝕或消耗，或實質上不被侵蝕或消耗到源極或汲極接點溝槽下方。在一此類實施例中，該消耗或侵蝕之缺乏是源自於高純度金屬接觸層之低溫沉積。

【0440】圖42說明根據本揭示內容之實施例的在一對半導體鰭部上方之複數個閘極線的平面圖。

【0441】參照圖42，複數個主動閘極線4204經形成在複數個半導體鰭部4200上方。仿閘極線4206是在複數個半導體鰭部4200端部處。在閘極線4204/4206之間的間距

4208是其中可形成溝槽接點作為到諸如源極或汲極區4251、4252、4253、及4254的源極或汲極區的導電接點之位置處。

【0442】圖43A-43C說明根據本揭示內容之實施例沿著圖42之a-a'軸所截取到的針對在製造積體電路結構之方法中各種操作的橫截面圖。

【0443】參照圖43A，形成複數個主動閘極線4304在形成於基板4300以上之半導體鰭部4302上方。仿閘極線4306是在半導體鰭部4302端部處。介電層4310是在主動閘極線4304之間、在仿閘極線4306與主動閘極線4304之間、以及在仿閘極線4306外部。嵌入式源極或汲極結構4308是在主動閘極線4304之間以及在仿閘極線4306與主動閘極線4304之間的半導體鰭部4302中。主動閘極線4304包含閘極介電層4312、工作函數閘極電極部分4314和填充閘極電極部分4316、以及介電覆蓋層4318。介電質間隔件4320沿著仿閘極線4306以及主動閘極線4304之側壁。

【0444】參照圖43B，移除在主動閘極線4304之間、以及在仿閘極線4306與主動閘極線4304之間的介電層4310之部分以在其中將形成溝槽接點的位置中提供開口4330。移除在主動閘極線4304之間、以及在仿閘極線4306與主動閘極線4304之間的介電層4310之部分可能會導致嵌入式源極或汲極結構4308之侵蝕，用以提供可具有上鞍形形貌之經侵蝕的嵌入式源極或汲極結構4332，如圖43B所描繪一般。

【0445】參照圖43C，溝槽接點4334經形成在主動閘極線4304之間、以及在仿閘極線4306與主動閘極線4304之間的開口4330中。溝槽接點4334之各者可包括金屬接觸層4336以及導電填充材料4338。

【0446】圖44說明根據本揭示內容之實施例沿著圖42之b-b'軸所截取到的針對積體電路結構的橫截面圖。

【0447】參照圖44，鰭部4402經描繪成在基板4404以上。鰭部4402之下部分被溝槽隔離材料4404環繞。鰭部4402之上部分已被移除以賦能嵌入式源極及汲極結構4406之生長。溝槽接點4408經形成在介電層4410之開口中，該開口暴露嵌入式源極及汲極結構4406。溝槽接點包括金屬接觸層4412以及導電填充材料4414。應瞭解，根據實施例，金屬接觸層4412延伸到溝槽接點4408之頂部，如圖44所描繪。然而在另一實施例中，金屬接觸層4412不會延伸到溝槽接點4408之頂部並且在某程度上經凹陷於溝槽接點4408內，例如類似於圖43C之金屬接觸層4336所描繪一般。

【0448】據此，根據本揭示內容之實施例統一參照圖42、43A-43C、及44，積體電路結構包括在基板(4300、4400)以上的半導體鰭部(4200、4302、4402)。半導體鰭部(4200、4302、4402)具有頂部及側壁。閘極電極(4204、4304)在半導體鰭部(4200、4302、4402)之一部分的頂部上方以及相鄰於半導體鰭部(4200、4302、4402)之一部分的側壁。閘極電極(4204、4304)界定在半導體鰭部(4200、

4302、4402)中的通道區。第一半導體源極或汲極結構(4251、4332、4406)是在閘極電極(4204、4304)第一側處的通道區之第一端部處，第一半導體源極或汲極結構(4251、4332、4406)具有非扁平形貌。第二半導體源極或汲極結構(4252、4332、4406)是在閘極電極(4204、4304)第二側處的通道區之第二端部處，該第二端部與該第一端部相對，並且該第二側與該第一側相對。第二半導體源極或汲極結構(4252、4332、4406)具有非扁平形貌。金屬接點材料(4336、4412)是直接在第一半導體源極或汲極結構(4251、4332、4406)上以及直接在第二半導體源極或汲極結構(4252、4332、4406)上。該金屬接點材料(4336、4412)是與第一半導體源極或汲極結構(4251、4332、4406)之非扁平形貌共形以及與第二半導體源極或汲極結構(4252、4332、4406)之非扁平形貌共形。

【0449】在實施例中，金屬接點材料(4336、4412)具有包括95%或更高百分比的單金屬種類之總原子組成物。在一此類實施例中，金屬接點材料(4336、4412)具有包括98%或更高百分比的鈦之總原子組成物。在此類特定實施例中，金屬接點材料(4336、4412)之總原子組成物進一步包括0.5-2%之氯。在實施例中，該金屬接點材料(4336、4412)沿著第一半導體源極或汲極結構(4251、4332、4406)之非扁平形貌以及沿著第二半導體源極或汲極結構(4252、4332、4406)之非扁平形貌具有30%或更低百分比的厚度變異。

【0450】在實施例中，第一半導體源極或汲極結構(4251、4332、4406)之非扁平形貌以及第二半導體源極或汲極結構(4252、4332、4406)之非扁平形貌皆包括凸起中央部分以及下側部分，如圖44所描繪者。在實施例中，第一半導體源極或汲極結構(4251、4332、4406)之非扁平形貌以及第二半導體源極或汲極結構(4252、4332、4406)之非扁平形貌皆包括鞍形部分，如圖43C所描繪者。

【0451】在實施例中，第一半導體源極或汲極結構(4251、4332、4406)以及第二半導體源極或汲極結構(4252、4332、4406)皆包括矽。在實施例中，第一半導體源極或汲極結構(4251、4332、4406)以及第二半導體源極或汲極結構(4252、4332、4406)皆進一步包括鍺，例如以矽鍺之型態。

【0452】在實施例中，直接在第一半導體源極或汲極結構(4251、4332、4406)上之金屬接點材料(4336、4412)進一步沿著在第一半導體源極或汲極結構(4251、4332、4406)上之介電層(4320、4410)中溝槽之側壁，該溝槽暴露第一半導體源極或汲極結構(4251、4332、4406)之一部分。在一此類實施例中，沿著溝槽側壁之金屬接點材料(4336)的厚度從第一半導體源極或汲極結構(4332處之4336A)朝向第一半導體源極或汲極結構(4332)以上的位置(4336B)薄化，其實例之一即如圖43C所說明者。在實施例中，導電填充材料(4338、4414)是在溝槽內的金屬接點材料(4336、4412)上，如圖43C及44所描繪一般。

【0453】在實施例中，積體電路結構進一步包括具有頂部及側壁之第二半導體鰭部(例如，圖42之上鰭部4200；4302、4402)。閘極電極(4204、4304)進一步在第二半導體鰭部之一部分的頂部上方以及相鄰於第二半導體鰭部之一部分的側壁，該閘極電極界定在第二半導體鰭部中的通道區。第三半導體源極或汲極結構(4253、4332、4406)是在閘極電極(4204、4304)第一側處的第二半導體鰭部通道區之第一端部處，第三半導體源極或汲極結構具有非扁平形貌。第四半導體源極或汲極結構(4254、4332、4406)是在閘極電極(4204、4304)第二側處的第二半導體鰭部通道區之第二端部處，第二端部與第一端部相對，第四半導體源極或汲極結構(4254、4332、4406)具有非扁平形貌。金屬接點材料(4336、4412)是直接在第三半導體源極或汲極結構(4253、4332、4406)上以及直接在第四半導體源極或汲極結構(4254、4332、4406)上，該金屬接點材料(4336、4412)是與第三半導體源極或汲極結構(4253、4332、4406)之非扁平形貌共形以及與第四半導體源極或汲極結構(4254、4332、4406)之非扁平形貌共形。在實施例中，金屬接點材料(4336、4412)在第一半導體源極或汲極結構(4251、4332、4406左側)與第三半導體源極或汲極結構(4253、4332、4406右側)之間是連續的，以及在第二半導體源極或汲極結構(4252)與第四半導體源極或汲極結構(4254)之間是連續的。

【0454】在另一態樣中，使用硬遮罩材料以保存(抑

制侵蝕)介電質材料於溝槽線位置中，且硬遮罩材料可保留在溝槽線位置中的介電質材料上方，其中該溝槽線位置是導電溝槽接點中斷處，例如於接點插塞位置中。舉例而言，圖45A與45B個別說明根據本揭示內容之實施例的包括其上有硬遮罩材料的溝槽接點插塞之積體電路結構的平面圖及對應橫截面圖。

【0455】參照圖45A及45B，在實施例中，積體電路結構4500包括諸如矽鰭部之鰭部4502A。複數個閘極結構4506是在鰭部4502A上方。閘極結構4506之個別者是沿著與鰭部4502A正交之方向4508，以及具有一對介電質側壁間隔件4510。溝槽接點結構4512是在鰭部4502A上方並且直接位於閘極結構4506之第一對4506A/4506B的介電質側壁間隔件4510之間。接點插塞4514B是在鰭部4502A上方並且直接位於閘極結構4506之第二對4506B/4506C的介電質側壁間隔件4510之間。接點插塞4514B包括下介電質材料4516以及上硬遮罩材料4518。

【0456】在實施例中，接點插塞4514B之下介電質材料4516包括矽及氧，諸如氧化矽或二氧化矽材料。接點插塞4514B之上硬遮罩材料4518包括矽及氮，諸如氮化矽、富矽之氮化物、或貧矽之氮化物材料。

【0457】在實施例中，溝槽接點結構4512包括下導電結構4520以及在該下導電結構4520上的介電質帽蓋4522。在一實施例中，溝槽接點結構4512之介電質帽蓋4522具有與接點插塞4514B之上硬遮罩材料4518之上表面共平面之

上表面，如所描繪一般。

【0458】在實施例中，複數個閘極結構4506之個別者包括在閘極介電層4526上之閘極電極4524。介電質帽蓋4528是在閘極電極4524上。在一實施例中，複數個閘極結構4506之個別者的介電質帽蓋4528具有與接點插塞4514B之上硬遮罩材料4518之上表面共平面之上表面，如所描繪一般。雖然並未描繪出來，但在實施例中，諸如熱或化學氧化矽或二氧化矽層的薄氧化物層是位於鰭部4502A與閘極介電層4526之間。

【0459】再次參照圖45A及45B，在實施例中，積體電路結構4500包括諸如複數個矽鰭部之複數個鰭部4052。複數個鰭部4502之個別者是沿著第一方向4504。複數個閘極結構4506是在複數個鰭部4502上方。複數個閘極結構4506之個別者是沿著與第一方向4504正交之第二方向4508。複數個閘極結構4506之個別者具有一對介電質側壁間隔件4510。溝槽接點結構4512是在複數個鰭部4502之第一鰭部4502A上方並且直接位於一對閘極結構4506之介電質側壁間隔件4510之間。接點插塞4514A是在複數個鰭部4502之第二鰭部4502B上方並且直接位於該對閘極結構4506之介電質側壁間隔件4510之間。與接點插塞4514B之橫截面圖相似，接點插塞4514A包括下介電質材料4516以及上硬遮罩材料4518。

【0460】在實施例中，接點插塞4516A之下介電質材料4516包括矽及氧，諸如氧化矽或二氧化矽材料。接點插

塞4516A之上硬遮罩材料4518包括矽及氮，諸如氮化矽、富矽之氮化物、或貧矽之氮化物材料。

【0461】在實施例中，溝槽接點結構4512包括下導電結構4520以及在該下導電結構4520上的介電質帽蓋4522。在一實施例中，溝槽接點結構4512之介電質帽蓋4522具有與接點插塞4514A或4514B之上硬遮罩材料4518之上表面共平面之上表面，如所描繪一般。

【0462】在實施例中，複數個閘極結構4506之個別者包括在閘極介電層4526上之閘極電極4524。介電質帽蓋4528是在閘極電極4524上。在一實施例中，複數個閘極結構4506之個別者的介電質帽蓋4528具有與接點插塞4514A或4514B之上硬遮罩材料4518之上表面共平面之上表面，如所描繪一般。雖然並未描繪出來，但在實施例中，諸如熱或化學氧化矽或二氧化矽層的薄氧化物層是位於鰭部4502A與閘極介電層4526之間。

【0463】本揭示內容之一或多實施例是涉及閘極對準接點處理(gate aligned contact process)。可實作此類處理以形成接點結構用於半導體結構製造，例如用於積體電路製造。在實施例中，接點圖案經形成為與現存閘極圖案對準的。相比之下，其他方法典型上涉及附加微影處理，其中微影接點圖案與現有閘極圖案緊密對準，並結合選擇性接點蝕刻。舉例而言，另一處理可包括將多晶矽(閘極)格線圖案化，並另外將接點及接點插塞圖案化。

【0464】根據本文所述一或多實施例，接點形成方法

涉及形成基本上完全對準現存閘極圖案之接點圖案，同時消除使用具有過度緊縮的對準預算之微影操作。在一此類實施例中，此方法賦能使用本質上高選擇性濕式蝕刻(例如，相對於乾式或電漿蝕刻)以產生接點開口。在實施例中，透過結合接點插塞微影操作運用現存閘極圖案以形成接點圖案。在一此類實施例中，該方法賦能消除對另外用以產生接點圖案為關鍵的微影操作之需求，該操作如在其他方法中所使用的操作。在實施例中，溝槽接點格線並非被分離地圖案化，而是經形成在多晶矽(閘極)線之間。舉例而言在一此類實施例中，在閘極柵狀圖案化之後但在閘極柵狀切割之前形成溝槽接點格線。

【0465】圖46A-46D說明代表根據本揭示內容之實施例的包括其上有硬遮罩材料的溝槽接點插塞之積體電路結構之製造方法中各種操作的橫截面圖。

【0466】參照圖46A，製造積體電路結構之方法包括沿著第一方向4604形成複數個鰭部、該複數個鰭部之個別者4602。複數個鰭部之個別者4602可包括擴散區4606。複數個閘極結構4608經形成在複數個鰭部上方。複數個閘極結構4608之個別者是沿著與第一方向4604正交之第二方向4610(例如，方向4610是進出該頁面的方向)。犧牲材料結構4612經形成在第一對閘極結構4608之間。接點插塞4614在第二對閘極結構4608之間。接點插塞包括下介電質材料4616。硬遮罩材料4618是在下介電質材料4616上。

【0467】在實施例中，閘極結構4608包括犧牲或仿閘

極堆疊以及介電質間隔件4609。犧牲或仿閘極堆疊可由多晶矽或氮化矽柱或若干其他犧牲材料構成，其可被稱作閘極仿材料。

【0468】參照圖46B，從圖46A之結構移除犧牲材料結構4612，以形成在第一對閘極結構4608之間的開口4620。

【0469】參照圖46C，溝槽接點結構4622經形成在第一對閘極結構4608之間的開口4620中。附加地，在實施例中，作為形成溝槽接點結構4622之一部分，圖46A及46B之硬遮罩4618經平面化。最終完成之接點插塞4614'包括下介電質材料4616以及形成自硬遮罩材料4618的上硬遮罩材料4624。

【0470】在實施例中，接點插塞4614'各者的下介電質材料4616包括矽及氧，以及接點插塞4614'各者的上硬遮罩材料4624包括矽及氮。在實施例中，溝槽接點結構4622之各者包括下導電結構4626以及在該下導電結構4626上的介電質帽蓋4628。在一實施例中，溝槽接點結構4622之介電質帽蓋4628具有與接點插塞4614'之上硬遮罩材料4624之上表面共平面之上表面。

【0471】參照圖46D，在替換閘極處理方案中將閘極結構4608之犧牲或仿閘極堆疊替代。在此類方案中，諸如多晶矽或氮化矽柱材料等仿閘極材料經移除並用永久閘極電極材料替代。在一此類實施例中，永久閘極介電層亦被形成於本處理中，而非在稍早處理中執行。

【0472】據此，永久閘極結構4630包括永久閘極介電層4632以及永久閘極電極層或堆疊4634。附加地，在實施例中，例如透過蝕刻處理移除永久閘極結構4630之頂部部分，並且用介電質帽蓋4636替代。在實施例中，永久閘極結構4630之個別者的介電質帽蓋4636具有與接點插塞4614'之上硬遮罩材料4624之上表面共平面之上表面。

【0473】再次參照圖46A-46D，在實施例中，在形成溝槽接點結構4622之後執行替換閘極處理，如所描繪一般。然而根據其他實施例，是在形成溝槽接點結構4622之前執行替換閘極處理。

【0474】在另一態樣中，描述主動閘極上方接點(contact over active gate, COAG)結構及處理。本揭示內容之一或多實施例涉及具有設置在半導體結構或裝置之閘極電極的主動部分上方的一或多閘極接點結構(例如，作為閘極接點通孔)之半導體結構或裝置。本揭示內容之一或多實施例涉及製造具有形成在半導體結構或裝置之閘極電極的主動部分上方的一或多閘極接點結構之半導體結構或裝置的方法。本文所述方法可用以透過在主動閘極區上方賦能閘極接點形成以降低標準單元區域。在一或多實施例中，經製造以接觸閘極電極之閘極接點結構是自對準通孔結構。

【0475】在其中相較於當前世代的空間及布局限制之已在某種程度上放寬空間及布局限制的技術中，可透過接觸設置在隔離區上方的閘極電極之一部分以製造到閘極結構之接點。作為實例，圖47A說明具有設置在閘極電極不

主動部分上方之閘極接點的半導體裝置之平面圖。

【0476】參照圖47A，半導體結構或裝置4700A包括設置在基板4702中並位於隔離區4706內的擴散或主動區4704。諸如閘極線4708A、4708B、以及4708C等一或多閘極線(已知為多晶矽線)經設置在擴散或主動區4704上方以及在隔離區4706之一部分上方。諸如接點4710A及4710B等源極或汲極接點(已知為溝槽接點)經設置在半導體結構或裝置4700A之源極及汲極區上方。溝槽接點通孔4712A及4712B個別對溝槽接點4710A及4710B提供接觸。分離閘極接點4714以及覆蓋閘極接點通孔4716對閘極線4708B提供接觸。對比於源極或汲極溝槽接點4710A或4710B，從平面圖的視角來看，閘極接點4714經設置在隔離區4706上方，但不在擴散或主動區4704上方。此外，不論閘極接點4714或閘極接點通孔4716皆不設置在源極或汲極溝槽接點4710A及4710B之間。

【0477】圖47B說明具有設置在閘極電極不主動部分上方之閘極接點的非平面半導體裝置之橫截面圖。參照圖47B，例如圖47A之裝置4700A的非平面版本之半導體結構或裝置4700B包括從基板4702形成並位於隔離區4706內的非平面擴散或主動區4704B(例如，鰭部結構)。閘極線4708B經設置在非平面擴散或主動區4704B上方以及在隔離區4706之一部分上方。如所示，閘極線4708B包含閘極電極4750、閘極介電層4752、以及介電帽層4754。從此視角亦可見閘極接點4714、覆蓋閘極接點通孔4716、以及覆

蓋金屬互連4760，上述所有者皆設置在層間介電質堆疊或層4770中。亦從圖47B的視角來看，閘極接點4714經設置在隔離區4706上方，但不在非平面擴散或主動區4704B上方。

【0478】再次參照圖47A及47B，半導體結構或裝置4700A及4700B之配置個別將閘極接點置於隔離區上方。此類配置浪費布局空間。然而，將閘極接點置於主動區上方會需要極緊縮對準預算或需要增加閘極維度，以提供足夠空間來放置閘極接點。此外，歷史上而言，為了避免鑽穿過其他閘極材料(例如，多晶矽)並且接觸下層主動區之風險，已避免到擴散區上方閘極之接點。本文所述一或多實施例透過提供可行方法以及所產生結構以解決上述問題，以製造接觸形成在擴散或主動區上方的閘極電極之部分的接點結構。

【0479】作為實例，圖48A說明根據本揭示內容之實施例的具有設置在閘極電極主動部分上方之閘極接點通孔的半導體裝置之平面圖。參照圖48A，半導體結構或裝置4800A包括設置在基板4802中並位於隔離區4806內的擴散或主動區4804。諸如閘極線4808A、4808B、以及4808C等一或多閘極線經設置在擴散或主動區4804上方以及在隔離區4806之一部分上方。諸如溝槽接點4810A及4810B等源極或汲極溝槽接點經設置在半導體結構或裝置4800A之源極及汲極區上方。溝槽接點通孔4812A及4812B個別對溝槽接點4810A及4810B提供接觸。不具有中介分離閘極接

觸層之閘極接點通孔4816對閘極線4808B提供接觸。對比於圖47A，從平面圖的視角來看，閘極接點4816經設置在擴散或主動區4804上方並且在源極或汲極接點4810A及4810B之間。

【0480】圖48B說明根據本揭示內容之實施例的具有設置在閘極電極主動部分上方之閘極接點通孔的非平面半導體裝置之橫截面圖。參照圖48B，例如圖48A之裝置4800A的非平面版本之半導體結構或裝置4800B包括從基板4802形成並位於隔離區4806內的非平面擴散或主動區4804B(例如，鰭部結構)。閘極線4808B經設置在非平面擴散或主動區4804B上方以及在隔離區4806之一部分上方。如所示，閘極線4808B包含閘極電極4850、閘極介電層4852、以及介電帽層4854。從此視角亦可見閘極接點通孔4816、以及覆蓋金屬互連4860，兩者皆設置在層間介電質堆疊或層4870中。亦從圖48B的視角來看，閘極接點通孔4816經設置在非平面擴散或主動區4804B上方。

【0481】因此，再次參照圖48A及48B，在實施例中，溝槽接點通孔4812A、4812B、以及閘極接點通孔4816經形成在同一層中並且本質上是共平面的。相較於圖47A及47B，到閘極線之接點反而會包括附加閘極接觸層，其可垂直於對應閘極線延伸。然而在結合圖48A及48B所述之(一或多)結構中，結構4800A及4800B之製造個別賦能從金屬互連層直接將接點接著(landing)在主動閘極部分上而無到相鄰源極汲極區之短路。在實施例中，此類

配置透過消除對將電晶體閘極延伸到隔離區上以形成可靠接點之需求以提供在電路布局中的大區域降低。如通篇所用一般，在實施例中，對閘極之主動部分的參考參照設置在下層基板之主動或擴散區上方(從平面圖之視角)的閘極線或結構之部分。在實施例中，對閘極之不主動部分的參考參照設置在下層基板之隔離區上方(從平面圖之視角)的閘極線或結構之部分。

【0482】在實施例中，半導體結構或裝置4800是諸如但不限於鰭部FET(fin-FET)或三閘極裝置(tri-gate device)等非平面裝置。在此類實施例中，對應半導電通道區是由三維本體所構成或形成。在一此類實施例中，閘極線4808A-4808C之閘極電極堆疊至少環繞三維本體之頂表面以及一對側壁。在另一實施例中，至少該通道區是由分離三維本體製成，諸如在環繞式閘極裝置中一般。在一此類實施例中，閘極線4808A-4808C之閘極電極堆疊各完全環繞該通道區。

【0483】更一般而言，一或多實施例涉及用於將閘極接點通孔直接接著(landing)在主動電晶體閘極上之方法以及自其所形成的結構。此類方法可消除對針對接觸目的而將閘極線延伸到隔離區上之需求。此類方法亦可消除對用以從閘極線或結構傳遞訊號的分離閘極接點(GCN)層之需求。在實施例中，透過凹陷溝槽接點(TCN)中的接點金屬並且導入附加介電質材料到處理流程中(例如，TILA)以達成上述特徵之消除。該附加介電質材料被包括作溝槽接點

介電帽層，其具有與已經用於在閘極對準接點處理(GAP)處理方案(例如，GILA)中的溝槽接點對準所使用之閘極介電質材料帽層不同的蝕刻特徵。

【0484】作為例示性製造方案，圖49A-49D說明根據本揭示內容之實施例代表製造具有設置在閘極主動部分上方之閘極接點結構的半導體結構之方法中的各種操作之橫截面圖。

【0485】參照圖49A，在溝槽接點(TCN)形成之後提供半導體結構4900。應瞭解結構4900之特定配置僅是用於說明目的，以及有各種可行布局是可受益於本文所揭示之實施例。半導體結構4900包括諸如設置在基板4902以上之閘極堆疊結構4908A-4908E等一或多閘極堆疊結構。閘極堆疊結構可包括閘極介電層及閘極電極。例如到基板4902之擴散區的接點等溝槽接點，諸如溝槽接點4910A-4910C亦被包括在結構4900中並且透過介電質間隔件4920而與閘極堆疊結構4908A-4908E間隔開。絕緣帽層4922可設置在閘極堆疊結構4908A-4908E上(例如，GILA)，如同亦在圖49A所描繪一般。亦於圖49A中描繪可包括諸如從層間介電質材料製造的區4923等接點阻擋區或「接點插塞」在其中將阻擋接點形成的區中。

【0486】在實施例中，提供結構4900涉及形成基本上完全對準現存閘極圖案之接點圖案，同時消除使用具有過度緊縮的對準預算之微影操作。在一此類實施例中，此方法賦能使用本質上高選擇性濕式蝕刻(例如，相對於乾式

或電漿蝕刻)以產生接點開口。在實施例中，透過結合接點插塞微影操作運用現存閘極圖案以形成接點圖案。在一此類實施例中，該方法賦能消除對另外用以產生接點圖案為關鍵的微影操作之需求，該操作如在其他方法中所使用的操作。在實施例中，溝槽接點格線並非被分離地圖案化，而是經形成在多晶矽(閘極)線之間。舉例而言在一此類實施例中，在閘極柵狀圖案化之後但在閘極柵狀切割之前形成溝槽接點格線。

【0487】此外，可透過替換閘極處理製造閘極堆疊結構4908A-4908E。在此類方案中，諸如多晶矽或氮化矽柱材料等仿閘極材料可被移除並用永久閘極電極材料替代。在一此類實施例中，永久閘極介電層亦被形成於本處理中，而非在稍早處理中執行。在實施例中，透過乾式蝕刻或濕式蝕刻處理移除仿閘極。在一實施例中，仿閘極是由多晶矽或非晶矽所構成，並透過包括SF_6的乾式蝕刻處理移除。在另一實施例中，仿閘極是由多晶矽或非晶矽所構成，並透過包括NH_4OH水溶液或氫氧化四甲基銨的濕式蝕刻處理移除。在另一實施例中，仿閘極是由氮化矽所構成，並以包括磷酸水溶液的濕式蝕刻移除。

【0488】在實施例中，本文所述之一或多方法本質上思及到結合仿及替換接點處理之仿及替換閘極處理以達成結構4900。在一此類實施例中，在替換閘極處理之後執行替換接點處理以允許永久閘極堆疊之至少一部分的高溫退火。舉例而言在此類特定實施例中，例如在形成閘極介電

層之後的永久閘極結構之至少一部分的退火在大於約攝氏600度之溫度下執行。該退火是在形成永久接點之前執行。

【0489】參照圖49B，結構4900之溝槽接點4910A-4910C經凹陷於間隔件4920內以提供凹陷溝槽接點4911A-4911C，該凹陷溝槽接點4911A-4911C具有在間隔件4920及絕緣帽層4922之頂表面以下之高度。接著在凹陷溝槽接點4911A-4911C上形成絕緣帽層4924(例如，TILA)。根據本揭示內容之實施例，在凹陷溝槽接點4911A-4911C上之絕緣帽層4924是由具有與閘極堆疊結構4908A-4908E上絕緣帽層4922不同的蝕刻特徵之材料所構成。如將可見於接續處理操作中般，可利用此類差異以選擇性蝕刻4922/4924之一者自4922/4924之另一者。

【0490】透過對間隔件4920及絕緣帽層4922之材料具有選擇性的處理可將溝槽接點4910A-4910C凹陷。舉例而言在一實施例中，透過諸如濕式蝕刻處理或乾式蝕刻處理等蝕刻處理將溝槽接點4910A-4910C凹陷。可透過適用於在溝槽接點4910A-4910C之暴露部分以上設置共形及密封層之處理形成絕緣帽層4924。舉例而言，在一實施例中，透過化學氣相沉積(CVD)處理將絕緣帽層4924形成為在整體結構以上之共形層。接著例如透過化學機械拋光(CMP)等將該共形層平面化，以僅提供絕緣帽層4924材料在溝槽接點4910A-4910C以上並且再暴露間隔件4920及絕緣帽層4922。

【0491】有關針對絕緣帽層4922/4924之適當材料組合，在一實施例中，一對4922/4924中的一者是由氧化矽構成而另一者是由氮化矽構成。在另一實施例中，一對4922/4924中的一者是由氧化矽構成而另一者是由碳摻雜氮化矽構成。在另一實施例中，一對4922/4924中的一者是由氧化矽構成而另一者是由碳化矽構成。在另一實施例中，一對4922/4924中的一者是由氮化矽構成而另一者是由碳摻雜氮化矽構成。在另一實施例中，一對4922/4924中的一者是由氮化矽構成而另一者是由碳化矽構成。在另一實施例中，一對4922/4924中的一者是由碳摻雜氮化矽構成而另一者是由碳化矽構成。

【0492】參照圖49C，形成並且圖案化層間介電質(ILD)4930及硬遮罩4932堆疊，以提供例如圖案化在圖49B之結構以上的金屬(0)溝槽4934。

【0493】層間介電質(ILD)4930可由適用於將最終形成於其內的金屬特徵電性隔離同時在前端與後端處理之間維持強健結構的材料所構成。此外，在實施例中，ILD4930之組成物經選定為與用於溝槽接點介電帽層圖案化之通孔蝕刻選擇性一致，如將在下文結合圖49D更詳細說明般。在一實施例中，ILD 4930是由單層或幾層氧化矽或者單層或幾層碳摻雜氧化物(CDO)材料所構成。然而在其他實施例中，ILD 4930具有雙層組成物，其中頂部部分是由與ILD 4930下層底部部分不同的材料所構成。硬遮罩層4932可由適用於作為接續犧牲層之材料構成。舉例而

言，在一實施例中，硬遮罩層4932是實質上由碳構成，例如為交鏈有機聚合物層。在其他實施例中，氮化矽或碳摻雜氮化矽層是用作硬遮罩4932。層間介電質(ILD)4930及硬遮罩4932堆疊可透過微影及蝕刻處理而被圖案化。

【0494】參照圖49D，通孔開口4936(例如，VCT)經形成在層間介電質(ILD)4930中，並且從金屬(0)溝槽4934延伸到凹陷溝槽接點4911A-4911C之一或多者。舉例而言在圖49D中，通孔開口經形成以暴露凹陷的溝槽接點4911A及4911C。通孔開口4936之形成包括蝕刻層間介電質(ILD)4930與對應絕緣帽層4924之個別部分。在一此類實施例中，在層間介電質(ILD)4930之圖案化期間，絕緣帽層4922之一部分被暴露(例如，閘極堆疊結構4908B及4908E上方的絕緣帽層4922之一部分經暴露)。在該實施例中，絕緣帽層4924經蝕刻以形成對絕緣帽層4922具選擇性(亦即，無顯著蝕刻或影響)的通孔開口4936。

【0495】在一實施例中，通孔開口圖案最終透過蝕刻處理被轉移到絕緣帽層4924(亦即，溝槽接點絕緣帽層)而無蝕刻絕緣帽層4922(亦即，閘極絕緣帽層)。絕緣帽層4924(TILA)可由下述任何者或組合所構成，包括：氧化矽、氮化矽、碳化矽、碳摻雜氮化矽、碳摻雜氧化矽、非晶矽、以及包括氧化鋯、氧化鉿、氧化鑭或其組合之各種金屬氧化物及矽酸鹽。可使用下述技術之任何者沉積該層，該等技術包括：CVD、ALD、PECVD、PVD、HDP輔助CVD、以及低溫CVD。對應電漿乾式蝕刻經研發為化學

及物理濺鍍機制之組合。重合聚合物沉積(Coincident polymer deposition)可用以控制材料移除率、蝕刻輪廓、以及薄膜選擇性。乾式蝕刻典型上經產生為具有包括NF_3、CHF_3、C_4F_8、HBr、及O_2之氣體混合物、具有典型上在30-100毫托範圍內之壓力、以及具有50-1000瓦特之電漿偏壓。乾式蝕刻可經加工以達成在帽層4924(TILA)與4922(GILA)層之間的顯著蝕刻選擇性，用以在乾式蝕刻4924(TILA)以形成到電晶體之源極汲極區的接點期間最小化4922(GILA)之損失。

【0496】再次參照圖49D，應瞭解可實作相似方法以製造通孔開口圖案，該通孔開口圖案最終透過蝕刻處理被轉移到絕緣帽層4922(亦即，溝槽接點絕緣帽層)而無蝕刻絕緣帽層4924(亦即，閘極絕緣帽層)。

【0497】為進一步例示化主動閘極上方接點(COAG)技術之概念，圖50說明根據本揭示內容之實施例的具有包括覆蓋絕緣帽層之溝槽接點的積體電路結構之平面圖及對應橫截面圖。

【0498】參照圖50，積體電路結構5000包括在半導體基板或諸如矽鰭部之鰭部5002以上的閘極線5004。閘極線5004包括閘極堆疊5005(例如，包括閘極介電層或堆疊以及在該閘極介電層或堆疊上之閘極電極)以及在該閘極堆疊5005上之閘極絕緣帽層5006。介電質間隔件5008是沿著閘極堆疊5005之側壁，以及在實施例中是沿著閘極絕緣帽層5006之側壁，如所描繪一般。

【0499】溝槽接點5010是相鄰於閘極線5004之側壁，其中介電質間隔件5008在閘極線5004與溝槽接點5010之間。溝槽接點5010之個別者包括導電接點結構5011及在該導電接點結構5011上之溝槽接點絕緣帽層5012。

【0500】再次參照圖50，閘極接點通孔5014經形成在閘極絕緣帽層5006之開口中並且電性接觸閘極堆疊5005。在實施例中，閘極接點通孔5014在半導體基板或鰭部5002上方並且橫向位於溝槽接點5010之間的位置處電性接觸閘極堆疊5005，如所描繪一般。在一此類實施例中，在導電接點結構5011上的溝槽接點絕緣帽層5012透過閘極接點通孔5014避免閘極到源極短路或閘極到汲極短路。

【0501】再次參照圖50，溝槽接點通孔5016經形成在溝槽接點絕緣帽層5012之開口中並且電性接觸個別導電接點結構5011。在實施例中，溝槽接點通孔5016在半導體基板或鰭部5002上方並且橫向相鄰於閘極線5004之閘極堆疊5005的位置處電性接觸個別導電接點結構5011，如所描繪一般。在一此類實施例中，在閘極堆疊5005上的閘極絕緣帽層5006透過溝槽接點通孔5016避免源極到閘極短路或汲極到閘極短路。

【0502】應瞭解，可製造出絕緣閘極帽層與絕緣溝槽接點帽層之間的不同結構性關係。作為實例，圖51A-51F說明根據本揭示內容之實施例的各種積體電路結構之橫截面圖，各具有包括覆蓋絕緣帽層之溝槽接點以及具有包括覆蓋絕緣帽層之閘極堆疊。

【0503】參照圖51A、51B、以及51C，積體電路結構5100A、5100B、以及5100C個別包括諸如矽鰭部之鰭部5102。雖然被描繪成橫截面圖，但應瞭解鰭部5102具有頂部5102A與側壁(進出所顯示視角之頁面)。第一5104及第二5106閘極介電層在鰭部5102頂部5102A上方以及橫向相鄰於鰭部5102之側壁。第一5108及第二5110閘極電極個別在第一5104及第二5106閘極介電層上方，該一5104及第二5106閘極介電層在鰭部5102頂部5102A上方以及橫向相鄰於鰭部5102之側壁。第一5108及第二5110閘極電極各包括諸如工作函數設定層的共形導電層5109A以及在該共形導電層5109A以上的導電填充材料5109B。第一5108及第二5110閘極電極皆具有第一側5112以及與該第一側5112相對的第二側5114。第一5108及第二5110閘極電極亦皆具有具備頂表面5118之絕緣帽蓋5116。

【0504】第一介電質間隔件5120是相鄰於第一閘極電極5108之第一側5112。第二介電質間隔件5122是相鄰於第二閘極電極5110之第二側5114。半導體源極或汲極區5124是相鄰於第一5120及第二5122介電質間隔件。溝槽接點結構5126是在相鄰於第一5120及第二5122介電質間隔件之半導體源極或汲極區5124上方。

【0505】溝槽接點結構5126包括在導電結構5130上的絕緣帽蓋5128。溝槽接點結構5126之絕緣帽蓋5128具有與第一5108及第二5110閘極電極之絕緣帽蓋5116的頂表面5118共平面之頂表面5129。在實施例中，溝槽接點結構

5126之絕緣帽蓋5128橫向延伸進入第一5120及第二5122介電質間隔件中的凹陷5132中。在此類實施例中，溝槽接點結構5126之絕緣帽蓋5128比溝槽接點結構5126之導電結構5130外伸突出(overhang)。然而在其他實施例中，溝槽接點結構5126之絕緣帽蓋5128不橫向延伸進入第一5120及第二5122介電質間隔件中的凹陷5132中，並且因此不會比溝槽接點結構5126之導電結構5130外伸突出。

【0506】應瞭解，溝槽接點結構5126之導電結構5130可能不是矩形的，如圖51A-51C所描繪的。舉例而言，溝槽接點結構5126之導電結構5130可具有與圖51A投影說明針對導電結構5130A所顯示的幾何形狀相似或相同之橫截面幾何形狀。

【0507】在實施例中，溝槽接點結構5126之絕緣帽蓋5128具有與第一5108及第二5110閘極電極之絕緣帽蓋5116的組成物不同之組成物。在一此類實施例中，溝槽接點結構5126之絕緣帽蓋5128包括碳化物材料，諸如碳化矽材料。第一5108及第二5110閘極電極之絕緣帽蓋5116包括氮化物材料，諸如氮化矽材料。

【0508】在實施例中，第一5108及第二5110閘極電極之絕緣帽蓋5116皆具有在溝槽接點結構5126之絕緣帽蓋5128之底表面5128A以下的底表面5117A，如圖51A所描繪一般。在另一實施例中，第一5108及第二5110閘極電極之絕緣帽蓋5116皆具有與溝槽接點結構5126之絕緣帽蓋5128之底表面5128B實質上共平面的底表面5117B，如圖51B所

描繪一般。在另一實施例中，第一5108及第二5110閘極電極之絕緣帽蓋5116皆具有在溝槽接點結構5126之絕緣帽蓋5128之底表面5128C以上的底表面5117C，如圖51C所描繪一般。

【0509】在實施例中，溝槽接點結構5128之導電結構5130包括U型金屬層5134、在該U型金屬層5134整體上及上方的T型金屬層5136、以及在該T型金屬層5136上的第三金屬層5138。溝槽接點結構5126之絕緣帽蓋5128是在第三金屬層5138上。在一此類實施例中，第三金屬層5138及U型金屬層5134包括鈦，以及T型金屬層5136包括鈷。在此類特定實施例中，T型金屬層5136進一步包括碳。

【0510】在實施例中，金屬矽化物層5140是直接位於溝槽接點結構5126之導電結構5130與半導體源極或汲極區5124之間。在一此類實施例中，金屬矽化物層5140包括鈦及矽。在此類特定實施例中，半導體源極或汲極區5124是N型半導體源極或汲極區。在另一實施例中，金屬矽化物層5140包括鎳、鉑及矽。在此類特定實施例中，半導體源極或汲極區5124是P型半導體源極或汲極區。在另一此類特定實施例中，金屬矽化物層進一步包括鍺。

【0511】在實施例中，參照圖51D，導電通孔5150是電性連接到並且在鰭部5102之頂部5102A上方的第一閘極電極5108之一部分上。導電通孔5150是在第一閘極電極5108之絕緣帽蓋5116中的開口5152中。在一此類實施例中，導電通孔5150是在溝槽接點結構5126之絕緣帽蓋5128

之一部分上但不電性連接到溝槽接點結構5126之導電結構5130。在此類特定實施例中，導電通孔5150是在溝槽接點結構5126之絕緣帽蓋5128的經侵蝕部分5154中。

【0512】在實施例中，參照圖51E，導電通孔5160是電性連接到並且在溝槽接點結構5126之一部分上。導電通孔是在溝槽接點結構5126之絕緣帽蓋5128的開口5162中。在一此類實施例中，導電通孔5160是在第一5108及第二5110閘極電極之絕緣帽蓋5116之一部分上但不電性連接到第一5108及第二5110閘極電極。在此類特定實施例中，導電通孔5160是在第一5108及第二5110閘極電極之絕緣帽蓋5116的經侵蝕部分5164中。

【0513】再次參照圖51E，在實施例中，導電通孔5160是與圖51D之導電通孔5150相同結構之第二導電通孔。在一此類實施例中，此類第二導電通孔5160是與導電通孔5150隔離的。在另一此類實施例中，此類第二導電通孔5160與導電通孔5150合併以形成電性短路接點5170，如圖51F所描繪般。

【0514】本文所述方法及結構可賦能使用其他方法難以或無法製造的其他結構或裝置之形成。在第一實例中，圖52A說明根據本揭示內容之另一實施例的具有設置在閘極主動部分上方之閘極接點通孔的另一半導體裝置之平面圖。參照圖52A，半導體結構或裝置5200包括複數個閘極結構5208A-5208C，該複數個閘極結構5208A-5208C與複數個溝槽接點5210A及5210B交叉(此等特徵被設置在基板

之主動區以上，未示出)。閘極接點通孔5280經形成在閘極結構5208B之主動部分上。閘極接點通孔5280進一步經設置在閘極結構5208C之主動部分上，耦合閘極結構5208B與5208C。應瞭解，透過使用溝槽接點隔離帽層(例如，TILA)，可將中介溝槽接點5210B與接點5280隔離。圖52A之接點組態可提供用以將布局中的相鄰閘極線搭接(strapping)之較簡易方法，而無須將搭接帶(strap)路由通過金屬化之上層，因此賦能較小單元區域或較不複雜佈線方案，或賦能兩者。

【0515】在第二實例中，圖52B說明根據本揭示內容之另一實施例的具有耦合一對溝槽接點之溝槽接點通孔的另一半導體裝置之平面圖。參照圖52B，半導體結構或裝置5250包括複數個閘極結構5258A-5258C，該複數個閘極結構5258A-5258C與複數個溝槽接點5260A及5260B交叉(此等特徵被設置在基板之主動區以上，未示出)。溝槽接點通孔5290經形成在溝槽接點5260A上。溝槽接點通孔5290進一步經設置在溝槽接點5260B上，耦合溝槽接點5260A與5260B。應瞭解，透過使用閘極隔離帽層(例如，透過GILA處理)，可將中介閘極結構5258B與溝槽接點通孔5290隔離。圖52B之接點組態可提供用以將布局中的相鄰溝槽接點搭接(strapping)之較簡易方法，而無須將搭接帶(strap)路由通過金屬化之上層，因此賦能較小單元區域或較不複雜佈線方案，或賦能兩者。

【0516】可使用一些沉積操作製造出用於閘極電極之

絕緣帽層，並且導致其包括多沉積製造處理之產物。作為實例，圖53A-53E說明代表根據本揭示內容之實施例的具有具備覆蓋絕緣帽層之閘極堆疊的積體電路結構之製造方法中各種操作的橫截面圖。

【0517】參照圖53A，起始結構5300包括在基板或鰭部5302以上之閘極堆疊5304。閘極堆疊5304包括閘極介電層5306、共形導電層5308、及導電填充材料5310。在實施例中，閘極介電層5306是使用原子層沉積(ALD)處理形成之高k值閘極介電層，以及共形導電層是使用ALD處理形成之工作函數層。在一此類實施例中，諸如熱或化學二氧化矽或氧化矽層的熱或化學氧化物層5312是位於基板或鰭部5302與閘極介電層5306之間。諸如氮化矽間隔件等介電質間隔件5314是相鄰於閘極堆疊5304之側壁。介電質閘極堆疊5304及介電質間隔件5314是容納於層間介電(ILD)層5316中。在實施例中，閘極堆疊5304是使用替換閘極以及替換閘極介電質處理方案所形成的。遮罩5318經圖案化於閘極堆疊5304以及ILD層5316以上，以提供暴露閘極堆疊5304之開口5320。

【0518】參照圖53B，使用選擇性蝕刻處理，將包括閘極介電層5306、共形導電層5308、以及導電填充材料5310之閘極堆疊5304相對於介電質間隔件5314及層5316凹陷。接著移除遮罩5318。該凹陷設置了空穴5322在凹陷閘極堆疊5324以上。

【0519】在另一未被描繪的實施例中，共形導電層

5308以及導電填充材料5310相對於介電質間隔件5314及層5316而被凹陷，但閘極介電層5306並未被凹陷或僅被最小地凹陷。應瞭解在其他實施例中，使用基於高蝕刻選擇性之無遮罩方法用於該凹陷。

【0520】參照圖53C，執行用於製造閘極絕緣帽層的多沉積處理中的第一沉積處理。第一沉積處理是用以形成與圖53B之結構共形的第一絕緣層5326。在實施例中，第一絕緣層5326包括矽及氮，例如第一絕緣層5326是氮化矽(Si_3N_4)層、富矽之氮化矽層、貧矽氮化矽層、或碳摻雜的氮化矽層。在實施例中，第一絕緣層5326僅部分填充在凹陷閘極堆疊5324以上的空穴5322，如所描繪一般。

【0521】參照圖53D，第一絕緣層5326接受諸如各向異性蝕刻處理等深蝕刻處理，以提供絕緣帽層之第一部分5328。絕緣帽層之第一部分5328僅部分填充在凹陷閘極堆疊5324以上的空穴5322。

【0522】參照圖53E，執行附加附加沉積處理及深蝕刻處理直到在凹陷閘極堆疊5324以上的空穴5322經填充有絕緣閘極帽蓋結構5330。接縫5332在橫截面分析中是明顯的且可指示用以形成絕緣閘極帽蓋結構5330的交替沉積處理與深蝕刻處理之數量。在圖53E所顯示之實例中，三組接縫5332A、5332B、及5332C之存在指示用以形成絕緣閘極帽蓋結構5330的四個交替沉積處理與深蝕刻處理。在實施例中，透過接縫5332所分離的絕緣閘極帽蓋結構5330之材料5330A、5330B、5330C及5330D皆具有完全相同或實

質上相同之組成物。

【0523】如本申請案通篇描述的，基板可由可承受製造處理的半導體材料所構成，且其中電荷可遷移。在實施例中，本文所述基板是由摻雜有諸如但不限於磷、砷、硼或其組合等電荷載體的晶狀矽、矽/鍺或鍺層所構成之塊狀基板，以形成主動區。在一實施例中，此類塊狀基板中的矽原子之濃度大於97%。在另一實施例中，塊狀基板是由生長在不同晶狀基板上的磊晶層所構成，例如生長在硼摻雜的塊狀矽單晶基板上的矽磊晶層。塊狀基板可替代地由第III-V族材料構成。在實施例中，塊狀基板是由諸如但不限於氮化鎵、磷化鎵、砷化鎵、磷化銦、銻化銦、砷化銦鎵、砷化鋁鎵、磷化銦鎵或其組合等III-V材料所構成。在一實施例中，塊狀基板是由III-V材料構成並且電荷載體摻雜劑雜質原子是諸如但不限於碳、矽、鍺、氧、硫、硒或碲者。

【0524】如本申請案通篇描述的，諸如淺溝槽隔離區或子鰭隔離區等隔離區可由適用於最終電性隔離或有助於永久閘極結構之部分與下層塊狀基板之隔離或用以隔離形成於下層塊狀基板內的主動區，諸如隔離鰭部主動區，之材料所構成。舉例而言，在一實施例中，隔離區是由一或多層的介電質材料所構成，諸如但不限於二氧化矽、氮氧化矽、氮化矽、碳摻雜的氮化矽或其組合。

【0525】如本申請案通篇描述的，閘極線或閘極結構可由包括閘極介電層與閘極電極層的閘極電極堆疊所構

成。在實施例中，閘極電極堆疊之閘極電極是由金屬閘極所構成，以及閘極介電層是由高k值材料所構成。舉例而言在一實施例中，閘極介電層是由諸如但不限於氧化鉿、氮氧化鉿、矽酸鉿、氧化鑭、氧化鋯、矽酸鋯、氧化鉭、鈦酸鋇鍶、鈦酸鋇、鈦酸鍶、氧化釔、氧化鋁、氧化鉛鈧鉭、鈮酸鉛鋅、或其組合之材料所構成。此外，閘極介電層之一部分可包括從半導體基板的頂部幾層形成的原生氧化物之層。在實施例中，閘極介電層是由頂部高k值部分以及由半導體材料之氧化物構成的下部分所構成。在一實施例中，閘極介電層是由氧化鉿之頂部部分與二氧化矽或氮氧化矽之底部部分所構成。在若干實作中，閘極介電質之一部分是「U」狀結構，該U狀結構包括實質平行於基板之表面的底部分以及實質垂直於基板之頂表面的兩個側壁部分。

【0526】在一實施例中，閘極電極是由諸如但不限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鉿、鋯、鈦、鉭、鋁、釕、鈀、鉑、鈷、鎳或導電金屬氧化物之金屬層所構成。在特定實施例中，閘極電極是由形成在金屬工作函數設定層以上的非工作函數設定填充材料所構成。取決於該電晶體要成為PMOS電晶體或NMOS電晶體，閘極電極層可由P型工作函數金屬或N型工作函數金屬所構成。在若干實作中，閘極電極層可由二或更多層金屬層之堆疊構成，其中一或更多層金屬層為工作函數金屬層且至少一金屬層為導電填充層。針對PMOS電晶體，

可用於閘極電極之金屬包括，但未限於，釕、鈀、鉑、鈷、鎳、及例如氧化釕之導電金屬氧化物。P型金屬層將賦能PMOS閘極電極之形成，該PMOS閘極電極將具有約4.9 eV到約5.2 eV之間的工作函數。針對NMOS電晶體，可用於閘極電極之金屬包括，但未限於，鉿、鋯、鈦、鉭、鋁、此些金屬之合金、此些金屬之碳化物，諸如碳化鉿、碳化鋯、碳化鈦、碳化鉭、及碳化鋁。N型金屬層將賦能NMOS閘極電極之形成，該NMOS閘極電極將具有約3.9 eV到約4.2 eV之間的工作函數。在若干實作中，閘極電極可由「U」狀結構構成，該U狀結構包括實質平行於基板之表面的底部分以及實質垂直於基板之頂表面的兩個側壁部分。在另一實作中，形成閘極電極之金屬層的至少一層可僅為平面層，其實質平行於基板之頂表面並不包括實質垂直於基板之頂表面的側壁部分。在本揭示內容進一步實作中，閘極電極可由U狀結構及平面非U狀結構之組合所構成。舉例而言，閘極電極可由形成在一或多平面非U狀層上的一或多U狀金屬層構成。

【0527】如本申請案通篇描述的，與閘極線或電極堆疊相關之間隔件可由適用於最終電性隔離或有助於永久閘極結構與諸如自對準接點等相鄰導電接點之隔離的材料所構成。舉例而言，在一實施例中，間隔件是由介電質材料所構成，諸如但不限於二氧化矽、氮氧化矽、氮化矽、或碳摻雜的氮化矽。

【0528】在實施例中，本文所描述方法可涉及形成非

常對準現存閘極圖案之接點圖案，同時消除使用具有過度緊縮的對準預算之微影操作。在一此類實施例中，此方法賦能使用本質上高選擇性濕式蝕刻(例如，相對於乾式或電漿蝕刻)以產生接點開口。在實施例中，透過結合接點插塞微影操作運用現存閘極圖案以形成接點圖案。在一此類實施例中，該方法賦能消除對另外用以產生接點圖案為關鍵的微影操作之需求，該操作如在其他方法中所使用的操作。在實施例中，溝槽接點格線並非被分離地圖案化，而是經形成在多晶矽(閘極)線之間。舉例而言在一此類實施例中，在閘極柵狀圖案化之後但在閘極柵狀切割之前形成溝槽接點格線。

【0529】此外，可透過替換閘極處理製造閘極堆疊結構。在此類方案中，諸如多晶矽或氮化矽柱材料等仿閘極材料可被移除並用永久閘極電極材料替代。在一此類實施例中，永久閘極介電層亦被形成於本處理中，而非在稍早處理中執行。在實施例中，透過乾式蝕刻或濕式蝕刻處理移除仿閘極。在一實施例中，仿閘極是由多晶矽或非晶矽所構成，並透過包括使用SF_6的乾式蝕刻處理移除。在另一實施例中，仿閘極是由多晶矽或非晶矽所構成，並透過包括使用NH_4OH水溶液或氫氧化四甲基銨的濕式蝕刻處理移除。在另一實施例中，仿閘極是由氮化矽所構成，並以包括磷酸水溶液的濕式蝕刻移除。

【0530】在實施例中，本文所述之一或多方法本質上思及到結合仿及替換接點處理之仿及替換閘極處理以達成

結構。在一此類實施例中，在替換閘極處理之後執行替換接點處理以允許永久閘極堆疊之至少一部分的高溫退火。舉例而言在此類特定實施例中，例如在形成閘極介電層之後的永久閘極結構之至少一部分的退火在大於約攝氏600度之溫度下執行。該退火是在形成永久接點之前執行。

【0531】在若干實施例中，半導體結構或裝置之配置將閘極接點置於隔離區上方的閘極堆疊或閘極線之部分上方。然而，此類配置可被視成布局空間之低效率使用。在另一實施例中，半導體裝置具有與形成在主動區上方的閘極電極之部分接觸的接點結構。一般而言，(例如除了)在與溝槽接點通孔同層中以及在閘極主動部分上方形成閘極接點結構(諸如通孔)之前，本揭示內容之一或多實施例包括首先使用閘極對準的溝槽接點處理。可實作此類處理以形成溝槽接點結構用於半導體結構製造，例如用於積體電路製造。在實施例中，溝槽接點圖案經形成為與現存閘極圖案對準的。相比之下，其他方法典型上涉及附加微影處理，其中微影接點圖案與現有閘極圖案緊密對準，並結合選擇性接點蝕刻。舉例而言，另一處理可包括將多晶矽(閘極)格線圖案化，並另外將接點特徵圖案化。

【0532】應瞭解並非需要實作上述處理之所有態樣以落入本揭示內容實施例之精神與範疇中。舉例而言在一實施例中，在製造閘極堆疊之主動部分上方的閘極接點之前不需要形成仿閘極。上述閘極堆疊可實際上是初始形成般的永久閘極堆疊。另外，本文所述處理可用以製造一或複

數個半導體裝置。半導體裝置可為電晶體或類似裝置。舉例而言在實施例中，半導體裝置為用於邏輯或記憶體之金屬氧化物半導體(MOS)電晶體，或是雙極電晶體。另外在實施例中，半導體裝置具有三維架構，諸如三閘極裝置、獨立接取的雙閘極裝置、或鰭部FET(FIN-FET)。一或多實施例可特別有用於在10奈米技術節點、次10奈米技術節點處製造半導體裝置。

【0533】針對FEOL層或結構製造之附加或中間操作可包括標準微電子製造處理，諸如微影、蝕刻、薄膜沉積、平面化(諸如化學機械式拋光(CMP))、擴散、度量(metrology)、使用犧牲層、使用蝕刻停止層、使用平面化停止層、或任何其他與微電子組件製造相關之操作。另外，應瞭解針對上述處理流程所描述的處理操作可以替代順序被實作，且並非每一個操作皆必須被執行，或者可執行附加處理操作，或兩者皆可屬實。

【0534】應瞭解在上述例示性FEOL實施例中，在實施例中，10奈米或次10奈米節點處理經直接實作在製造方案與所產生結構中，作為技術驅動。在其他實施例中，FEOL考慮可由BEOL 10奈米或次10奈米處理需求所驅動。舉例而言，針對FEOL層及裝置之材料選擇與布局可能需要適應(accommodate)於BEOL處理。在一此類實施例中，材料選擇以及閘極堆疊架構經選擇以適應BEOL層之高密度金屬化，例如用以降低形成在FEOL層中電晶體結構中之邊緣電容但透過BEOL層之高密度金屬化而耦合在一

起。

【0535】積體電路之後端製程(BEOL)層一般包括導電的微電子結構，其在該技術領域中是被具有通常知識者已知為通孔，以將通孔以上的金屬線或其他互連電性連接到通孔以下的金屬線或其他互連。可透過微影處理形成通孔。代表性地，光阻層可被旋轉塗佈在介電層上方，該光阻層透過圖案化遮罩而暴露於圖案化光化輻射，以及該暴露層可接著被顯影以在光阻層中形成開口。接著，透過使用在光阻層中的開口作為蝕刻遮罩，將用於通孔之開口蝕刻在介電層中。此開口被稱作通孔開口。最後，以一或多金屬或其他導電材料填充通孔開口，以形成通孔。

【0536】通孔之尺寸及間距已逐步減少，且可預期未來至少針對若干類型之積體電路(例如，進階微處理器、晶片組組件、繪圖晶片等)，通孔之尺寸及間距將持續逐漸減小。當透過此類微影處理而將具有極小節距之極小通孔圖案化時，存在若干挑戰。一此類挑戰在於通孔與覆蓋互連之間的覆蓋，以及通孔與下層接著(landing)互連之間的覆蓋，通常需要被控制在大約為通孔節距之四分之一的高容限。隨著通孔節距隨時間而持續縮小，覆蓋容限趨向於以比微影設備所能跟上更快的速率隨著通孔節距縮小。

【0537】另一此類挑戰是通孔開口之臨界維度通常趨向於比微影掃描器之解析度性能所能跟上更快的速率縮小。存在縮小技術，用以將通孔開口之臨界維度縮小。然而，縮小量趨向於受限於最小通孔節距，以及受限於縮小

處理要是足夠光學臨近修正(OPC)中性之能力，並且不致於顯著妥協於線寬度粗糙度(LWR)或臨界維度一致性(CDU)，或兩者。惟，仍存在另一此類挑戰，其是光阻劑之LWR或CDU(或兩者)之特徵通常需要隨著通孔開口之臨界維度縮小而改善，以確保維持總體上相同分數(fraction)的臨界維度預算。

【0538】上述因子亦與考慮在後端製程(BEOL)金屬互連結構之金屬線間的金屬線(參照成「插塞」、「介電質插塞」或「金屬線端」)之間的非導電空間或中斷之設置與縮小相關。因此，在用於製造金屬線、金屬通孔、及介電質插塞之後端金屬化製造技術的區塊中需要改良。

【0539】在另一態樣中，實作節距四分方法用於在介電層中圖案化溝槽，以用於形成BEOL互連結構。根據本揭示內容之實施例，應用節距劃分以用於製造BEOL製造方案中的金屬線。實施例可賦能金屬層之節距的持續縮小，超越最先進微影設備之解析度性能。

【0540】圖54係根據本揭示內容之實施例的製造用於互連結構之溝槽所使用的節距四分方法5400之示意圖。

【0541】參照圖54，在操作(a)處，使用直接微影形成支柱特徵5402。例如，可將光阻層或堆疊圖案化，以及將圖案轉移到硬遮罩材料中以最終形成支柱特徵5402。可使用諸如193浸沒微影等標準微影處理技術來將用以形成支柱特徵5402之光阻層或堆疊圖案化。接著將第一間隔件特徵5404形成相鄰於支柱特徵5402之側壁。

【0542】在操作(b)處，移除支柱特徵5402以僅留下第一間隔件特徵5404。在此階段，第一間隔件特徵5404有效地是半節距遮罩，例如代表節距減半處理。第一間隔件特徵5404可直接用於節距四分處理，或者第一間隔件特徵5404之圖案可先被轉移到新硬遮罩材料中，其中將描繪後者方法。

【0543】在操作(c)處，第一間隔件特徵5404之圖案經轉移到新硬遮罩材料中以形成第一間隔件特徵5404'。接著將第二間隔件特徵5406形成相鄰於第一間隔件特徵5404'之側壁。

【0544】在操作(d)處，移除第一間隔件特徵5404'以僅留下第二間隔件特徵5406。在此階段，第二間隔件特徵5406有效地是四分節距遮罩，例如代表節距四分處理。

【0545】在操作(e)處，第二間隔件特徵5406被用作遮罩，以在介電質或硬遮罩層中圖案化複數個溝槽5408。溝槽可最終被導電材料填充以在積體電路之金屬化層中形成導電互連。溝槽5408具有對應於支柱特徵5402之標記「B」。溝槽5408具有對應於第一間隔件特徵5404或5404'之標記「S」。溝槽5408具有對應於在支柱特徵5402之間的互補區5407之標記「C」。

【0546】應瞭解，由於圖54之溝槽5408的個別者具有對應於圖54之支柱特徵5402、第一間隔件特徵5404或5404'、或互補區5407之一者的圖案化源(patterning origin)，在此類特徵之寬度及/或節距中的差異可在最終形成積體

電路之金屬化層中的導電互連中顯示為節距四分處理之產物。作為實例，圖55A說明根據本揭示內容之實施例的使用節距四分方案所製造的金屬化層之橫截面圖。

【0547】參照圖55A，積體電路結構5500包括在基板5502以上之層間介電(ILD)層5504。複數個導電互連線5506是在ILD層5504中，以及複數個導電互連線5506之個別者透過ILD層5504之部分而彼此間隔開。複數個導電互連線5506之個別者包括導電障壁層5508以及導電填充材料5510。

【0548】參考圖54及55A兩者，導電互連線5506B經形成在溝槽中，具有源自支柱特徵5402之圖案。導電互連線5506S經形成在溝槽中，具有源自第一間隔件特徵5404或5404'之圖案。導電互連線5506C經形成在溝槽中，具有源自在支柱特徵5402之間的互補區5407之圖案。

【0549】再次參照圖55A，在實施例中，複數個導電互連線5506包括具有寬度(W1)之第一互連線5506B。第二互連線5506S是緊鄰著第一互連線5506B，第二互連線5506S具有與第一互連線5506B之寬度(W1)不同之寬度(W2)。第三互連線5506C是緊鄰著第二互連線5506S，第三互連線5506C具有寬度(W3)。第四互連線(第二5506S)是緊鄰著第三互連線5506C，第四互連線具有與第二互連線5506S之寬度(W2)相同之寬度(W2)。第五互連線(第二5506B)是緊鄰著第四互連線(第二5506S)，第五互連線(第二5506B)具有與第一互連線5506B之寬度(W1)相同之寬度

(W1)。

【0550】在實施例中，第三互連線5506C之寬度(W3)與第一互連線5506B之寬度(W1)不同。在一此類實施例中，第三互連線5506C之寬度(W3)與第二互連線5506S之寬度(W2)不同。在另一此類實施例中，第三互連線5506C之寬度(W3)與第二互連線5506S之寬度(W2)相同。在另一實施例中，第三互連線5506C之寬度(W3)與第一互連線5506B之寬度(W1)相同。

【0551】在實施例中，在第一互連線5506B與第三互連線5506C之間的節距(P1)與在第二互連線5506S與第四互連線(第二5506S)之間的節距(P2)相同。在另一實施例中，在第一互連線5506B與第三互連線5506C之間的節距(P1)與在第二互連線5506S與第四互連線(第二5506S)之間的節距(P2)不同。

【0552】再次參照圖55A，在另一實施例中，複數個導電互連線5506包括具有寬度(W1)之第一互連線5506B。第二互連線5506S是緊鄰著第一互連線5506B，第二互連線5506S具有寬度(W2)。第三互連線5506C是緊鄰著第二互連線5506S，第三互連線5506C具有與第一互連線5506B之寬度(W1)不同之寬度(W3)。第四互連線(第二5506S)是緊鄰著第三互連線5506C，第四互連線具有與第二互連線5506S之寬度(W2)相同之寬度(W2)。第五互連線(第二5506B)是緊鄰著第四互連線(第二5506S)，第五互連線(第二5506B)具有與第一互連線5506B之寬度(W1)相同之寬度

(W1)。

【0553】在實施例中，第二互連線5506S之寬度(W2)與第一互連線5506B之寬度(W1)不同。在一此類實施例中，第三互連線5506C之寬度(W3)與第二互連線5506S之寬度(W2)不同。在另一此類實施例中，第三互連線5506C之寬度(W3)與第二互連線5506S之寬度(W2)相同。

【0554】在實施例中，第二互連線5506S之寬度(W2)與第一互連線5506B之寬度(W1)相同。在實施例中，在第一互連線5506B與第三互連線5506C之間的節距(P1)與在第二互連線5506S與第四互連線(第二5506S)之間的節距(P2)相同。在實施例中，在第一互連線5506B與第三互連線5506C之間的節距(P1)與在第二互連線5506S與第四互連線(第二5506S)之間的節距(P2)不同。

【0555】圖55B說明根據本揭示內容之實施例在使用節距四分方案所製造的金屬化層上的使用節距減半方案製造的金屬化層之橫截面圖。

【0556】參照圖55B，積體電路結構5550包括在基板5552以上之第一層間介電(ILD)層5554。第一複數個導電互連線5556是在第一ILD層5554中，以及第一複數個導電互連線5556之個別者透過第一ILD層5554之部分而彼此間隔開。複數個導電互連線5556之個別者包括導電障壁層5558以及導電填充材料5560。積體電路結構5550進一步包括在基板5552以上之第二層間介電(ILD)層5574。第二複數個導電互連線5576是在第二ILD層5574中，以及第二複

數個導電互連線5576之個別者透過第二ILD層5574之部分而彼此間隔開。複數個導電互連線5576之個別者包括導電障壁層5578以及導電填充材料5580。

【0557】根據本揭示內容之實施例並再次參考圖55B，製造積體電路結構之方法包括形成第一複數個導電互連線5556在基板5552以上的第一層間介電(ILD)層5554中，並且該第一複數個導電互連線5556透過該第一層間介電(ILD)層5554而彼此間隔開。第一複數個導電互連線5556是使用間隔件為基節距四分處理而形成的，其中該處理例如是結合圖54之操作(a)-(e)所描述之方法。第二複數個導電互連線5576經形成在第一ILD層5554以上的第二ILD層5574中，並且該第二複數個導電互連線5576透過該第二ILD層5574而彼此間隔開。第二複數個導電互連線5576是使用間隔件為基節距減半處理而形成的，其中該處理例如是結合圖54之操作(a)及(b)所描述之方法。

【0558】在實施例中，第一複數個導電互連線5556在緊鄰的線間具有大於40奈米之節距(P1)。第二複數個導電互連線5576在緊鄰的線間具有44奈米以上之節距(P2)。在實施例中，間隔件為基節距四分處理以及間隔件為基節距減半處理是基於浸沒193nm微影處理。

【0559】在實施例中，第一複數個導電互連線5554之個別者包括第一導電障壁襯墊5558以及第一導電填充材料5560。第二複數個導電互連線5556之個別者包括第二導電障壁襯墊5578以及第二導電填充材料5580。在一此類實施

例中，第一導電填充材料5560的組成物不同於第二導電填充材料5580的組成物。在另一實施例中，第一導電填充材料5560的組成物與第二導電填充材料5580的組成物相同。

【0560】雖然並未描繪但在實施例中，該方法進一步包括將第三複數個導電互連線形成在第二ILD層5574以上的第三ILD層中，並且該第三複數個導電互連線透過該第三ILD層而彼此間隔開。在未使用節距劃分的情況下形成第三複數個導電互連線。

【0561】雖然並未描繪但在實施例中，在形成第二複數個導電互連線5576之前，該方法進一步包括將第三複數個導電互連線形成在第一ILD層5554以上的第三ILD層中，並且該第三複數個導電互連線透過該第三ILD層而彼此間隔開。第三複數個導電互連線是使用間隔件為基節距四分處理所形成的。在一此類實施例中，在形成第二複數個導電互連線5576之後，第四複數個導電互連線經形成在第二ILD層5574以上的第四ILD層中，並且該第四複數個導電互連線透過該第四ILD層而彼此間隔開。第四複數個導電互連線是使用間隔件為基節距減半處理所形成的。在實施例中，此類方法進一步包括將第五複數個導電互連線形成在第四ILD層以上的第五ILD層中，並且該第五複數個導電互連線透過該第五ILD層而彼此間隔開，該第五複數個導電互連線是使用間隔件為基節距減半處理所形成的。接著將第六複數個導電互連線形成在第五ILD層以上的第六ILD層中，並且該第六複數個導電互連線透過該第

六ILD層而彼此間隔開，該第六複數個導電互連線是使用間隔件為基節距減半處理所形成的。接著將第七複數個導電互連線形成在第六ILD層以上的第七ILD層中，並且該第七複數個導電互連線透過該第七ILD層而彼此間隔開。在未使用節距劃分的情況下形成第七複數個導電互連線。

【0562】在另一態樣中，金屬線組成物在金屬化層之間有所不同。此類配置可被稱作異質金屬化層。在實施例中，針對相對較大互連線使用銅作為導電填充材料，而針對相對較小互連線使用鈷作為導電填充材料。較小的線具有鈷作為填充材料可提供降低的電遷移，同時維持低電阻性。針對較小互連線，使用鈷取代銅可解決縮小銅線之問題，其中導電障壁層消耗大量的互連體積且銅被降低，這本質上會抑制通常與銅互連線相關之優勢。

【0563】在第一實例中，圖56A說明根據本揭示內容之實施例的具有在具備不同金屬線組成物之金屬化層以上的具備金屬線組成物之金屬化層的積體電路結構之橫截面圖。

【0564】參照圖56A，積體電路結構5600包括在基板5602以上的第一層間介電(ILD)層5604中的第一複數個導電互連線5606，並且該第一複數個導電互連線5606透過該第一層間介電(ILD)層5604而彼此間隔開。導電互連線5606A之一被顯示為具有下層通孔5607。第一複數個導電互連線5606之個別者包括沿著第一導電填充材料5610之側壁與底部之第一導電障壁材料5608。

【0565】第二複數個導電互連線5616在第一ILD層5604以上的第二ILD層5614中，並且該第二複數個導電互連線5616透過該第二ILD層5614而彼此間隔開。導電互連線5616A之一被顯示為具有下層通孔5617。第二複數個導電互連線5616之個別者包括沿著第二導電填充材料5620之側壁與底部之第二導電障壁材料5618。第二導電填充材料5620的組成物不同於第一導電填充材料5610的組成物。

【0566】在實施例中，第二導電填充材料5620基本上由銅構成，而第一導電填充材料5610基本上由鈷構成。在一此類實施例中，第一導電障壁材料5608的組成物不同於第二導電障壁材料5618的組成物。在另一此類實施例中，第一導電障壁材料5608的組成物與第二導電障壁材料5618的組成物相同。

【0567】在實施例中，第一導電填充材料5610包括具有第一濃度摻雜劑雜質原子之銅，並且第二導電填充材料5620包括具有第二濃度摻雜劑雜質原子之銅。第二濃度摻雜劑雜質原子比第一濃度摻雜劑雜質原子低。在一此類實施例中，摻雜劑雜質原子是選自由鋁(Al)及錳(Mn)所組成之群組。在實施例中，第一導電障壁材料5610與第二導電障壁材料5620具有相同組成物。在實施例中，第一導電障壁材料5610與第二導電障壁材料5620具有不同組成物。

【0568】再次參照圖56A，第二ILD層5614在蝕刻停止層5622上。導電通孔5617是在第二ILD層5614中以及在蝕刻停止層5622之開口中。在實施例中，第一及第二ILD

層5604及5614包括矽、碳及氧，並且蝕刻停止層5622包括矽及氮。在實施例中，第一複數個導電互連線5606之個別者具有第一寬度(W1)，以及第二複數個導電互連線5616之個別者具有比第一寬度(W1)大之第二寬度(W2)。

【0569】在第二實例中，圖56B說明根據本揭示內容之實施例的具有耦合到具備不同金屬線組成物之金屬化層的具備金屬線組成物之金屬化層的積體電路結構之橫截面圖。

【0570】參照圖56B，積體電路結構5650包括在基板5652以上的第一層間介電(ILD)層5654中的第一複數個導電互連線5656，並且該第一複數個導電互連線5656透過該第一層間介電(ILD)層5654而彼此間隔開。導電互連線5656A之一被顯示為具有下層通孔5657。第一複數個導電互連線5656之個別者包括沿著第一導電填充材料5660之側壁與底部之第一導電障壁材料5658。

【0571】第二複數個導電互連線5666在第一ILD層5654以上的第二ILD層5664中，並且該第二複數個導電互連線5666透過該第二ILD層5664而彼此間隔開。導電互連線5666A之一被顯示為具有下層通孔5667。第二複數個導電互連線5666之個別者包括沿著第二導電填充材料5670之側壁與底部之第二導電障壁材料5668。第二導電填充材料5670的組成物不同於第一導電填充材料5660的組成物。

【0572】在實施例中，導電通孔5667是電性耦合到並且在第一複數個導電互連線5656之個別者5656B上，並將

第二複數個導電互連線5666之個別者5666A電性耦合到第一複數個導電互連線5656之個別者5656B。在實施例中，第一複數個導電互連線5656之個別者是沿著第一方向5698(例如，進出頁面)，並且第二複數個導電互連線5666之個別者是沿著與第一方向5698正交之第二方向5699，如所描繪般。在實施例中，導電通孔5667包括沿著第二導電填充材料5670之側壁與底部之第二導電障壁材料5668，如所描繪般。

【0573】在實施例中，第二ILD層5664在第一ILD層5654上的蝕刻停止層5672上。導電通孔5667是在第二ILD層5664中以及在蝕刻停止層5672之開口中。在實施例中，第一及第二ILD層5654及5664包括矽、碳及氧，並且蝕刻停止層5672包括矽及氮。在實施例中，第一複數個導電互連線5656之個別者具有第一寬度(W1)，以及第二複數個導電互連線5666之個別者具有比第一寬度(W1)大之第二寬度(W2)。

【0574】在實施例中，第二導電填充材料5670基本上由銅構成，而第一導電填充材料5660基本上由鈷構成。在一此類實施例中，第一導電障壁材料5658的組成物不同於第二導電障壁材料5668的組成物。在另一此類實施例中，第一導電障壁材料5658的組成物與第二導電障壁材料5668的組成物相同。

【0575】在實施例中，第一導電填充材料5660包括具有第一濃度摻雜劑雜質原子之銅，並且第二導電填充材料

5670包括具有第二濃度摻雜劑雜質原子之銅。第二濃度摻雜劑雜質原子比第一濃度摻雜劑雜質原子低。在一此類實施例中，摻雜劑雜質原子是選自由鋁(Al)及錳(Mn)所組成之群組。在實施例中，第一導電障壁材料5660與第二導電障壁材料5670具有相同組成物。在實施例中，第一導電障壁材料5660與第二導電障壁材料5670具有不同組成物。

【0576】圖57A-57C說明根據本揭示內容之實施例的具有適用於結合圖56A及56B所述結構的各種障壁襯墊及導電覆蓋結構配置之個別互連線的橫截面圖。

【0577】參照圖57A，介電層5701中的互連線5700包括導電障壁材料5702以及導電填充材料5704。導電障壁材料5702包括遠離導電填充材料5704之外層5706以及接近導電填充材料5704之內層5708。在實施例中，導電填充材料包括鈷，外層5706包括鈦及氮，以及內層5708包括鎢、氮及碳。在一此類實施例中，外層5706具有約2奈米之厚度，以及內層5708具有約0.5奈米之厚度。在另一實施例中，導電填充材料包括鈷，外層5706包括鉭，以及內層5708包括釕。在一此類實施例中，外層5706進一步包括氮。

【0578】參照圖57B，介電層5721中的互連線5720包括導電障壁材料5722以及導電填充材料5724。導電帽層5730是在導電填充材料5724頂部上。在一此類實施例中，導電帽層5730是進一步在導電障壁材料5722頂部上，如所描繪一般。在另一實施例中，導電帽層5730不在導電障壁

材料5722頂部上。在實施例中，導電帽層5730基本上由鈷構成，而導電填充材料5724基本上由銅構成。

【0579】參照圖57C，介電層5741中的互連線5740包括導電障壁材料5742以及導電填充材料5744。導電障壁材料5742包括遠離導電填充材料5744之外層5746以及接近導電填充材料5744之內層5748。導電帽層5750是在導電填充材料5744頂部上。在一實施例中，導電帽層5750僅是導電填充材料5744之頂部。然而在另一實施例中，導電帽層5750進一步在導電障壁材料5742之內層5748頂部上，亦即在位置5752處。在一此類實施例中，導電帽層5750進一步在導電障壁材料5742之外層5746頂部上，亦即在位置5754處。

【0580】在實施例中，參考圖57B及57C，製造積體電路結構之方法包括在基板以上形成層間介電(ILD)層5721或5741。複數個導電互連線5720或5740經形成在溝槽中並且被ILD層間隔開，該複數個導電互連線5720或5740之個別者是在溝槽之對應者中。透過先在溝槽之底部與側壁上形成導電障壁材料5722或5742，並接著在導電障壁材料5722或5742上個別形成導電填充材料5724或5744，並且填充溝槽，其中導電障壁材料5722或5742是個別沿著導電填充材料5730或5750之底部與側壁，而形成複數個導電互連線。接著用包括氧及碳之氣體處理導電填充材料5724或5744之頂部。在用包括氧及碳之氣體處理導電填充材料5724或5744之頂部之後，導電帽層5730或5750個別經形成

在導電填充材料5724或5744之頂部上。

【0581】在一實施例中，用包括氧及碳之氣體處理導電填充材料5724或5744之頂部包括用一氧化碳(CO)處理導電填充材料5724或5744之頂部。在一實施例中，導電填充材料5724或5744包括銅，以及在導電填充材料5724或5744頂部上形成導電帽層5730或5750包括使用化學氣相沉積(CVD)形成包括鈷之層。在一實施例中，導電帽層5730或5750經形成在導電填充材料5724或5744頂部上，但不在導電障壁材料5722或5742頂部上。

【0582】在一實施例中，形成導電障壁材料5722或5744包括在溝槽之底部及側壁上形成第一導電層，該第一導電層包括鉭。先使用原子層沉積(ALD)形成第一導電層之第一部分，並且接著使用物理氣相沉積(PVD)形成第一導電層之第二部分。在一此類實施例中，形成導電障壁材料進一步包括在溝槽之底部及側壁上的第一導電層上形成第二導電層，該第二導電層包括釘，以及該導電填充材料包括銅。在一實施例中，第一導電層進一步包括氮。

【0583】圖58說明根據本揭示內容之實施例的具有在具備不同金屬線組成物及較小節距之兩層金屬化層上的具備金屬線組成物及節距之四層金屬化層的積體電路結構之橫截面圖。

【0584】參照圖58，積體電路結構5800包括在基板5801以上的第一層間介電(ILD)層5802中的第一複數個導電互連線5804，並且該第一複數個導電互連線5804透過該

第一層間介電(ILD)層5802而彼此間隔開。第一複數個導電互連線5804之個別者包括沿著第一導電填充材料5808之側壁與底部之第一導電障壁材料5806。第一複數個導電互連線5804之個別者是沿著第一方向5898(例如，進出頁面)。

【0585】第二複數個導電互連線5814在第一ILD層5802以上的第二ILD層5812中，並且該第二複數個導電互連線5814透過該第二ILD層5812而彼此間隔開。第二複數個導電互連線5814之個別者包括沿著第一導電填充材料5808之側壁與底部之第一導電障壁材料5806。第二複數個導電互連線5814之個別者是沿著與第一方向5898正交之第二方向5899。

【0586】第三複數個導電互連線5824在第二ILD層5812以上的第三ILD層5822中，並且該第三複數個導電互連線5824透過該第三ILD層5822而彼此間隔開。第三複數個導電互連線5824之個別者包括沿著第二導電填充材料5828之側壁與底部之第二導電障壁材料5826。第二導電填充材料5828的組成物不同於第一導電填充材料5808的組成物。第三複數個導電互連線5824之個別者是沿著第一方向5898。

【0587】第四複數個導電互連線5834在第三ILD層5822以上的第四ILD層5832中，並且該第四複數個導電互連線5834透過該第四ILD層5832而彼此間隔開。第四複數個導電互連線5834之個別者包括沿著第二導電填充材料

5828之側壁與底部之第二導電障壁材料5826。第四複數個導電互連線5834之個別者是沿著第二方向5899。

【0588】第五複數個導電互連線5844在第四ILD層5832以上的第五ILD層5842中，並且該第五複數個導電互連線5844透過該第五ILD層5842而彼此間隔開。第五複數個導電互連線5844之個別者包括沿著第二導電填充材料5828之側壁與底部之第二導電障壁材料5826。第五複數個導電互連線5844之個別者是沿著第一方向5898。

【0589】第六複數個導電互連線5854在第五ILD層以上的第六ILD層5852中，並且該第六複數個導電互連線5854透過該第六ILD層5852而彼此間隔開。第六複數個導電互連線5854之個別者包括沿著第二導電填充材料5828之側壁與底部之第二導電障壁材料5826。第六複數個導電互連線5854之個別者是沿著第二方向5899。

【0590】在實施例中，第二導電填充材料5828基本上由銅構成，而第一導電填充材料5808基本上由鈷構成。在實施例中，第一導電填充材料5808包括具有第一濃度摻雜劑雜質原子之銅，並且第二導電填充材料5828包括具有第二濃度摻雜劑雜質原子之銅，該第二濃度摻雜劑雜質原子比該第一濃度摻雜劑雜質原子低。

【0591】在實施例中，第一導電障壁材料5806的組成物不同於第二導電障壁材料5826的組成物。在另一實施例中，第一導電障壁材料5806與第二導電障壁材料5826具有相同組成物。

【0592】在實施例中，第一導電通孔5819是電性耦合到並且在第一複數個導電互連線5804之個別者5804A上。第二複數個導電互連線5814之個別者5814A是電性耦合到並且在第一導電通孔5819上。

【0593】第二導電通孔5829是電性耦合到並且在第二複數個導電互連線5814之個別者5814B上。第三複數個導電互連線5824之個別者5824A是電性耦合到並且在第二導電通孔5829上。

【0594】第三導電通孔5839是電性耦合到並且在第三複數個導電互連線5824之個別者5824B上。第四複數個導電互連線5834之個別者5834A是電性耦合到並且在第三導電通孔5839上。

【0595】第四導電通孔5849是電性耦合到並且在第四複數個導電互連線5834之個別者5834B上。第五複數個導電互連線5844之個別者5844A是電性耦合到並且在第四導電通孔5849上。

【0596】第五導電通孔5859是電性耦合到並且在第五複數個導電互連線5844之個別者5844B上。第六複數個導電互連線5854之個別者5854A是電性耦合到並且在第五導電通孔5859上。

【0597】在實施例中，第一導電通孔5819包括沿著第一導電填充材料5808之側壁與底部之第一導電障壁材料5806。第二5829、第三5839、第四5849及第五5859導電通孔包括沿著第二導電填充材料5828之側壁與底部之第二導

電障壁材料5826。

【0598】在實施例中，第一5802、第二5812、第三5822、第四5832、第五5842及第六5852 ILD層透過在相鄰ILD層之間的對應蝕刻停止層5890而彼此分離。在實施例中，第一5802、第二5812、第三5822、第四5832、第五5842及第六5852 ILD層包括矽、碳及氧。

【0599】在實施例中，第一5804與第二5814複數個導電互連線之個別者具有第一寬度(W1)。第三5824、第四5834、第五5844與第六5854複數個導電互連線之個別者具有大於第一寬度(W1)之第二寬度(W2)。

【0600】圖59A-59D說明根據本揭示內容之實施例的具有底導電層之各種互連線以及通孔配置的橫截面圖。

【0601】參照圖59A及59B，積體電路結構5900包括在基板5902以上之層間介電(ILD)層5904。導電通孔5906是在ILD層5904中的第一溝槽5908中。導電互連線5910是電性耦合到並且在導電通孔5906上。導電互連線5910是在ILD層5904中的第二溝槽5912中。第二溝槽5912具有大於第一溝槽5908之開口5909的開口5913。

【0602】在實施例中，導電通孔5906及導電互連線5910包括在第一溝槽5908底部上之第一導電障壁層5914，但該第一導電障壁層5914不沿著第一溝槽5908之側壁且不沿著第二溝槽5912之底部與側壁。第二導電障壁層5916是在第一溝槽5908底部上的第一導電障壁層5914上。第二導電障壁層5916進一步是沿著第一溝槽5908之側壁且進一步

沿著第二溝槽5912之底部與側壁。第三導電障壁層5918是在第一溝槽5908底部上的第二導電障壁層5916上。第三導電障壁層5918進一步在沿著第一溝槽5908之側壁與沿著第二溝槽5912之底部與側壁之第二導電障壁層5916上。導電填充材料5920是在第三導電障壁層5918上並且填充第一5908及第二溝槽5912。第三導電障壁層5918是沿著導電填充材料5920之底部與側壁。

【0603】在一實施例中，第一導電障壁層5914與第三導電障壁層5918具有相同組成物，而第二導電障壁層5916的組成物不同於第一導電障壁層5914與第三導電障壁層5918的組成物。在一此類實施例中，第一導電障壁層5914與第三導電障壁層5918包括釕，而第二導電障壁層5916包括鉭。在此類特定實施例中，第二導電障壁層5916進一步包括氮。在實施例中，導電填充材料5920基本上由銅構成。

【0604】在實施例中，導電帽層5922是在導電填充材料5920頂部上。在一此類實施例中，導電帽層5922不在第二導電障壁層5916頂部上且不在第三導電障壁層5918頂部上。然而在另一實施例中，導電帽層5922進一步在第三導電障壁層5918之頂部上，例如在位置5924處。在一此類實施例中，導電帽層5922仍進一步在第二導電障壁層5916之頂部上，例如在位置5926處。在實施例中，導電帽層5922基本上由鈷構成，而導電填充材料5920基本上由銅構成。

【0605】在實施例中，參照圖59C及59D，導電通孔

5906是電性連接到並且在第二導電互連線5950上，該第二導電互連線5950是在ILD層5904以下的第二ILD層5952中。第二導電互連線5950包括導電填充材料5954以及在其上之導電帽蓋5956。蝕刻停止層5958可在導電帽蓋5956上方，如所描繪般。

【0606】在一實施例中，導電通孔5906之第一導電障壁層5914是在第二導電互連線5950之導電帽蓋5956的開口5960中，如圖59C所描繪般。在一此類實施例中，導電通孔5906之第一導電障壁層5914包括釕，以及第二導電互連線5950之導電帽蓋5956包括鈷。

【0607】在另一實施例中，導電通孔5906之第一導電障壁層5914是在第二導電互連線5950之導電帽蓋5956的一部分上，如圖59D所描繪般。在一此類實施例中，導電通孔5906之第一導電障壁層5914包括釕，以及第二導電互連線5950之導電帽蓋5956包括鈷。雖然並未描繪但在特定實施例中，導電通孔5906之第一導電障壁層5914是在第二導電互連線5950之導電帽蓋5956內但不穿過其的凹陷上。

【0608】在另一態樣中，BEOL金屬化層具有非平面形貌，諸如導電線與容納導電線之ILD層之間的步階高度差(step-height difference)。在實施例中，覆蓋蝕刻停止層經形成為與該形貌共形並且呈現出該形貌。在實施例中，該形貌有助於引導覆蓋通孔蝕刻處理朝向導電線，以抑制導電通孔之「未接著性(non-landedness)」。

【0609】在蝕刻停止層形貌之第一實例中，圖60A-

60D說明根據本揭示內容之實施例的針對BEOL金屬化層的凹線形貌之結構配置的橫截面圖。

【0610】參照圖60A，積體電路結構6000包括在基板6002以上的層間介電(ILD)層6004中的複數個導電互連線6006，並且該複數個導電互連線6006透過該層間介電(ILD)層6004而彼此間隔開。針對例示性目的，複數個導電互連線6006之一被顯示為耦合至下層通孔6007。複數個導電互連線6006之個別者具有在ILD層6004之上表面6010以下之上表面6008。蝕刻停止層6012是在ILD層6004與複數個導電互連線6006上且與其共形。蝕刻停止層6012具有非平面上表面，其中非平面上表面之最上部分6014在ILD層6004上方以及非平面上表面之最下部分6016在複數個導電互連線6006上方。

【0611】導電通孔6018是電性耦合到並且在複數個導電互連線6006之個別者6006A上。導電通孔6018是在蝕刻停止層6012之開口6020中。開口6020是在複數個導電互連線6006之個別者6006A上方但不在ILD層6014上方。導電通孔6018是在蝕刻停止層6012以上的第二ILD層6022中。在一實施例中，第二ILD層6022是在蝕刻停止層6012上並與其共形，如圖60A所描繪一般。

【0612】在實施例中，導電通孔6018之中心6024與複數個導電互連線6006之個別者6006A的中心6026對準，如圖60A所描繪般。然而在另一實施例中，導電通孔6018之中心6024偏移自複數個導電互連線6006之個別者6006A的

中心6026，如圖60B所描繪般。

【0613】在實施例中，複數個導電互連線6006之個別者包括沿著導電填充材料6030之側壁與底部之障壁層6028。在一實施例中，障壁層6028與導電填充材料6030皆具有在ILD層6004之上表面6010以下之最上表面，如圖60A、60B及60C所描繪般。在此類特定實施例中，障壁層6028之最上表面是在導電填充材料6030之最上表面以上，如圖60C所描繪般。在另一實施例中，導電填充材料6030具有在ILD層6004之上表面6010以下之最上表面，以及障壁層6028具有與ILD層6004之上表面6010共平面之最上表面，如圖60D所描繪般。

【0614】在實施例中，ILD層6004包括矽、碳及氧，並且蝕刻停止層6012包括矽及氮。在實施例中，複數個導電互連線6006之個別者之上表面6008低於ILD層6004之上表面6010達0.5-1.5奈米之範圍內之量。

【0615】根據本揭示內容之實施例並統一參照圖60A-60D，製造積體電路結構之方法包括形成複數個導電互連線在基板6002以上的第一層間介電(ILD)層6004中，並且該複數個導電互連線透過該第一層間介電(ILD)層6004而彼此間隔開。複數個導電互連線相對於第一ILD層而被凹陷，以提供具有在第一ILD層6004之上表面6010以下之上表面6008的複數個導電互連線之個別者6006。在凹陷複數個導電互連線之後，蝕刻停止層6012經形成在第一ILD層6004與複數個導電互連線6006上且與其共形。蝕刻停止層

6012具有非平面上表面，其中非平面上表面之最上部分6014在第一ILD層6004上方以及非平面上表面之最下部分6016在複數個導電互連線6006上方。第二ILD層6022經形成在蝕刻停止層6012上。通孔溝槽經蝕刻於第二ILD層6022中。在蝕刻期間，蝕刻停止層6012將通孔溝槽之位置導向至第二ILD層6022中。蝕刻停止層6012經蝕刻通過通孔溝槽，以在蝕刻停止層6012中形成開口6020。開口6020是在複數個導電互連線6006之個別者6006A上方但不在第一ILD層6004上方。導電通孔6018經形成在通孔溝槽中以及在蝕刻停止層6012中的開口6020中。導電通孔6018是電性耦合到並且在複數個導電互連線6006之個別者6006A上。

【0616】在一實施例中，複數個導電互連線6006之個別者包括沿著導電填充材料6030之側壁與底部之障壁層6028，以及凹陷複數個導電互連線包括凹陷障壁層6028與導電填充材料6030，如圖60A-60C所描繪般。在另一實施例中，複數個導電互連線6006之個別者包括沿著導電填充材料6030之側壁與底部之障壁層6028，以及凹陷複數個導電互連線包括凹陷導電填充材料6030但實質上不凹陷障壁層6028，如圖60D所描繪般。在實施例中，蝕刻停止層6012重導向在微影方面之失對準的通孔溝槽圖案。在實施例中，凹陷複數個導電互連線包括將其相對於第一ILD層6004凹陷在0.5-1.5奈米的範圍內之量。

【0617】在蝕刻停止層形貌之第二實例中，圖61A-

61D說明根據本揭示內容之實施例的針對BEOL金屬化層的凸線形貌之結構配置的橫截面圖。

【0618】參照圖61A，積體電路結構6100包括在基板6102以上的層間介電(ILD)層6104中的複數個導電互連線6106，並且該複數個導電互連線6106透過該層間介電(ILD)層6104而彼此間隔開。針對例示性目的，複數個導電互連線6106之一被顯示為耦合至下層通孔6107。複數個導電互連線6106之個別者具有在ILD層6104之上表面6110以上之上表面6108。蝕刻停止層6112是在ILD層6104與複數個導電互連線6106上且與其共形。蝕刻停止層6112具有非平面上表面，其中非平面上表面之最下部分6114在ILD層6104上方以及非平面上表面之最上部分6116在複數個導電互連線6106上方。

【0619】導電通孔6118是電性耦合到並且在複數個導電互連線6106之個別者6106A上。導電通孔6118是在蝕刻停止層6112之開口6120中。開口6120是在複數個導電互連線6106之個別者6106A上方但不在ILD層6114上方。導電通孔6118是在蝕刻停止層6112以上的第二ILD層6122中。在一實施例中，第二ILD層6122是在蝕刻停止層6112上並與其共形，如圖61A所描繪一般。

【0620】在實施例中，導電通孔6118之中心6124與複數個導電互連線6106之個別者6106A的中心6126對準，如圖61A所描繪般。然而在另一實施例中，導電通孔6118之中心6124偏移自複數個導電互連線6106之個別者6106A的

中心6126，如圖61B所描繪般。

【0621】在實施例中，複數個導電互連線6106之個別者包括沿著導電填充材料6130之側壁與底部之障壁層6128。在一實施例中，障壁層6128與導電填充材料6130皆具有在ILD層6104之上表面6110以上之最上表面，如圖61A、61B及61C所描繪般。在此類特定實施例中，障壁層6128之最上表面是在導電填充材料6130之最上表面以下，如圖61C所描繪般。在另一實施例中，導電填充材料6130具有在ILD層6104之上表面6110以上之最上表面，以及障壁層6128具有與ILD層6104之上表面6110共平面之最上表面，如圖61D所描繪般。

【0622】在實施例中，ILD層6104包括矽、碳及氧，並且蝕刻停止層6112包括矽及氮。在實施例中，複數個導電互連線6106之個別者之上表面6108高於ILD層6004之上表面6110達0.5-1.5奈米之範圍內之量。

【0623】根據本揭示內容之實施例並統一參照圖61A-61D，製造積體電路結構之方法包括形成複數個導電互連線6106在基板6102以上的第一層間介電(ILD)層中，並且該複數個導電互連線6106透過該第一層間介電(ILD)層而彼此間隔開。第一ILD層6104相對於複數個導電互連線6106而被凹陷，以提供具有在第一ILD層6104之上表面6110以上之上表面6108的複數個導電互連線6106之個別者。在凹陷第一ILD層6104之後，蝕刻停止層6112經形成在第一ILD層6104與複數個導電互連線6106上且與其共

形。蝕刻停止層6112具有非平面上表面，其中非平面上表面之最下部分6114在第一ILD層6104上方以及非平面上表面之最上部分6116在複數個導電互連線6106上方。第二ILD層6122經形成在蝕刻停止層6112上。通孔溝槽經蝕刻於第二ILD層6122中。在蝕刻期間，蝕刻停止層6112將通孔溝槽之位置導向至第二ILD層6122中。蝕刻停止層6112經蝕刻通過通孔溝槽，以在蝕刻停止層6112中形成開口6120。開口6120是在複數個導電互連線6106之個別者6106A上方但不在第一ILD層6104上方。導電通孔6118經形成在通孔溝槽中以及在蝕刻停止層6112中的開口6120中。導電通孔6118是電性耦合到並且在複數個導電互連線6106之個別者6106A上。

【0624】在一實施例中，複數個導電互連線6106之個別者包括沿著導電填充材料6130之側壁與底部之障壁層6128，以及凹陷第一ILD層6104包括相對於障壁層6128與導電填充材料6130凹陷，如圖61A-61C所描繪般。在另一實施例中，複數個導電互連線6106之個別者包括沿著導電填充材料6130之側壁與底部之障壁層6128，以及凹陷第一ILD層6104包括相對於導電填充材料6130但不相對於障壁層6128凹陷，如圖61D所描繪般。在實施例中，其中蝕刻停止層6112重導向在微影方面之失對準的通孔溝槽圖案。在實施例中，凹陷第一ILD線6104包括將其相對於複數個導電互連線6106凹陷在0.5-1.5奈米的範圍內之量。

【0625】在另一態樣中，說明用於圖案化金屬線端之

技術。為提供情境，在半導體製造之進階節點中，可透過線柵狀、線端及端部之分離圖案化處理以建立下階層的互連。然而，構成圖案之保真度可隨著通孔侵入線端且反之亦然而趨向劣化。本文所描述實施例提供線端處理，亦稱作插塞處理，其消除相關的臨近規則(proximity rule)。實施例可允許通孔被置於線端處，以及允許大通孔搭接跨過線端。

【0626】為提供進一步情境，圖62A說明根據本揭示內容之實施例的金屬化層平面圖與沿著該金屬化層平面圖之a-a'軸所截取到的對應橫截面圖。圖62B說明根據本揭示內容之實施例的線端或插塞之橫截面圖。圖62C說明根據本揭示內容之實施例的線端或插塞之另一橫截面圖。

【0627】參照圖62A，金屬化層6200包括形成在介電層6204中的金屬線6202。金屬線6202可耦合到下層通孔6203。介電層6204可包括線端或插塞區6205。參照圖62B，介電層6204之線端或插塞區6205可透過將硬遮罩層6210圖案化到介電層6204上並接著蝕刻介電層6204之暴露部分以製造出來。介電層6204之暴露部分可接著被蝕刻到適用於形成線溝槽6206之深度，或可進一步蝕刻到適用於形成通孔溝槽6208之深度。參照圖62C，相鄰於線端或插塞6205之相對側壁的兩個通孔可被製造在單大曝光6216中，以最終形成線溝槽6212及通孔溝槽6214。

【0628】然而，再次參照圖62A-62C，保真問題及/或硬遮罩侵蝕問題可能會導致不完全圖案化狀態。相較之

下，本文所述之一或多實施例包括涉及在溝槽與通孔圖案化處理之後建立線端介電質(插塞)之處理流程的實作。

【0629】接著在一態樣中，本文所述一或多實施例涉及用於建構在金屬線(參照作「線端」、「插塞」或「切割」)之間，以及在若干實施例中在相關導電通孔之間，的非導電空間或中斷之方法。在定義上而言，導電通孔用以接著(land on)在先前層金屬圖案化上。為此，本文所述實施例賦能更強勁的互連製造方案，這是因為以較少的程度上倚靠透過微影設備之對準。此類互連製造方案可用以放寬對對準/曝光之限制，可用以改善電性接觸(例如，透過降低通孔電阻)，且可用以降低否則使用習知方法用於將此類特徵圖案化所需之總處理操作以及處理時間。

【0630】圖63A-63F係根據本揭示內容之實施例代表插塞最後處理方案中各種操作的平面圖及對應橫截面圖。

【0631】參照圖63A，製造積體電路結構之方法包括在形成於下層金屬化層6300以上的層間介電質(ILD)材料層6302之上部分6304中形成線溝槽6306。通孔溝槽6308經形成在ILD材料層6302之下部分6310中。通孔溝槽6308暴露下層金屬化層6300之金屬線6312。

【0632】參照圖63B，犧牲材料6314經形成在ILD材料層6302以上以及在線溝槽6306與通孔溝槽6308中。犧牲材料6314其上可形成有硬遮罩6315，如圖63B所描繪般。在一實施例中，犧牲材料6314包括碳。

【0633】參照圖63C，犧牲材料6314經圖案化以中斷

在線溝槽6306中的犧牲材料6314之連續性，例如以在犧牲材料6314中提供開口6316。

【0634】參照圖63D，在犧牲材料6314中的開口6316經介電質材料填充以形成介電質插塞6318。在實施例中，在使用介電質材料填充犧牲材料6314中的開口6316之後，移除硬遮罩6315以提供介電質插塞6318，該插塞具有在ILD材料6302之上表面6322以上的上表面6320，如圖63D所描繪般。移除犧牲材料6314以留下介電質插塞6318。

【0635】在實施例中，使用介電質材料填充犧牲材料6314之開口6316包括使用金屬氧化物材料填充其。在一此類實施例中，金屬氧化物材料是氧化鋁。在實施例中，使用介電質材料填充犧牲材料6314之開口6316包括使用原子層沉積(ALD)填充其。

【0636】參照圖63E，線溝槽6306及通孔溝槽6308被填充導電材料6324。在實施例中，導電材料6324經形成在介電質插塞6318以上以及ILD層6302上方，如所描繪一般。

【0637】參照圖63F，導電材料6324及介電質插塞6318經平面化以提供中斷在線溝槽6306中的導電材料6324之連續性的平面化介電質插塞6318’。

【0638】根據本揭示內容之實施例，再次參照圖63F，積體電路結構6350包括在基板以上的層間介電(ILD)層6302。導電互連線6324是在ILD層6302中的溝槽6306中。導電互連線6324具有第一部分6324A及第二部分6324B，

該第一部分6324A橫向相鄰於該第二部分6324B。介電質插塞6318'在導電互連線6324之第一6324A與第二6324B部分之間並且橫向相鄰於該兩部分。雖然並未描繪但在實施例中，導電互連線6324包括導電障壁襯墊及導電填充材料，其例示性材料已描述於上文中。在一此類實施例中，導電填充材料包括鈷。

【0639】在實施例中，介電質插塞6318'包括金屬氧化物材料。在一此類實施例中，金屬氧化物材料是氧化鋁。在實施例中，介電質插塞6318'直接接觸導電互連線6324之第一6324A與第二6324B部分。

【0640】在實施例中，介電質插塞6318'具有與導電互連線6324之底部6324C實質共平面之底部6318A。在實施例中，第一導電通孔6326是在ILD層6302中的溝槽6308中。在一此類實施例中，第一導電通孔6326是在互連線6324之底部6324C以下，以及第一導電通孔6326是電性耦合至導電互連線6324之第一部分6324A。

【0641】在實施例中，第二導電通孔6328是在ILD層6302中的第三溝槽6330中。第二導電通孔6328是在互連線6324之底部6324C以下，以及第二導電通孔6328是電性耦合至導電互連線6324之第二部分6324B。

【0642】可使用諸如化學氣相沉積處理等填充處理來形成介電質插塞。產物可能維持在製造的介電質插塞中。作為實例，圖64A說明根據本揭示內容之實施例的其內具有接縫的導電線插塞之橫截面圖。

【0643】參照圖64A，介電質插塞6418具有近似垂直的接縫6400，該接縫約等距間距於導電互連線6324之第一部分6324A與導電互連線6324之第二部分6324B。

【0644】應瞭解，與容納介電質插塞之ILD材料組成物不同的該介電質插塞可僅被包括在諸如下金屬化層等所選的金屬化層上。作為實例，圖64B說明根據本揭示內容之實施例的在下金屬線位置處包括導電線插塞之金屬化層堆疊之橫截面圖。

【0645】參照圖64B，積體電路結構6450包括在基板6452以上的第一層間介電(ILD)層6454中的第一複數個導電互連線6456，並且該第一複數個導電互連線6456透過該第一層間介電(ILD)層6454而彼此間隔開。第一複數個導電互連線6456之個別者具有由一或多介電質插塞6458中斷之連續性。在實施例中，一或多介電質插塞6458包括與ILD層6452不同之材料。第二複數個導電互連線6466在第一ILD層6454以上的第二ILD層6464中，並且該第二複數個導電互連線6466透過該第二ILD層6464而彼此間隔開。在實施例中，第二複數個導電互連線6466之個別者具有由第二ILD層6464之一或多部分6468中斷之連續性。應瞭解如所描繪的，其他金屬化層可被包括在積體電路結構6450中。

【0646】在一實施例中，一或多介電質插塞6458包括金屬氧化物材料。在一此類實施例中，金屬氧化物材料是氧化鋁。在一實施例中，第一ILD層6454及第二ILD層

6464(且因此第二ILD層6464之一或多部分6468)包括碳摻雜的氧化矽材料。

【0647】在一實施例中，第一複數個導電互連線6456之個別者包括第一導電障壁襯墊6456A以及第一導電填充材料6456B。第二複數個導電互連線6466之個別者包括第二導電障壁襯墊6466A以及第二導電填充材料6466B。在一此類實施例中，第一導電填充材料6456B的組成物不同於第二導電填充材料6466B的組成物。在此類特定實施例中，第一導電填充材料6456B包括鈷，以及第二導電填充材料6466B包括銅。

【0648】在一實施例中，第一複數個導電互連線6456具有第一節距(P1，如在同一層6470中所示者)。第二複數個導電互連線6466具有第二節距(P2，如在同一層6480中所示者)。第二節距(P2)大於第一節距(P1)。在一實施例中，第一複數個導電互連線6456之個別者具有第一寬度(W1，如在同一層6470中所示者)。第二複數個導電互連線6466之個別者具有第二寬度(W2，如在同一層6480中所示者)。第二寬度(W2)大於第一寬度(W1)。

【0649】應瞭解，以上結合後端製程(BEOL)結構及處理所描述之層及材料可被形成在下層半導體基板上或諸如積體電路之下層裝置層等結構以上。在實施例中，下層半導體基板代表用以製造積體電路之一般工件(workpiece object)。半導體基板通常包括晶圓或其他件矽或另一半導體材料。適當半導體基板包括但不限於：單晶矽、多晶矽

以及絕緣體上矽(SOI)，以及由其他半導體材料所形成的相似基板，例如包括鍺、碳或第III-V族材料的基板。取決於製造之階段，半導體基板通常包括電晶體、積體電路及類似者等。基板亦可包括半導體材料、金屬、介電質、摻雜劑、以及其他常見於半導體基板中的材料。此外，所描繪之該結構可被製造在下層的下層級互連層上。

【0650】儘管相關於所選操作詳細描述了製造BEOL金屬化層的金屬化層或金屬化層的部分的先前方法，但應瞭解用於製造之附加或中間操作可包括標準微電子製造處理，諸如微影、蝕刻、薄膜沉積、平面化(諸如化學機械式拋光(CMP))、擴散、度量(metrology)、使用犧牲層、使用蝕刻停止層、使用平面化停止層、或任何其他與微電子組件製造相關之操作。另外，應瞭解針對上述處理流程所描述的處理操作可以替代順序被實作，且並非每一個操作皆必須被執行，或者可執行附加處理操作，或兩者皆可屬實。

【0651】在實施例中，如本說明中通篇使用的，層間介電質(ILD)材料包括或由介電質或絕緣材料之層構成。適當介電質材料之實例包括但不限於矽之氧化物(例如二氧化矽(SiO_2))、摻雜的矽氧化物、矽的氟化氧化物、碳摻雜的矽氧化物、本領域已知的各種低k值介電質材料、以及其組合。層間介電質材料可由舉例而言諸如化學氣相沉積(CVD)、物理氣相沉積(PVD)、或透過其他沉積方法等技術所形成。

【0652】在實施例中，亦如本說明中通篇使用的，金屬線或互連線材料(以及通孔材料)是由一或多金屬或其他導電結構構成。常見實例是使用銅線及結構，其可包括或可不包括障壁層在銅與環繞ILD材料之間。如本文所使用，術語「金屬」可包括數種金屬之合金、堆疊、以及其他組合。舉例而言，金屬互連線可包括障壁層(例如，包括Ta、TaN、Ti或TiN之一或多者的層)、不同金屬或合金之堆疊等。因此，互連線可是單材料層，或可形成自包括導電襯墊層及填充層等若干層。諸如電鍍、化學氣相沉積或物理氣相沉積等任何適當沉積處理可用以形成互連線。在實施例中，互連線是由諸如但不限於Cu、Al、Ti、Zr、Hf、V、Ru、Co、Ni、Pd、Pt、W、Ag、Au或其合金等導電材料所構成的。互連線有時在該技術領域中亦被稱作跡線、線路、線、金屬或單純稱作互連。

【0653】在實施例中，亦如本說明中通篇使用的，硬遮罩材料是由與層間介電質材料不同之介電質材料所構成的。在一實施例中，不同的硬遮罩材料可用於不同的區中，用以對彼此及對下層介電與金屬層提供不同之生長或蝕刻選擇性。在若干實施例中，硬遮罩層包括矽之氮化物(例如，氮化矽)的層或矽之氧化物的層，或包括兩者，或包括其組合。其他適當材料可包括碳為基之材料。在另一實施例中，硬遮罩材料包括金屬種類。舉例而言，硬遮罩或其他覆蓋材料可包括鈦或另一金屬之氮化物(例如氮化鈦)的層。潛在較少量的其他材料，諸如氧，可被包括在

此等層之一或多者中。替代地，取決於特定實作，在該技術領域中已知之其他硬遮罩層可被使用。硬遮罩層可由CVD、PVD、或透過其他沉積方法所形成。

【0654】在實施例中，亦如本說明中通篇使用的，使用193nm浸沒式微影(i193)、極紫外光(EUV)微影或電子束直接寫入(EBDW)微影等來執行微影操作。可使用正調或負調抗蝕劑。在一實施例中，微影遮罩是由形貌遮罩部分、抗反射塗層(ARC)和光阻層構成之三層遮罩。在此類特定實施例中，形貌遮罩部分是碳硬遮罩(CHM)層且抗反射塗層是矽ARC層。

【0655】在另一態樣中，本文所述一或多實施例涉及具有內部節點跨接線之記憶體位元單元(memory bit cell)。特定實施例可包括以進階自對準處理技術實作記憶體位元單元的布局高效技術。實施例可涉及10奈米或更小的技術節點。實施例可提供透過運用主動閘極上方接點(COAG)或積極金屬1(M1)節距縮小，或兩者，用以研發在相同覆蓋區內具有提高效能的記憶體位元單元的能力。實施例可包括或涉及相對於先前的技術節點可以在相同或更小的覆蓋區中實現更高效能的位元單元之位元單元布局。

【0656】根據本揭示內容之實施例，實作較高金屬層(例如金屬1或M1)跨接線以連接內部節點，以取代使用習知閘極-溝槽-接點-閘極接點(poly-tcn-polycon)連接來連接內部節點。在實施例中，結合用以連接內部節點的金屬1跨接線之主動閘極上方接點(COAG)整合方案可減輕或一

併消除為更高效能的位元單元增加覆蓋區之需求。亦即，可達成提高的電晶體比率。在實施例中，此類方法賦能積極縮小，用以針對例如10奈米(10nm)技術節點提供提高的每電晶體之成本。可以10nm技術在SRAM、RF及雙通口位元單元中實作內部節點M1跨接線，用以產生極緊縮之布局。

【0657】作為比較性實例，圖65說明針對記憶體單元之單元布局的第一視圖。

【0658】參照圖65，例示性14奈米(14nm)布局6500包括位元單元6502。位元單元6502包括閘極或多晶矽線6504以及金屬1(M1)線6506。在所顯示實例中，多晶矽線6504具有1x節距以及M1線6506具有1x節距。在特定實施例中，多晶矽線6504具有70 nm節距以及M1線6506具有70 nm節距。

【0659】對比於圖65，圖66說明根據本揭示內容之實施例的針對具有內部節點跨接線的記憶體單元之單元布局的第一視圖。

【0660】參照圖66，例示性10奈米(10 nm)布局6600包括位元單元6602。位元單元6602包括閘極或多晶矽線6604以及金屬1(M1)線6606。在所顯示實例中，多晶矽線6604具有1x節距以及M1線6606具有0.67x節距。結果是產生重疊線6605，其包括直接在多晶矽線上方之M1線。在特定實施例中，多晶矽線6604具有54 nm節距以及M1線6606具有36 nm節距。

【0661】與布局6500相比，在布局6600中M1節距是小於閘極節距，這導致每三條線就釋放出一額外線(6605)(例如，每兩條多晶矽線就有三條M1線)。該「釋放」出的M1線在本文中被稱作內部節點跨接線。內部節點跨接線可用於閘極到閘極(多晶矽到多晶矽)互連或用於溝槽接點到溝槽接點互連。在實施例中，透過主動閘極上方接點(COAG)配置達成到多晶矽之接點，這賦能內部節點跨接線之製造。

【0662】更一般地參照圖66，在實施例中，積體電路結構包括在基板上之記憶體位元單元6602。記憶體位元單元6602包括沿著基板之第二方向2平行的第一及第二閘極線6604。第一及第二閘極線6604具有沿著基板之第一方向(1)之第一節距，該第一方向(1)與第二方向(2)垂直。第一、第二及第三互連線6606是在第一及第二閘極線6604上方。第一、第二及第三互連線6606沿著基板之第二方向(2)平行。第一、第二及第三互連線6606具有沿著第一方向之第二節距，其中第二節距小於第一節距。在一實施例中，第一、第二及第三互連線6606之一是用於記憶體位元單元6602之內部節點跨接線。

【0663】如本揭示內容通篇可應用般，閘極線6604可被稱作正在形成柵狀結構之進度中。據此，本文所述及之柵狀圖案可具有閘極線或互連線，上述線間隔有固定的節距且具有固定的寬度。可透過節距減半或節距四分、或其他節距劃分方法而製造出該圖案。

【0664】作為比較性實例，圖67說明針對記憶體單元之單元布局6700的第二視圖。

【0665】參照圖67，14 nm位元單元6502經顯示為具有N擴散6702(例如，P型摻雜主動區，諸如下層基板之硼摻雜的擴散區)與P擴散6704(例如，N型摻雜主動區，諸如下層基板之磷或砷，或兩者，摻雜的擴散區)，並且為了圖式清晰而移除M1線。位元單元102之布局6700包括閘極或多晶矽線6504、溝槽接點6706、閘極接點6708(特定於14 nm節點)以及接點通孔6710。

【0666】對比於圖67，圖68說明根據本揭示內容之實施例的針對具有內部節點跨接線的記憶體單元之單元布局6800的第二視圖。

【0667】參照圖68，10 nm位元單元6602經顯示為具有N擴散6802(例如，P型摻雜主動區，諸如下層基板之硼摻雜的擴散區)與P擴散6804(例如，N型摻雜主動區，諸如下層基板之磷或砷，或兩者，摻雜的擴散區)，並且為了圖式清晰而移除M1線。位元單元202之布局6800包括閘極或多晶矽線6604、溝槽接點6806、閘極通孔6808(特定於10nm節點)以及溝槽接點通孔6710。

【0668】根據本揭示內容之實施例，與布局6700及6800相比，在14 nm布局中內部節點僅透過閘極接點(GCN)而連接。由於多晶矽對GCN空間限制之緣故，故無法在相同覆蓋區中建立增強效能的布局。在10 nm布局中，該設計允許在閘極上接著接點(VCG)，以消除對多晶矽接點之

需求。在一實施例中，該配置賦能使用M1的內部節點之連接，允許在14 nm覆蓋區內增加主動區密度(例如，增加數量的鰭部)。在10 nm布局中，一旦使用COAG架構，擴散區之間的間距可被做的更小，這是因為其不被溝槽接點至閘極接點間距所限制。在實施例中，圖67之布局6700被稱作112(1鰭部上拉(fin pull-up)，1鰭部通過閘極(fin pass gate)，2鰭部下拉(fin pull down))配置。相比之下，圖68之布局6800被稱作122(1鰭部上拉(fin pull-up)，2鰭部通過閘極(fin pass gate)，2鰭部下拉(fin pull down))配置，其在特定實施例中與圖67之112布局在相同的覆蓋區內。在實施例中，相較於112配置，122配置提供提高的效能。

【0669】作為比較性實例，圖69說明針對記憶體單元之單元布局6900的第三視圖。

【0670】參照圖69，14 nm位元單元6502被顯示為具有金屬0(M0)線6902，且多晶矽線經移除以為了圖式清晰性。亦顯示金屬1(M1)線6506、接點通孔6710、通孔0結構6904。

【0671】對比於圖69，圖70說明根據本揭示內容之實施例的針對具有內部節點跨接線的記憶體單元之單元布局7000的第三視圖。

【0672】參照圖70，10 nm位元單元6602被顯示為具有金屬0(M0)線7002，且多晶矽線經移除以為了圖式清晰性。亦顯示金屬1(M1)線6606、閘極通孔6808、溝槽接點通孔6810、以及通孔0結構7004。根據本揭示內容之實施

例，與圖69及70相比，針對14 nm布局，其內部節點僅透過閘極接點(GCN)而連接，然而針對10 nm布局，該等內部節點之一使用M1跨接線而連接。

【0673】根據本揭示內容之實施例統一參照圖66、68、及70，積體電路結構包括在基板上的記憶體位元單元6602。記憶體位元單元6602包括沿著基板之第一方向(1)平行的第一(頂部6802)、第二(頂部6804)、第三(底部6804)以及第四(底部6802)主動區。第一(左側6604)以及第二(右側6604)閘極線在第一、第二、第三、及第四主動區6802/6804上方。第一及第二閘極線6604是沿著基板之第二方向(2)平行，該第二方向(2)與第一方向(1)垂直。第一(遠左側6606)、第二(近左側6606)及第三(近右側6606)互連線是在第一及第二閘極線6604上方。第一、第二及第三互連線6606沿著基板之第二方向(2)平行。

【0674】在實施例中，在第一、第二、第三及第四主動區6802/6804之一或多者上方之第一及第二閘極線6604之位置處(例如，在所謂「主動閘極」之位置處)，第一(遠左側6606)與第二(近左側6606)互連線是電性連接到第一及第二閘極線6604。在一實施例中，透過將複數個互連線7004垂直中介於第一及第二互連線6606與第一及第二閘極線6604之間，第一(遠左側6606)與第二(近左側6606)互連線是電性連接到第一及第二閘極線6604。中介的複數個互連線7004沿著基板之第一方向(1)平行。

【0675】在實施例中，第三互連線(近右側6606)將記

憶體位元單元6602之一對閘極電極電性耦合在一起，該對閘極電極被包括在第一及第二閘極線6604中。在另一實施例中，第三互連線(近右側6606)將記憶體位元單元6602之一對溝槽接點電性耦合在一起，該對溝槽接點被包括在複數個溝槽接點線6806中。在實施例中，第三互連線(近右側6606)是內部節點跨接線。

【0676】在實施例中，第一主動區(頂部6802)是P型摻雜主動區(例如，用以對NMOS裝置提供N擴散)，第二主動區(頂部6804)是N型摻雜主動區(例如，用以對PMOS裝置提供P擴散)，第三主動區(底部6804)是N型摻雜主動區(例如，用以對PMOS裝置提供P擴散)，以及第四主動區(底部6802)是N型摻雜主動區(例如，用以對NMOS裝置提供N擴散)。在實施例中，第一、第二、第三及第四主動區6802/6804是在矽鰭部中。在實施例中，記憶體位元單元6602包括基於單矽鰭部之上拉電晶體、基於兩矽鰭部之通過閘極電晶體、以及基於兩矽鰭部之下拉電晶體。

【0677】在實施例中，第一及第二閘極線6604與沿著基板之第二方向(2)平行的複數個溝槽接點線6806之個別者交替。複數個溝槽接點線6806包括記憶體位元單元6602之溝槽接點。第一及第二閘極線6604包括記憶體位元單元6602之閘極電極。

【0678】在實施例中，第一及第二閘極線6604具有沿著第一方向(1)之第一節距。第一、第二及第三互連線6606具有沿著第一方向(1)之第二節距。在一此類實施例

中，第二節距小於第一節距。在此類特定實施例中，第一節距在50奈米至60奈米之範圍內，以及第二節距在30奈米至40奈米之範圍內。在此特定實施例中，第一節距是54奈米，以及第二節距是36奈米。

【0679】本文所述實施例可經實作以在與相對於先前技術節點相同之位元單元覆蓋區內提供增加數量的鰭部，並相對於先前世代者增強較小技術節點記憶體位元單元之效能。作為實例，圖71A及71B個別說明根據本揭示內容之實施例針對六個電晶體(6T)靜態隨機存取記憶體(SRAM)的位元單元布局及示意圖。

【0680】參照圖71A及71B，位元單元7102布局7100在其內包括沿著方向(2)平行之閘極線7104(其亦可被稱作多晶矽線)。溝槽接點線7106與閘極線7104交替。閘極線7104及溝槽接點線7106在沿著方向(1)為平行的NMOS擴散區7108(例如，P型摻雜主動區，諸如下層基板之硼摻雜的擴散區)與PMOS擴散區7110(例如，N型摻雜主動區，諸如下層基板之磷或砷，或兩者，摻雜的擴散區)上方。在實施例中，NMOS擴散區7108兩個各包括兩個矽鰭部。PMOS擴散區7110兩個各包括一個矽鰭部。

【0681】再次參照圖71A與71B，從閘極線7104與NMOS擴散區7108與PMOS擴散區7110形成NMOS通過閘極電晶體7112、NMOS下拉電晶體7114、以及PMOS上拉電晶體7116。亦描繪的是字線(WL)7118、內部節點7120與7126、位元線(BL)7122、位元線條(BLB)7124、SRAM

VCC 7128、以及VSS 7130。

【0682】在實施例中，到位元單元7102布局7100之第一及第二閘極線7104的接點經製造在第一及第二閘極線7104之主動閘極位置處。在實施例中，6T SRAM位元單元7104包括內部節點跨接線，諸如上述者。

【0683】在實施例中，本文所述布局與包括一致鰭部調節遮罩等一致的插塞及遮罩圖案相容。布局可與非EUV處理相容。附加地，布局可僅需要使用中間鰭部調節遮罩。與其他布局相比，本文所述實施例可在面積方面賦能增加的密度。實施例可經實作以提供在進階自對準處理技術中的布局高效記憶體實作。就晶粒面積或記憶體效能，或兩者，方面之優勢可被實現。透過此類布局方法可唯一地賦能電路技術。

【0684】本文所述一或多實施例涉及當平行互連線(例如，金屬1線)與閘極線錯位(misalign)時多版本的庫單元(library cell)之處理。實施例可涉及10奈米或更小的技術節點。實施例可包括或涉及相對於先前的技術節點可以在相同或更小的覆蓋區中實現更高效能的單元之單元布局。在實施例中，覆蓋閘極線之互連線經製造以相對於下層閘極線具有增加的密度。此類實施例可賦能插針命中之增加、路由可能性之增加、或對單元插針的接取之增加。可實作實施例以提供大於6%之方塊層級密度。

【0685】為提供情境，閘極線以及互連之下個平行層級(典型上被稱作金屬1，其中金屬0層在金屬1與閘極線之

間正交延伸)需要在方塊層級上是對準的。然而在實施例中，金屬1線之節距可被製成與閘極線之節距不同(例如比較小)。針對各單元有兩種可行的標準單元版本(例如，兩種不同的單元圖案)，用以適應節距中之差。所選之特定版本遵照附著於方塊層級之規則設置。若未適當選擇，則可能發生錯對準(dirty registration, DR)。根據本揭示內容之實施例，實作相對於下層閘極線具有增加的節距密度之較高金屬層(例如金屬1或M1)。在實施例中，此類方法賦能積極縮小，用以針對例如10奈米(10 nm)技術節點提供提高的每電晶體之成本。

【0686】圖72說明根據本揭示內容之實施例的用於相同標準單元之兩個不同布局7200A與7200B的橫截面圖。

【0687】參照圖72之(a)部分，一集合之閘極線7204A覆蓋基板7202A。一集合之金屬1(M1)互連7206A覆蓋該集合之閘極線7204A。該集合之金屬1(M1)互連7206A具有比該集合之閘極線7204A更緊縮之節距。然而，最外金屬1(M1)互連7206A與最外閘極線7204A外對準。就指定之目的，如通篇使用般，圖72之(a)部分的對準配置被稱作具有偶數(even，E)對準。

【0688】對比於(a)部分，參照圖72之(b)部分，一集合之閘極線7204B覆蓋基板7202B。一集合之金屬1(M1)互連7206B覆蓋該集合之閘極線7204B。該集合之金屬1(M1)互連7206B具有比該集合之閘極線7204B更緊縮之節距。最外金屬1(M1)互連7206B不與最外閘極線7204B外對準。

就指定之目的，如通篇使用般，圖72之(b)部分的不對準配置被稱作具有奇數(odd，O)對準。

【0689】圖73說明根據本揭示內容之實施例的四種不同單元配置的平面圖，其指示偶數(E)或奇數(O)指定代號(designation)。

【0690】參照圖73之(a)部分，單元7300A具有閘極(或多晶矽)線7302A以及金屬1(M1)線7304A。由於單元7300A之左側與單元7300A之右側具有對準的閘極7302A與M1 7304A線，故單元7300A被指定成EE單元。相比之下，參照圖73之(b)部分，單元7300B具有閘極(或多晶矽)線7302B以及金屬1(M1)線7304B。由於單元7300B之左側與單元7300B之右側具有不對準的閘極7302B與M1 7304B線，故單元7300B被指定成OO單元。

【0691】參照圖73之(c)部分，單元7300C具有閘極(或多晶矽)線7302C以及金屬1(M1)線7304C。由於單元7300C之左側具有對準的閘極7302C與M1 7304C線但單元7300C之右側具有不對準的閘極7302C與M1 7304C線，故單元7300C被指定成EO單元。相比之下，參照圖73之(d)部分，單元7300D具有閘極(或多晶矽)線7302D以及金屬1(M1)線7304D。由於單元7300D之左側具有不對準的閘極7302D與M1 7304D線但單元7300D之右側具有對準的閘極7302D與M1 7304D線，故單元7300D被指定成OE單元。

【0692】作為放置選定的第一或第二版本之標準單元類型的基礎，圖74說明根據本揭示內容之實施例的方塊層

級多晶矽格線之平面圖。參照圖74，方塊層級多晶矽格線7400包括沿著方向7404平行延伸之閘極線7402。指定的單元布局邊界7406與7408經顯示為在第二正交方向中延伸。閘極線7402交替於偶數(E)與奇數(O)指定代號之間。

【0693】圖75說明根據本揭示內容之實施例的基於具有不同版本之標準單元的例示性可接受(通過)布局。參照圖75，布局7500包括三個類型7300C/7300D之單元，其從左到右的順序設置於邊界7406與7408之間：7300D，抵著第一7300C並且與第二7300C間隔開。7300C與7300D之間的選擇是基於在對應閘極線7402上的E或O指定代號之對準。布局7500亦包括類型7300A/7300B之單元，其從左到右的順序設置於邊界7408以下：第一7300A與第二7300A間隔開。7300A與7300B之間的選擇是基於在對應閘極線7402上的E或O指定代號之對準。在布局7500中沒有發生錯對準(DR)之方面上，布局7500是通過單元。應瞭解p表示功率，而a、b、c或o是例示性插針。在配置7500中，功率線p跨越邊界7408彼此對齊。

【0694】根據本揭示內容之實施例更一般地參照圖75，積體電路結構包括沿著基板之第一方向平行的複數個閘極線7402並且具有沿著與第一方向正交之第二方向的節距。第一版本7300C之單元類型在複數個閘極線7402之第一部分上方。第一版本7300C之單元類型包括具有沿著第二方向之第二節距的第一複數個互連線，該第二節距小於第一節距。第二版本7300D之單元類型在沿著第二方向橫

向相鄰於第一版本7300C之單元類型的複數個閘極線7402之第二部分上方。第二版本7300D之單元類型包括具有沿著第二方向之第二節距的第二複數個互連線。第二版本7300D之單元類型在結構上不同於第一版本7300C之單元類型。

【0695】在實施例中，第一版本7300C單元類型之第一複數個互連線的個別者在第一邊緣處(例如左側邊緣)與沿著第一方向之複數個閘極線7402之個別者對準，但不沿著第二方向在第一版本7300C單元類型的第二邊緣處(例如右側邊緣)與複數個閘極線7402之個別者對準。在一此類實施例中，第一版本的單元類型7300C是第一版本之NAND單元。第二版本7300D單元類型之第二複數個互連線的個別者在第一邊緣處(例如左側邊緣)與沿著第一方向之複數個閘極線7402之個別者不對準，但沿著第二方向在第二版本7300D單元類型的第二邊緣處(例如右側邊緣)與複數個閘極線7402之個別者對準。在一此類實施例中，第二版本的單元類型7300D是第二版本之NAND單元。

【0696】在另一實施例中，第一及第二版本是選自單元類型7300A與7300B。沿著第二方向在第一版本單元類型7300A之兩邊緣處，第一版本7300A單元類型之第一複數個互連線的個別者與沿著第一方向之複數個閘極線7402之個別者對準。在一實施例中，第一版本7300A單元類型是第一版本的反向器單元。應瞭解，沿著第二方向在第二版本7300B單元類型之兩邊緣處，第二版本7300B單元類

型之第二複數個互連線的個別者反而不會與沿著第一方向之複數個閘極線7402之個別者對準。在一實施例中，第二版本7300B單元類型是第二版本的反向器單元。

【0697】圖76說明根據本揭示內容之實施例的基於具有不同版本之標準單元的例示性不可接受(失敗)布局。參照圖76，布局7600包括三個類型7300C/7300D之單元，其從左到右的順序設置於邊界7406與7408之間：7300D，抵著第一7300C並且與第二7300C間隔開。如所示，在7300C與7300D之間的適當選擇是基於在對應閘極線7402上的E或O指定代號之對準。然而，布局7600亦包括類型7300A/7300B之單元，其從左到右的順序設置於邊界7408以下：第一7300A與第二7300A間隔開。布局7600與7500不同，其不同之處在於第二7300A向左移動一行。雖然在7300A與7300B之間的選擇應是基於在對應閘極線7402上的E或O指定代號之對準，但在該情況下非如此，並且第二單元7300A為錯位，這導致之一結果是錯位的功率(p)線。由於在布局7600中發生錯對準(DR)，故布局7600是失敗單元。

【0698】圖77說明根據本揭示內容之實施例的基於具有不同版本之標準單元的另一例示性可接受(通過)布局。參照圖77，布局7700包括三個類型7300C/7300D之單元，其從左到右的順序設置於邊界7406與7408之間：7300D，抵著第一7300C並且與第二7300C間隔開。7300C與7300D之間的選擇是基於在對應閘極線7402上的E或O指定代號

之對準。布局7700亦包括類型7300A/7300B之單元，其從左到右的順序設置於邊界7408以下：7300A與7300B間隔開。7300B之位置與在布局7600中的7300A之位置相同，但所選單元7300B是基於在對應閘極線7402上的O指定代號之適當對準。在布局7700中沒有發生錯對準(DR)之方面上，布局7700是通過單元。應瞭解p表示功率，而a、b、c或o是例示性插針。在配置7700中，功率線p跨越邊界7408彼此對齊。

【0699】統一參照圖76與77，製造用於積體電路結構的布局之方法包括將沿著第一方向平行之複數個閘極線7402的交替者沿著第二方向指定成偶數(E)或奇數(O)。接著選定一位置用於在複數個閘極線7402上方的單元類型。該方法亦包括取決於該位置在第一版本單元類型與第二版本單元類型之間作選擇，該第二版本在結構上與第一版本不同，其中所選版本之單元類型在沿著第二方向之單元類型的邊緣處具有針對互連之偶數(E)或奇數(O)指定代號，以及其中該單元類型之邊緣的指定代號匹配於在該互連以下的複數個閘極線之個別者的指定代號。

【0700】在另一態樣中，一或多實施例可涉及在包括在鰭部場效電晶體(FET)架構中的鰭部為基結構上製造金屬電阻器。在實施例中，有鑒於較快資料轉移率所需之高速IO，此類精密電阻器經植入作為系統上晶片(SoC)技術之基礎組件。有鑒於具有低變異與近零的(near-zero)溫度係數之特徵，此類電阻器可賦能實現高速類比電路(諸如

CSI/SERDES)與縮小IO架構。在一實施例中，本文所述電阻器是可調電阻器。

【0701】為提供情境，用於當前處理技術中的習知電阻器典型上落入下述兩種類別之一：一般電阻器或精密電阻器。諸如溝槽接點電阻器等一般電阻器是成本中性但可受限於高變異，這是因為在使用製造方法中固有的變異或與電阻器相關之大溫度係數，或兩者，之緣故。精密電阻器可減輕變異與溫度係數之問題，但通常代價在於較高處理成本以及所需增加數量的製造操作。已證實在高k值/金屬閘極處理技術中，多晶矽精密電阻器之整合正趨向困難。

【0702】根據實施例，描述鰭部為基的薄膜電阻器(TFR)。在一實施例中，此類電阻器具有近零的溫度係數。在一實施例中，此類電阻器展現維度控制的降低變異。根據本揭示內容之一或多實施例，整合的精密電阻器經製造在鰭部-FET電晶體架構中。應瞭解用於高k值/金屬閘極處理技術中的習知電阻器典型上是鎢溝槽接點(TCN)、阱電阻器或多晶矽精密電阻器。此類電阻器不是增加處理成本或複雜度，就是由於所使用製造處理中的變異而受限於高變異及低溫度係數。相比之下在實施例中，鰭部整合之薄膜電阻器的製造賦能了成本中性、良(接近零)的溫度係數、以及替代於習知方法之低變異。

【0703】為提供進一步情境，使用二維(2D)金屬薄膜或高度摻雜的多晶矽線來製造目前最先進的精密電阻器。

此類電阻器趨向於離散化為固定值的模板，且因此難以實現更精細的電阻值粒度。

【0704】根據本揭示內容之一或多實施例，為解決一或多上述問題，在本文中描述使用諸如矽鰭部支柱等鰭部支柱的高密度精密電阻器之設計。在一實施例中，此類高密度精密電阻器之優勢包括可透過使用鰭部封裝密度所達成之高密度。附加地，在一實施例中，此類電阻器以在主動電晶體相同之層級上經整合，導致製造出緊縮電路。使用矽鰭部支柱可允許高封裝密度並且提供用以控制電阻器之電阻的多自由度。據此在特定實施例中，鰭部圖案化處理之彈性經取捨以提供廣範圍的電阻值，因此導致可調精密電阻器製造。

【0705】作為針對鰭部為基精密電阻器之例示性幾何形狀，圖78說明根據本揭示內容之實施例的鰭部為基薄膜電阻器結構之部分切割平面圖及對應橫截面圖，其中該橫截面圖是沿著該部分切割平面圖之a-a'軸所截取到的。

【0706】參照圖78，積體電路結構7800包括穿過在基板7804以上的溝槽隔離區7814突出之半導體鰭部7802。在一實施例中，如所描繪的，半導體鰭部7802從基板7804突出並且與該基板7804連續。半導體鰭部具有頂表面7805、第一端部7806(在部分切割平面圖中顯示為虛線，因為該鰭部在該視圖中被覆蓋)、第二端部7808(在部分切割平面圖中顯示為虛線，因為該鰭部在該視圖中被覆蓋)、以及在第一端部7806與第二端部7808之間的一對側壁7807。應

瞭解在部分切割平面圖中，側壁7807實際上由層7812所覆蓋。

【0707】隔離層7812與半導體鰭部7802之頂表面7805、第一端部7806、第二端部7808、以及一對側壁7807共形。金屬電阻器層7810與隔離層7814共形，該隔離層7814與半導體鰭部7802之頂表面7805(金屬電阻器層部分7810A)、第一端部7806(金屬電阻器層部分7810B)、第二端部7808(金屬電阻器層部分7810C)、以及一對側壁7807(金屬電阻器層部分7810D)共形。在特定實施例中，金屬電阻器層7810包括相鄰於側壁7807之底座特徵(footed feature)7810E，如所描繪般。隔離層7812令金屬電阻器層7810與半導體鰭部7802電性隔離，並且因此使其與基板7804電性隔離。

【0708】在實施例中，金屬電阻器層7810是由適用於提供近零的溫度係數之材料所構成，其中金屬電阻器層部分7810之電阻不會隨自其製造的薄膜電阻器(TFR)之操作溫度範圍而顯著改變。在實施例中，金屬電阻器層7810是氮化鈦(TiN)層。在另一實施例中，金屬電阻器層7810是鎢(W)金屬層。應瞭解可使用其他金屬取代或結合氮化鈦(TiN)或鎢(W)以用於金屬電阻器層7810。在實施例中，金屬電阻器層7810具有約在2-5奈米範圍內的厚度。在實施例中，金屬電阻器層7810具有約在100-100,000歐姆/平方之範圍內的電阻性。

【0709】在實施例中，陽極電極以及陰極電極是電性

連接到金屬電阻器層7810，將在下文中結合圖84更詳細地說明其例示性實施例。在一此類實施例中，金屬電阻器層7810、陽極電極、以及陰極電極形成精密薄膜電阻器(TFR)被動裝置。在實施例中，基於圖78之結構7800的TFR允許基於鰭部7802高度、鰭部7802寬度、金屬電阻器層7810厚度以及總鰭部7802長度精準地控制電阻。此等自由度可允許電路設計師達成所選定的電阻值。附加地，由於電阻器圖案化是鰭部為基的，故有可能在電晶體密度之規模上達成高密度。

【0710】在實施例中，使用目前最先進的finFET處理操作以提供適用於製造鰭部為基電阻器之鰭部。此類方法之優勢可在於其高密度以及接近主動電晶體，賦能易於整合進入電路中。另外，下層鰭部幾何的彈性允許廣範圍之電阻值。在例示性處理方案中，鰭部是先運用支柱微影與間隔件化(spacerization)方法而被圖案化。鰭部接著被隔離氧化物覆蓋，該隔離氧化物經凹陷以設定電阻器之高度。絕緣氧化物接著被共形沉積在鰭部上，以將導電薄膜與諸如下層矽基板等下層基板分離。金屬或高摻雜多晶矽薄膜接著被沉積在鰭部上。該薄膜接著被間隔件化以建立精密電阻器。

【0711】在例示性處理方案中，圖79-83說明根據本揭示內容之實施例代表製造鰭部為基薄膜電阻器結構之方法中的各種操作之平面圖及對應橫截面圖。

【0712】參照圖79，平面圖與沿著該平面圖之b-b'軸

所截取到的對應橫截面圖說明在半導體基板7801上形成支柱模板結構7902之後的處理流程之階段。側壁間隔件層7904接著經形成為與支柱模板結構7902之側壁表面共形。在實施例中，在支柱模板結構7902之圖案化之後，共形氧化物材料經沉積並且接著被各向異性蝕刻(間隔件化，spacerized)以提供側壁間隔件層7904。

【0713】參照圖80，平面圖說明在例如透過微影遮罩與曝光處理將側壁間隔件層7904之區7906曝光之後的處理流程之階段。接著例如透過蝕刻處理將包括在區7906內的側壁間隔件層7904的部分移除。所移除之部分是將用於最終鰭部界定之該等部分。

【0714】參照圖81，平面圖與沿著該平面圖之c-c'軸所截取到的對應橫截面圖說明在移除被包括在圖80之區7906內的側壁間隔件層7904的部分之後用以形成鰭部圖案化遮罩(例如，氧化物鰭部圖案化遮罩)的處理流程之階段。支柱模板結構7902接著經移除，並且剩餘圖案化遮罩被用作蝕刻遮罩以將基板7801圖案化。一旦將基板7801圖案化並將鰭部圖案化遮罩接續移除，半導體鰭部7802維持從現在經圖案化的半導體基板7804突出並與其為連續的。半導體鰭部7802具有頂表面7805、第一端部7806、第二端部7808、以及在該第一端部與第二端部之間的一對側壁7807，如上文中結合圖78所述者。

【0715】參照圖82，平面圖與沿著該平面圖之d-d'軸所截取到的對應橫截面圖說明在形成溝槽隔離層7814之後

的處理流程之階段。在實施例中，透過沉積絕緣材料以及用以界定鰭部高度(Hsi)之接續凹陷，形成溝槽隔離層7814以界定鰭部高度。

【0716】參照圖83，平面圖與沿著該平面圖之e-e'軸所截取到的對應橫截面圖說明在形成隔離層7812之後的處理流程之階段。在實施例中，隔離層7812是透過化學氣相沉積(CVD)處理所形成的。隔離層7812經形成為與半導體鰭部7802之頂表面(7805)、第一端部(7806)、第二端部(7808)、以及一對側壁(7807)共形。金屬電阻器層7810接著經形成為與隔離層7812共形，該隔離層7812與半導體鰭部7802之頂表面、第一端部、第二端部、以及一對側壁共形。

【0717】在實施例中，金屬電阻器層7810是使用覆蓋沉積與接續的各向異性蝕刻處理所形成。在實施例中，金屬電阻器層7810是使用原子層沉積(ALD)所形成。在實施例中，金屬電阻器層7810經形成為具有在2-5奈米範圍內的厚度。在實施例中，金屬電阻器層7810是或包括氮化鈦(TiN)層或鎢(W)層。在實施例中，金屬電阻器層7810經形成為具有在100-100,000歐姆/平方之範圍內的電阻性。

【0718】在接續處理操作中，一對陽極或陰極電極可被形成且其可是電性連接到圖83之結構的金屬電阻器層7810。作為實例，圖84說明根據本揭示內容之實施例的具有各種針對陽極或陰極電極接點之例示性位置的鰭部為基薄膜電阻器結構之平面圖。

【0719】參照圖84，例如8400、8402、8404、8406、8408、8410中之一者的第一陽極或陰極電極是電性連接到金屬電阻器層7810。例如8400、8402、8404、8406、8408、8410中之另一者的第二陽極或陰極電極是電性連接到金屬電阻器層7810。在實施例中，金屬電阻器層7810、陽極電極、以及陰極電極形成精密薄膜電阻器(TFR)被動裝置。精密TFR被動裝置可為可調的，其中可基於第一陽極或陰極電極與第二陽極或陰極電極之間的距離而選定電阻。可透過形成例如8400、8402、8404、8406、8408、8410及其他可能性等各種類型的實際電極來提供選項，並且接著基於互連電路選定實際配對。替代地，可形成單陽極或陰極配對，其中在製造TFR裝置期間選定其各者的位置。在實施例中，在任一情況下用於陽極或陰極電極之一者的位置是在鰭部7802之端部(例如，位置8400或8402處)、在鰭部7802之轉角處(例如，位置8404、8406或8408處)、或在轉角間過渡部分之中心處(例如，位置8410處)。

【0720】在例示性實施例中，第一陽極或陰極電極是電性連接到靠近半導體鰭部7802的第一端部7806(例如在位置8400處)之金屬電阻器層7810。第二陽極或陰極電極是電性連接到靠近半導體鰭部7802的第二端部7808(例如在位置8402處)之金屬電阻器層7810。

【0721】在另一例示性實施例中，第一陽極或陰極電極是電性連接到靠近半導體鰭部7802的第一端部7806(例如在位置8400處)之金屬電阻器層7810。第二陽極或陰極

電極是電性連接到遠離半導體鰭部7802的第二端部7808(例如在位置8410、8408、8406或8404處)之金屬電阻器層7810。

【0722】在另一例示性實施例中，第一陽極或陰極電極是電性連接到遠離半導體鰭部7802的第一端部7806(例如在位置8404或8406處)之金屬電阻器層7810。第二陽極或陰極電極是電性連接到遠離半導體鰭部7802的第二端部7808(例如在位置8410或8408處)之金屬電阻器層7810。

【0723】更明確地，根據本揭示內容之一或多實施例，鰭部為基電晶體架構之形貌特徵是用作製造嵌入式電阻器之基礎。在一實施例中，精密電阻器被製造在鰭部結構上。在特定實施例中，此類方法賦能諸如精密電阻器等被動組件之極高密度整合。

【0724】應瞭解，數種鰭部幾何形狀是適用於製造鰭部為基精密電阻器。圖85A-85D說明根據本揭示內容之實施例的用於製造鰭部為基精密電阻器的各種鰭部幾何形狀之平面圖8500、8502、8504、及8506。

【0725】在實施例中，參照圖85A-85C，半導體鰭部7802是非線性半導體鰭部。在一實施例中，半導體鰭部7802穿過在基板以上之溝槽隔離區突出。金屬電阻器層7810與隔離層(未顯示)共形，該隔離層與非線性半導體鰭部7802共形。在一實施例中，二或多陽極或陰極電極8400是電性連接到金屬電阻器層7810，其中以圖85A-85C中的虛線圓圈顯示例示性可選位置。

【0726】非線性鰭部幾何形狀包括一或多轉角，諸如但未限於單轉角(例如，L型)、兩個轉角(例如，U型)、四個轉角(例如，S型)、或六個轉角(例如，圖78之結構)。在實施例中，非線性鰭部幾何形狀是開放結構幾何形狀。在另一實施例中，非線性鰭部幾何形狀是封閉結構幾何形狀。

【0727】作為針對非線性鰭部幾何形狀之開放結構幾何形狀的例示性實施例，圖85A說明具有一轉角之非線性鰭部，用以提供開放結構L型幾何形狀。圖85B說明具有兩個轉角之非線性鰭部，用以提供開放結構U型幾何形狀。在開放結構之情況下，非線性半導體鰭部7802具有頂表面、第一端部、第二端部、以及在該第一端部與第二端部之間的一對側壁。金屬電阻器層7810與隔離層(未示出)共形，該隔離層與頂表面、第一端部、第二端部、以及在該第一端部與第二端部之間的一對側壁共形。

【0728】在特定實施例中，再參照圖85A及85B，第一陽極或陰極電極是電性連接到靠近開放結構非線性半導體鰭部之第一端部的金屬電阻器層7810，以及第二陽極或陰極電極是電性連接到靠近開放結構非線性半導體鰭部之第二端部的金屬電阻器層7810。在另一特定實施例中，第一陽極或陰極電極是電性連接到靠近開放結構非線性半導體鰭部之第一端部的金屬電阻器層7810，以及第二陽極或陰極電極是電性連接到遠離開放結構非線性半導體鰭部之第二端部的金屬電阻器層7810。在另一特定實施例中，第

一陽極或陰極電極是電性連接到遠離開放結構非線性半導體鰭部之第一端部的金屬電阻器層7810，以及第二陽極或陰極電極是電性連接到遠離開放結構非線性半導體鰭部之第二端部的金屬電阻器層7810。

【0729】作為針對非線性鰭部幾何形狀之封閉結構幾何形狀的例示性實施例，圖85C說明具有四個轉角之非線性鰭部，用以提供封閉結構正方形形狀或矩形形狀幾何形狀。在封閉結構之情況下，非線性半導體鰭部7802具有頂表面及一對側壁，以及更明確的內側壁與外側壁。然而，封閉結構並不包括暴露第一及第二端部。金屬電阻器層7810與隔離層(未顯示)共形，該隔離層與鰭部7802之頂表面、內側壁、以及外側壁共形。

【0730】在另一實施例中，參照圖85D，半導體鰭部7802是線性半導體鰭部。在一實施例中，半導體鰭部7802穿過在基板以上之溝槽隔離區突出。金屬電阻器層7810與隔離層(未顯示)共形，該隔離層與線性半導體鰭部7802共形。在一實施例中，二或多陽極或陰極電極8400是電性連接到金屬電阻器層7810，其中以圖85D中的虛線圓圈顯示例示性可選位置。

【0731】在另一態樣中，根據本揭示內容之實施例，說明針對用於微影之高解析相位偏移遮罩(PSM)製造的新結構。此類PSM遮罩可用於一般(直接)微影或互補微影。

【0732】光刻是常用於製造處理中以在光阻劑之層中形成圖案。在光刻處理中，光阻層經沉積在將被蝕刻之下

層上方。典型上，該下層是半導體層，但其可是任何類型之硬遮罩或介電質材料。光阻層接著通過光罩或標線而被選擇性暴露至輻射。光阻劑接著經顯影，且在「正」光阻劑之情況下，經暴露至輻射之該等光阻之部分被移除。

【0733】用於將晶圓圖案化之光罩或標線被置於一般習知為「步進電動機」或「掃描器」等光刻曝光工具中。在步進電動機或掃描器中，光罩或標線被置於輻射源與晶圓之間。光罩或標線典型上是從置於石英基板上之經圖案化鉻(吸收層，absorber layer)所形成。在其中沒有鉻之位置中，輻射實質上未衰弱地通過光罩或標線之石英區段。對照之下，輻射不會通過遮罩之鉻部分。因為入射遮罩之輻射不是完全通過石英區段就是完全被鉻區段阻擋，故此類型之遮罩被稱作二元遮罩。在輻射選擇性通過遮罩後，透過通過一系列透鏡將遮罩的影像投影到光阻劑中，在遮罩上的圖案經轉移到光阻劑中。

【0734】隨著光罩或標線上之特徵趨向靠近彼此，當遮罩上特徵之尺寸與光源之波長是可比較時，開始產生繞射效應。繞射會使投影到光阻劑上之影像模糊，導致差解析度。

【0735】避免繞射圖案干涉光阻劑之期望圖案化的一種方法是使用已知為偏移層(shifter)等透明層將光罩或標線中所選開口覆蓋。該偏移層將該組暴露光束之一相對於另一相鄰組光束異相偏移，這會使來自繞射之干涉圖案無效化。此方法被稱作相位偏移遮罩(phase shift mask, PSM)

方法。然而，在遮罩產生中降低缺陷並增加產量之替代遮罩製造方案是微影處理研發之重要專注領域。

【0736】本揭示內容之一或多實施例是涉及用於製造微影遮罩之方法以及所產生之微影遮罩。為提供情境，要達成半導體產業提出的積極裝置縮小目標所需之條件在於微影遮罩要能夠以高保真度對較小特徵進行圖案化。然而，用以將越來越小特徵圖案化之方法對遮罩製造提出了艱難之挑戰。就此方面而言，目前廣為使用之微影遮罩倚靠用以將特徵圖案化的相位偏移遮罩(PSM)技術之概念。然而，在減少缺陷的同時要創立越來越小的圖案仍然是維持製造中最大的障礙之一。使用相位偏移遮罩可能有些許缺點。首先，相位偏移遮罩之設計是需要顯著資源的相對複雜之程序。第二，由於相位偏移遮罩本質之緣故，故難以檢查在相位偏移遮罩中是否存在缺陷。在相位偏移遮罩中的此類缺陷是源自於用以產生該遮罩本身所採用之當前整合方案。若干相位偏移遮罩採用累贅且某方面易產生缺陷之方法以將厚的光吸收材料圖案化，並且接著將該圖案轉移到輔助相位偏移之次要層。令問題更為複雜，該吸收層受電漿蝕刻兩次，且因此諸如負載效應、反應離子蝕刻滯後、充電和可重現效果等不期望之電漿蝕刻效果將導致在遮罩產品中的缺陷。

【0737】用於製造無缺陷微影遮罩的材料之創新與新穎整合技術仍是實現裝置縮小的高優先級。據此，為利用相位偏移遮罩技術之完整優勢，可能需要採用(i)以高保真

度將偏移層圖案化與(ii)僅在製造之最終階期間將吸收層圖案化一次之新穎整合方案。附加地，此類製造方案亦可提供諸如在材料選擇的彈性、在製造期間減少基板損壞、以及在遮罩製造中增加產量等方面之其他優勢。

【0738】圖86說明根據本揭示內容之實施例的微影遮罩結構8601之橫截面圖。微影遮罩8601包括晶粒中(in-die)區8610、框(frame)區8620、以及晶粒-框界面區8630。晶粒-框界面區8630包括晶粒中區8610與框區8620之相鄰部分。晶粒中區8610包括直接設置在基板8600上之經圖案化偏移層8606，其中圖案化偏移層具有具備側壁之特徵。框區8620環繞晶粒中區8610並包括直接設置在基板8600上之經圖案化的吸收層8602。

【0739】設置在基板8600上之晶粒-框界面區8630包括雙層堆疊8640。雙層堆疊8640包括設置在經圖案化的下偏移層8606上的上層8604。雙層堆疊8640之上層8604是由與框區8620之經圖案化吸收層8602相同的材料所構成。

【0740】在實施例中，經圖案化偏移層8606之特徵的最上表面8608具有與晶粒-框界面區之特徵的最上表面8612以及與框區中特徵的最上表面8614不同之高度。此外，在實施例中晶粒-框界面區之特徵的最上表面8612之高度與框區之特徵的最上表面8614之高度不同。相位偏移層8606之典型厚度在40-100nm之範圍中，而吸收層之典型厚度在30-100nm之範圍中。在實施例中，框區8620中的吸收層8602之厚度為50nm，在晶粒-框界面區8630中偏移層

8606與設置在偏移層8606上的吸收層8604之結合厚度是120 nm，以及在晶粒-框界面區中偏移層之厚度是70 nm。在實施例中，基板8600是石英，經圖案化的偏移層包括諸如但不限於鉭-矽化物、鉭-氮氧化矽、鉭-氮化矽、氮氧化矽或氮化矽等材料，以及吸收層材料是鉻。

【0741】本文所揭示實施例可用以製造各式各樣不同類型之積體電路或微電子裝置。此類積體電路之實例包括但不限於處理器、晶片組組件、繪圖處理器、數位訊號處理器、及微控制器等。在其他實施例中，可製造半導體記憶體。此外，該積體電路或其他微電子裝置可被運用在該技術領域中習知的各式各樣電子裝置中。舉例而言，在(例如桌上型、膝上型、伺服器)電腦系統、蜂巢式電話、個人電子等中。該積體電路可與匯流排以及系統中的其他組件耦合。舉例而言，透過一或多匯流排，處理器可與記憶體、晶片組等耦合。處理器、記憶體、以及晶片組之各者可潛在是使用本文所揭示方法所製造出。

【0742】圖87說明根據本揭示內容之一實作之計算裝置8700。計算裝置8700容納板8702。板8702可包括數個組件，其包括但未限於處理器8704以及至少一通訊晶片8706。處理器8704是實體以及電性耦合到板8702。在若干實作中，至少一通訊晶片8706亦是實體以及電性耦合到板8702。在進一步實作中，通訊晶片8706是處理器8704的部分。

【0743】取決於其應用，計算裝置8700可包括其他組

件，該等其他組件可能或可能不會實體以及電性地耦合到板8702。此等其他組件包括但未限於，揮發性記憶體(例如，DRAM)、非揮發性記憶體(例如，ROM)、快閃記憶體、繪圖處理器、數位訊號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、加速度計、陀螺儀、揚聲器、照相機、及大容量儲存裝置(諸如硬碟機、光碟片(CD)、及數位多功能碟片(DVD)等)。

【0744】通訊晶片8706賦能針對通往計算裝置8700以及來自計算裝置8700之資料傳輸的無線通訊。術語「無線」與其衍生詞可被用於描述其可透過使用經調變電磁輻射穿過非固體介質而通訊資料之電路、裝置、系統、方法、技術、通訊通道等。該術語並不暗示相關裝置不包含任何線路，雖然在一些實施例中其可能沒有任何線路。通訊晶片8706可實作數種無線標準或協定之任意者，包括但不限於Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、長程演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍伸物、以及指定為3G、4G、5G與之後的任何其他無線協定。計算裝置8700可包括複數個通訊晶片8706。例如，第一通訊晶片8706可專用於諸如Wi-Fi與藍芽等短程無線通訊，而第二通訊晶片8706可專用於諸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、

Ev-DO等長程無線通訊。

【0745】計算裝置8700之處理器8704包括封裝於處理器8704內之積體電路晶粒。在本揭示內容實施例之若干實作中，處理器之積體電路晶粒包括一或多結構，諸如根據本揭示內容實作所建立之積體電路結構。術語「處理器」可指處理來自暫存器及/或記憶體之電子資料以將該電子資料轉變成為可儲存於暫存器及/或記憶體中之其他電子資料的任何裝置或裝置之部分。

【0746】通訊晶片8706亦包括被封裝於該通訊晶片8706內之積體電路晶粒。根據本揭示內容之另一實作，通訊晶片之積體電路晶粒是根據本揭示內容實作所建立的。

【0747】在進一步實作中，容納於計算裝置8700內之另一組件可包含根據本揭示內容實施例之實作所建立之積體電路晶粒。

【0748】在各種實施例中，計算裝置8700可係膝上型電腦、易網機、筆記型電腦、超筆電、智慧型手機、平板電腦、個人數位助理(PDA)、超極行動PC、行動電話、桌上型電腦、伺服器、印表機、掃描機、顯示器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。在進一步實作中，計算裝置8700可是任何其他處理資料的電子裝置。

【0749】圖88顯示包括本揭示內容一或多個實施例之中介物8800。中介物8800是用以將第一基板8802橋接到第二基板8804之中介基板。舉例而言，第一基板8802可以是

積體電路晶粒。舉例而言，第二基板8804可以是記憶體模組、電腦主機板、或另一積體電路晶粒。一般而言，中介物8800之目的在於擴展連結至更廣之節距，或用以重新路由一連結至一不同連結。例如，中介物8800可將積體電路晶粒耦合至球狀柵陣列(BGA)8806，該BGA 8806可接續地耦合至該第二基板8804。在一些實施例中，該第一及第二基板8802/8804被附接至該中介物8800之相對側。在其他實施例中，該第一及第二基板8802/8804被附接到該中介物8800之同一側。且在進一步實施例中，三或更多基板藉由使用中介物8800而互連。

【0750】該中介物8800可由環氧樹脂、玻璃纖維強化環氧樹脂、陶瓷材料、或諸如聚醯亞胺之聚合物材料所形成。在進一步實作中，插入件可由替代剛性或撓性材料所形成，該材料可包括上述用於半導體基板的相同材料(諸如矽、鍺、與其他第III-V族與第IV族材料)。

【0751】該中介物可包括金屬互連8808及通孔8810，其包括但不限於矽穿孔(TSV)8812。中介物8800可另外包括嵌入式裝置8814，包括被動及主動裝置。此類裝置包括但不限於，電容器、去耦電容器、電阻器、電感器、熔絲、二極體、變壓器、感測器、及靜電放電(ESD)裝置。諸如射頻(RF)裝置、功率放大器、功率管理裝置、天線、陣列、感測器、與MEMS裝置等較複雜裝置亦可被形成在中介物8000上。依據本揭示內容之實施例，本文揭示之設備或處理可用於中介物8000之製造中或用於中介物8800中

所包括組件之製造中。

【0752】圖89係根據本揭示內容之實施例的採用根據本文描述的一個或多處理所製造的積體電路(IC)或包括本文描述的一個或多特徵之移動計算平台8900的等角視圖。

【0753】行動計算平台8900可是任何經組態用於電子資料顯示、電子資料處理、以及線路電子資料傳輸之各者的可攜式裝置。舉例而言，行動計算平台8900可是平板電腦、智慧型電話、膝上型電腦等之任意者，並且包括在例示性實施例中為(電容式、電感式、電阻式等)觸控螢幕的顯示器螢幕8905、晶片層級(SoC)或封裝層級整合系統8910、以及電池8913。如所說明的，透過較高電晶體封裝密度所賦能之系統8910中的整合程度越高，行動計算平台8900中可被電池8913或諸如固態硬碟等非揮發性儲存器等佔用之部分可越大，或者用於提高平台功能性之電晶體閘極數可越大。相似的，在系統8910中各電晶體的載體遷移率越大，功能性就越大。如此，本文所述技術可賦能在行動計算平台8900中效能與形狀因子之提高。

【0754】將在擴大視圖8920中進一步說明整合系統8910。在例示性實施例中，封裝裝置8977包括至少一記憶體晶片(例如，RAM)或根據本文所述一或多處理所製造或包括本文所述一或多特徵之至少一處理器晶片(例如，多核心微處理器及/或繪圖處理器)。封裝裝置8977進一步連同其控制器8911、功率管理積體電路(PMIC)8915、以及RF(無線)積體電路(RFIC)8925之一或多者而耦合到板

8960，其中該RF(無線)積體電路(RFIC)8925包括寬頻RF(無線)傳輸器及/或接收器(例如，包括數位基頻帶以及類比前端模組，該類比前端模組進一步包含在傳輸路徑上之功率放大器以及在接收路徑上之低雜訊放大器)。功能性而言，PMIC 8915執行電池功率調節、DC-對-DC轉換等，並且具有耦合到電池8913之輸入以及具有提供電源供應給所有其他功能性模組之輸出。如進一步說明的，在例示性實施例中，RFIC 8925具有耦合到天線之輸出，經設置用以實作數種無線標準或協定之任意者，包括但不限於Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、長程演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍伸物、以及指定為3G、4G、5G與之後的任何其他無線協定。在替代實作中，此等板層級模組之各者可被整合到耦合到封裝裝置8977之封裝基板的分離IC上或耦合到封裝裝置8977之封裝基板的單一IC(SoC)內。

【0755】在另一態樣中，半導體封裝被用以保護積體電路(IC)晶片或晶粒，以及亦提供到外部電路之電性介面給該晶粒。隨著針對較小電子裝置之需求增加，半導體封裝經設計成更為緊縮且必須支援更大的電路密度。此外，針對較高效能裝置之需求導致對賦能與接續總成處理相容的總體低彎曲性以及薄封裝輪廓外形之經改善半導體封裝之需求。

【0756】在實施例中，使用線路接合到陶磁或有機封裝基板。在另一實施例中，使用C4處理以將晶粒安裝到陶瓷或有機封裝基板。特別而言，可實作C4焊球連接以在半導體裝置與基板之間提供倒裝晶片互連。倒裝晶片或受控晶片連接(Controlled Collapse Chip Connection, C4)是一種用於諸如積體電路(IC)晶片、MEMS或組件等半導體裝置之安裝類型，其使用焊點以取代線路接合。焊點經沉積在C4墊上，位於基板封裝之頂側上。為了將半導體裝置安裝到基板，該半導體裝置被翻轉，以令主動側向下面向安裝區域。使用焊點以將半導體裝置直接連接到基板。

【0757】圖90說明根據本揭示內容之實施例的倒裝晶片安裝晶粒之橫截面圖。

【0758】參照圖90，根據本揭示內容之實施例的設備9000包括晶粒9002，諸如根據本文描述的一個或多處理所製造的積體電路(IC)或包括本文描述的一個或多特徵。晶粒9002包括在其上的金屬化墊9004。諸如陶瓷或有機基板等封裝基板9006包括在其上的連接9008。透過耦合到金屬化墊9004與連接9008之焊球9010，晶粒9002與封裝基板9006電性連接。底部填充材料9012環繞焊球9010。

【0759】處理倒裝晶片可能是類似於習知IC製造，其中具有幾個附加操作。接近製造處理尾聲，附接墊被金屬化以使其更易於接收焊接。這典型上包括幾種處理。小焊接點接著被沉積在各金屬化墊上。接著正常般將該等晶片切割自晶圓。為了將倒裝晶片附接到電路，該晶片被倒置

以令焊點往下接觸到下層電子或電路板上的連接器。然後通常使用超聲波或替代地回流焊接處理來重新熔化焊料以產生電性連接。這亦在晶片電路與下層安裝之間留下些許空間。在大部分情況下，電性絕緣附著劑接著被「底部填充」以提供較強機械連接、提供熱橋接、以及確保焊點不會因晶片和系統其他部分的差異加熱而受到應力。

【0760】在其他實施例中，根據本揭示內容之實施例的較新封裝以及晶粒-對-晶粒互連方法，諸如矽通孔(TSV)以及矽中介物，經實作以製造包括根據本文描述的一個或多處理所製造的積體電路(IC)或包括本文描述的一個或多特徵之高效能多晶片模組(MCM)以及封裝中系統(SiP)。

【0761】因此，本揭示內容之實施例包括進階積體電路結構製造。

【0762】雖然已於上文中描述特定實施例，但此等實施例目的並非在於限制本揭示內容之範疇，即使當僅有單一實施例描述特定特徵時亦是如此。本揭示內容中所提供特徵之實例目的在於是說明性而非限制性的，除非另有聲明。上述說明目的在於涵蓋此類替代、修改、及等效物，如同對於受益於本揭示內容的本領域技術人員是顯而易見般。

【0763】本揭示內容的範圍包括本文揭露的任何特徵或特徵的組合(不論是明確地或隱含地)，或其任何概括，無論其是否減輕本文所提及的任何或所有問題。據此，在

本申請案(或主張其優先權之申請案)審查期間，可提出該等特徵之任意此類組合之新請求項。更明確地，參照所附申請專利範圍，附屬項的特徵可以與獨立項的特徵組合，以及各個獨立項的特徵可以以任何適當的方式組合，而不僅僅是在所附申請專利範圍中列舉的特定組合中。

【0764】以下實例關於進一步實施例。不同實施例之各種特徵可與所包括之若干特徵以各種方式結合，且其它特徵可被省略以適用於各式各樣之不同應用。

【0765】例示性實施例1：一種積體電路結構包括沿著第一方向具有最長維度之第一矽鰭部。具有最長維度的第二矽鰭部是沿著第一方向。絕緣體材料是位於第一矽鰭部與第二矽鰭部之間。閘極線沿著第二方向在第一矽鰭部上方以及在第二矽鰭部上方，第二方向與第一方向正交，閘極線具有第一側及第二側，其中閘極線在絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充。溝槽接點在該閘極線的該第一側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方，在與該介電質插塞橫向相鄰的位置處，該溝槽接點在該絕緣體材料上方為連續的。介電質間隔件是橫向位於該溝槽接點與該閘極線的該第一側之間，該介電質間隔件沿著該閘極線的該第一側以及該介電質插塞為連續的，以及該介電質間隔件具有比橫向相鄰於該閘極線的該第一側之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【0766】例示性實施例2：如例示性實施例1之積體電

路結構，進一步包含在該閘極線的該第二側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的第二溝槽接點，在與該介電質插塞橫向相鄰的位置處，該第二溝槽接點在該絕緣體材料上方為連續的。

【0767】例示性實施例3：如例示性實施例2之積體電路結構，進一步包含橫向位於該第二溝槽接點與該閘極線的該第二側之間的第二介電質間隔件，該第二介電質間隔件沿著該閘極線的該第二側以及該介電質插塞為連續的，以及該第二介電質間隔件具有比橫向相鄰於該閘極線的該第二側之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【0768】例示性實施例4：如例示性實施例1、2或3之積體電路結構，其中該閘極線包含高k值閘極介電層、閘極電極、以及介電帽層。

【0769】例示性實施例5：如例示性實施例1、2、3或4之積體電路結構，其中該介電質插塞包含與該介電質間隔件相同的材料，但與該介電質間隔件分離。

【0770】例示性實施例6：一種積體電路結構包括沿著第一方向具有最長維度之第一矽鰭部。具有最長維度的第二矽鰭部是沿著第一方向。絕緣體材料是位於第一矽鰭部與第二矽鰭部之間。閘極線沿著第二方向在第一矽鰭部上方以及在第二矽鰭部上方，第二方向與第一方向正交，閘極線具有第一側及第二側，其中閘極線在絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充。溝槽接點在該閘極線的該第一側處沿著該第二方向在該第

一矽鰭部上方以及在該第二矽鰭部上方，在與該介電質插塞橫向相鄰的位置處，該溝槽接點在該絕緣體材料上方為連續的。介電質間隔件是橫向位於該溝槽接點與該閘極線的該第一側之間，該介電質間隔件沿著該閘極線的該第一側但不沿著該介電質插塞，其中該溝槽接點具有比橫向相鄰於該介電質間隔件之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【0771】例示性實施例7：如例示性實施例6之積體電路結構，進一步包含在該閘極線的該第二側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的第二溝槽接點，在與該介電質插塞橫向相鄰的位置處，該第二溝槽接點在該絕緣體材料上方為連續的。

【0772】例示性實施例8：如例示性實施例7之積體電路結構，進一步包含橫向位於該第二溝槽接點與該閘極線的該第二側之間的第二介電質間隔件，該第二介電質間隔件沿著該閘極線的該第二側但不沿著該介電質插塞，其中該第二溝槽接點具有比橫向相鄰於該第二介電質間隔件之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【0773】例示性實施例9：如例示性實施例6、7或8之積體電路結構，其中該閘極線包含高k值閘極介電層、閘極電極、以及介電帽層。

【0774】例示性實施例10：如例示性實施例6、7、8或9之積體電路結構，其中該介電質插塞包含與該介電質間隔件相同的材料，但與該介電質間隔件分離。

【0775】例示性實施例11：一種製造積體電路結構之方法，包括形成複數個閘極線半導體鰭部，以及在該半導體鰭部之間的溝槽隔離結構上方形成具有介電質側壁間隔件的該閘極線之各者。該方法亦包括移除該複數個閘極線之一者以形成溝槽，其中相鄰該複數個閘極線之一者的該介電質側壁間隔件在所述移除期間被侵蝕，以及其中在所述移除之後該複數個閘極線之一者的殘餘部分維持在該溝槽底部處。該方法亦包括在該溝槽之上部分上形成硬遮罩。該方法亦包括從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分。該方法亦包括移除該硬遮罩。該方法亦包括以介電質插塞填充該溝槽。

【0776】例示性實施例12：如例示性實施例11之方法，其中所述從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分包含移除多晶矽部分。

【0777】例示性實施例13：如例示性實施例11或12之方法，其中所述移除該複數個閘極線之一者以形成該溝槽以及所述從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分包含使用相同蝕刻化學品。

【0778】例示性實施例14：如例示性實施例11、12或13之方法，其中於所述從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分期間，該硬遮罩保護該介電質側壁間隔件免於進一步侵蝕。

【0779】例示性實施例15：如例示性實施例11、12、13或14之方法，其中以該介電質插塞材料填充該溝槽包含

形成具有漸縮輪廓之介電質插塞。

【0780】例示性實施例16：如例示性實施例11、12、13、14或15之方法，進一步包含以永久閘極結構替代該複數個閘極線之剩餘者。

【0781】例示性實施例17：一種積體電路結構包括沿著第一方向具有最長維度之第一矽鰭部。具有最長維度的第二矽鰭部是沿著第一方向。絕緣體材料是位於第一矽鰭部與第二矽鰭部之間。閘極線沿著第二方向在第一矽鰭部上方以及在第二矽鰭部上方，第二方向與第一方向正交，閘極線具有第一側及第二側，其中閘極線在絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充。溝槽接點在該閘極線的該第一側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方，在與該介電質插塞橫向相鄰的位置處，該溝槽接點在該絕緣體材料上方為連續的。介電質間隔件是橫向位於溝槽接點與閘極線之第一側之間。該介電質間隔件之上部分沿著該閘極線的該第一側但不沿著該介電質插塞，以及該溝槽接點之上部分具有比橫向相鄰於該介電質間隔件之寬度更薄的橫向相鄰於該介電質插塞的上部分之寬度，該介電質間隔件之下部分沿著該閘極線之該第一側及該介電質插塞為連續的，以及該介電質間隔件之該下部分具有比橫向相鄰於該閘極線的該第一側之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【0782】例示性實施例18：如例示性實施例17之積體電路結構，其中該介電質插塞具有漸縮輪廓。

【0783】例示性實施例19：如例示性實施例17或18之積體電路結構，其中該閘極線包含高k值閘極介電層、閘極電極、以及介電帽層。

【0784】例示性實施例20：如例示性實施例17、18或19之積體電路結構，其中該介電質插塞包含與該介電質間隔件相同的材料，但與該介電質間隔件分離。

【符號說明】

【0785】

100：起始結構

102：層間介電(ILD)層

104：硬遮罩材料層

106：遮罩

108：間隔件

110：硬遮罩

200：節距四分方法

202：光阻特徵

204：第一支柱(BB1)特徵

206：第一間隔件(SP1)特徵

206’：第一間隔件特徵

208：第二支柱(BB2)特徵

210：第二間隔件(SP2)特徵

250：半導體鰭部

300：合併鰭部節距四分方法

302：光阻特徵

304：第一支柱(BB1)特徵

306：第一間隔件(SP1)特徵

306’：第一間隔件特徵

308：第二支柱(BB2)特徵

310：第二間隔件(SP2)特徵

350：半導體鰭部

352：第一複數個半導體鰭部

353：個別半導體鰭部

354：第二複數個半導體鰭部

355：個別半導體鰭部

356：半導體鰭部

357：半導體鰭部

402：硬遮罩層

404：半導體層

406：鰭部

408：剩餘鰭部短截

502：鰭部

502A：下鰭部部分(子鰭)

502B：上鰭部部分

504：第一絕緣層

506：第二絕緣層

508：介電質填充材料

552：第一鰭部

552A：下鰭部部分

552B：上鰭部部分

554：肩部特徵

562：第二鰭部

562A：下鰭部部分

562B：上鰭部部分

564：肩部特徵

574：第一絕緣層

574A：第一端部部分

574B：第二端部部分

576：第二絕緣層

578：介電質填充材料

578A：上表面

602：鰭部

602A：上鰭部部分

604：第一絕緣層

606：第二絕緣層

608：介電質填充材料

700：積體電路結構

702：鰭部

702A：下鰭部部分

702B：上鰭部部分

704：絕緣結構

704A：第一部分

704A’：第二部分

704A”：第三部分

704B：第二部分

706：閘極結構

706A：犧牲閘極介電層

706B：犧牲閘極

706C：硬遮罩

708：介電質材料

710：硬遮罩材料

712：凹陷硬遮罩硬材料

714：介電質間隔件

714A：介電質間隔件

714B：第一介電質間隔件

714C：第二介電質間隔件

902：第一絕緣層

904：第二絕緣層

906：介電質填充材料

910：源極或汲極結構

910A：底表面

910B：頂表面

920：永久閘極結構

922：閘極介電層

924：第一閘極層

926：閘極填充材料

930：殘餘多晶矽部分

990：頂表面

1000：積體電路結構

1001：塊狀矽基板

1002：鰭部

1004：源極或汲極結構

1006：絕緣結構

1008：導電接點

1052：半導體鰭部

1054：源極或汲極結構

1058：導電接點

1100：積體電路結構

1102：第一鰭部

1104：第一磊晶源極或汲極結構

1104A：底部

1104B：頂部

1105：輪廓

1108：第一導電電極

1152：第二鰭部

1154：第三磊晶源極或汲極結構

1158：第二導電電極

1201：矽基板

1202：鰭部

1202A：下鰭部部分

1202B：上鰭部部分

1204：介電質間隔件

1204A：頂表面

1206：凹陷鰭部部分

1208：磊晶源極或汲極結構

1208A：下部分

1210：導電電極

1210A：導電障壁層

1210B：導電填充材料

1302：鰭部

1304：第一方向

1306：閘極線

1307：間距

1308：第二方向

1310：鰭部

1312：切割

1402：鰭部

1404：第一方向

1406：閘極結構

1408：第二方向

1410：介電質材料結構

1412：部分

1414：暴露部分

1416：微影窗口

1418：寬度

1420：切割區

1502：矽鰭部

1504：第一鰭部部分

1506：第二鰭部部分

1508：切割

1510：介電質填充材料

1512：閘極線

1514：閘極介電質及閘極電極堆疊

1516：介電帽層

1518：側壁間隔件

1600：積體電路結構

1602：鰭部

1604：第一上部分

1606：第二上部分

1610：隔離結構

1611：中心

1612：閘極線

1612A：第一閘極結構

1612B：第二閘極結構

1612C：第三閘極結構

1613A：中心

1613B：中心

1613C：中心

1614：閘極介電質及閘極電極堆疊

1616：介電帽層

1618：側壁間隔件

1620：殘餘間隔件材料

1622：區

1650：第一方向

1652：第二方向

1660：閘極電極

1662：高k值閘極介電層

1664A：第一磊晶半導體區

1664B：第二磊晶半導體區

1664C：第三磊晶半導體區

1680：鰭部

1682：基板

1684：鰭部切割

1686：局部切割

1688：主動閘極電極

1690：介電質插塞

1692：介電質插塞

1694：磊晶源極或汲極區

1700：半導體鰭部

1700A：下鰭部部分

1700B：上鰭部部分

1702：基板

1704：絕緣結構

1706：切割

1706A：切割

1706B：切割

1706C：切割

1706D：切割

1710：第一鰭部部分

1712：第二鰭部部分

1800：第一半導體鰭部

1800A：下鰭部部分

1800B：上鰭部部分

1802：第二半導體鰭部

1802A：下鰭部部分

1802B：上鰭部部分

1804：絕緣結構

1806：切割

1808：切割

1810：剩餘部分

1820：切割深度

1900：鰭部

1902：基板

1904：切割

1906：主動閘極電極位置

1908：仿閘極電極位置

1910：磊晶源極或汲極區

1912：層間介電質材料

1920：開口

2000：鰭部

2002：基板

2004：切割

2006：主動閘極電極位置

2008：仿閘極電極位置

2010：磊晶源極或汲極區

2012：層間介電質材料

2020：開口

2100：起始結構

2102：第一鰭部

2104：基板

2106：鰭部端部

2108：第一主動閘極電極位置

2110：第一仿閘極電極位置

2112：磊晶N型源極或汲極區

2114：層間介電質材料

2116：開口

2122：第二鰭部

2126：鰭部端部

2128：第二主動閘極電極位置

2130：第二仿閘極電極位置

2132：磊晶P型源極或汲極區

2134：層間介電質材料

2136：開口

2140：材料襯墊

2142：保護冠層

2144：硬遮罩材料

2146：微影遮罩或遮罩堆疊

2148：第二材料襯墊

2150：第二硬遮罩材料

2152：絕緣填充材料

2154：凹陷絕緣填充材料

2156：第三材料襯墊

2157：接縫

2302：半導體鰭部

2304：基板

2308A：淺介電質插塞

2308B：深介電質插塞

2308C：深介電質插塞

2308D：NMOS插塞

2308E：NMOS插塞

2308F：PMOS插塞

2308G：PMOS插塞

2350：氧化物層

2400：半導體鰭部

2402：端部

2404：端部

2450：半導體鰭部

2452：端部

2454：端部

2502：鰭部

2504：第一方向

2506：閘極結構

2508：第二方向

2510：介電質材料結構

2512：部分

2513：部分

2520：切割區

2530：介電質插塞

2600A：部分

2600B：部分

2600C：部分

2602：溝槽隔離結構

2602A：第一絕緣層

2602B：第二絕緣層

2602C：介電質填充材料

2700A：積體電路結構

2700B：積體電路結構

2702：第一矽鰭部

2703：第一方向

2704：第二矽鰭部

2706：絕緣體材料

2708：閘極線

2708A：第一側

2708B：第二側

2708C：第一端部

2708D：第二端部

2709：第二方向

2710：不連續性

2712：介電質插塞

2714：溝槽接點

2715：位置

2716：介電質間隔件

2718：第二溝槽接點

2719：位置

2720：第二介電質間隔件

2722：高k值閘極介電層

2724：閘極電極

2726：介電帽層

2752：第一矽鰭部

2753：第一方向

2754：第二矽鰭部

2756：絕緣體材料

2758：閘極線

2758A：第一側

2758B：第二側

2758C：第一端部

2758D：第二端部

2759：第二方向

2760：不連續性

2762：介電質插塞

2764：溝槽接點

2765：位置

2766：介電質間隔件

2768：第二溝槽接點

2769：位置

2770：第二介電質間隔件

2772：高k值閘極介電層

2774：閘極電極

2776：介電帽層

2802：閘極線

2804：結構

2806：仿閘極電極

2808：介電質帽蓋

2810：介電質間隔件

2812：介電質材料

2814：遮罩

2816：介電質間隔件

2818：介電質材料部分

2820：殘餘仿閘極材料

2822：硬遮罩

2830：介電質插塞

2900：積體電路結構

2902：鰭部

2902A：上鰭部部分

2902B：下鰭部部分

2902C：頂部

2902D：側壁

2904：半導體基板

2906：隔離結構

2906A：第一絕緣層

2906B：第二絕緣層

2906C：絕緣材料

2907：頂表面

2908：半導體材料

2910：閘極介電層

2911：閘極介電層

2912：閘極電極

2912A：共形導電層

2912B：導電填充金屬層

2916：第一源極或汲極區

2918：第二源極或汲極區

2920：第一介電質間隔件

2922：第二介電質間隔件

2924：絕緣帽蓋

3000：鰭部

3000A：下鰭部部分

3000B：上鰭部部分

3000C：頂部

3000D：側壁

3002：半導體基板

3004：隔離結構

3004A：第二絕緣材料

3004B：第二絕緣材料

3004C：絕緣材料

3005：頂表面

3006：佔位閘極電極

3008：方向

3010：氧化部分

3012：部分

3014：閘極介電層

3016：永久閘極電極

3016A：工作函數層

3016B：導電填充金屬層

3018：絕緣閘極帽層

3100：積體電路結構

3102：閘極結構

3102A：多晶材料層

3102B：導電層

3102C：閘極填充層

3103：非晶介電層

3104：基板

3106：半導體通道結構

3108：源極區

3110：汲極區

3112：源極或汲極接點

3112A：障壁層

3112B：溝槽填充材料

3114：層間介電層

3116：閘極介電質間隔件

3149：位置

3150：積體電路結構

3152：閘極結構

3152A：多晶材料層

3152B：導電層

3152C：閘極填充層

3153：非晶氧化物層

3154：基板

3156：半導體通道結構

3158：源極區

3160：汲極區

3162：源極或汲極接點

3162A：障壁層

3162B：溝槽填充材料

3164：層間介電層

3166：閘極介電質間隔件

3199：位置

3200：半導體鰭部

3206：仿閘極線

3208：間距

3251：源極或汲極區

3252：源極或汲極區

3253：源極或汲極區

3254：源極或汲極區

3260：基板

3262：半導體鰭部

3264：主動閘極線

3266：仿閘極線

3268：源極或汲極結構

3270：介電層

3272：閘極介電質結構

3274：工作函數閘極電極部分

3276：填充閘極電極部分

3278：介電覆蓋層

3280：介電質間隔件

3297：溝槽接點材料

3298：多晶材料層

3299：非晶氧化物層

3300：半導體主動區

3302：第一NMOS裝置

3304：第二NMOS裝置

3306：閘極介電層

3308：第一閘極電極導電層

3310：閘極電極導電填充

3312：區

3320：半導體主動區

3322：第一PMOS裝置

3324：第二PMOS裝置

3326：閘極介電層

3328：第一閘極電極導電層

3330：閘極電極導電填充

3332：區

3350：半導體主動區

3352：第一NMOS裝置

3354：第二NMOS裝置

3356：閘極介電層

3358：第一閘極電極導電層

3359：第二閘極電極導電層

3360：閘極電極導電填充

3370：半導體主動區

3372：第一PMOS裝置

3374：第二PMOS裝置

3376：閘極介電層

3378A：閘極電極導電層

3378B：閘極電極導電層

3380：閘極電極導電填充

3400：半導體主動區

3402：第一NMOS裝置

3403：第三NMOS裝置

3404：第二NMOS裝置

3406：閘極介電層

3408：第一閘極電極導電層

3409：第二閘極電極導電層

3410：閘極電極導電填充

3412：區

3420：半導體主動區

3422：第一PMOS裝置

3423：第三PMOS裝置

3424：第二PMOS裝置

3426：閘極介電層

3428A：閘極電極導電層

3428B：閘極電極導電層

3430：閘極電極導電填充

3432：區

3450：半導體主動區

3452：第一NMOS裝置

3453：第三NMOS裝置

3454：第二NMOS裝置

3456：閘極介電層

3458：第一閘極電極導電層

3459：第二閘極電極導電層

3460：閘極電極導電填充

3462：區

3470：半導體主動區

3472：第一PMOS裝置

3473：第三PMOS裝置

3474：第二PMOS裝置

3476：閘極介電層

3478A：閘極電極導電層

3478B：閘極電極導電層

3480：閘極電極導電填充

3482：區

3502：第一半導體鰭部

3504：第二半導體鰭部

3506：閘極介電層

3508：P型金屬層

3509：部分

3510：N型金屬層

3512：導電填充金屬層

3602：第一半導體鰭部

3604：第二半導體鰭部

3606：閘極介電層

3608：第一P型金屬層

3609：部分

3610：第二P型金屬層

3611：接縫

3612：導電填充金屬層

3614：N型金屬層

3700：積體電路結構

3702：半導體基板

3704：N阱區

3706：第一半導體鰭部

3708：P阱區

3710：第二半導體鰭部

3712：溝槽隔離結構

3714：閘極介電層

3716：導電層

3717：頂表面

3718：P型金屬閘極層

3719：頂表面

3720：N型金屬閘極層

3721：頂表面

3722：層間介電(ILD)層

3724：開口

3726：側壁

3730：導電填充金屬層

3732：氧化物層

3800：基板

3802：層間介電(ILD)層

3804：第一半導體鰭部

3806：第二半導體鰭部

3808：開口

3810：閘極介電層

3811：氧化物層

3812：溝槽隔離結構

3814：導電層

3815：導電層

3816：P型金屬閘極層

3817：P型金屬閘極層

3818：介電質蝕刻停止層

3819：介電質蝕刻停止層

3820：遮罩

3822：N型金屬閘極層

3824：側壁

3826：導電填充金屬層

3902：第一閘極結構

3902A：第一側

3902B：第二側

3903：介電質側壁間隔件

3904：第一鰭部

3904A：頂部

3906：絕緣材料

3908：第一源極或汲極區

3910：第二源極或汲極區

3912：第一金屬矽化物層

3914：第一金屬層

3916：U型金屬層

3918：第二金屬層

3920：第三金屬層

3930：第一溝槽接點結構

3932：第二溝槽接點結構

3952：第二閘極電極

3952A：第一側

3952B：第二側

3953：介電質側壁間隔件

3954：第二鰭部

3954A：頂部

3958：第三源極或汲極區

3960：第四源極或汲極區

3962：第二金屬矽化物層

3970：第三溝槽接點結構

3972：第四溝槽接點結構

4000：積體電路結構

4002：鰭部

4004：閘極介電層

4006：閘極電極

4006A：第一側

4006B：第二側

4008：共形導電層

4010：導電填充

4012：介電質帽蓋

4013：介電質間隔件

4014：第一半導體源極或汲極區

4016：第二半導體源極或汲極區

4018：第一溝槽接點結構

4020：第二溝槽接點結構

4022：U型金屬層

4024：T型金屬層

4026：第三金屬層

4028：第一溝槽接點通孔

4030：第二溝槽接點通孔

4032：金屬矽化物層

4050：積體電路結構

4052：鰭部

4054：閘極介電層

4056：閘極電極

4056A：第一側

4056B：第二側

4058：共形導電層

4060：導電填充

4062：介電質帽蓋

4064：第一半導體源極或汲極區

4065：凹陷

4066：第二半導體源極或汲極區

4067：凹陷

4068：第一溝槽接點結構

4070：第二溝槽接點結構

4072：U型金屬層

4074：T型金屬層

4076：第三金屬層

4078：第一溝槽接點通孔

4080：第二溝槽接點通孔

4082：金屬矽化物層

4100：半導體結構

4102：閘極結構

4102A：閘極介電層

4102B：工作函數層

4102C：閘極填充

4104：基板

4108：源極區

4110：汲極區

4112：源極或汲極接點

4112A：金屬層

4112B：導電溝槽填充材料

4114：層間介電層

4116：閘極介電質間隔件

4149：表面

4150：半導體結構

4152：閘極結構

4152A：閘極介電層

4152B：工作函數層

4152C：閘極填充

4154：基板

4158：源極區

4160：汲極區

4162：源極或汲極接點

4162A：金屬層

4162B：導電溝槽填充材料

4164：層間介電層

4166：閘極介電質間隔件

4199：表面

4200：半導體鰭部

4204：主動閘極線

4206：仿閘極線

4208：間距

4251：源極或汲極區

4252：源極或汲極區

4253：源極或汲極區

4254：源極或汲極區

4300：基板

4302：半導體鰭部

4304：主動閘極線

4306：仿閘極線

4308：源極或汲極結構

4310：介電層

4312：閘極介電層

4314：工作函數閘極電極部分

4316：閘極電極部分

4318：介電覆蓋層

4320：介電質間隔件

4330：開口

4332：源極或汲極結構

4334：溝槽接點

4336：金屬接觸層

4336A：位置

4336B：位置

4338：導電填充材料

4400：基板

4402：半導體鰭部

4404：基板

4406：源極或汲極結構

4408：溝槽接點

4410：介電層

4412：金屬接觸層

4414：導電填充材料

4500：積體電路結構

4502：鰭部

4502A：第一鰭部

4502B：第二鰭部

4504：第一方向

4506：閘極結構

4506A：閘極結構

4506B：閘極結構

4506C：閘極結構

4508：第二方向

4510：介電質側壁間隔件

4512：溝槽接點結構

4514A：接點插塞

4514B：接點插塞

4516：下介電質材料

4518：上硬遮罩材料

4520：下導電結構

4522：介電質帽蓋

4524：閘極電極

4526：閘極介電層

4528：介電質帽蓋

4602：鰭部

4604：第一方向

4606：擴散區

4608：閘極結構

4609：介電質間隔件

4610：第二方向

4612：犧牲材料結構

4614：接點插塞

4614’：接點插塞

4616：下介電質材料

4618：硬遮罩材料

4620：開口

4622：溝槽接點結構

4624：上硬遮罩材料

4626：下導電結構

4628：介電質帽蓋

4630：永久閘極結構

4632：永久閘極介電層

4634：永久閘極電極層或堆疊

4636：介電質帽蓋

4700A：半導體結構或裝置

4700B：半導體結構或裝置

4702：基板

4704：擴散或主動區

4704B：非平面擴散或主動區

4706：隔離區

4708A：閘極線

4708B：閘極線

4708C：閘極線

4710A：接點

4710B：接點

4712A：溝槽接點通孔

4712B：溝槽接點通孔

4714：閘極接點

4716：閘極接點通孔

4750：閘極電極

4752：閘極介電層

4754：介電帽層

4760：金屬互連

4770：層間介電質堆疊或層

4800A：半導體結構或裝置

4800B：半導體結構或裝置

4802：基板

4804：擴散或主動區

4804B：非平面擴散或主動區

4806：隔離區

4808A：閘極線

4808B：閘極線

4808C：閘極線

4810A：溝槽接點

4810B：溝槽接點

4812A：溝槽接點通孔

4812B：溝槽接點通孔

4816：閘極接點通孔

4850：閘極電極

4852：閘極介電層

4854：介電帽層

4860：金屬互連

4870：層間介電質堆疊或層

4900：半導體結構

4902：基板

4908A：閘極堆疊結構

4908B：閘極堆疊結構

4908C：閘極堆疊結構

4908D：閘極堆疊結構

4908E：閘極堆疊結構

4910A：溝槽接點

4910B：溝槽接點

4910C：溝槽接點

4911A：凹陷溝槽接點

4911B：凹陷溝槽接點

4911C：凹陷溝槽接點

4920：間隔件

4922：絕緣帽層

4923：區

4924：絕緣帽層

4930：層間介電質(ILD)

4932：硬遮罩

4934：溝槽

4936：通孔開口

5000：積體電路結構

5002：鰭部

5004：閘極線

5005：閘極堆疊

5006：閘極絕緣帽層

5008：介電質間隔件

5010：溝槽接點

5011：導電接點結構

5012：溝槽接點絕緣帽層

5014：閘極接點通孔

5016：溝槽接點通孔

5100A：積體電路結構

5100B：積體電路結構

5100C：積體電路結構

5102：鰭部

5102A：頂部

5104：第一閘極介電層

5106：第二閘極介電層

5108：第一閘極電極

5109A：共形導電層

5109B：導電填充材料

5110：第二閘極電極

5112：第一側

5114：第二側

5116：絕緣帽蓋

5117A：底表面

5117B：底表面

5117C：底表面

5118：頂表面

5120：第一介電質間隔件

5122：第二介電質間隔件

5124：半導體源極或汲極區

5126：溝槽接點結構

5128：絕緣帽蓋

5128A：底表面

5128B：底表面

5128C：底表面

5129：頂表面

5130：導電結構

5130A：導電結構

5132：凹陷

5134：U型金屬層

5136：T型金屬層

5138：第三金屬層

5140：金屬矽化物層

5150：導電通孔

5152：開口

5154：經侵蝕部分

5160：導電通孔

5162：開口

5164：經侵蝕部分

5170：電性短路接點

5200：半導體結構或裝置

5208A：閘極結構

5208B：閘極結構

5208C：閘極結構

5210A：溝槽接點

5210B：溝槽接點

5250：半導體結構或裝置

5258A：閘極結構

5258B：閘極結構

5258C：閘極結構

5260A：溝槽接點

5260B：溝槽接點

5280：閘極接點通孔

5290：溝槽接點通孔

5300：起始結構

5302：基板或鰭部

5304：閘極堆疊

5306：閘極介電層

5308：共形導電層

5310：導電填充材料

5312：氧化物層

5314：介電質間隔件

5316：層間介電(ILD)層

5318：遮罩

5320：開口

5322：空穴

5324：閘極堆疊

5326：第一絕緣層

5328：第一部分

5330：絕緣閘極帽蓋結構

5330A：材料

5330B：材料

5330C：材料

5330D：材料

5332：接縫

5332A：接縫

5332B：接縫

5332C：接縫

5400：節距四分方法

5402：支柱特徵

5404：第一間隔件特徵

5404’：第一間隔件特徵

5406：第二間隔件特徵

5407：互補區

5408：溝槽

5500：積體電路結構

5502：基板

5504：層間介電(ILD)層

5506：導電互連線

5506B：第一導電互連線

5506C：第三導電互連線

5506S：第二導電互連線

5508：導電障壁層

5510：導電填充材料

5550：積體電路結構

5552：基板

5554：第一層間介電(ILD)層

5556：導電互連線

5558：導電障壁層

5560：導電填充材料

5574：第二層間介電(ILD)層

5576：導電互連線

5578：導電障壁層

5580：導電填充材料

5600：積體電路結構

5602：基板

5604：第一層間介電(ILD)層

5606：第一複數個導電互連線

5606A：導電互連線

5607：下層通孔

5608：第一導電障壁材料

5610：第一導電填充材料

5614：第二層間介電(ILD)層

5616：第二複數個導電互連線

5616A：導電互連線

5617：下層通孔

5618：第二導電障壁材料

5620：第二導電填充材料

5622：蝕刻停止層

5650：積體電路結構

5652：基板

5654：第一層間介電(ILD)層

5656：第一複數個導電互連線

5656A：導電互連線

5656B：導電互連線

5657：下層通孔

5658：第一導電障壁材料

5660：第一導電填充材料

5664：第二層間介電(ILD)層

5666：第二複數個導電互連線

5666A：導電互連線

5667：下層通孔

5668：第二導電障壁材料

5670：第二導電填充材料

5672：蝕刻停止層

5698：第一方向

5699：第二方向

5700：互連線

5701：介電層

5702：導電障壁材料

5704：導電填充材料

5706：外層

5708：內層

5720：互連線

5721：介電層

5722：導電障壁材料

5724：導電填充材料

5730：導電帽層

5740：互連線

5741：介電層

5742：導電障壁材料

5744：導電填充材料

5746：外層

5748：內層

5750：導電帽層

5752：位置

5754：位置

5800：積體電路結構

5801：基板

5802：第一層間介電(ILD)層

5804：第一複數個導電互連線

5804A：導電互連線

5806：第一導電障壁材料

5808：第一導電填充材料

5812：第二層間介電(ILD)層

5814：第二複數個導電互連線

5814A：導電互連線

5814B：導電互連線

5819：第一導電通孔

5822：第三層間介電(ILD)層

5824：第三複數個導電互連線

5824A：導電互連線

5824B：導電互連線

5826：第二導電障壁材料

5828：第二導電填充材料

5829：第二導電通孔

5832：第四層間介電(ILD)層

5834：第四複數個導電互連線

5834A：導電互連線

5834B：導電互連線

5839：第三導電通孔

5842：第五層間介電(ILD)層

5844：第五複數個導電互連線

5844A：導電互連線

5844B：導電互連線

5849：第四導電通孔

5852：第六層間介電(ILD)層

5854：第六複數個導電互連線

5854A：導電互連線

5859：第五導電通孔

5890：蝕刻停止層

5898：第一方向

5899：第二方向

5900：積體電路結構

5902：基板

5904：層間介電(ILD)層

5906：導電通孔

5908：第一溝槽

5909：開口

5910：導電互連線

5912：第二溝槽

5913：開口

5914：第一導電障壁層

5916：第二導電障壁層

5918：第三導電障壁層

5920：導電填充材料

5922：導電帽層

5924：位置

5926：位置

5950：第二導電互連線

5952：第二層間介電(ILD)層

5954：導電填充材料

5956：導電帽蓋

5958：蝕刻停止層

5960：開口

6000：積體電路結構

6002：基板

6004：層間介電(ILD)層

6006：導電互連線

6006A：導電互連線

6007：下層通孔

6008：上表面

6010：上表面

6012：蝕刻停止層

6014：最上部分

6016：最下部分

6018：導電通孔

6020：開口

6022：第二層間介電(ILD)層

6024：中心

6026：中心

6028：障壁層

6030：導電填充材料

6100：積體電路結構

6102：基板

6104：層間介電(ILD)層

6106：導電互連線

6106A：導電互連線

6107：下層通孔

6108：上表面

6110：上表面

6112：蝕刻停止層

6114：最下部分

6116：最上部分

6118：導電通孔

6120：開口

6122：蝕刻停止層

6124：中心

6126：中心

6128：障壁層

6130：導電填充材料

6200：金屬化層

6202：金屬線

6203：下層通孔

6204：介電層

6205：線端或插塞區

6206：線溝槽

6208：通孔溝槽

6210：硬遮罩層

6212：線溝槽

6214：通孔溝槽

6216：曝光

6300：下層金屬化層

6302：層間介電質(ILD)材料層

6304：上部分

6306：線溝槽

6308：通孔溝槽

6310：下部分

6312：金屬線

6314：犧牲材料

6315：硬遮罩

6316：開口

6318：介電質插塞

6318A：底部

6318’：介電質插塞

6320：上表面

6322：上表面

6324：填充導電材料

6324A：第一部分

6324B：第二部分

6324C：底部

6326：第一導電通孔

6328：第二導電通孔

6330：第三溝槽

6400：接縫

6418：介電質插塞

6450：積體電路結構

6452：基板

6454：第一層間介電(ILD)層

6456：第一複數個導電互連線

6456A：第一導電障壁襯墊

6456B：第一導電填充材料

6458：介電質插塞

6464：第二層間介電(ILD)層

6466：第二複數個導電互連線

6466A：第二導電障壁襯墊

6466B：第二導電填充材料

6468：部分

6470：層

6480：層

6500：布局

6502：位元單元

6504：閘極或多晶矽線

6506：金屬1(M1)線

6600：布局

6602：位元單元

6604：閘極或多晶矽線

6605：重疊線

6606：金屬1(M1)線

6700：單元布局

6702：N擴散

6704：P擴散

6706：溝槽接點

6708：閘極接點

6710：接點通孔

6800：單元布局

6802：N擴散

6804：P擴散

6806：溝槽接點

6808：閘極通孔

6810：溝槽接點通孔

6900：單元布局

6902：金屬0(M0)線

6904：通孔0結構

7000：單元布局

7002：金屬0(M0)線

7004：通孔0結構

7100：布局

7102：位元單元

7104：閘極線

7106：溝槽接點線

7108：NMOS擴散區

7110：PMOS擴散區

7112：NMOS通過閘極電晶體

7114：NMOS下拉電晶體

7116：PMOS上拉電晶體

7118：字線(WL)

7120：內部節點

7122：位元線(BL)

7124：位元線條(BLB)

7126：內部節點

7128：SRAM VCC

7130：VSS

7200A：布局

7200B：布局

7202A：基板

7202B：基板

7204A：閘極線

7204B：閘極線

7206A：金屬1(M1)互連

7206B：金屬1(M1)互連

7300A：單元

7300B：單元

7300C：單元

7300D：單元

7302A：閘極(或多晶矽)線

7302B：閘極(或多晶矽)線

7302C：閘極(或多晶矽)線

7302D：閘極(或多晶矽)線

7304A：金屬1(M1)線

7304B：金屬1(M1)線

7304C：金屬1(M1)線

7304D：金屬1(M1)線

7400：多晶矽格線

7402：閘極線

7404：方向

7406：邊界

7408：邊界

7500：布局

7600：布局

7700：布局

7800：積體電路結構

7801：半導體基板

7802：半導體鰭部

7804：基板

7805：頂表面

7806：第一端部

7807：側壁

7808：第二端部

7810：金屬電阻器層

7810A：金屬電阻器層部分

7810B：金屬電阻器層部分

7810C：金屬電阻器層部分

7810D：金屬電阻器層部分

7810E：底座特徵

7812：隔離層

7814：溝槽隔離區

7902：支柱模板結構

7904：側壁間隔件層

7906：區

8400：電極

8402：電極

8404：電極

8406：電極

8408：電極

8410：電極

8500：平面圖

8502：平面圖

8504：平面圖

8506：平面圖

8600：基板

8601：微影遮罩結構

8602：吸收層

8604：上層

8606：偏移層

8608：最上表面

8610：晶粒中區

8612：最上表面

8614：最上表面

8620：框區

8630：晶粒-框界面區

8640：雙層堆疊

8700：計算裝置

8702：板

8704：處理器

8706：通訊晶片

8800：中介物

8802：第一基板

8804：第二基板

8806：球狀柵陣列(BGA)

8808：金屬互連

8810：通孔

8812：矽穿孔(TSV)

8814：嵌入式裝置

8900：行動計算平台

8905：顯示器螢幕

8910：整合系統

8911：控制器

8913：電池

8915：功率管理積體電路(PMIC)

8920：擴大視圖

8925：RF(無線)積體電路(RFIC)

8960：板

8977：封裝裝置

9000：設備

9002：晶粒

9004：金屬化墊

9006：封裝基板

9008：連接

9010：焊球

9012：底部填充材料

201926571A
專利案號：107135184

201926571

【發明摘要】

【中文發明名稱】

用於進階積體電路結構製造的閘極線插塞結構

【英文發明名稱】

GATE LINE PLUG STRUCTURES FOR ADVANCED INTEGRATED CIRCUIT STRUCTURE FABRICATION

【中文】

本揭示內容實施例是相關於進階積體電路結構製造之領域，且更明確地是相關於10奈米節點及更小的積體電路結構製造以及所產生的結構。舉例而言，積體電路結構包括沿著第一方向具有最長維度之第一矽鰭部。具有最長維度的第二矽鰭部是沿著第一方向。絕緣體材料是位於第一矽鰭部與第二矽鰭部之間。閘極線沿著第二方向在第一矽鰭部上方以及在第二矽鰭部上方，第二方向與第一方向正交，閘極線具有第一側及第二側，其中閘極線在絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充。

【英文】

Embodiments of the disclosure are in the field of advanced integrated circuit structure fabrication and, in particular, 10 nanometer node and smaller integrated circuit structure fabrication and the resulting structures. In an example, an integrated circuit structure includes a first silicon fin having a longest dimension along a first direction. A second silicon fin having a longest dimension is along the first direction. An insulator material is between the first silicon fin and the second silicon fin. A gate line is over the first silicon fin and over the second silicon fin along a second direction, the second direction orthogonal to the first direction, the gate line having a first side and a second side, wherein the gate line has a discontinuity over the insulator material, the discontinuity filled by a dielectric plug.

【指定代表圖】第(3B)圖。

【代表圖之符號簡單說明】

350：半導體鰭部

352：第一複數個半導體鰭部

353：個別半導體鰭部

354：第二複數個半導體鰭部

355：個別半導體鰭部

356：半導體鰭部

357：半導體鰭部

【特徵化學式】無

【發明申請專利範圍】

【第1項】

一種積體電路結構，其包含：

沿著第一方向具有最長維度之第一矽鰭部；

沿著該第一方向具有最長維度之第二矽鰭部；

位於該第一矽鰭部與該第二矽鰭部之間的絕緣體材料；

沿著第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的閘極線，該第二方向與該第一方向正交，該閘極線具有第一側及第二側，其中該閘極線在該絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充；

在該閘極線的該第一側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的溝槽接點，在與該介電質插塞橫向相鄰的位置處，該溝槽接點在該絕緣體材料上方為連續的；以及

橫向位於該溝槽接點與該閘極線的該第一側之間的介電質間隔件，該介電質間隔件沿著該閘極線的該第一側以及該介電質插塞為連續的，以及該介電質間隔件具有比橫向相鄰於該閘極線的該第一側之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【第2項】

如申請專利範圍第1項所述之積體電路結構，其進一步包含：

在該閘極線的該第二側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的第二溝槽接點，在與該介電質插塞橫向相鄰的位置處，該第二溝槽接點在該絕緣體材料上方為連續的。

【第3項】

如申請專利範圍第2項所述之積體電路結構，其進一步包含：

橫向位於該第二溝槽接點與該閘極線的該第二側之間的第二介電質間隔件，該第二介電質間隔件沿著該閘極線的該第二側以及該介電質插塞為連續的，以及該第二介電質間隔件具有比橫向相鄰於該閘極線的該第二側之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【第4項】

如申請專利範圍第1項所述之積體電路結構，其中該閘極線包含高k值閘極介電層、閘極電極、以及介電帽層。

【第5項】

如申請專利範圍第1項所述之積體電路結構，其中該介電質插塞包含與該介電質間隔件相同的材料，但與該介電質間隔件分離。

【第6項】

一種積體電路結構，其包含：

沿著第一方向具有最長維度之第一矽鰭部；

沿著該第一方向具有最長維度之第二矽鰭部；

位於該第一矽鰭部與該第二矽鰭部之間的絕緣體材料；

沿著第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的閘極線，該第二方向與該第一方向正交，該閘極線具有第一側及第二側，其中該閘極線在該絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充；

在該閘極線的該第一側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的溝槽接點，在與該介電質插塞橫向相鄰的位置處，該溝槽接點在該絕緣體材料上方為連續的；以及

橫向位於該溝槽接點與該閘極線的該第一側之間的介電質間隔件，該介電質間隔件沿著該閘極線的該第一側但不沿著該介電質插塞，其中該溝槽接點具有比橫向相鄰於該介電質間隔件之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【第7項】

如申請專利範圍第6項所述之積體電路結構，其進一步包含：

在該閘極線的該第二側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的第二溝槽接點，在與該介電質插塞橫向相鄰的位置處，該第二溝槽接點在該絕緣體材料上方為連續的。

【第8項】

如申請專利範圍第7項所述之積體電路結構，其進一步包含：

橫向位於該第二溝槽接點與該閘極線的該第二側之間的第二介電質間隔件，該第二介電質間隔件沿著該閘極線的該第二側但不沿著該介電質插塞，其中該第二溝槽接點具有比橫向相鄰於該第二介電質間隔件之寬度更薄的橫向相鄰於該介電質插塞之寬度。

【第9項】

如申請專利範圍第6項所述之積體電路結構，其中該閘極線包含高k值閘極介電層、閘極電極、以及介電帽層。

【第10項】

如申請專利範圍第6項所述之積體電路結構，其中該介電質插塞包含與該介電質間隔件相同的材料，但與該介電質間隔件分離。

【第11項】

一種用於製造積體電路結構之方法，該方法包含：

形成複數個閘極線半導體鰭部，以及在該半導體鰭部之間的溝槽隔離結構上方形成具有介電質側壁間隔件的該閘極線之各者；

移除該複數個閘極線之一者以形成溝槽，其中相鄰該複數個閘極線之一者的該介電質側壁間隔件在所述移除期間被侵蝕，以及其中在所述移除之後該複數個閘極線之一者的殘餘部分維持在該溝槽底部處；

在該溝槽之上部分上形成硬遮罩；

從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分；

移除該硬遮罩；以及

以介電質插塞材料填充該溝槽。

【第12項】

如申請專利範圍第11項所述之方法，其中所述從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分包含移除多晶矽部分。

【第13項】

如申請專利範圍第11項所述之方法，其中所述移除該複數個閘極線之一者以形成該溝槽以及所述從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分包含使用相同蝕刻化學品。

【第14項】

如申請專利範圍第11項所述之方法，其中於所述從該溝槽之該底部移除該複數個閘極線之一者的該殘餘部分期間，該硬遮罩保護該介電質側壁間隔件免於進一步侵蝕。

【第15項】

如申請專利範圍第11項所述之方法，其中以該介電質插塞材料填充該溝槽包含形成具有漸縮輪廓之介電質插塞。

【第16項】

如申請專利範圍第11項所述之方法，進一步包含：

以永久閘極結構替代該複數個閘極線之剩餘者。

【第17項】

一種積體電路結構，其包含：

沿著第一方向具有最長維度之第一矽鰭部；

沿著該第一方向具有最長維度之第二矽鰭部；

位於該第一矽鰭部與該第二矽鰭部之間的絕緣體材料；

沿著第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的閘極線，該第二方向與該第一方向正交，該閘極線具有第一側及第二側，其中該閘極線在該絕緣體材料上方有不連續性，且該不連續部分是透過介電質插塞填充；

在該閘極線的該第一側處沿著該第二方向在該第一矽鰭部上方以及在該第二矽鰭部上方的溝槽接點，在與該介電質插塞橫向相鄰的位置處，該溝槽接點在該絕緣體材料上方為連續的；以及

橫向位於該溝槽接點與該閘極線的該第一側之間的介電質間隔件，其中該介電質間隔件之上部分沿著該閘極線的該第一側但不沿著該介電質插塞，以及該溝槽接點之上部分具有比橫向相鄰於該介電質間隔件之寬度更薄的橫向相鄰於該介電質插塞的上部分之寬度，以及其中該介電質間隔件之下部分沿著該閘極線之該第一側及該介電質插塞為連續的，以及該介電質間隔件之該下部分具有比橫向相鄰於該閘極線的該第一側之寬度更薄的橫向相鄰於該

介電質插塞之寬度。

【第18項】

如申請專利範圍第17項所述之積體電路結構，其中該介電質插塞具有漸縮輪廓。

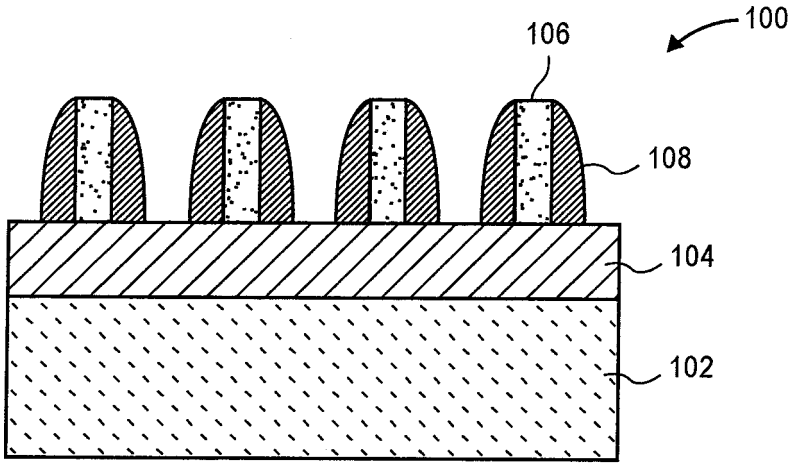
【第19項】

如申請專利範圍第17項所述之積體電路結構，其中該閘極線包含高k值閘極介電層、閘極電極、以及介電帽層。

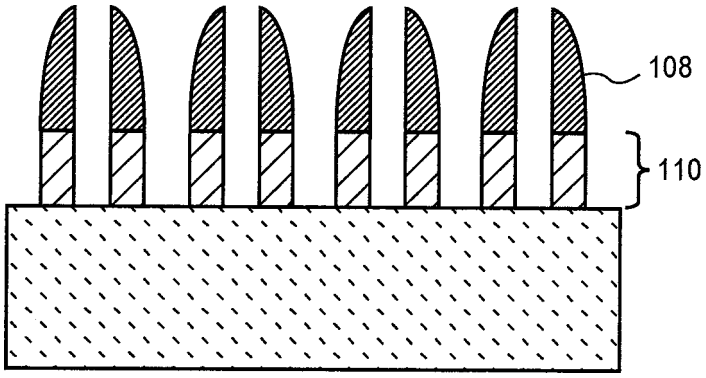
【第20項】

如申請專利範圍第17項所述之積體電路結構，其中該介電質插塞包含與該介電質間隔件相同的材料，但與該介電質間隔件分離。

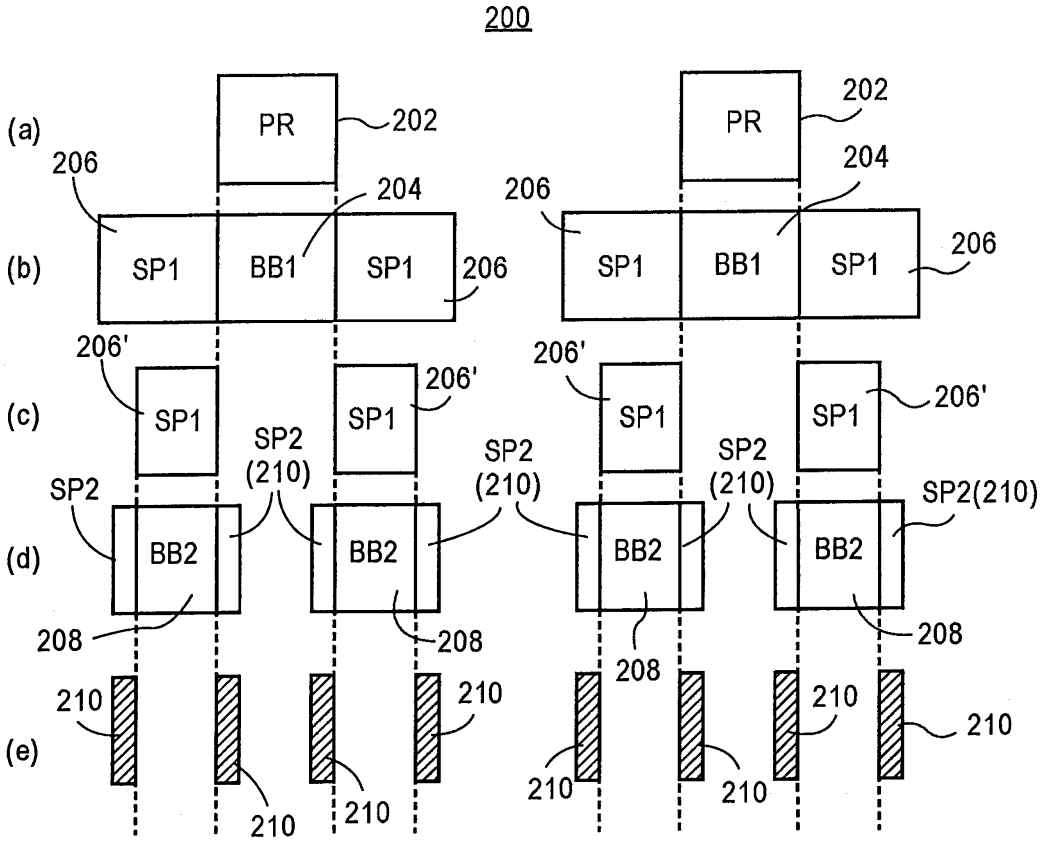
【發明圖式】



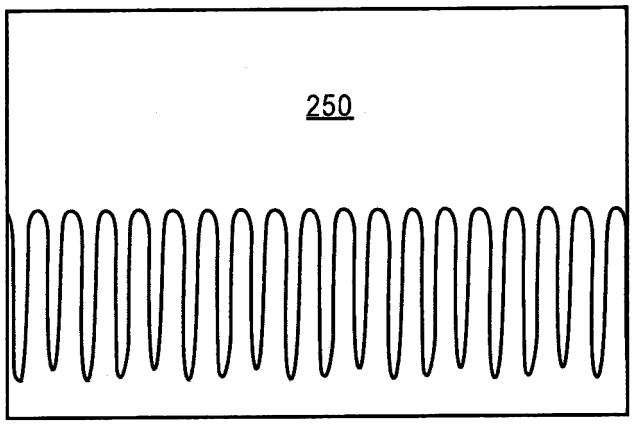
【圖 1A】



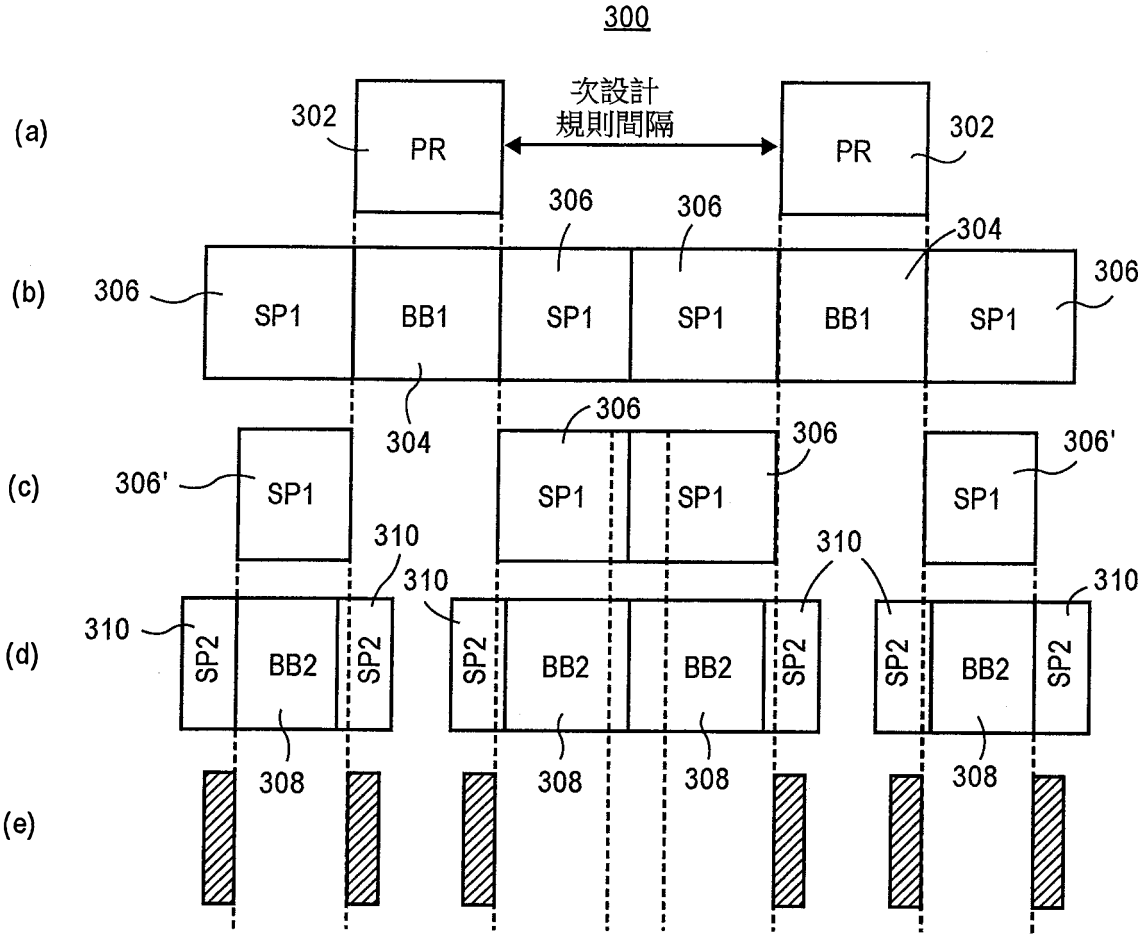
【圖 1B】



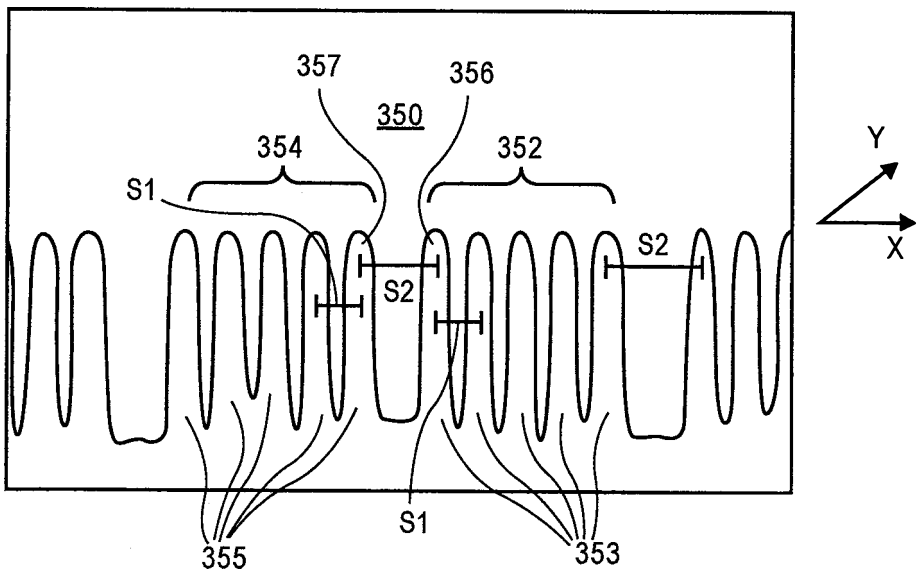
【圖 2A】



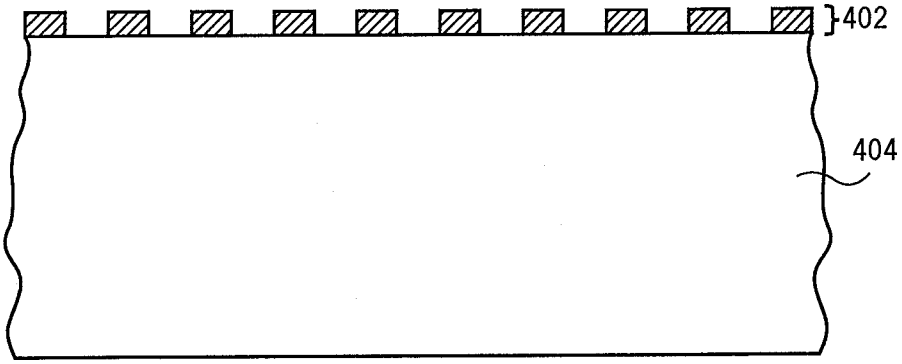
【圖 2B】


300
(a)
(b)
(c)
(d)
(e)
302
PR
次設計
規則間隔
PR
302
306
306
304
306
306
SP1
BB1
SP1
SP1
BB1
SP1
306
306'
304
306
306
306'
SP1
SP1
SP1
SP1
310
310
310
310
310
SP2
BB2
SP2
SP2
BB2
BB2
SP2
SP2
BB2
SP2
308
308
308
308

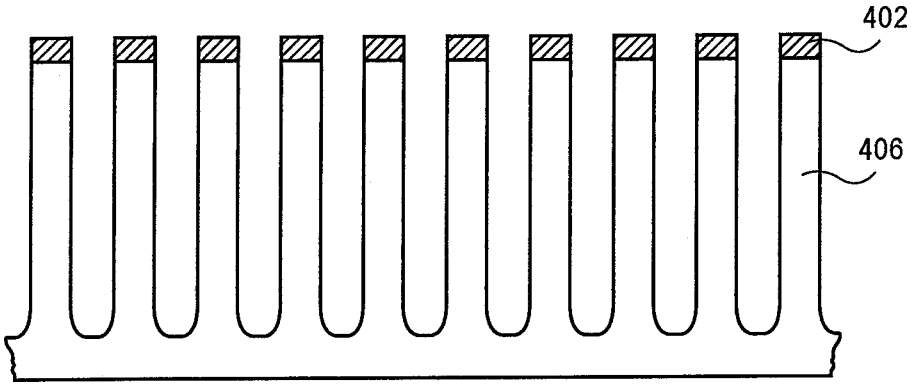
【圖 3A】


357
356
350
354
352
S1
S2
S2
S1
355
353
Y
X

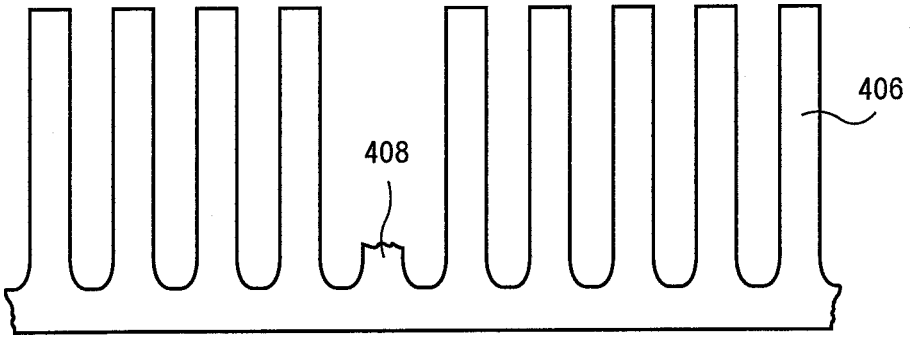
【圖 3B】



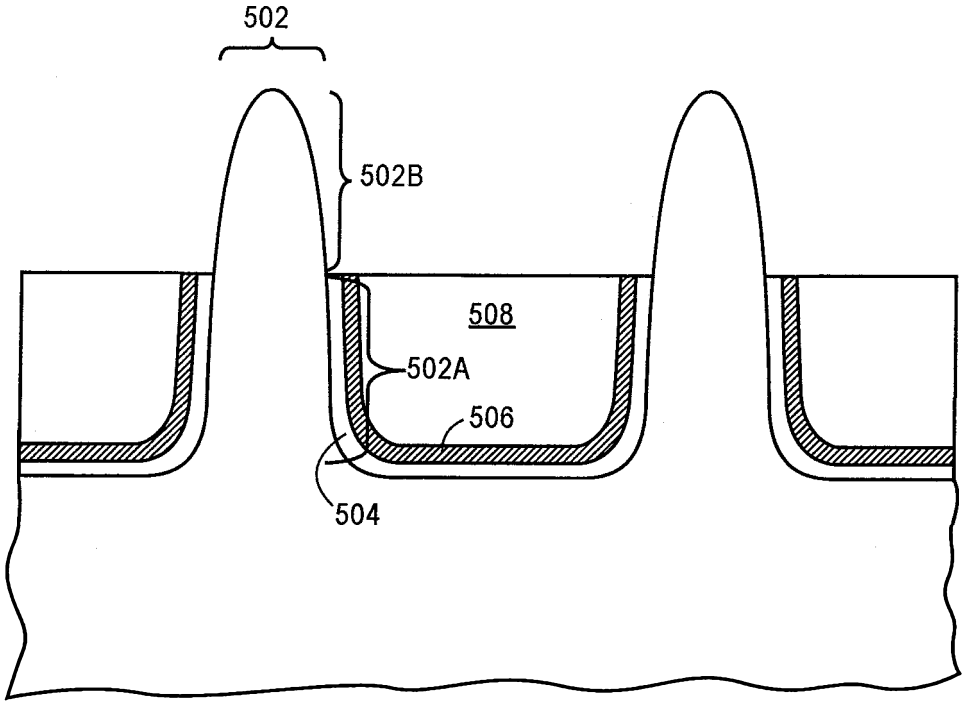
【圖 4A】



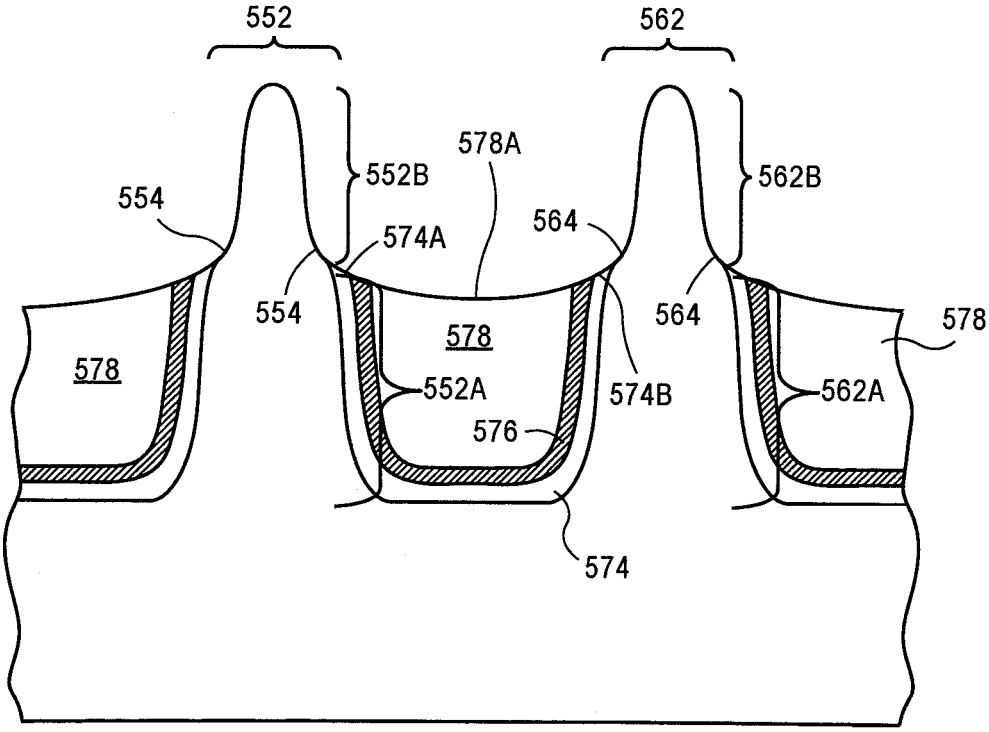
【圖 4B】



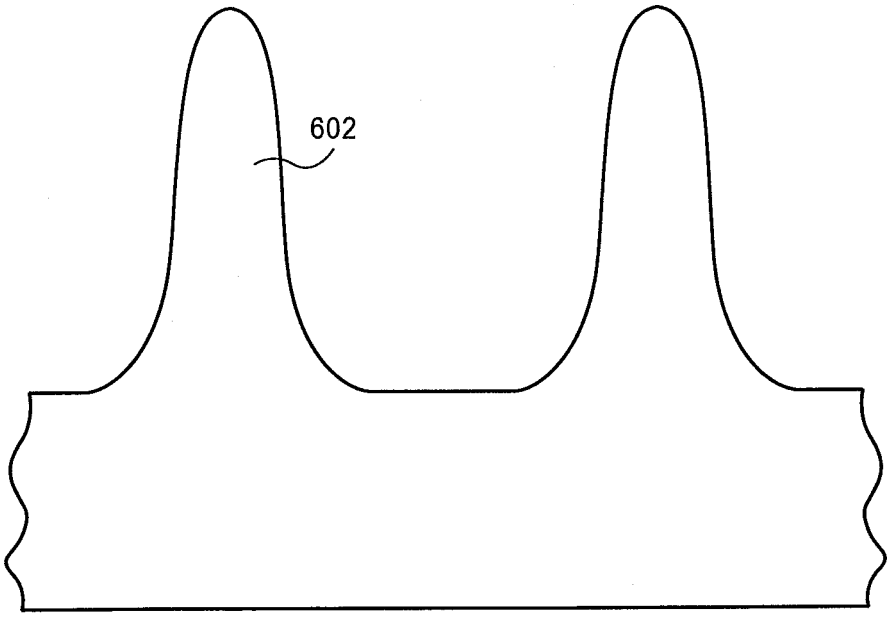
【圖 4C】


502
502B
508
502A
506
504

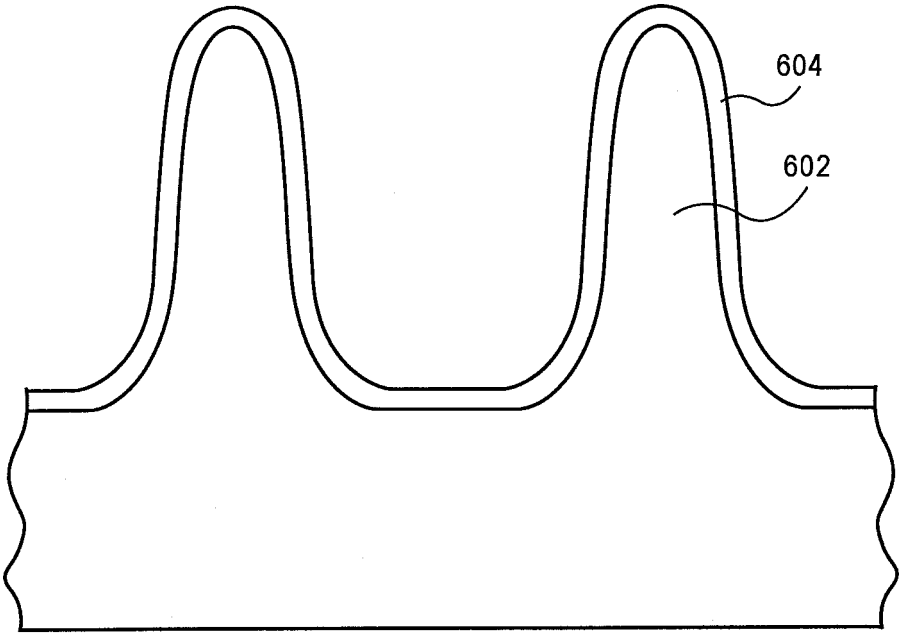
【圖 5A】


552
562
578A
552B
562B
554
574A
564
554
564
578
578
552A
574B
562A
576
574

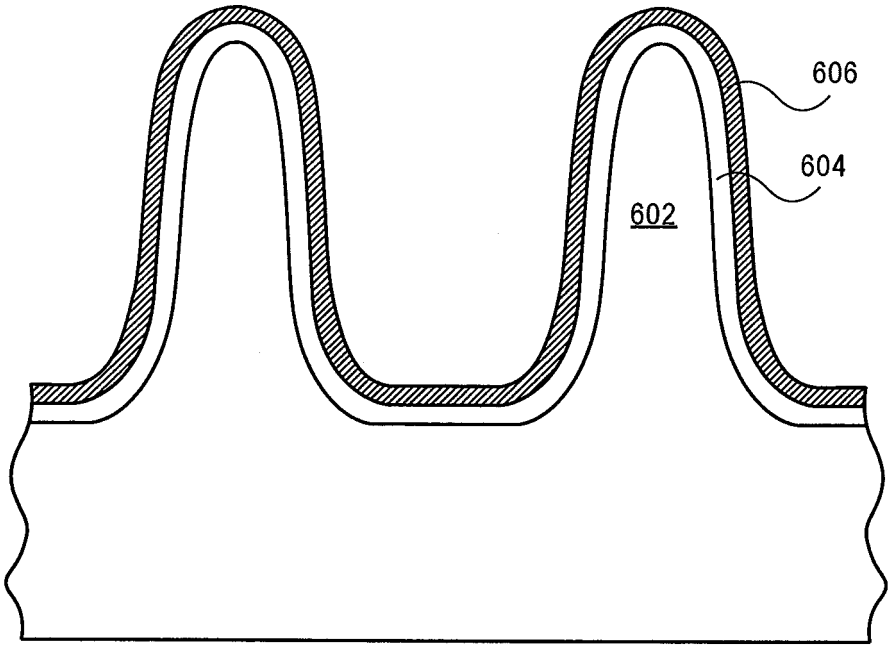
【圖 5B】



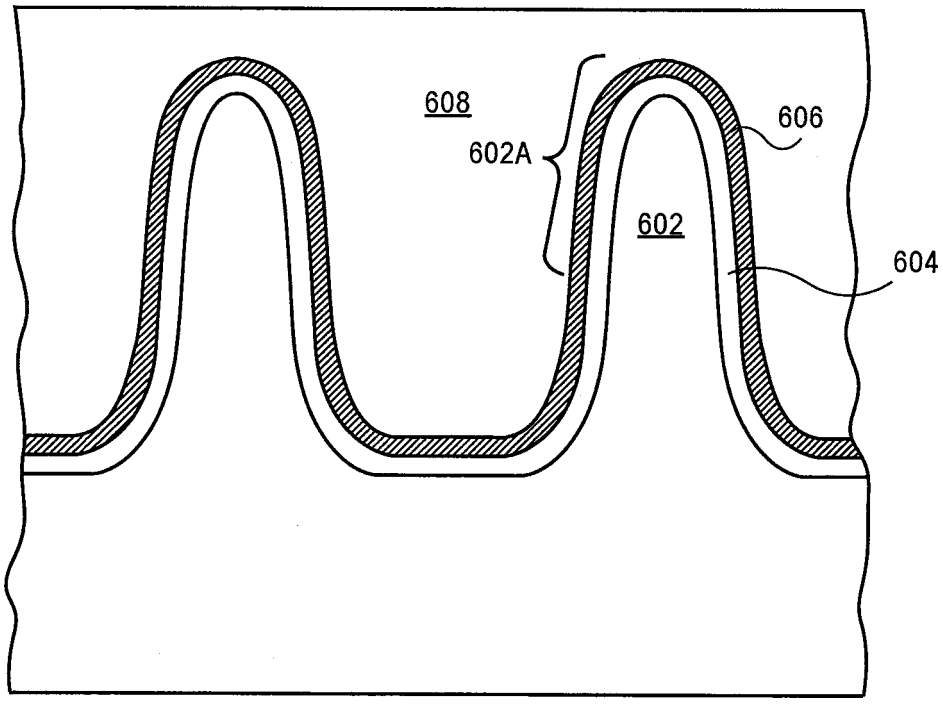
【圖 6A】



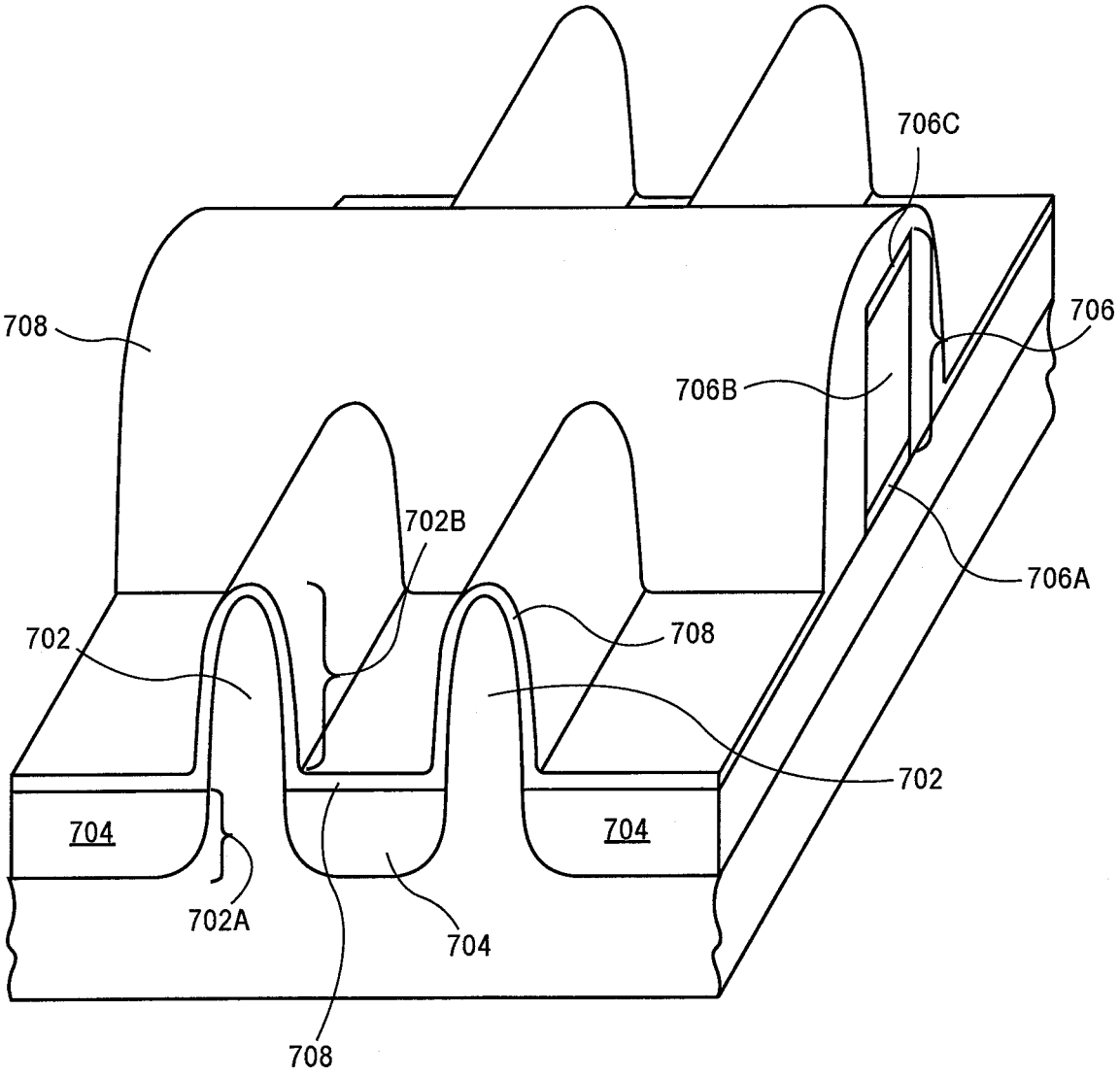
【圖 6B】



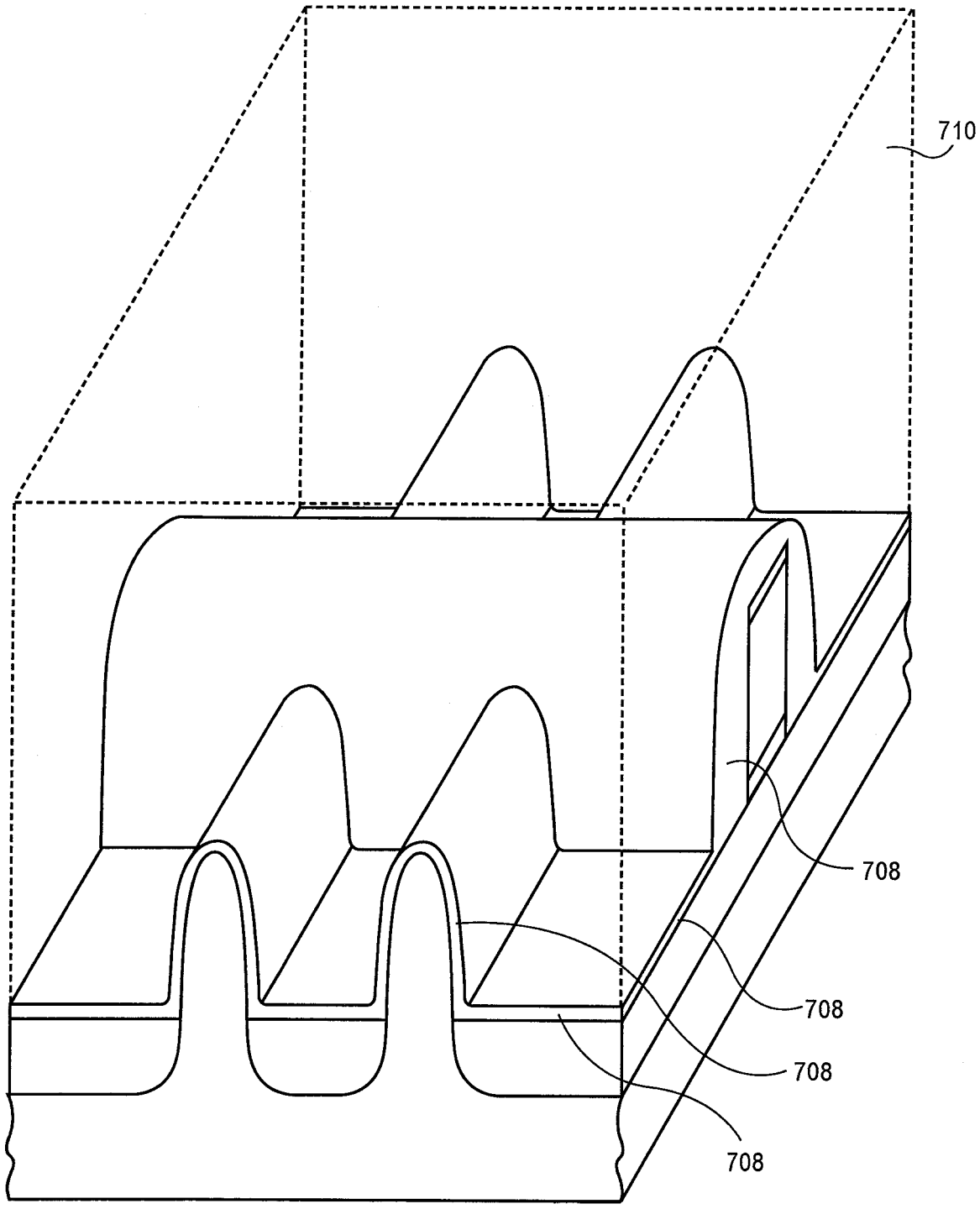
【圖 6C】



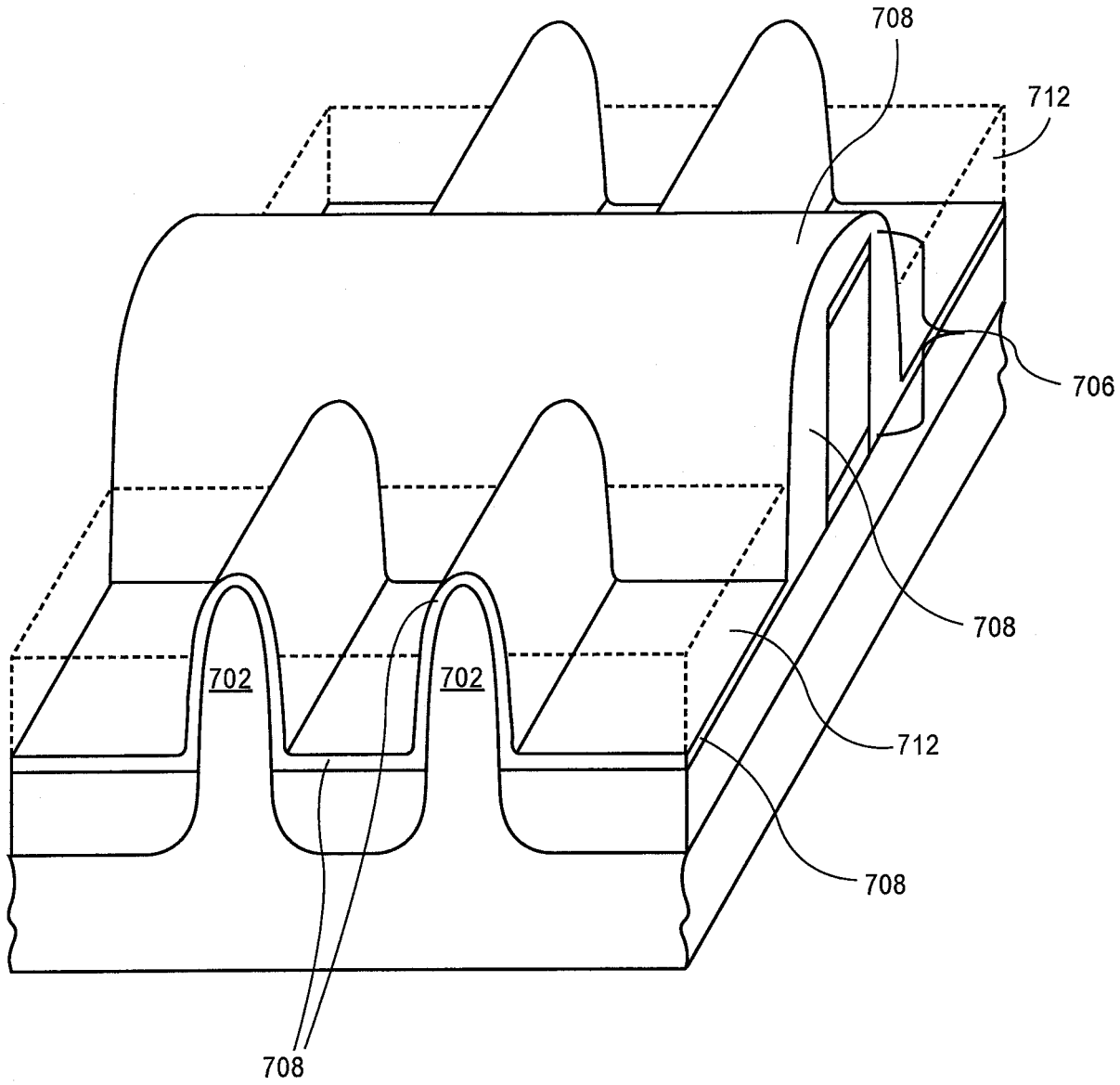
【圖 6D】



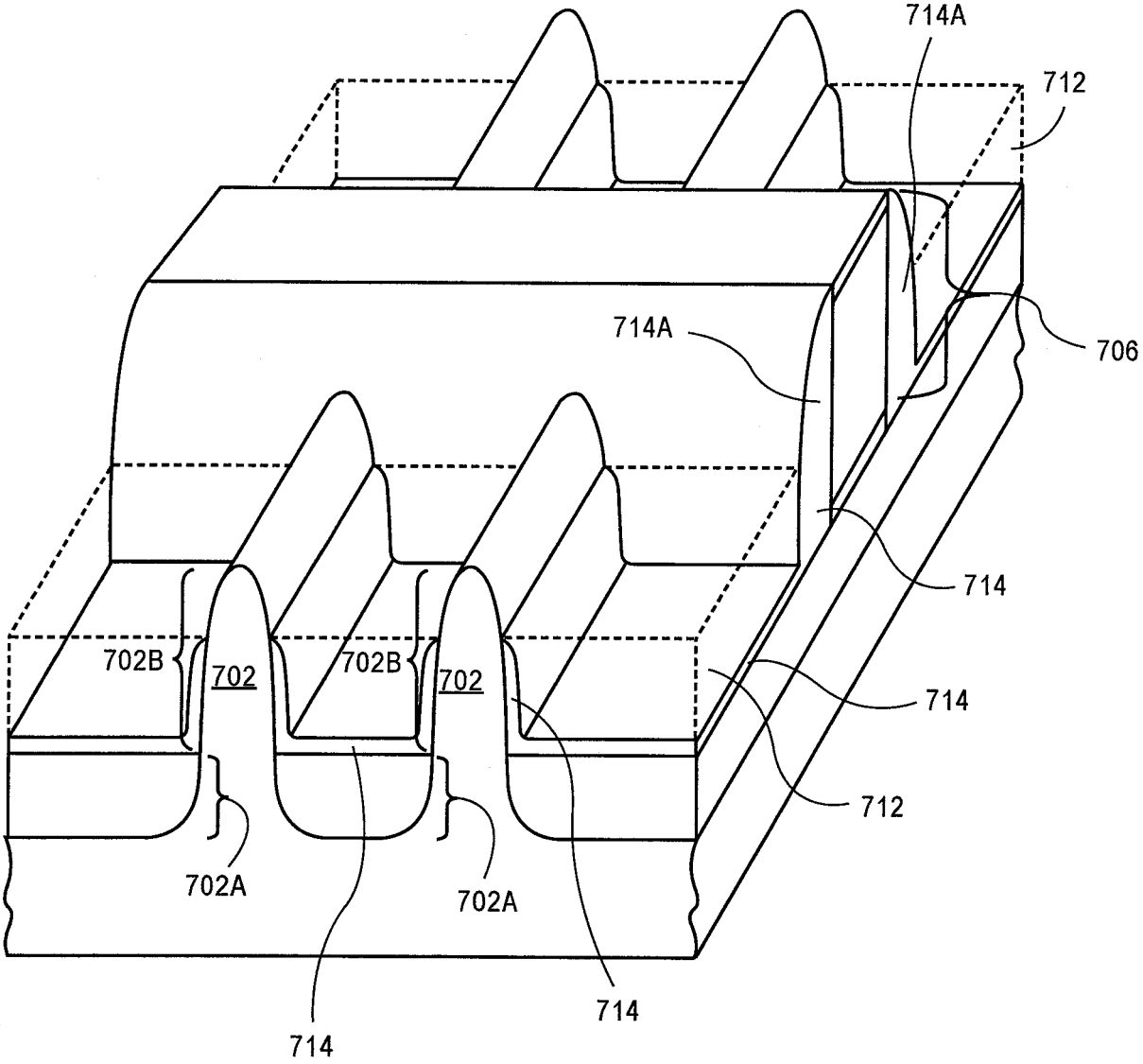
【圖 7A】



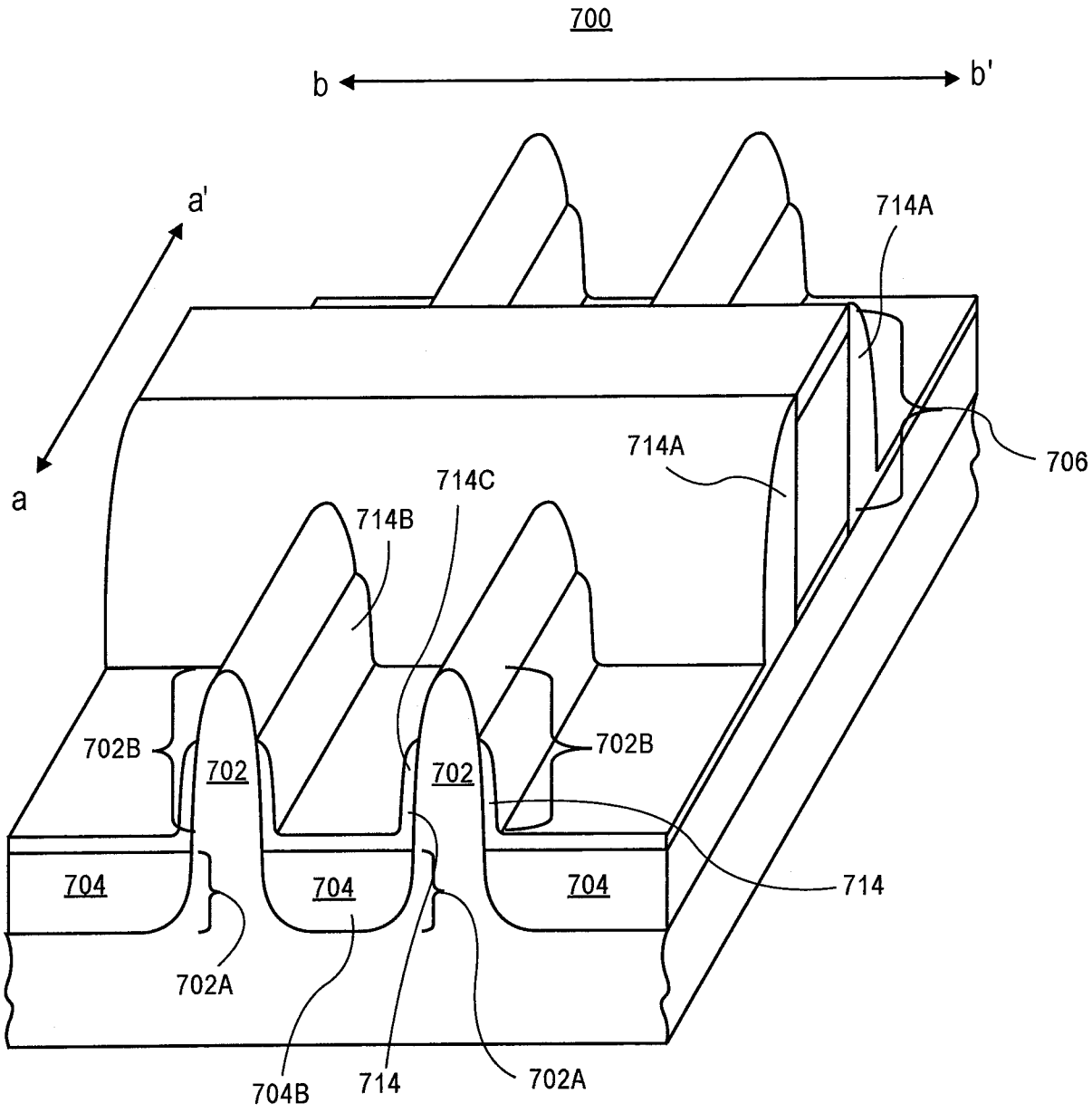
【圖 7B】



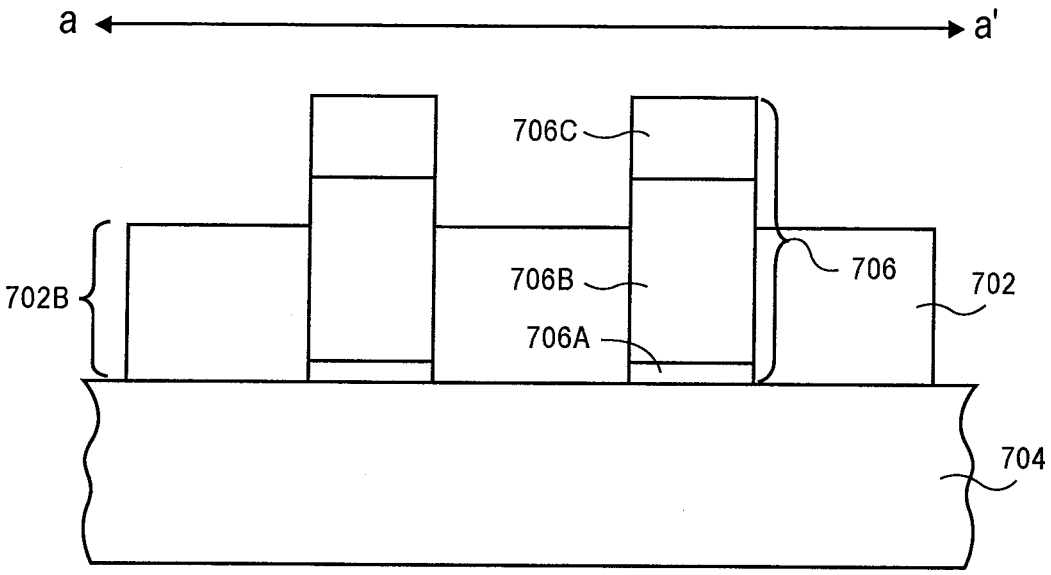
【圖 7C】


714A
712
714A
706
714
714
712
702B
702
702B
702
702A
702A
714
714

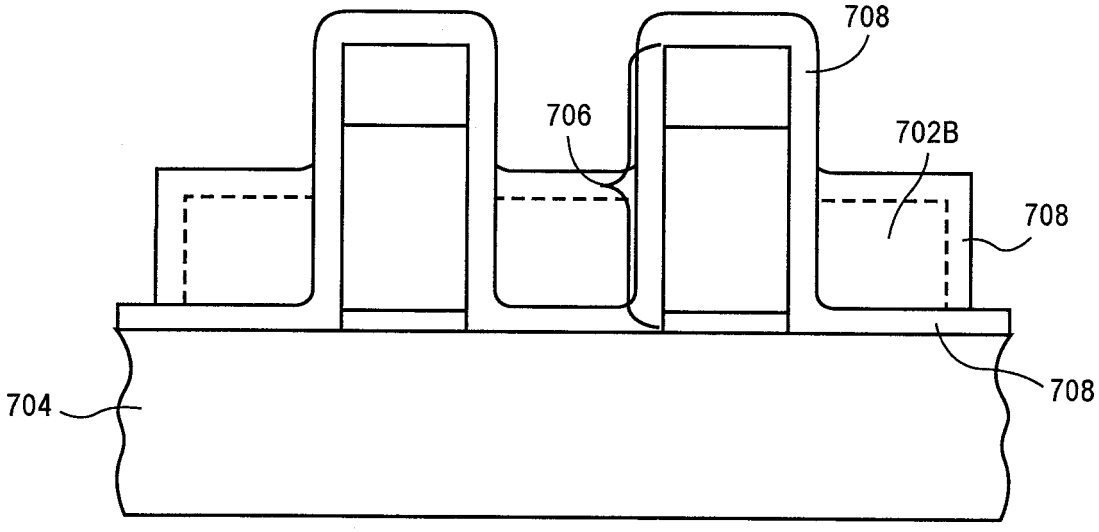
【圖 7D】


700
b
b'
a'
a
714A
706
714A
714C
714B
702B
702
702
702B
704
704
704
714
702A
704B
714
702A

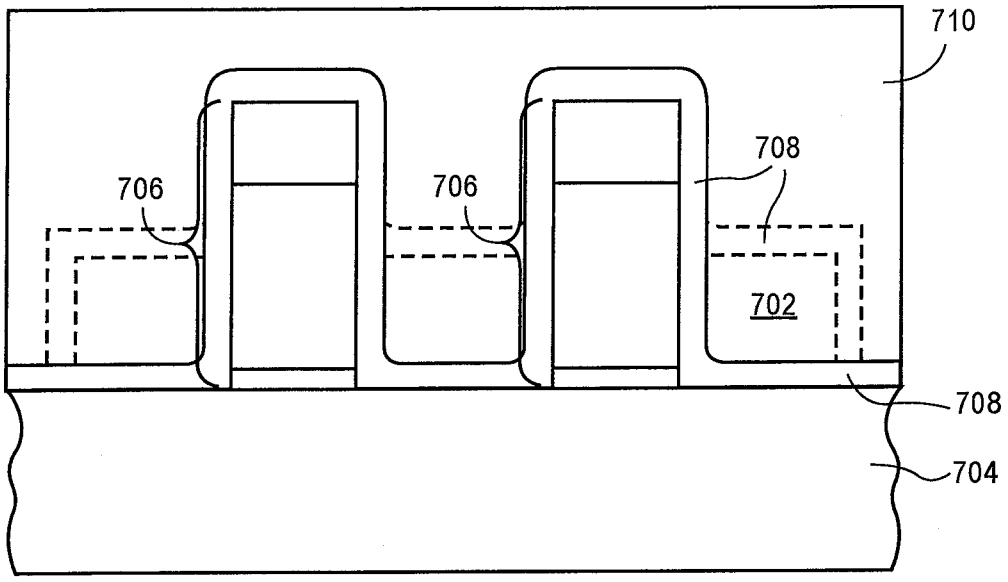
【圖 7E】



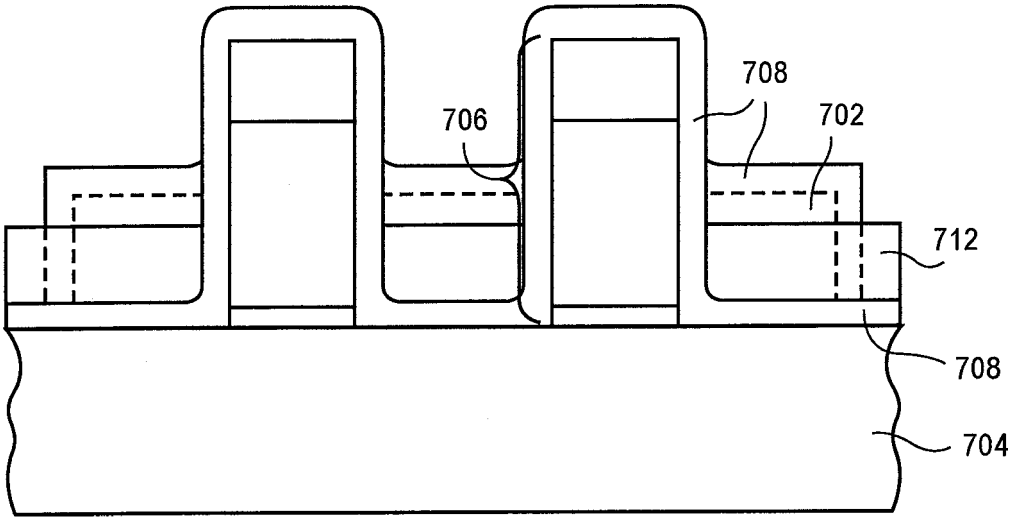
【圖 8A】



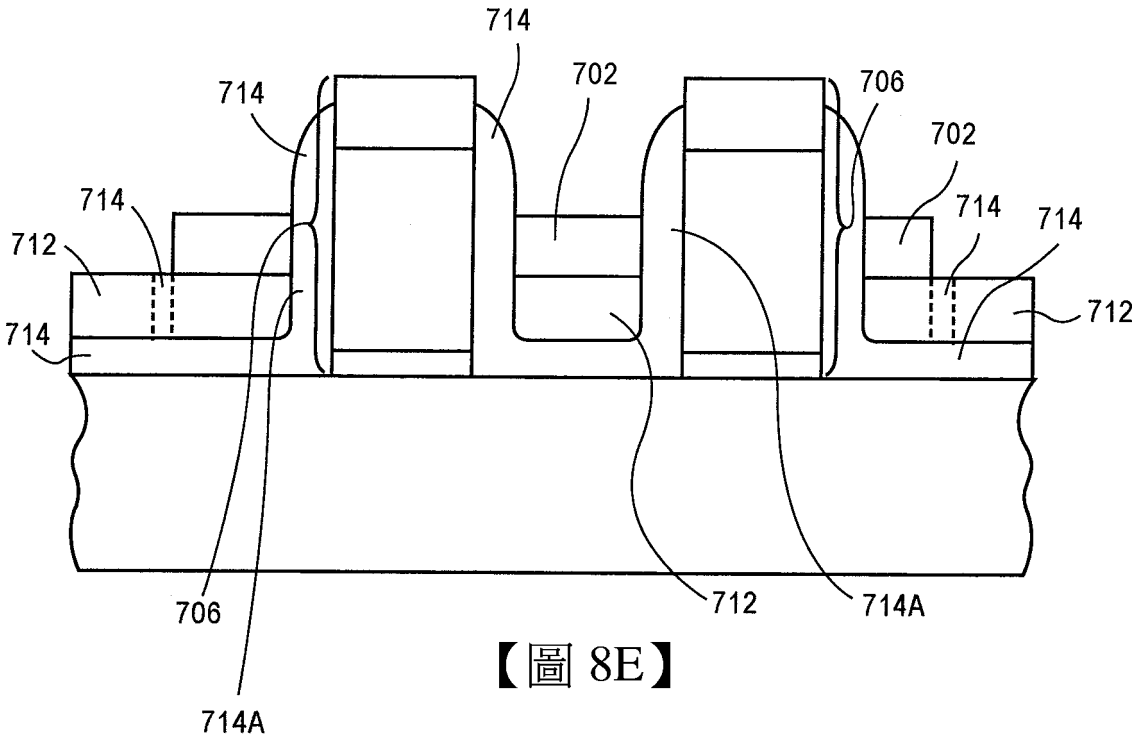
【圖 8B】



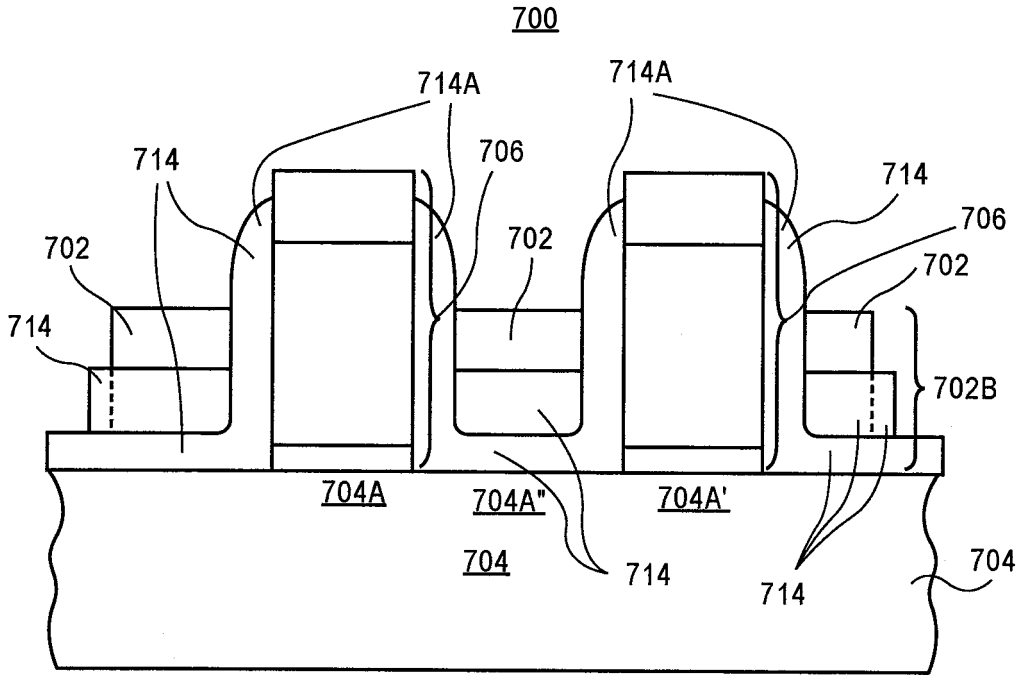
【圖 8C】



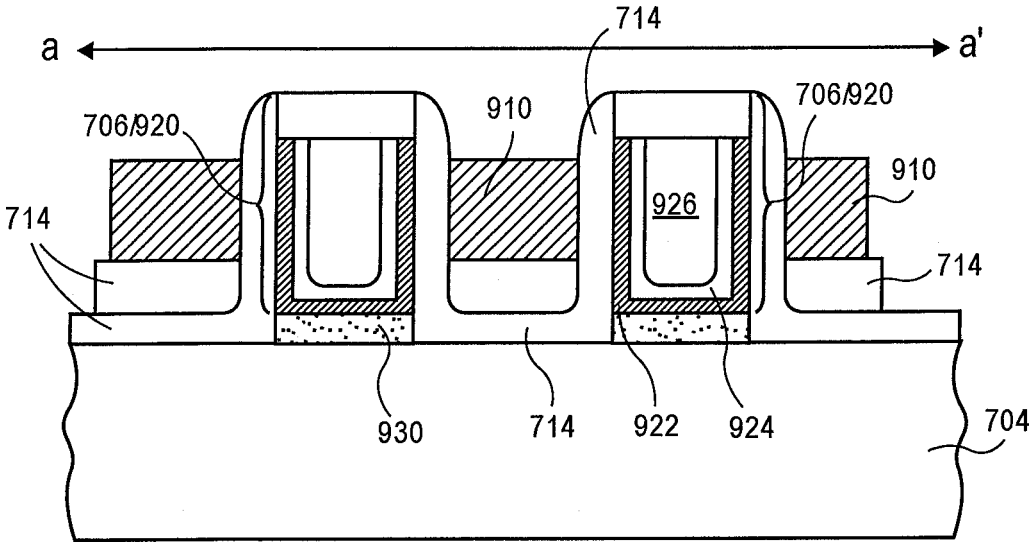
【圖 8D】


714
714
702
706
702
714
714
714
712
714
712
706
712
714A
714A

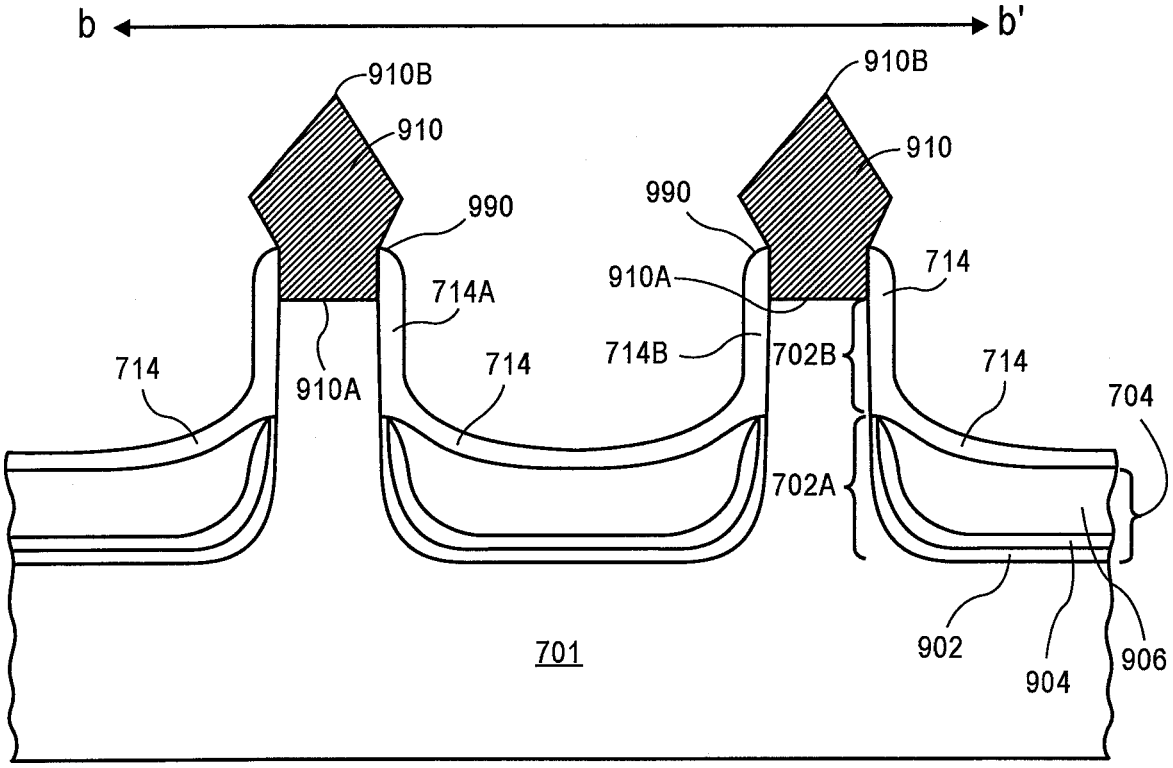
【圖 8E】


700
714A
714A
706
714
714
706
702
702
702
714
702B
704A
704A"
704A'
704
714
714
704

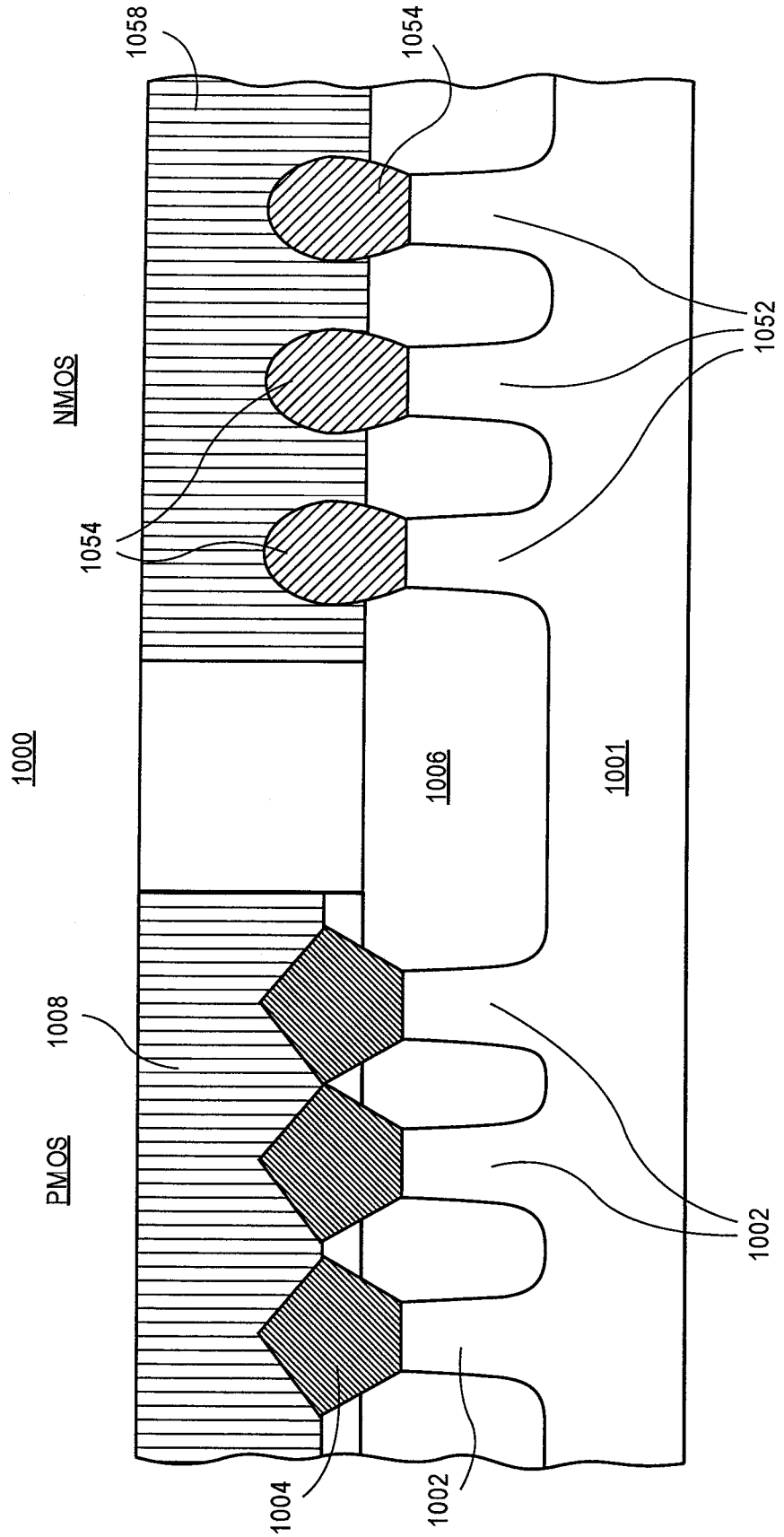
【圖 8F】


a
a'
714
706/920
910
706/920
910
926
714
714
930
714
922
924
704

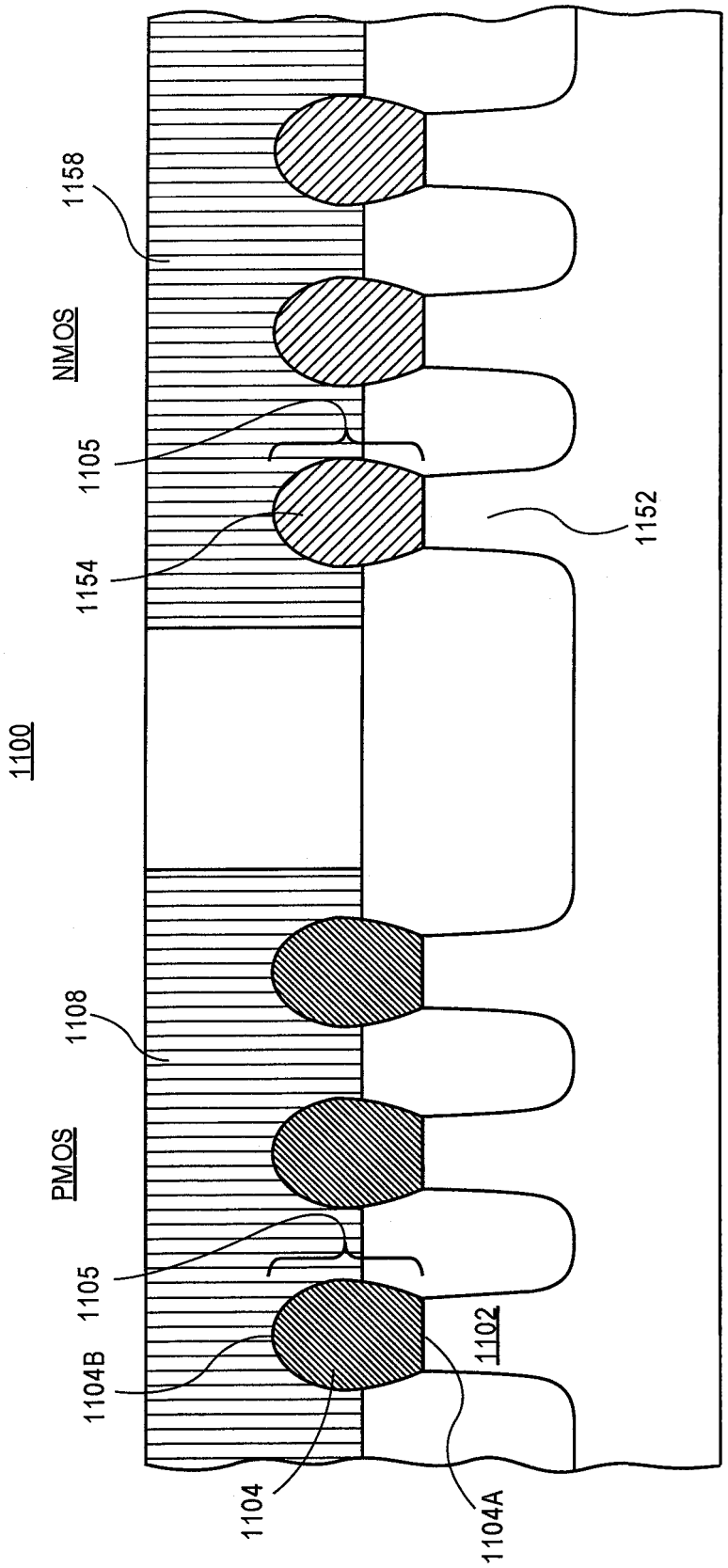
【圖 9A】


b
b'
910B
910
990
714A
714
910A
714
910B
910
990
910A
714
714B
702B
714
704
702A
701
902
904
906

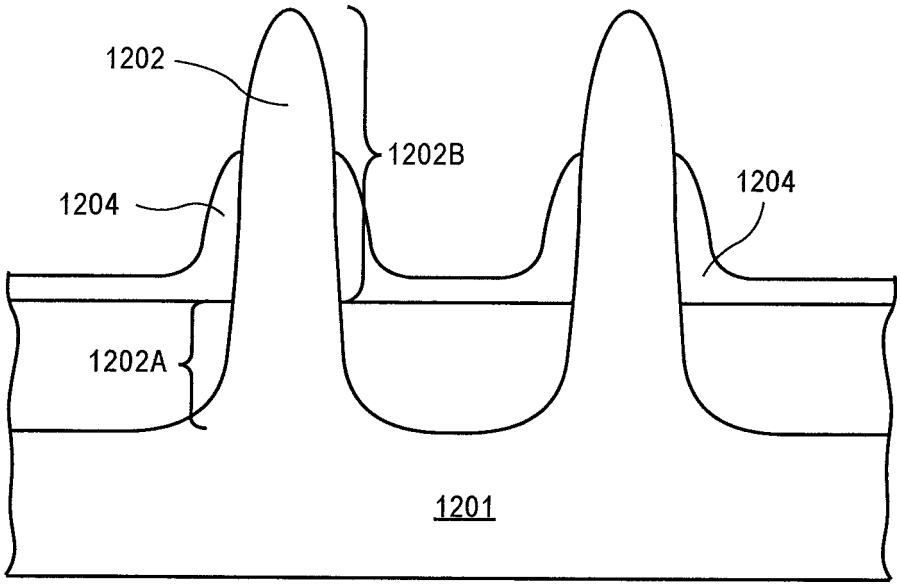
【圖 9B】


1058
1054
NMOS
1052
1054
1000
1006
1001
1008
PMOS
1002
1004
1002

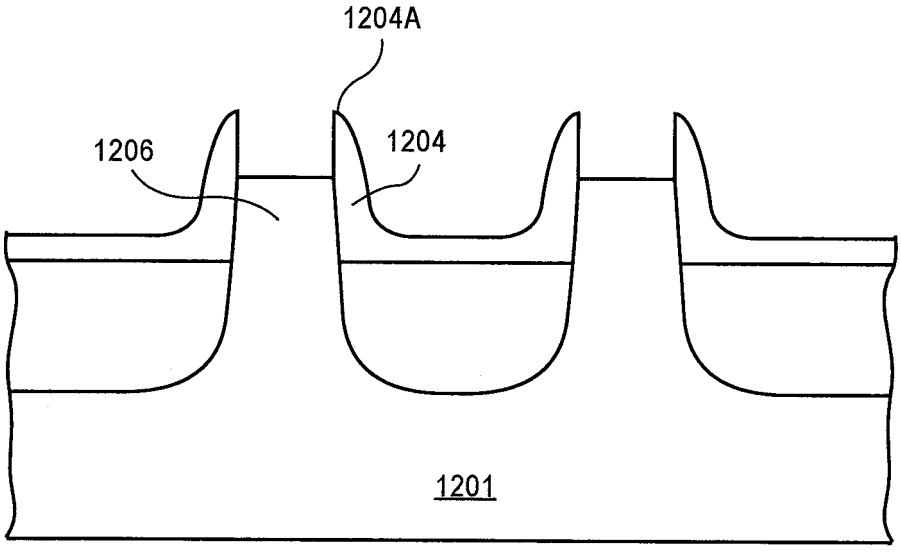
【圖 10】


1158
NMOS
1105
1154
1152
1100
1108
PMOS
1105
1104B
1102
1104
1104A

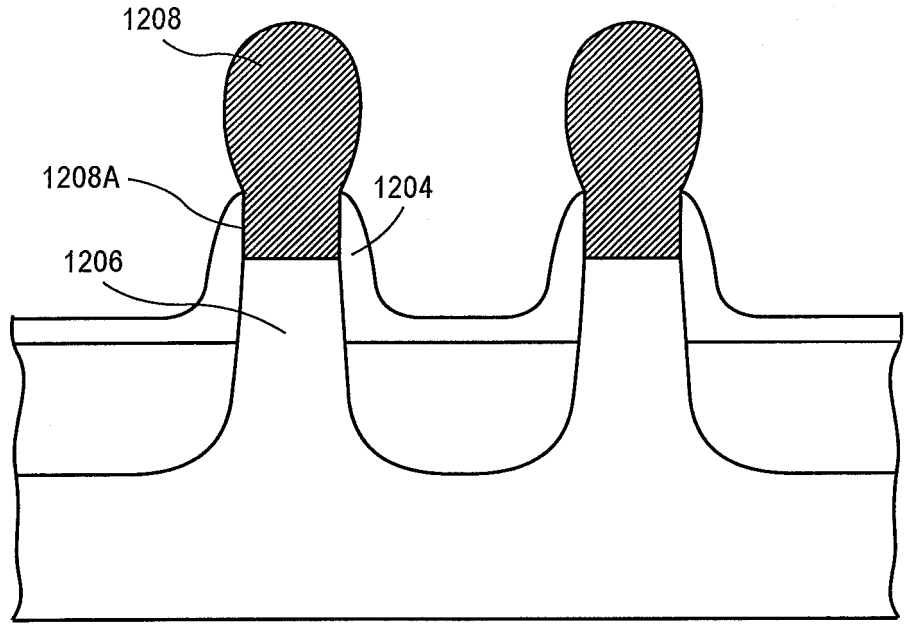
【圖 11】



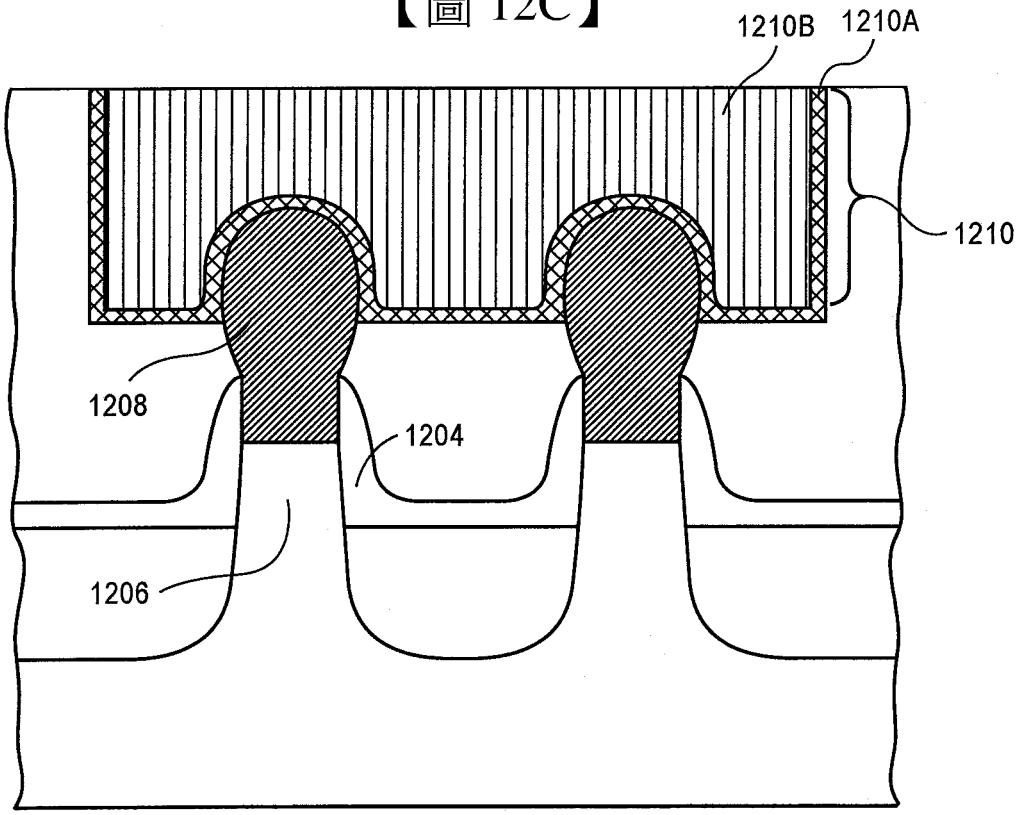
【圖 12A】



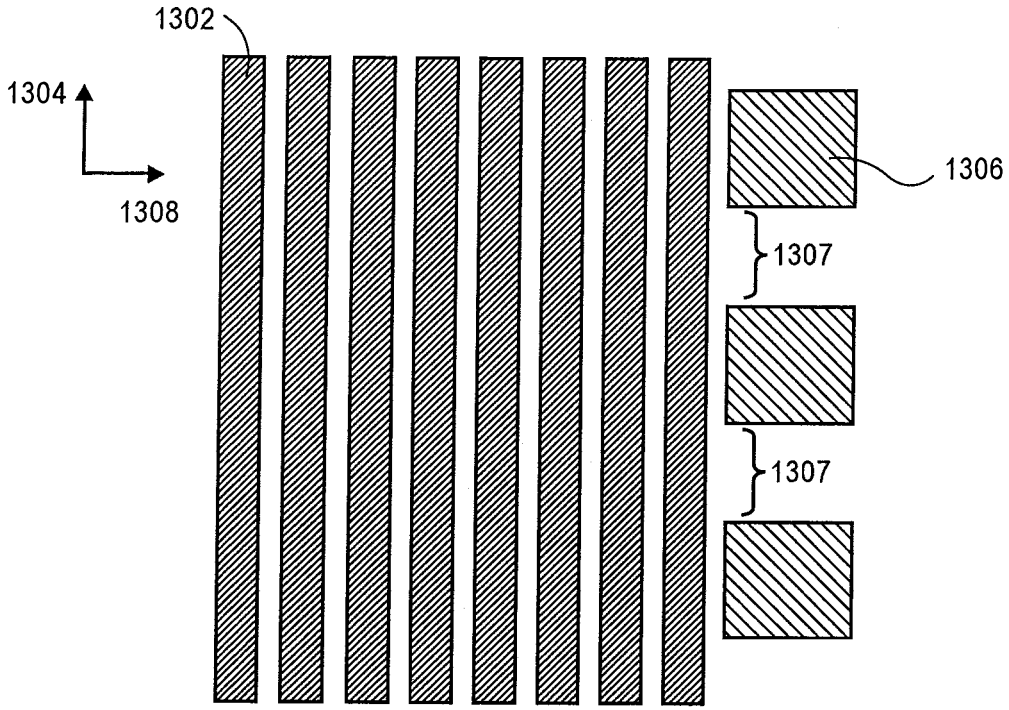
【圖 12B】



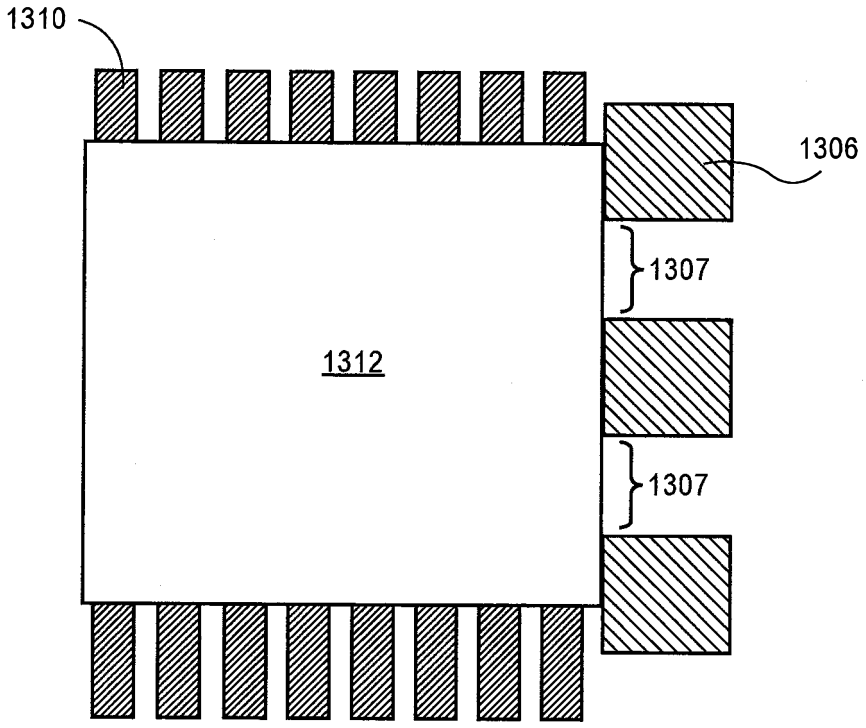
【圖 12C】



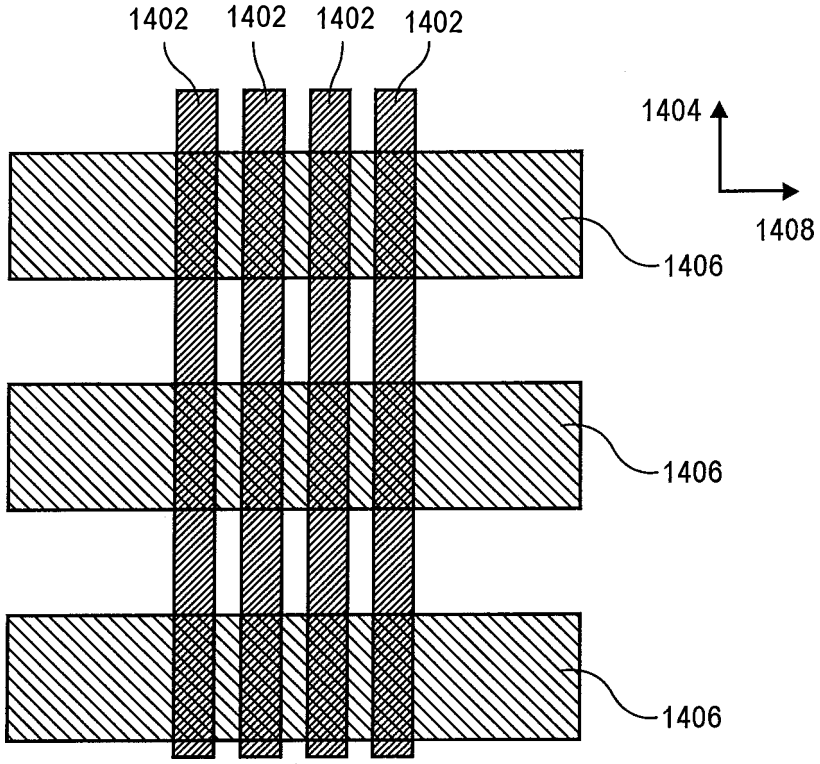
【圖 12D】



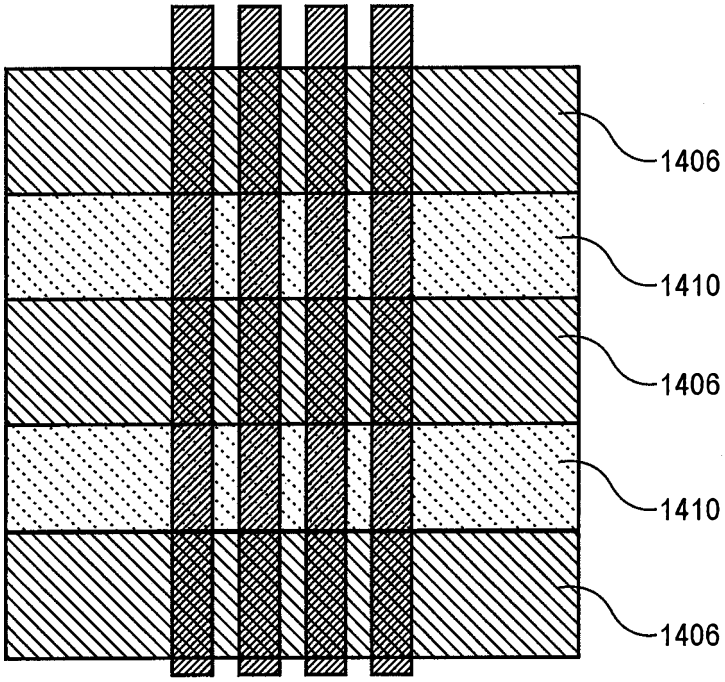
【圖 13A】



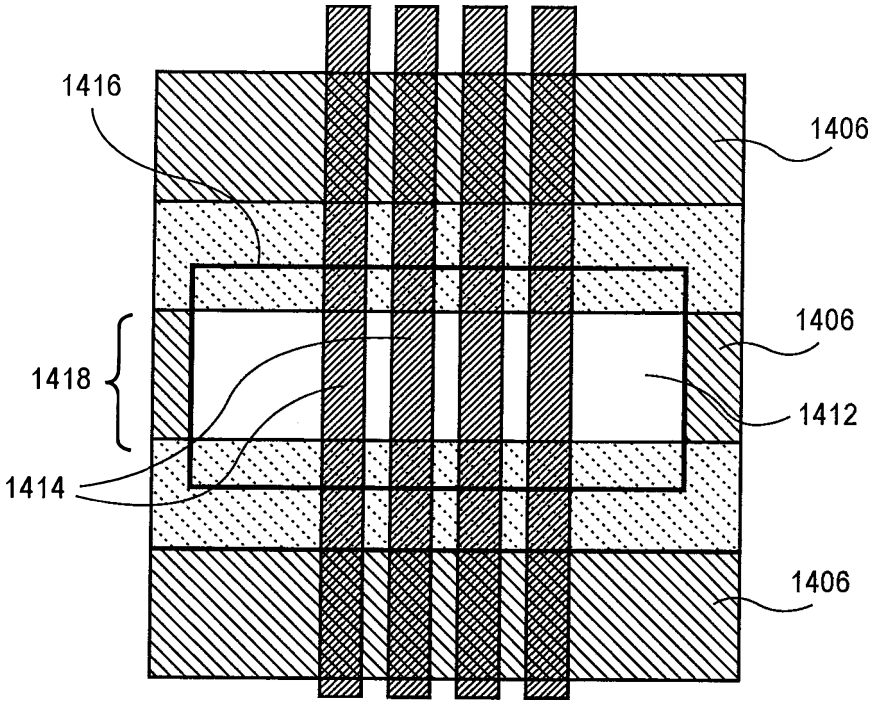
【圖 13B】


1402
1402
1402
1402
1404
1408
1406
1406
1406

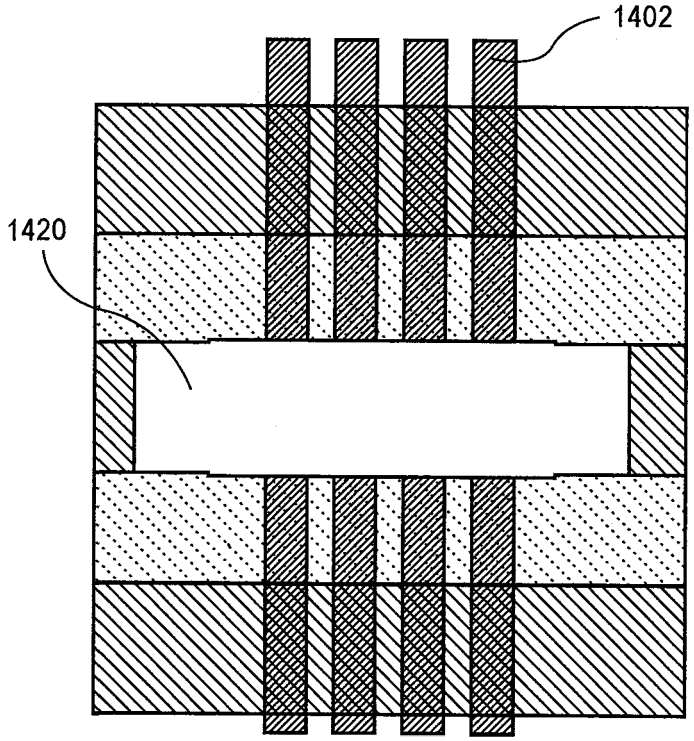
【圖 14A】


1406
1410
1406
1410
1406

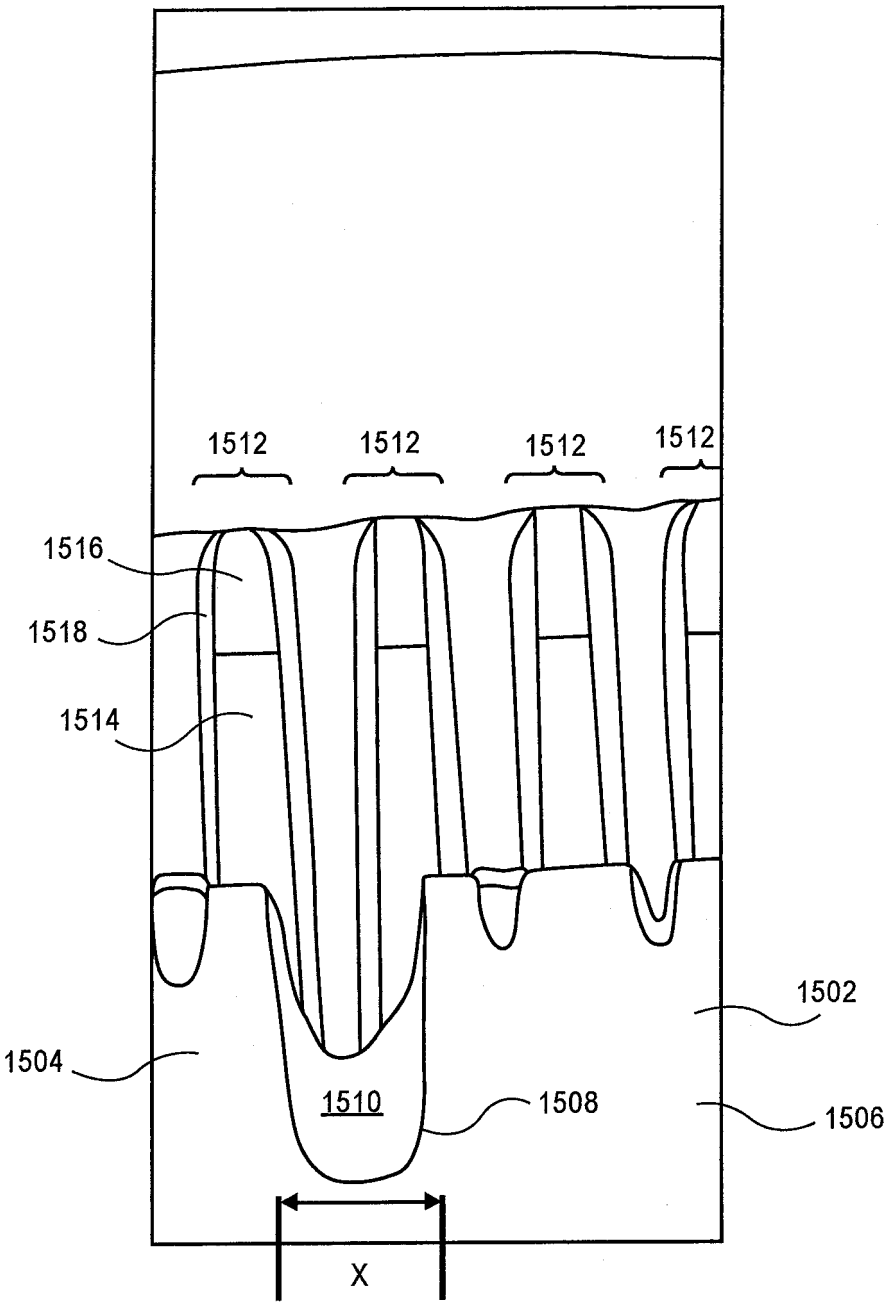
【圖 14B】



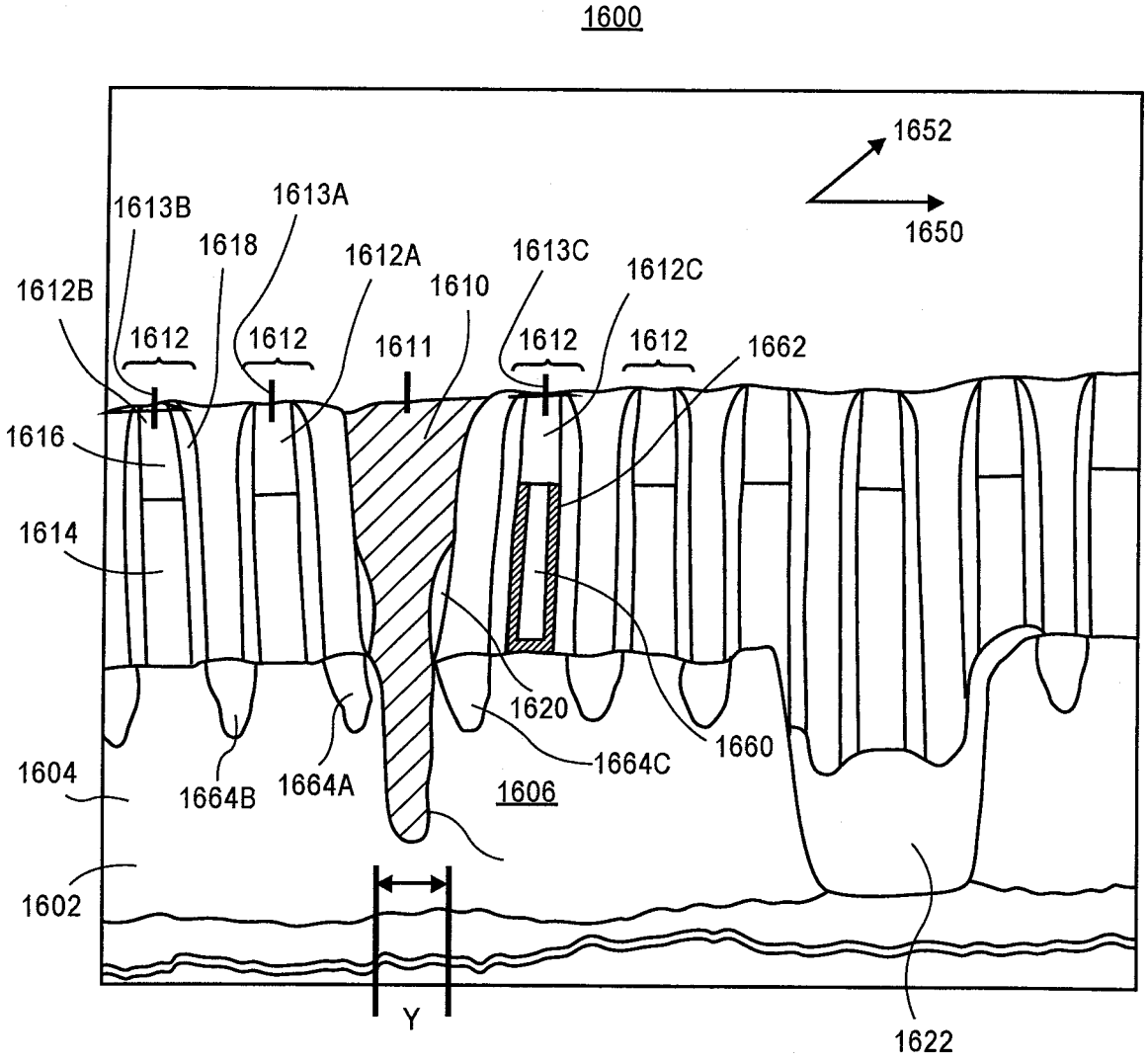
【圖 14C】



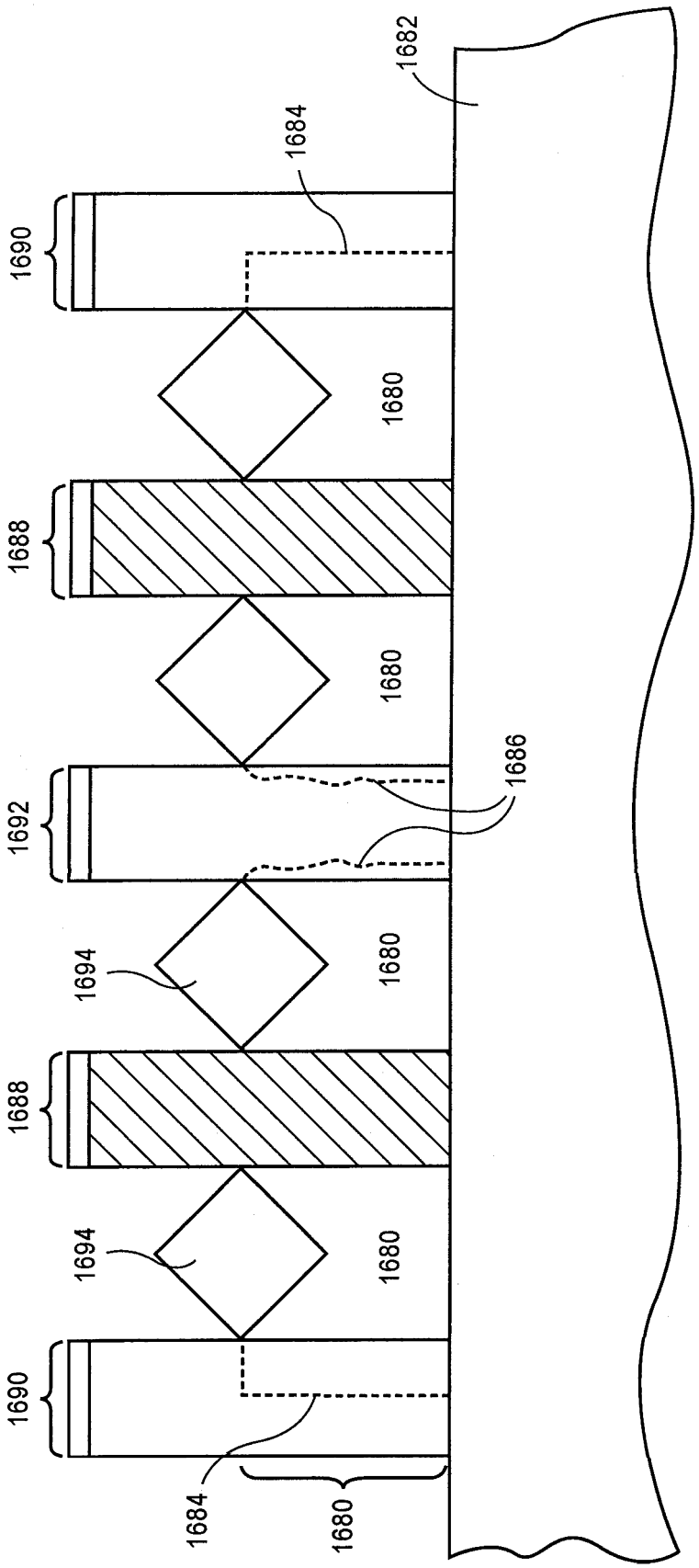
【圖 14D】



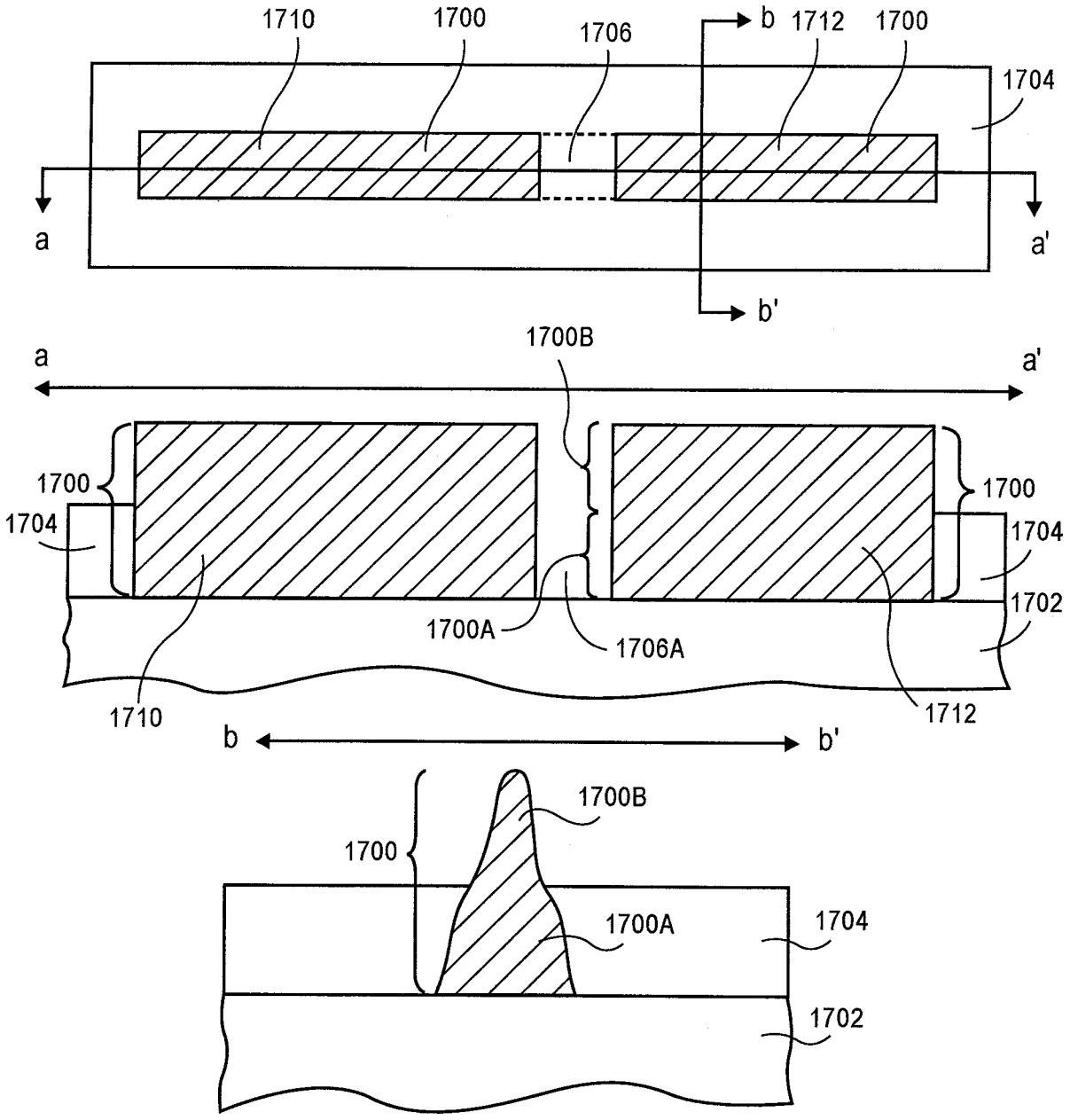
【圖 15】


1600
1652
1650
1613B
1613A
1618
1612A
1613C
1612C
1610
1612B
1612
1612
1611
1612
1612
1662
1616
1614
1620
1660
1664C
1604
1664B
1664A
1606
1602
Y
1622

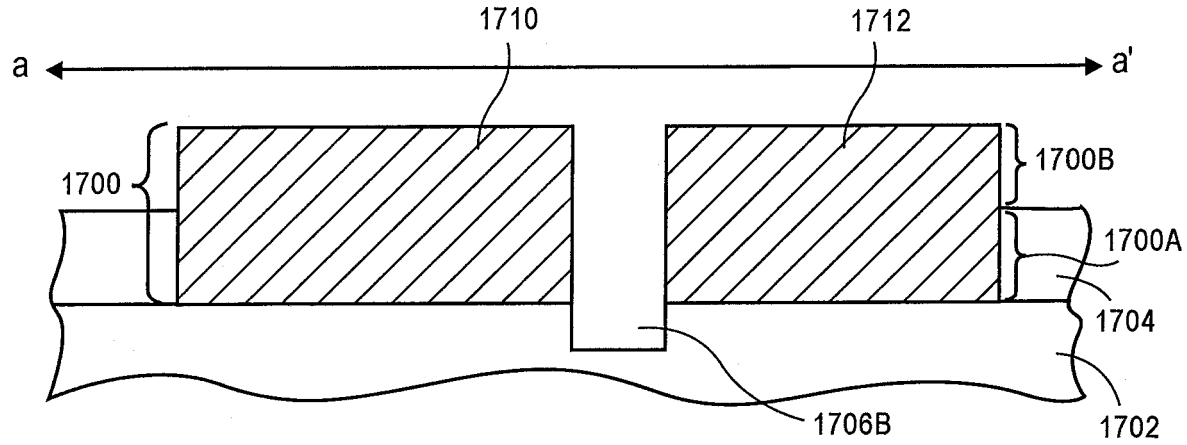
【圖 16A】


1682
1684
1690
1680
1688
1680
1692
1686
1694
1680
1688
1694
1680
1690
1684
1680

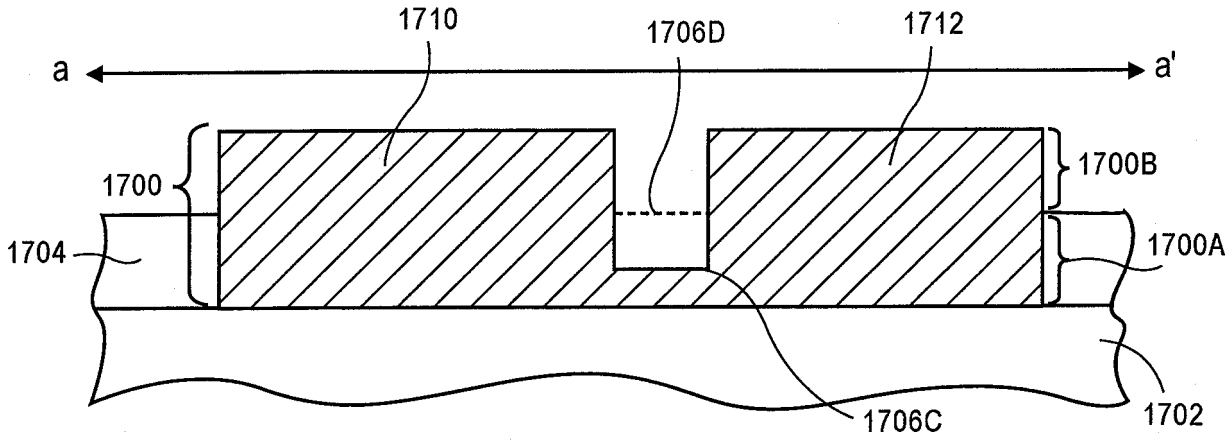
【圖 16B】


1710
1700
1706
b
1712
1700
1704
a
a'
b'
a
1700B
a'
1700
1700
1704
1704
1702
1700A
1706A
1710
1712
b
b'
1700B
1700
1700A
1704
1702

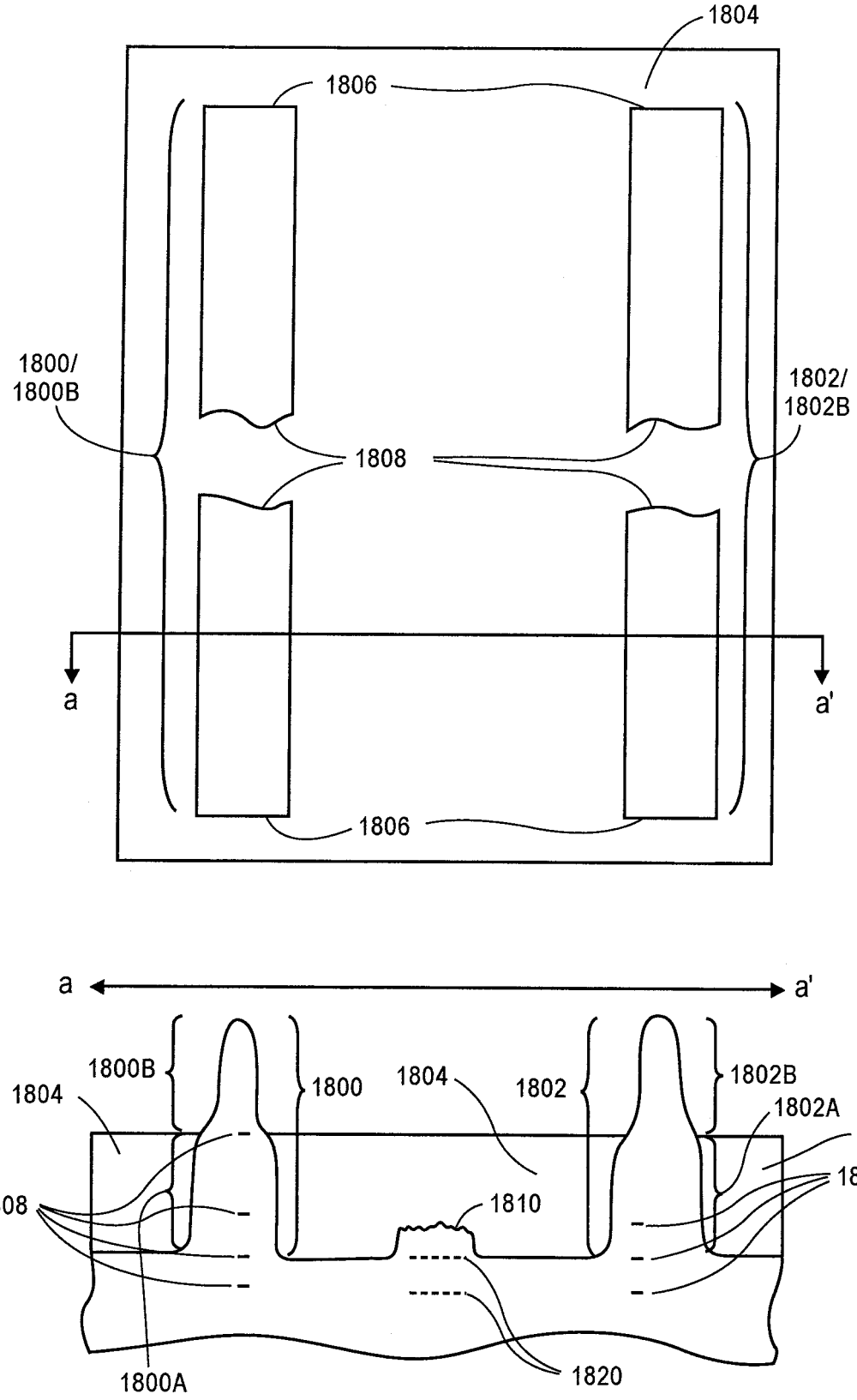
【圖 17A】


1710
1712
a
a'
1700
1700B
1700A
1704
1706B
1702

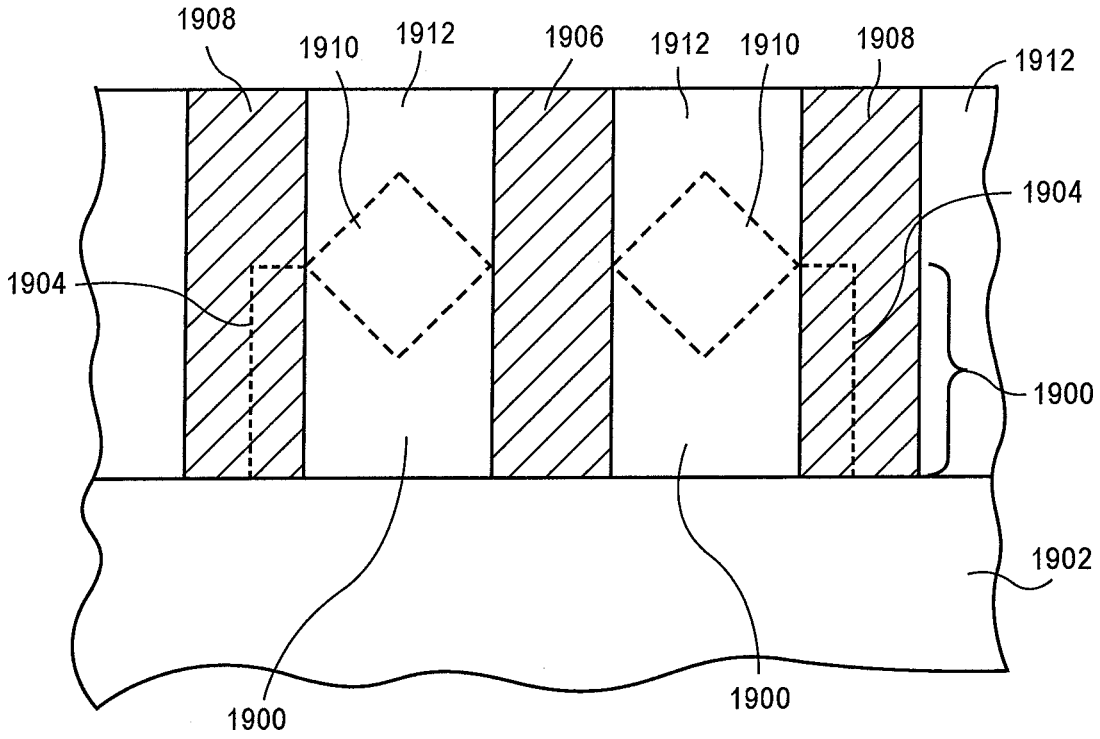
【圖 17B】


1710
1706D
1712
a
a'
1700
1700B
1704
1700A
1706C
1702

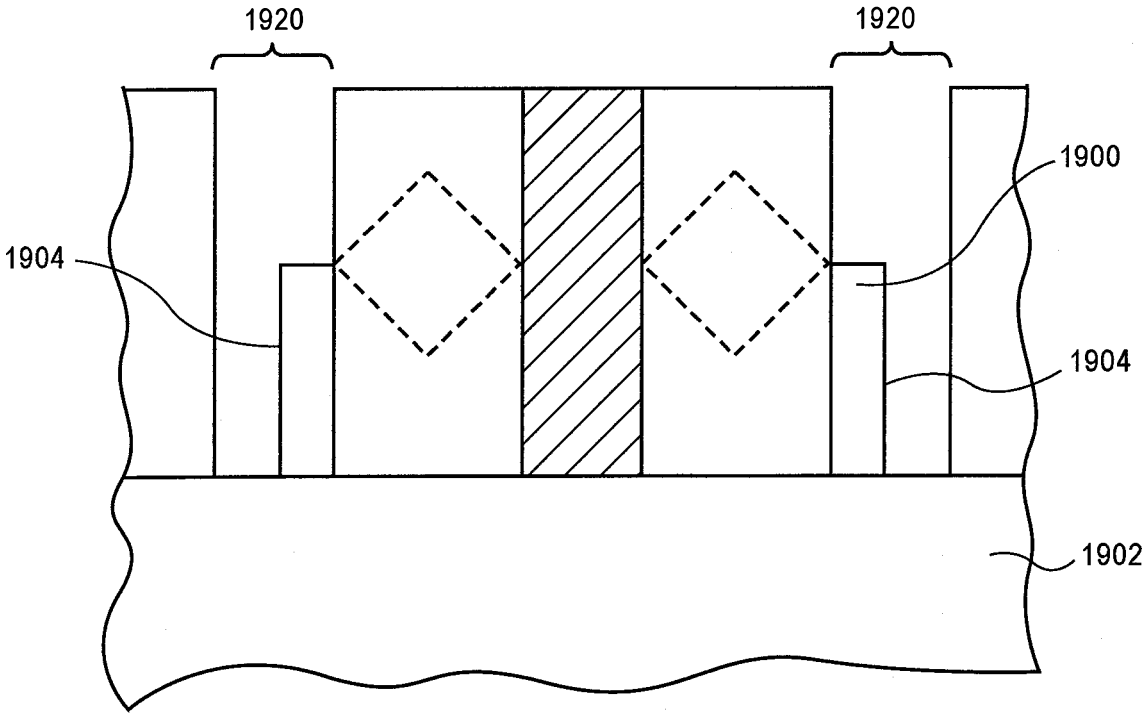
【圖 17C】


1804
1806
1800/
1800B
1802/
1802B
1808
a
a'
1806
a
a'
1800B
1800
1804
1804
1802
1802B
1802A
1804
1806
1808
1810
1800A
1820

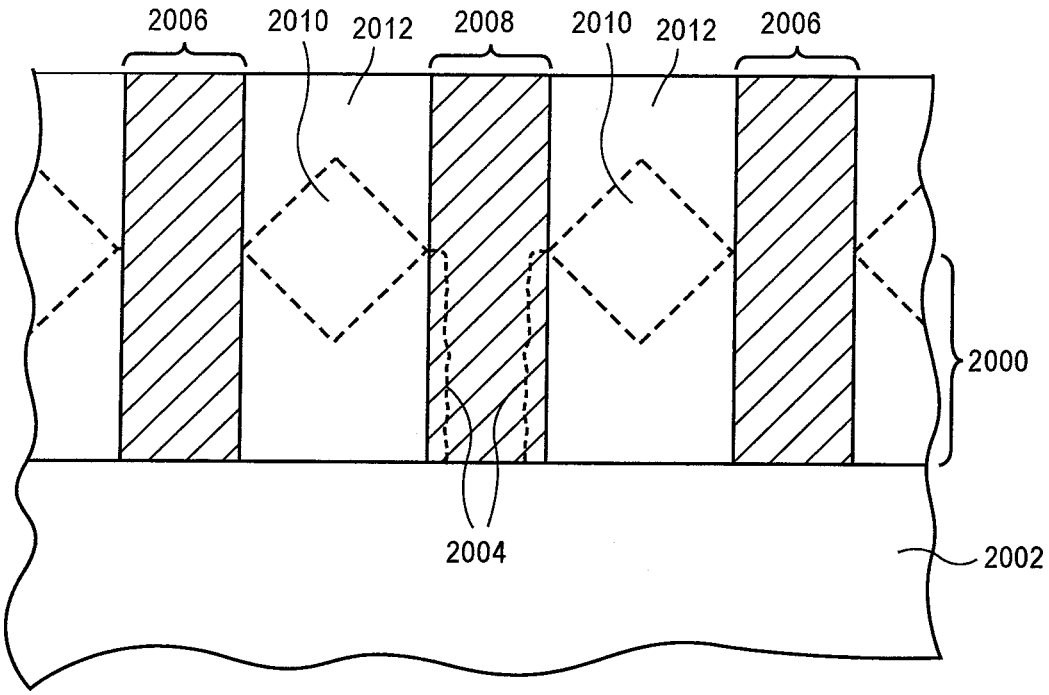
【圖 18】


1908
1910
1912
1906
1912
1910
1908
1912
1904
1904
1900
1902
1900
1900

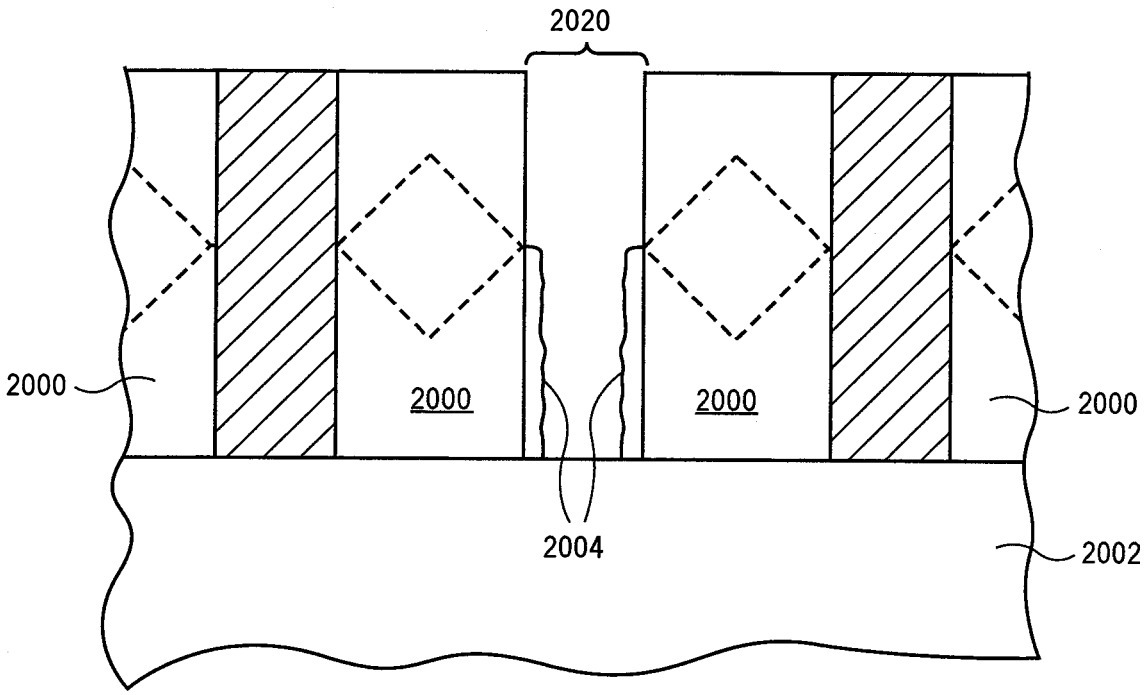
【圖 19A】


1920
1920
1900
1904
1904
1902

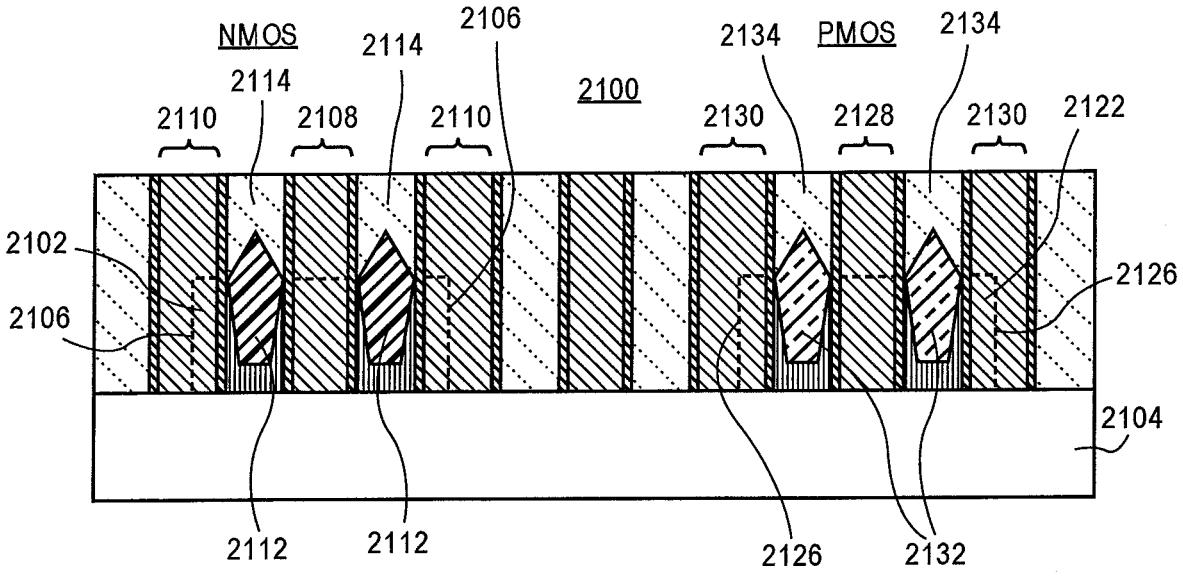
【圖 19B】


2006
2010
2012
2008
2010
2012
2006
2000
2004
2002

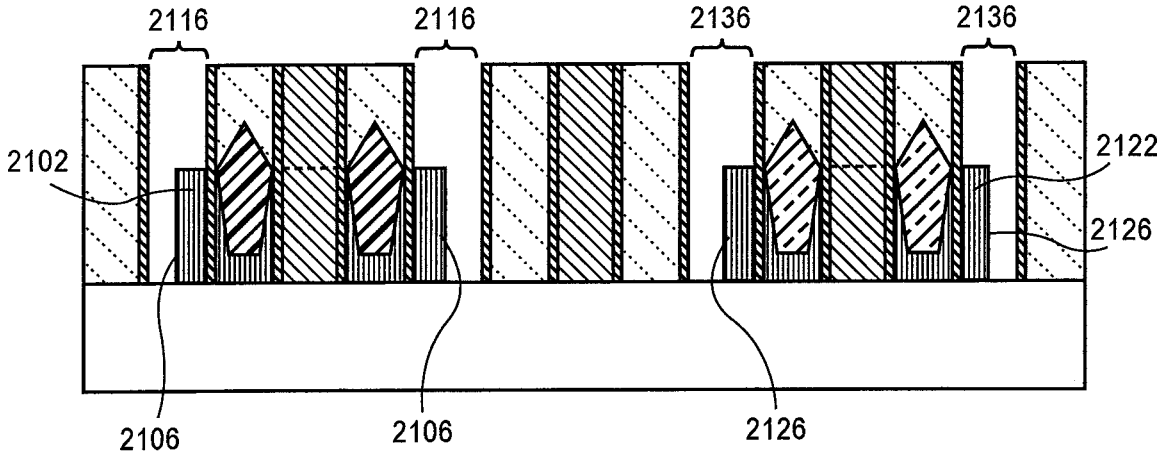
【圖 20A】


2020
2000
2000
2000
2000
2004
2002

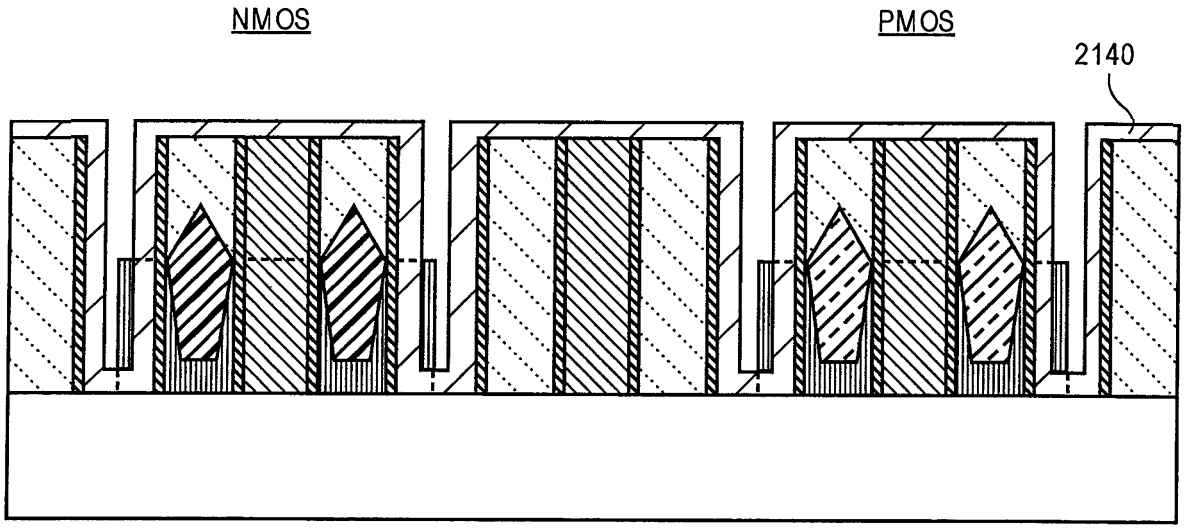
【圖 20B】


NMOS
2114
2106
2134
PMOS
2134
2114
2100
2110
2108
2110
2130
2128
2130
2122
2102
2126
2106
2104
2112
2112
2126
2132

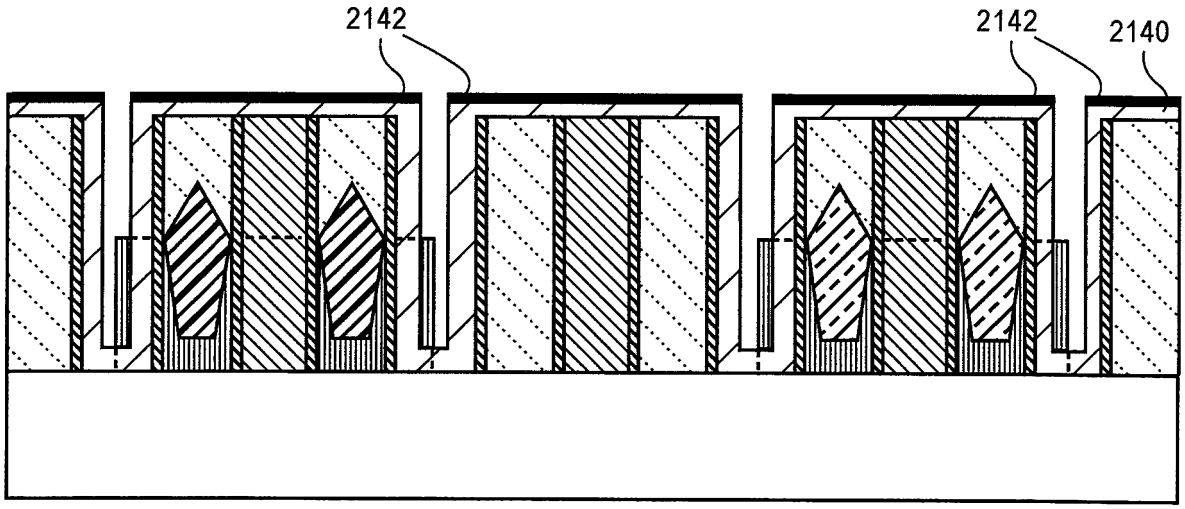
【圖 21A】


2116
2116
2136
2136
2102
2122
2126
2106
2106
2126

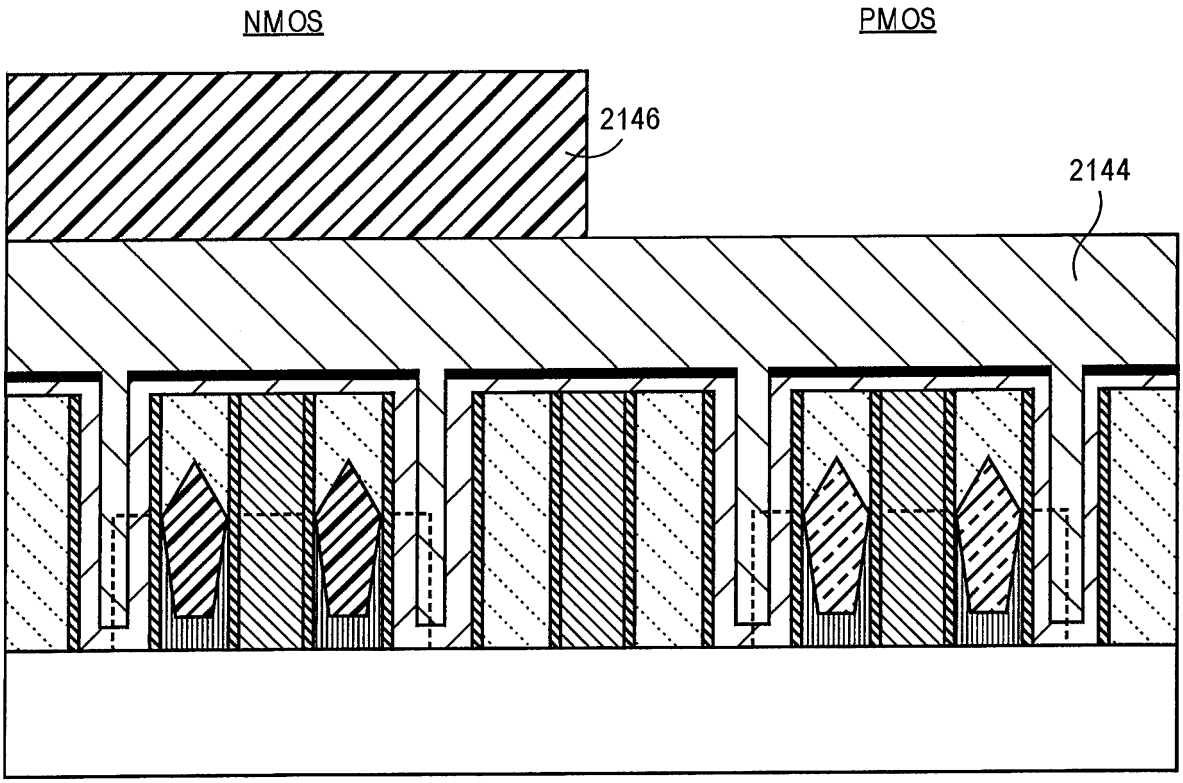
【圖 21B】



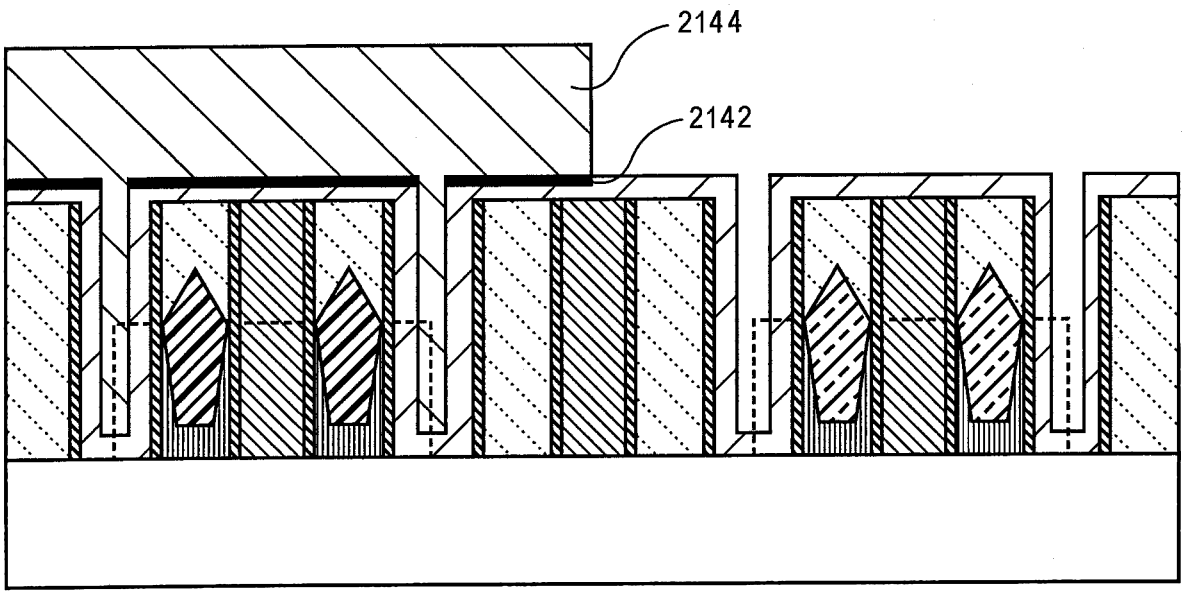
【圖 21C】



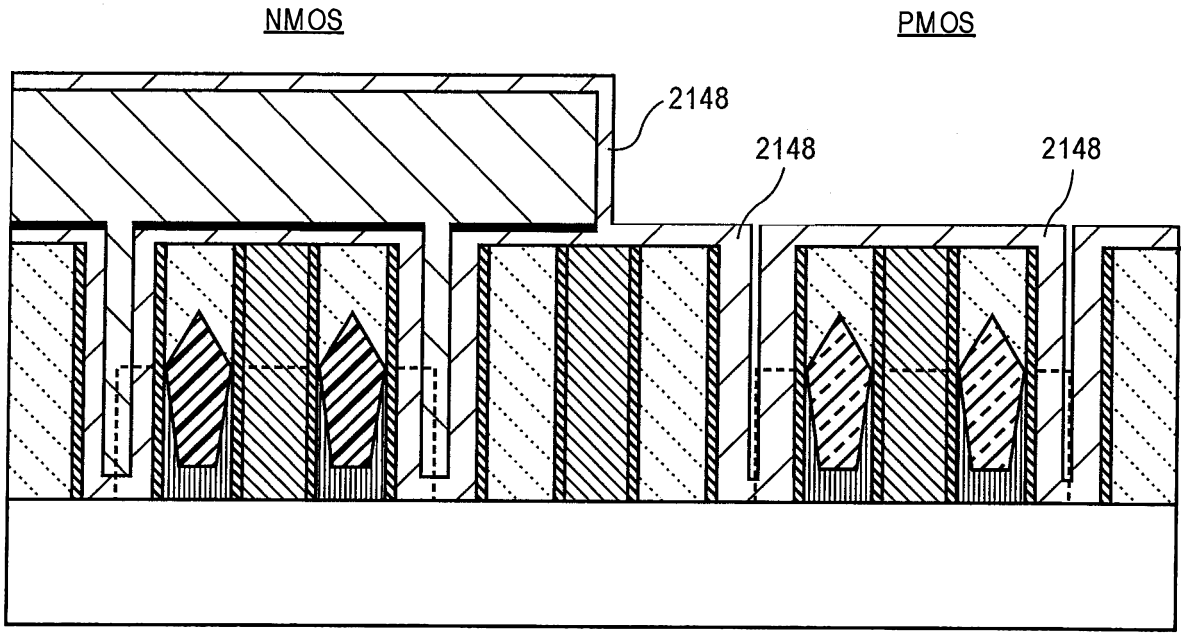
【圖 21D】



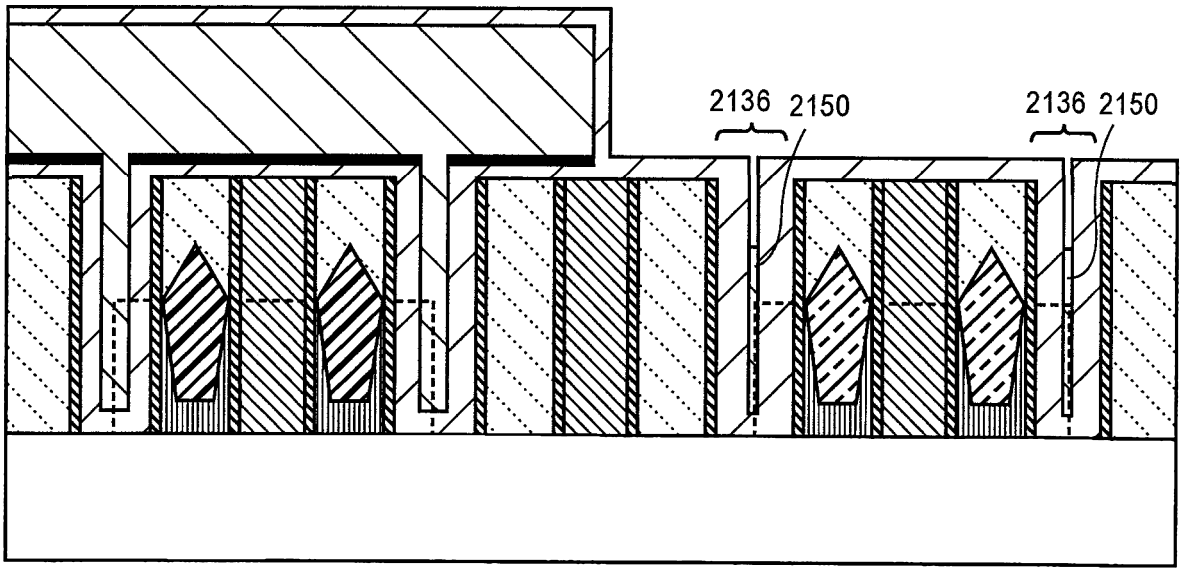
【圖 21E】



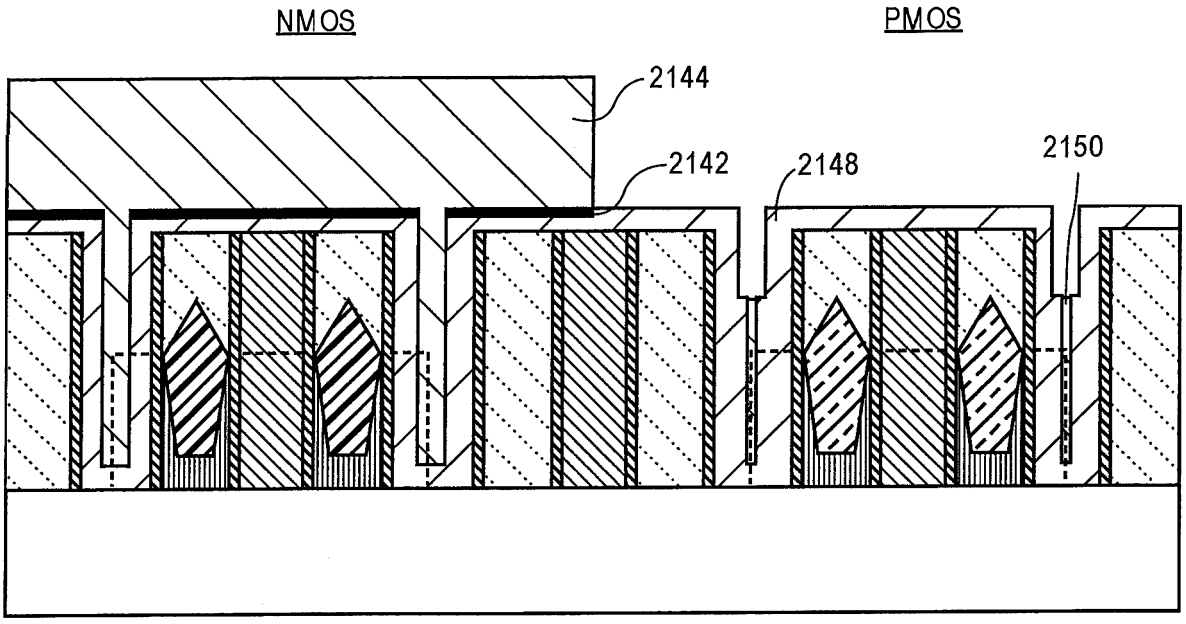
【圖 21F】



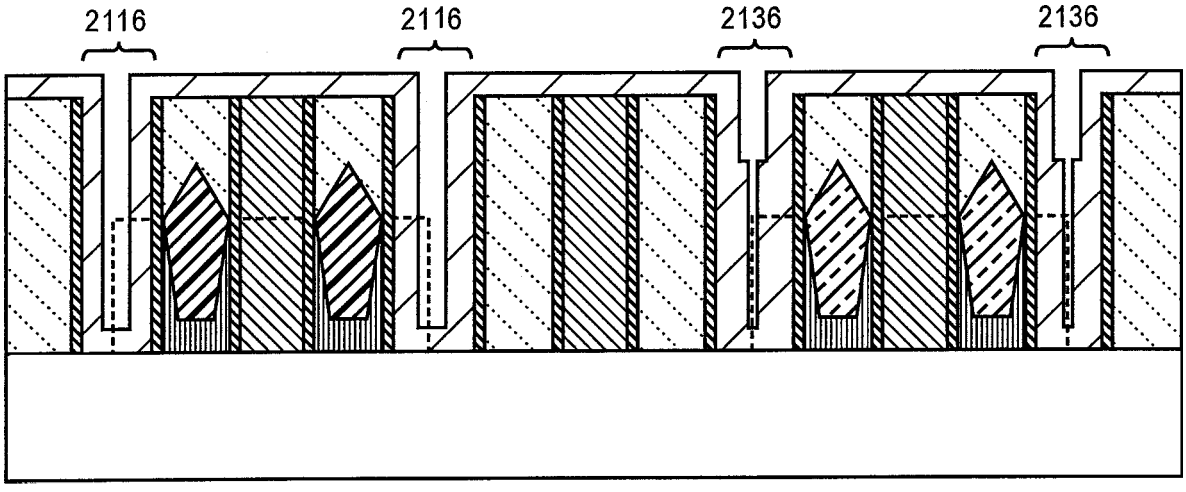
【圖 21G】



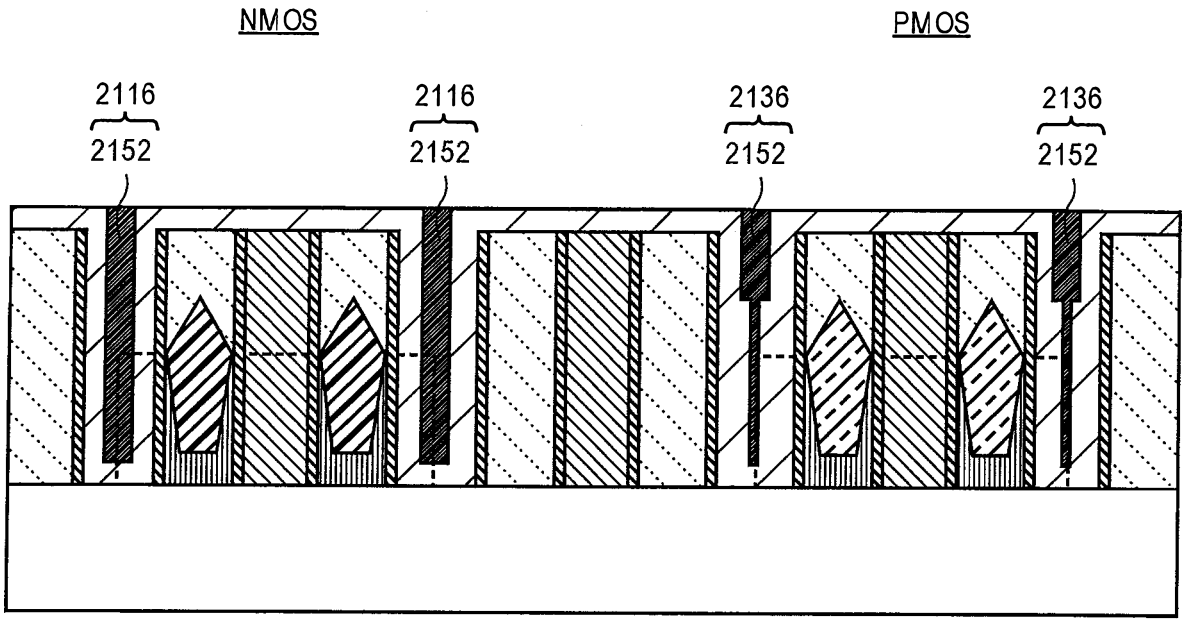
【圖 21H】



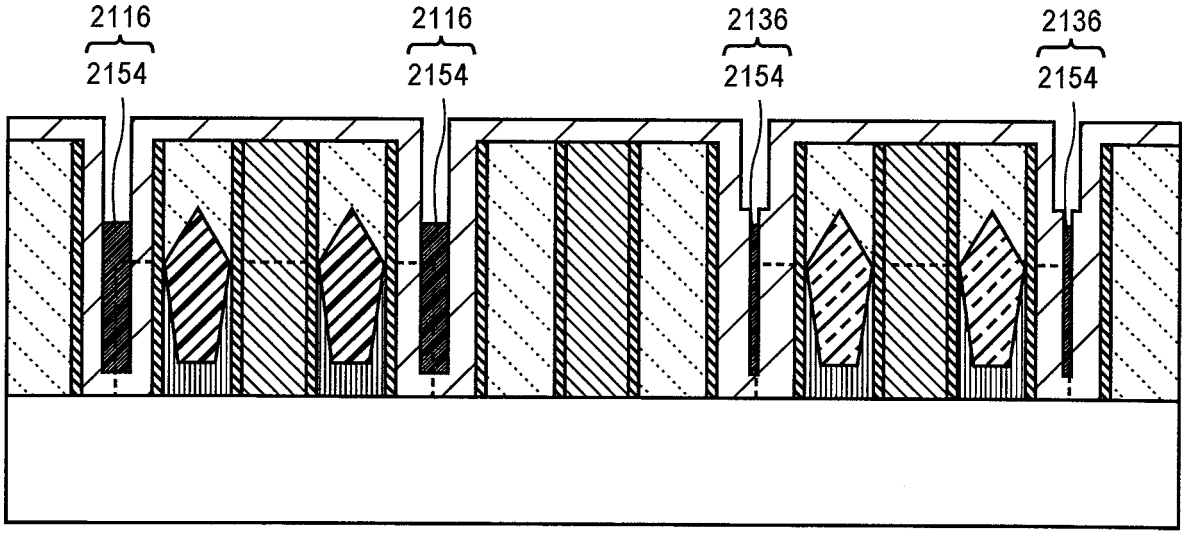
【圖 21I】



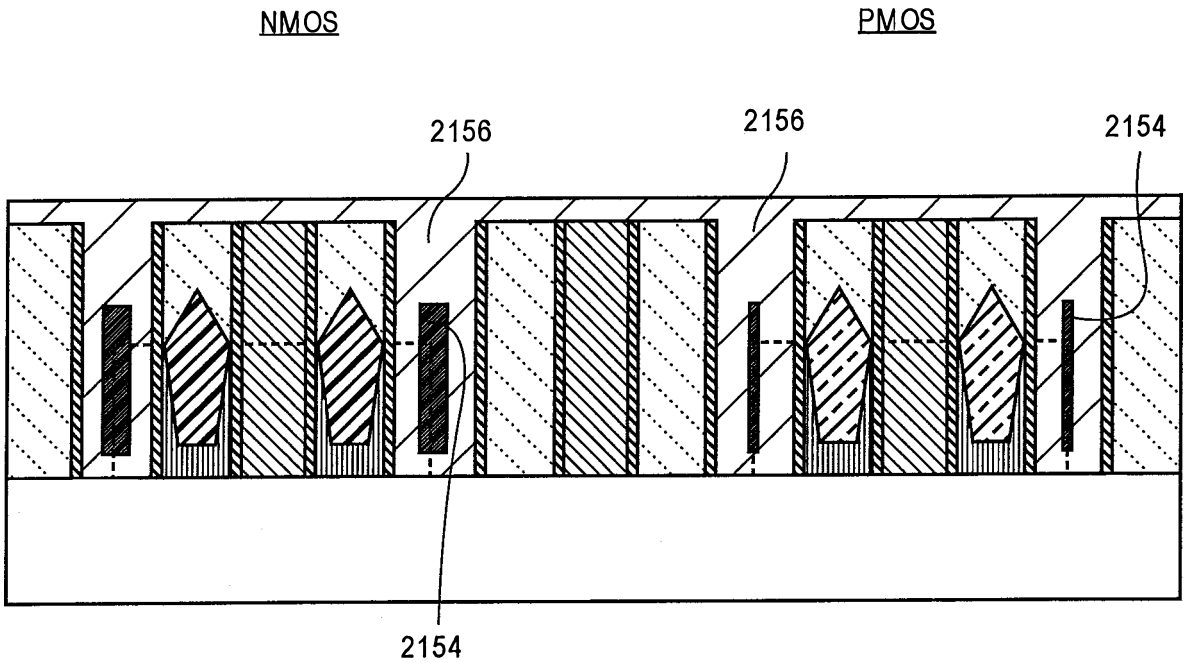
【圖 21J】


NMOS
PMOS
2116
2152
2116
2152
2136
2152
2136
2152

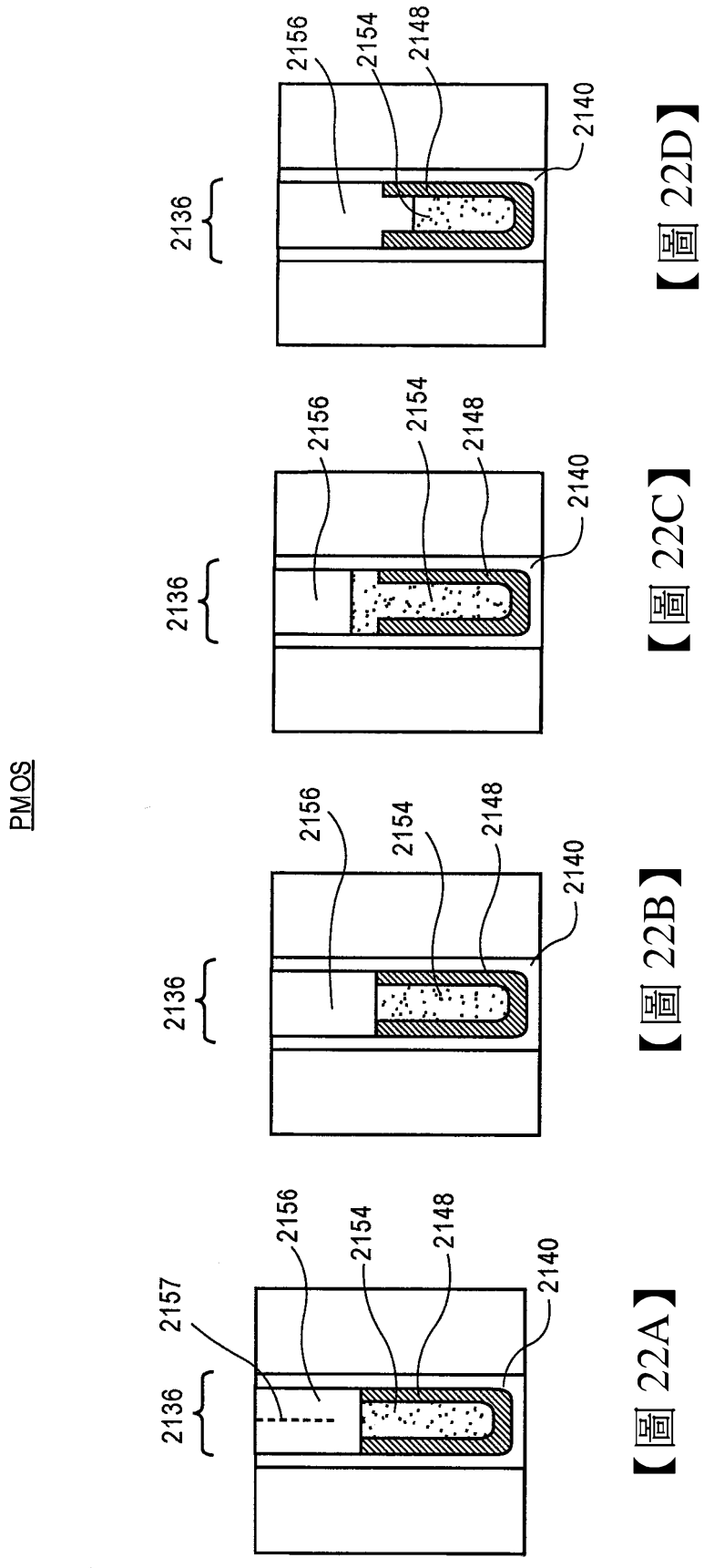
【圖 21K】


2116
2154
2116
2154
2136
2154
2136
2154

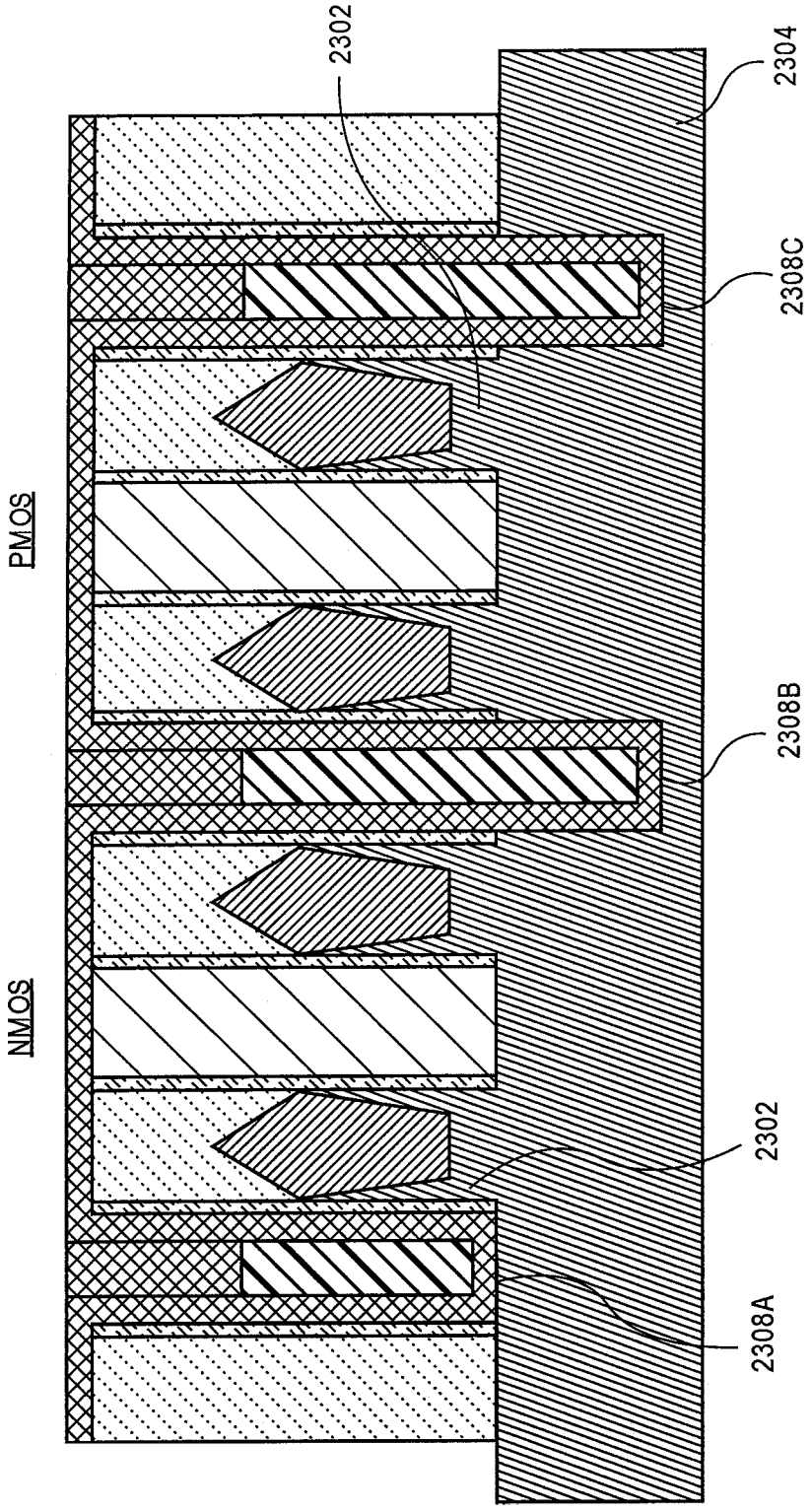
【圖 21L】



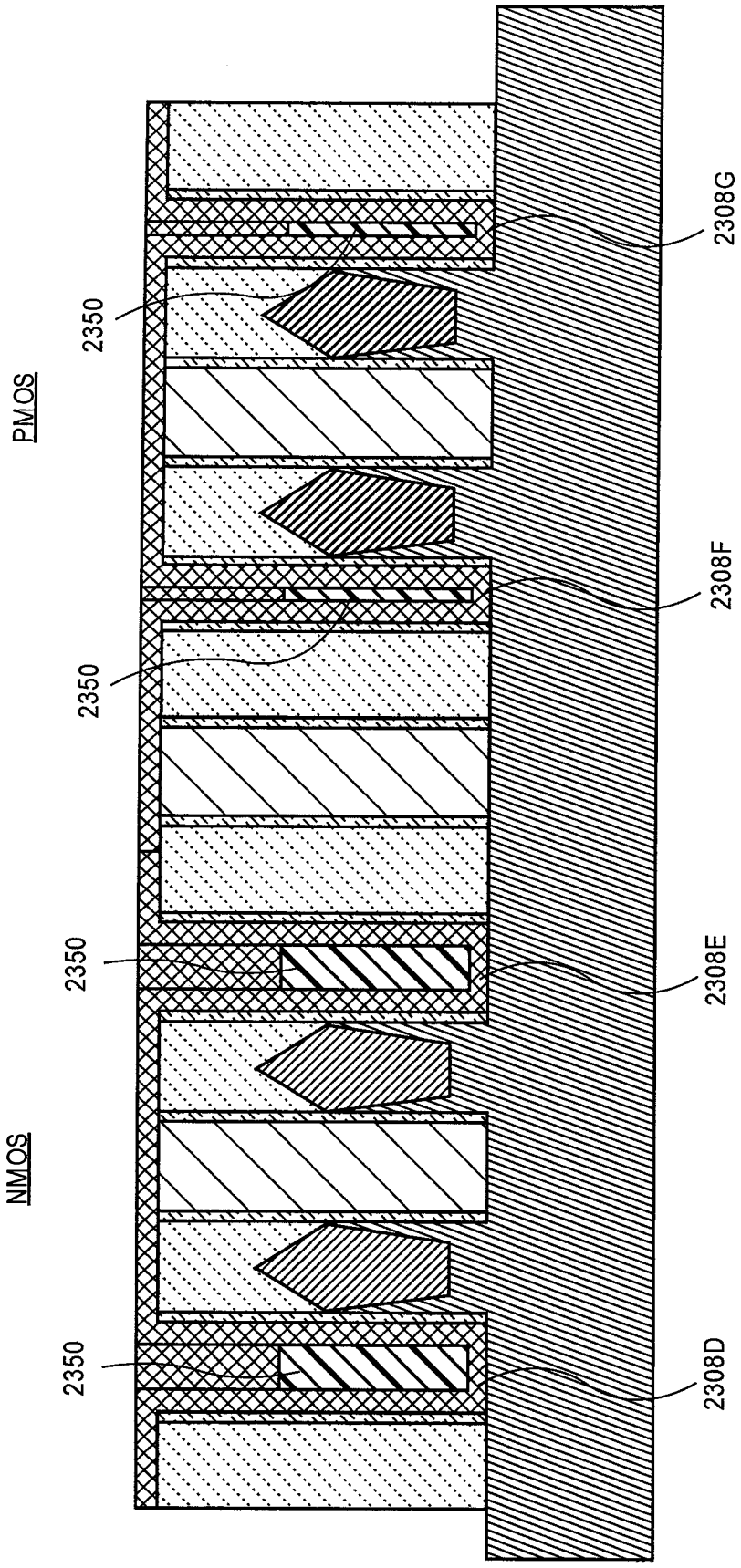
【圖 21M】



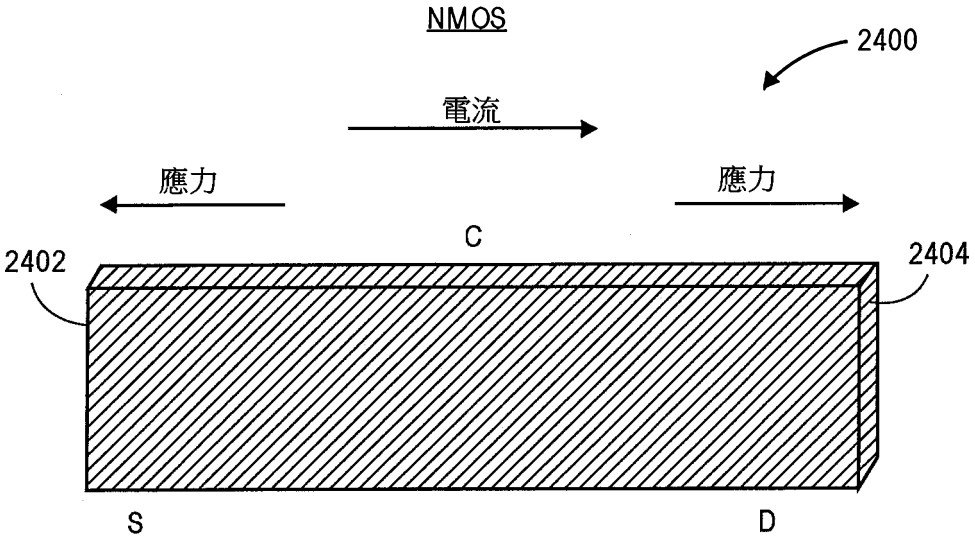
【圖 22A】 【圖 22B】 【圖 22C】 【圖 22D】



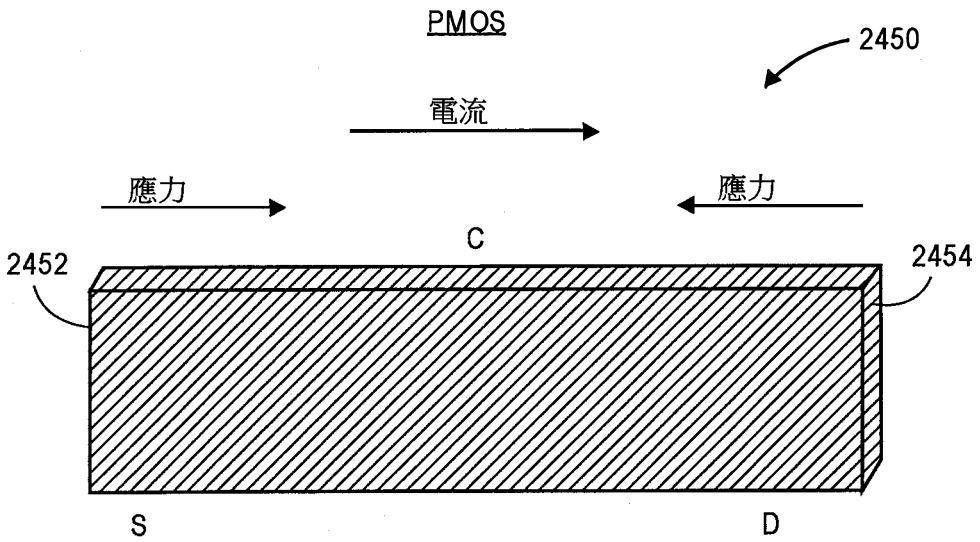
【圖 23A】



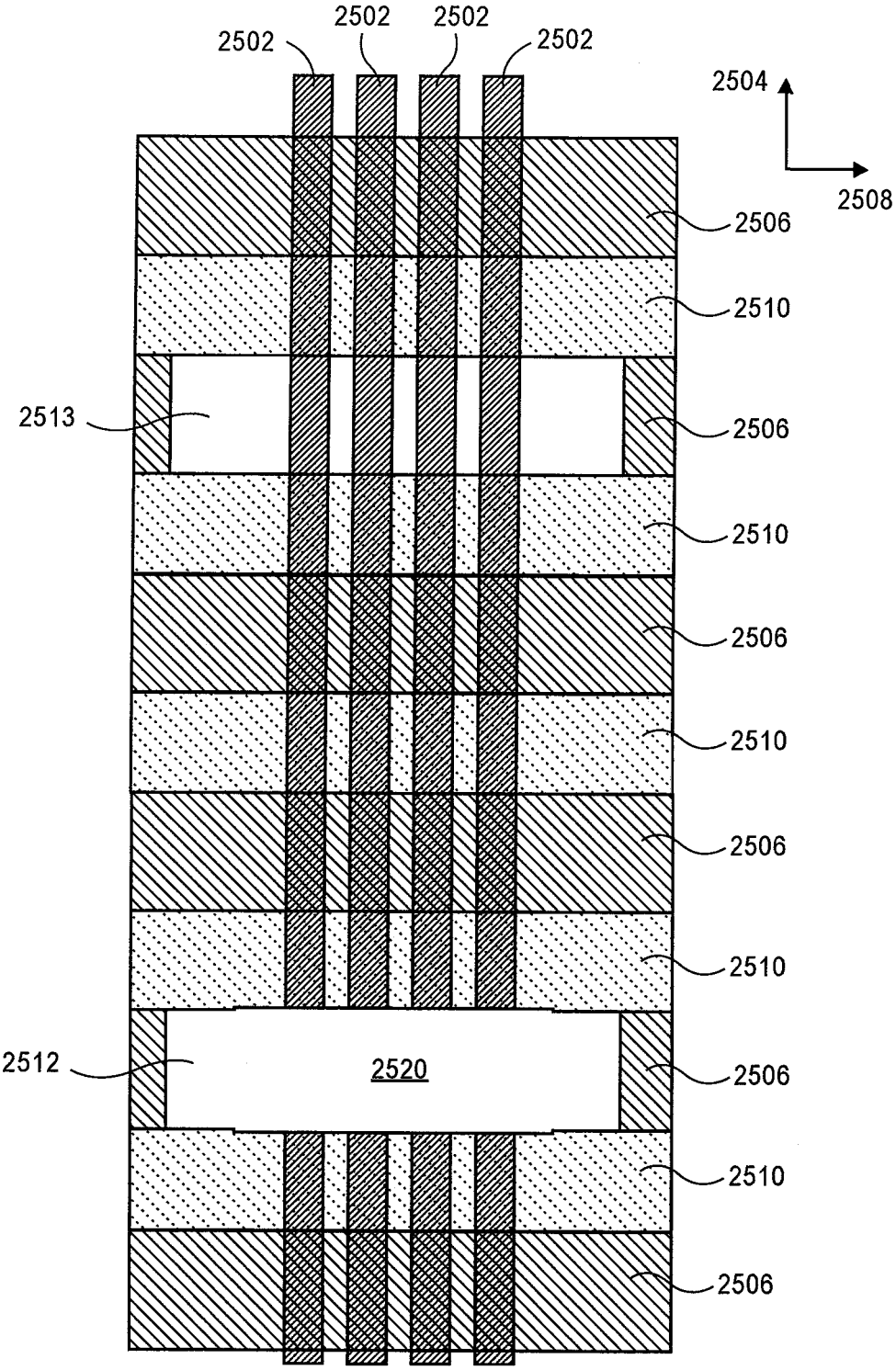
【圖 23B】


NMOS
2400
電流
應力
應力
C
2402
2404
S
D

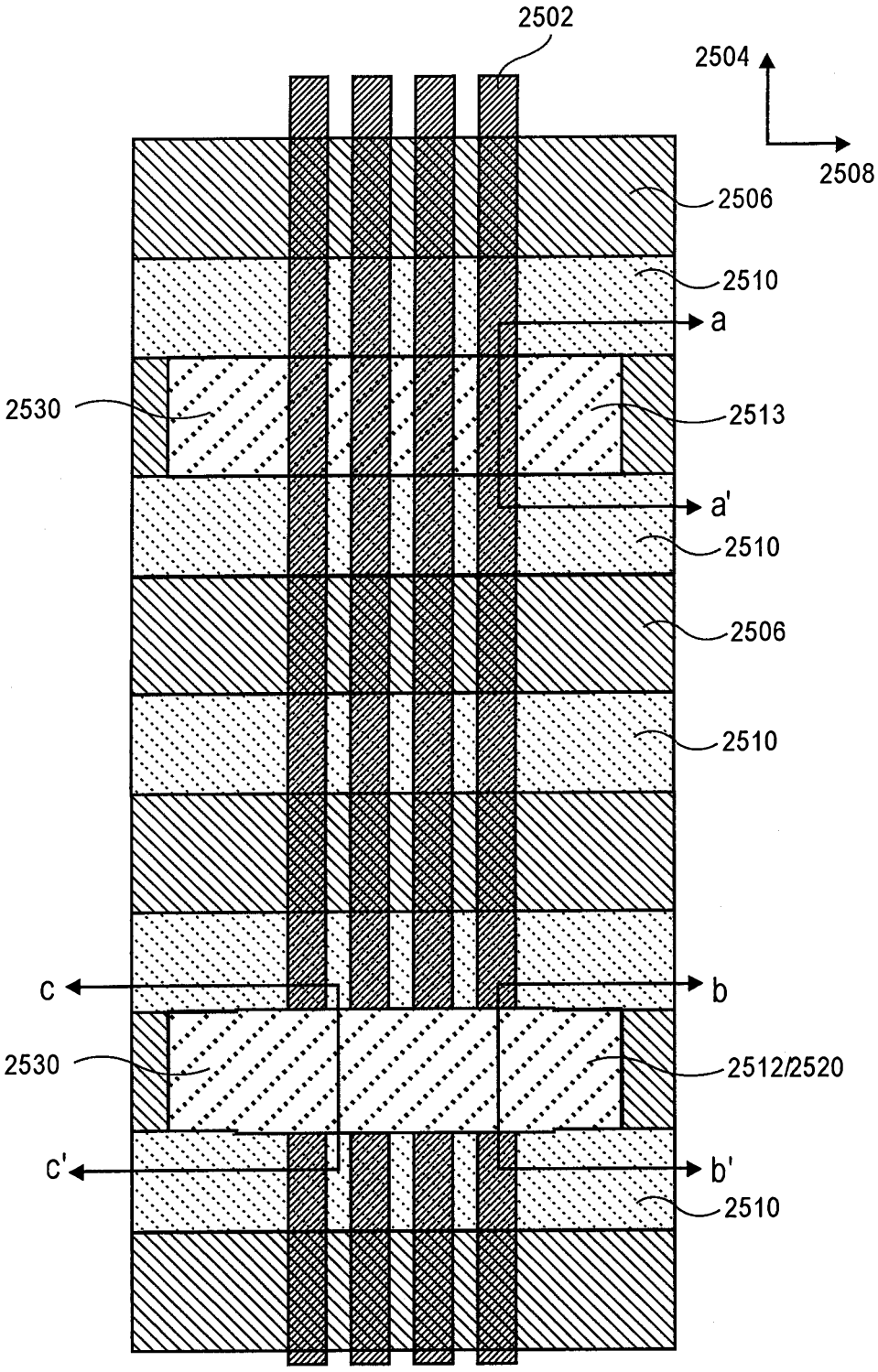
【圖 24A】


PMOS
2450
電流
應力
應力
C
2452
2454
S
D

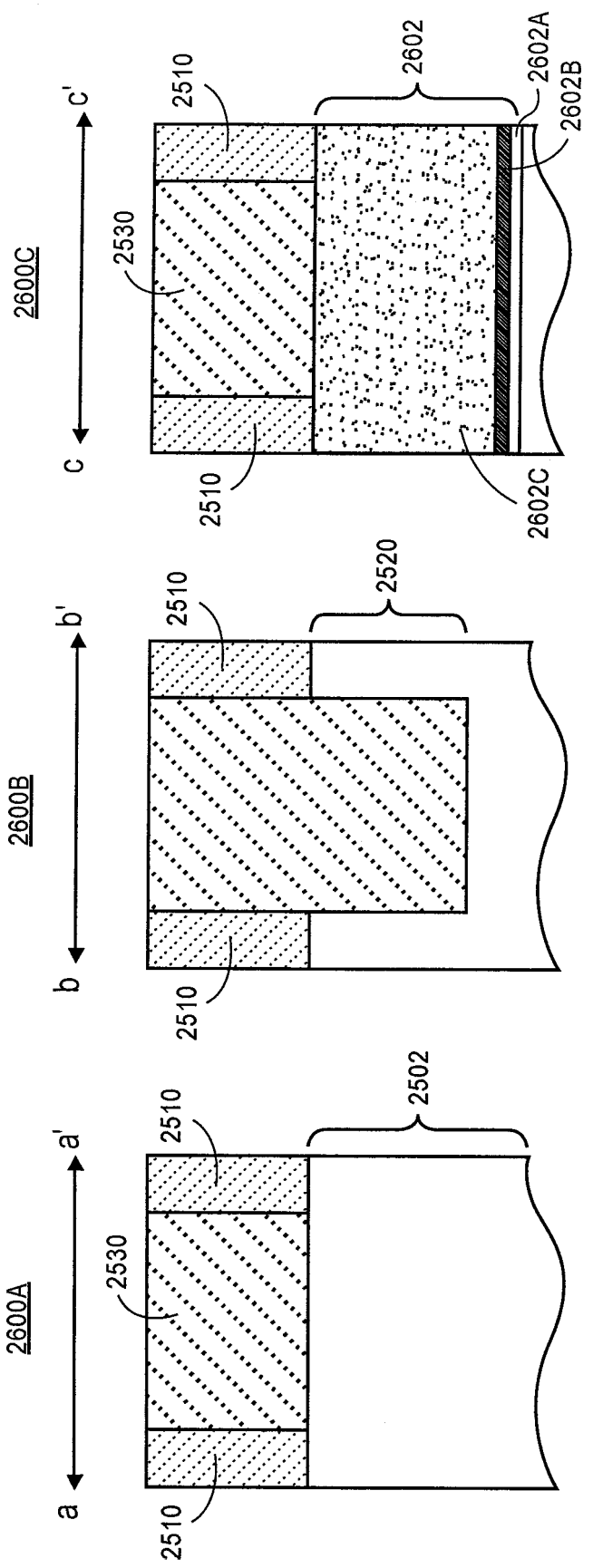
【圖 24B】


2502
2502
2502
2502
2504
2508
2506
2510
2513
2506
2510
2506
2510
2506
2510
2512
2520
2506
2510
2506

【圖 25A】


2502
2504
2508
2506
2510
a
2530
2513
a'
2510
2506
2510
c
b
2530
2512/2520
c'
b'
2510

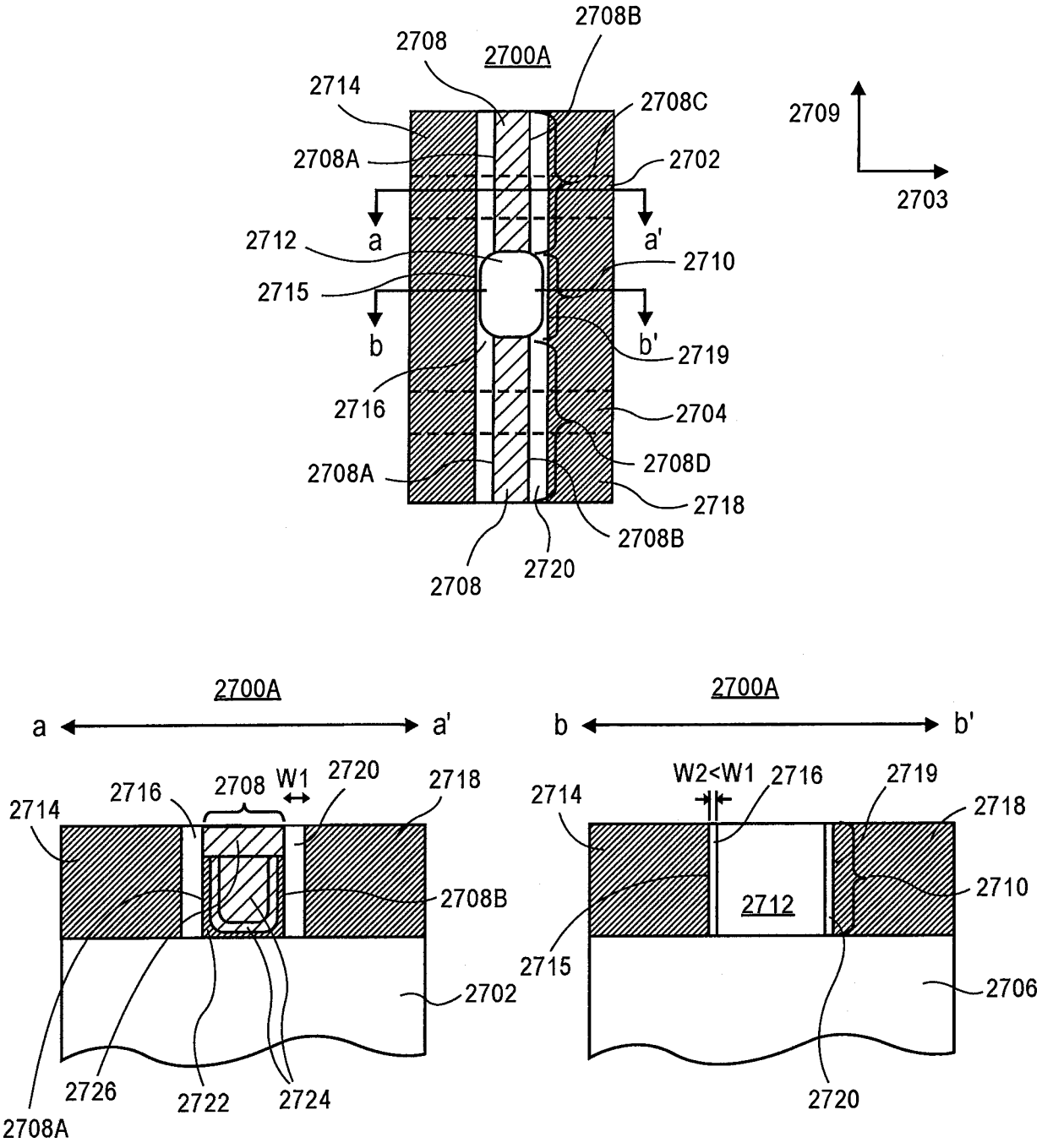
【圖 25B】



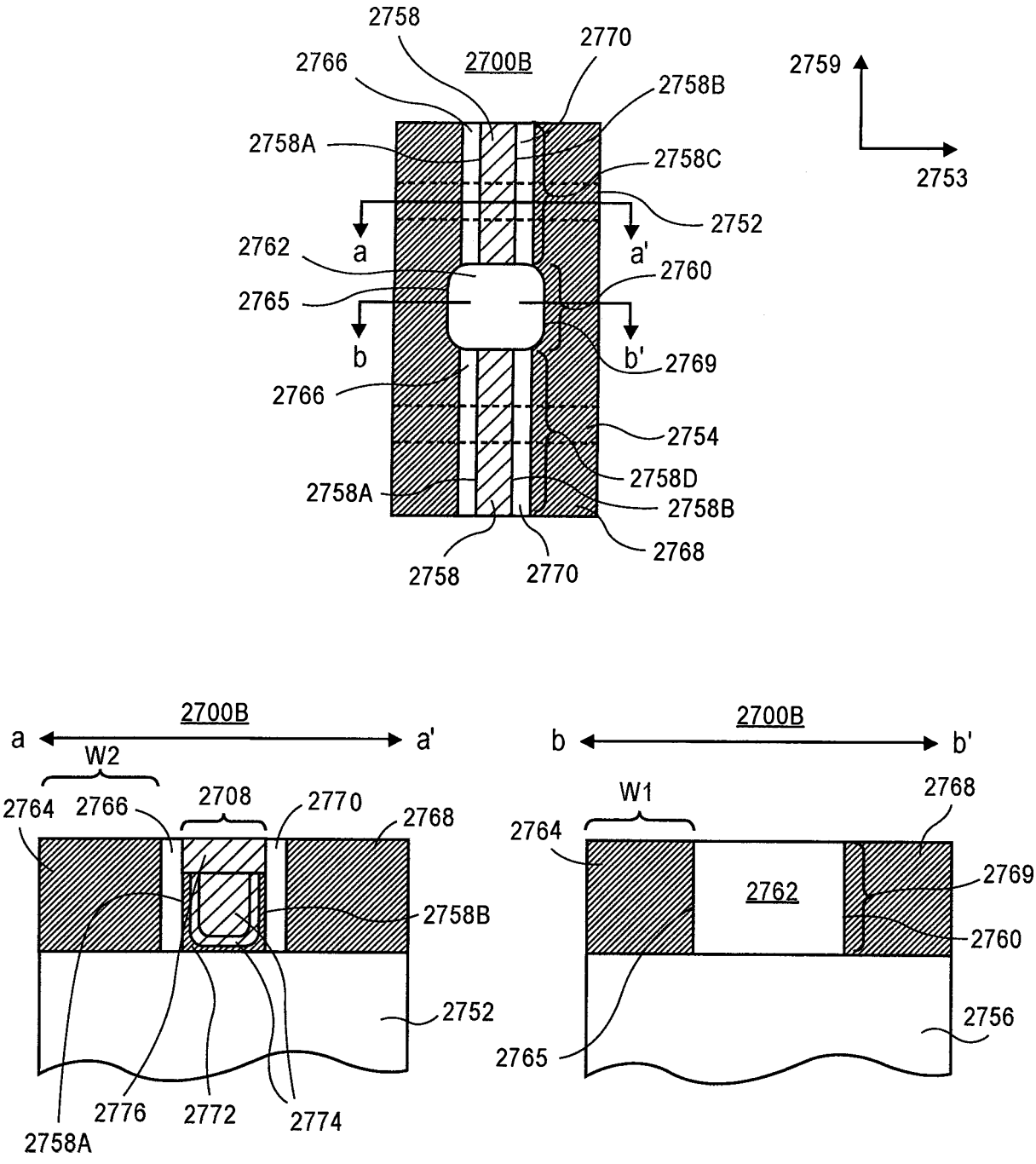
【圖 26C】

【圖 26B】

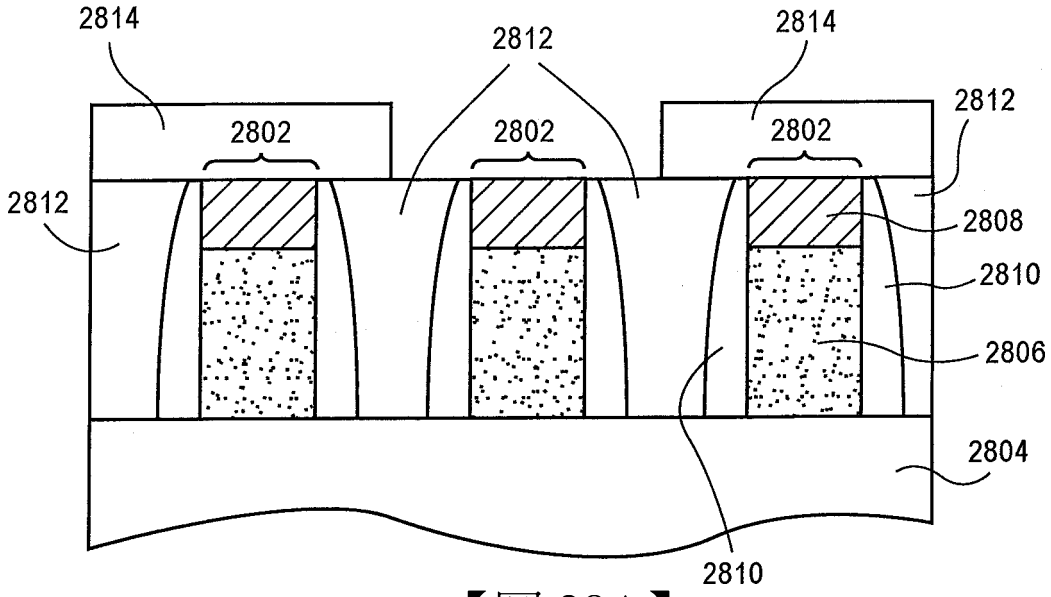
【圖 26A】


2708B
2708
2700A
2714
2708C
2709
2708A
2702
2703
a
a'
2712
2710
2715
b
b'
2719
2716
2704
2708D
2708A
2718
2708B
2708
2720
2700A
a
a'
2700A
b
b'
2716
2708
W1
2720
2718
2714
W2<W1
2716
2719
2714
2718
2708B
2712
2710
2715
2702
2706
2726
2722
2724
2708A
2720

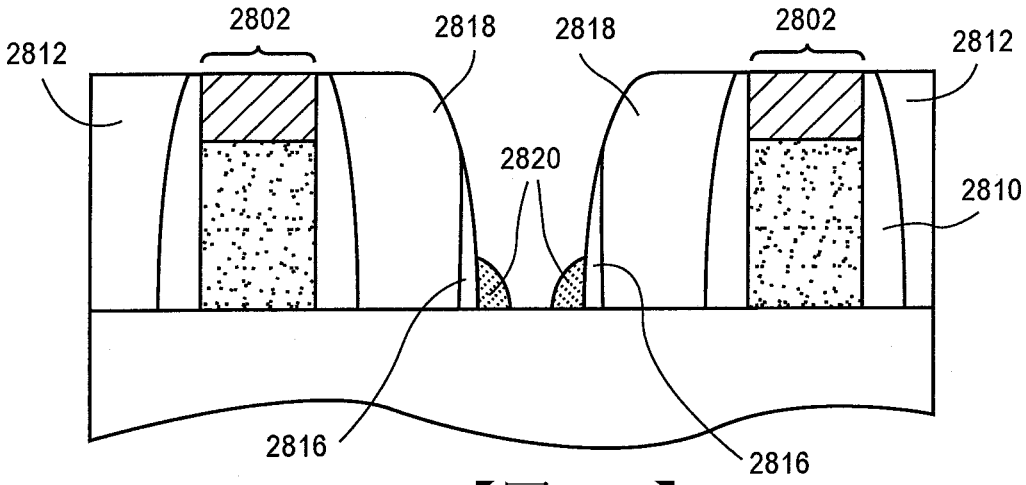
【圖 27A】


2758
2770
2766
2700B
2759
2758B
2758A
2758C
2753
2752
a
a'
2762
2760
2765
b
b'
2769
2766
2754
2758D
2758A
2758B
2768
2758
2770
2700B
a
a'
W2
2764
2766
2708
2770
2768
2758B
2752
2776
2772
2774
2758A
2700B
b
b'
W1
2768
2764
2762
2769
2760
2756
2765

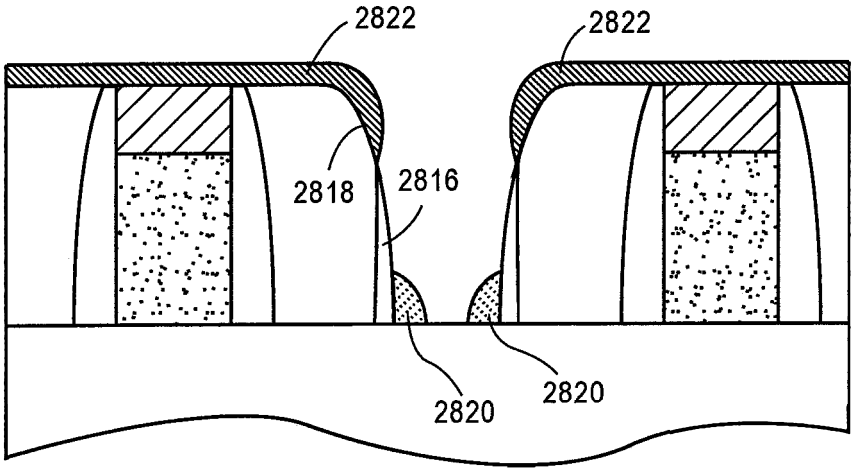
【圖 27B】



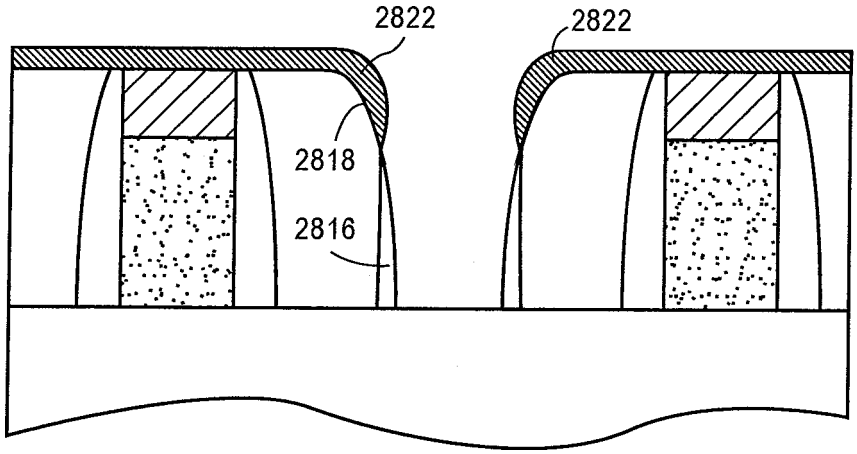
【圖 28A】



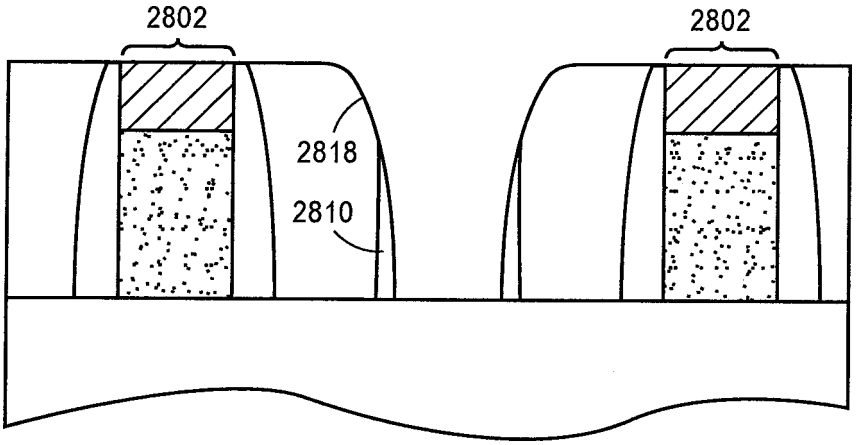
【圖 28B】



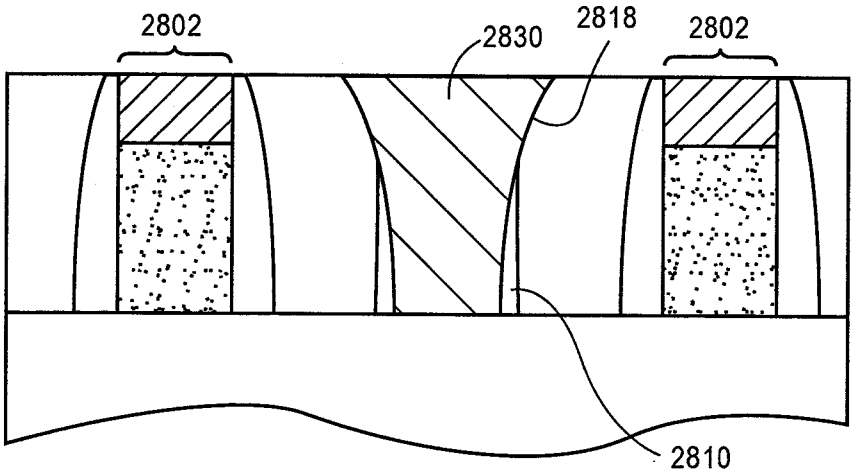
【圖 28C】



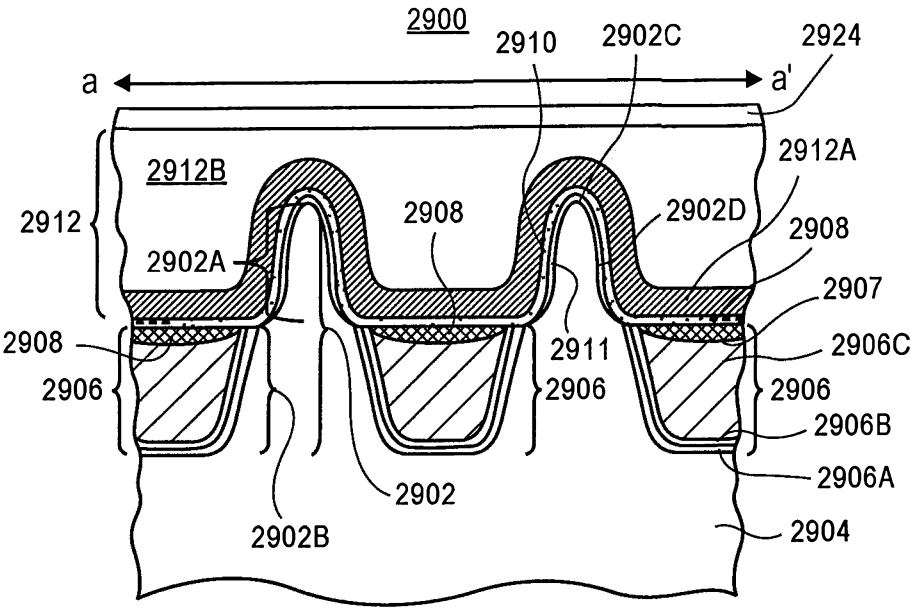
【圖 28D】



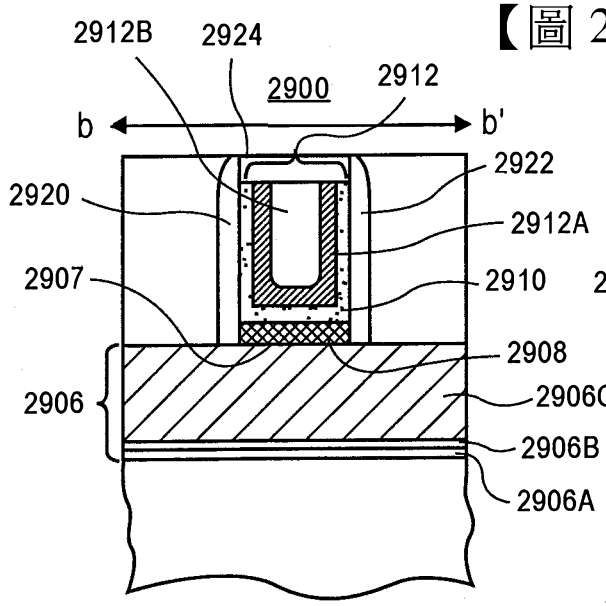
【圖 28E】



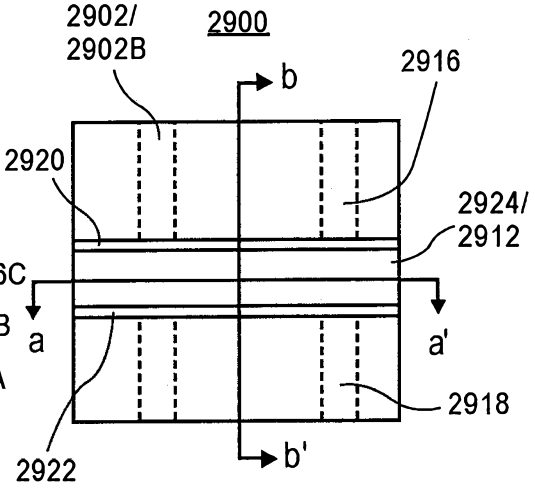
【圖 28F】



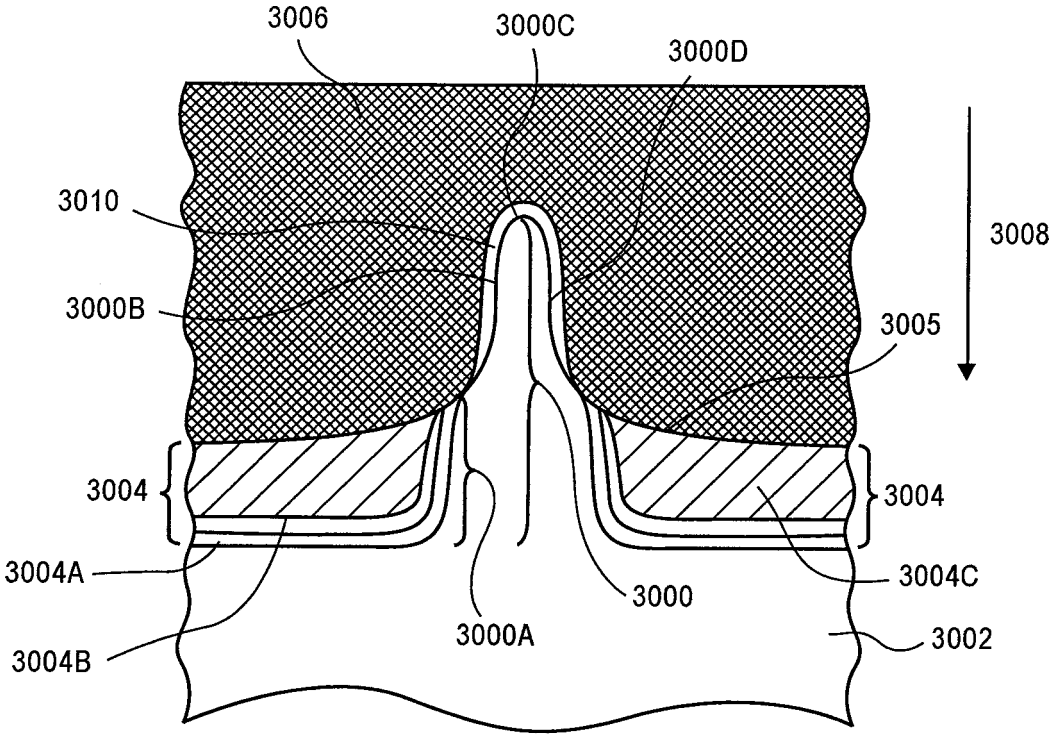
【圖 29A】



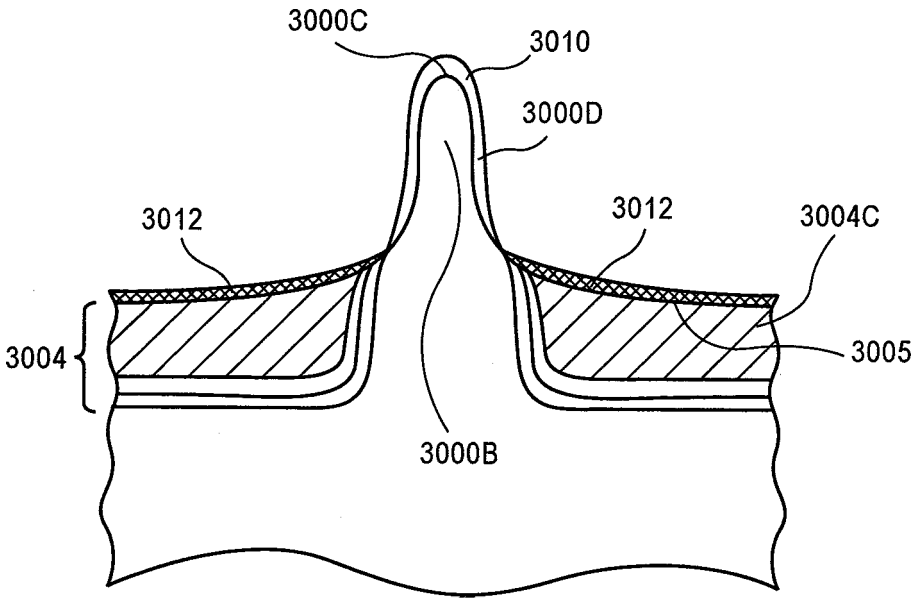
【圖 29B】



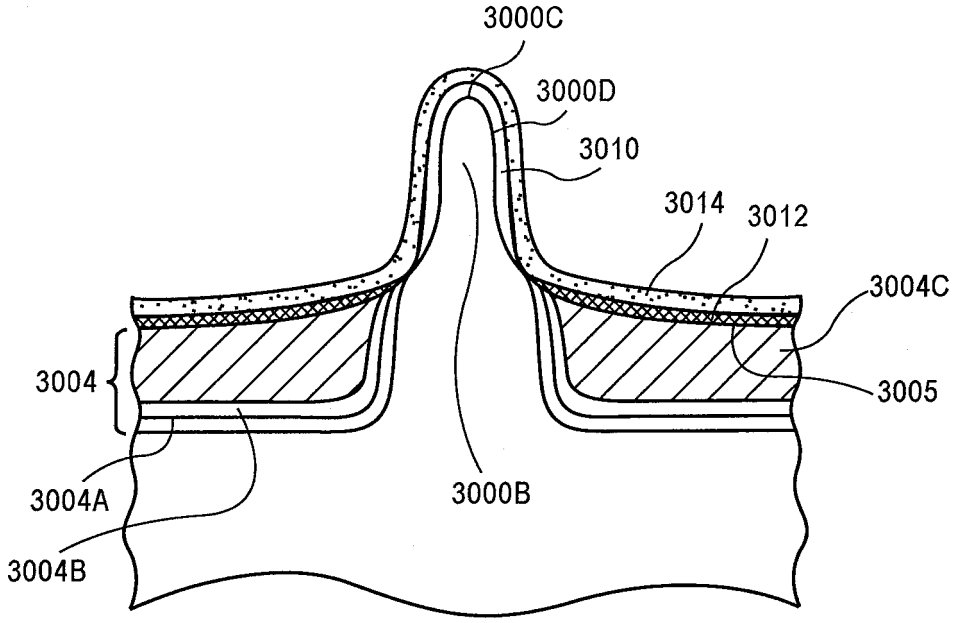
【圖 29C】


3006
3000C
3000D
3010
3008
3000B
3005
3004
3004
3004A
3004C
3000
3000A
3002
3004B

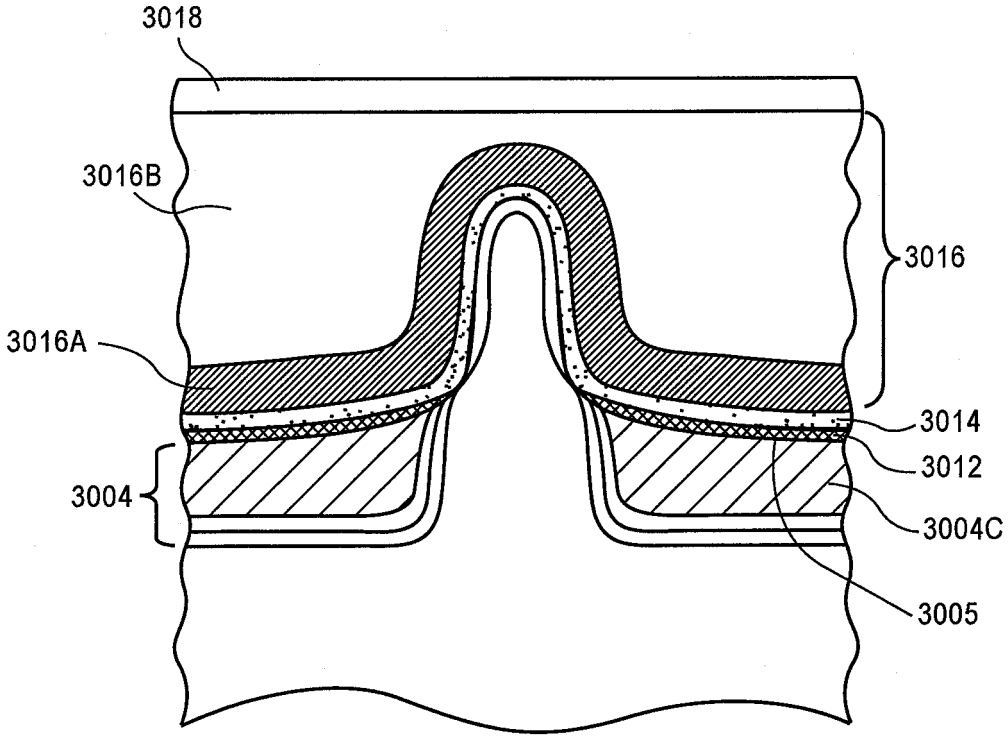
【圖 30A】


3000C
3010
3000D
3012
3012
3004C
3004
3005
3000B

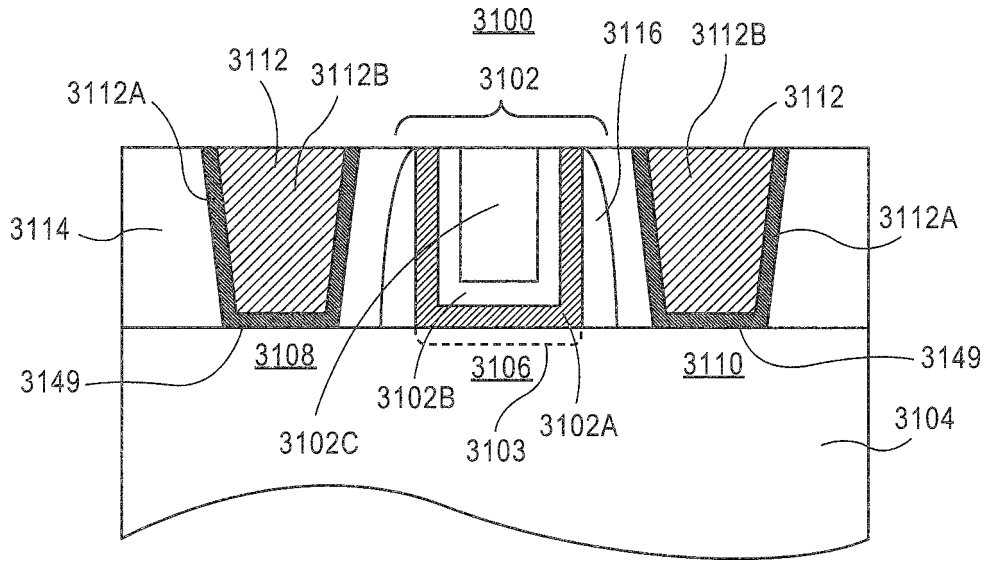
【圖 30B】


3000C
3000D
3010
3014
3012
3004C
3004
3005
3004A
3000B
3004B

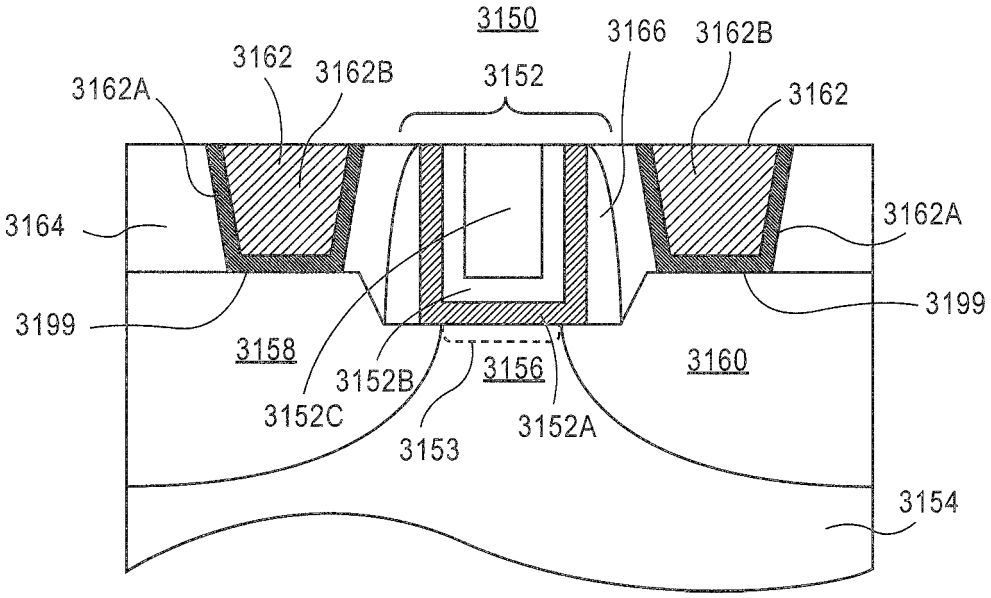
【圖 30C】


3018
3016B
3016
3016A
3014
3012
3004
3004C
3005

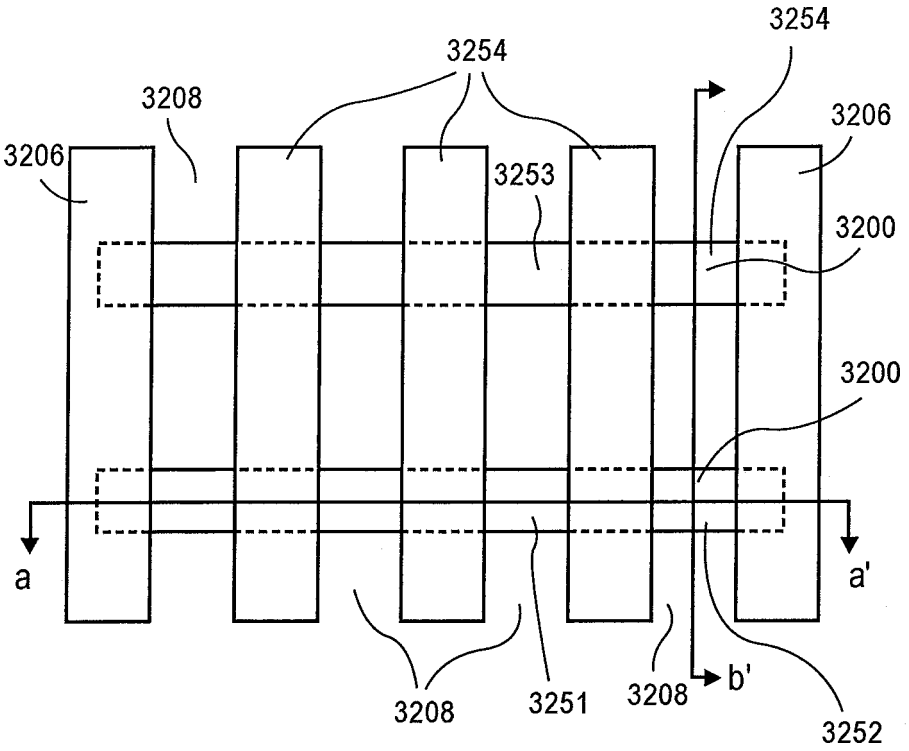
【圖 30D】


3100
3116
3112B
3112
3112A
3102
3112
3114
3112A
3108
3106
3110
3149
3149
3102B
3102A
3104
3102C
3103

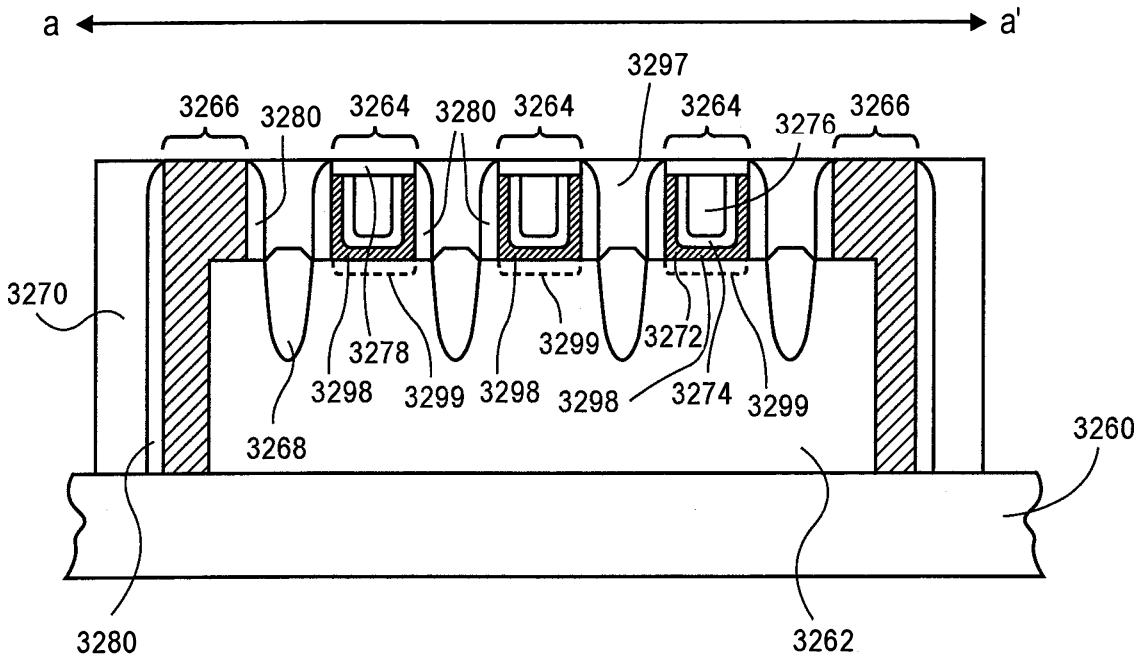
【圖 31A】


3150
3166
3162B
3162
3162A
3152
3162
3164
3162A
3158
3156
3160
3199
3199
3152B
3152C
3153
3152A
3154

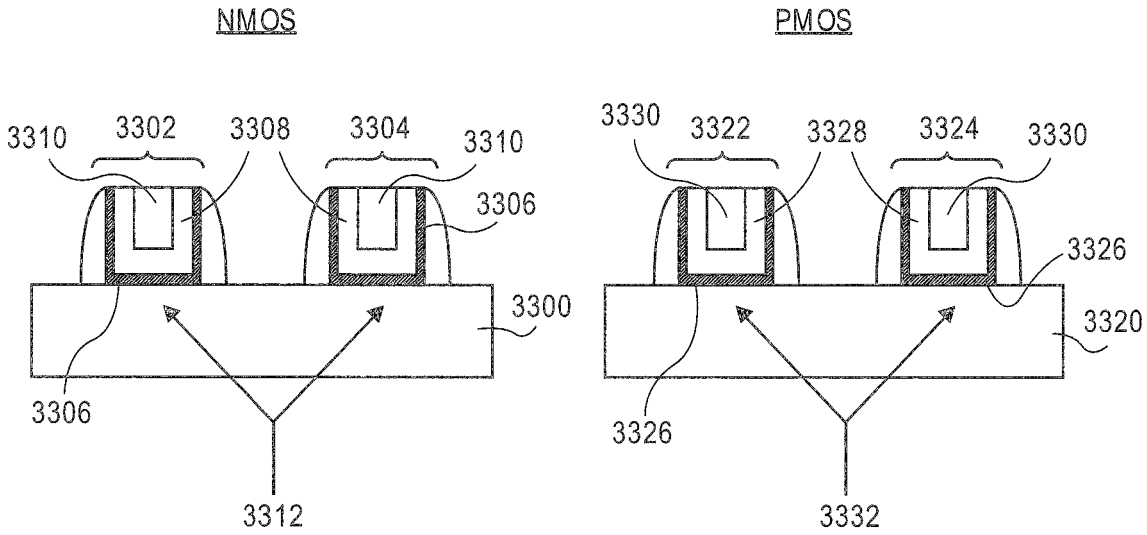
【圖 31B】


3254
3254
3208
3206
3206
3253
3200
3200
a
a'
3208
3251
3208
b'
3252

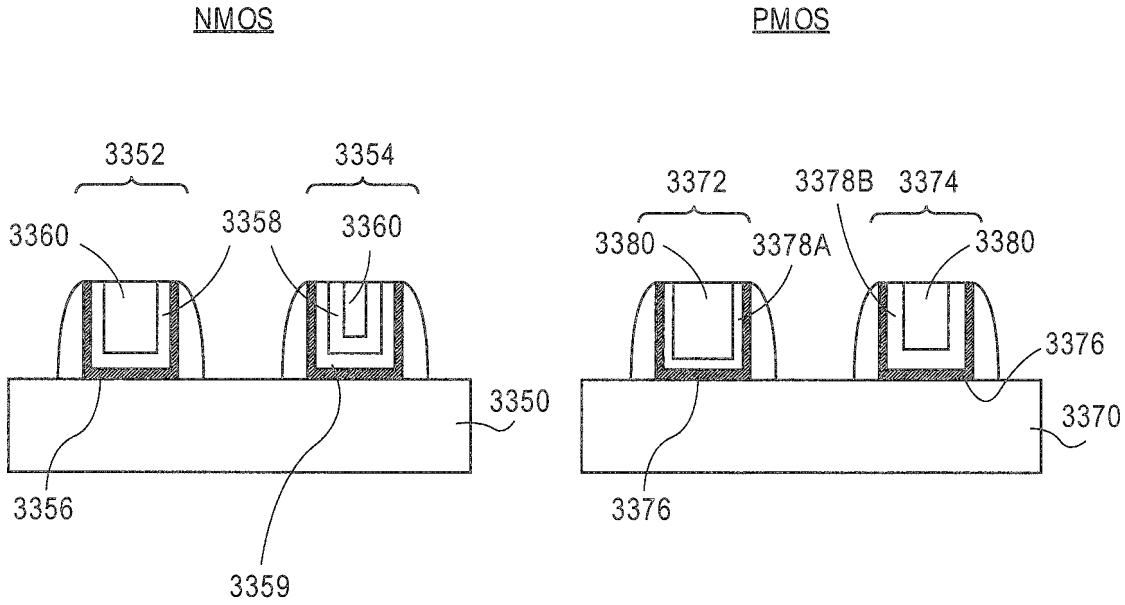
【圖 32A】


a
a'
3297
3266
3280
3264
3280
3264
3264
3276
3266
3270
3278
3299
3272
3298
3299
3298
3298
3274
3299
3268
3260
3280
3262

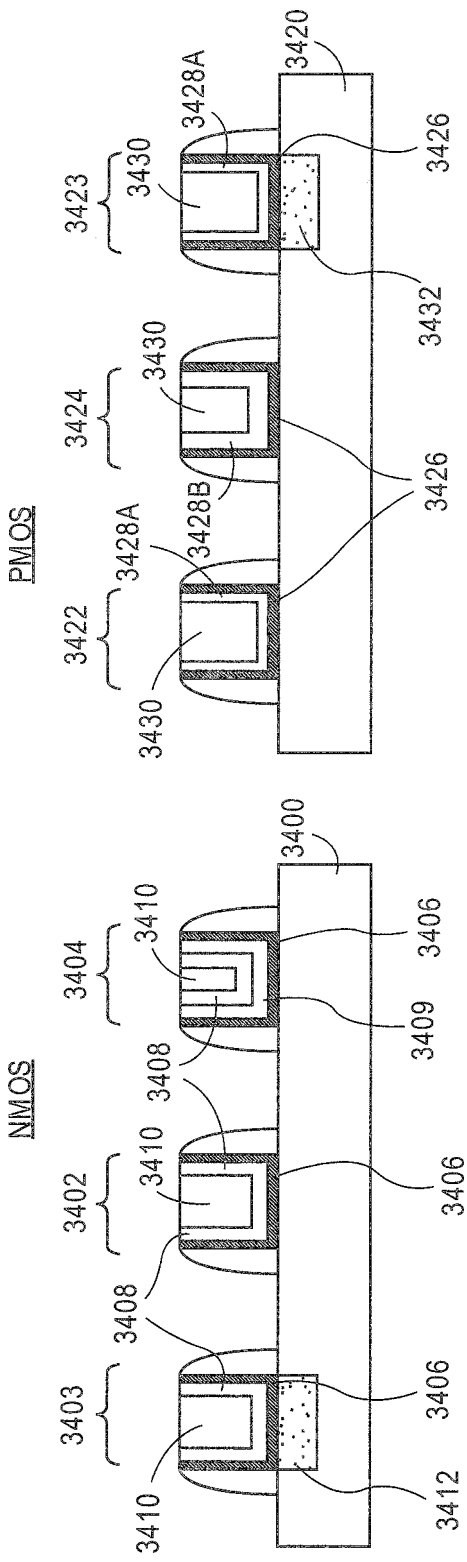
【圖 32B】


NMOS
PMOS
3310
3302
3308
3304
3310
3306
3300
3306
3312
3330
3322
3328
3324
3330
3326
3320
3326
3332

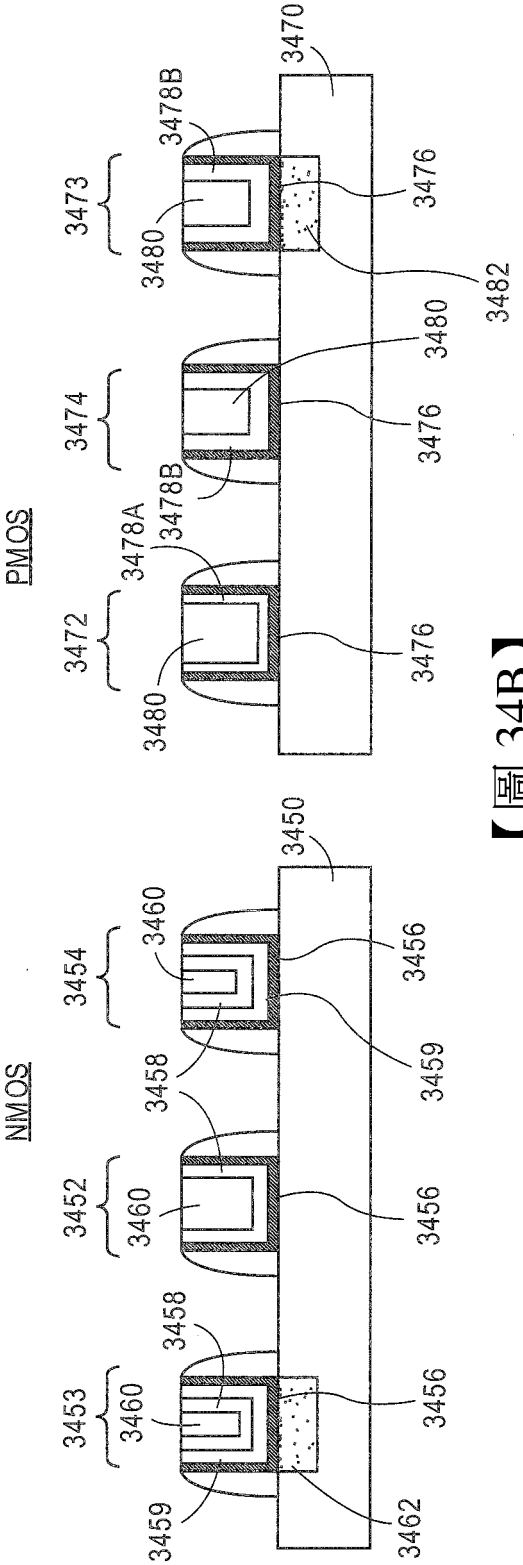
【圖 33A】


NMOS
PMOS
3352
3354
3360
3358
3360
3350
3356
3359
3372
3378B
3374
3380
3378A
3380
3376
3370
3376

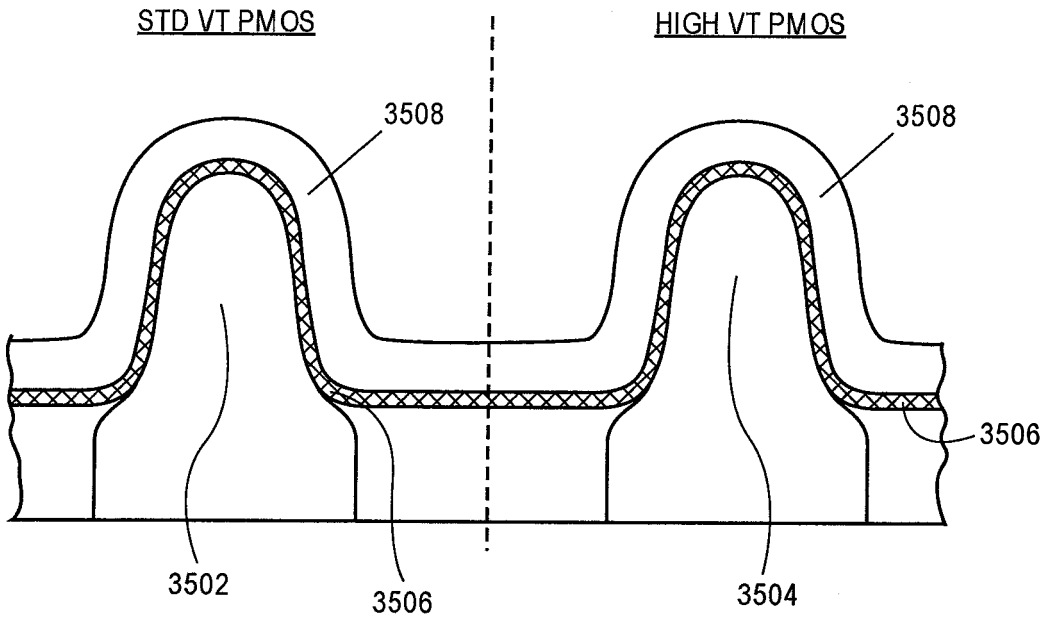
【圖 33B】


PMOS
NMOS
3400
3403
3402
3404
3406
3408
3409
3410
3412
3420
3422
3423
3424
3426
3428A
3428B
3430
3432

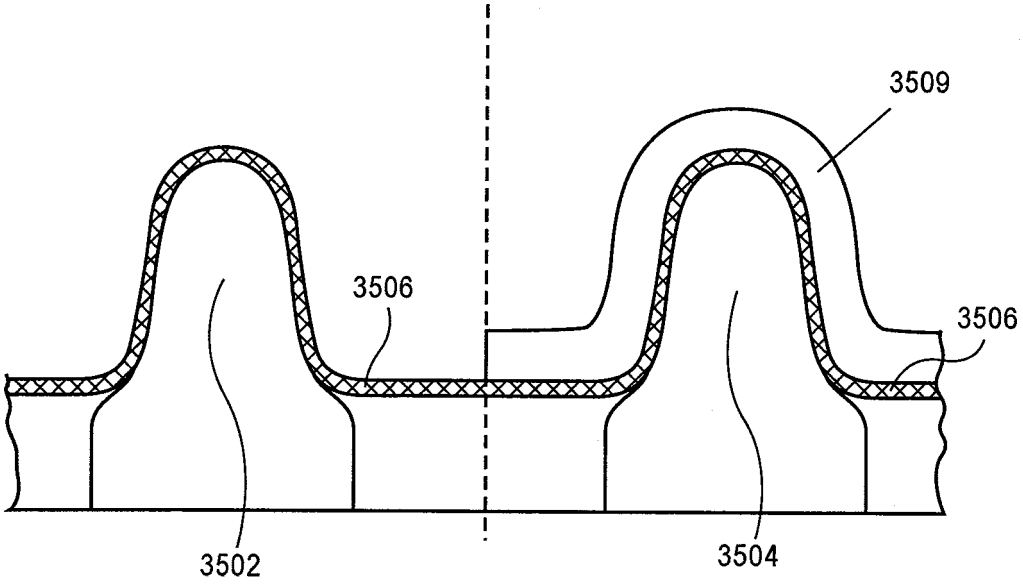
【圖 34A】


PMOS
NMOS
3450
3453
3452
3454
3456
3458
3459
3460
3462
3470
3472
3473
3474
3476
3478A
3478B
3480
3482

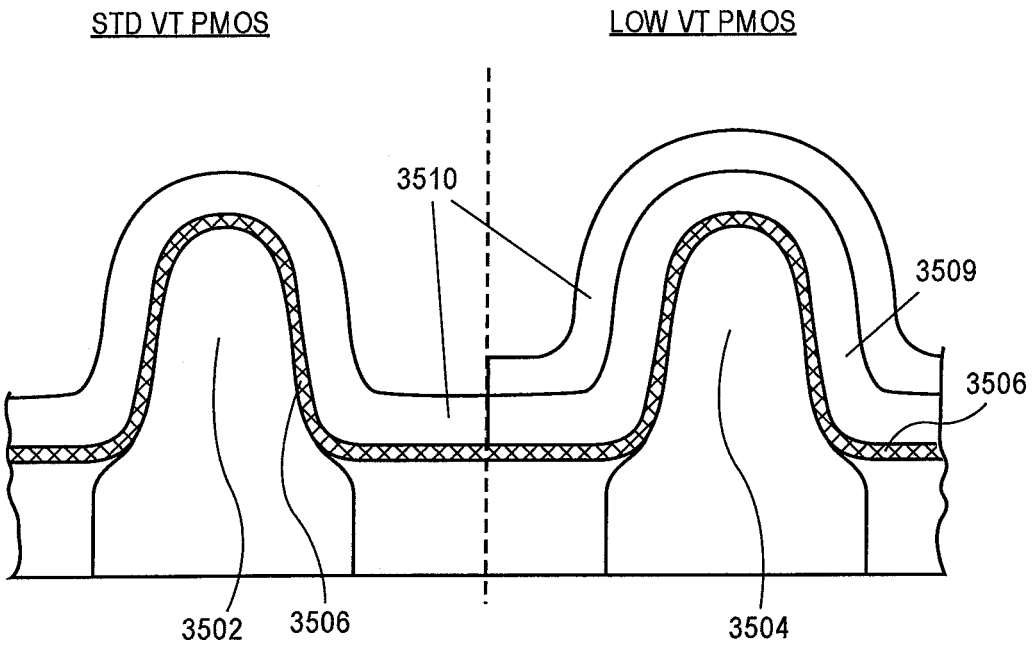
【圖 34B】


STD VT PMOS
HIGH VT PMOS
3508
3508
3506
3502
3506
3504

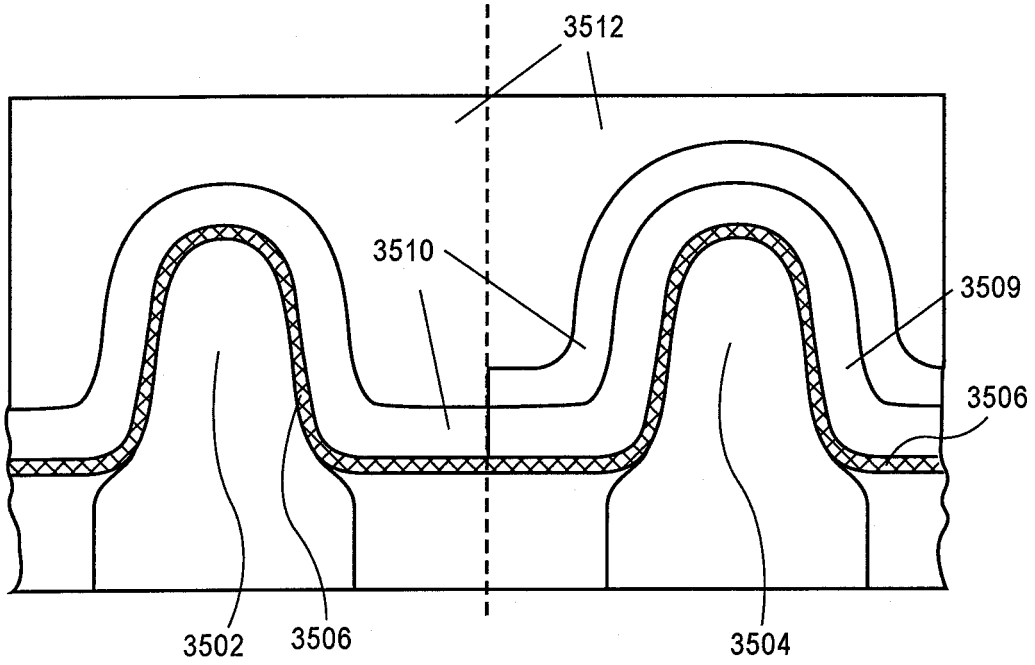
【圖 35A】


3509
3506
3506
3502
3504

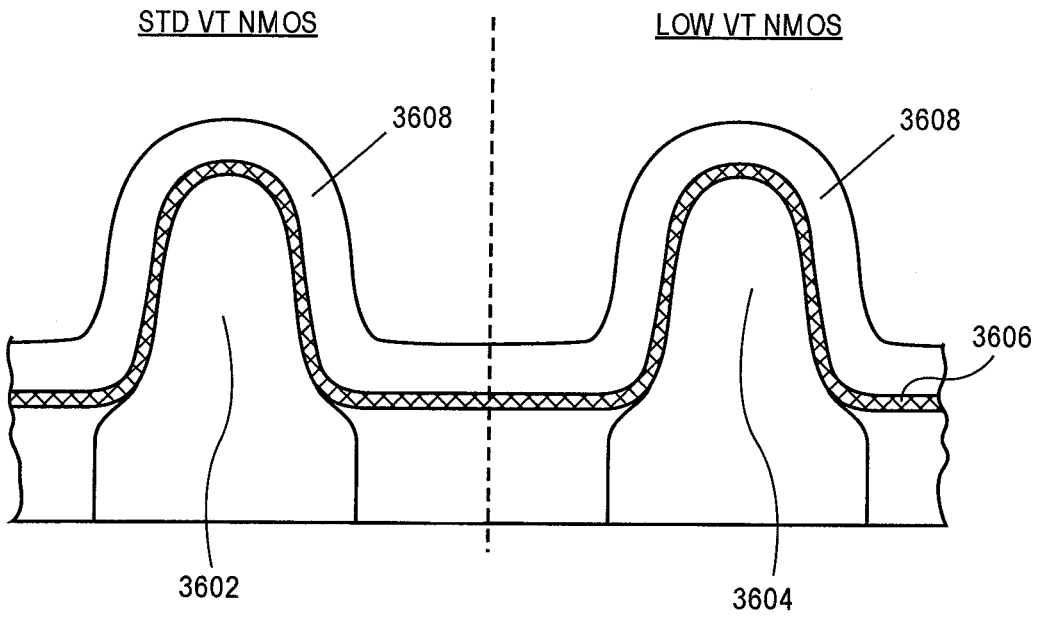
【圖 35B】


STD VT PMOS
LOW VT PMOS
3510
3509
3506
3502
3506
3504

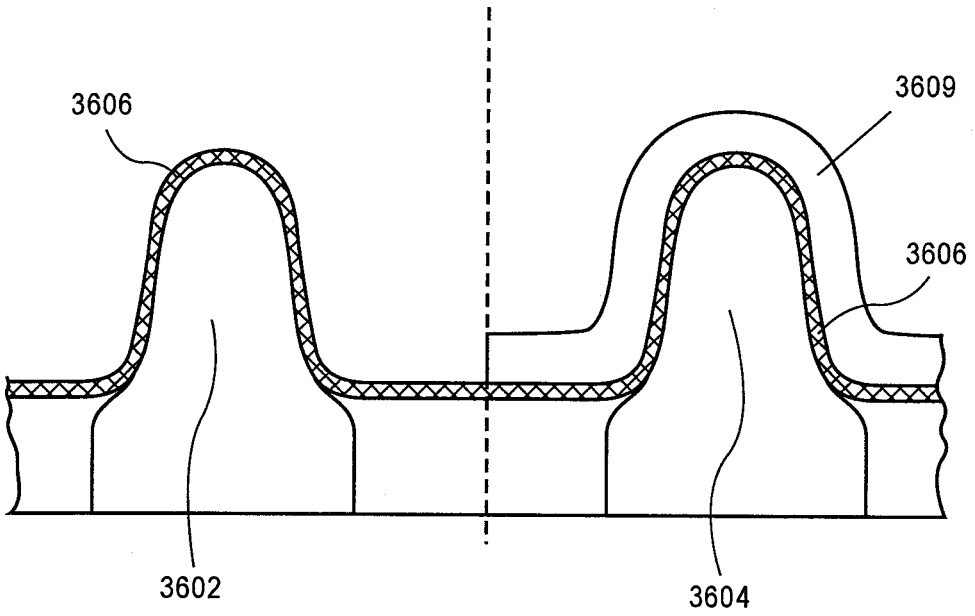
【圖 35C】


3512
3510
3509
3506
3502
3506
3504

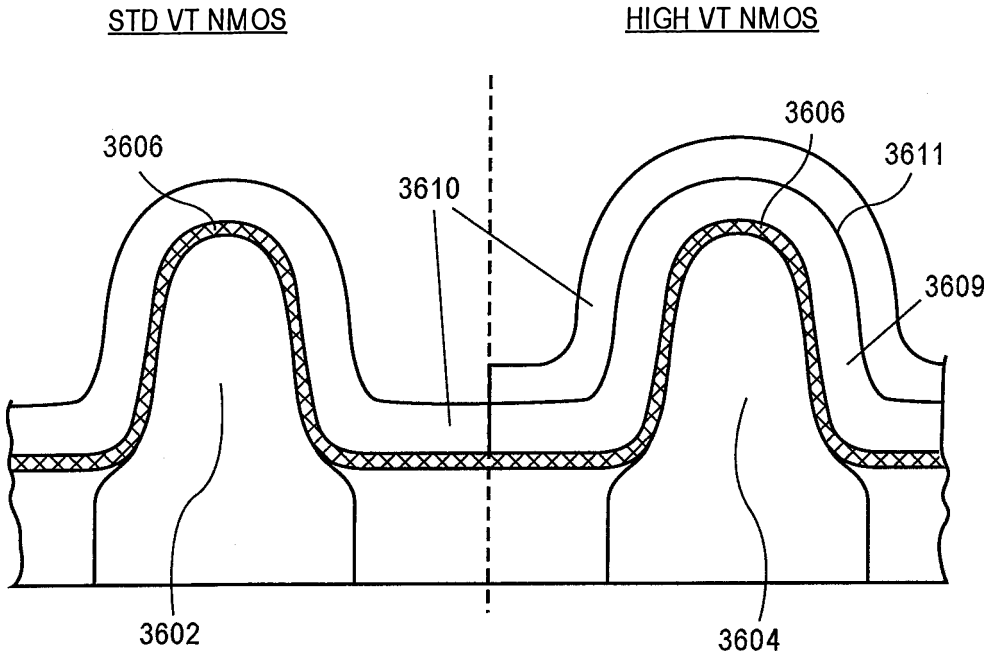
【圖 35D】


STD VT NMOS
LOW VT NMOS
3608
3608
3606
3602
3604

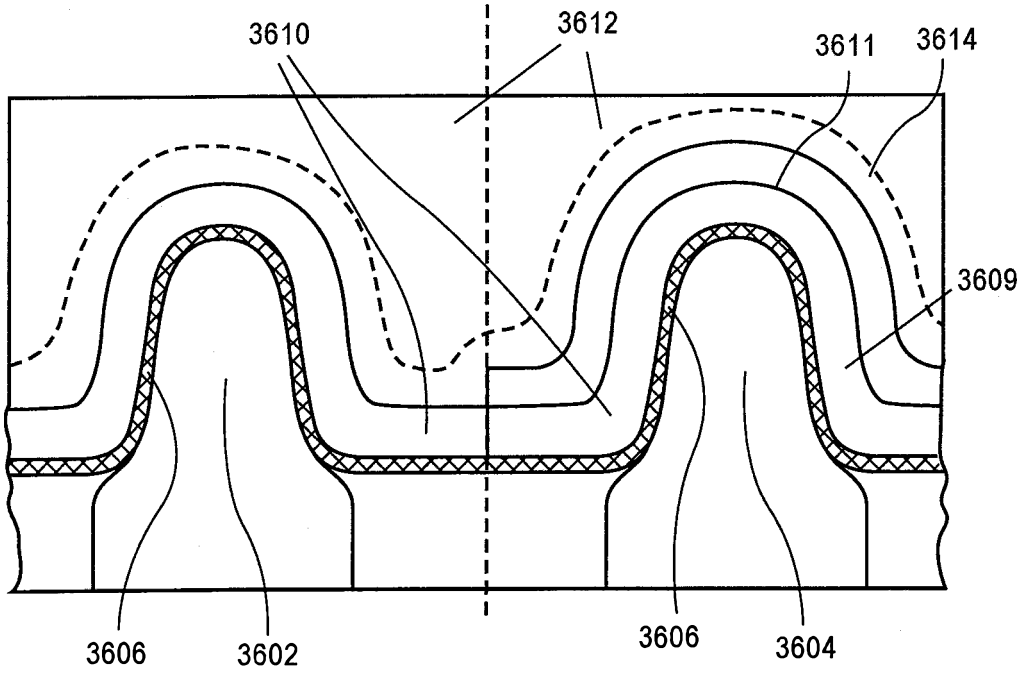
【圖 36A】


3606
3609
3606
3602
3604

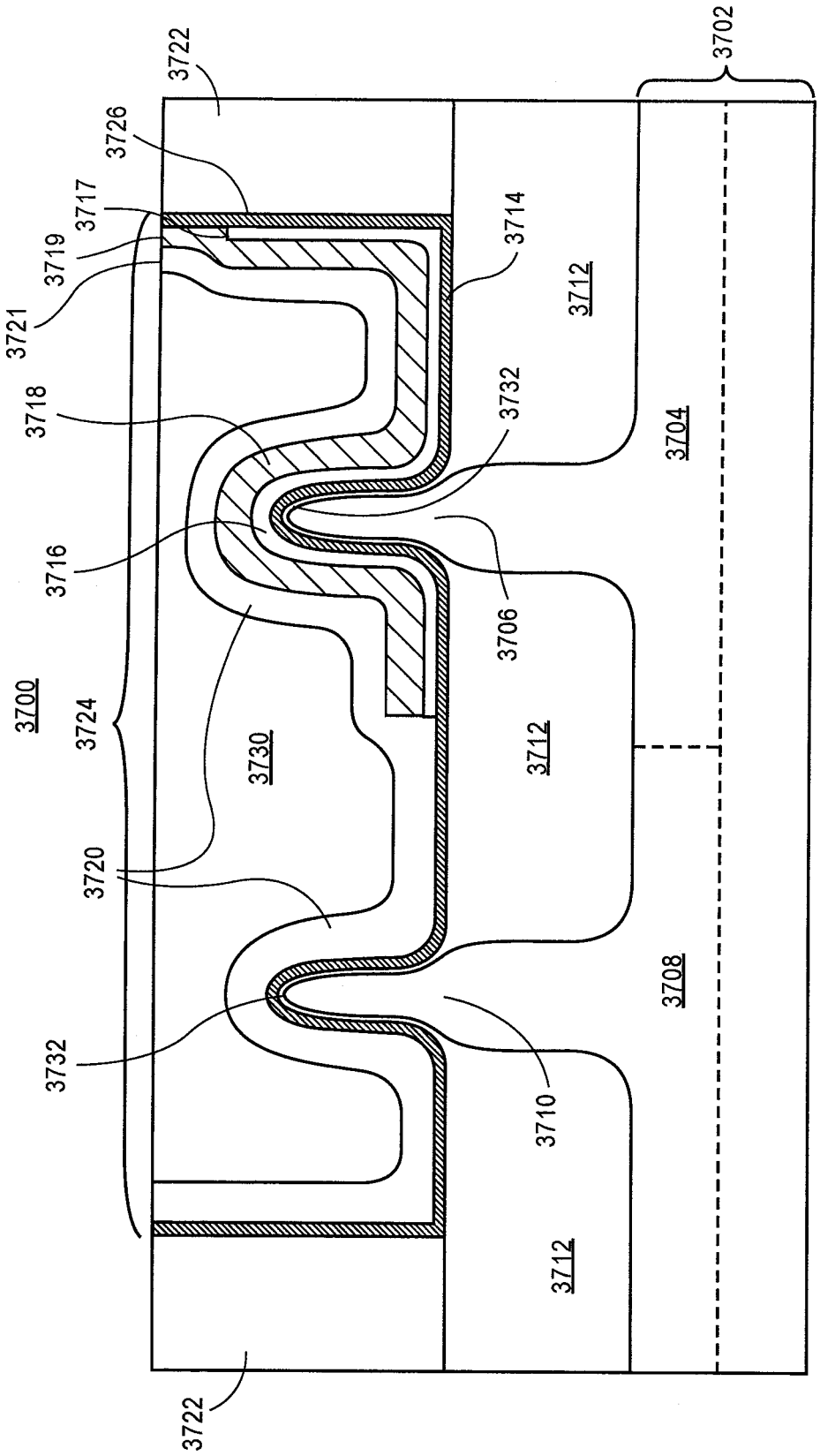
【圖 36B】


STD VT NMOS
HIGH VT NMOS
3606
3610
3606
3611
3609
3602
3604

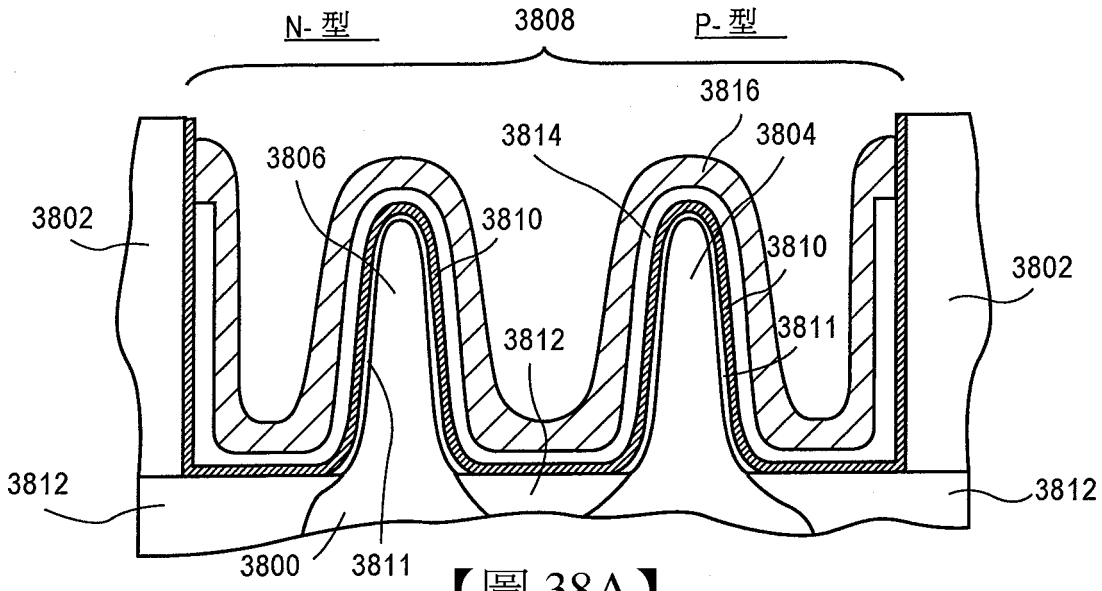
【圖 36C】


3610
3612
3611
3614
3609
3606
3602
3606
3604

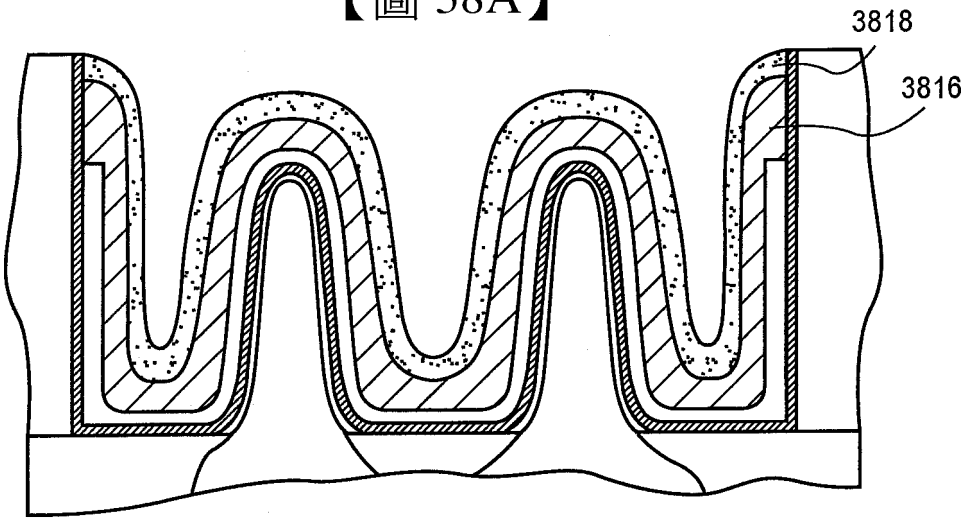
【圖 36D】


3722
3726
3717
3719
3721
3718
3716
3700
3724
3720
3732
3722
3730
3714
3712
3732
3706
3704
3712
3710
3708
3712
3702

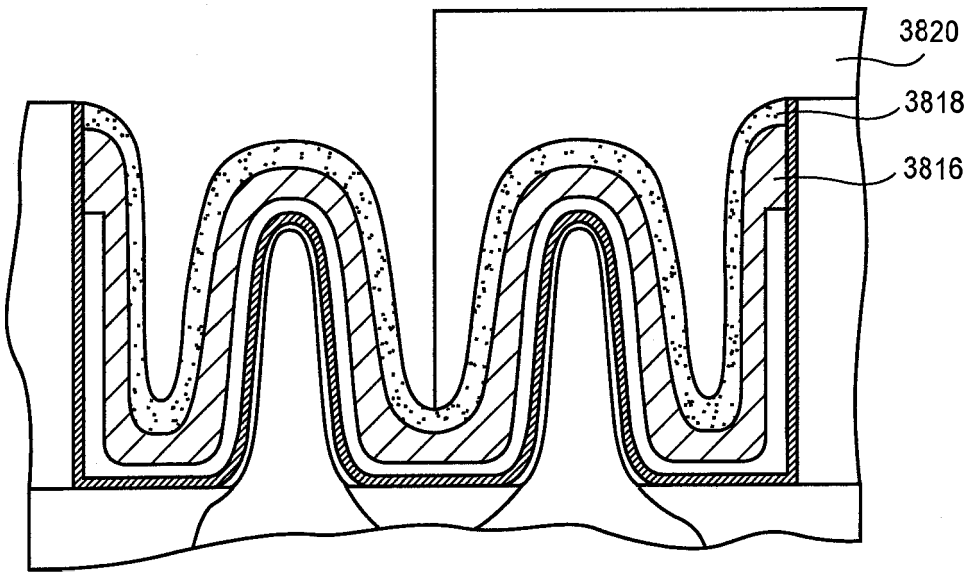
【圖 37】



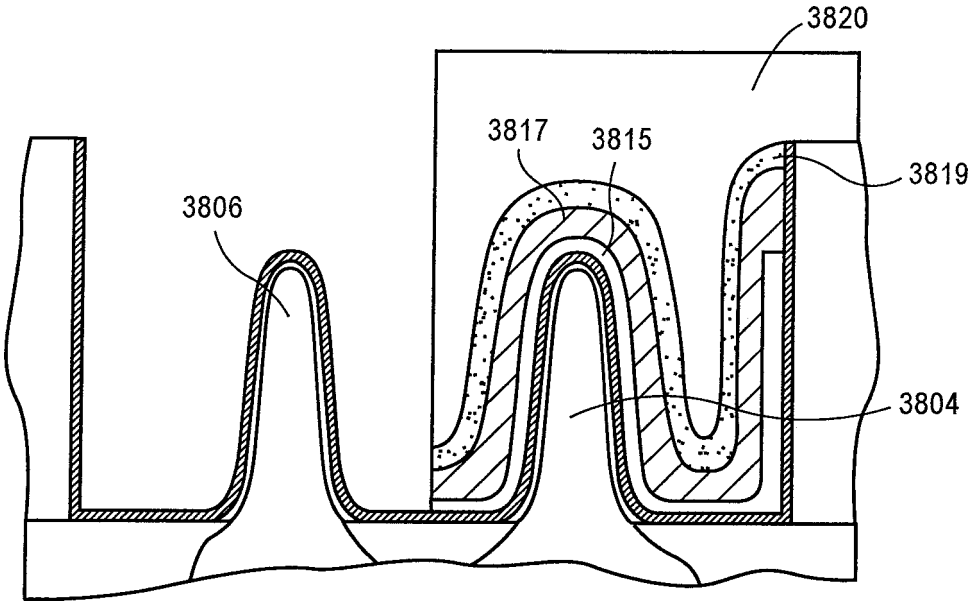
【圖 38A】



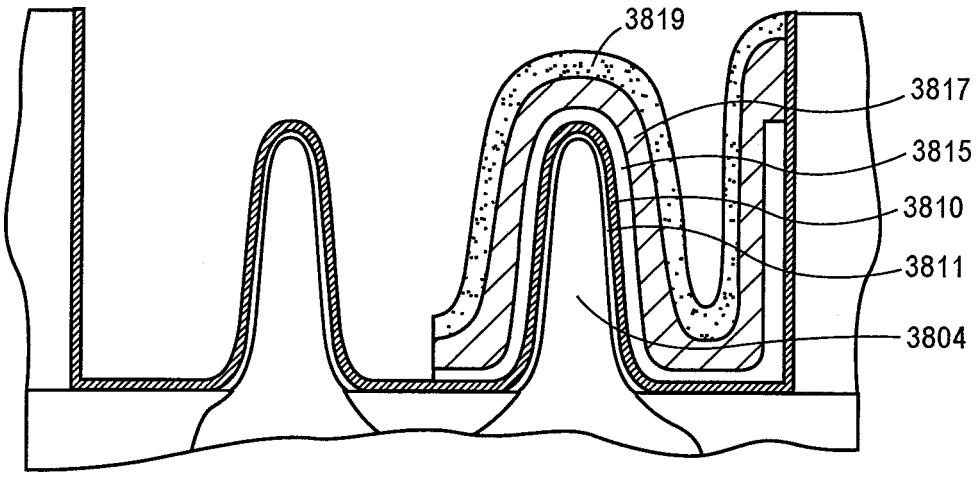
【圖 38B】



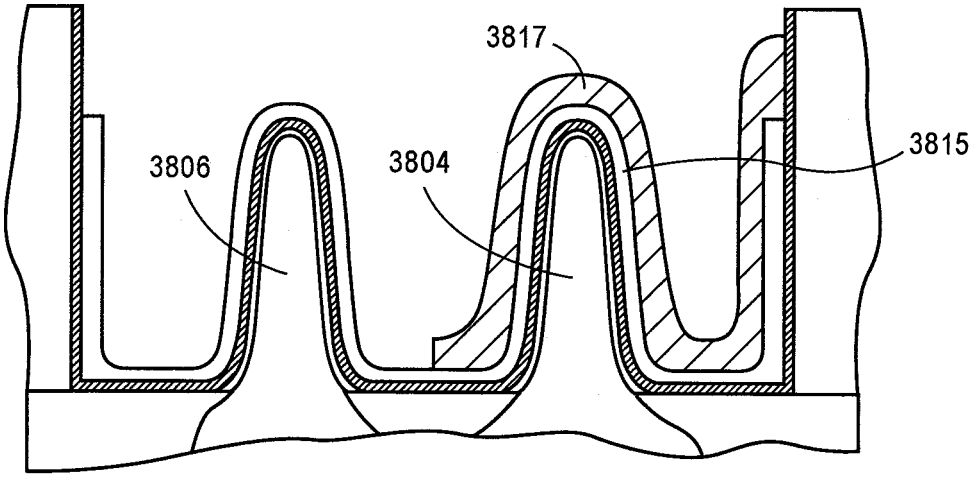
【圖 38C】



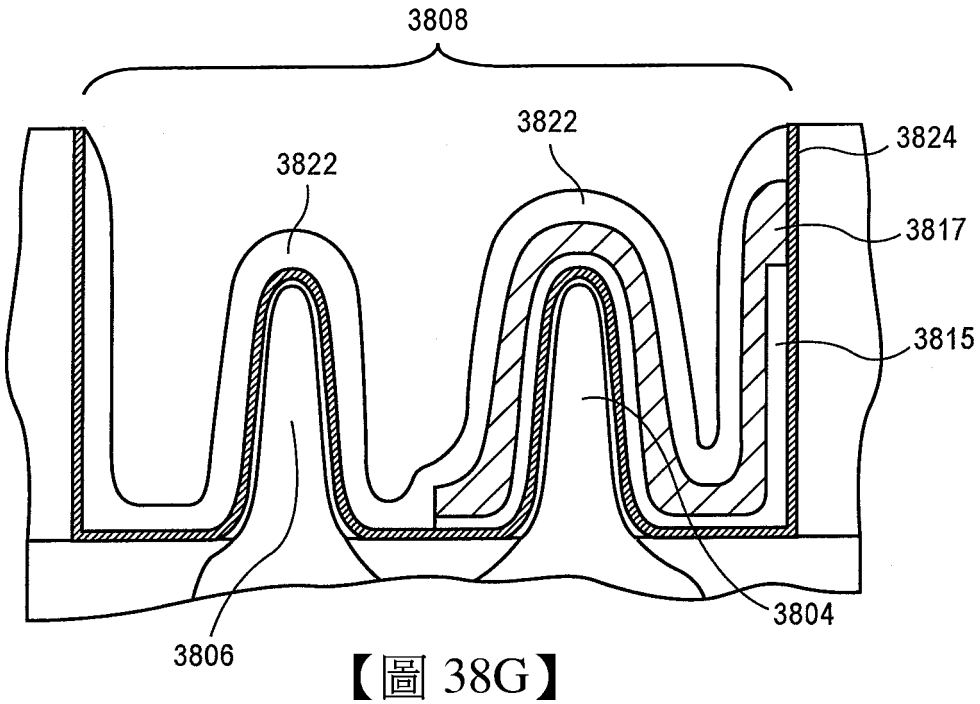
【圖 38D】



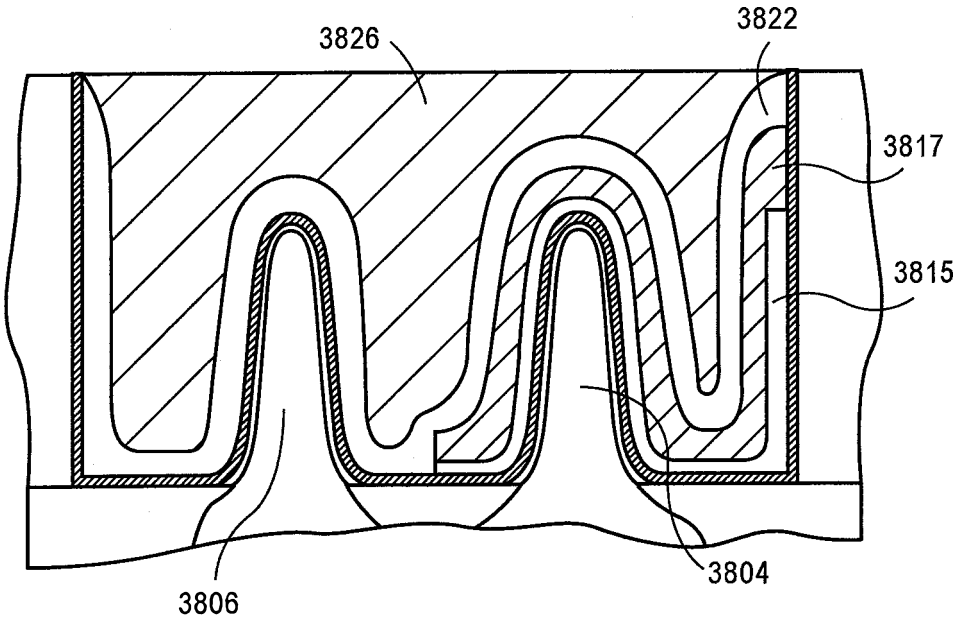
【圖 38E】



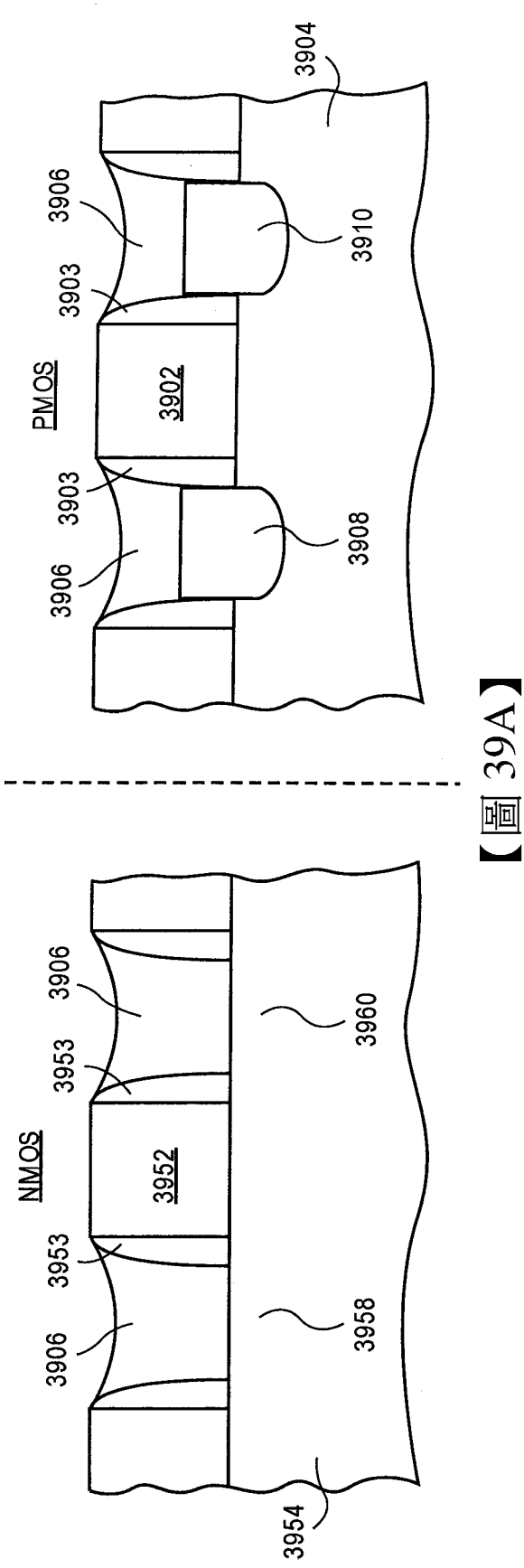
【圖 38F】


3808
3822
3822
3824
3817
3815
3804
3806

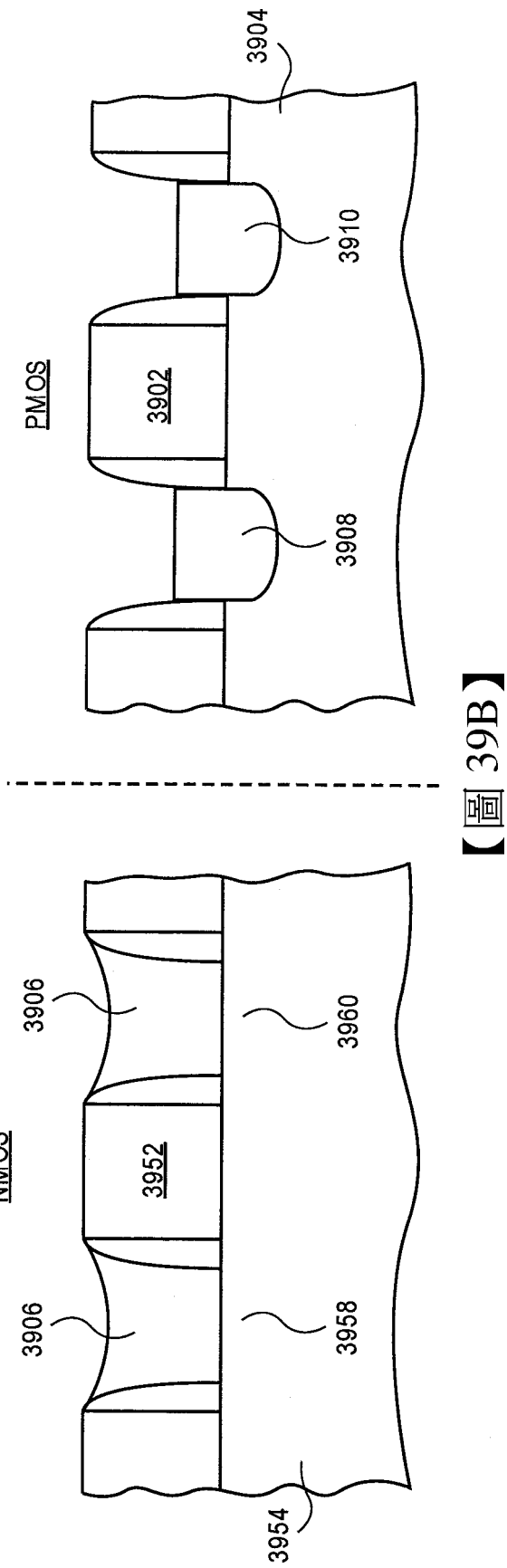
【圖 38G】


3826
3822
3817
3815
3804
3806

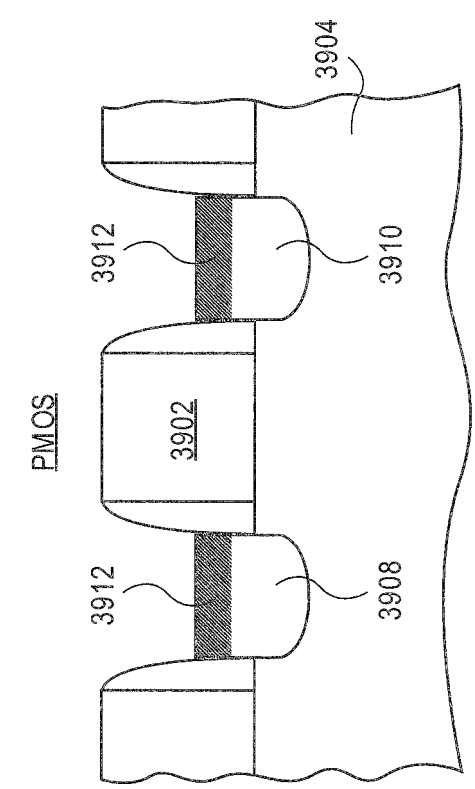
【圖 38H】


PMOS
3902
3903
3903
3904
3906
3906
3908
3910
NMOS
3906
3906
3952
3953
3953
3954
3958
3960

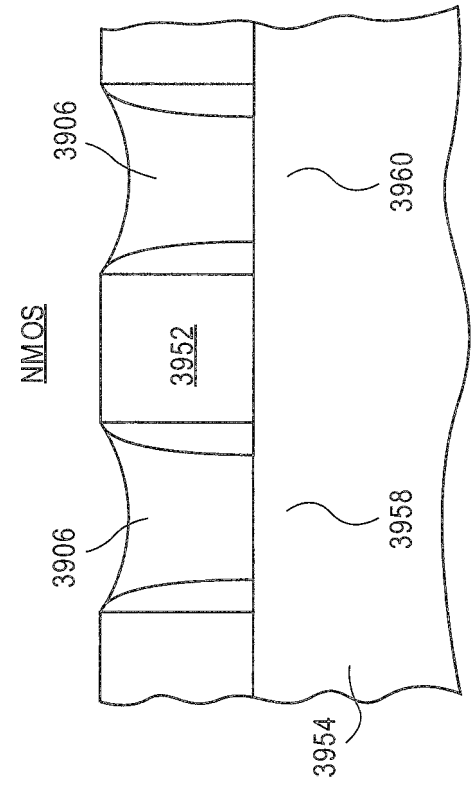
【圖 39A】

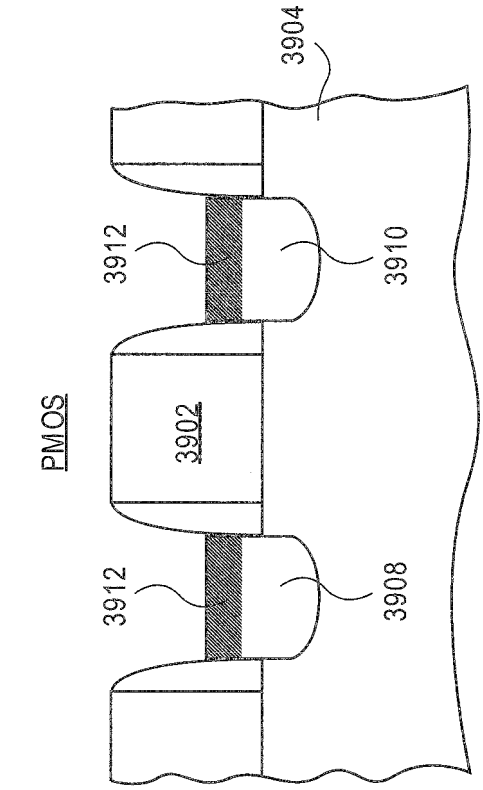

PMOS
3902
3904
3908
3910
NMOS
3906
3906
3952
3954
3958
3960

【圖 39B】

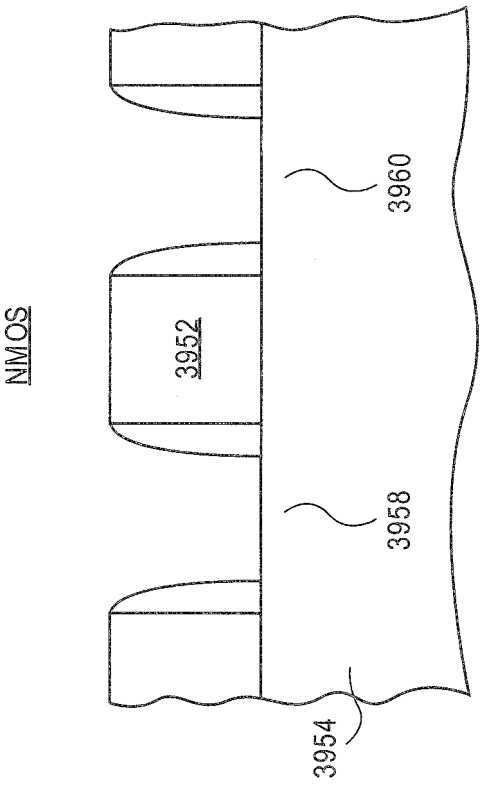

PMOS
3902
3912
3910
3912
3908
3904

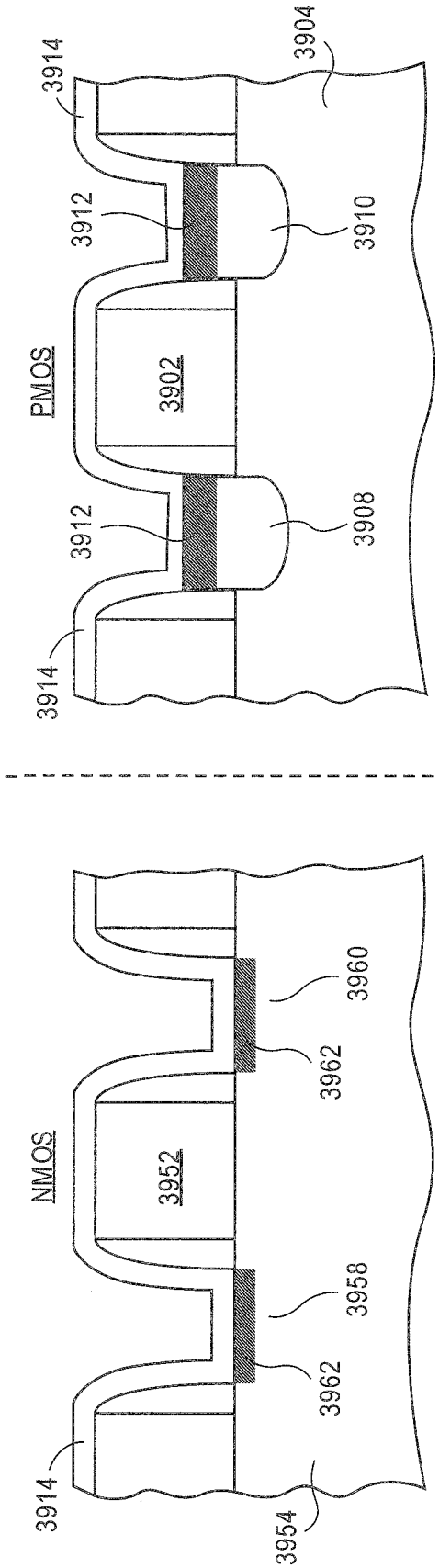
【圖 39C】


NMOS
3952
3906
3960
3906
3958
3954

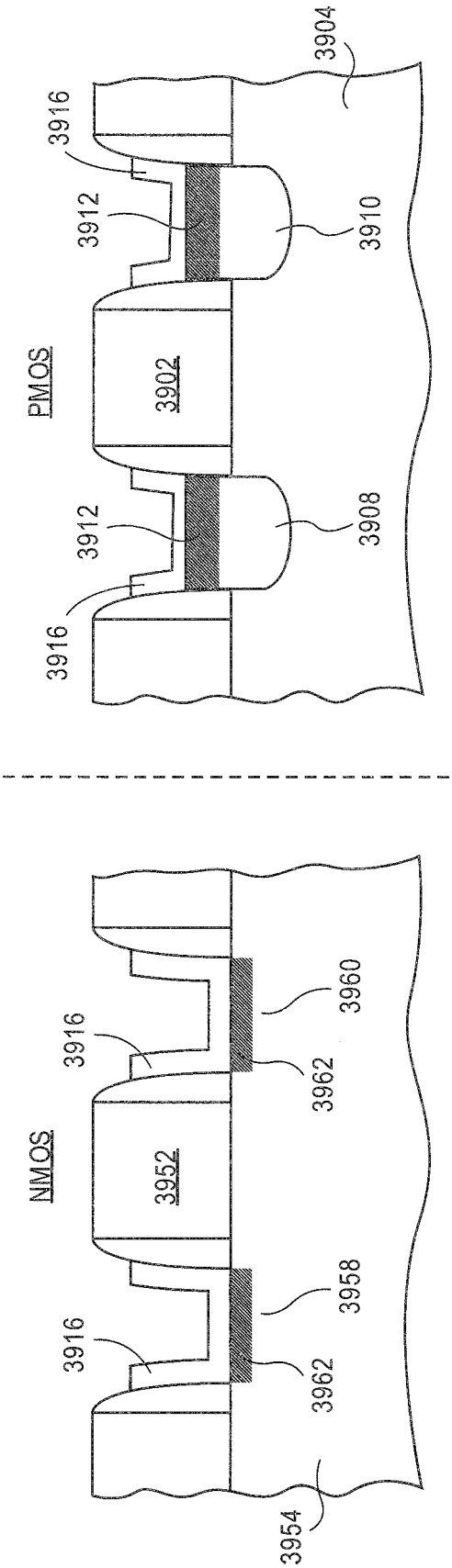

PMOS
3902
3912
3910
3912
3908
3904

【圖 39D】

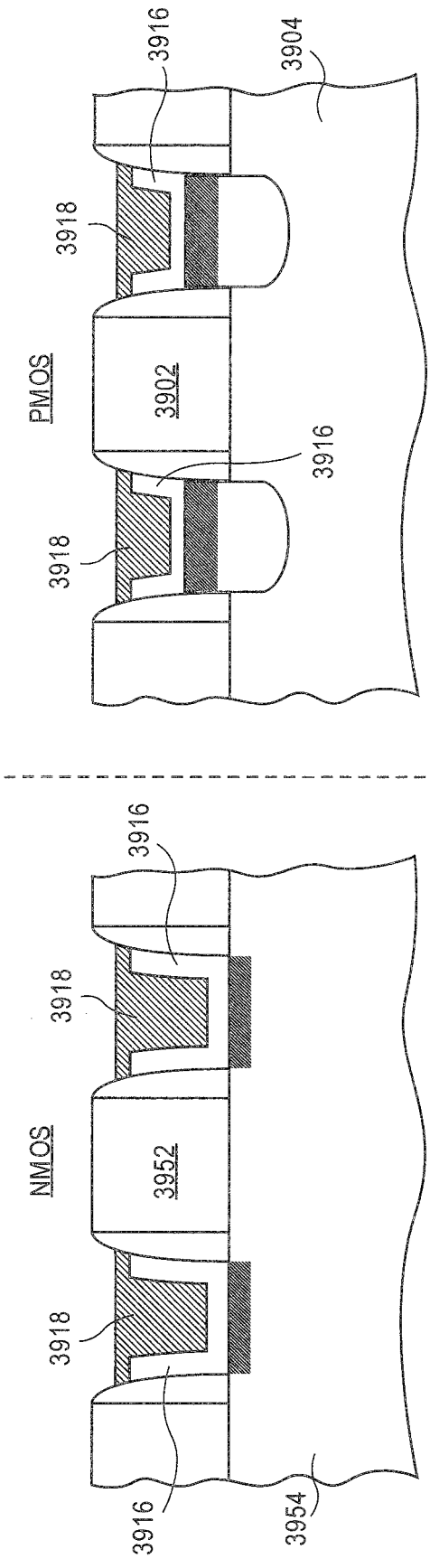

NMOS
3952
3960
3958
3954


3914
3912
3910
3904
PMOS
3902
3912
3908
3914
NMOS
3952
3960
3962
3958
3962
3914
3954

【圖 39E】

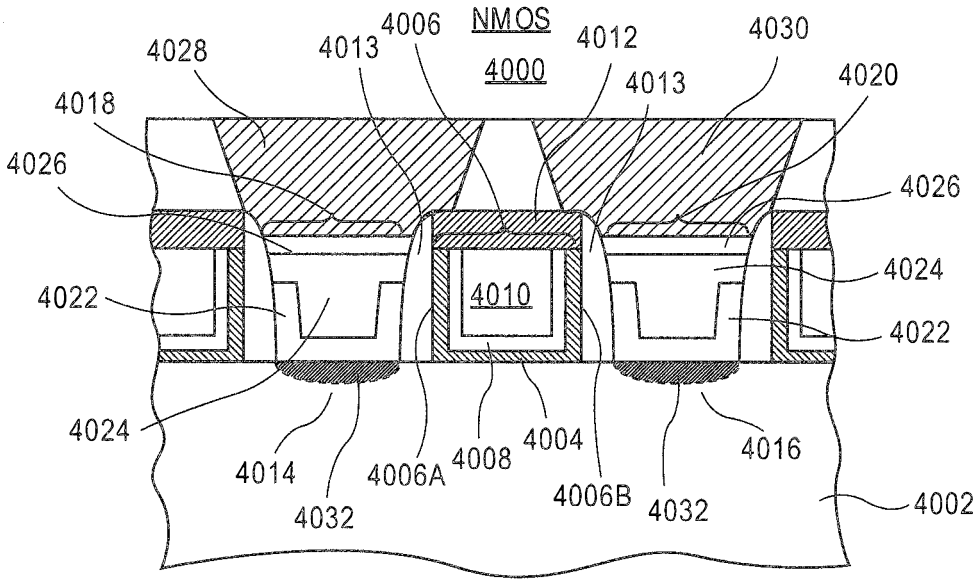

3916
3912
3910
3904
PMOS
3902
3912
3908
3916
NMOS
3952
3916
3960
3962
3916
3958
3962
3954

【圖 39F】

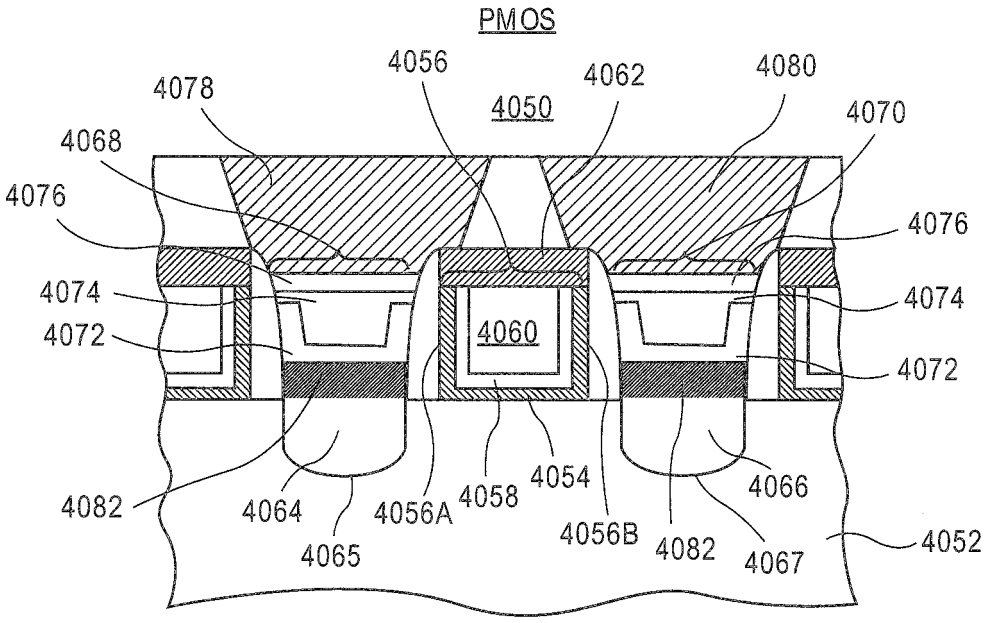

PMOS
NMOS
3900
3902
3904
3916
3918
3920
3930
3932
3952
3954
3958
3960
3962
3970
3972
3902A
3902B
3904A
3908
3910
3912
3914
3916
3918
3920
3952A
3452B
3954A
3962

【圖 39G】

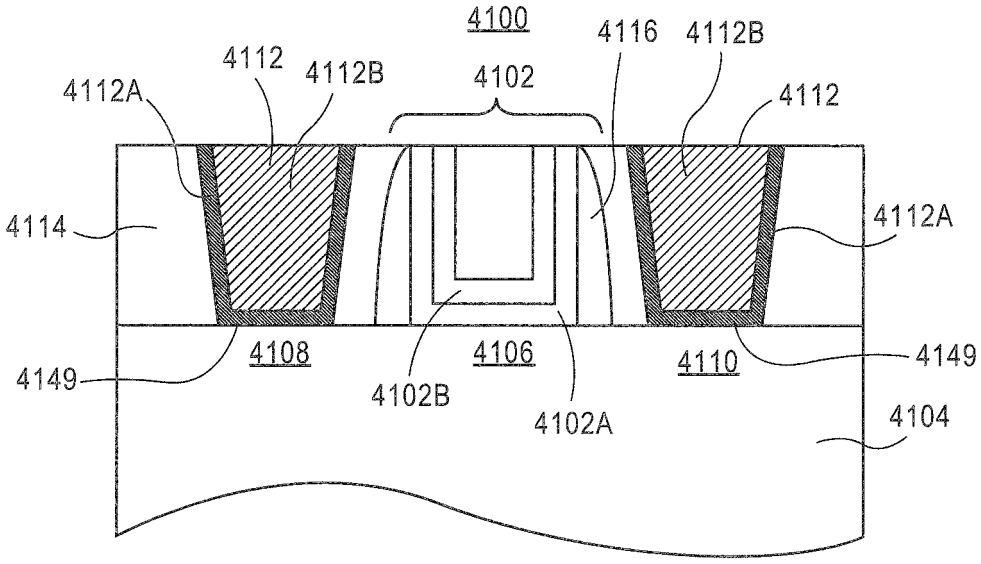
【圖 39H】


NMOS
4000
4028
4013
4006
4012
4030
4020
4018
4013
4026
4026
4024
4022
4010
4022
4024
4014
4032
4006A
4008
4004
4006B
4032
4016
4002

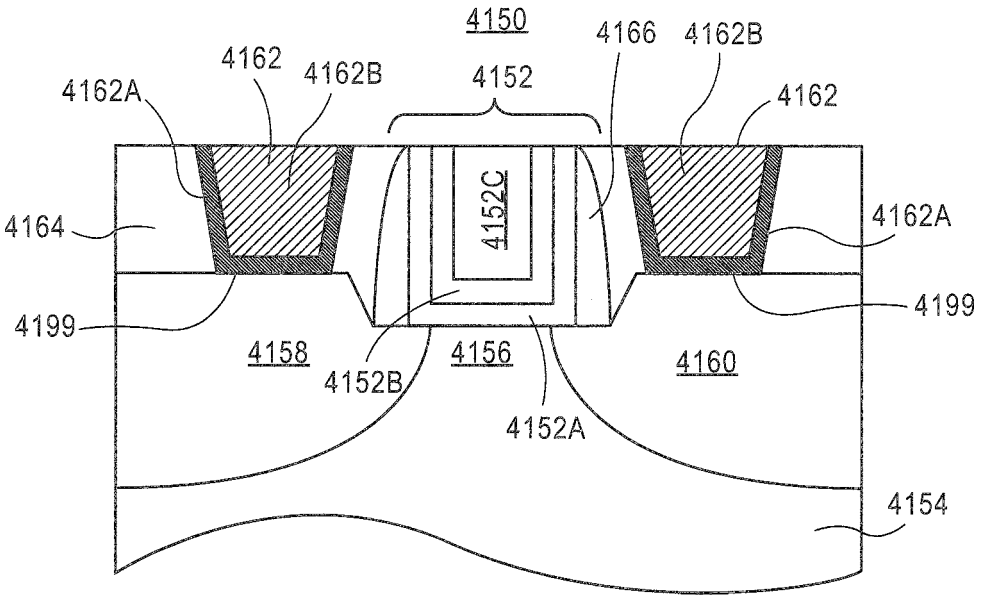
【圖 40A】


PMOS
4078
4056
4062
4080
4050
4070
4068
4076
4076
4074
4074
4072
4060
4072
4082
4064
4065
4056A
4058
4054
4056B
4082
4066
4067
4052

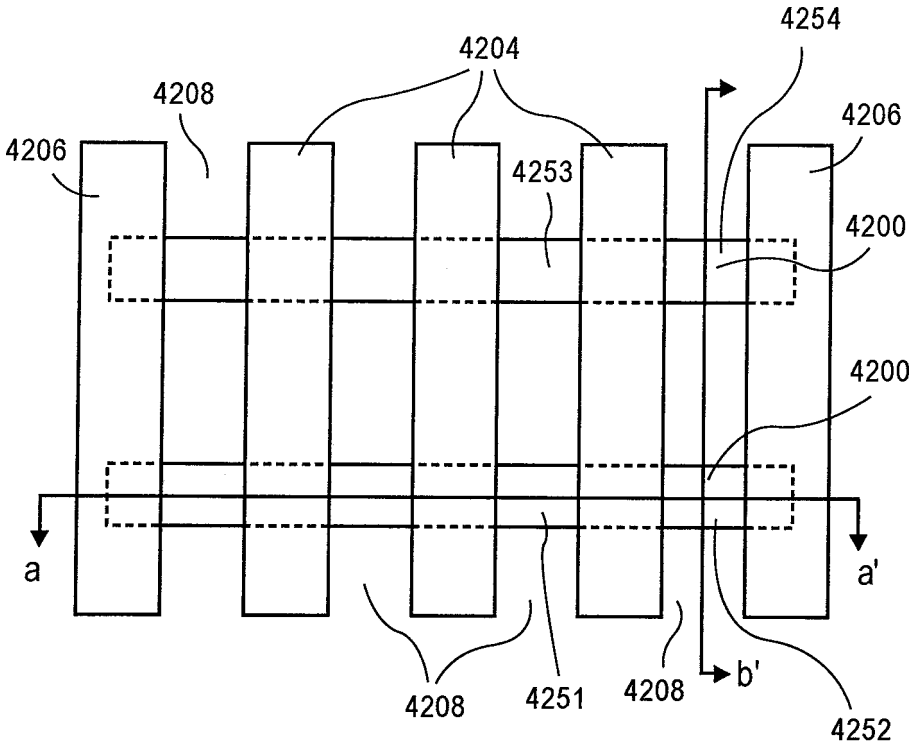
【圖 40B】


4100
4116
4112B
4112
4112A
4102
4112
4112A
4114
4108
4106
4110
4149
4149
4102B
4102A
4104

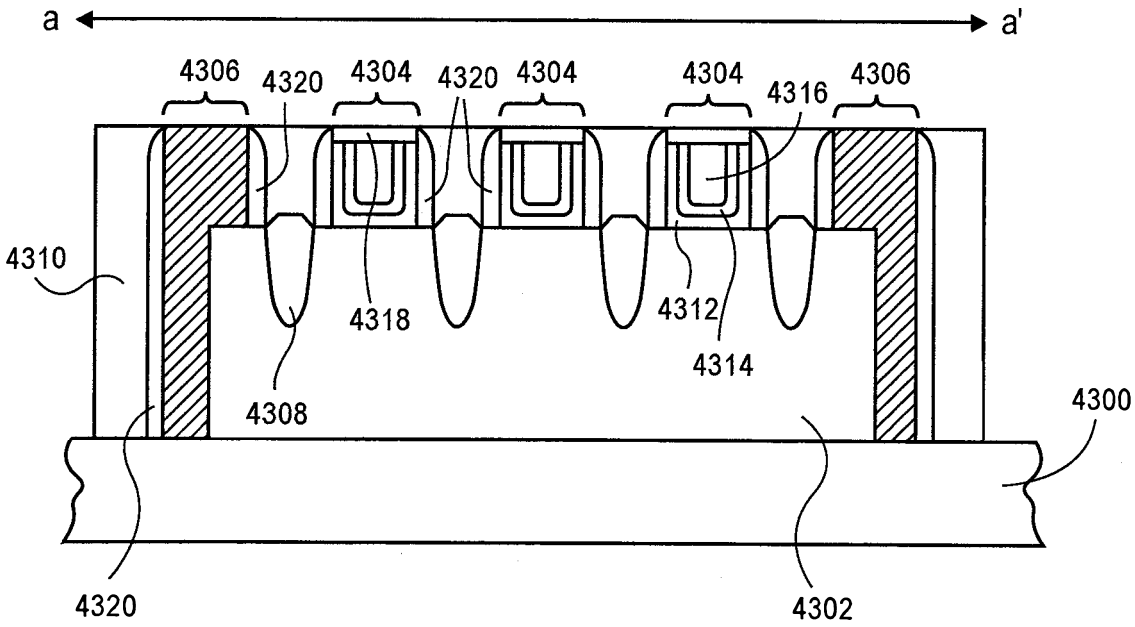
【圖 41A】


4150
4166
4162B
4162
4162A
4152
4162
4162A
4164
4152C
4199
4199
4158
4156
4160
4152B
4152A
4154

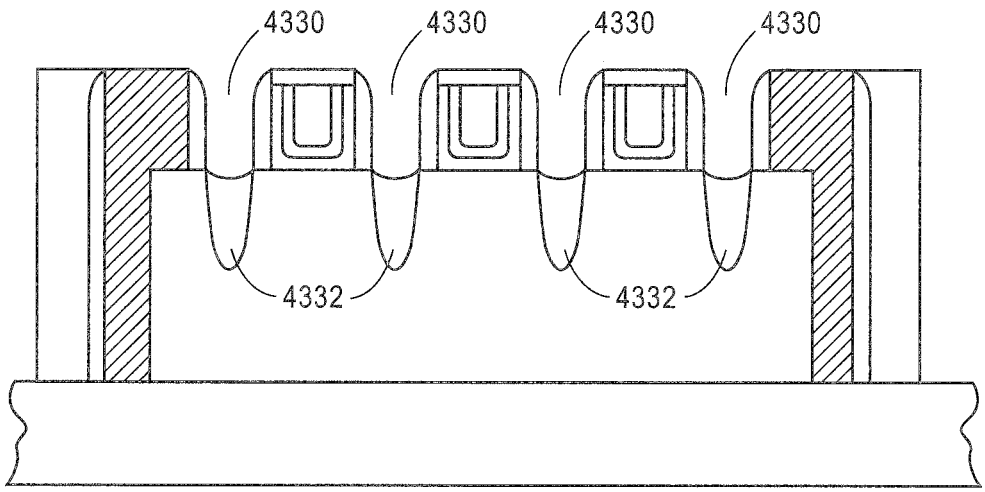
【圖 41B】


4254
4204
4208
4206
4206
4253
4200
4200
a
a'
4208
4251
4208
b'
4252

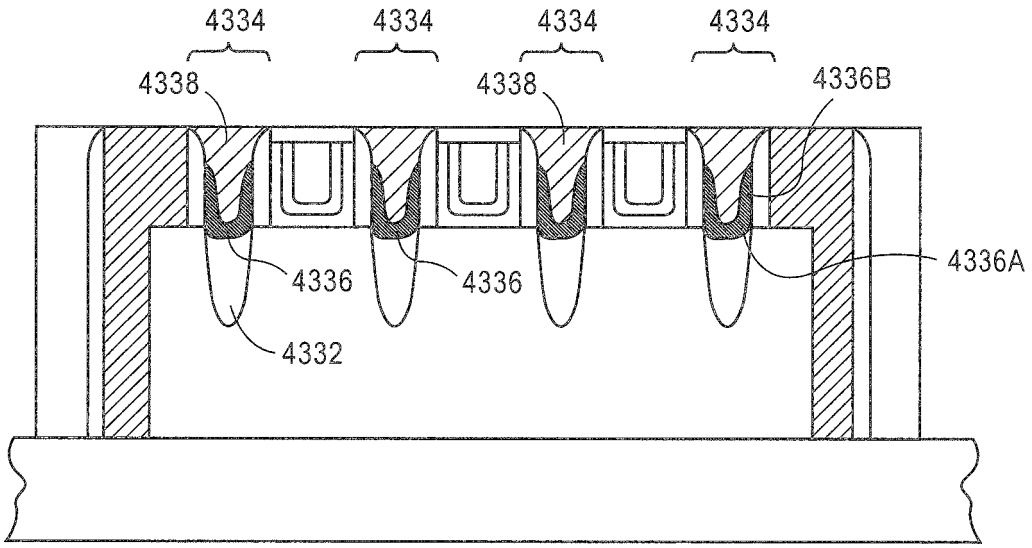
【圖 42】


a
a'
4306
4320
4304
4320
4304
4304
4316
4306
4310
4318
4312
4314
4308
4300
4320
4302

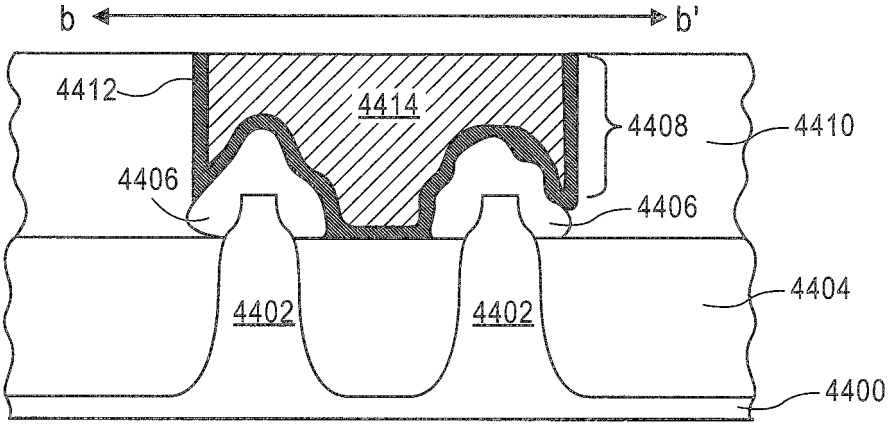
【圖 43A】



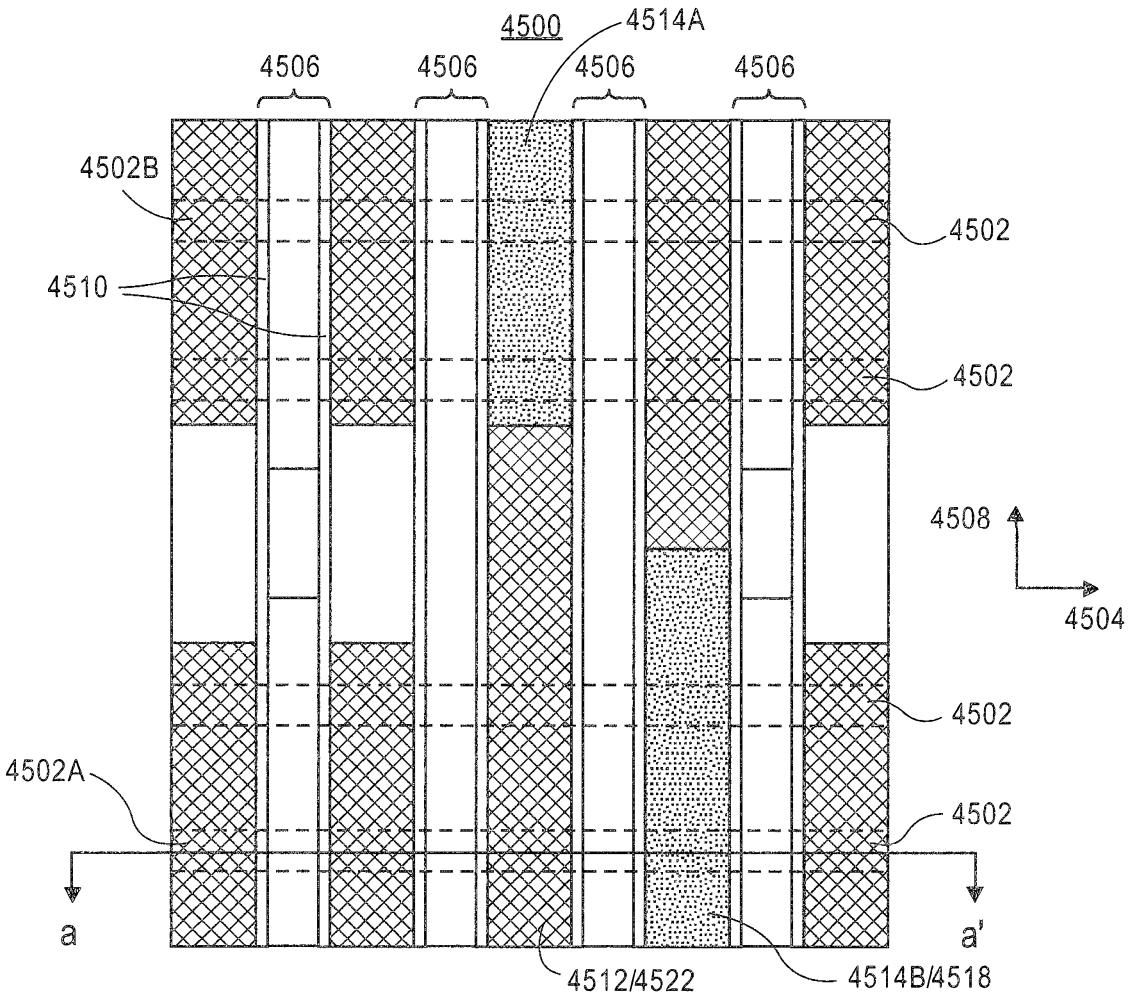
【圖 43B】



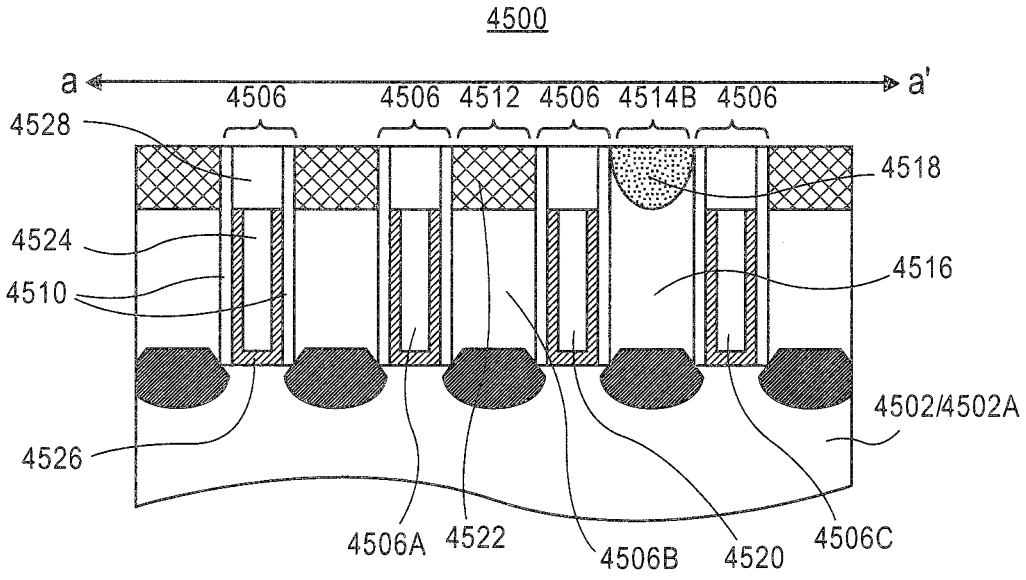
【圖 43C】



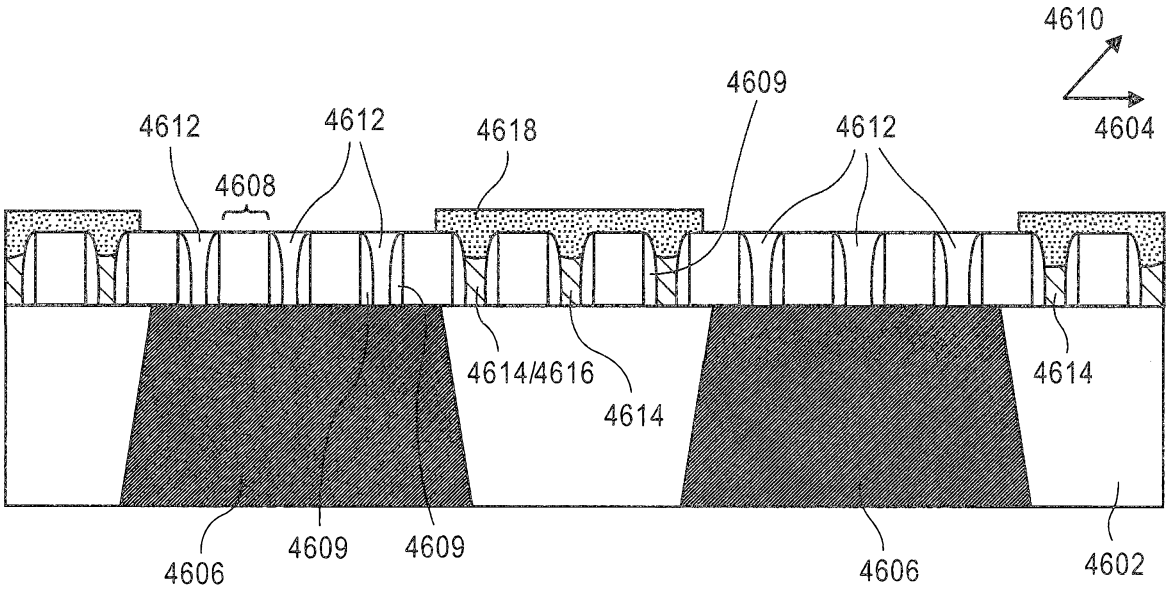
【圖 44】


4500
4514A
4506
4506
4506
4506
4502B
4502
4510
4502
4508
4504
4502
4502A
4502
a
a'
4512/4522
4514B/4518

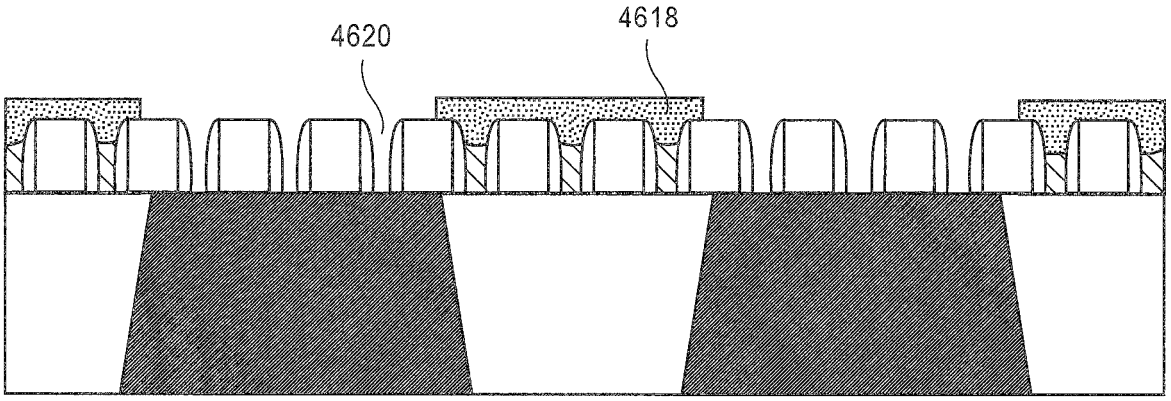
【圖 45A】


4500
a
a'
4506
4506
4512
4506
4514B
4506
4528
4518
4524
4516
4510
4502/4502A
4526
4506A
4522
4506B
4520
4506C

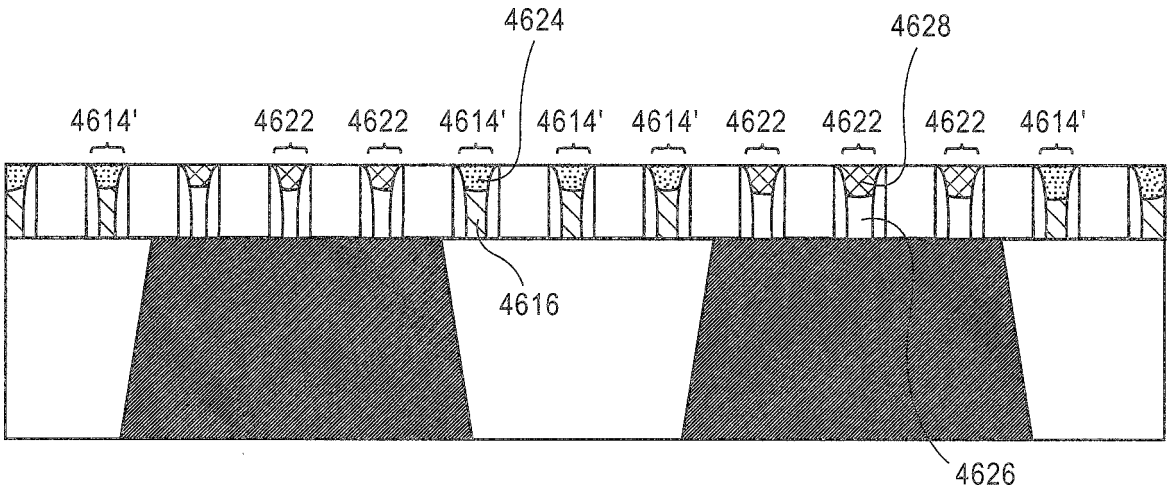
【圖 45B】


4610
4609
4612
4612
4618
4612
4604
4608
4614/4616
4614
4614
4606
4609
4609
4606
4602

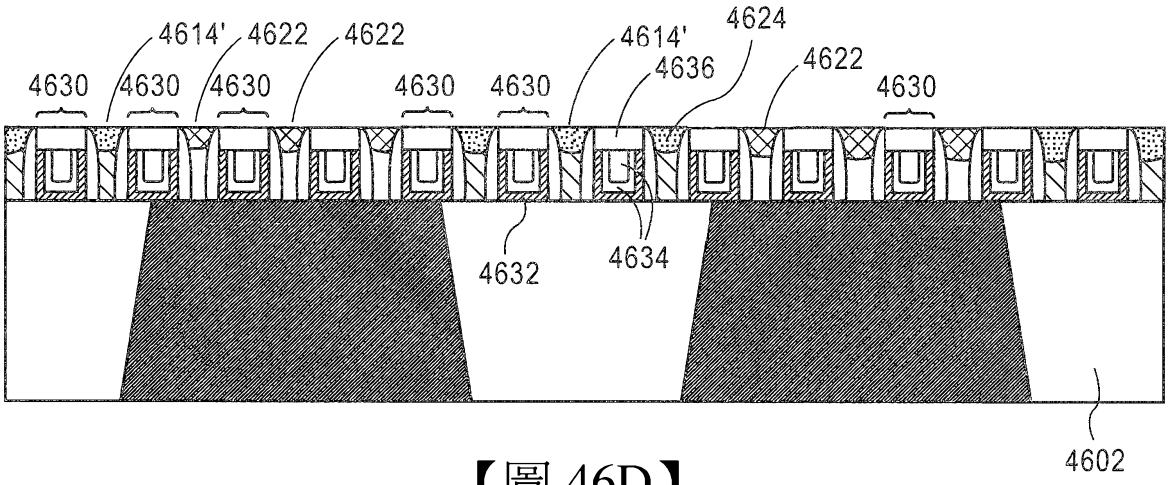
【圖 46A】


4620
4618

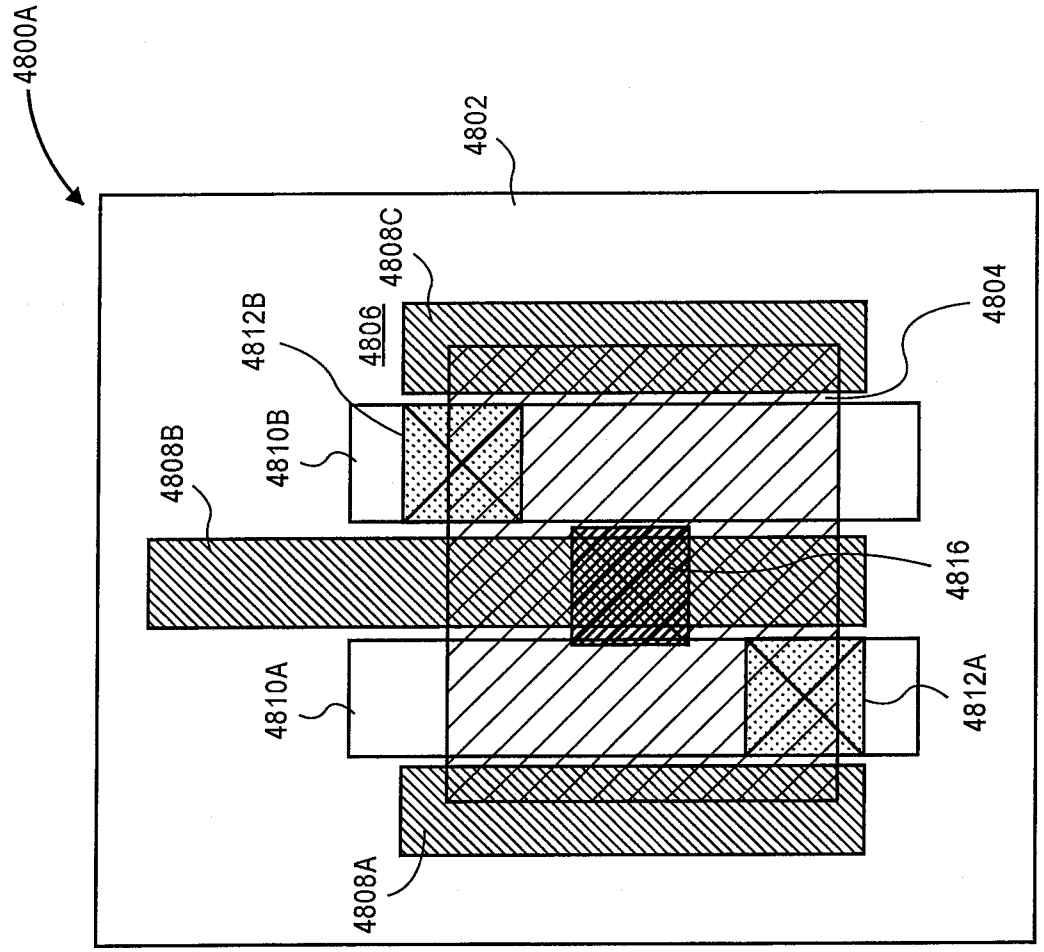
【圖 46B】


4624
4628
4614'
4622
4622
4614'
4614'
4614'
4622
4622
4622
4614'
4616
4626

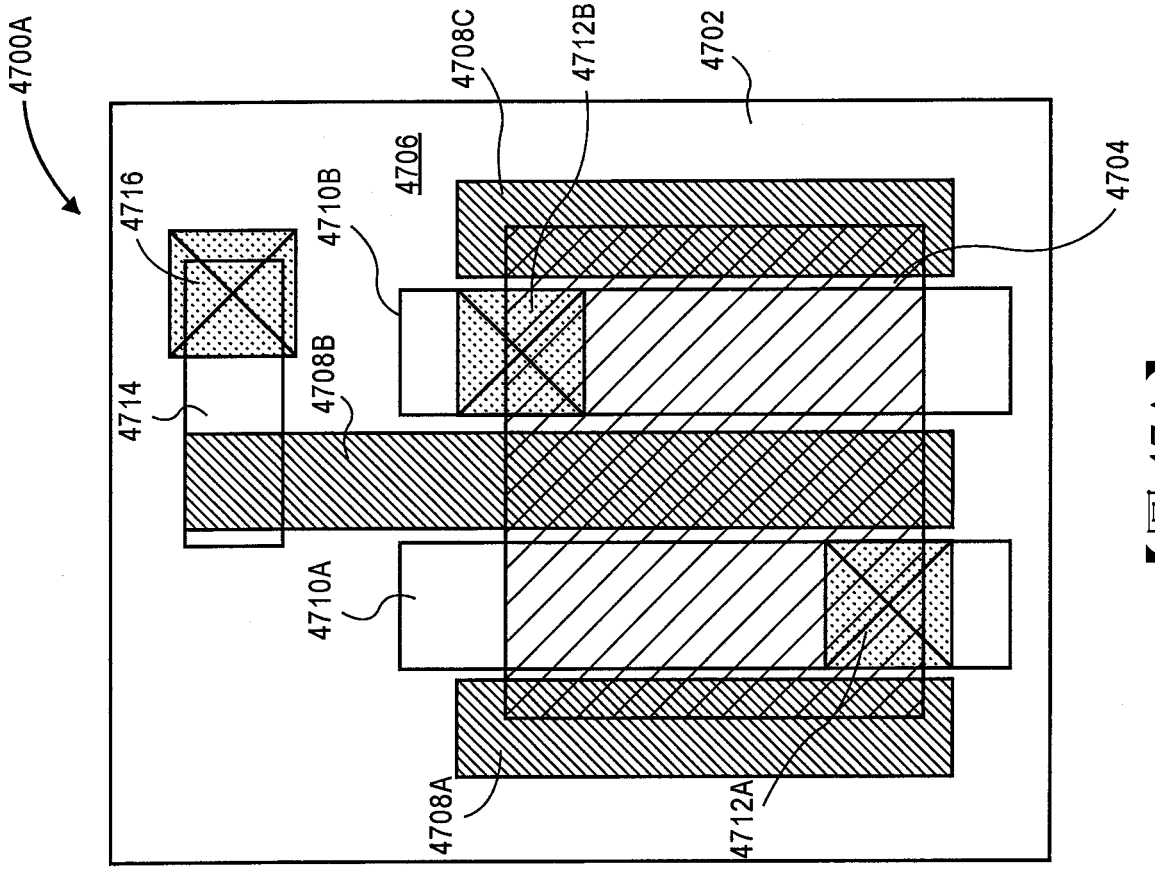
【圖 46C】


4614'
4622
4622
4624
4614'
4636
4622
4630
4630
4630
4630
4630
4630
4632
4634
4602

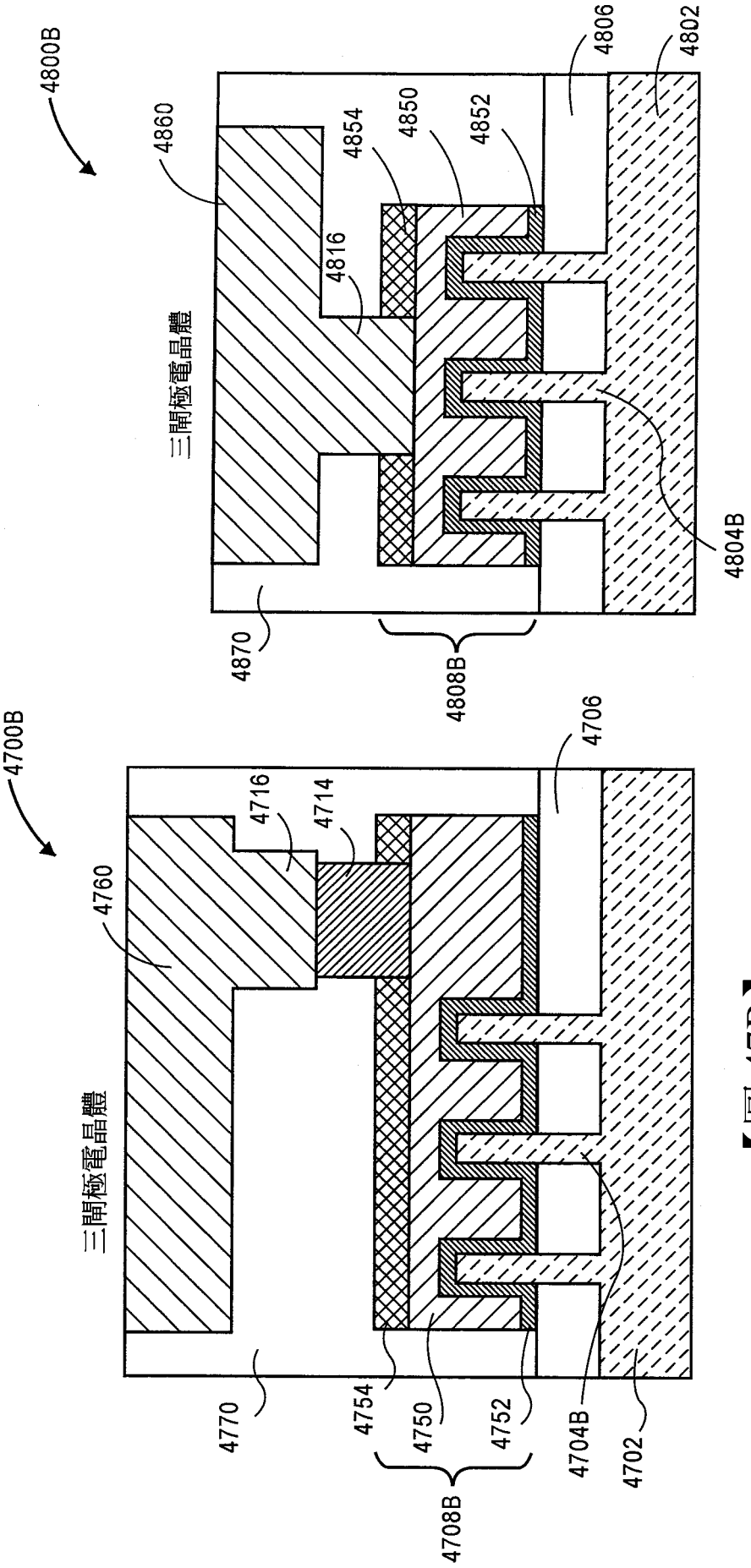
【圖 46D】


4800A
4802
4808C
4806
4812B
4804
4810B
4808B
4816
4810A
4812A
4808A

【圖 48A】

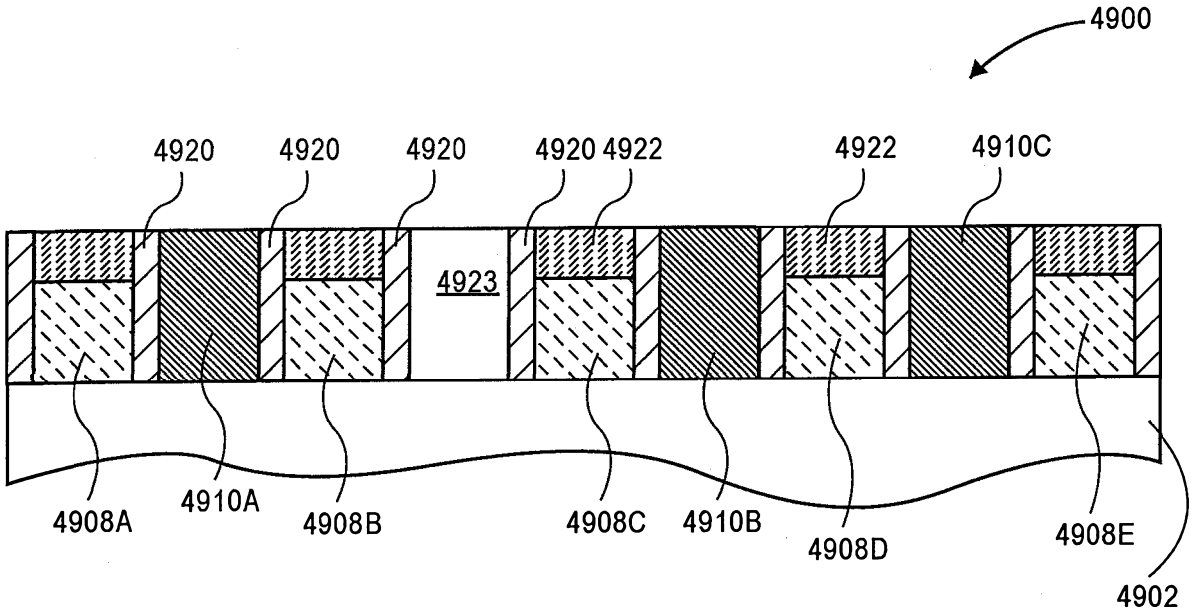

4700A
4708C
4712B
4702
4706
4704
4716
4710B
4714
4708B
4710A
4708A
4712A

【圖 47A】

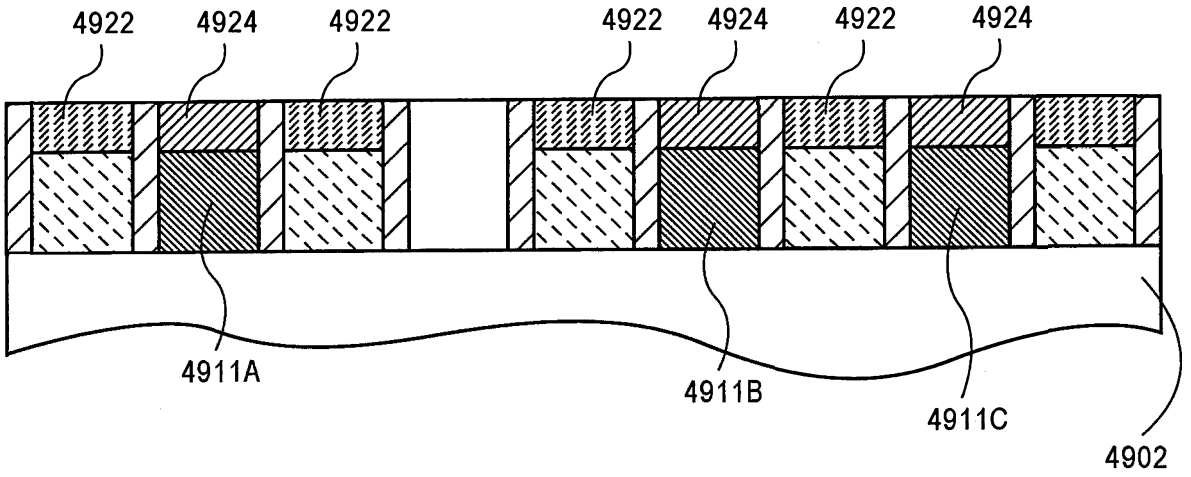

4800B
4860
4854
4850
4852
4806
4802
4816
三閘極電晶體
4804B
4870
4808B
4700B
4706
4716
4714
4760
三閘極電晶體
4770
4754
4750
4752
4704B
4702
4708B

【圖 48B】

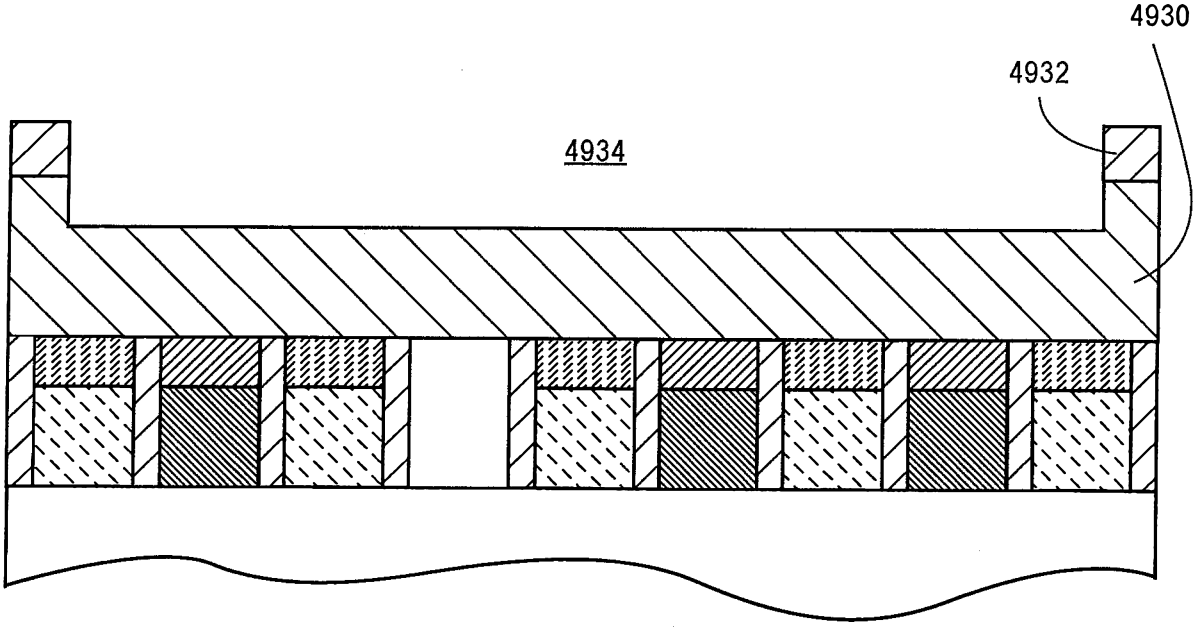
【圖 47B】


4900
4920
4920
4920
4920
4922
4922
4910C
4923
4908A
4910A
4908B
4908C
4910B
4908D
4908E
4902

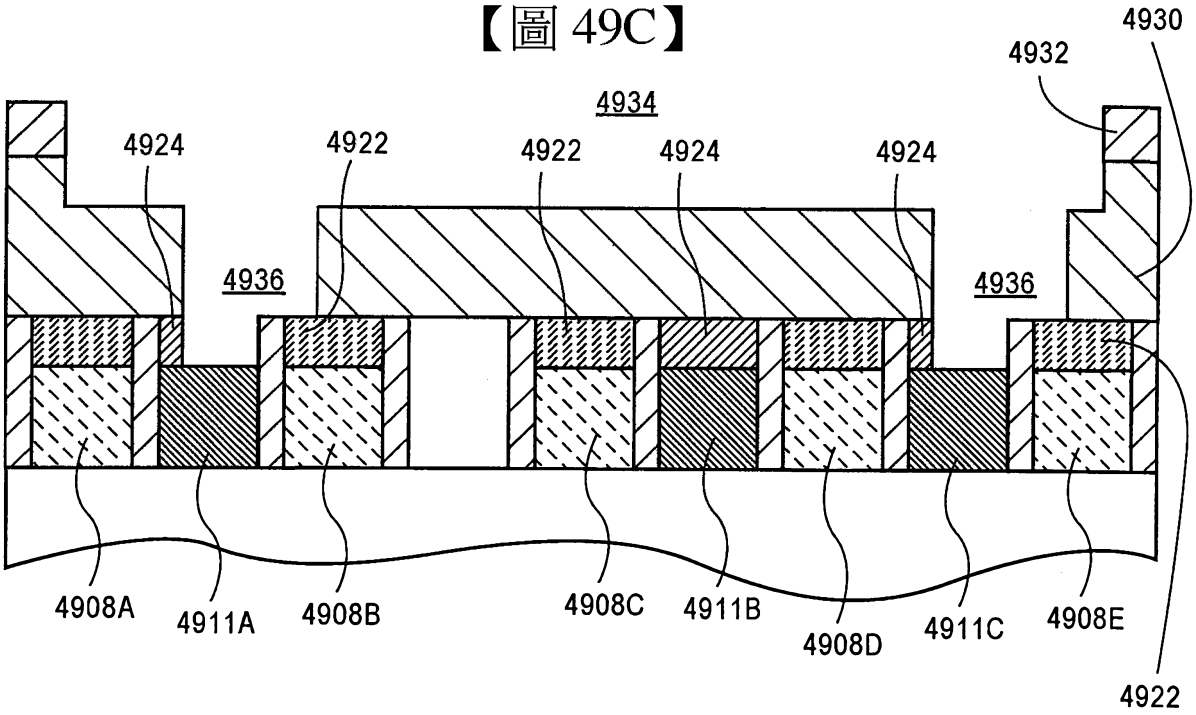
【圖 49A】


4922
4924
4922
4922
4924
4922
4924
4911A
4911B
4911C
4902

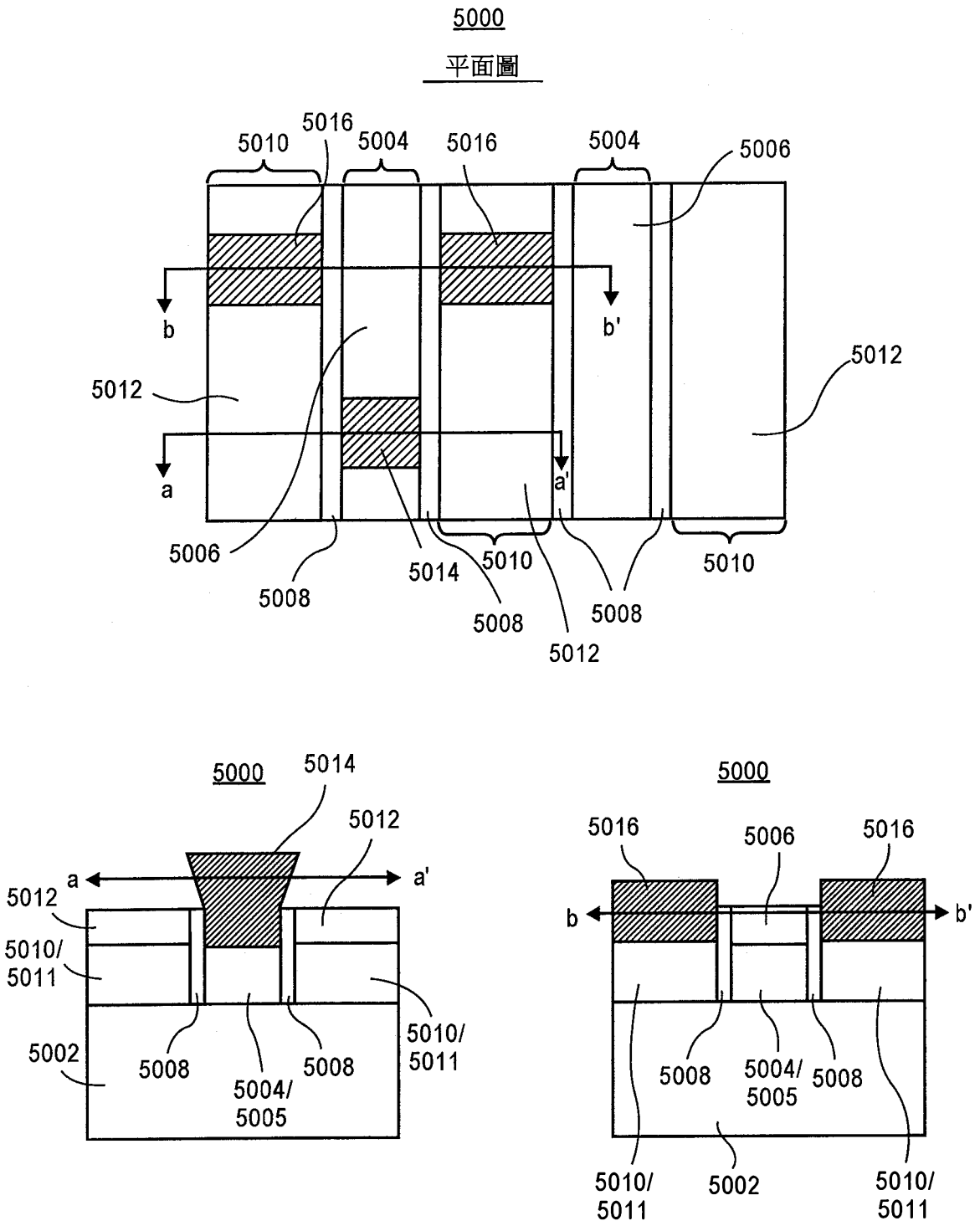
【圖 49B】


4930
4932
4934

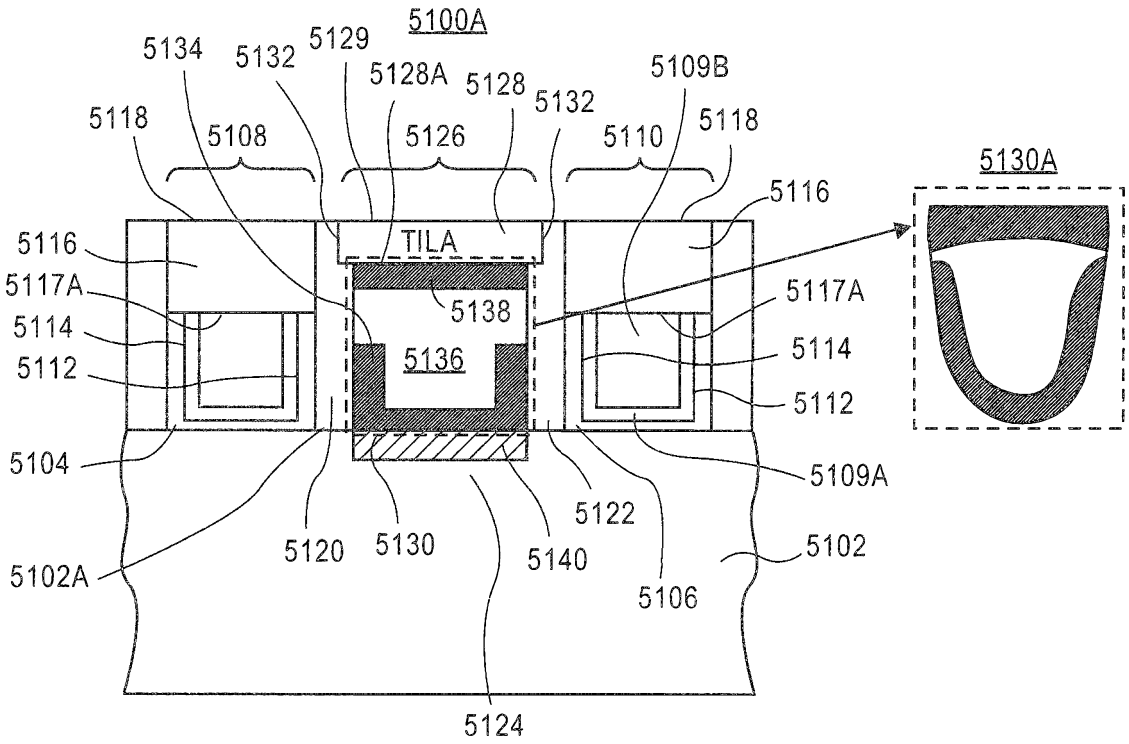
【圖 49C】


4930
4932
4934
4924
4922
4922
4924
4924
4936
4936
4908A
4911A
4908B
4908C
4911B
4908D
4911C
4908E
4922

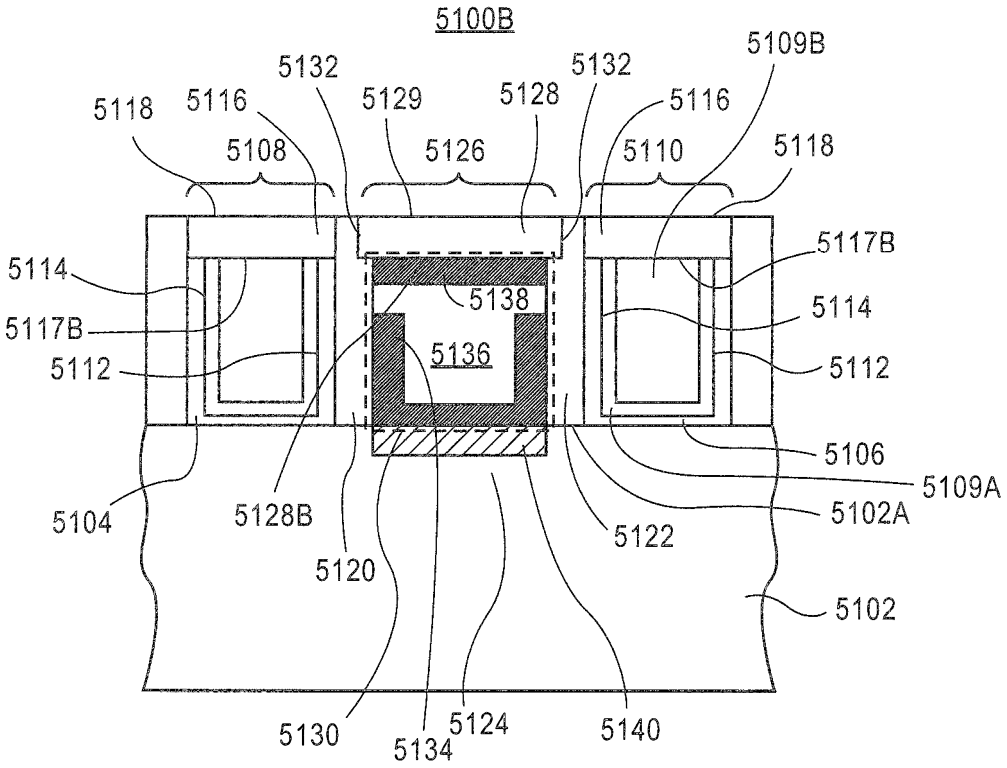
【圖 49D】


5000
平面圖
5010
5016
5004
5016
5004
5006
b
b'
5012
5012
a
a'
5006
5008
5014
5008
5010
5008
5010
5012
5000
5014
5012
a
a'
5012
5010/
5011
5002
5008
5004/
5005
5008
5010/
5011
5000
5016
5006
5016
b
b'
5008
5004/
5005
5008
5010/
5011
5002
5010/
5011

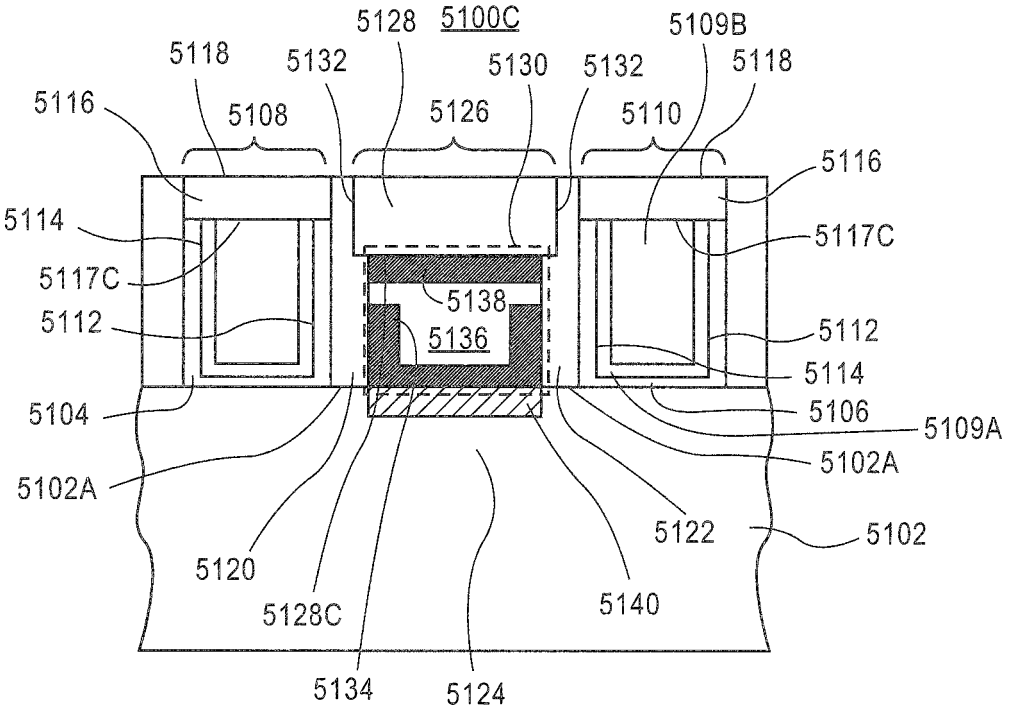
【圖 50】


5100A
5134
5132
5129
5128A
5128
5132
5109B
5118
5108
5126
5110
5118
5130A
5116
5116
TILA
5117A
5138
5117A
5114
5136
5114
5112
5112
5104
5109A
5122
5120
5130
5140
5102
5102A
5106
5124

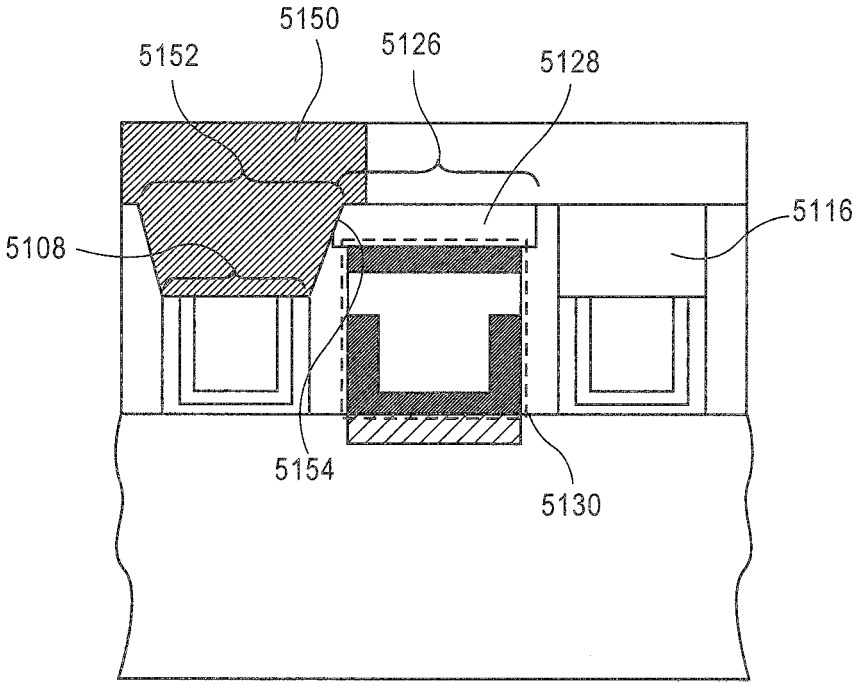
【圖 51A】


5100B
5132
5132
5109B
5118
5116
5129
5128
5116
5108
5126
5110
5118
5117B
5114
5138
5114
5117B
5136
5112
5112
5106
5109A
5104
5128B
5102A
5122
5120
5102
5130
5134
5124
5140

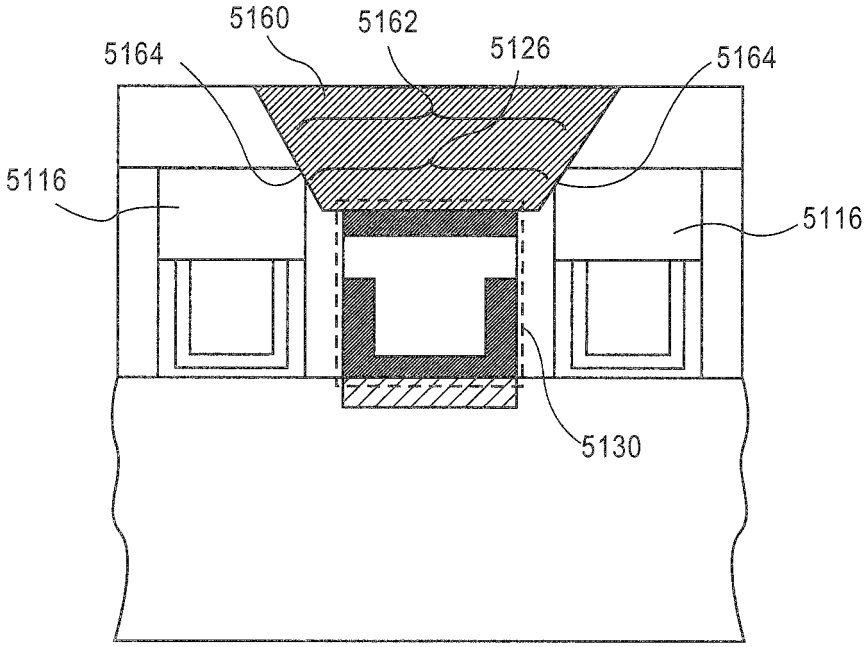
【圖 51B】


5128
5100C
5109B
5118
5132
5130
5132
5118
5116
5108
5126
5110
5116
5114
5117C
5117C
5138
5112
5136
5112
5114
5104
5106
5109A
5102A
5102A
5122
5102
5120
5140
5128C
5134
5124

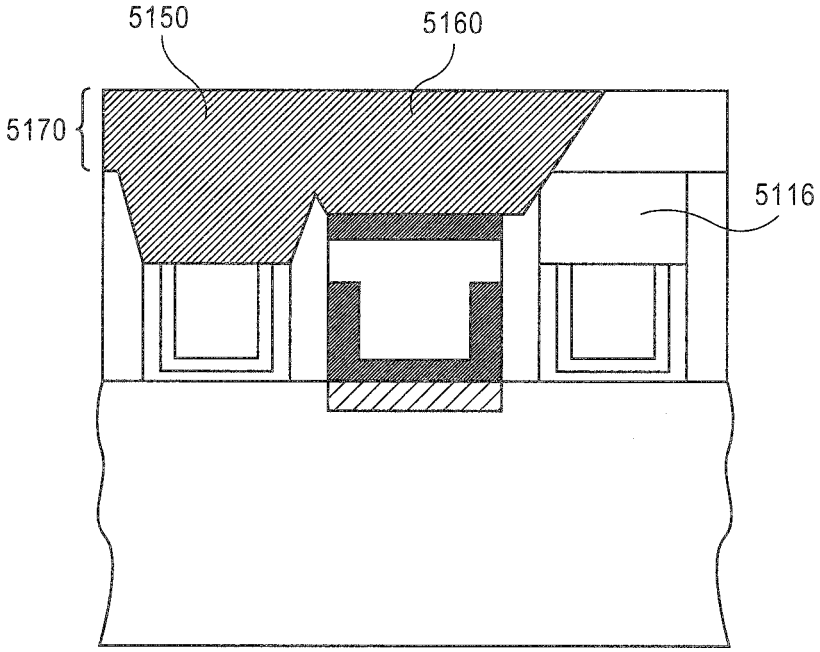
【圖 51C】


5150
5152
5126
5128
5116
5108
5154
5130

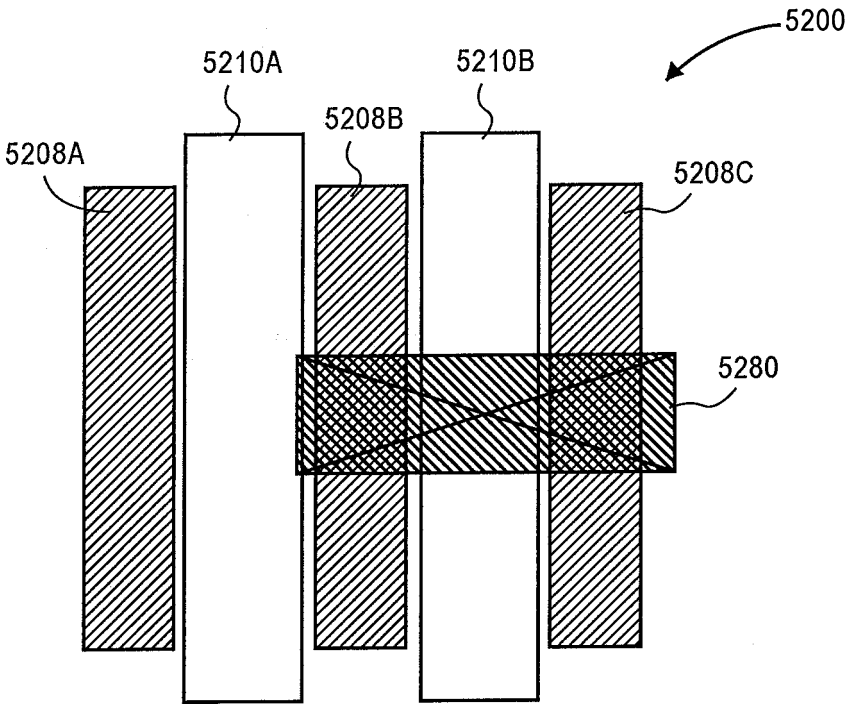
【圖 51D】



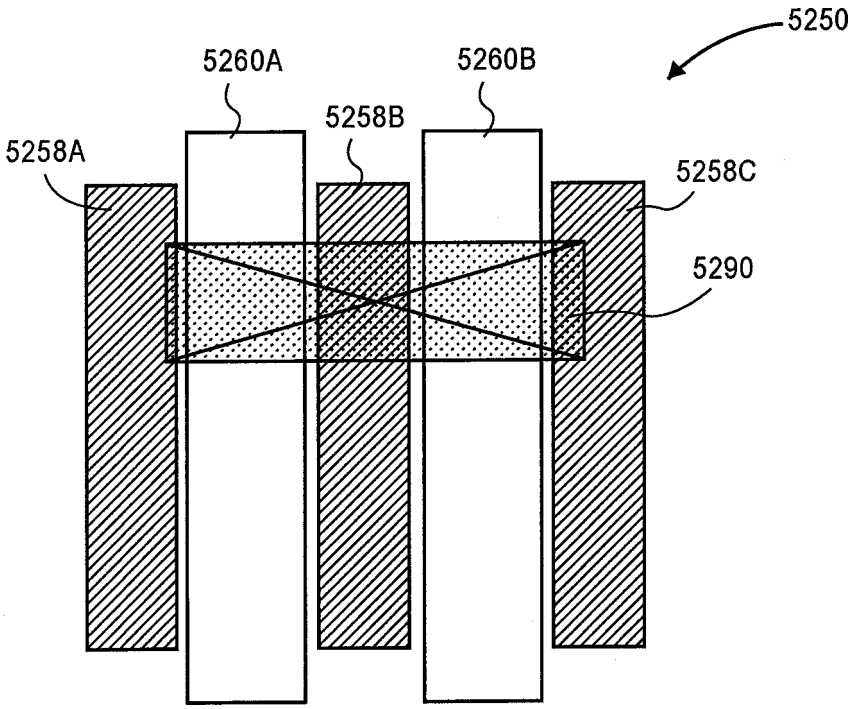
【圖 51E】



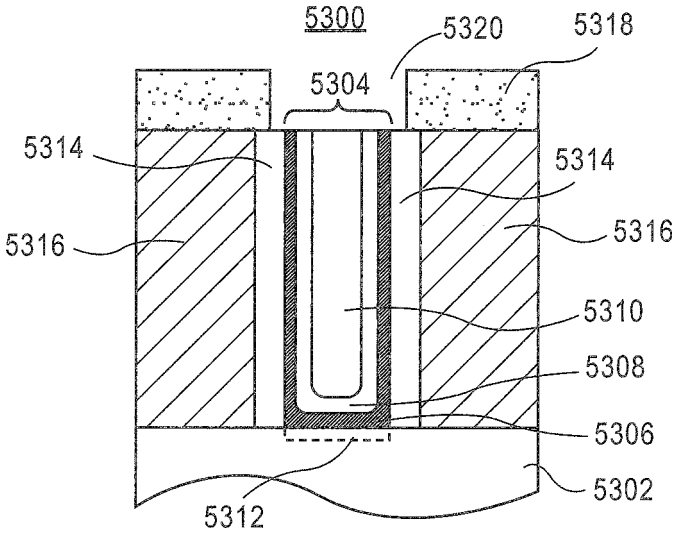
【圖 51F】


5200
5210A
5210B
5208B
5208A
5208C
5280

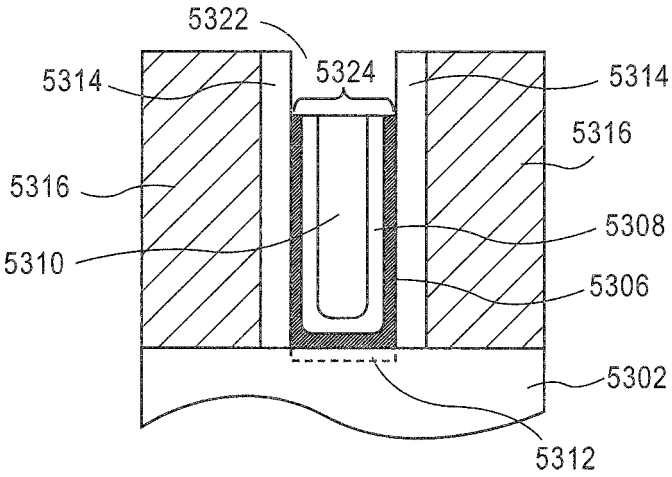
【圖 52A】


5250
5260A
5260B
5258B
5258A
5258C
5290

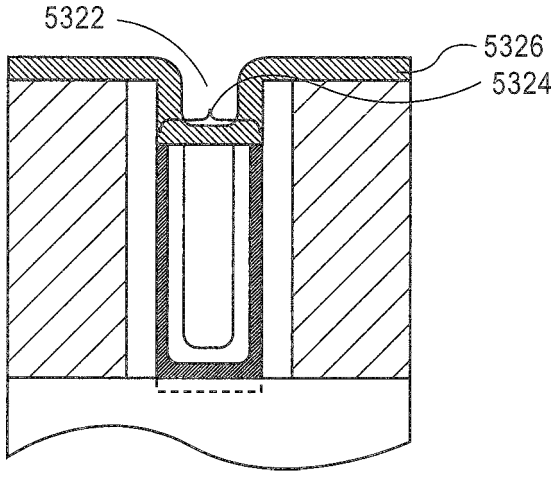
【圖 52B】



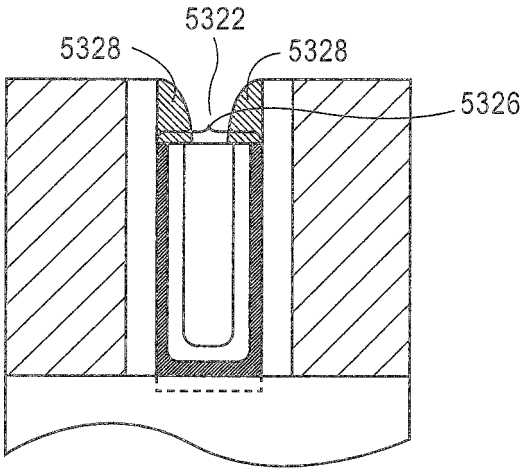
【圖 53A】



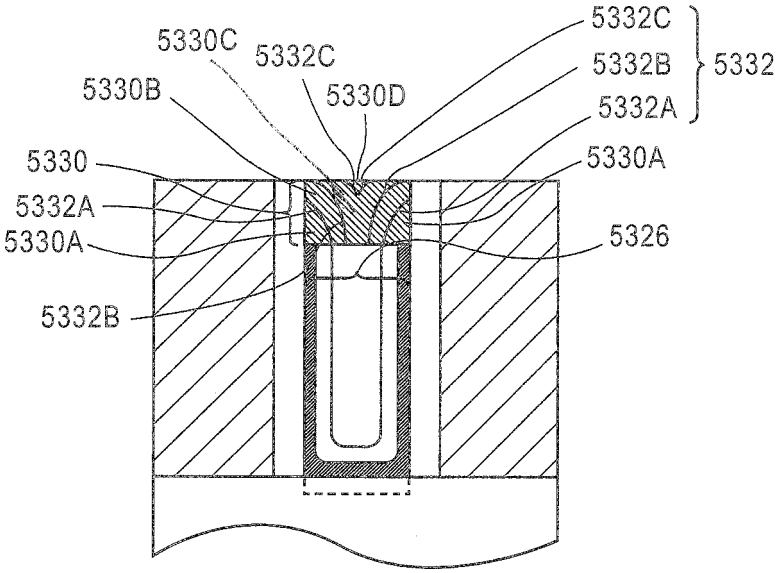
【圖 53B】



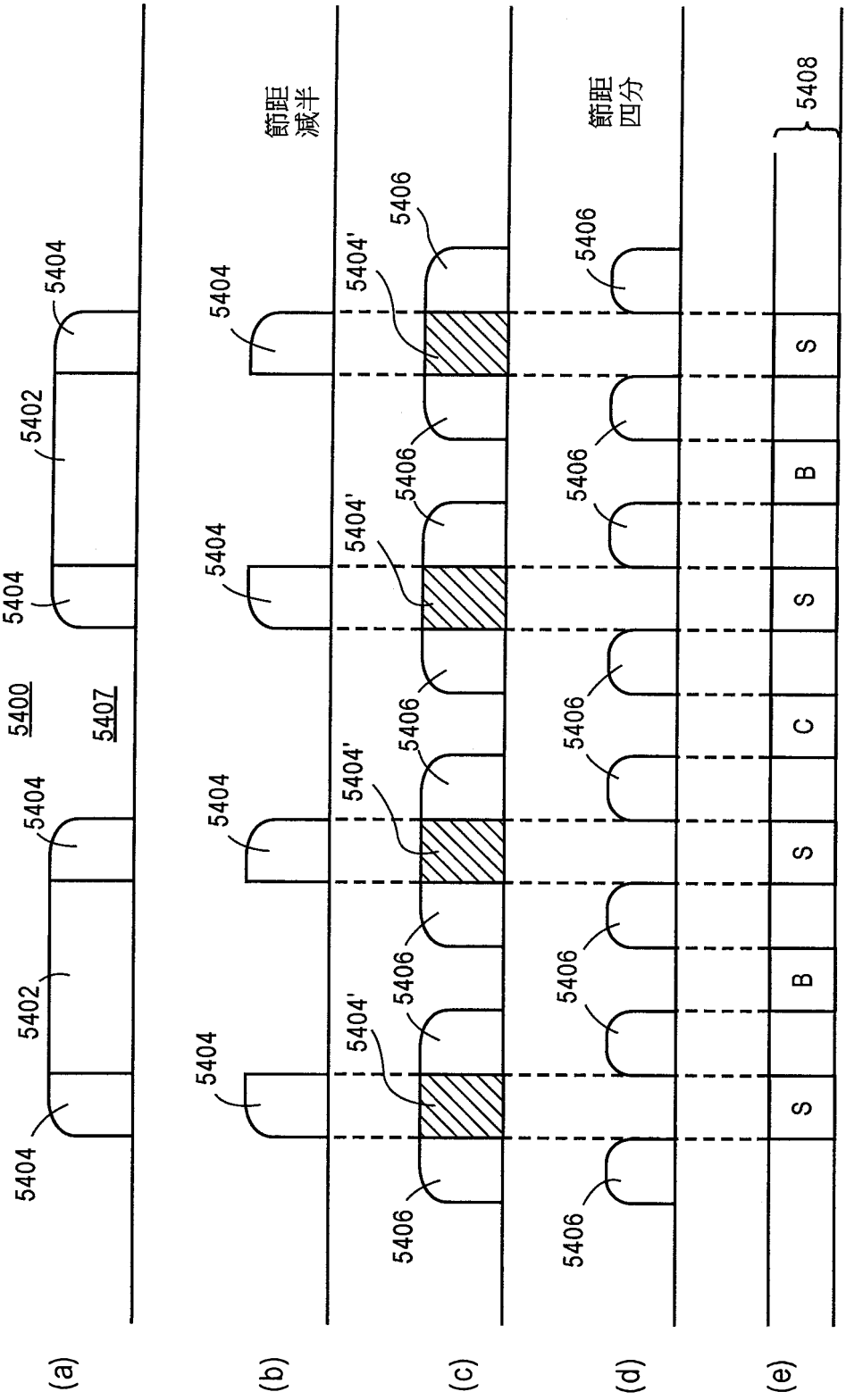
【圖 53C】


5322
5328
5328
5326

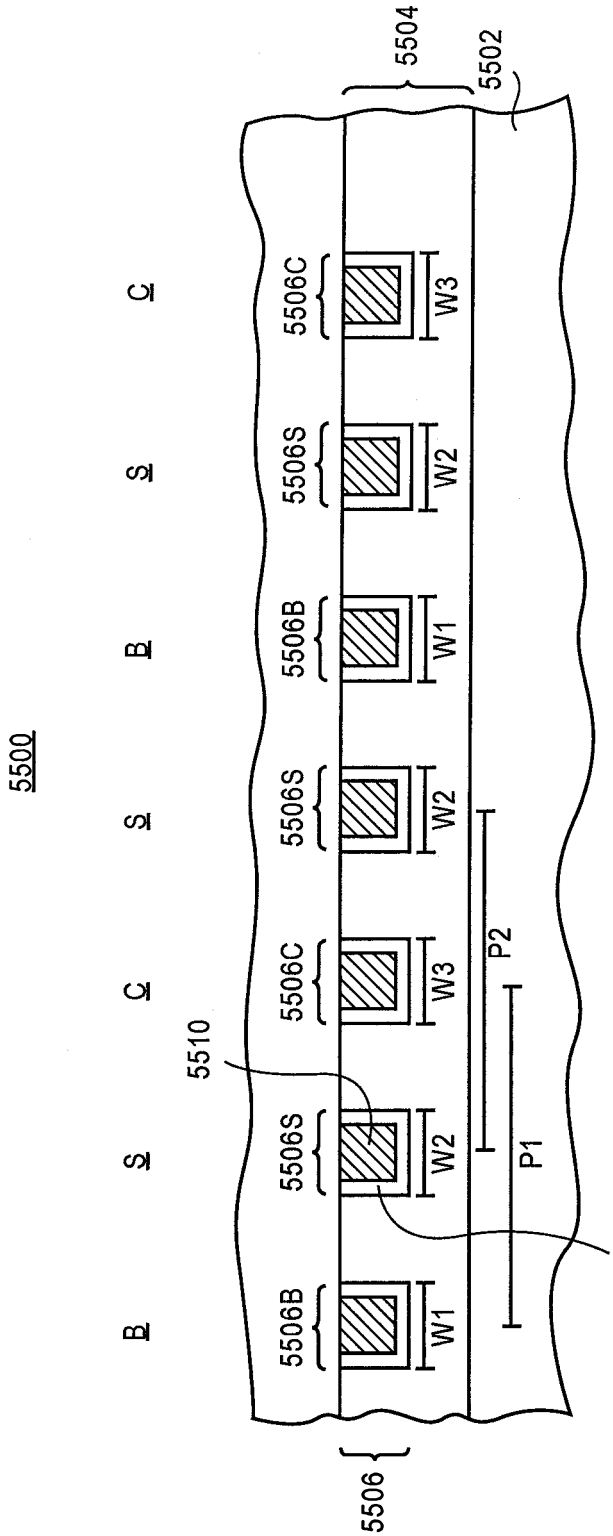
【圖 53D】


5332C
5330C
5332C
5332B
5332
5330B
5330D
5332A
5330
5330A
5332A
5326
5330A
5332B

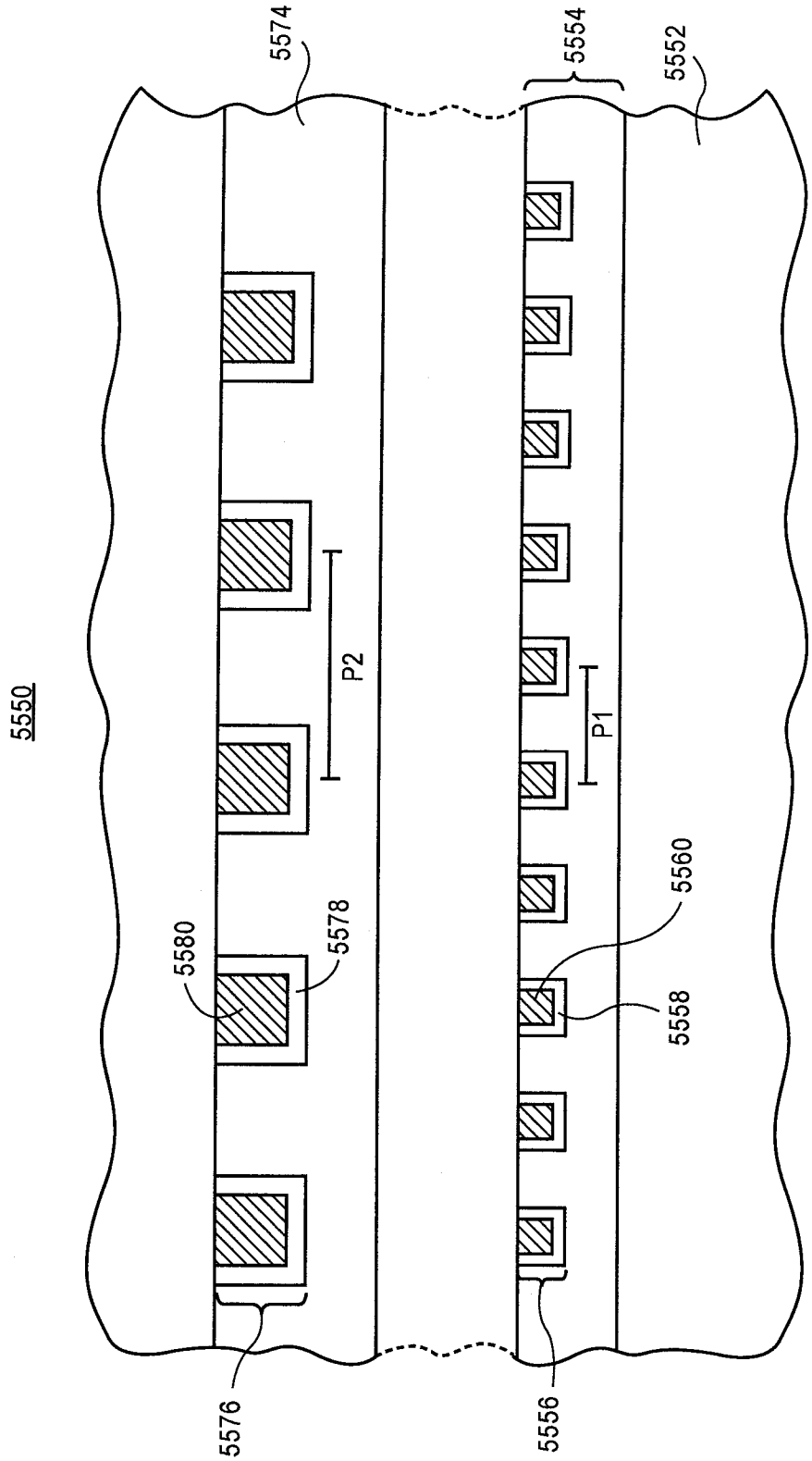
【圖 53E】



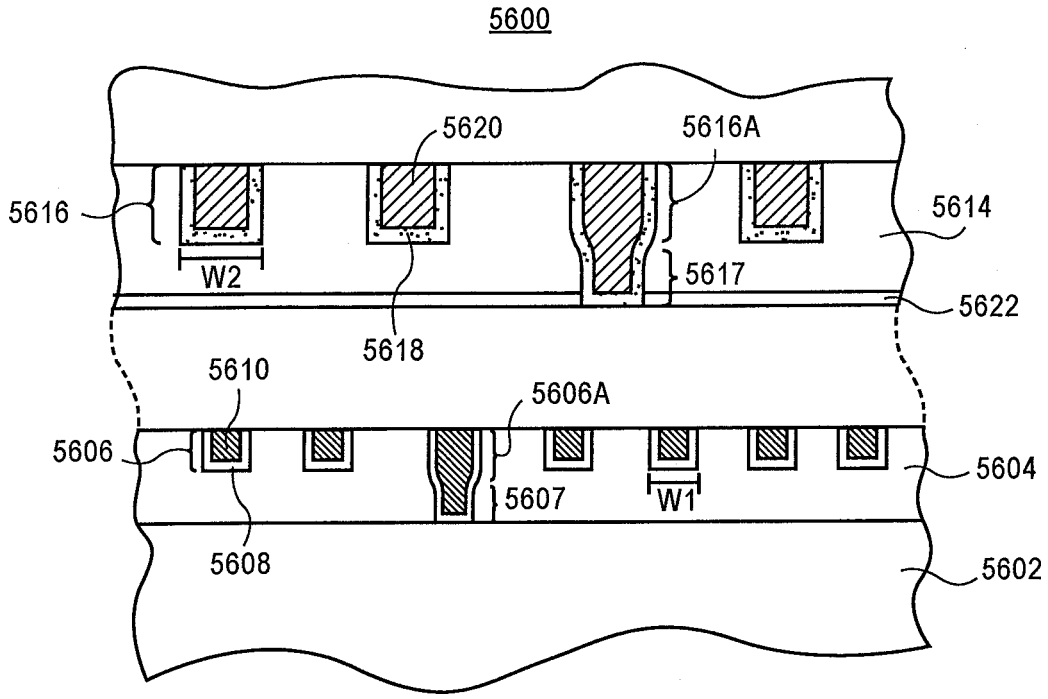
【圖 54】


5500
B
S
C
S
B
S
C
5504
5502
5506C
5506S
5506B
W3
W2
W1
5510
5508
P2
P1
5506

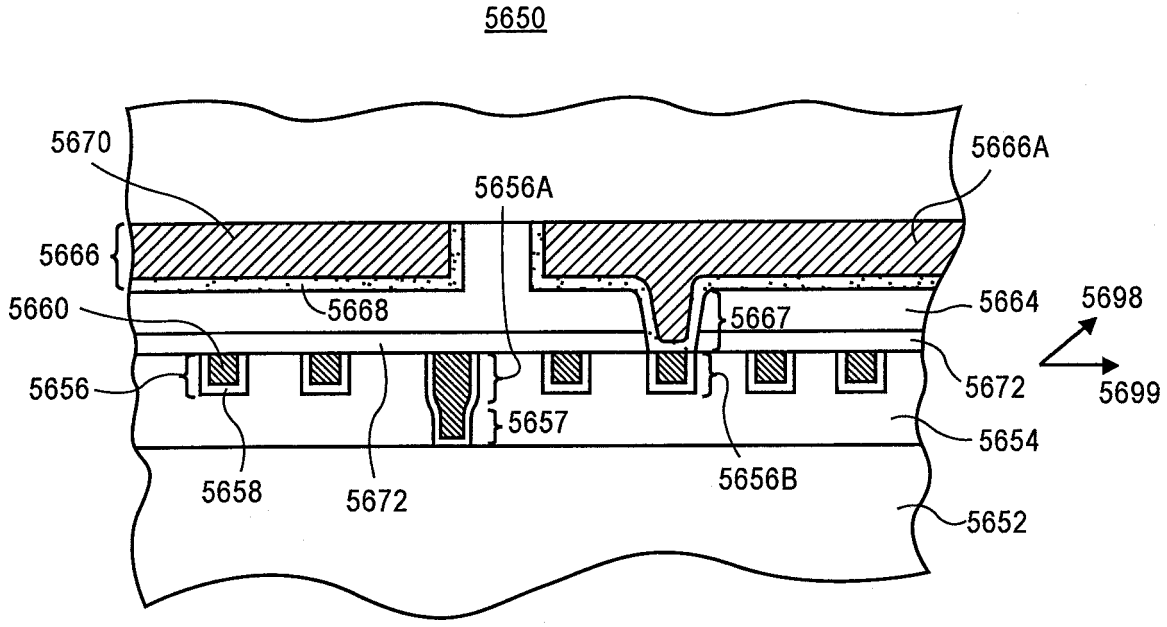
【圖 55A】



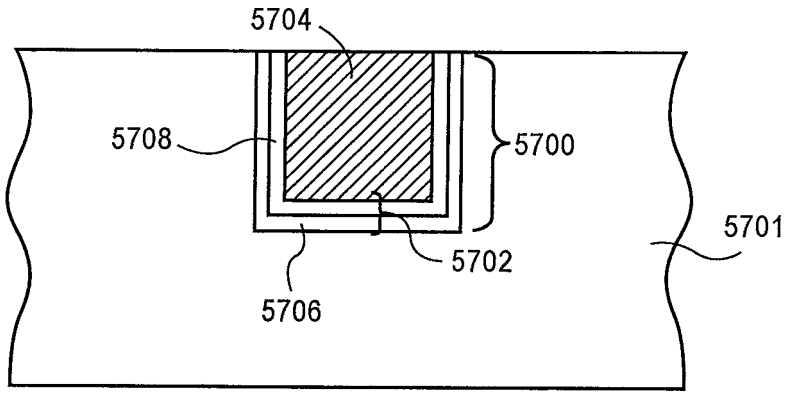
【圖 55B】


5600
5620
5616A
5616
5614
W2
5617
5622
5618
5610
5606A
5606
5604
5607
W1
5608
5602

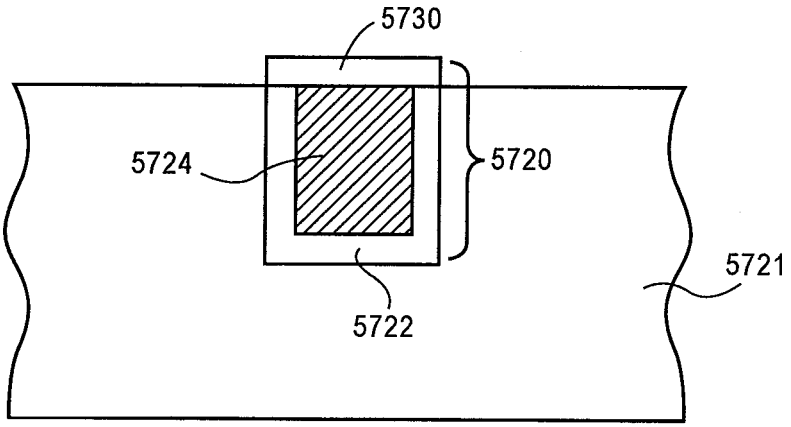
【圖 56A】


5650
5670
5666A
5656A
5666
5668
5660
5667
5664
5698
5656
5672
5699
5657
5654
5658
5672
5656B
5652

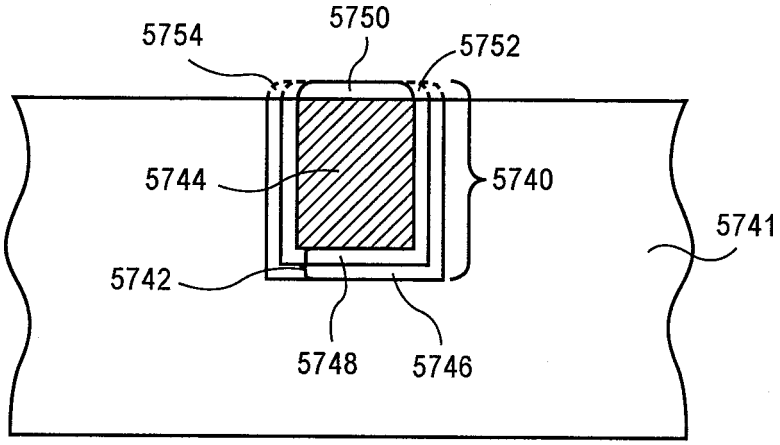
【圖 56B】



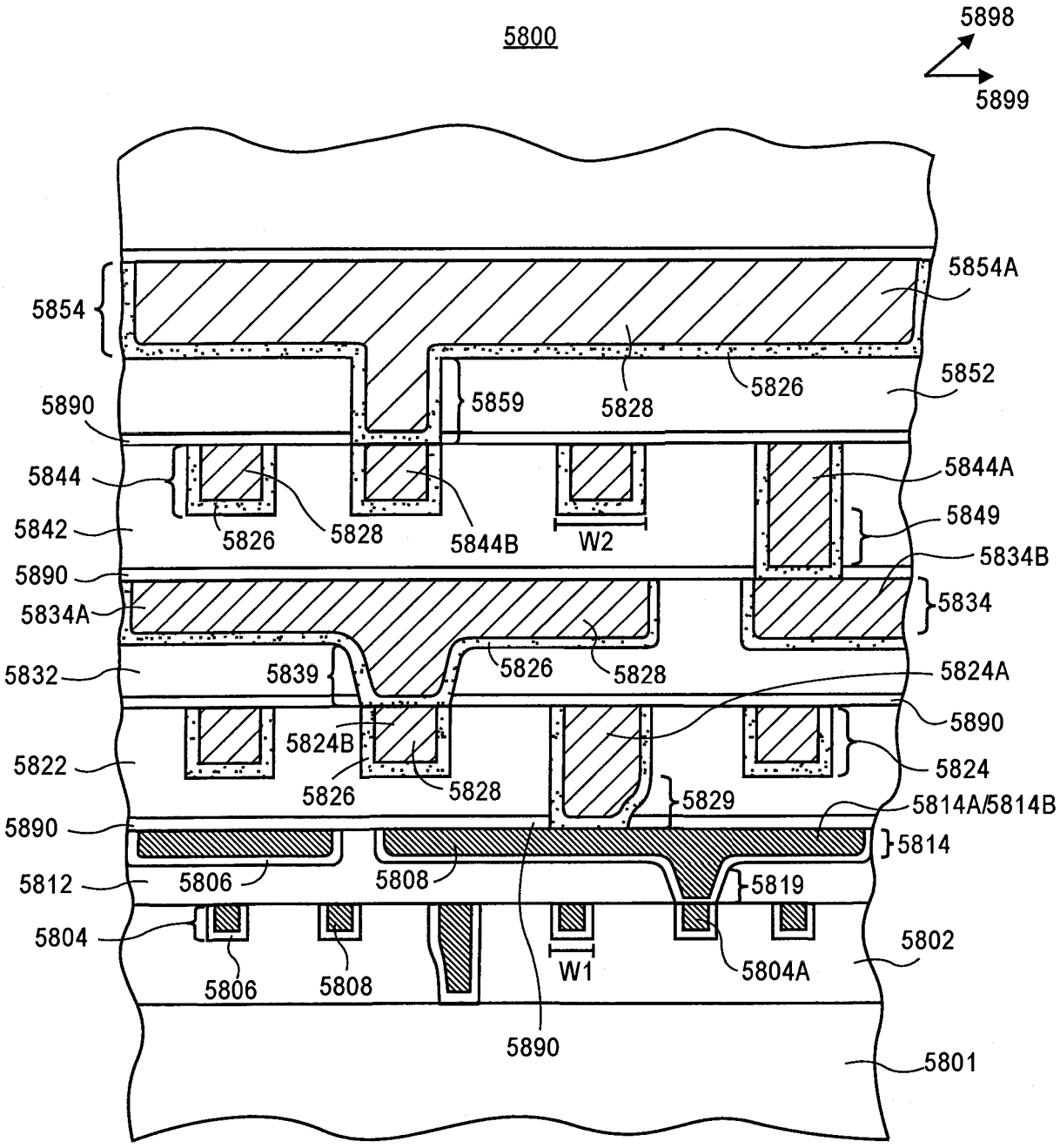
【圖 57A】



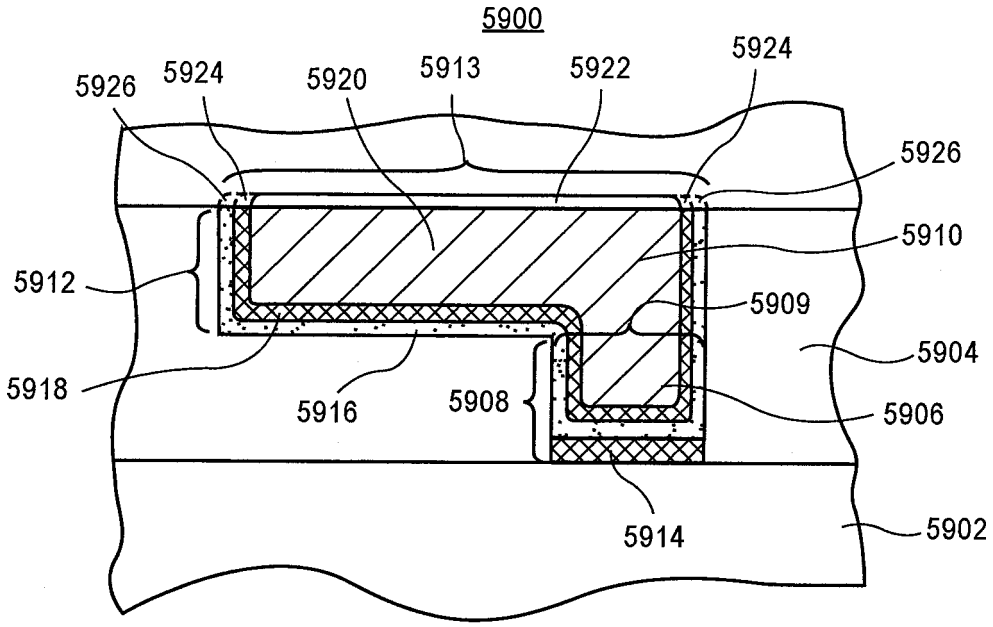
【圖 57B】



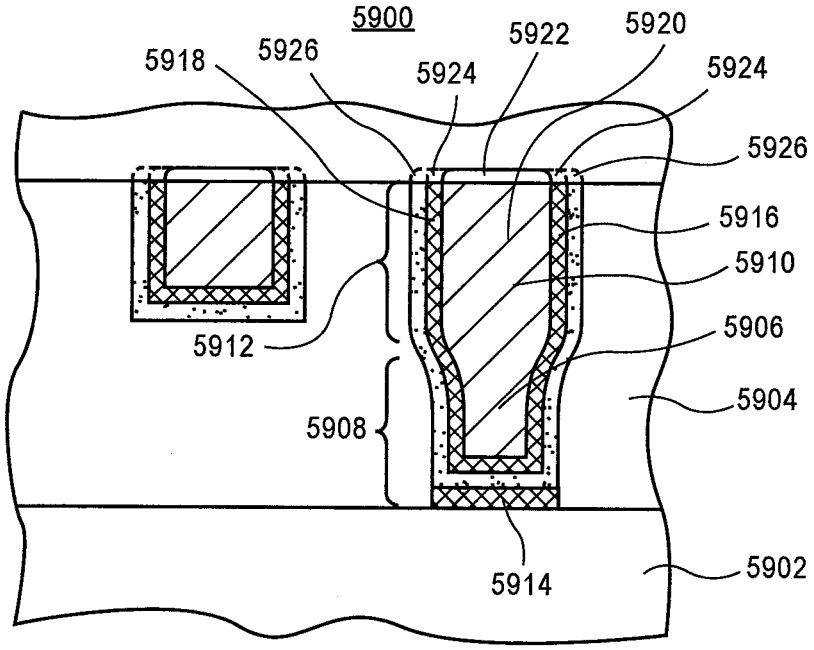
【圖 57C】


5800
5898
5899
5854
5854A
5826
5852
5890
5859
5828
5844
5844A
5842
5826
5828
5844B
W2
5849
5890
5834B
5834A
5834
5832
5839
5826
5828
5824A
5890
5824B
5822
5826
5828
5824
5829
5814A/5814B
5890
5814
5812
5806
5808
5819
5804
5802
5806
5808
W1
5804A
5890
5801

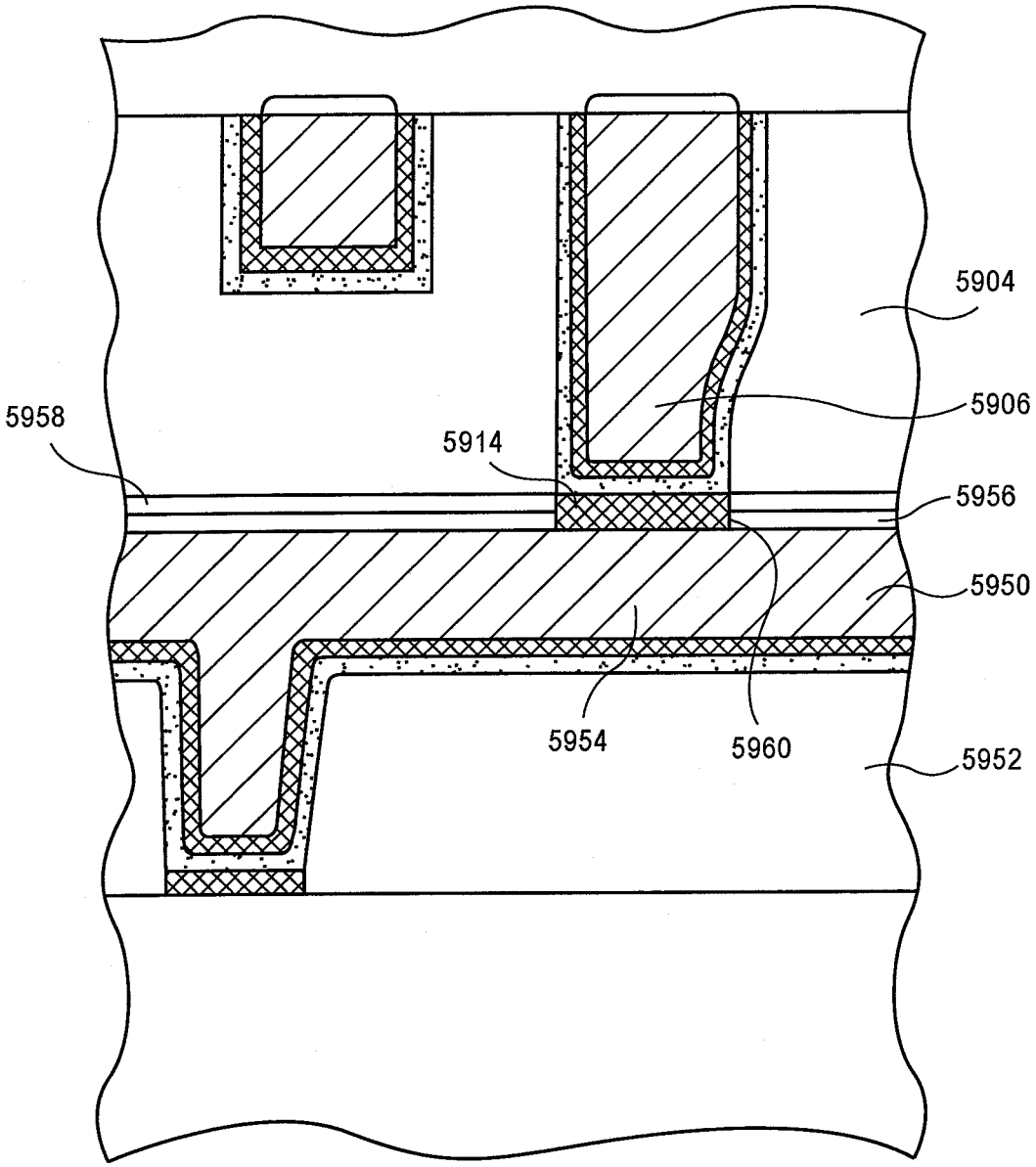
【圖 58】


5900
5926
5924
5920
5913
5922
5924
5926
5910
5912
5909
5904
5918
5916
5908
5906
5914
5902

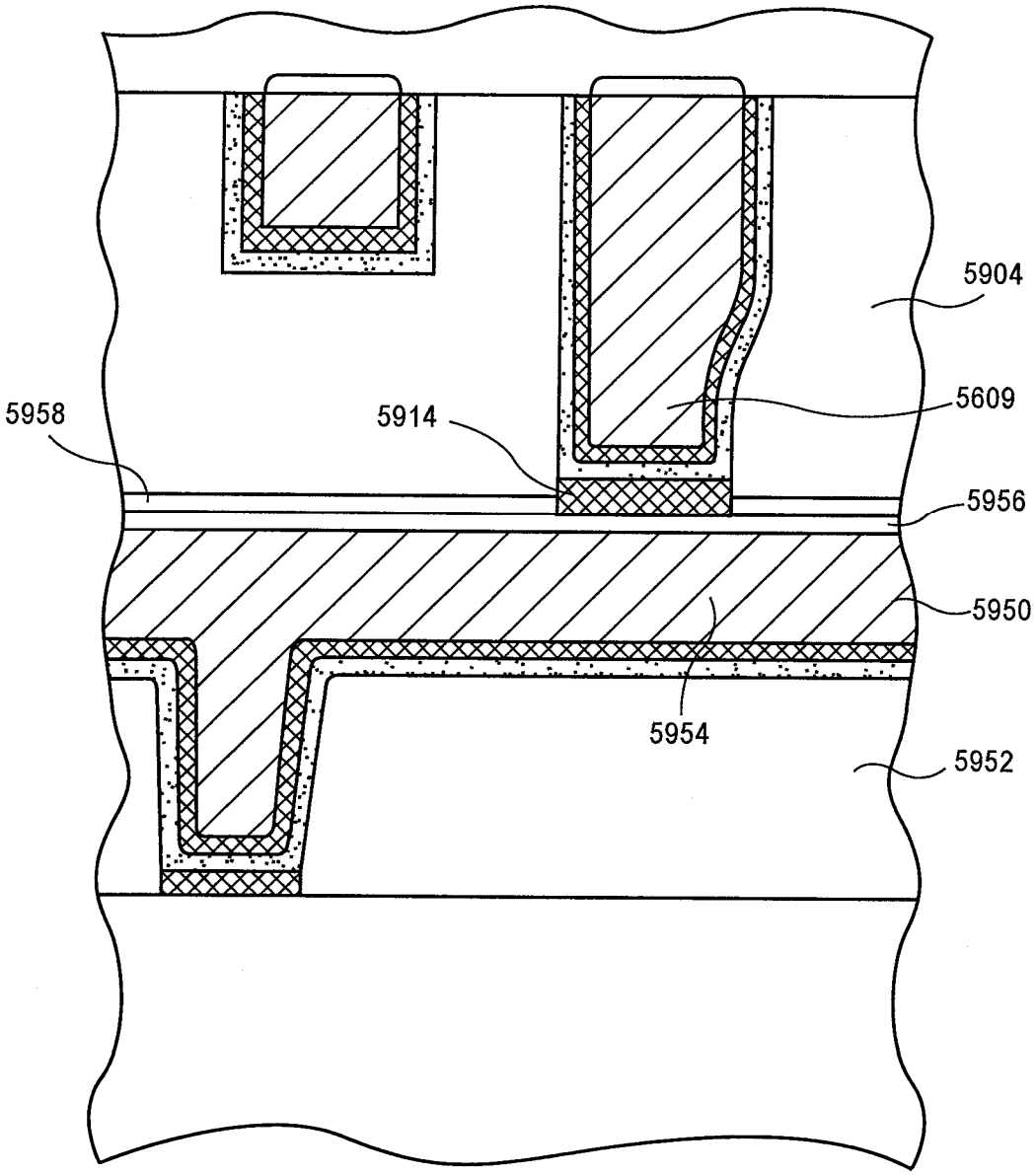
【圖 59A】


5900
5918
5926
5924
5922
5920
5924
5926
5916
5910
5912
5906
5904
5908
5914
5902

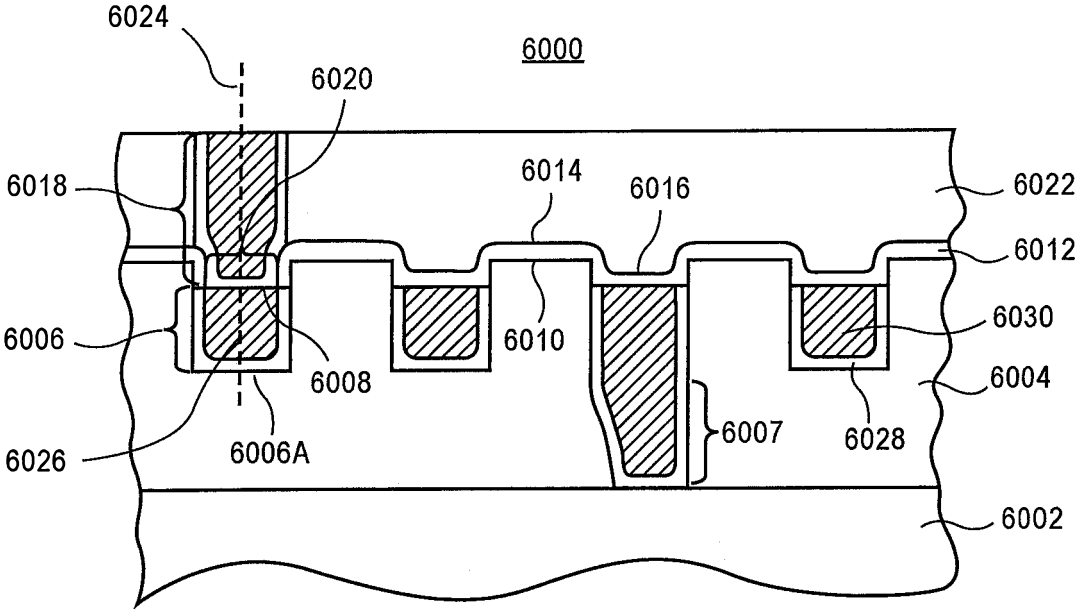
【圖 59B】



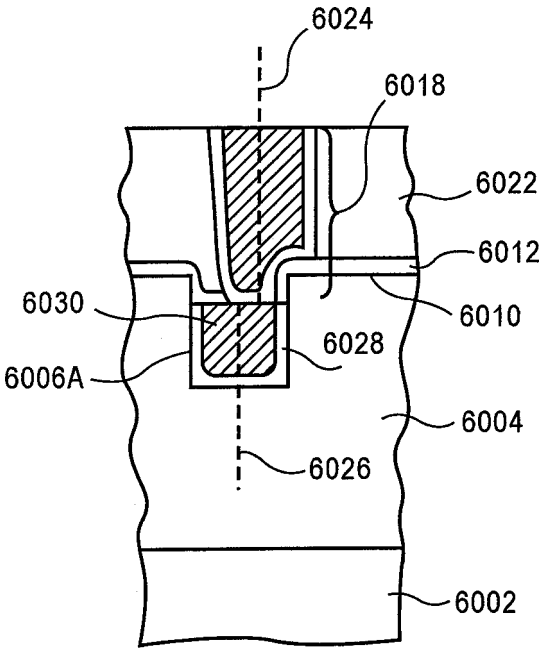
【圖 59C】



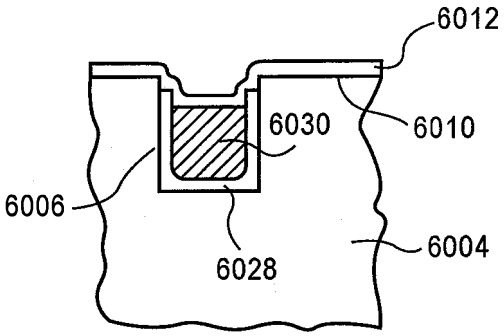
【圖 59D】



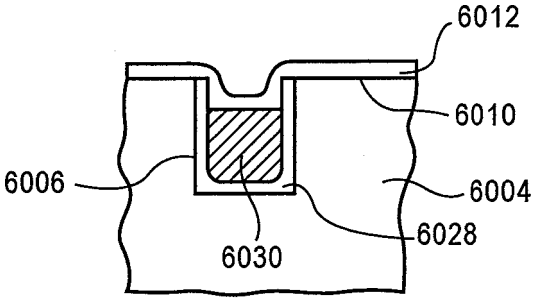
【圖 60A】



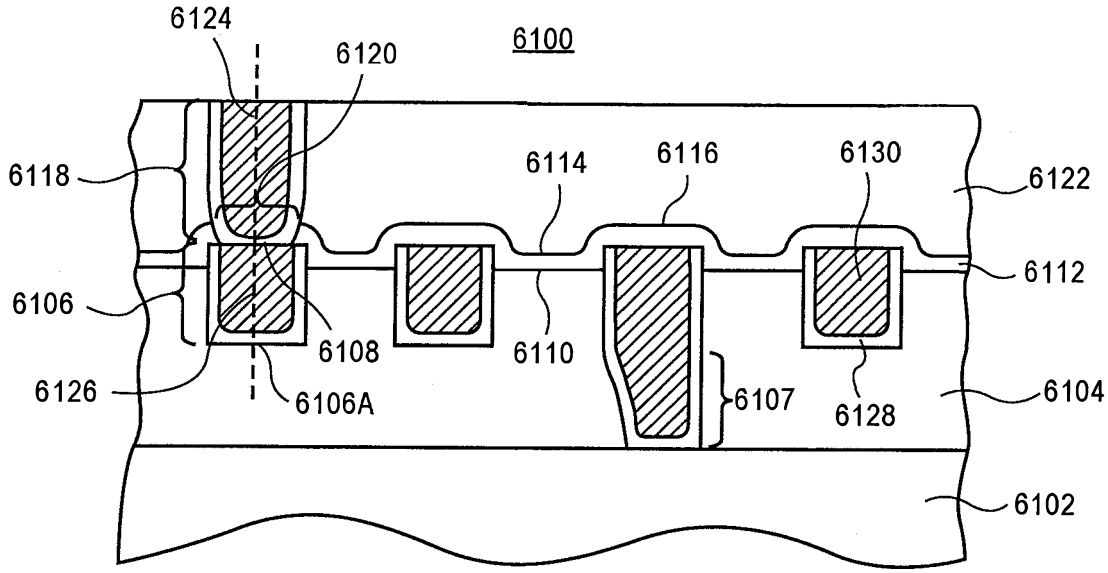
【圖 60B】



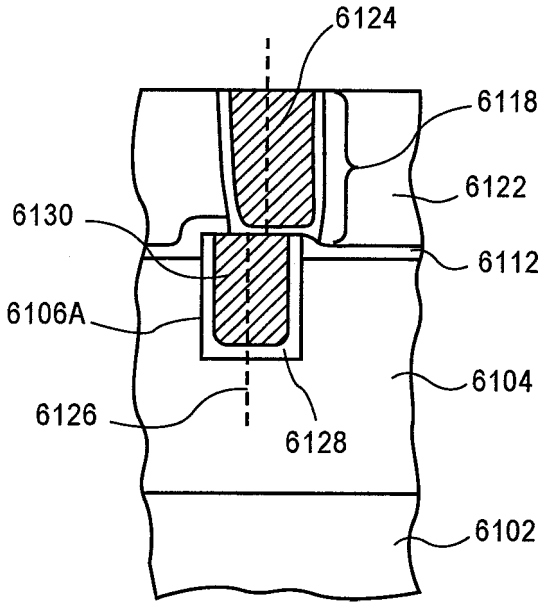
【圖 60C】



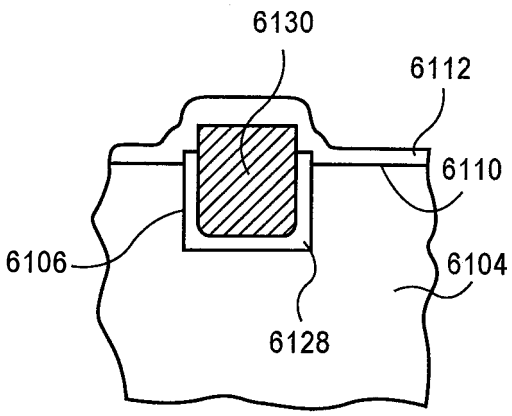
【圖 60D】



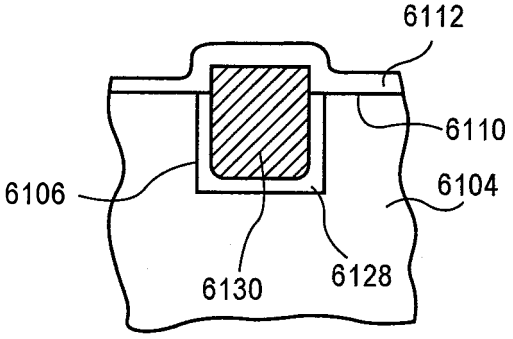
【圖 61A】



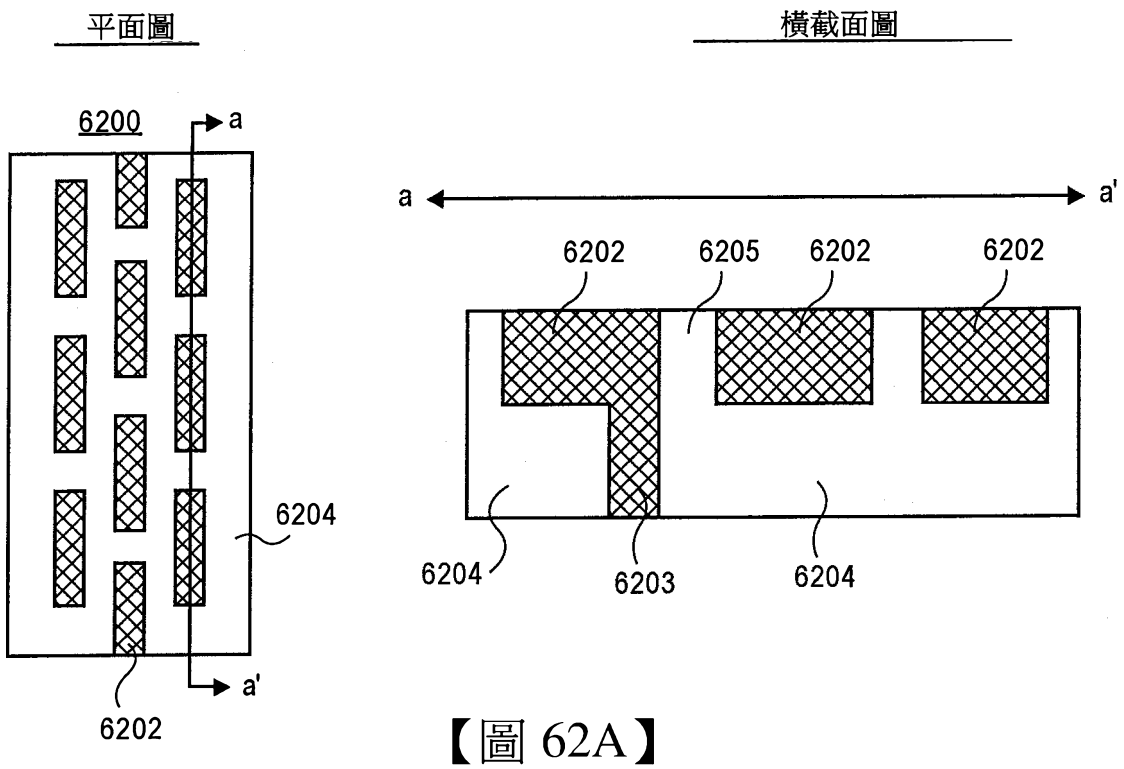
【圖 61B】



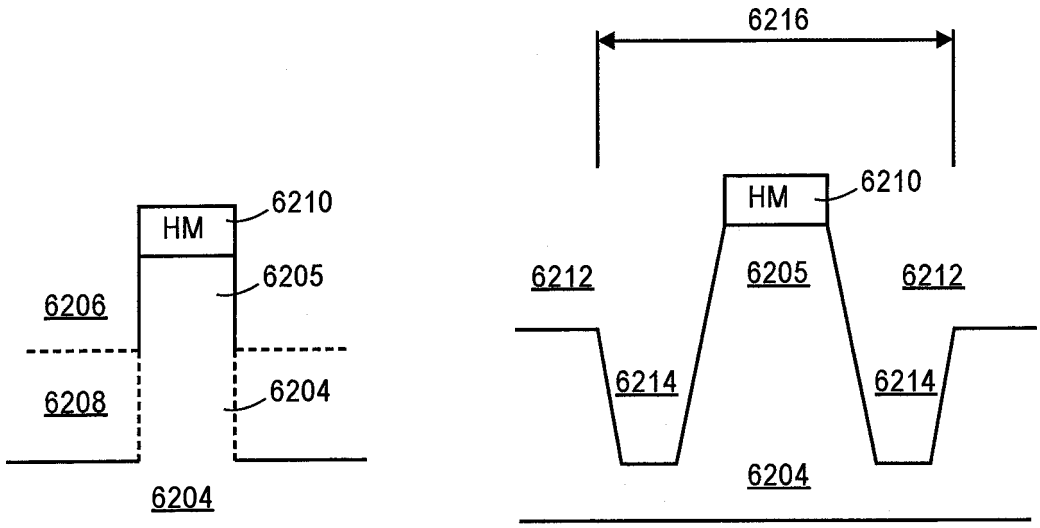
【圖 61C】



【圖 61D】

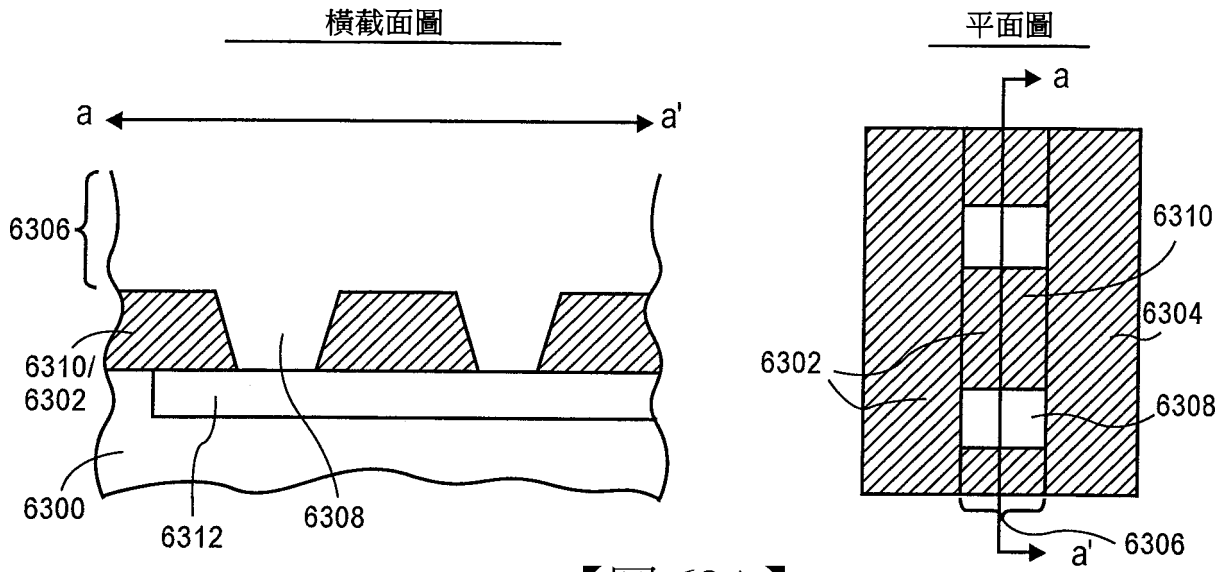


【圖 62A】

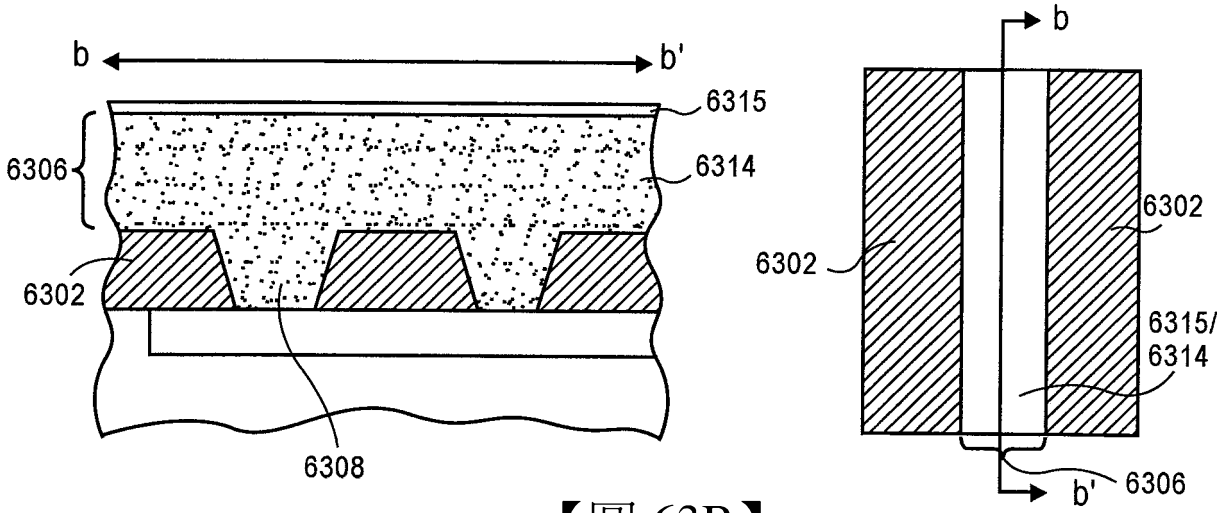


【圖 62B】

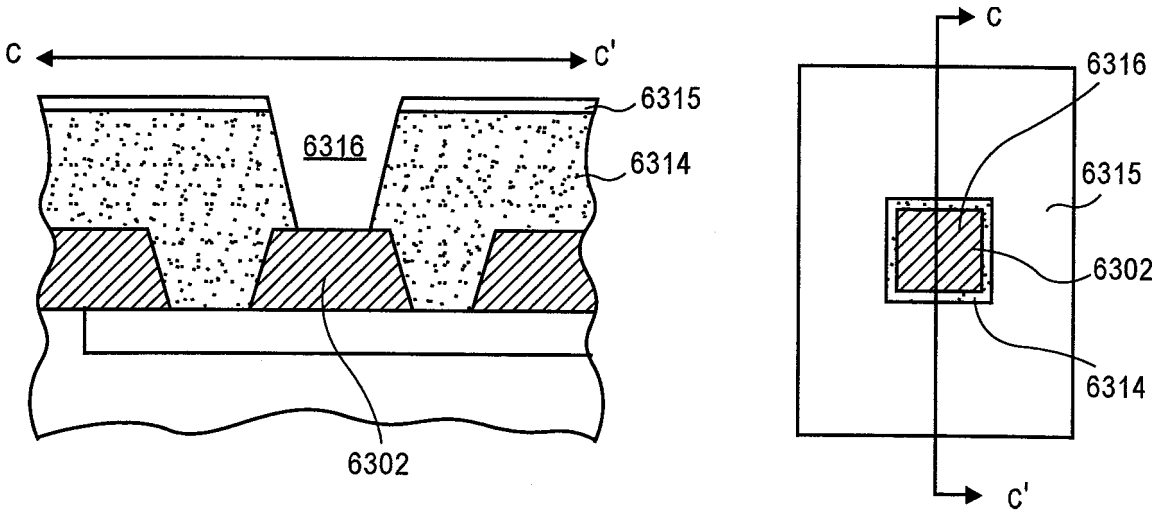
【圖 62C】



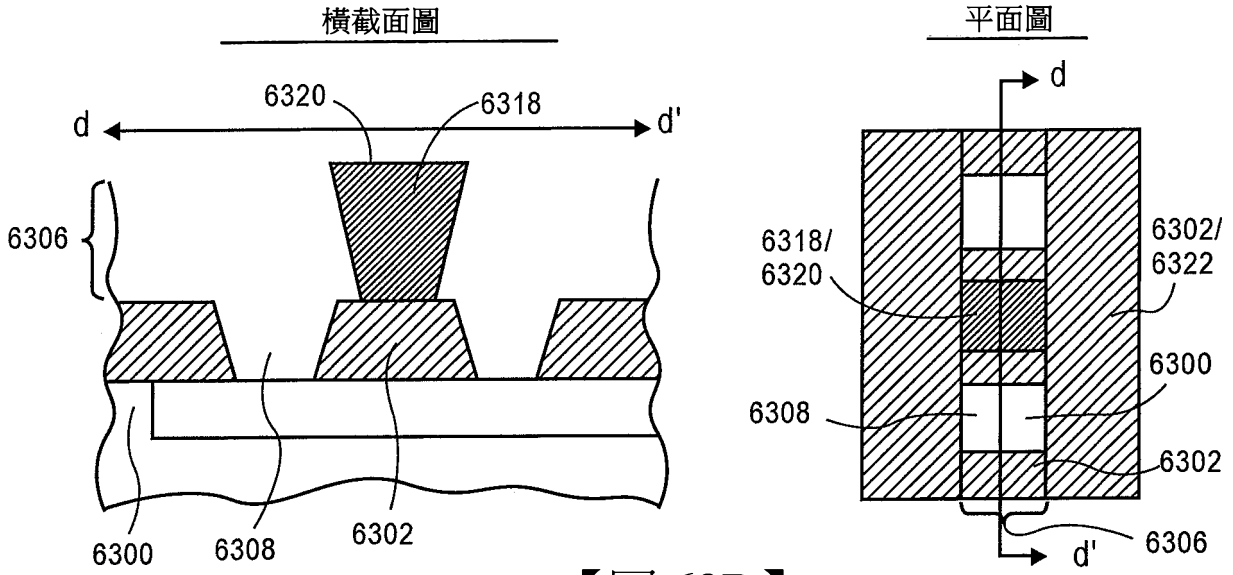
【圖 63A】



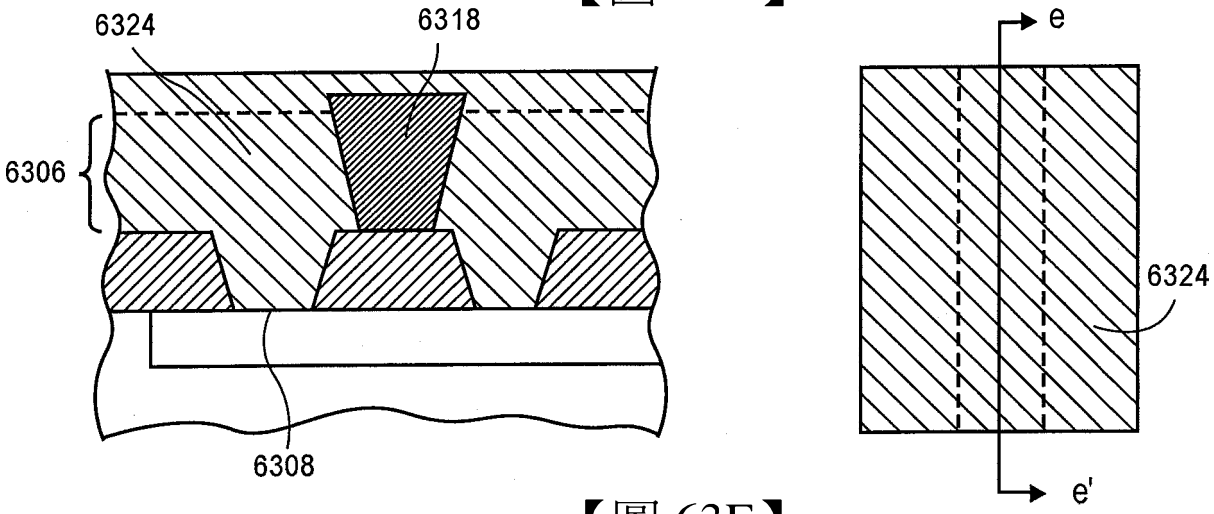
【圖 63B】



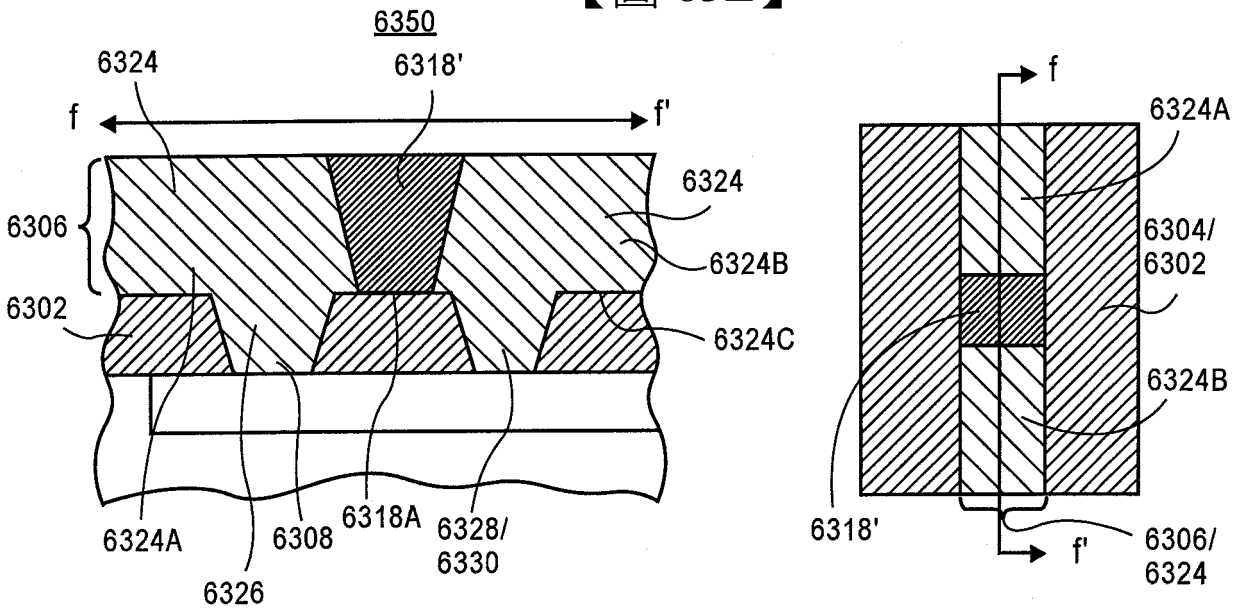
【圖 63C】



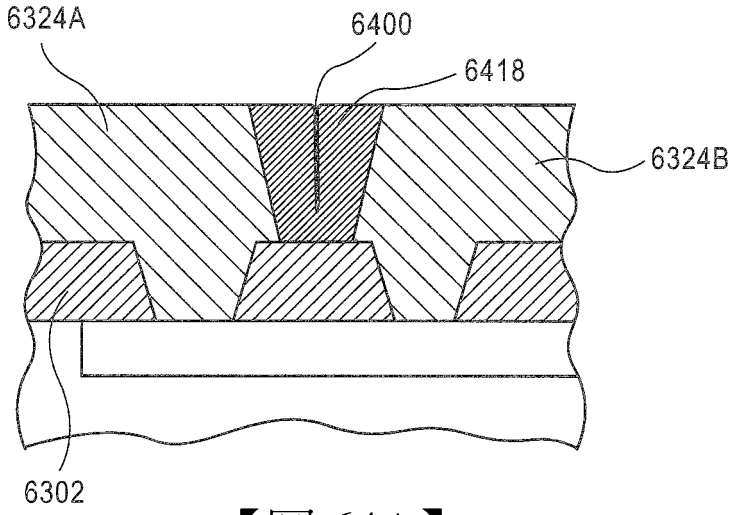
【圖 63D】



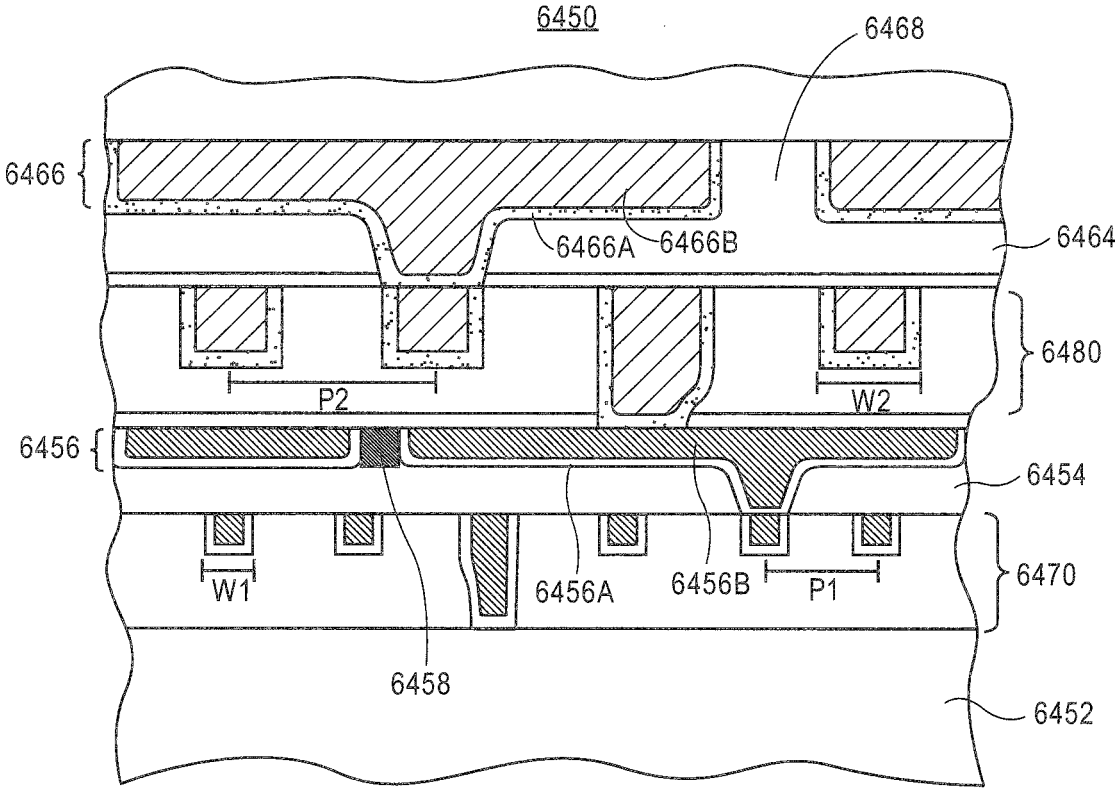
【圖 63E】



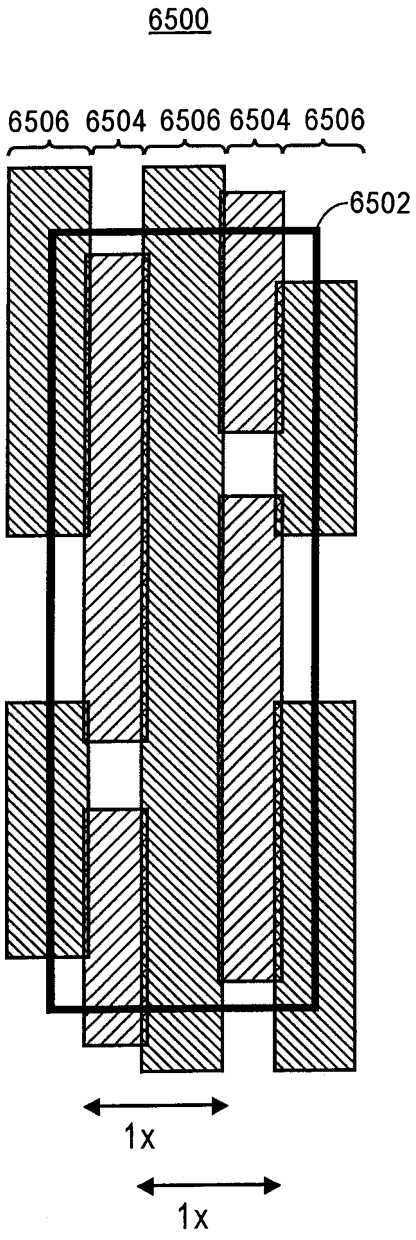
【圖 63F】


6324A
6400
6418
6324B
6302

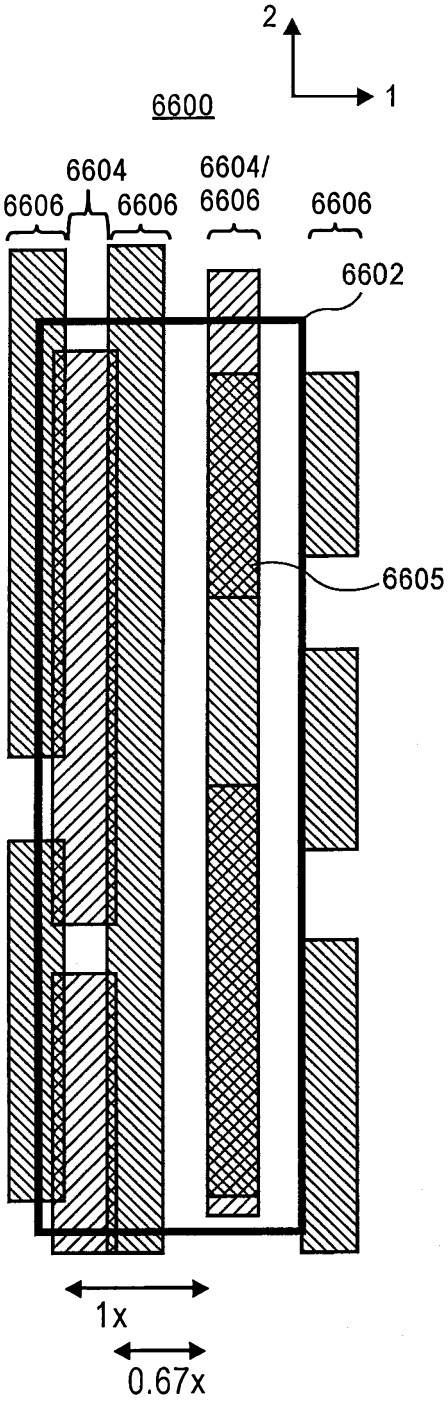
【圖 64A】


6450
6468
6466
6466A
6466B
6464
6480
P2
W2
6456
6454
6470
W1
6456A
6456B
P1
6458
6452

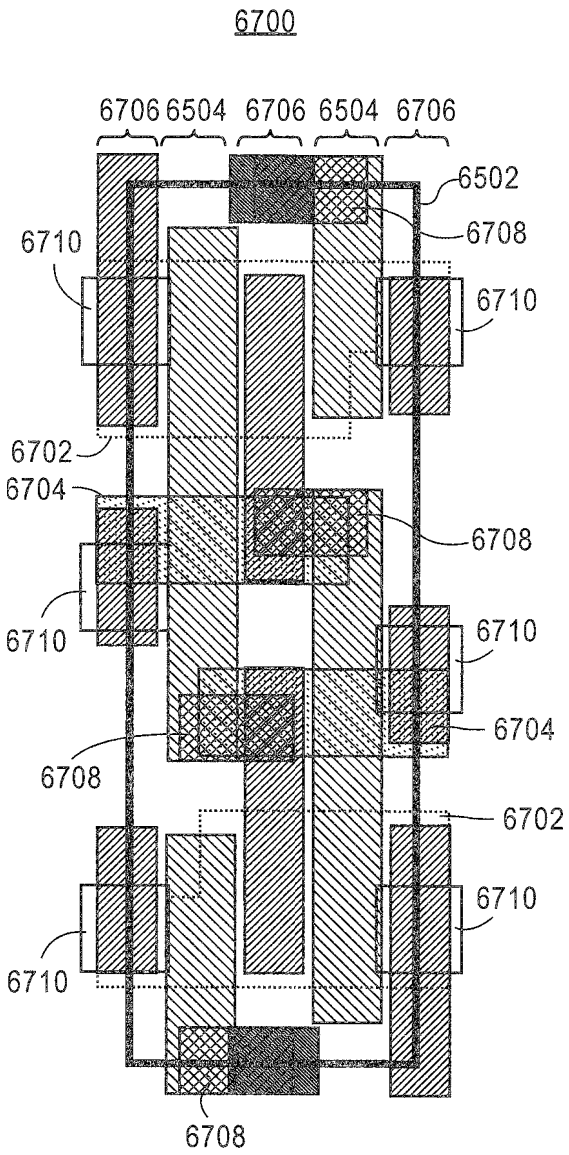
【圖 64B】


6500
6506 6504 6506 6504 6506
6502
1x
1x

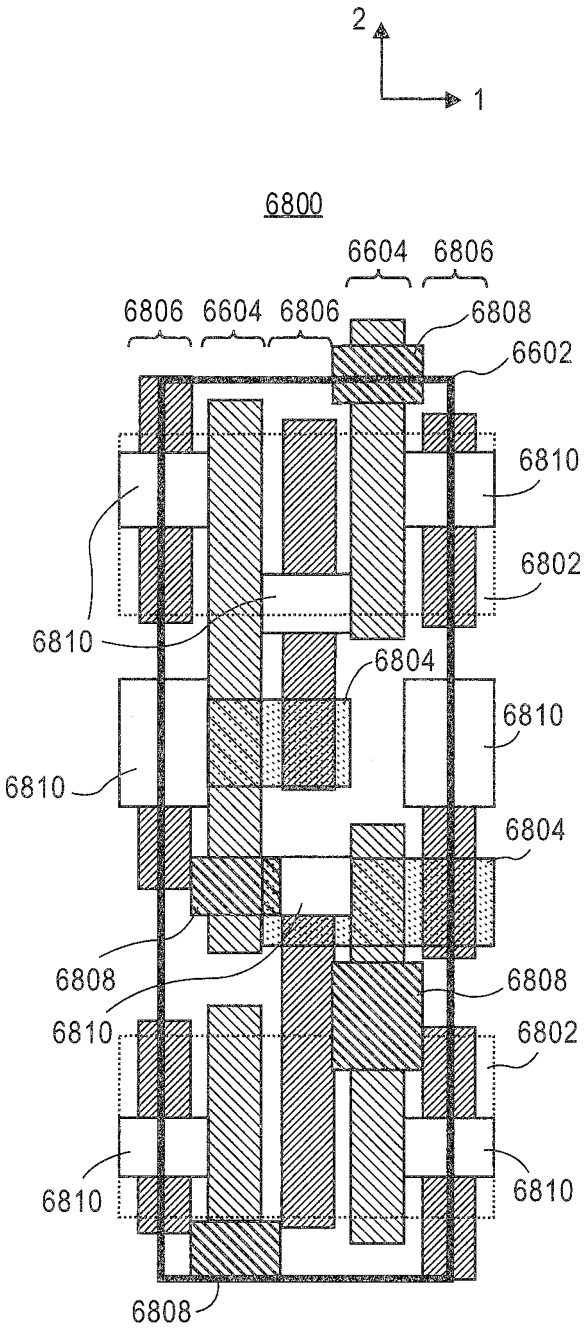
【圖 65】


2
1
6600
6604
6606
6606
6604/
6606
6606
6602
6605
1x
0.67x

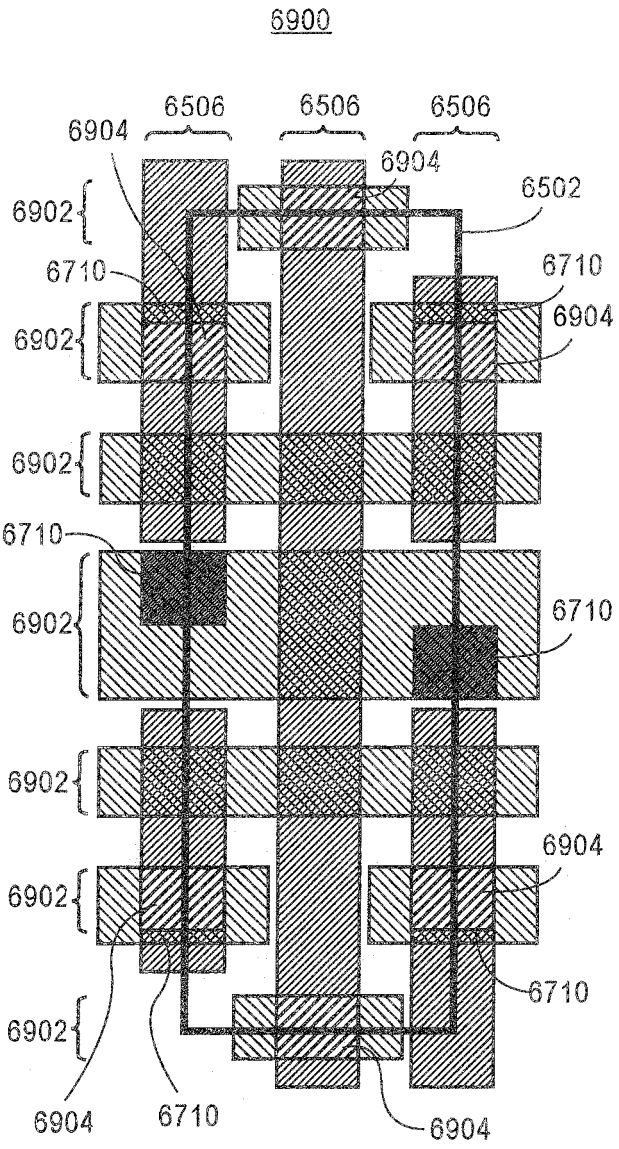
【圖 66】


6700
6706 6504 6706 6504 6706
6502
6708
6710
6710
6702
6704
6708
6710
6710
6704
6708
6702
6710
6710
6708

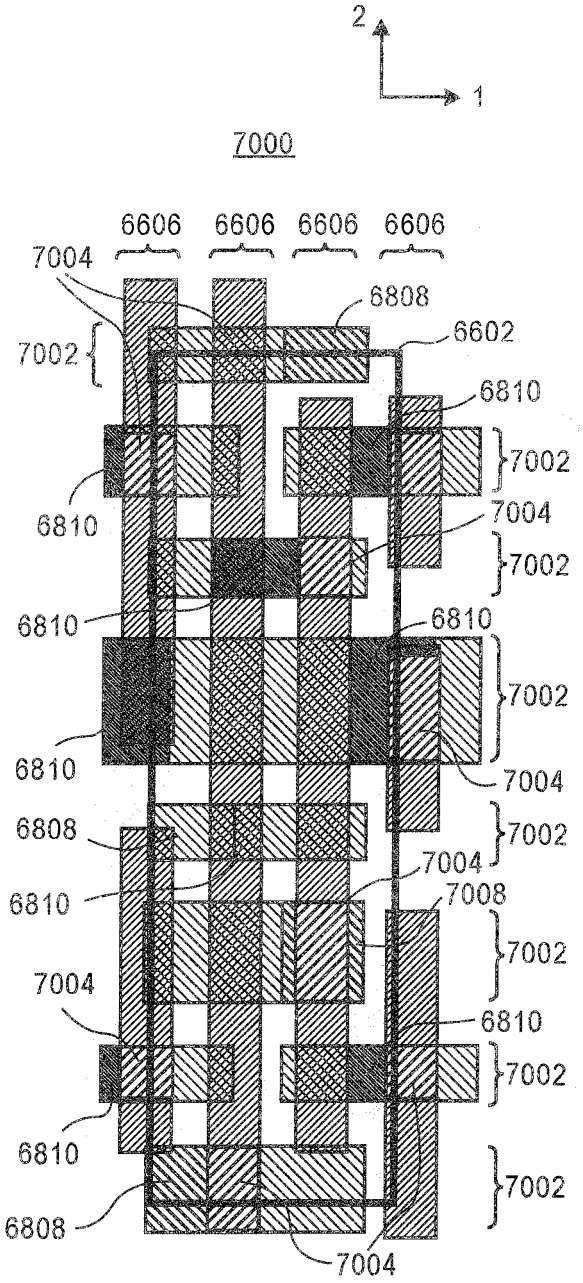
【圖 67】


2
1
6800
6604 6806
6806 6604 6806
6808
6602
6810
6802
6810
6804
6810
6810
6804
6808
6808
6810
6802
6810
6810
6808

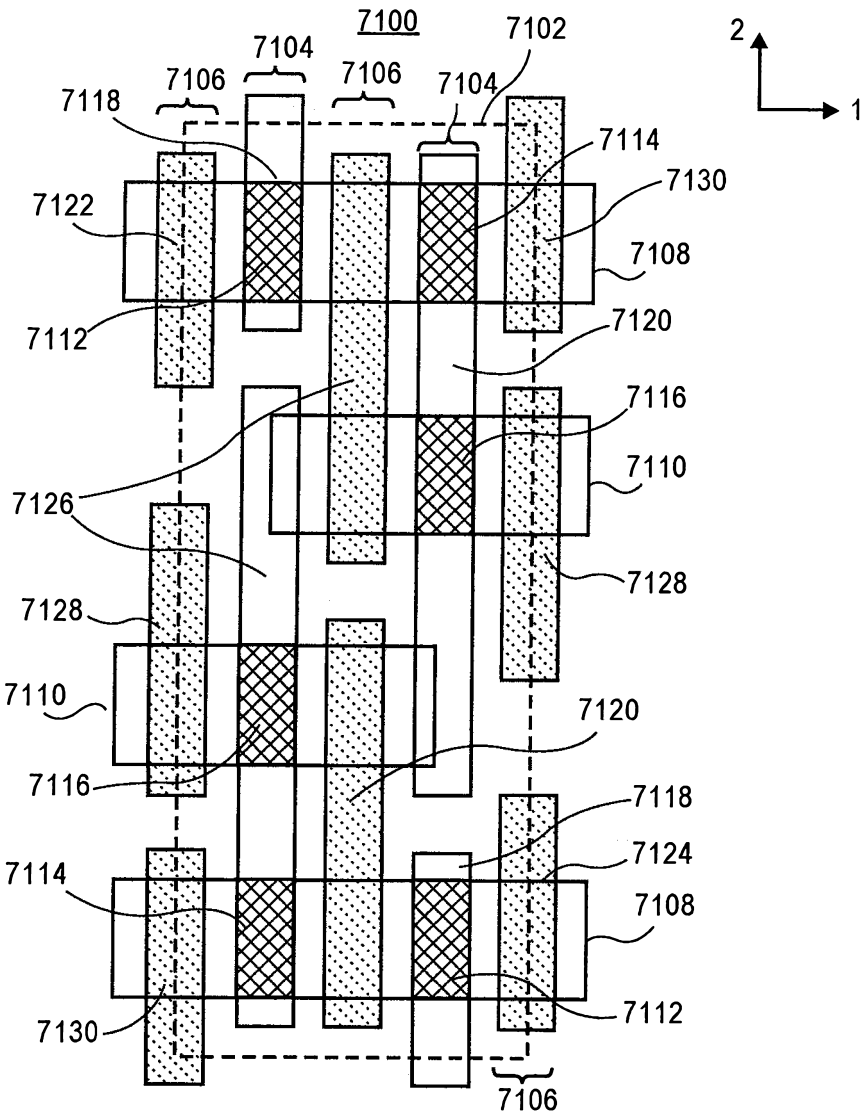
【圖 68】


6900
6506
6506
6506
6904
6904
6502
6902
6710
6710
6902
6904
6902
6710
6710
6902
6902
6904
6902
6710
6902
6904
6710
6904

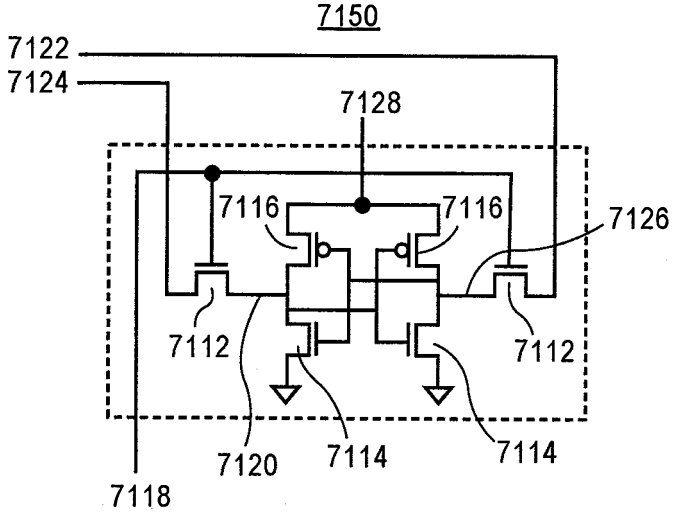
【圖 69】


2
1
7000
6606
6606
6606
6606
7004
6808
6602
7002
6810
7002
6810
7004
7002
6810
6810
7002
6810
7004
6808
7002
6810
7004
7008
7002
7004
6810
7002
6810
7002
6808
7004

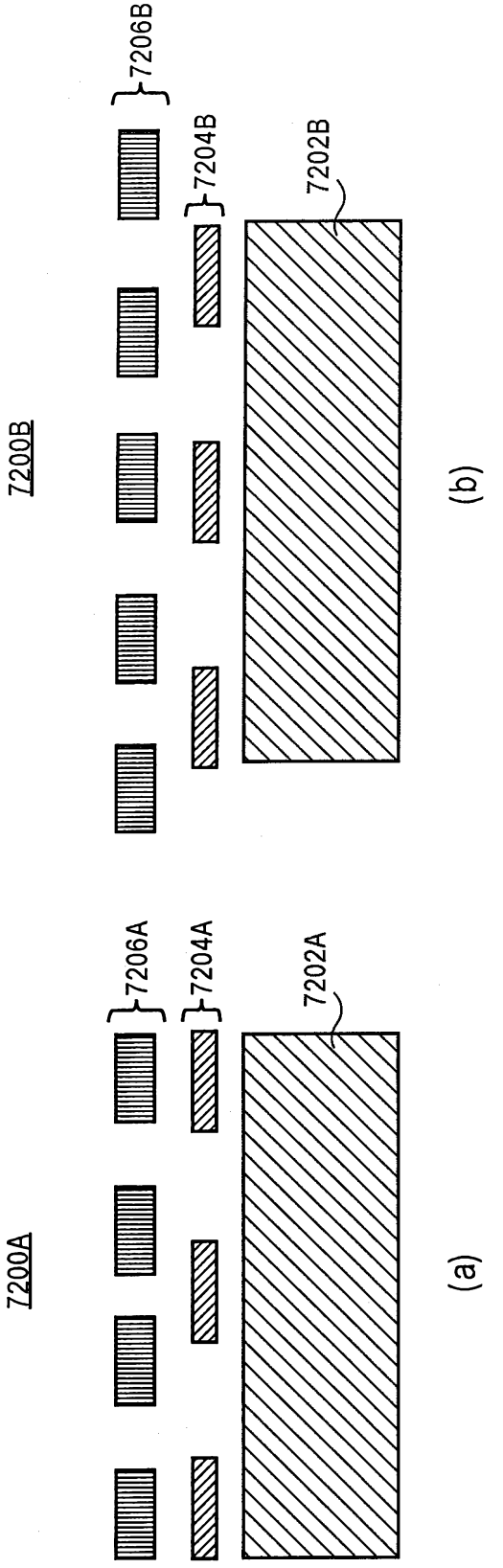
【圖 70】


7100
7102
7104
7106
7106
7104
7118
7114
7130
7122
7108
7112
7120
7116
7126
7110
7128
7128
7110
7120
7116
7118
7124
7114
7108
7112
7130
7106
2
1

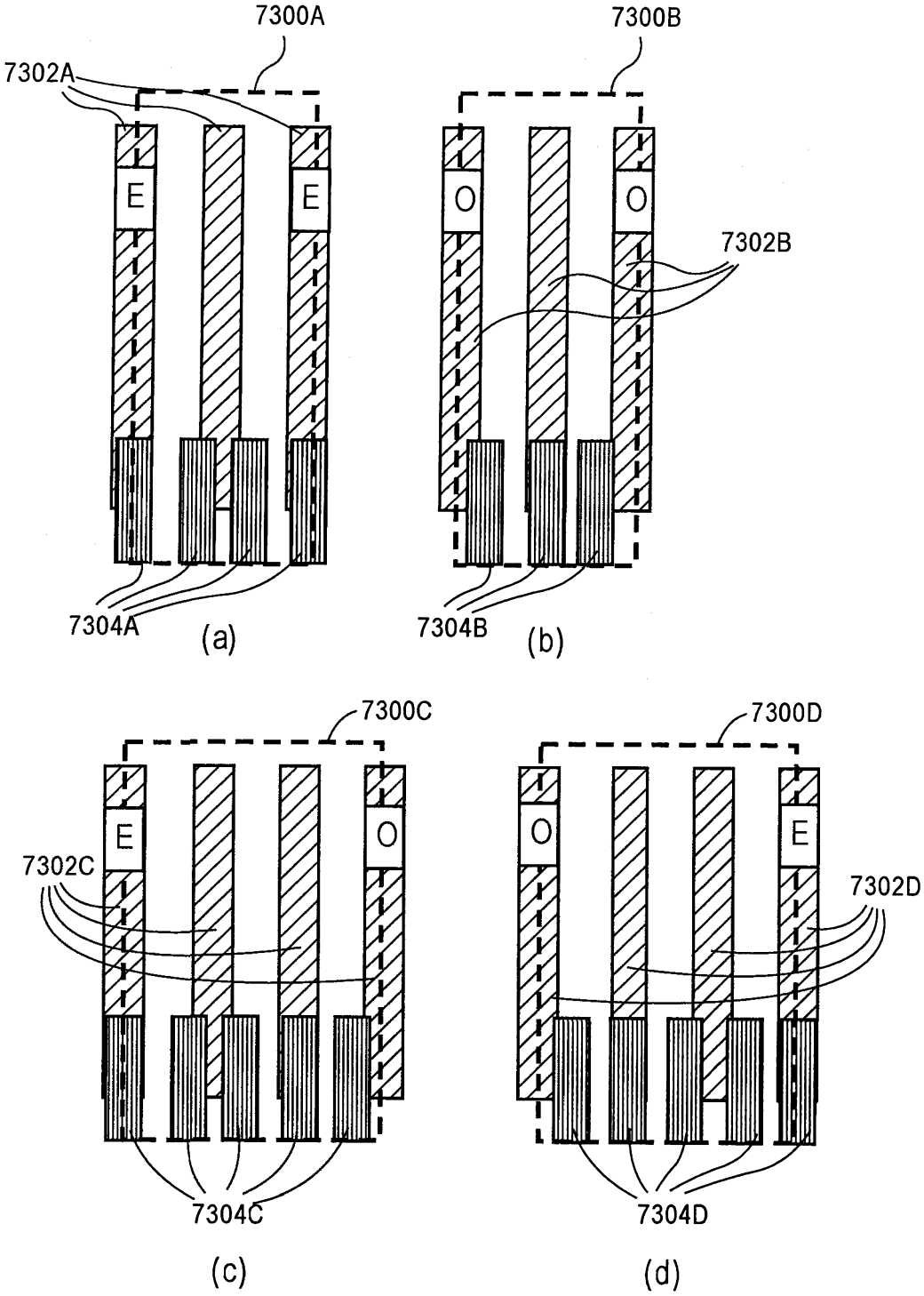
【圖 71A】


7150
7122
7124
7128
7116
7116
7126
7112
7112
7120
7114
7114
7118

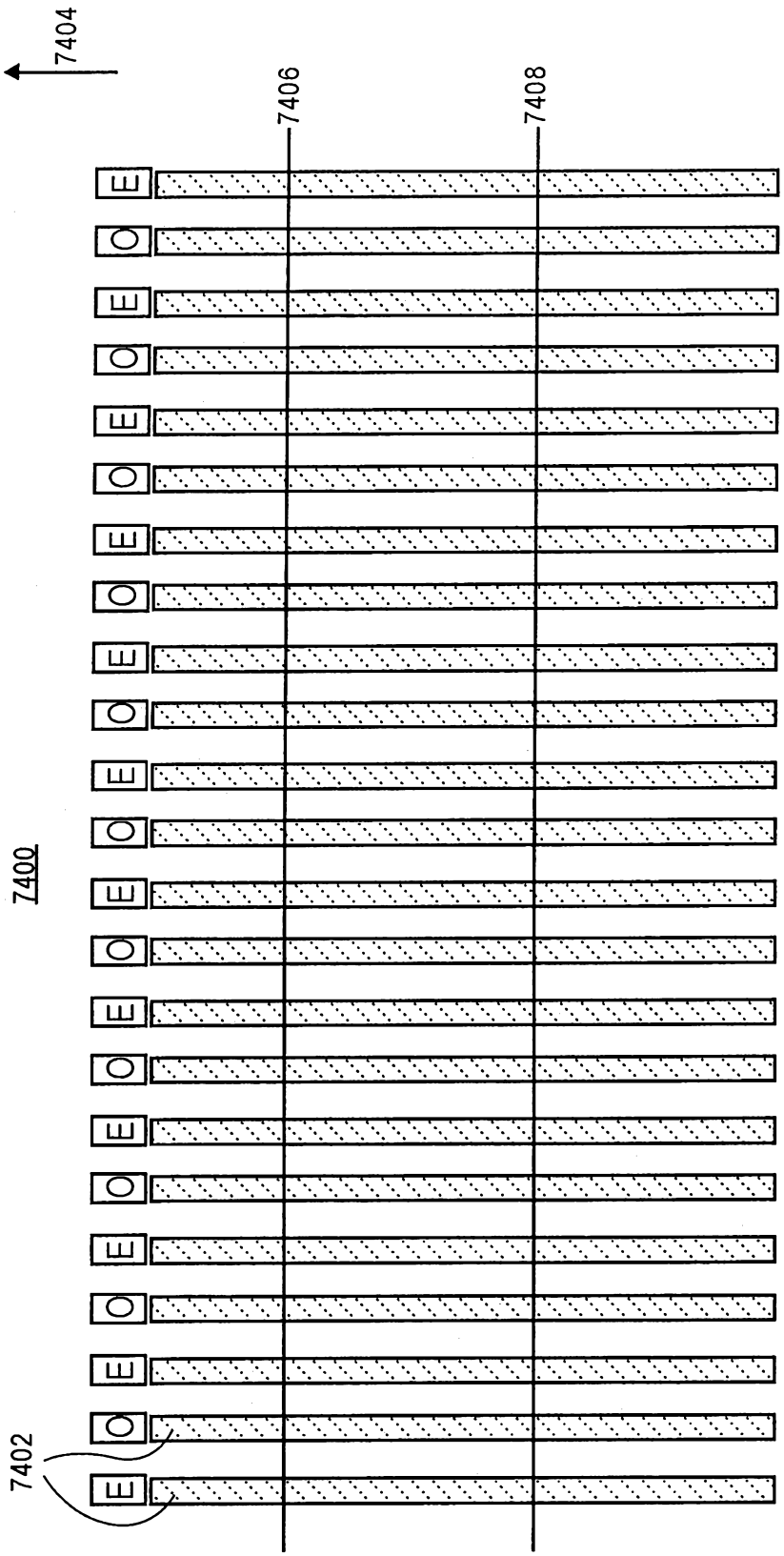
【圖 71B】



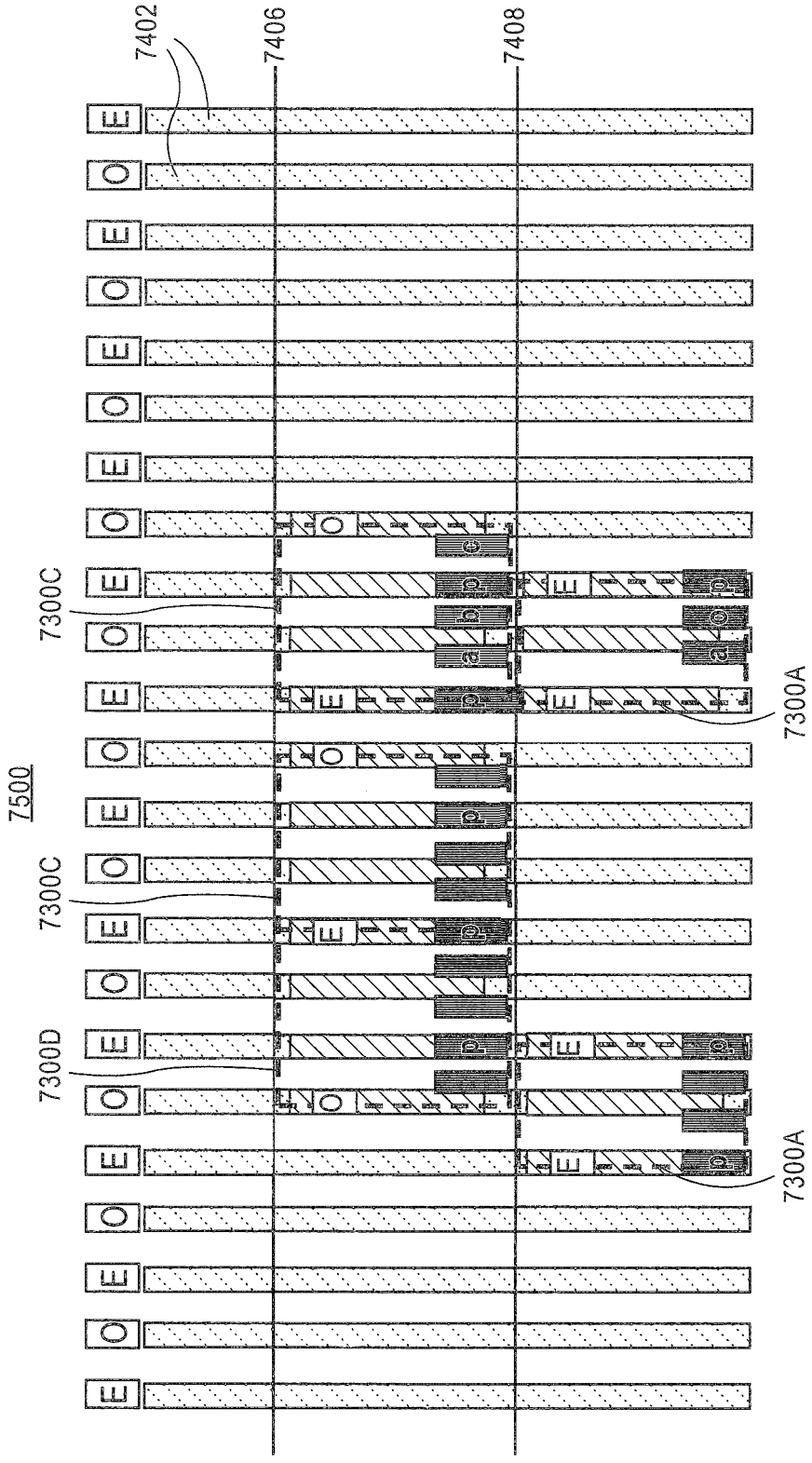
【圖 72】


7300A
7302A
E
E
7304A
(a)
7300B
O
O
7302B
7304B
(b)
7300C
E
O
7302C
7304C
(c)
7300D
O
E
7302D
7304D
(d)

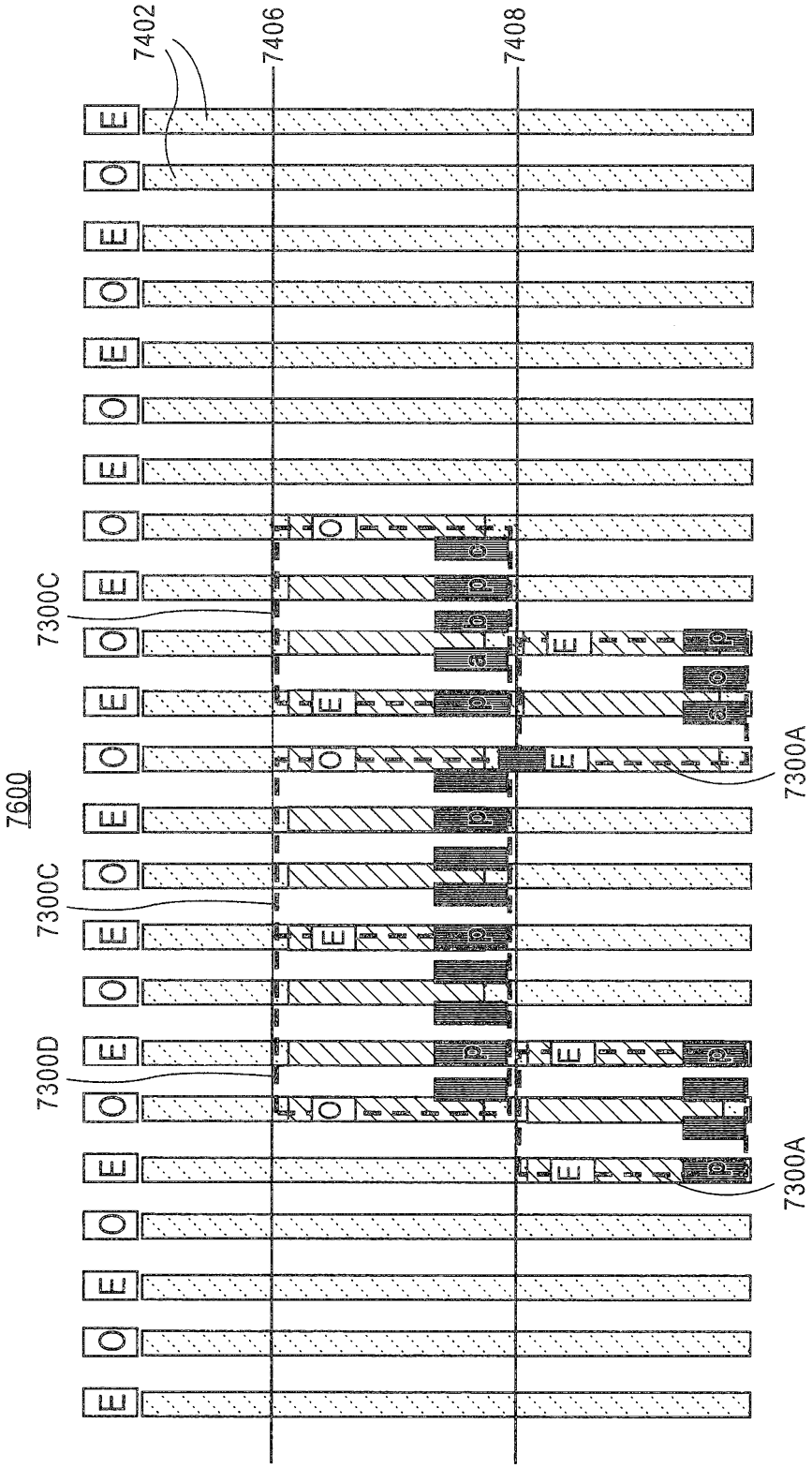
【圖 73】



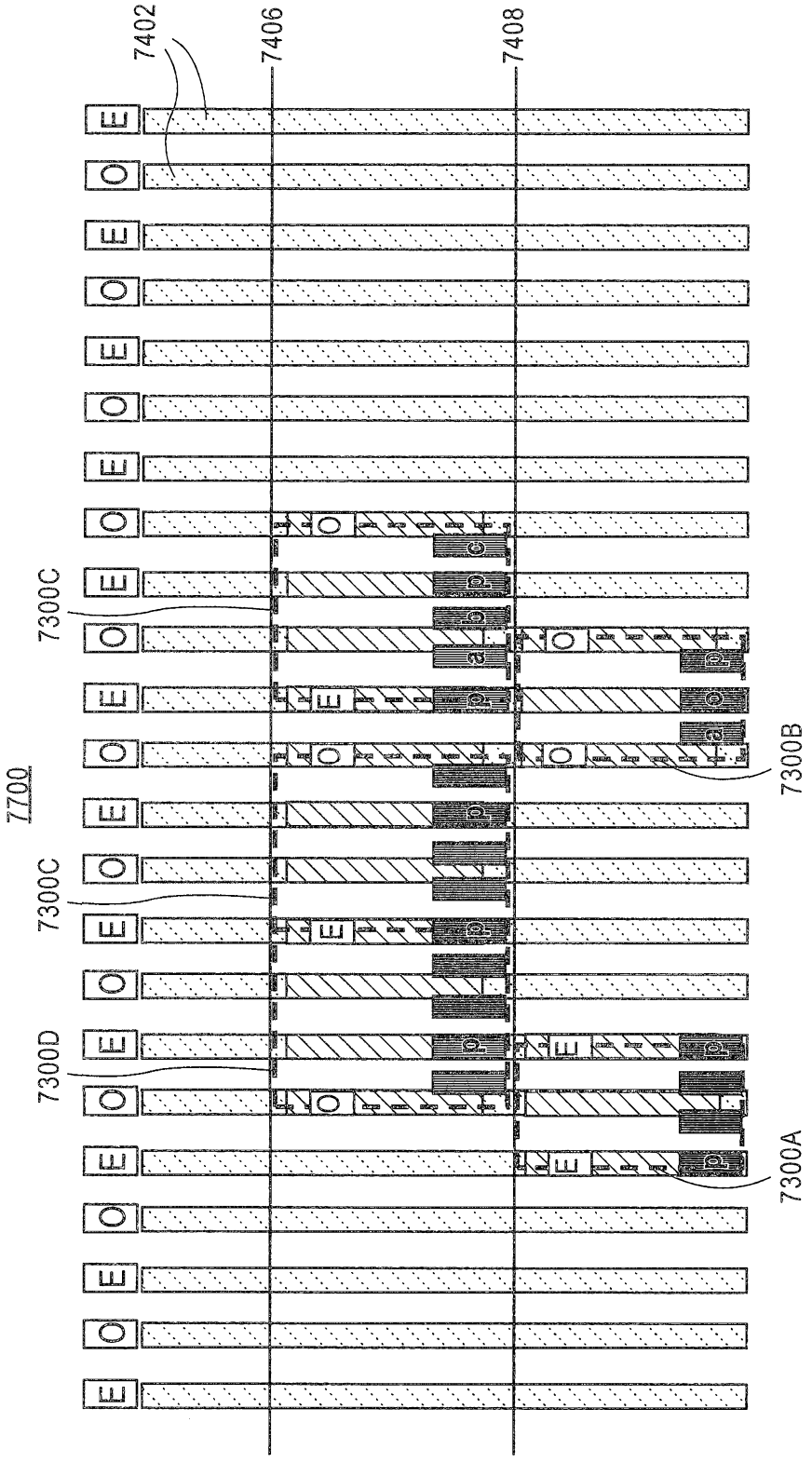
【圖 74】



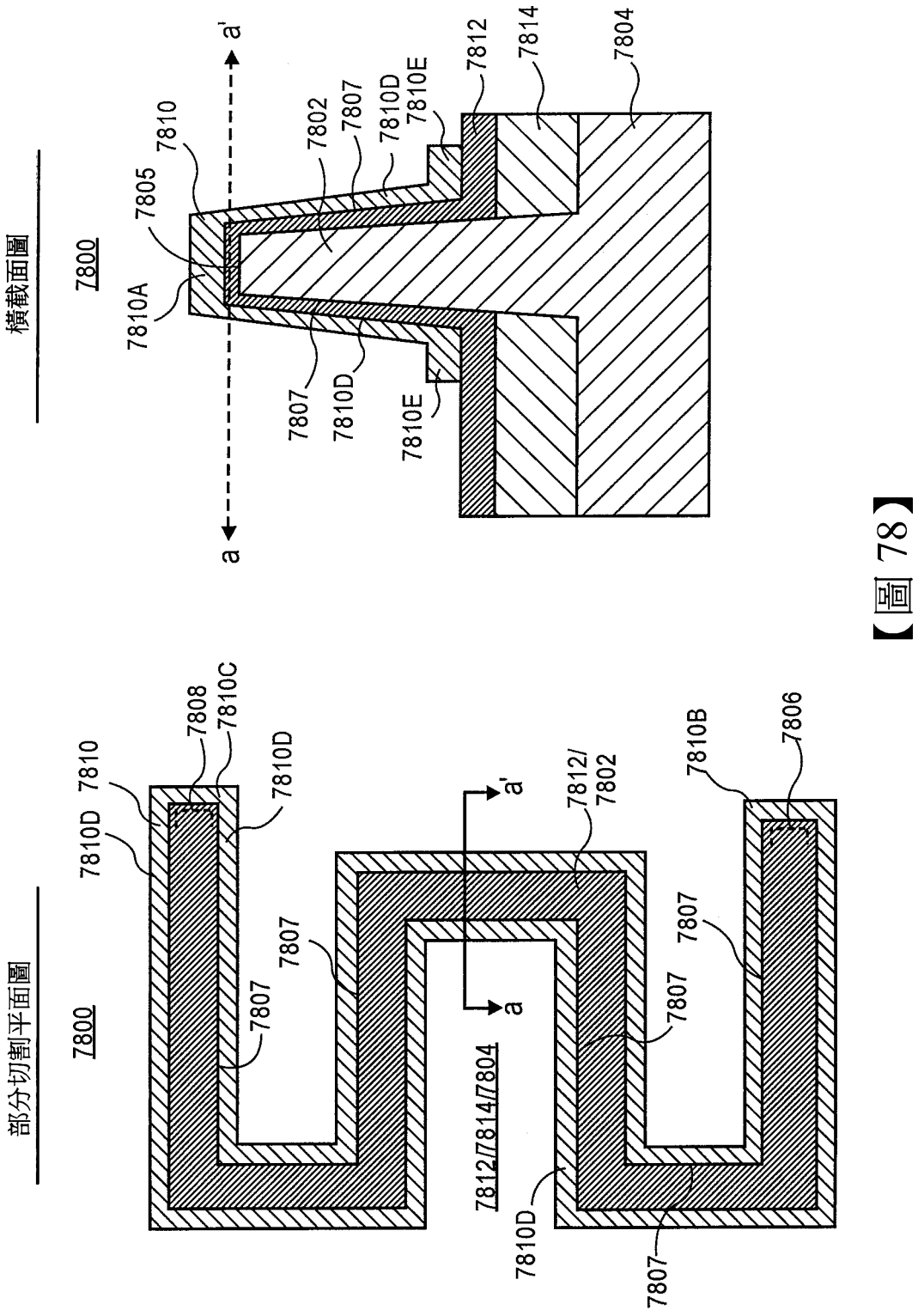
【圖 75】



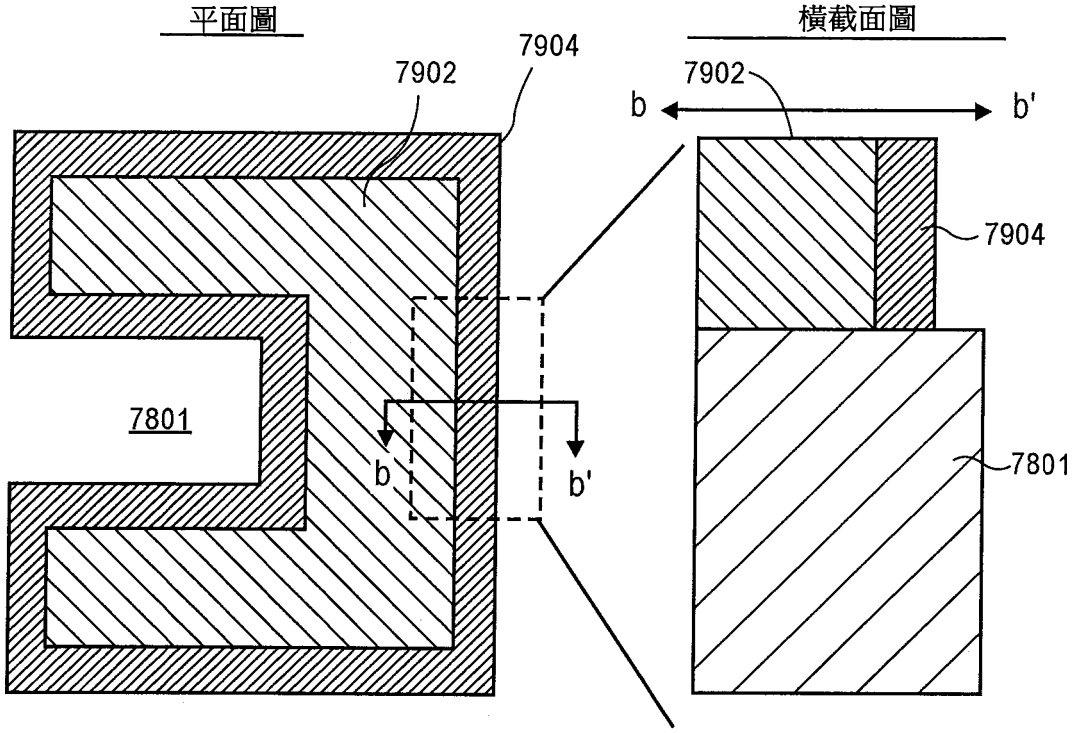
【圖 76】



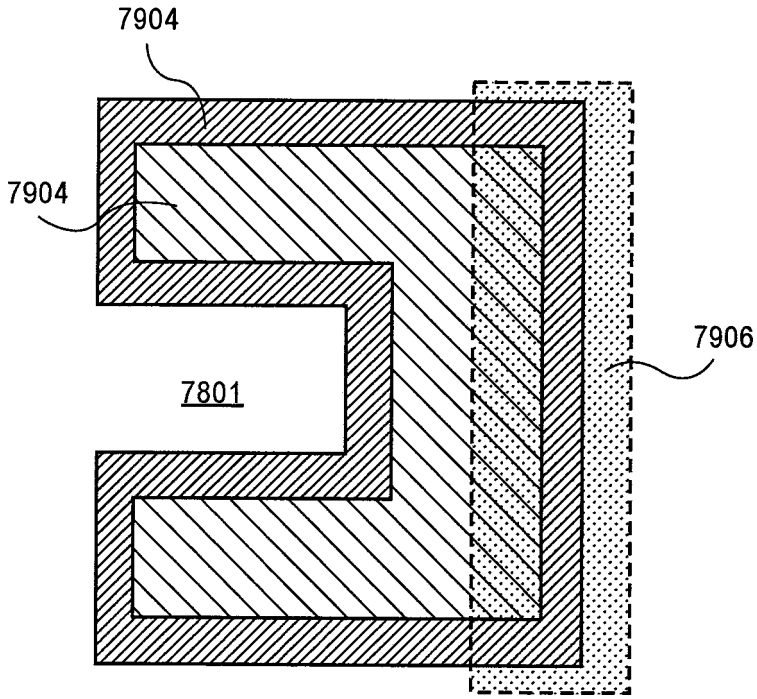
【圖 77】


橫截面圖
Z800
7810A
7805
7810
7802
7807
7810D
7810E
7812
7814
7804
a
a'
7807
7810D
7810E
部分切割平面圖
Z800
7810D
7810
7808
7810C
7810D
7807
7807
a'
a
7812/
7802
7812/7814/7804
7810D
7807
7810B
7806
7807
7807

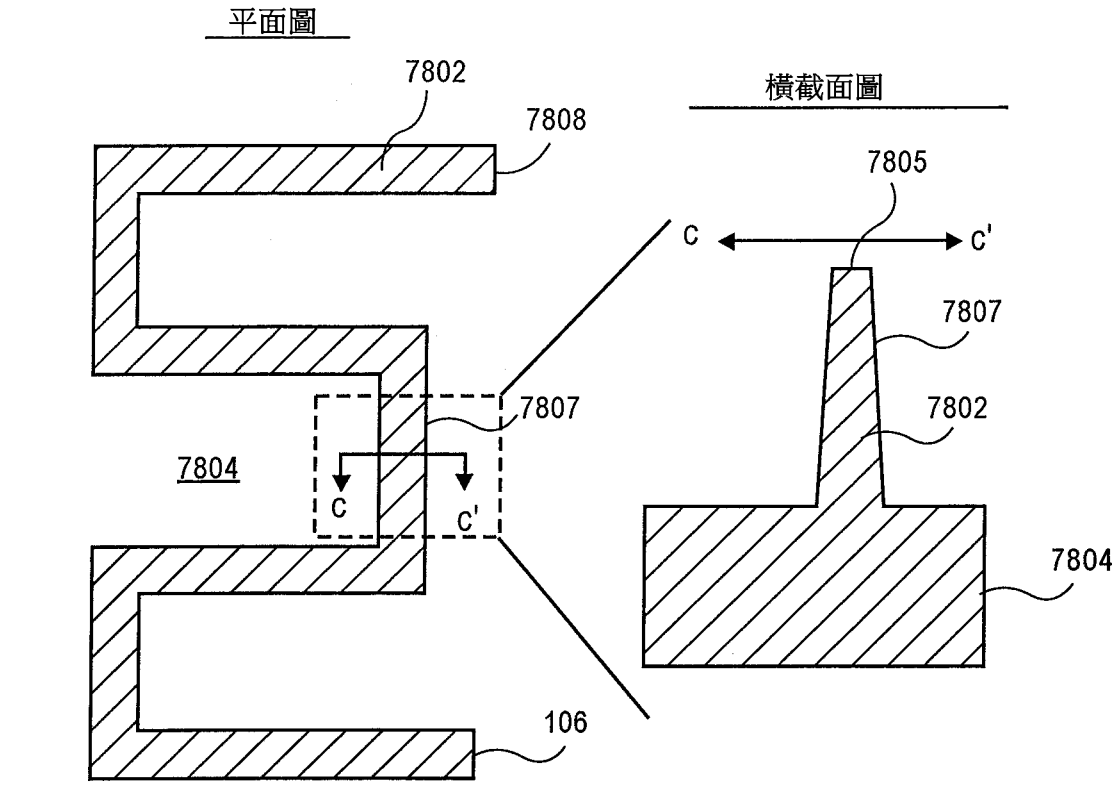
【圖 78】


平面圖
橫截面圖
7902
7904
7902
b
b'
7904
7801
b
b'
7801

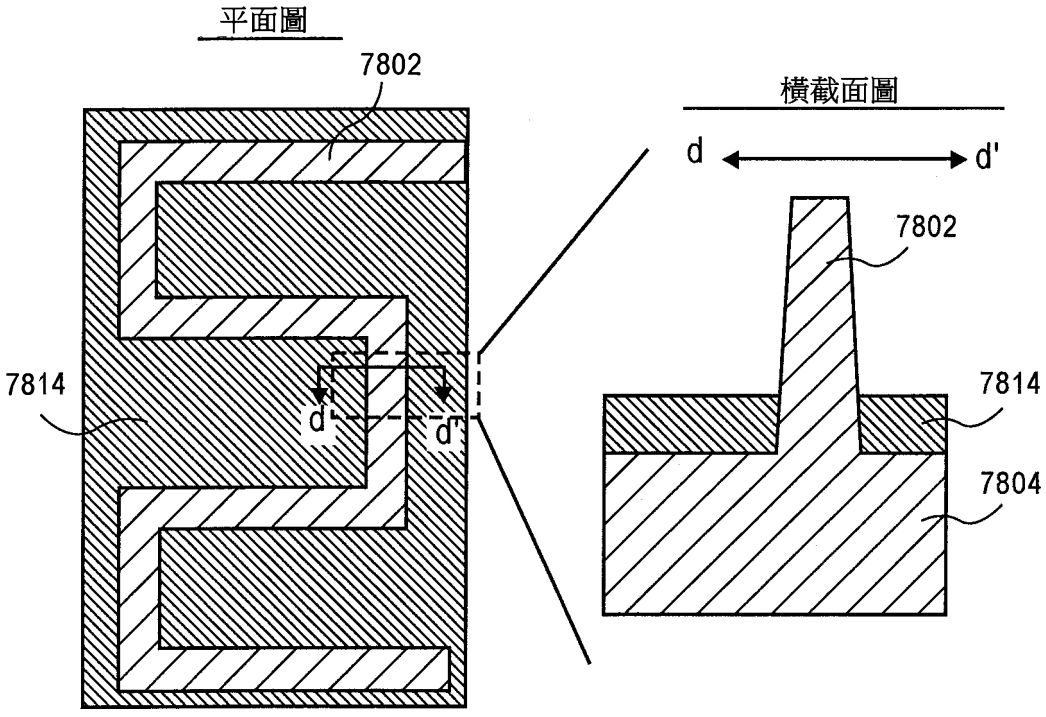
【圖 79】


7904
7904
7906
7801

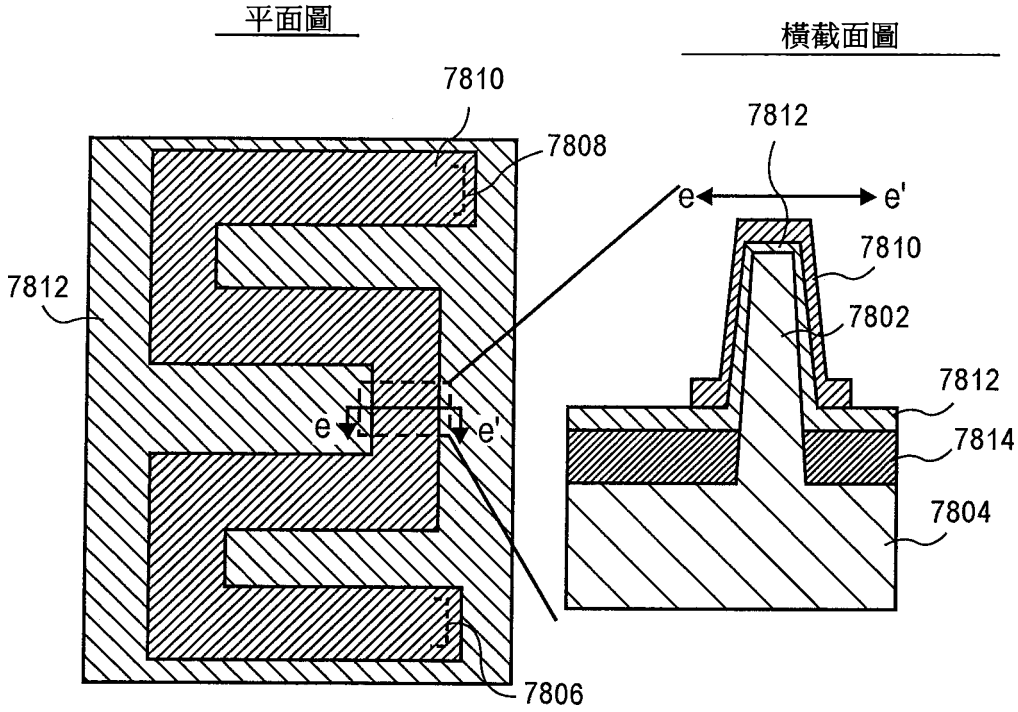
【圖 80】


平面圖
7802
7808
7807
7804
c
c'
106
橫截面圖
7805
c
c'
7807
7802
7804

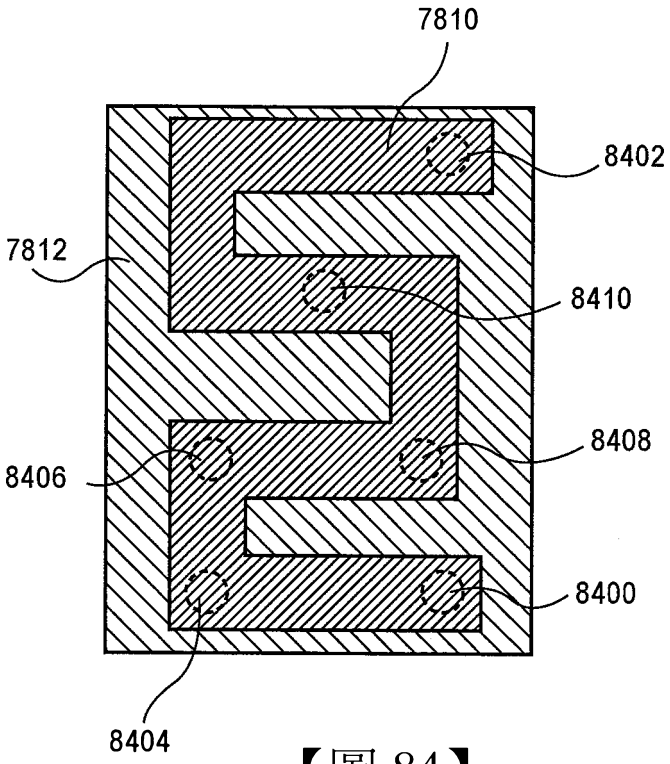
【圖 81】


平面圖
7802
7814
d
d'
橫截面圖
d
d'
7802
7814
7804

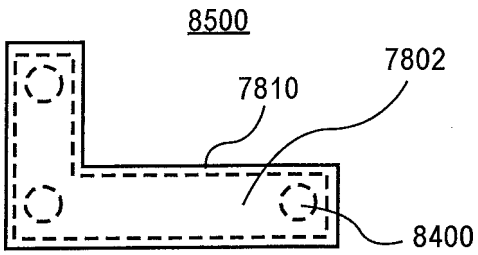
【圖 82】


平面圖
橫截面圖
7810
7808
7812
e
e'
7806
7812
e
e'
7810
7802
7812
7814
7804

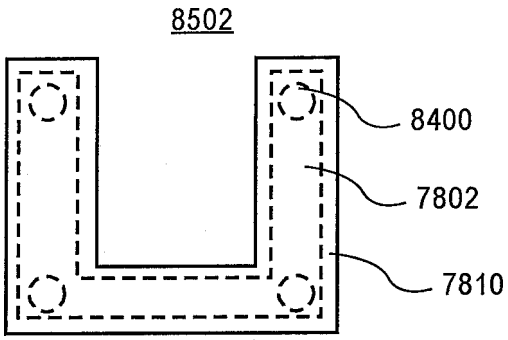
【圖 83】


7810
8402
7812
8410
8408
8406
8400
8404

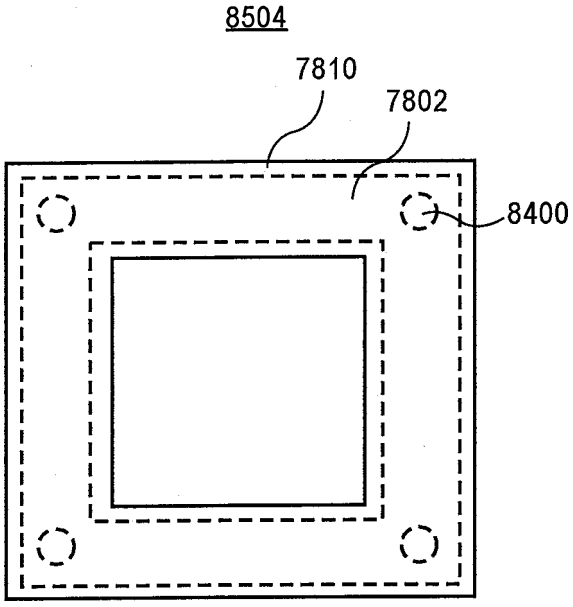
【圖 84】



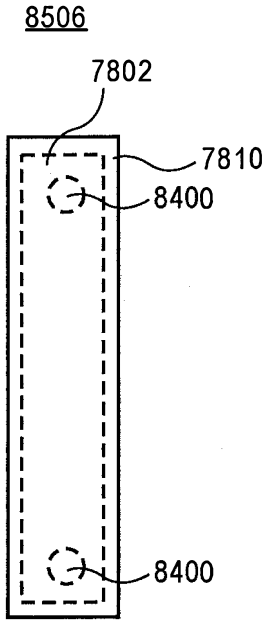
【圖 85A】



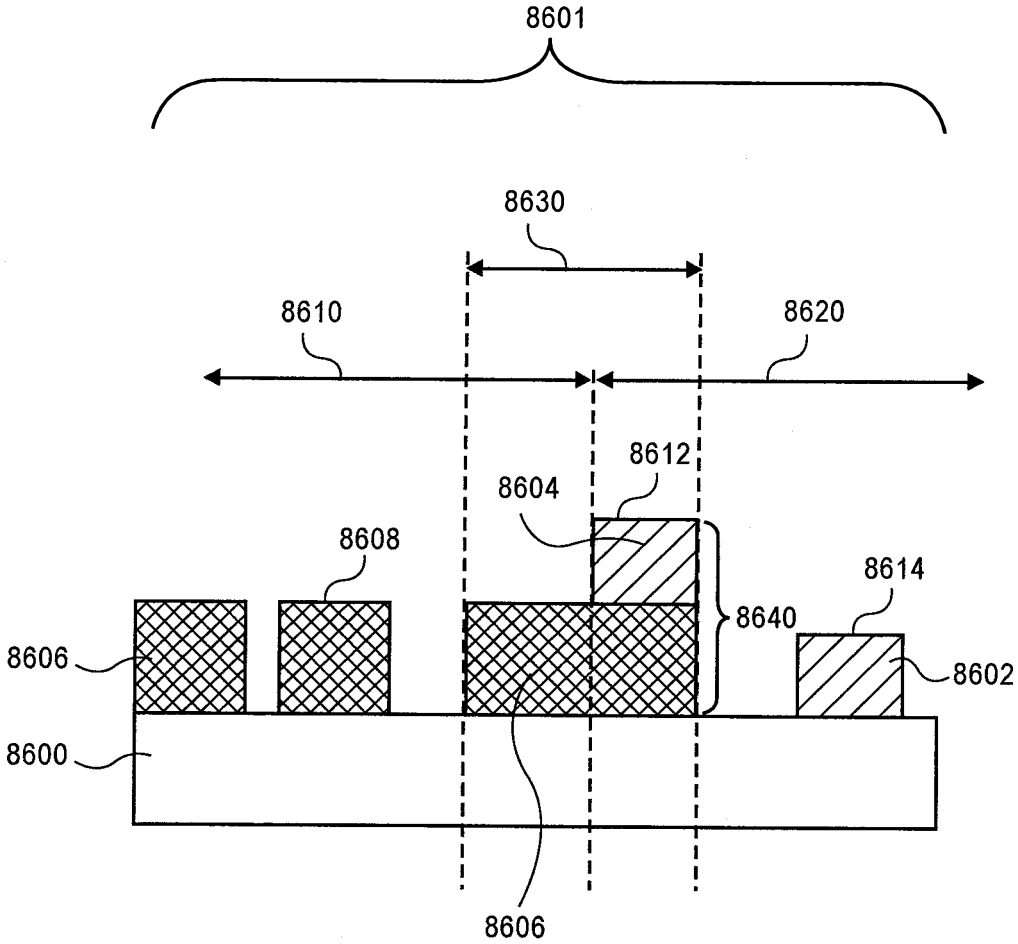
【圖 85B】



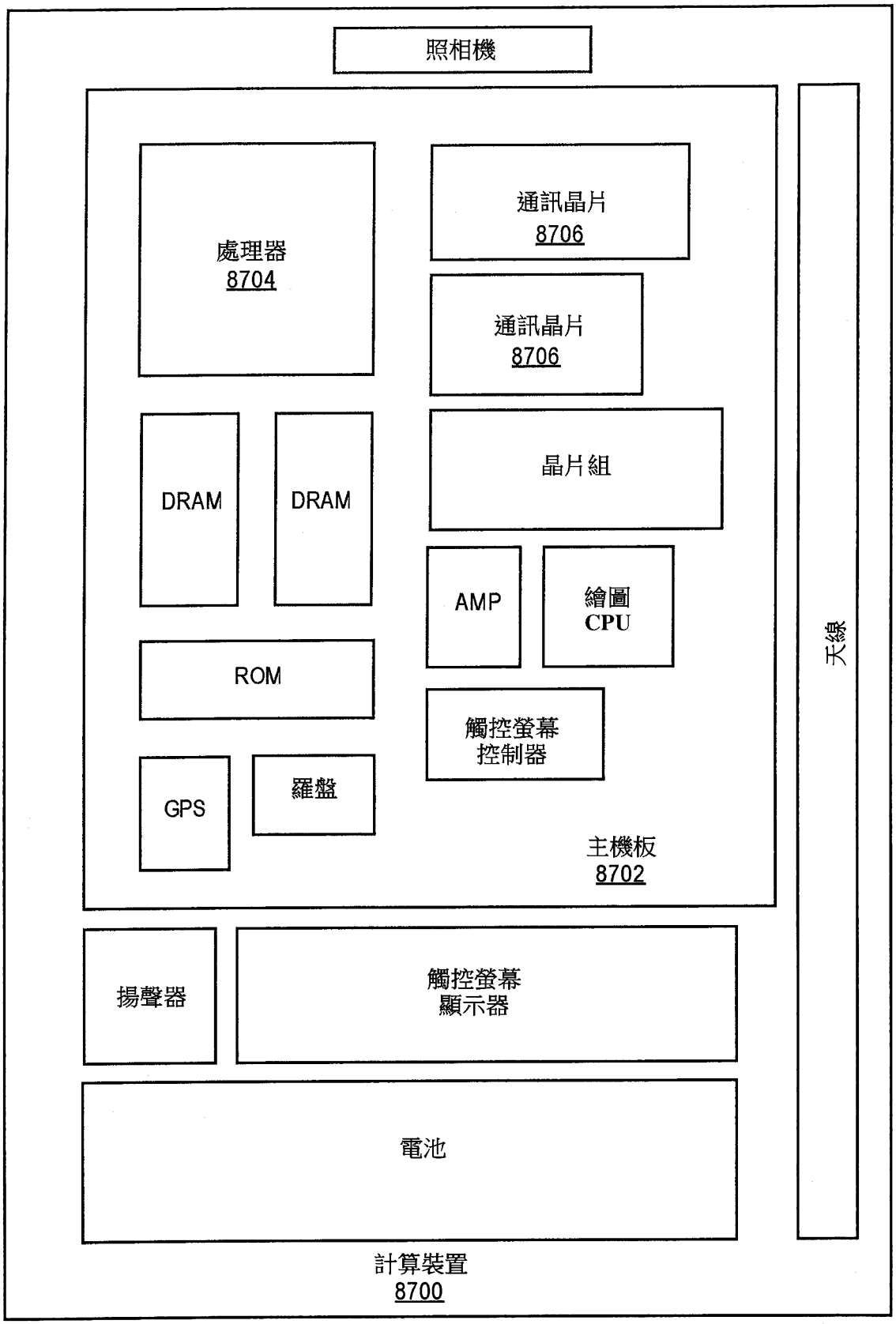
【圖 85C】



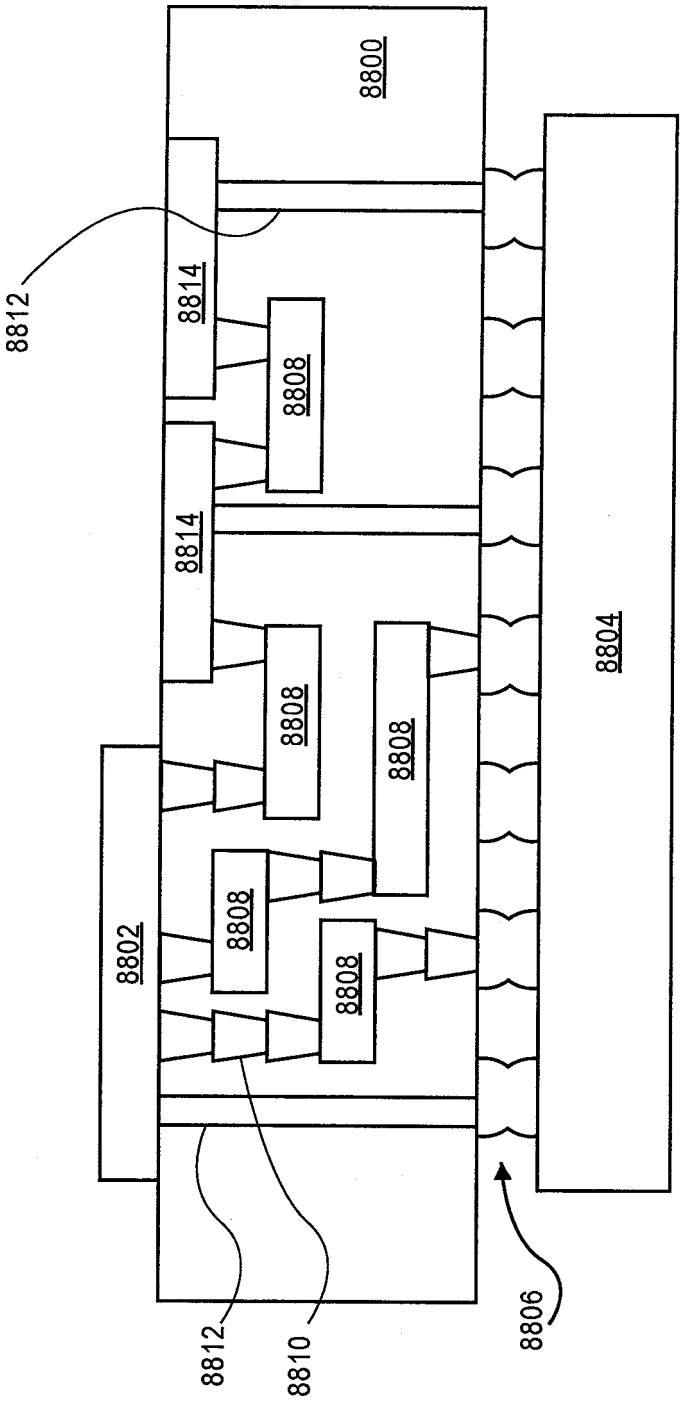
【圖 85D】


8601
8630
8610
8620
8612
8604
8608
8614
8640
8606
8602
8600
8606

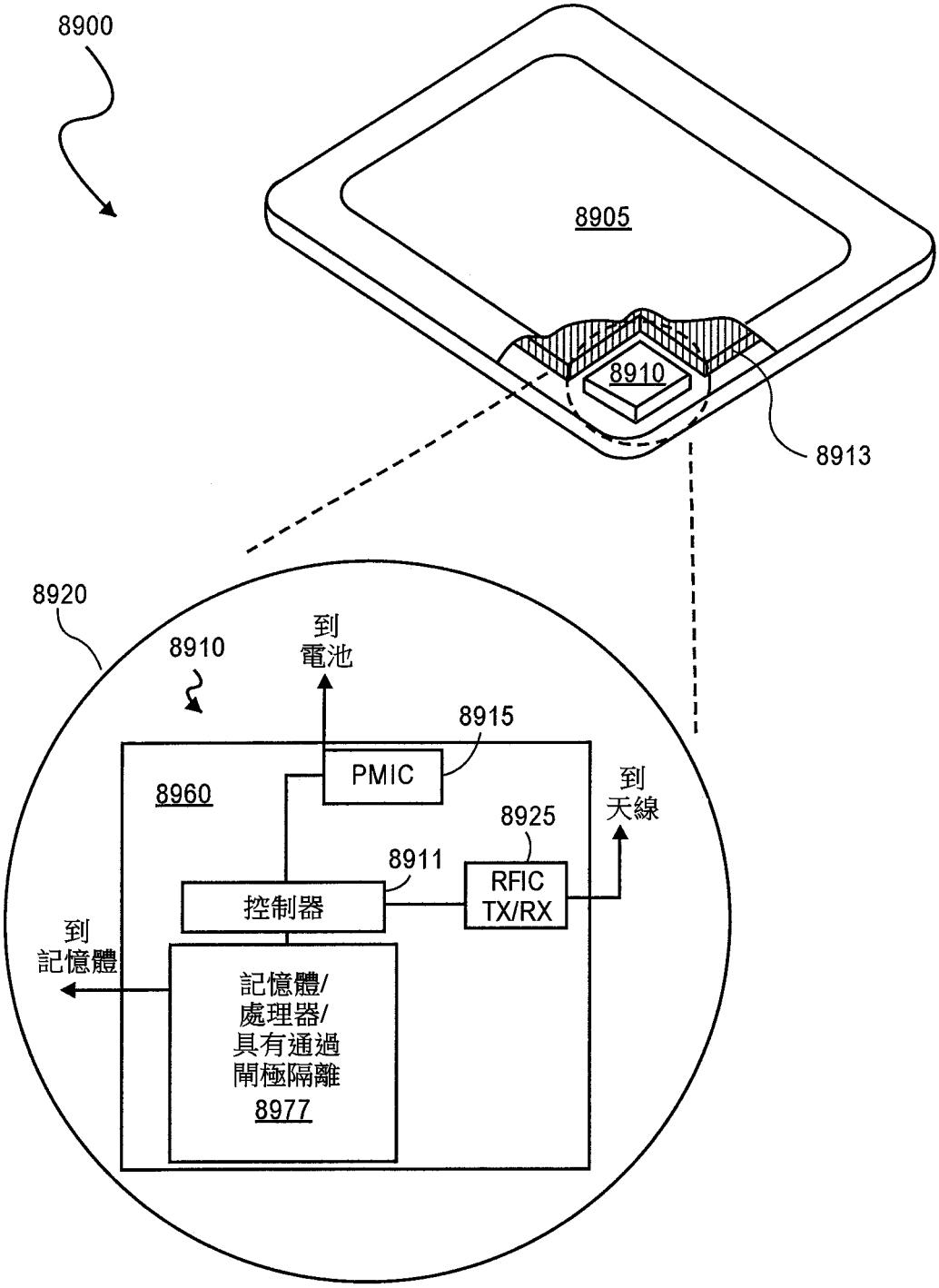
【圖 86】


照相機
處理器
8704
通訊晶片
8706
通訊晶片
8706
DRAM
DRAM
晶片組
AMP
繪圖
CPU
ROM
觸控螢幕
控制器
GPS
羅盤
主機板
8702
天線
揚聲器
觸控螢幕
顯示器
電池
計算裝置
8700

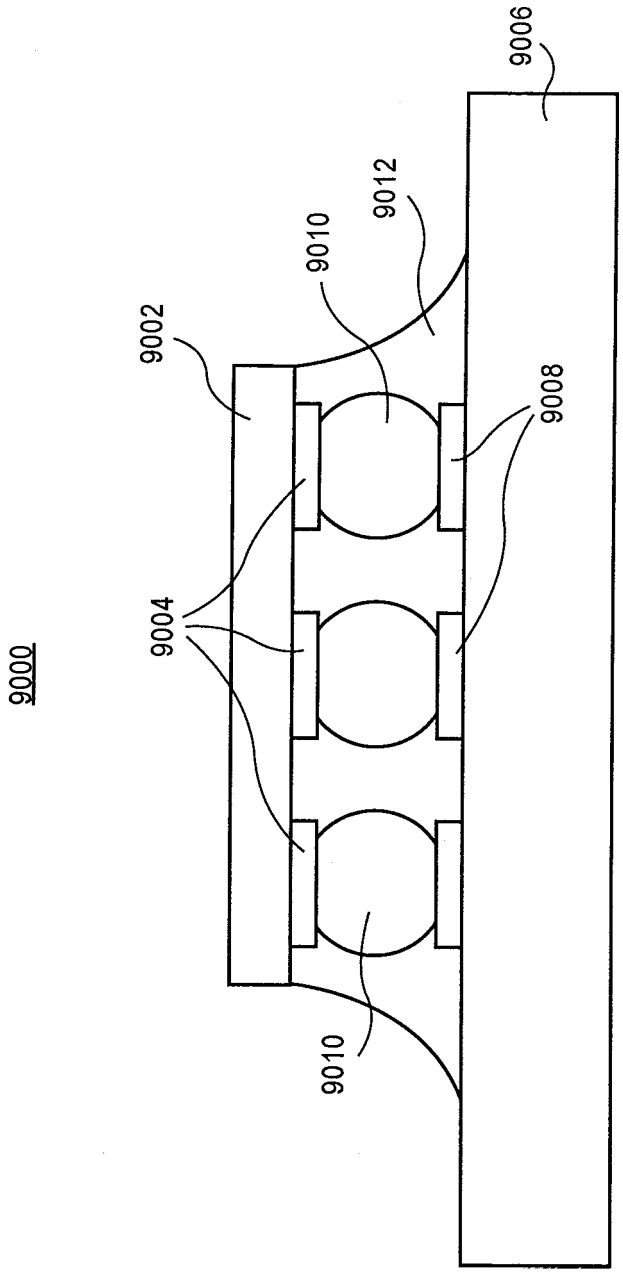
【圖 87】


8800
8812
8814
8808
8814
8808
8808
8808
8808
8802
8804
8812
8810
8806

【圖 88】


8900
8905
8910
8913
8920
8910
到
電池
8915
PMIC
8960
8925
到
天線
8911
RFIC
TX/RX
控制器
到
記憶體
記憶體/
處理器/
具有通過
閘極隔離
8977

【圖 89】



【圖 90】