Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 766020

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 22.05.78 (21) 2620432/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.09.80. Бюллетень № 35

Дата опубликования описания 23.09.80

(51) М. Кл.^{3} H 03 K 23/24

(53) УДК 621.374.322(088.8)

(72) Авторы изобретения А.М. Ионтов и Н.С. Бурая

(71) Заявитель -

ВНИИПИ

(54) ДВОИЧНЫЙ СЧЕТЧИК

1

Изобретение относится к счетчикам импульсов и может использоваться в устройствах обработки импульсных сигналов и в вычислительной технике.

Известен двоичный счетчик, содержащий счетные триггеры, дешифратор, RS-триггер, элементы И, входы дешифратора соединены с выходами счетных триггеров, а выходы RS-триггера соединены с входами элементов И [1].

Недостатком этого двоичного счетчика является сравнительно низкое быстродействие.

Известен также двоичный счетчик, содержащий счетные триггеры, RS-триггер, дешифратор, первый, второй, третий и четвертый элементы И, шину счетных импульсов и первую управляющую шину, которая соединена с первым входом первого элемента И, выход которого соединен с входами сброса счетных триггеров, выходы которых соединены с входами дешифратора, прямой и инверсный выходы RS-триггера соединены с первыми входами второго и третьего элементов соответственно, вторые входы которых соединены с шиной счетных импульсов, выход второго элемента И соединен с вторым входом первого элемента И, а выход

2

третьего элемента И соединен со счетным входом первого счетного триггера [2].

Недостатком этого двоичного счетчика является невозможность обеспечения реверсивного счета.

Цель изобретения - обеспечить возможность реверсивного счета.

Это достигается тем, что в двоичный счетчик, содержащий счетные триггеры, RS-триггер, дешифратор, первый, второй, третий и четвертый элементы И, шину счетных импульсов и первую управляющую шину, которая соединена с первым входом первого элемента И, выход которого соединен с входами сброса счетных триггеров, выходы которых соединены с входами дешифратора, прямой и инверсный выходы RS-триггера соединены с первыми входами второго и третьего элементов И соответственно, вторые входы которых соединены с шиной счетных импульсов, выход второго элемента И соединен с вторым входом первого элемента И, а выход третьего элемента И соединен со счетным входом первого счетного триггера, введены элементы И-ИЛИ, первый и второй элементы И-ИЛИ-НЕ, первые входы первой и второй групп вхо-

дов по И каждого из элементов И-ИЛИ соединены соответственно с первой и второй управляющими шинами, входы установки счетных триггеров соединены с выходом четвертого элемента И, первый и второй входы которого соединены соответственно с второй управляющей шиной и выходом второго элемента И, R и S входы RS-триггера соединены с выходами соответственно первого и второго элементов И-ИЛИ-НЕ, первые входы первых групп входов по И которых соединены с первым выходом дешифратора, тактовый вход и второй выход которого соединены соответственно с тактовым входом устройства и первыми входами вторых групп входов по И первого и второго элементов И-ИЛИ-НЕ, первая управляющая шина соединена с вторым входом первой группы входов по И первого элемента И-ИЛИ-НЕ и вторым входом второй группы входов по И второго элемента И-ИЛИ-НЕ, вторая управляющая шина соединена с вторыми входами первой группы входов по И второго элемента И-ИЛИ-НЕ и второй группы входов по И первого элемента И-ИЛИ-НЕ, а прямой и инверсный выходы каждого из счетных триггеров соединены с вторыми входами соответственно первой и второй групп входов по И соответствующего элемента И-ИЛИ, выход которого соединен со счетным входом следующего счетного триггера.

На чертеже показана структурная схема двоичного счетчика.

Двоичный счетчик содержит счетные триггеры 1, RS-триггер 2, дешифратор 3, первый 4, второй 5, третий 6 и четвертый 7 элементы И, шину 8 счетных импульсов и первую 9 и вторую 10 управляющие шины, элементы И-ИЛИ 11, первый 12 и второй 13 элементы И-ИЛИ-НЕ. Первая управляющая шина 9 соединена с первым входом первого элемента И 4, выход которого соединен с входами сброса счетных триггеров 1, выходы которых соединены с входами дешифратора 3, прямой и инверсный выходы RS-триггера соединены с первыми входами второго 5 и третьего 6 элементов и соответственно, вторые входы которых соединены с шиной 8 счетных импульсов, выход второго элемента И 5 соединен с вторым входом первого элемента И 4, выход третьего элемента И 6 соединен со счетным входом первого счетного триггера, первые входы первой и второй групп входов по И каждого из элементов И-ИЛИ 11 соединены соответственно с первой 9 и второй 10 управляющими шинами, входы установки счетных триггеров 1 соединены с выходом четвертого элемента И 7, первый и второй входы которого соединены соответственно с второй управляющей шиной 10 и выходом второго элемента И 5, R и S входы RS-триггера 2 соединены с выходами соответственно первого 12 и второго 13 элементов И-ИЛИ-НЕ, первые входы первых групп входов по И которых соединены с первым выходом дешифратора 3, тактовый вход и второй выход которого соединены соответственно с тактовым входом 14 устройства и первыми входами вторых групп входов по И первого 12 и второго 13 элементов И-ИЛИ-НЕ, первая управляющая шина 9 соединена с вторым входом первой группы входов по И первого элемента И-ИЛИ-НЕ 12 и вторым входом второй группы входов по И второго элемента И-ИЛИ-НЕ 13, вторая управляющая шина 10 соединена с вторыми входами первой группы входов по И второго элемента И-ИЛИ-НЕ 13 и второй группы входов по И первого элемента И-ИЛИ-НЕ 12, а прямой и инверсный выходы каждого из счетных триггеров 1 соединены с вторыми входами соответственно первой и второй групп входов по И соответствующего элемента И-ИЛИ 11, выход которого соединен со счетным входом следующего счетного триггера 1.

Счетчик работает следующим образом.

Предположим, что RS-триггер 2 находится в таком положении, что входные импульсы проходят на счетный вход триггера 1 до тех пор, пока очередной входной импульс не установит двоичный счетчик в (К-1)-е состояние.

В момент поступления тактового импульса, в качестве которого можно использовать инвертированный входной импульс, на втором выходе дешифратора 3 появляется импульс, который через второй элемент И-ИЛИ-НЕ 13 проходит на вход S RS-триггера 2, опрокидывая его в состояние, при котором открывается второй элемент И 5 и закрывается третий элемент И 6, так что очередной счетный импульс поступает через открытые элементы 5 и 4 в цепь сброса счетных триггеров в нулевое логическое состояние.

С приходом очередного тактового импульса на вход дешифратора 3 на первом выходе дешифратора 3 появляется импульс, который через первый элемент И-ИЛИ-НЕ 12 поступает на вход R RS-триггера 2 и возвращает его в исходное состояние, при котором входные импульсы вновь поступают на счетные входы триггеров 1, и происходит счет до тех пор, пока не будет достигнуто (К-1)-е состояние двоичного счетчика.

В режиме реверсивного счета работа происходит аналогично.

Стабильность работы двоичного счетчика обеспечивается тем, что обеспечивается стробирование дешифра-

тора тактовыми импульсами, что позволяет исключить кратковременное паразитное срабатывание в момент срабатывания счетных триггеров 1, могущее привести к паразитному срабатыванию RS-триггера 2.

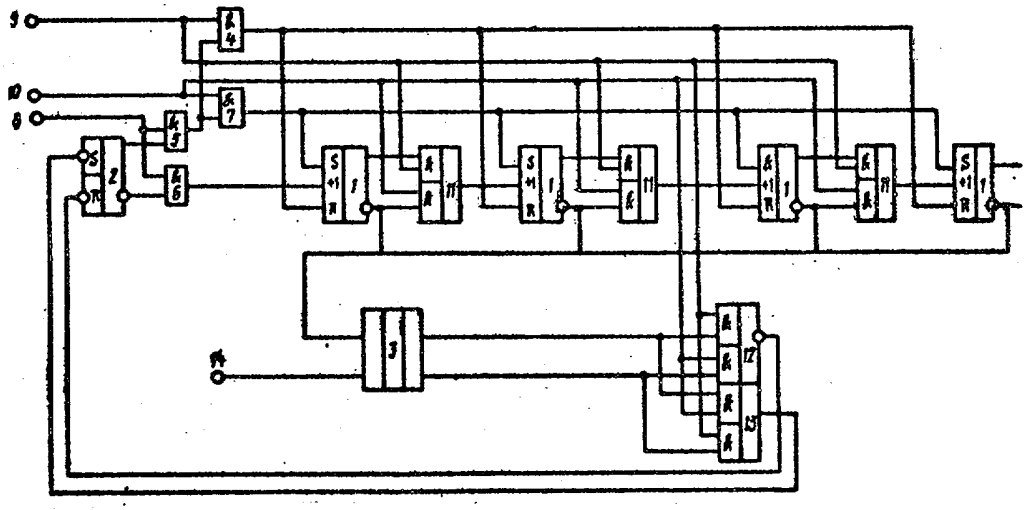
Формула изобретения

Двоичный счетчик, содержащий счетные триггеры, RS-триггер, дешифратор, первый, второй, третий и четвертый элементы И, шину счетных импульсов и первую управляющую шину, которая соединена с первым входом первого элемента И, выход которого соединен с входами сброса счетных триггеров, выходы которых соединены с входами дешифратора, прямой и инверсный выходы RS-триггера соединены с первыми входами второго и третьего элементов И соответственно, вторые входы которых соединены с шиной счетных импульсов, выход второго элемента И соединен с вторым входом первого элемента И, а выход третьего элемента И соединен со счетным входом первого счетного триггера, о т л и ч а ю щ и й с я тем, что,с целью обеспечения возможности реверсивного счета, в него введены элементы И-ИЛИ, первый и второй элементы И-ИЛИ-НЕ, первые входы первой и второй групп входов по И каждого из элементов И-ИЛИ соединены соответственно с первой и второй управляющими шинами, входы установки счетных триггеров соединены с выходом четвертого элемента И, первый и второй входы которого соединены соответственно с второй управляющей шиной и выходом второго элемента И, R и S входы RS-триггера соединены с выходами соответственно первого и второго элементов И-ИЛИ-НЕ, первые входы первых групп входов по И которых соединены с первым выходом дешифратора, тактовый вход и второй выход которого соединены соответственно с тактовым входом устройства и первыми входами вторых групп входов по И первого и второго элементов И-ИЛИ-НЕ,первая управляющая шина соединена с вторым входом первой группы входов по И первого элемента И-ИЛИ-НЕ и вторым входом второй группы входов по И второго элемента И-ИЛИ-НЕ, вторая управляющая шина соединена с вторыми входами первой группы входов по И второго элемента И-ИЛИ-НЕ и второй группы входов по И первого элемента И-ИЛИ-НЕ, а прямой и инверсный выходы каждого из счетных триггеров соединены с вторыми входами соответственно первой и второй групп входов по И соответствующего элемента И-ИЛИ, выход которого соединен со счетным входом следующего счетного триггера.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 311405, кл. Н 03 К 23/00, 1969.

2. Авторское свидетельство СССР № 434601, кл. Н 03 К 23/02, 1974 (прототип).



Составитель О. Скворцова
Редактор О. Стенина Техред А.Ач Корректор С. Шекмар

Заказ 6527/53 Тираж 995 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4