



[12] 发明专利申请公开说明书

[21] 申请号 200410028404.8

[43] 公开日 2004年9月22日

[11] 公开号 CN 1531213A

[22] 申请日 2004.3.11

[21] 申请号 200410028404.8

[30] 优先权

[32] 2003.3.11 [33] US [31] 10/386,057

[32] 2004.2.20 [33] US [31] 10/783,517

[71] 申请人 安德鲁公司

地址 美国伊利诺斯

[72] 发明人 彼得·布莱克伯勒·肯宁顿

乔纳森·保罗·罗杰斯

约翰·毕晓普

安东尼·詹姆斯·史密森

[74] 专利代理机构 永新专利商标代理有限公司

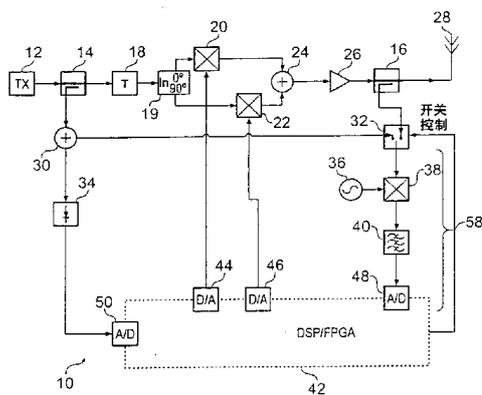
代理人 韩宏

权利要求书6页 说明书20页 附图14页

[54] 发明名称 信号样本获取技术

[57] 摘要

用于对信号处理装置内的第一和第二信号进行采样的样本获取设备，所述设备包括用于捕获第一以及第二信号的波形的区段的采样器，用于交替采样器至该装置中所述第一信号能够被采样的点和所述装置中所述第二信号能够被采样的点的连接的开关，以及定时器，用于对该开关的操作进行定时，以引起采样器捕获所述第一信号的第一波形区段和所述第二信号的第二波形区段，其中所述第二信号响应于所述第一信号，且所述开关的定时使得所述第二区段至少包括响应于所述第一区段已经产生的部分。



1. 用于对信号处理装置内的第一和第二信号进行采样的设备，所述设备包括：

用于对第一以及第二信号的波形的区段进行采样的采样器，

用于交替采样器至该装置中所述第一信号能够被采样的点和所述装置中所述第二信号能够被采样的点的连接的开关，以及

定时器，用于对该开关的操作进行定时，以引起采样器对所述第一信号的第一波形区段和所述第二信号的第二波形区段进行采样，其中：

所述第二信号响应于所述第一信号，且

所述定时器被配置以在所述两个点之间应用一传播延迟，使得所述第二区段至少包括响应于所述第一区段已经产生的一部分。

2. 根据权利要求 1 的设备，其中：

所述定时器被配置对所述开关的操作进行定时，使得所述采样器连续地对所述第一区段和所述第二区段进行采样。

3. 根据权利要求 1 的设备，其中：

所述定时器被配置对所述开关的操作进行定时，使得所述采样器对所述第二区段以及随后对所述第一区段进行采样。

4. 根据权利要求 1 的设备，其中：

所述信号处理装置包括一延迟装置，该延迟装置用于对所述第一和第二信号中的一个相对另一个进行延迟。

5. 根据权利要求 4 的设备，其中：

所述延迟装置作用于所述第一信号。

6. 根据权利要求4的设备，其中：

所述延迟装置作用于所述第二信号。

7. 根据权利要求1的设备，还包括：

控制器，被配置以使用第一和第二区段的样本产生一个或多个应用于所述装置的控制信号，以控制所述装置的操作。

8. 根据权利要求7的设备，其中：

所述控制器包括用于存储从所述样本导出的值的存储器，以及
所述控制器被配置将与所述第一信号相关的值和与所述第二信号相关的值进行时间对准，以准备从所述值中导出所述一个或多个控制信号。

9. 根据权利要求7的设备，其中所述控制器被配置用于：

从所述样本获得参数值，
将所述值分配成多个库，以及
平均所述库内的值。

10. 根据权利要求7的设备，其中所述控制器被配置用于：

从所述样本获得参数值，
将所述值分配成多个库，以及
随后对所述库使用所述参数的理想值，以便评价库的内容。

11. 根据权利要求1的设备，其中：

所述装置包括第一和第二部分，在该第一和第二部分中分别发生

数字和模拟信号处理；以及第一和第二数模转换器，第一信号在所述第一部分内被处理以产生中间信号，

所述第一数模转换器将该中间信号提供给所述第二部分，以及所述第二数模转换器将所述第一信号提供给所述开关。

12. 根据权利要求 11 的设备，其中：

所述第一部分用于对在传输至所述第二数模转换器途中的所述第一信号施加数字延迟。

13. 根据权利要求 11 的设备，还包括：

变频器，用于在所述第二数模转换器和所述开关之间对所述第一信号进行频率变换。

14. 根据权利要求 11 的设备，其中：

所述开关为 IF 开关。

15. 根据权利要求 1 的设备，还包括：

减法器，用于从所述第一和第二信号产生一差值信号作为所述开关的第三输入，以便可选择地应用至所述采样器。

16. 根据权利要求 7 的设备，其中：

该信号处理装置包括一放大器，以及所述一个或多个控制信号中的至少一个用于控制该放大器在其操作期间引起的失真的量。

17. 根据权利要求 16 的设备，其中：

所述第一信号为将由所述放大器放大的信号，以及

所述第二信号为使用所述放大器放大所述第一信号的结果。

18. 一种信号处理系统，包括：

信号处理装置，

用于对所述装置内出现的第一和第二信号的波形的区段进行采样的采样器，

用于交替采样器至该装置中所述第一信号能够被采样的点和所述装置中所述第二信号能够被采样的点的连接的开关，

定时器，用于对该开关的操作进行定时，以引起采样器对所述第一信号的第一波形区段和所述第二信号的第二波形区段进行采样，以及

控制器，用于使用第一和第二区段的样本产生一个或多个应用于所述装置的控制信号，以控制所述装置的操作，其中：

所述第二信号响应于所述第一信号，且

所述定时器被配置以在所述两个点之间应用传播延迟，使得所述第二区段至少包括响应于所述第一区段已经产生的一部分。

19. 根据权利要求 18 的系统，其中：

所述定时器被配置以对所述开关的操作进行定时，使得所述采样器连续地对所述第一区段和所述第二区段进行采样。

20. 根据权利要求 18 的系统，其中：

所述定时器被配置以对所述开关的操作进行定时，使得所述采样器对所述第二区段以及随后对所述第一区段进行采样。

21. 根据权利要求 18 的系统，还包括：

延迟装置，用于对所述第一和第二信号中的一个相对另一个进行

延迟。

22. 根据权利要求 21 的系统，其中：
所述延迟装置作用于所述第一信号。

23. 根据权利要求 21 的设备，其中：
所述延迟装置作用于所述第二信号。

24. 根据权利要求 18 的系统，其中所述控制器包括用于存储从所述样本导出的值的存储器，且所述控制器被配置以将与所述第一信号相关的值和与所述第二信号相关的值进行时间对准，以准备从所述值中导出所述一个或多个控制信号。

25. 根据权利要求 18 的系统，其中所述控制器被配置用于：
从所述样本获得参数值，
将所述值分配成多个库，以及
平均所述库内的值。

26. 根据权利要求 18 的系统，其中所述控制器被配置用于：
从所述样本获得参数值，
将所述值分配成多个库，以及
对所述库使用所述参数的理想值，以便评价库的内容。

27. 根据权利要求 18 的系统，其中：
所述装置包括第一和第二部分，在该第一和第二部分中分别发生数字和模拟信号处理，以及第一和第二数模转换器，所述第一信号在所述第一部分中产生并在所述第一部分中被处理以产生中间信号，

所述第一数模转换器将所述中间信号提供给所述第二部分，以及
所述第二数模转换器将所述第一信号提供给所述开关。

28. 根据权利要求 27 的系统，其中：

所述第一部分用于对在被传输至所述第二数模转换器途中的所述
第一信号施加数字延迟。

29. 根据权利要求 27 的系统，还包括：

变频器，用于在所述第二数模转换器和所述开关之间对所述第一
信号进行频率变换。

30. 根据权利要求 27 的系统，其中：

所述开关为 IF 开关。

31. 根据权利要求 18 的系统，还包括：

减法器，用于从所述第一和第二信号产生差值信号作为所述开关
的第三输入，以便可选择地应用至所述采样器。

32. 根据权利要求 18 的系统，其中：

该信号处理装置包括放大器，以及

所述一个或多个控制信号中的至少一个用于控制该放大器在其操
作期间引起的失真的量。

33. 根据权利要求 32 的系统，其中：

所述第一信号为将由所述放大器放大的信号，以及

所述第二信号为使用所述放大器放大所述第一信号的结果。

信号样本获取技术

技术领域

本发明涉及对信号处理装置中出现的信号进行采样的技术。例如，从信号处理装置中获得的样本可被用于对该装置的操作进行评价，这种评价以在该装置上施行控制为目的，以便从该装置获得所需的性能级别。

本发明可广泛应用于信号处理领域。可应用本发明的一个具体领域是在无线通信设置中的放大器控制。

背景技术

无线电发射机通常包括用于提升待传送的射频（RF）信号功率的射频功率放大器（RFPA）。RFPA 或多或少地对其放大的 RF 信号施加了失真影响。这种失真影响通常需要被控制以确保发射机符合关于 RF 干扰的任何通用的标准。这种失真影响一般表现为一个或两个特征形式，即 AM-AM 失真和 AM-PM 失真。

AM-AM 失真在 RFPA 的增益作为输入信号的幅值的函数而变化时产生。通常，增益将随着输入信号的幅值增大而降低。这被称为压缩增益特性。

AM-PM 失真则涉及 RFPA 的输出信号的相位按输入信号的幅值的函数而变化的情况。就是说，输入信号的振幅调制（AM）引起输出信号的相位调制（PM）。

实践中使用控制方案来控制 RFPA 所产生的失真是很常见的。控制 RFPA 的两种主要技术是预失真（predistortion）技术和前馈技术。

在预失真技术中，RFPA 的输入信号被施加以被控制的失真，计算

该被控制的失真以便抵消 RFPA 的失真影响，使得 RFPA 的输出信号实质上没有失真。

在前馈技术中，通常将从 RFPA 的输入信号导出的“前馈”信号注入 RFPA 的输出信号，以便校正输出信号中出现的失真。

对于预失真和前馈系统均已提出了各种力图提高去除失真的精确性的控制方案。但是，失真控制方案效力的提高通常将带来成本的增加。

发明内容

根据一个方面，本发明提供了用于对信号处理装置内的第一和第二信号进行采样的设备，所述设备包括用于对第一和第二信号两者的波形的区段进行采样的采样器，用于交替采样器至装置中所述第一信号能够被采样的点和所述装置中所述第二信号能够被采样的点的连接的开关，以及定时器，用于定时开关的操作以引起采样器对所述第一信号的第一波形区段和所述第二信号的第二波形区段进行采样，其中所述第二信号响应于所述第一信号且所述定时器被配置在所述两个点之间应用一传播延迟，使得所述第二区段至少包括响应于所述第一区段已经产生的部分。

本发明由此提供了以这样一种方式用于从信号处理装置获得样本的技术，该方式允许从该装置获得相对精确的信息而不必依赖于实现采样器的相对昂贵的技术。

在一些实施例中，定时器被配置以定时开关的操作，使得采样器连续地对第一和第二区段采样。但是，在其他实施例中，定时器可以被配置改变开关在第一和第二点之间的连接，使得采样器不连续地对第一和第二区段采样。

在一些实施例中，在信号处理装置中包括延迟器件。在一些实施例中，延迟器件对第一信号作用，而在其他实施例中，延迟器件对第

二信号作用。

在一些实施例中，一控制器被配置以使用第一和第二区段的样本产生一个或多个控制信号，用于控制该装置的操作。在这样的变型中，该控制器可以包括用于存储自样本而获得的值的存储器且该控制器可以被配置将与第一区段相关的值和与第二区段相关的值进行时间对准，以准备从这些值中导出一个或多个控制信号以应用于该信号处理装置。

在一些实施例中，可使用控制器从样本中获得参数值，以将这些值分配成多个库（bin）并随后平均库内的值。通过以这一方式产生库平均值，可以改善在采样器执行的采样处理中出现的随机误差效应。

在一些实施例中，可使用控制器从样本中获得参数值，以将这些值分配成多个库并随后对这些库使用该参数的理想值，以便评价库的内容。在这种情况下，评价可以包括将一给定库的理想值与被分配给该库的值的平均值相比较。

在一些实施例中，信号处理装置包括第一和第二部分，分别用于执行数字和模拟信号处理。该装置还包括至少第一和第二数模转换器，用于将来自第一部分的信号传送至第二部分。在第一部分内，第一信号被处理以产生中间信号，该中间信号通过第一数模转换器被提供至第二部分。第二数模转换器将第一信号提供给开关。在这种实施例中，可以将开关实现为 IF 而不是 RF 器件。在一些变型中，第一部分对被传输至第二数模转换器途中的第一信号施加数字延迟。在一些实施例中，在第二数模转换器和开关之间也可能需要提供变频器。

在一些实施例中，提供减法器以从第一和第二信号产生差值信号作为开关的第三输入，用于可选择地应用至采样器。该差值信号可用于产生一个或多个控制信号，用于控制该信号处理装置的操作。

本发明的优选应用之一是用于监测放大器，例如无线发射机电路

中的 RFPA 的性能。在这种情况下，第一和第二信号可以分别是该放大器的输入和输出信号。

附图说明

下面将仅以示例的方式，通过参照附图说明本发明的几个实施例。其中：

图 1 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 2 是显示图 1 的基站的数字处理设备内的数字信号处理操作的框图。

图 3 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 4 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 5 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 6 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 7 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 8 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 9 是显示从移动电话网络的基站内的信号处理方案的两个不同电获得的信号轨迹图。

图 10 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 11 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 12 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 13 是移动电话网络的基站内的 RF 信号处理方案的框图。

图 14 是移动电话网络的基站内的 RF 信号处理方案的框图。

具体实施方式

图 1 图示说明了移动电话网络的基站 10，尽管该图同样能够很好地表示移动电话。在图 1 中所显示的基站 10 的部分只是与将由该基站发送的 RF 信号的放大处理的控制紧密相关的部分。例如，图 1 并

未示出用于对已被发送至该基站的 RF 信号进行解调的接收机。

如图 1 中所示, 基站 10 包括主发射通路 (MTP) 和预失真控制电路。MTP 包括发射机 12、两个分路器 14 和 16、延迟线路 18、正交分路器 (quadrature splitter) 19、两个乘法器 20 和 22、组合器 24、RFPA 26 和天线 28。预失真控制电路包括分路器 30、RF 开关 32、包络检测器 34、本机振荡器 (LO) 36、乘法器 38、低通或带通滤波器 40 和数字处理设备 (DPF) 42。两个数模转换器 (DAC) 44 和 46 允许 DPF 42 将信号发送至模拟域中, 而两个模数转换器 (ADC) 48 和 50 允许 DPF 42 从模拟域中接收信号。

发射机 12 产生将从基站 10 被发送的 RF 信号。RF 信号利用例如编码的数字化的语言的信息被调制。在本示例中, 发射机 12 使用码分多址 (CDMA) 技术产生一组扩展频谱信号, 每一信号传达不同的信息, 其被相加在一起产生发射机 12 的 RF 输出。

来自发射机 12 的 RF 信号通过分路器 14 和延迟线路 18 到达正交分路器 19。正交分路器 19、乘法器 20 和 22 以及组合器 24 一起构成了矢量调制器, 用于对来自发射机 12 的 RF 输出信号进行调整。从该矢量调制器, 发射机 12 的 RF 输出信号的被修改后的版本进入到 RFPA 26, 在 RFPA 26 处, 信号的功率被放大。由 RFPA 26 产生的放大后的信号随后通过分路器 16 并从天线 28 被发送出去。

RFPA 26 易于在其输出信号中产生 AM-AM 和 AM-PM 失真。矢量调制器的目的在于调整 RFPA 26 的输入信号的幅值和相位, 以便消除 RFPA 26 否则将在其输出信号中产生的任何 AM-AM 和 AM-PM 失真。

为了对 RFPA 26 的输入信号进行预失真, 矢量调制器首先将 RFPA 输入信号分解为同相 (I) 分量和正交相位 (Q) 分量。I 和 Q 分量分别被乘法器 20 和 22 改变。乘法器 20 通过将 I 分量与从 DPF 42 的 DAC 44 接收的 I 信道校正信号相乘而使 I 分量改变。乘法器 22 通过

将 Q 分量与从 DPF 42 的 DAC 46 接收的 Q 信道校正信号相乘而使 Q 分量改变。I 和 Q 分量的改变后的版本随后被组合，产生 RFPA 输入信号的预失真版本。该预失真信号随后被提供给 RFPA 26，在 RFPA 26 处，信号的功率被放大。

如果正确地操作基站，则 RFPA 26 的输入信号的预失真抵消了否则将出现在 RFPA 26 输出中的失真。

如前文提到的，DPF 42 产生用于在矢量调制器中对 RFPA 输入信号进行预失真的 I 和 Q 信道校正信号。DPF 42 执行两个主要处理，即预失真产生处理和校正处理。预失真处理产生 I 和 Q 信道校正信号，而校正处理负责维持预失真产生处理，使得 RFPA 输出信号中出现的残余失真的量保持尽可能低。DPF 42 包括数字信号处理器（DSP）和现场可编程门阵列（FPGA），两者共同承担它们之间预失真产生处理和校正处理中包括的任务。这些任务对 DSP 或者 FPGA 的分配可能根据各个执行过程而不同。其他的可能性包括使用专用集成电路（ASIC）代替 FPGA。

DPF 42 通过提供驱动预失真产生处理和校正处理的信号的分路器 14 和 16 而被连接至 MTP。分路器 14 使发射机输出信号的一个版本转向离开 MTP，并将其提供给分路器 30。分路器 16 使 RFPA 输出信号的一个版本转向离开 MTP 并将其提供给 RF 开关 32 的一个终端。分路器 30 将发射机输出信号的一个版本提供给包络检测器 34 以及 RF 开关 32 的一个终端。包络检测器 34 检测其接收到的发射机输出信号的该版本的包络，并提供一表示所检测到的包络及其变化的包络信号至 ADC 50，用于在 DPF 42 中使用。

RF 开关 32 分别从分路器 14 和 16 接收发射机输出信号的版本以及 RFPA 输出信号的版本。开关 32 被来自 DPF 42 的信号控制，以提供发射机输出信号的版本或者 RFPA 输出信号的版本至混频器 38。混频器 38、LO 36 和带通滤波器（BPF）40 一起构成了下变频器，用于

降低开关 32 的输出的频率。LO 36 产生频率由 DPF 42 控制的信号。该 LO 信号在混频器 38 处与开关 32 的输出相混合。该混合处理的作用在于，在混频器 38 的输出中产生开关 32 的输出信号的两个版本，一个版本的频率增加了与 LO 信号频率相等的量，而另一个版本的频率降低了与 LO 信号频率相等的量。BPF 40 的目的在于除去频率增加了的版本，仅留下开关输出的已被降低频率或者下变频的版本。开关输出的该下变频版本随后被提供给 ADC 48 用于在 DPF 42 中使用。

DPF 42 因此接收到三个输入信号：通过 ADC 50 的表示发射机输出信号包络的信号，以及通过 ADC 48 的发射机 12 的输出信号的版本和 RFPA 26 的输出信号的版本。通过 ADC 50 接收的信号用于驱动预失真产生处理，而通过 ADC 48 接收的信号用于驱动维持预失真产生处理的校正处理。

沿 MTP 传输的信号将经历大体上由分路器 14 和 16、延迟线路 18、矢量调制器和 RFPA 26 所引起的传播延迟。因此，可以控制开关 32 将 ADC 48 连接至分路器 14，以对沿 MTP 传送的信号的波形中的点进行取样，并随后改变开关 32 的状态，及时将 ADC 48 连接至分路器 16，以对波形中与 RFPA 26 中存在的信号相同的点进行取样。为了说明这一点，考虑显示两个信号波形 82 和 84 的图 9。波形 82 为提供给 RFPA 26 的，如在连接至分路器 14 的开关 32 的输入端之一所检测到的输入信号。波形 84 为 RFPA 响应于波形 82 提供的，如在连接至分路器 16 的开关 32 的输入端之一所检测到的输出。通过参照图 9，很明显相对于在开关 32 处波形 82 的到达，波形 84 在开关 32 处的到达被延迟了。这一延迟可归因于前文提到的沿 MTP 的传播延迟。对于将波形 82 和 84 均传送至输出端的开关 32，将开关 32 的连接从分路器 14 改变至分路器 16 的处理必须在波形 84 在分路器 16 处到达之前进行。做出这一转变所持续的间隔在图 9 中示出。

在基站 10 的一个实现方式中，奈奎斯特采样 RFPA 输出信号中的

残余失真，设定 ADC 48 的最小采样率至约 150 MHz，通过延迟线路 18 和 RFPA 26 的传播延迟分别为 500 和 15 ns，将开关 32 从一种状态改变为另一种状态以及在下变频器和 ADC 48 的随后稳定(settling)中包含的时间约为 50 ns。这意味着如果 ADC 48 被连接至分路器 14，则在必须开始改变开关 32 状态的处理以允许 ADC 48 及时连接至分路器 16，以便捕获对应于在沿 MTP 传输的信号的波形中，和由分路器 14 获得的样本中的第一个相同的点的 RFPA 输出信号的样本之前，通过 ADC 48 能够收集几十个发射机输出的样本。

换句话说，ADC 48 能够通过开关 32 的作用，捕获发射机输出信号的一系列样本，以及随后 RFPA 输出信号的一系列样本，在这两个系列的一个中的每一样本在另一系列中具有对应样本，使得这两个样本与沿 MTP 传输的信号的波形中的相同的点相关。与沿 MTP 传输的信号的波形中的相同的点相关的，一个来自 RFPA 输出信号、一个来自发射机输出信号的沿 MTP 传输的信号的波形中的相同的点相关的一对样本，被称为伪同时对 (pseudo-simultaneous pair)。在这样的对中，来自 RFPA 输出的样本 S_A 和来自发射机输出信号的样本 S_T 通过公式 $S_A = G_1 \cdot G_2 \cdot S_T$ 相关，其中 G_1 是表示预失真器的作用的系数而 G_2 是 RFPA 26 的增益。 G_1 和 G_2 均可以是复数，意味着它们可以旋转相位。笼统地说， G_1 和 G_2 是发射机输出信号的幅值和相位的非线性函数。

伪同时对中的样本的时间对准的精确性可以通过在 DPF 42 内相对一个样本延迟另一样本，或者通过调整开关 32 操作的时序(由 DPF 42 完成)来实现。

在 34 处检测发射机输出信号的包络的处理，在 ADC 50 处对包络信号取样，从查找表 LUT-I 和 LUT-Q 检索值，在 DAC 44 和 46 处将检索到的值转换成用于 I 和 Q 信道校正信号的模拟值，以及将这些模拟值施加至矢量调制器中的乘法器 20 和 22 明显将花费有限的时间。

延迟线路 18 的功能之一就是补偿信号从分路器 14 通过检测器 34 和 DPF 42 到达乘法器 20 和 22 所需要的时间。延迟线路 18 确保在每一乘法器处，来自正交分路器 19 和 DPF 42 的信号被时间对准，使得它们与发射机输出信号的波形中的相同的点相关。但是，在大多数情况下，DPF 42 将有意识地在其从分路器 14 和 16 接收到的信号之间插入数字延迟，以提高 DPF 42 内的那些信号的时间对准的精确性。延迟线路 18 的另一主要目的在于通过 ADC 48 实现发射机和 RFPA 输出信号的伪同时取样。

下面将讨论由 DPF 42 对通过 ADC 48 和 50 接收到的信号进行的处理。

如前文提到的，由 ADC 50 所产生的数字包络信号被用于驱动预失真产生处理。DPF 42 的 FPGA 元件包含 I 信道查找表 LUT-I 和 Q 信道查找表 LUT-Q。LUT-I 和 LUT-Q 通过数字化的包络信号被寻址 (addressed)。查找表 LUT-I 和 LUT-Q 中的每一个是被寻址信号 (是数字化的包络信号) 的值索引的数字值的一个表。每一查找表的值与包络信号的值的范围相关，这样当寻址信号的一个样本被给予一个查找表时，该查找表将检索并发出其保存的与已被给予该查找表的寻址信号的该样本的值相关的值。

因此，LUT-I 和 LUT-Q 将各自接收包络信号的数字样本的流，并作为响应，发出分别形成 I 和 Q 信道校正信号的样本的流，它们通过 DAC 44 和 46 被分别施加至矢量调制器，用于对 RFPA 26 的输入信号进行预失真。

在本示例中，FPGA 还负责正交解调通过 ADC 48 到达 DPF 42 的下变频信号 (尽管这一解调在其他实施例中可能由 DPF 42 的 DSP 进行)。这一正交解调处理将 ADC 48 发出的每一样本转换为包括 I 和 Q 样本的正交偶极子 (doublet)，用于由 DPF 42 中的 DSP 使用。

下面参照图 2 说明由 DSP 对正交偶极子执行的操作。

DSP 保持有四个先进先出 (FIFO) 缓冲器 51、52、54 和 56。来自 FPGA 的发射机输出信号的正交偶极子 D_T 被发送至缓冲器 51 和 52。缓冲器 51 和 52 分别存储它们所接收到的每一正交偶极子的 I 和 Q 成分。来自 FPGA 的 RFPA 输出信号的正交偶极子 D_A 被发送至缓冲器 54 和 56。缓冲器 54 和 56 分别存储它们所接收到的每一正交偶极子的 I 和 Q 成分。

DPF 42 操作开关 32, 使得正交偶极子被循环载入缓冲器 51—56 中。在每一循环的开始, 设置开关 32 以允许 ADC 48 对发射机输出信号进行取样。FPGA 随后自 ADC 48 所产生的样本而产生一系列偶极子 D_T 。预定数量的 N 个最初的偶极子 D_T 被放弃, 这是由于它们因与在开关 32 的设置之后的系统稳定时间期间获得的样本相关而不可靠。剩余的偶极子 D_T 系列被缓冲器 51 和 52 获得。然后, 设置开关以允许 ADC 48 对 RFPA 输出信号进行取样。FPGA 随后开始产生一系列偶极子 D_A 。而且, N 个最初的偶极子 D_A 因系统稳定时间而被放弃, 且剩余的偶极子 D_A 系列被缓冲器 54 和 56 获得。开关从 ADC 48 被连接至分路器 14 的状态到 ADC 48 被连接至分路器 16 的状态的调整被定时, 使得在该循环中由缓冲器 54 和 56 所获得的第一个偶极子 D_A 与在该循环中较早时由缓冲器 51 和 52 所获得的第一个偶极子 D_T 是伪同时的。当缓冲器 54 和 56 所获得的偶极子 D_A 的数量与在循环中较早时缓冲器 51 和 52 所获得的偶极子 D_T 的数量相等时, 该循环结束。

这一循环的每一次迭代对缓冲器 51—56 进行填充。下面将参照图 2 解释 DSP 处理这些缓冲器中的内容的方式。

应该理解的是, 缓冲器 51—56 中所保存的值的队列是这样对准的, 如果检查在缓冲器 51 中值的队列的任何给定位置和缓冲器 52—56 中所保存的队列的相同位置, 则缓冲器 51 和 52 中规定的值形成偶极子 D_T , 而缓冲器 54 和 56 中规定的值形成与缓冲器 51 和 52 中

规定值所规定出的偶极子 D_T 为伪同时的偶极子 D_A 。

DSP 从缓冲器 51 的头部检索同相值 I_T ，从缓冲器 52 的头部检索正交相位值 Q_T ，从缓冲器 54 的头部检索同相值 I_A ，从缓冲器 56 的头部检索正交相位值 Q_A 。值 I_T 和 Q_T 构成发射机输出信号的偶极子而值 I_A 和 Q_A 构成 RFPA 输出信号的伪同时偶极子。DSP 因此从缓冲器中已经检索了一对伪同时偶极子。

利用检索出的伪同时偶极子，DSP 随后计算包络参数 P_T 和两个校正参数 I_C 和 Q_C 的值。 I_C 值是一个校正因子，其应用于和计算出的 P_T 值相对应的寻址信号的值所索引的 LUT-I 中的值。同样， Q_C 值是应用于和计算出的 P_T 值相对应的 LUT-Q 中的值的校正因子。 I_C 、 Q_C 和 P_T 的值是利用下列等式自检索出的偶极子对而计算的：

$$I_C = (I_T \times I_A) + (Q_T \times Q_A)$$

$$Q_C = (Q_T \times Q_A) - (I_T \times I_A)$$

$$P_T = (I_T \times I_T) + (Q_T \times Q_T)$$

计算出的 I_C 和 Q_C 的值被应用于查找表的内容（其方式将在下文中说明）且 DSP 随后进入到对现在位于 FIFO 缓冲器头部的值进行检索以获得下一对伪同时偶极子。DSP 计算下一个偶极子的 I_C 、 Q_C 和 P_T 的值，并将 I_C 和 Q_C 的值应用于如 P_T 值所限定的合适的查找表条目。DSP 以这种方式对 FIFO 缓冲器中所保存的每一偶极子对进行处理。为了完成校正处理的迭代，缓冲器被数次重新填充且它们的内容被如上所述处理，产生更多的 I_C 、 Q_C 和 P_T 的值。

下面将说明将 I_C 和 Q_C 值应用于查找表的处理。在缓冲器的内容处理期间，DSP 通常将产生很多对 I_C 和 Q_C 值，而这些对中的一些将

与查找表的寻址信号的相同范围相关。就是说，一些查找表将通过应用几个 I_C 或者 Q_C 值而被修改。 I_C 和 Q_C 值以使几个 I_C 和 Q_C 值在被应用在同一查找表条目上时的作用被平均的方式，应用于查找表的值。DSP 通过为每一查找表条目产生一将被应用于该查找表条目的校正参数值的运行平均值（running average）来实现这一点。通常，运行平均值通过使用包含比 ADC 48 所产生的样本数量更多数量的比特的字来表示（其原因将在下文中解释）。一旦所有的 I_C 和 Q_C 值已经被处理，则将运行平均值加至它们各自的查找表条目以完成校正处理的迭代。

RFPA 输出信号中出现的任何失真的抑制的精确性依赖于很多因素，包括 ADC 48 所产生样本的数字分辨率。ADC 48 的数字分辨率是转换器用于表示其产生的每一样本的比特的数量。总体上，ADC 48 的数字分辨率的提高将导致所达到的失真抑制的精确性的提高。系统内出现的随机误差，例如 ADC 量化（quantisation）所引起的随机误差，可能引起所实现的失真抑制的精确性达不到要求，因为 ADC 48 正产生着包含比实际需要的更少数量的比特的样本。通过在查找表中应用包含更多数量比特的运行平均值的校正处理，可以消除在 ADC 48 所产生的样本中使用的实际的比特数量和所要求的比特数量之间的差。这等于放松了用于给定的所实现的失真抑制精确度的 ADC 48 的规格，而这可以带来系统总体成本的降低。

应该注意的是用于校正查找表值的 RFPA 和发射机输出信号的样本都是通过通过在开关 32 和 ADC 48 之间延伸的路径 58 获得的。因此，任何在该路径中产生误差的机制都将影响 RFPA 输出信号的样本以及发射机输出信号的样本，使得系统误差，即在本质上可再生的，由路径 58 所引入的误差将被大大抵消。例如，如果路径 58 所引起的系统误差引起了伪同时偶极子对具有值 D_T' 和 D_A' 而不是 D_T 和 D_A ，则 DSP 将确定这两个校正参数和包络参数具有值 I_C' 、 Q_C' 和 P_T' 而不是 I_C 、

Q_C 和 P_T 。但是，值 I_C' 和 Q_C' 现在被应用于由值 P_T' 规定的查找表，而不是由值 P_T 规定的查找表，其结果是路径 58 所引入的系统误差被中和。

下面说明本发明的一些其他实施例。

在前文参照图 1 和图 2 说明的实施例中，对每一查找表值的 I_C 和 Q_C 参数中的每一个导出了运行平均值，这样平均处理提高了 ADC 48 的有效分辨率。但是，平均处理并不需要直接应用于 I_C 和 Q_C 值。例如，在前述参照图 1 和图 2 的实施例中，对所有查找表条目的 I_C 和 Q_C 值导出了运行平均值，以便防止系统误差并提高 ADC 48 的有效分辨率。在另一实施例中，平均处理被应用于伪同时对而不是 I_C 和 Q_C 值，如下文将要说明的。

改进实施例的操作与参照图 1 和图 2 描述的实施例的操作大致相同，除了 DSP 开始利用 FIFO 缓冲器中所保存的伪同时偶极子对。在该改进实施例中，DSP 保持一系列的库 (bin)，其中每一个库与参数 P_T 的不同范围相关。这些范围中的每一个与和查找表中的条目相对应的寻址信号的范围中的一个相对应。换句话说，每一个库对应于 LUT-I 和 LUT-Q 中各一个的一对查找表条目。DSP 为其检索到的每一伪同时偶极子对计算 P_T 值，并将该偶极子对分配至其范围包括计算出的 P_T 值的那个库。以这种方式，DSP 能够将 FIFO 缓冲器中的所有偶极子对分配至 P_T 库。DSP 通过计算每一库的平均 I_A 、平均 Q_A 、平均 I_T 和平均 Q_T 来保持每一库的内容的运行平均值。这些平均值随后被用于计算每一库的平均 I_C 和 Q_C 值，并且这些校正值被施加于它们各自的查找表条目。因此，与上文中参照图 1 和图 2 说明的实施例相比，在校正处理中不同点处实施了目的在于避免随机误差的平均处理。

图 3 显示了另一实施例，其中被发送至开关 32 的发射机和 RFPA 输出信号的版本之间的延迟以中频 (IF)，而不是 MTP 中所使用的 RF 载波频率被部分地实现。

如图 3 所示, 图 1 的延迟线路 18 被延迟元件 18a 所取代, 并且被补充一附加延迟元件 18b。通过分路器 16 被转向离开 MTP 的 RFPA 输出信号的版本在混频器 38a 处与来自本机振荡器 36a 的信号相混合。混频器 38a 的输出既包含 RFPA 输出信号的上变频版本又包含下变频版本。混频器 38a 的输出随后通过延迟元件 18b 并被提供给开关 32。通过分路器 30 变为可用的发射机输出信号的版本也在混频器 58 处与本机振荡器 36a 的输出信号相混合。混频器 58 的输出, 既包含发射机输出信号的上变频版本又包含下变频版本, 被提供给开关 32。开关 32 的输出通过 BPF 40a 被滤波并随后被应用至 ADC 48。

混频器 38a 和 58 为相同设计且它们均使用同一个本机振荡器。因此图 3 所示的设计大部分地保持了到达 ADC 48 的发射机和 RFPA 输出信号的样本经受实质上相同的误差源的优点。

开关 32 的输出将包含发射机输出信号或者 RFPA 输出信号的上变频以及下变频版本。BPF 40a 阻断信号的上变频版本。通过 BPF 40a 的信号的下变频版本现在处于 IF。由于 BPF 40a 的作用, ADC 48 仅监测由混频器 38a 所提供的信号的下变频版本。因此, 延迟元件 18b 仅需要被设计成对被下变频至 IF 的 RFPA 输出的版本起作用, 因为混频器 38a 所产生的 RFPA 输出信号的上变频版本被 BPF 40a 废弃掉了。这允许对延迟 18b 进行更灵活的设计, 因为感兴趣的只是其处理 IF 信号的能力。在大多数其他方面, 图 3 的系统与图 1 的系统相同。

在图 1 中, 延迟线路 18 对沿 MTP 传送的 RF 信号进行操作。在图 4 的替换实施例中, 延迟线路 18 被延迟元件 18c 所取代, 该延迟元件 18c 在 IF 操作。

发射机 12 的 RF 输出在混频器 60 处被混以来自 LO 36b 的信号。混频器 60 的输出因此包含发射机输出信号已被上变频的版本, 又包含发射机输出信号已被下变频至延迟元件 18c 为其被设计的 IF 的版本。在 MTP 中矢量调制器的输出端包括另一混频器 62。混频器 62

将矢量调制器的输出混以 LO 36a 的输出。混频器 62 的输出包含发射机输出信号被混频器 60 下变频的版本,和被混频器 62 上变频的版本。BPF 64 仅允许发射机输出信号的该版本提供给 RFPA 26。

由于 BPF 64 废弃了除被混频器 60 下变频至 IF 的发射机输出信号的所有版本,因此感兴趣的只是延迟元件 18c 处理位于 IF 的信号的能力,这导致了延迟元件 18c 的设计和实施方式更大的灵活性。在图 4 中,矢量调制器位于 MTP 中的混频器 60 和 62 之间。但是,也可以将矢量调制器置于混频器 62 的输出端。在大多数其他方面,图 4 所示的系统与图 1 所示的相同。

图 5 显示了又一个替换实施例,其中图 1 的延迟线路 18 被两个延迟元件 18d 和 18e 所取代。延迟元件 18d 和 18e 分别位于 MTP 中分路器 14 的输入和输出端。在 MTP 中,发射机 12 和延迟元件 18d 之间包括一附加分路器 66。分路器 66 使发射机输出信号的本版本转向离开 MTP 并将其提供给开关 32。因此,图 5 的系统省略了图 1 的分路器 30。

图 5 中的延迟元件的配置有助于对延迟 18d 使用 SAW 器件。由于延迟元件 18d 位于向 DPF 42 提供发射机输出信号包络信息的分路器 14 之前,因此极大地缓和了对于将延迟 18d 实施为 SAW 器件的群延迟波动规定和幅值及相位波动规定。延迟元件 18e 可以被实施为同轴延迟线路。群延迟波动对于调整查找表值的校正处理的冲击可以通过在 DPF 42 中实施一校正滤波技术来解决。在大多数其他方面,图 5 所示的系统与图 1 所示的相同。

图 6 显示了又一个替换实施例,其中图 1 的延迟线路 18 被延迟元件 18f 所取代,并补充以另一延迟元件 18g。延迟元件 18g 对由分路器 16 转向开关 32 的 RFPA 输出信号的本版本进行操作。延迟元件 18g 可以使用 SAW 器件来实现,尽管其必须具有相对较高的性能,因为延迟元件 18g 所引入的任何误差(这些误差为系统误差和/或由延迟

元件响应的非线性引起)将在开关 32 所检测到的 RFPA 输出信号版本中显现出来,但是不会在开关 32 所检测到的发射机输出信号的版本中显现出来。就是说,由延迟元件 18g 所产生的误差将不会通过由 DPF 42 中的 DSP 所执行的校正查找表值的处理中涉及到的比较步骤而被消除。在大多数其他方面,图 6 所示的系统与图 1 所示的相同。

又一实施例在图 7 中示出。图 7 的实施例与图 1 的实施例不同之处主要在于图 1 的发射机 12 的特定功能已经与 DPF 42a 结合。图 7 的系统还包括信息源 66,该信息源 66 产生包含将从基站发送的信息(例如编码的数字语言)的基带信号。基带信号被提供给 DPF 42a,在 DPF 42a 处检测其包络。使用基带信号的包络的值来索引查找表 LUT-I 和 LUT-Q,以便产生应用于 MTP 中的矢量调制器的 I 和 Q 信道校正信号。DPF 42a 还包括 DAC 68,用于将基带信号转换成模拟信号应用至由混频器 70 和 LO 72 示意说明的上变频器。该上变频器的输出为在所需传输频率的 RF 信号,并被提供给分路器 4 的输入端。上变频器的 RF 输出信号等同于图 1 中发射机 12 的输出信号。在大多数其他方面,图 7 所示的系统与图 1 所示的相同。

图 8 显示了图 7 所示结构的一个变型。在图 7 中,由信息源 66 产生的基带信号被上变频并被提供给矢量调制器。在图 8 中,矢量调制器被提供以由信道合成器 74 产生的载波信号,信道合成器 74 输出一频率在所需的 RF 传输信道中心的载波信号。

对信道合成器的输出进行基带信号调制和对 RFPA 26 的输出进行预失真的处理在图 8 的系统被合并。DPF 42a 中的查找表通过基带信号的包络被寻址,以产生控制信号应用于矢量调制器中的乘法器 20 和 22。查找表中所存储的值被计算,因此它们在矢量调制器处引入来自具有合适程度的预失真的基带信号的信息。

由于来自基带信号的信息和预失真被同时引入值 RFPA 26 的输入信号,因此不可能提供一来自通向 RFPA 26 的路径的能够与 RFPA 26

的输出相比较的信号，以显示出 RFPA 输出信号中的残余失真。在前面的实施例中，对由开关 32 从分路器 14 和 16 获得的信号所执行的比较，使得在从开关 32 至 DPF 42a 的路径 80 中出现的误差可以被大部分地忽略。但是，在缺少来自通向 RFPA 26 的路径的可能对比较处理起作用的信号时，这样的比较不能在图 8 的系统中进行。

为了解决这一问题，开关 32 接收来自参考信号源 76 的参考信号，而不是来自通向 RFPA 26 的路径的信号。DPF 42a 能够引导开关 32 将来自参考信号源 76 的信号发送至 DPF 42a。DPF 42a 得以了解参考信号源 76 所产生的信号的特性并因此能够测量在从开关 32 到 DPF 42a 的路径中执行的下变频、滤波和模数转换处理中出现的误差。DPF 42a 使用这些误差测量结果来校准通过开关 32 获得的 RFPA 输出信号的样本。校准后的样本随后可以与来自信息源 66 的基带信号进行比较，出现的任何差异可归因于 RFPA 输出信号中的残余失真。在大多数其他方面，图 8 所示的系统与参照图 1 说明的系统相同。

图 10 显示了图 1 的结构变型，其中省略了由振荡器 36 和混频器 38 所表示的下变频器。ADC 48 被配置以对其从开关 32 接收的信号进行过欠采样 (under-sampling)，以便代替被省略的下变频器实现这些信号的下变频。ADC 48 的较低的采用率还允许在到达 ADC 48 之前不需要下变频的相对较低频率的 MTP 信号的直接采样。在大多数其他方面，图 10 所示的系统与参照图 1 说明的系统相同。

下面将参照图 11 至 14 说明与图 7 的实施例相关的一些附加的实施例。图 11 至 14 中的每一个显示了数字输入、RF 输出的完整发射机的方案。图 11 至 14 中出现的已在前面的附图中显示的元件保持相同的附图标记，并不再详细说明。

在图 11 中，采用信息信号、通常为编码的语言信号形式的数字输入或者被提供给 DPU 42a，或者在 DPU 42a 内产生。一旦需对该信息信号执行的任何数字信号处理操作完成，就通过 DAC 86 将该信息信

号转换至模拟域。DAC 86 的模拟输出在上变频器 88 处经历上变频，并随后进入例如由图 1 中的分路器 19、乘法器 20 和 22 以及组合器 24 构成的矢量调制器 90。和图 1 相同，矢量调制器 90 的目的在于对被传输至 RFPA 92 途中的上变频器 88 的输出进行预失真。矢量调制器 90 的控制输入 I_{in} 和 Q_{in} 由 DPU 42a 在一随后将说明的反馈信号的基础上发展而来。MTP 中的两个耦合器 94 和 96 分别为开关 32 提供了 RFPA 26 的 RF 输入和 RFPA 的放大的 RF 输出。和前面的实施例相同，ADC 48 如在 PDU 42a 的控制之下的 RF 开关 32 所命令的，交替地对通过耦合器 94 和 96 传输的信号的波形进行采样。由 DPU 42a 通过 ADC 48 所获得的波形区段随后以参照图 1、2 和 9 说明的方式被处理。

为了允许开关 32 对来自耦合器 94 和 96 的信号实施伪同时取样，在耦合器 94 和开关 32 之间提供表面声波 (SAW) 器件 98，以使从耦合器 94 到达开关 32 处的信号相对于从耦合器 96 到达的信号被延迟。SAW 器件 98 引入了一延迟，该延迟足够允许开关 32 在对产生 RFPA 输出波形的被采样部分的 RFPA 输入波形的长度进行采样之前，对 RFPA 输出波形的长度进行采样。在耦合器 94 和开关 32 之间的路径中使用 SAW 器件 98 可以省略图 7 中耦合器 14 后面的延迟元件，其结果是 MTP 不再遭受与该延迟元件相关的损失。

在大多数其他方面，图 11 所示的实施例以与图 7 的实施例大致相同的方式运行。

图 12 所示的实施例以与图 11 的实施例大致相同的方式运行，下面将仅说明两者的关键区别。主要的区别之处在于开关 32a 现在在 IF 上而不是 RF 上操作。为了适应 IF 开关的使用，对系统做出了几个其他修改，如下文将要讨论的。

现在，开关 32a 在 IF 上操作，不需要在开关和 ADC 48 之间包括下变频器。但是，为了给开关 32a 提供 IF 信号，需要包括一下变频

器 100, 将从耦合器 96 获得的信号从 RF 下变频至 IF。开关 32a 的其他输入直接自 DPU 42a 在 IF 上提供, 如下文将要说明的。

DPU 42a 被配置对指定用于传输的信息信号进行一系列的操作。在这一系列操作中的最后两个操作是信息信号的数字预失真(因此省略矢量调制器 90)和均衡滤波处理。DPU 42a 在数字预失真和均衡已完成后, 将信息信号提供给 DAC 86a, 从那里信号以模拟格式传输至上变频器 88 和 RFPA 26。DAC 86a 是双 DAC 模块 102 的一部分。模块 102 中所包含的另一个 DAC 104 由 DPU 42a 提供信息信号的、在被数字预失真和均衡之前的一延时版本。该时延在 106 处以图形形式表示。DPU 42a 通过模块 102 输出 IF 频率信号, 这样来自 DAC 104 的信号在没有其他频率转换的情况下可以被直接提供给开关 32a。数字延迟 106 取代了图 11 的 SAW 器件 98, 由此进一步降低了部件数量。

图 13 的实施例与图 12 的实施例大部分相同。主要区别是提供了到 IF 开关 32a 的一额外输入, 如下文将要解释的。在大多数其他方面, 图 13 的系统的操作与图 12 的相同。

减法器 108 的目的在于通过从 RFPA 输出信号减去 RFPA 输入信号的完全(clean)版本, 产生残余失真信号。当然, 如果要使减法操作有效, 这两个信号需要具有相同的标度(scale)或者增益, 需要在时间上对准, 并且需要在相同载波频率上。残余失真信号在 DPU 42a 中被使用, 以校正有 RFPA 26 的存储效应引起的失真。术语“存储效应”是用来描述 RFPA 要产生可归因于过去的、而不是当前的输入信号参数值的失真输出的趋势。安德鲁公司的国际专利申请 PCT/GB02/02767 中描述了一种消除存储效应失真的技术。

IF 开关 32a 的新的输入由减法器 108 提供。减法器 108 的输入为 DAC 104 的输出和来自耦合器 96 的信号。DAC 104 的输出实质上是在预失真和从 IF 下变频至 RF 之前的 RFPA 26 的输入信号, 而来自

耦合器 96 的信号是 RFPA 输出信号。减法器 108 因此能够从耦合器 96 提供的信号中减去 DAC 104 所提供的信号，以产生在 RFPA 26 的输出中继续存在的残余失真的测量。这一减法操作由可变衰减器 110 辅助进行，可变衰减器 110 能够被调整以确保经历减法操作的信号具有相同的标度。

为顺利进行减法操作，到达减法器 108 处的信号必须被正确地时间对准。因此，对被提供给 DAC 104 的信息信号的操作的时间延迟 106a 必须能够在两个延迟设置之间切换。当如前面实施例那样 IF 开关 32a 将被用于伪同时采样时将使用第一延迟设置，而在必须对到达减法器 108 处的信号进行时间对准以产生残余失真信号时使用第二延时设置（具有短得多的延迟值）。

图 14 的实施例与图 13 类似。区别的要点在于在 IF 上操作的 DAC 104 已经被一对被设计以对基带信号进行操作的 DAC 112 所取代。相应地，DPU 42a 向 DAC 112 提供基带正交格式的信息信号（以在预失真和均衡之前的形式）。由模块 112 产生的模拟正交基带信号随后在被提供给减法器 108 和 IF 开关 32a 之前，在下变频器 114 处被下变频至 IF。在大多数其他方面，图 14 的系统的操作方式与图 13 的相同。

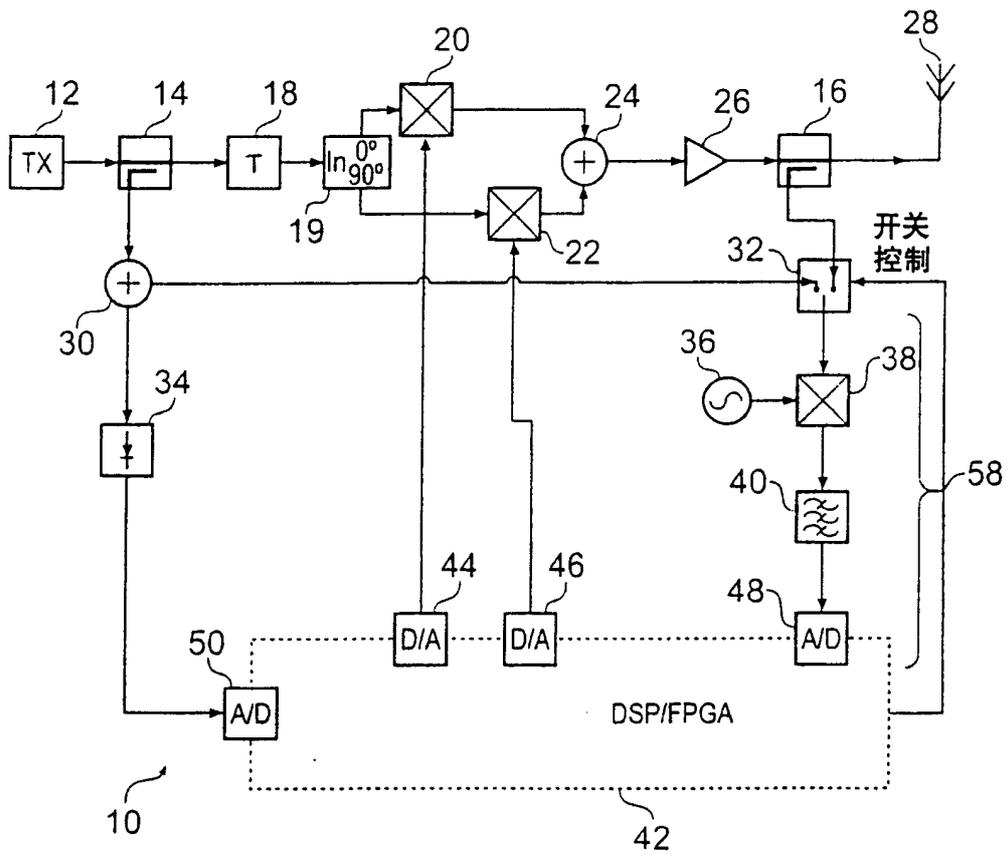


图1

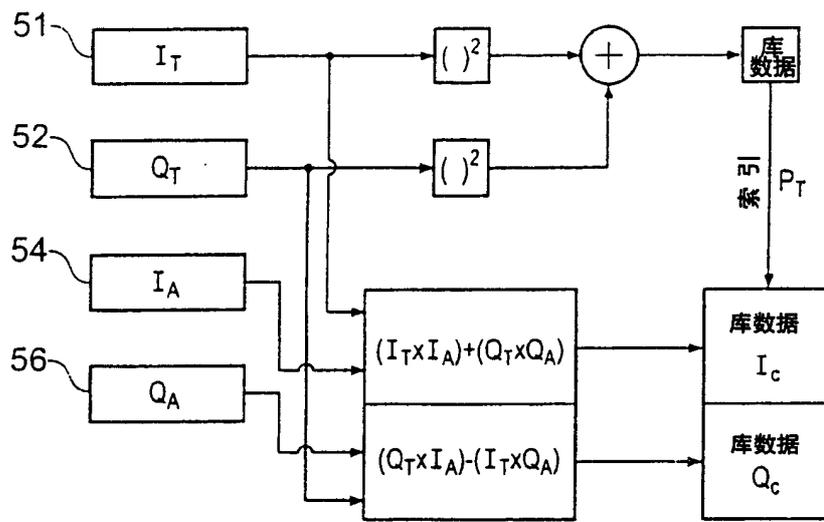


图2

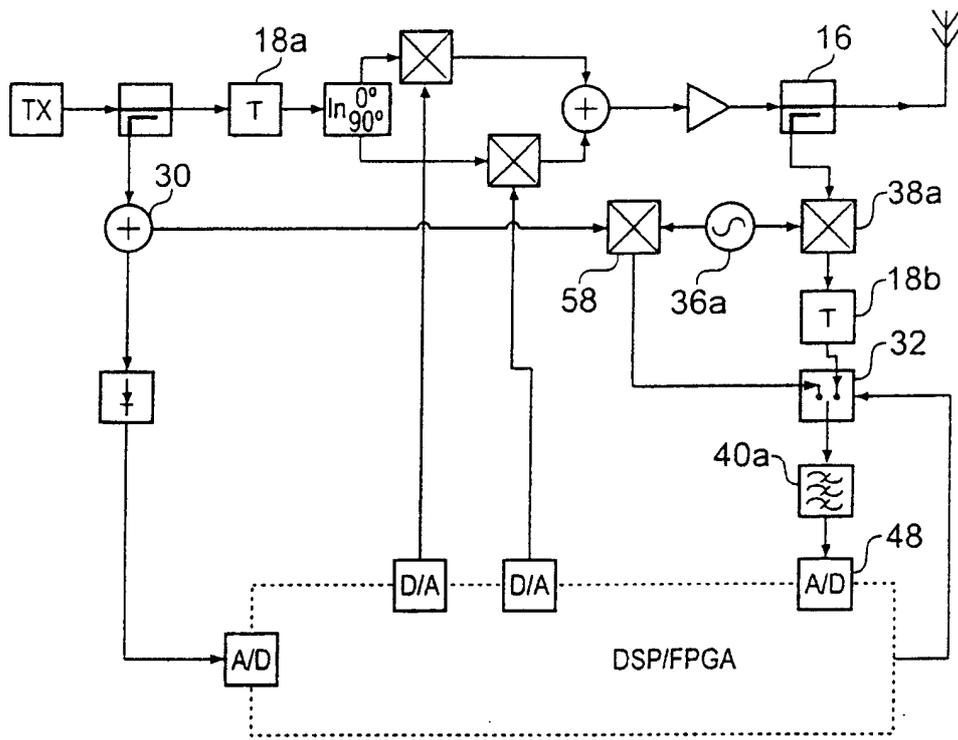


图3

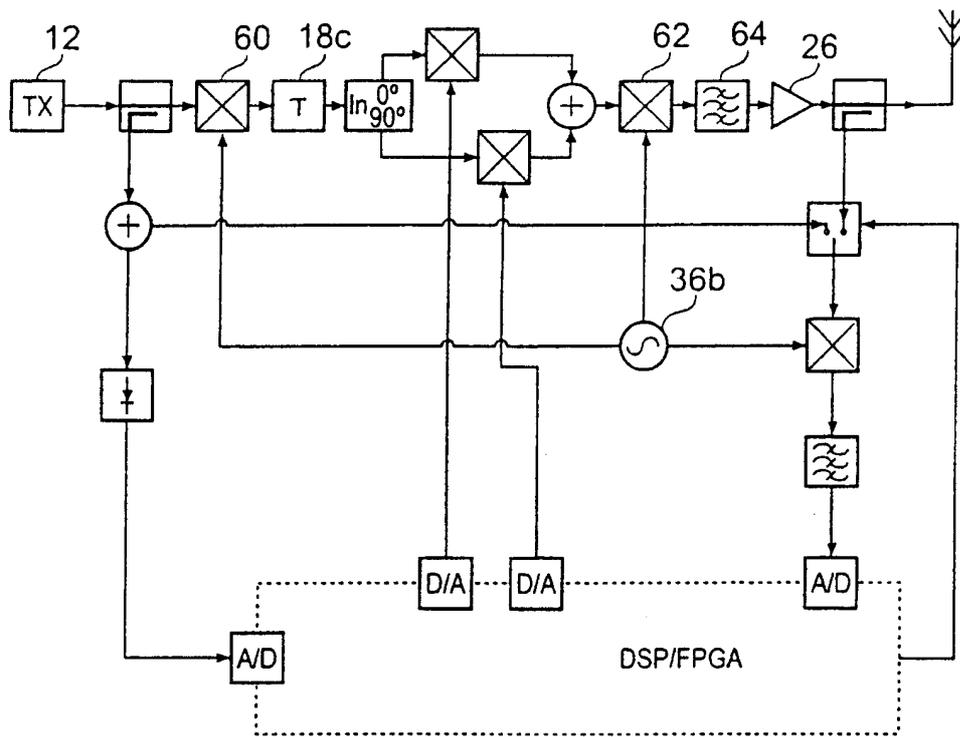


图4

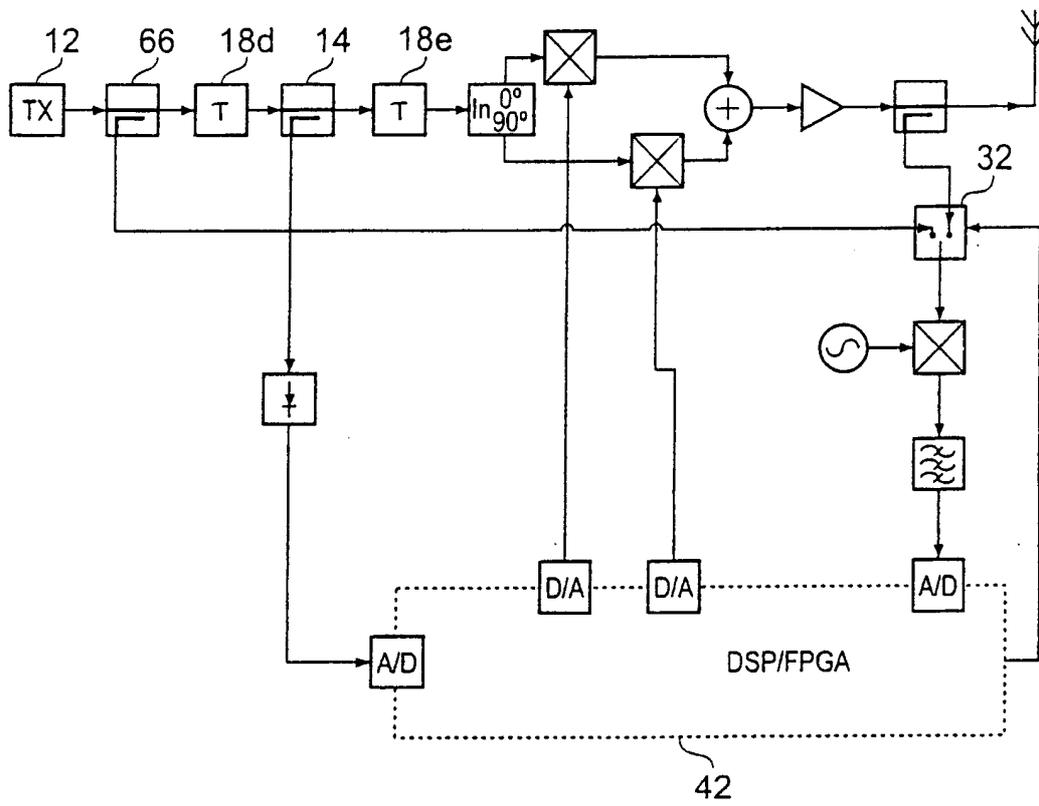


图5

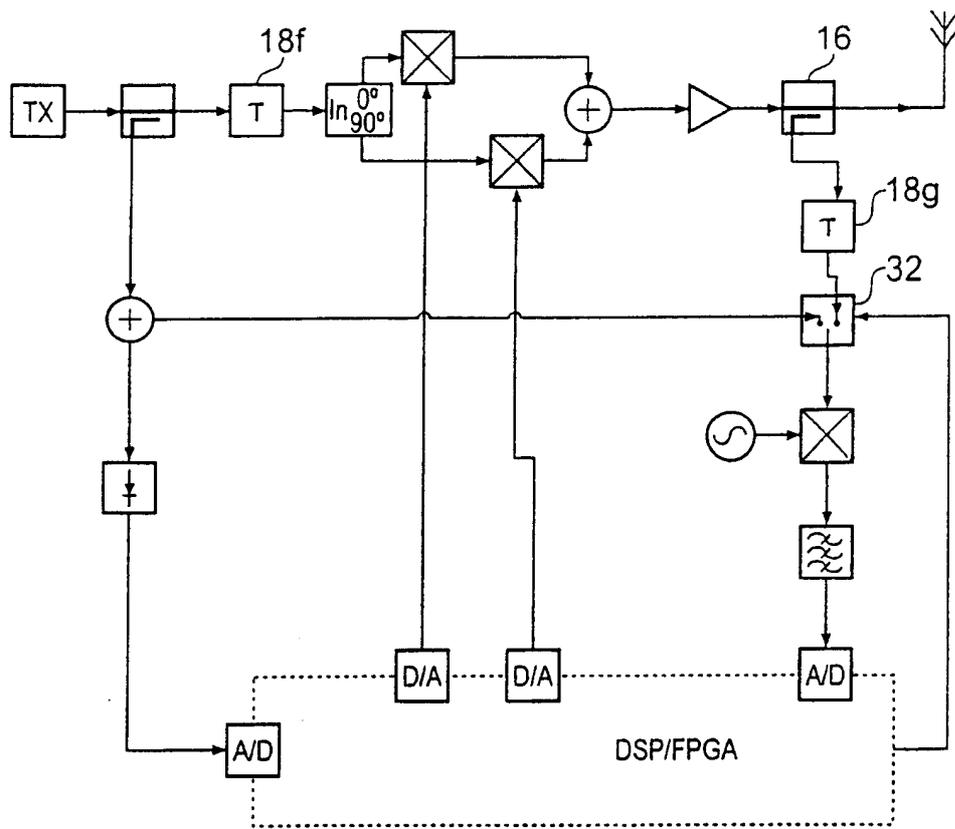


图6

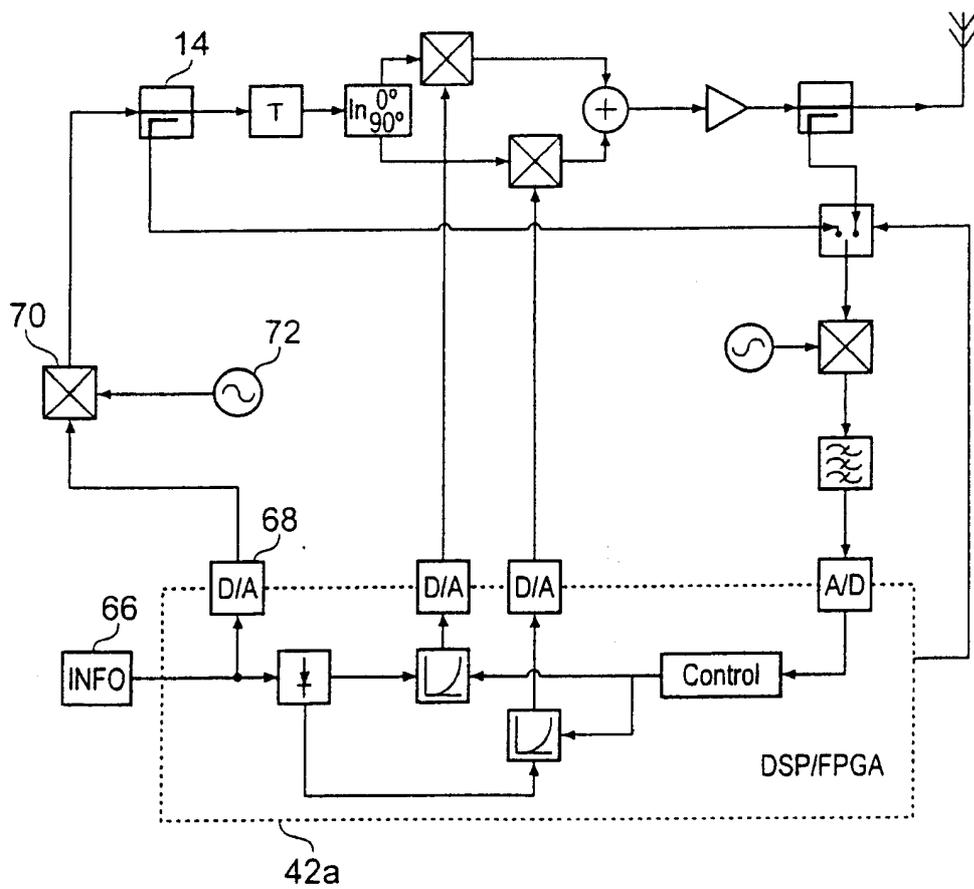


图7

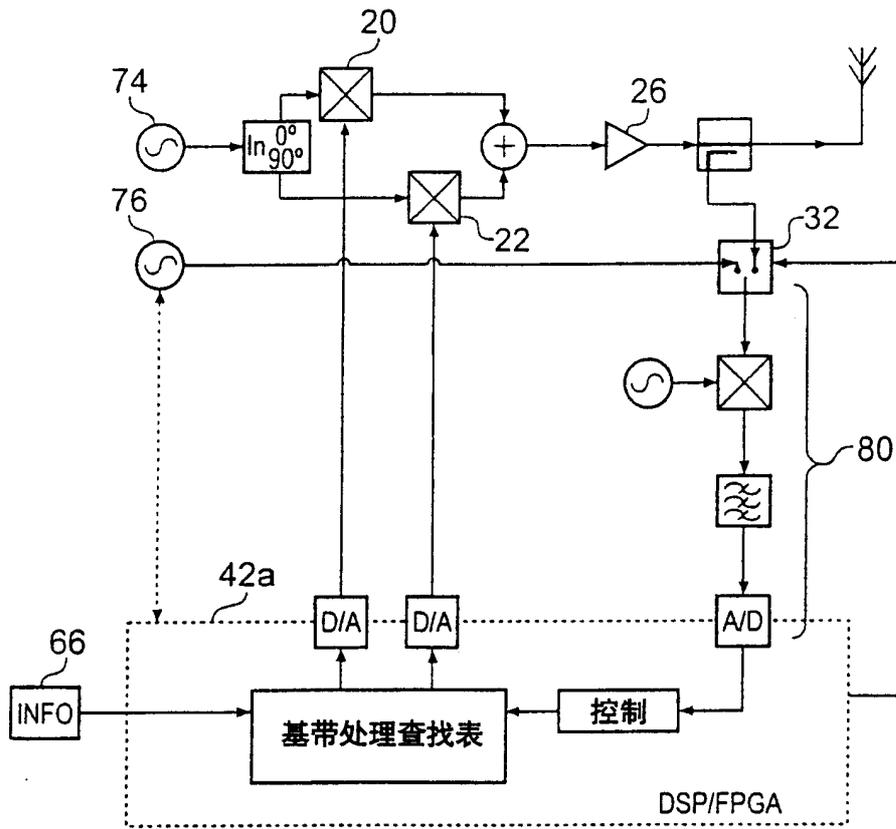


图8

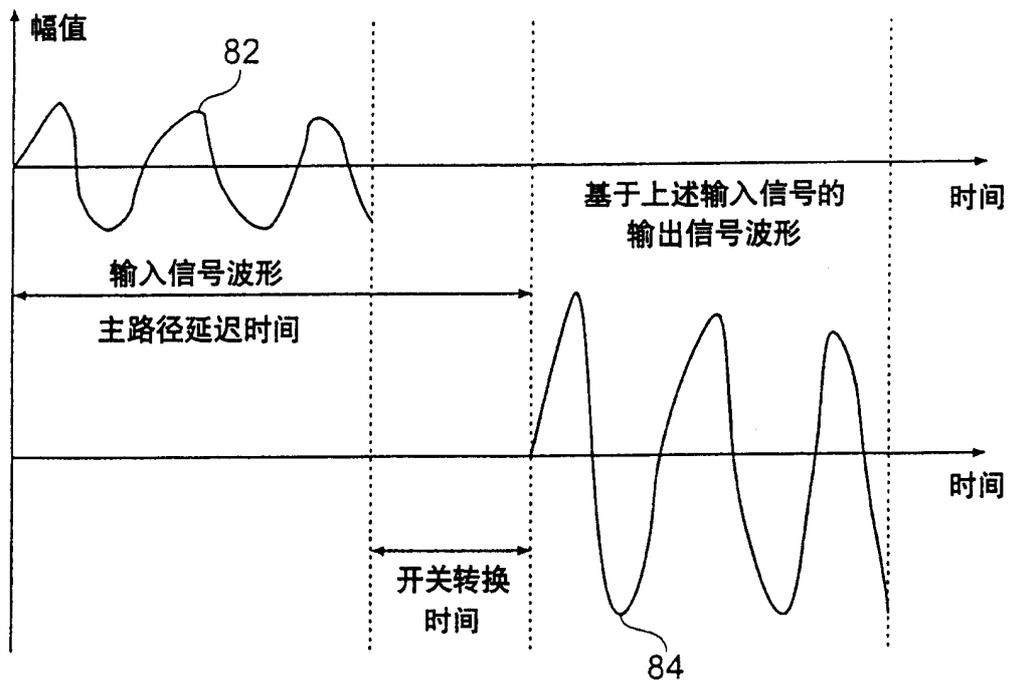


图9

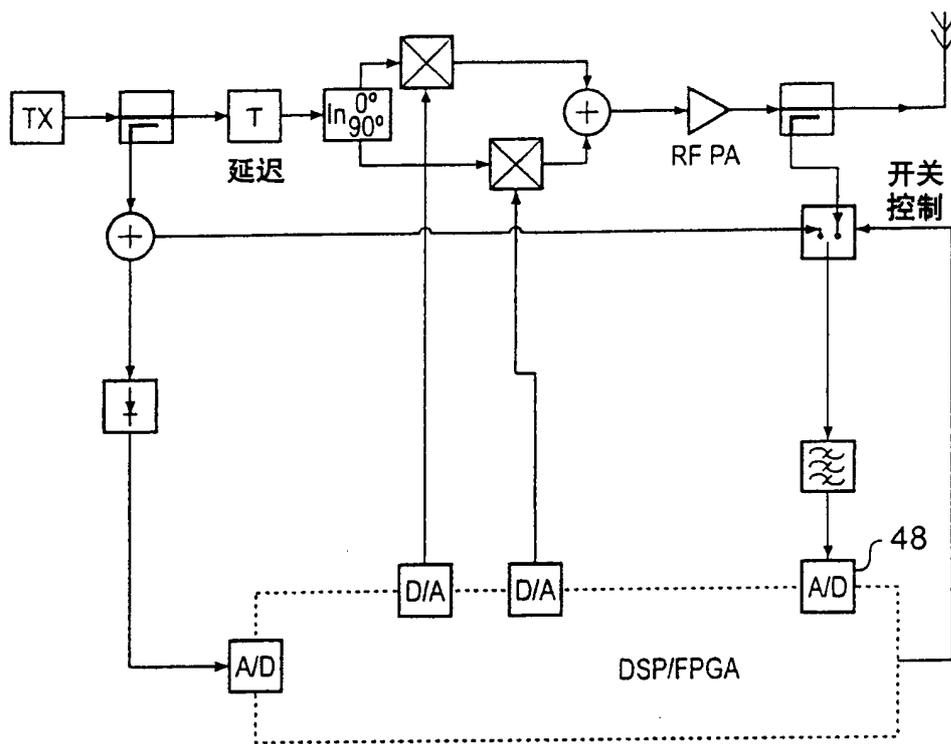


图10

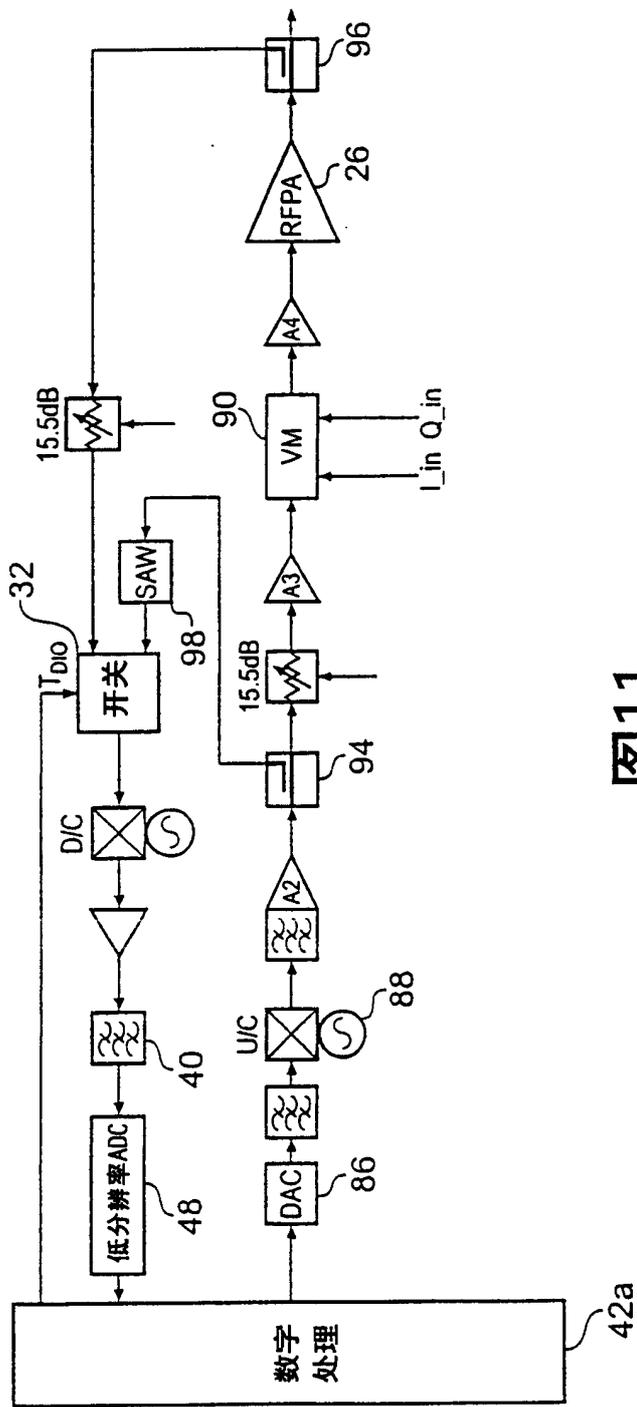


图11

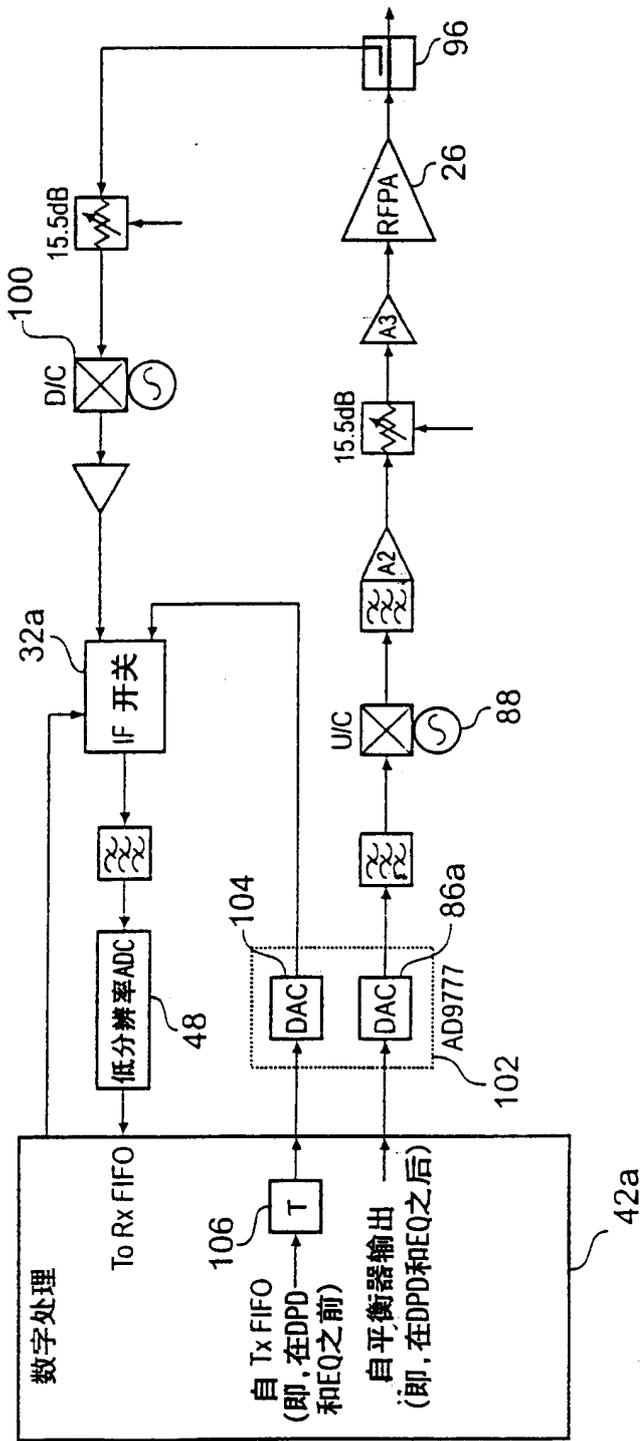


图12

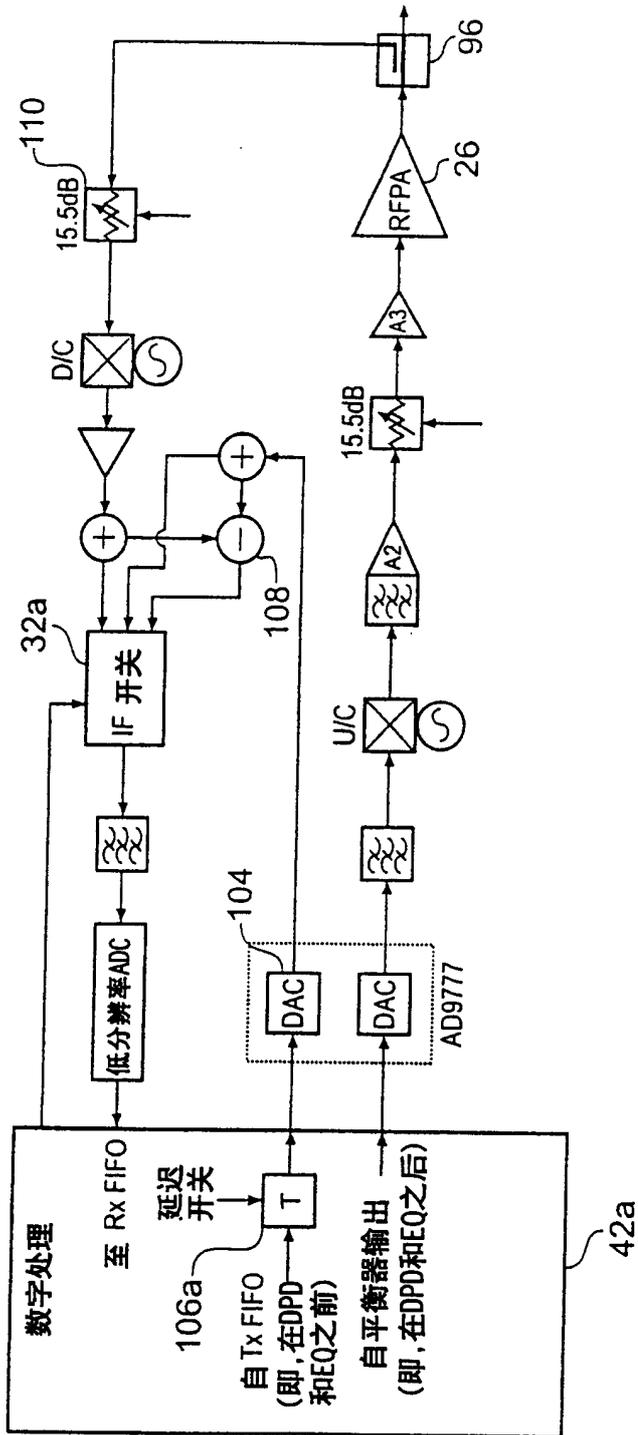


图13

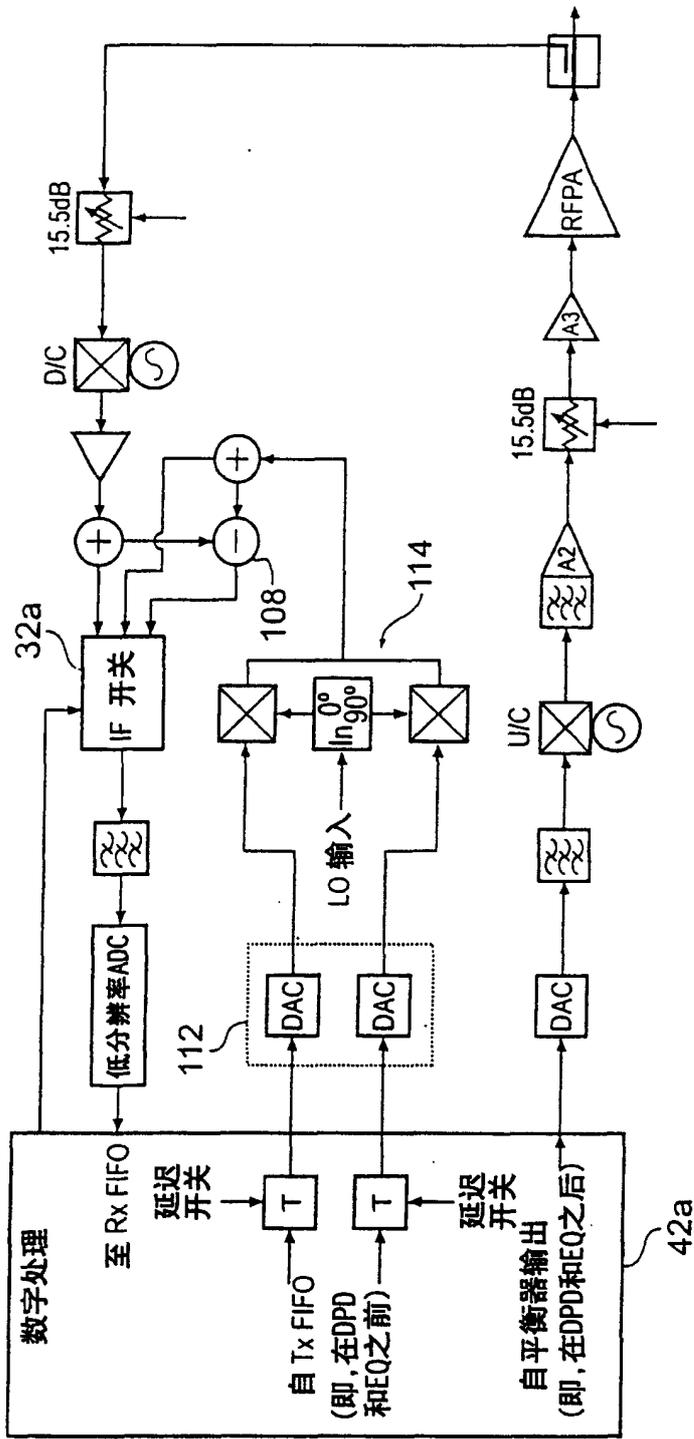


图14