



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I532176 B

(45)公告日：中華民國 105 (2016) 年 05 月 01 日

(21)申請案號：101135301

(22)申請日：中華民國 101 (2012) 年 09 月 26 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2011/09/29 日本

2011-215682

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：本田達也 HONDA, TATSUYA (JP)；津吹將志 TSUBUKU, MASASHI (JP)；野中
裕介 NONAKA, YUSUKE (JP)；島津貴志 SHIMAZU, TAKASHI (JP)；山崎舜平
YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201023315

TW 201114040

JP 2008-311342A

JP 2011-96884A

US 2010/0258794A1

US 2011/0140098A1

審查人員：翁佑菱

申請專利範圍項數：13 項 圖式數：25 共 108 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

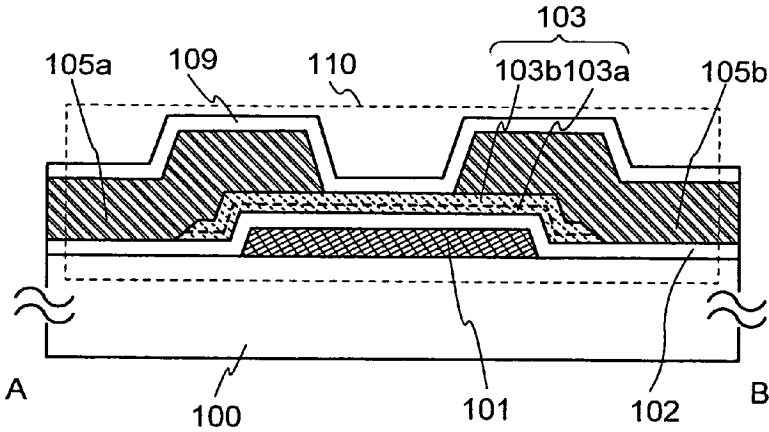
(57)摘要

本發明提供一種半導體裝置，包括：閘極電極；覆蓋閘極電極並包含含有矽的氧化物的閘極絕緣膜；以與閘極絕緣膜接觸並至少與閘極電極重疊的方式設置的氧化物半導體膜；以及與氧化物半導體膜連接的源極電極及汲極電極，其中，在氧化物半導體膜中的與閘極絕緣膜接觸且厚度為 5nm 以下的第一區域中，矽濃度為 1.0at.% 以下，包含在氧化物半導體膜的第一區域之外的區域中的矽濃度比包含在第一區域中的矽濃度低，並且，至少在第一區域中包括結晶部。

A semiconductor device includes a gate electrode, a gate insulating film which includes oxidized material containing silicon and covers the gate electrode, an oxide semiconductor film provided to be in contact with the gate insulating film and overlap with at least the gate electrode, and a source electrode and a drain electrode electrically connected to the oxide semiconductor film. In the oxide semiconductor film, a first region which is provided to be in contact with the gate insulating film and have a thickness less than or equal to 5 nm has a silicon concentration lower than or equal to 1.0 at.%, and a region in the oxide semiconductor film other than the first region has lower silicon concentration than the first region. At least the first region includes a crystal portion.

指定代表圖：

圖 1B



符號簡單說明：

- 100 . . . 基板
- 101 . . . 閘極電極
- 102 . . . 閘極絕緣膜
- 103 . . . 氧化物半導體膜
- 103a . . . 區域
- 103b . . . 區域
- 105a . . . 源極電極
- 105b . . . 汲極電極
- 109 . . . 保護絕緣膜
- 110 . . . 電晶體

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置及半導體裝置的製造方法。

注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性工作的所有裝置，因此，電光裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。但是，作為其他材料，氧化物半導體受到關注。

例如，已公開有作為電晶體的活性層使用包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物的電晶體（參照專利文獻1）。

使用氧化物半導體的電晶體的導通特性（導通電流等）比使用非晶矽的電晶體的導通特性高。為了將使用氧化物半導體的電晶體應用於高功能裝置，需要進一步提高其特性，因此不斷研發氧化物半導體的晶化技術（參照專利文獻2）。專利文獻2公開了藉由對氧化物半導體進行熱處理來實現晶化的技術。

[專利文獻1]日本專利申請公開第2006-165528號公

報

[專利文獻 2]日本專利申請公開第 2008-311342 號公

報

用於電晶體的氧化物半導體膜的大部分利用濺射法形成。然而，當對氧化物半導體膜進行蝕刻時，有時被離子化的稀有氣體元素或從靶材表面彈出的粒子將閘極絕緣膜等的成為氧化物半導體膜的被形成面的膜的粒子彈出。因此，從成為被形成面的膜彈出的粒子作為雜質元素進入到氧化物半導體膜。尤其是，有高濃度的雜質元素進入到被形成面附近的氧化物半導體膜中的擔憂。另外，當雜質元素殘留在被形成面附近的氧化物半導體膜中時會影響到電晶體的特性。

另外，當雜質元素進入到被形成面附近的氧化物半導體膜中時雜質元素會阻礙氧化物半導體膜的晶化。由此，非晶區殘留在被形成面附近的氧化物半導體膜中。

因此，也可以考慮增厚氧化物半導體膜而使用表層的結晶區。然而，為了降低寄生電容並以低耗電量使電晶體工作，較佳為減薄氧化物半導體膜。此時，由於通道形成區形成在被形成面附近的氧化物半導體膜中，所以氧化物半導體膜的晶化較佳為進行到被形成面附近。

【發明內容】

鑒於上述問題，本發明的目的之一是降低包含在被形成面附近的氧化物半導體膜中的雜質的濃度。另外，本發

明的目的之一是提高氧化物半導體膜的結晶性。另外，本發明的目的之一是藉由使用該氧化物半導體膜提供一種具有穩定的電特性的半導體裝置。

所公開的發明的一個方式是一種半導體裝置，包括：包含含有矽的氧化物的絕緣膜；以與絕緣膜接觸的方式設置的氧化物半導體膜；與氧化物半導體膜電連接的源極電極及汲極電極；以及與氧化物半導體膜相鄰的閘極電極，其中，氧化物半導體膜包括分佈在從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽的濃度為 1.0at.% 以下的第一區域，至少第一區域包括結晶部，並且，閘極電極隔著絕緣膜位於氧化物半導體膜之下。

另外，所公開的發明的一個方式是一種半導體裝置，包括：閘極電極；覆蓋閘極電極並包含含有矽的氧化物的閘極絕緣膜；與閘極絕緣膜接觸並至少設置在與閘極電極重疊的區域上的氧化物半導體膜；以與氧化物半導體膜接觸的方式設置的通道保護膜；以及設置在通道保護膜上並與氧化物半導體膜電連接的源極電極及汲極電極，其中，氧化物半導體膜包括分佈在從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽的濃度為 1.0at.% 以下的第一區域，並且，至少在第一區域中包括結晶部。

在上述各結構中較佳的是，第一區域以與閘極絕緣膜或絕緣膜接觸且厚度為 5nm 以下的方式設置，並且，包含在第一區域之外的區域中的矽的濃度低於包含在第一區域中的矽的濃度。

在上述各結構中較佳的是，在氧化物半導體膜的第一區域之外的區域中包括結晶部。

另外，所公開的發明的一個方式是一種半導體裝置，包括：閘極電極；覆蓋閘極電極並包含含有矽的氧化物的閘極絕緣膜；與閘極絕緣膜接觸並至少設置在與閘極電極重疊的區域上的氧化物半導體膜；與氧化物半導體膜電連接的源極電極及汲極電極；以及覆蓋氧化物半導體膜、源極電極及汲極電極並包含含有矽的氧化物的保護絕緣膜，其中，氧化物半導體膜包括分佈在從與閘極絕緣膜的介面向氧化物半導體膜的內側的矽的濃度為 1.0at.% 以下的第一區域，氧化物半導體膜包括分佈在從與保護絕緣膜的介面向氧化物半導體膜的內側的矽的濃度為 1.0at.% 以下的第二區域，並且，至少在第一區域及第二區域中包括結晶部。

在上述結構中較佳的是，第一區域以與閘極絕緣膜接觸且厚度為 5nm 以下的方式設置，第二區域以與保護絕緣膜接觸且厚度為 5nm 以下的方式設置，並且，包含在第一區域及第二區域之外的區域中的矽的濃度低於包含在第一區域及第二區域中的矽的濃度。

另外，在上述結構中較佳的是，在氧化物半導體膜的第一區域及第二區域之外的區域中包括結晶部。

另外，在上述各結構中較佳的是，結晶部的 c 軸在垂直於氧化物半導體膜與閘極絕緣膜或絕緣膜的介面的方向上一致。

另外，在上述各結構中較佳的是，包含在第一區域中的矽的濃度為 0.1at.%以下。

另外，在上述各結構中較佳的是，閘極絕緣膜或絕緣膜包含碳，並且，第一區域的碳濃度為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下。

根據所公開的發明的一個方式，可以降低包含在被形成面附近的氧化物半導體膜中的雜質的濃度。另外，可以提高氧化物半導體膜的結晶性。而且，可以藉由使用該氧化物半導體膜提供一種具有穩定的電特性的半導體裝置。

【實施方式】

下面，參照圖式對本說明書所公開的發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

注意，為了便於理解，在圖式等中所示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。

另外，本說明書中的“第一”、“第二”、“第三”等的序數詞是為避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在xx之上”或“直接在xx之下”。例如，“閘極絕緣層上的閘極電極”不排除閘極絕緣層與閘極電極之間具有其他構成要素的情況。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

此外，在採用極性不同的電晶體的情況下或在電路工作中電流方向發生變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書等中，可以互相調換使用“源極”和“汲極”。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接目標間的電信號的接收，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、具有其他各種功能的元件等。

實施方式 1

在本實施方式中，參照圖 1A 至圖 5E 說明半導體裝置及半導體裝置的製造方法的一個方式。

〈半導體裝置的結構例〉

在圖 1A 及圖 1B 中，作為半導體裝置的例子，示出為底閘極結構的一種的通道蝕刻型電晶體的平面圖及剖面圖。圖 1A 是平面圖，圖 1B 是沿著圖 1A 中的線 A-B 的剖面圖。注意，在圖 1A 中，為了簡化起見，省略電晶體 110 的構成要素的一部分（例如，保護絕緣膜 109 等）。

圖 1A 及圖 1B 所示的電晶體 110 在具有絕緣表面的基板 100 上包括：閘極電極 101；覆蓋閘極電極 101 的閘極絕緣膜 102；與閘極絕緣膜 102 接觸並至少設置在與閘極電極 101 重疊的區域中的氧化物半導體膜 103；與氧化物半導體膜 103 電連接的源極電極 105a 及汲極電極 105b；以及覆蓋氧化物半導體膜 103、源極電極 105a 及汲極電極 105b 的保護絕緣膜 109。

氧化物半導體膜 103 的厚度大於 5nm 且 200nm 以下，較佳為 10nm 以上且 30nm 以下。另外，氧化物半導體膜 103 較佳為採用具有單晶或微晶等結晶性的結構。

在本實施方式中，氧化物半導體膜 103 較佳為 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，一般該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡 (TEM: Transmission Electron

Microscope) 觀察時的影像中，包含於 CAAC-OS 膜中的非晶區與結晶部的邊界不明確。另外，當利用 TEM 時在 CAAC-OS 膜中觀察不到晶界 (grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包含於 CAAC-OS 膜中的結晶部的 c 軸在垂直於 CAAC-OS 膜的被形成面或表面的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書等中，在只記載“垂直”時，也包括 85°以上且 95°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，當從氧化物半導體膜的表面一側進行結晶生長時，有時表面附近的結晶部所占的比例更高。

由於包含於 CAAC-OS 膜中的結晶部的 c 軸在垂直於 CAAC-OS 膜的被形成面或表面的方向上一致，所以有時其根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或膜表面的剖面形狀）而朝向不同方向。另外，結晶部的 c 軸方向是垂直於形成 CAAC-OS 膜時的被形成面或表面的方向。結晶部是藉由成膜或藉由在成膜之後進行加熱處理等的晶化處理而形成的。

使用 CAAC-OS 膜的電晶體能夠降低由可見光或紫外

光引起的電晶體的電特性的變動。另外，可以抑制閾值的變動及偏差。因此，該電晶體的可靠性高。

另外，具有結晶性的氧化物半導體可以進一步降低塊體內缺陷。再者，藉由提高具有結晶性的氧化物半導體膜表面的平坦性，使用該氧化物半導體的電晶體可以得到使用處於非晶狀態的氧化物半導體的電晶體的場效應遷移率以上的場效應遷移率。爲了提高氧化物半導體膜表面的平坦性，較佳爲在平坦的表面上形成氧化物半導體，具體地，較佳爲在平均面粗糙度（Ra）爲 0.15nm 以下，較佳爲 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B0601:2001(ISO4287:1997)中定義的算術平均粗糙度擴大爲三維以使其能夠應用於曲面，可以以“將從基準面到指定面的偏差的絕對值平均而得的值”表示，以如下算式定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

這裏，指定面是指成爲測量粗糙度對象的面，並且是以座標（ $x_1, y_1, f(x_1, y_1)$ ）、（ $x_1, y_2, f(x_1, y_2)$ ）、（ $x_2, y_1, f(x_2, y_1)$ ）、（ $x_2, y_2, f(x_2, y_2)$ ）的四點表示的四角形的區域，指定面投影在 xy 平面的長方形的面積爲 S_0 ，基準面的高度（指定面的平均高度）爲 Z_0 。可以利用原子力顯微鏡（AFM:Atomic Force Microscope）測量 Ra。

另外，如圖 1B 所示，氧化物半導體膜 103 的端部較佳為具有 20° 至 50° 的錐角。當氧化物半導體膜 103 具有垂直端部時，氧容易從氧化物半導體膜 103 脫離而產生氧缺陷。但是，藉由使氧化物半導體膜 103 的端部為錐角，可以抑制氧缺陷的產生並降低電晶體 110 的洩漏電流的產生。

較佳為用於氧化物半導體膜 103 的氧化物半導體至少包含銦 (In) 或鋅 (Zn)。特別較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，較佳為除了包含上述元素以外，還包含選自鎵 (Ga)、錫 (Sn)、鈦 (Hf)、鋯 (Zr)、鈦 (Ti)、釷 (Sc)、釷 (Y)、鑰系元素 (例如，鈾 (Ce)、釷 (Nd)、釷 (Gd)) 中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物；三元金屬氧化物如 In-Ga-Zn 氧化物 (也稱為 IGZO)、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-Zr-Zn 氧化物、In-Ti-Zn 氧化物、In-Sc-Zn 氧化物、In-Y-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化

物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

在此，“In-Ga-Zn 氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元素。

另外，作為氧化物半導體可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數) 表示的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ ，且 n 是整數) 表示的材料。

例如，可以使用其原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 或 $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ 的 In-Ga-Zn 類氧化物或其組成附近的氧化物。

閘極絕緣膜 102 較佳為使用具有充分的耐壓性及絕緣性的氧化物絕緣膜。當閘極絕緣膜 102 採用單層結構時，例如可以使用包含氧化矽等含有矽的氧化物的絕緣膜。

另外，閘極絕緣膜 102 也可以採用疊層結構。當閘極絕緣膜 102 採用疊層結構時，可以在氧化鎵、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁、氧化鉍、氧化釧或氮氧化矽等上層疊氧化矽。此外，可以在氧化鉛、矽酸鉛 (HfSi_xO_y ($x>0$ ， $y>0$))、添加有氮的矽酸鉛

(HfSiO_xN_y ($x>0$ 、 $y>0$)) 及 鋁 酸 鈣 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等 high-k 材料上層疊氧化矽。另外，藉由使用 high-k 材料可以降低閘極漏電流。

藉由使用氧化物絕緣膜作為閘極絕緣膜 102，可以藉由對該氧化物絕緣膜進行加熱使氧的一部分脫離，從而可以將氧供應到氧化物半導體膜 103 以填補氧化物半導體膜 103 中的氧缺損。尤其是，較佳為在閘極絕緣膜 102（塊體）中含有至少超過化學計量比的氧，例如，作為閘極絕緣膜 102 較佳為使用以 $\text{SiO}_{2+\alpha}$ ($\alpha>0$) 表示的氧化矽膜。藉由將上述氧化矽膜用作閘極絕緣膜 102，可以將氧供應到氧化物半導體膜 103，從而可以提高使用該氧化物半導體膜 103 的電晶體 110 的電晶體特性。

然而，當作為閘極絕緣膜 102 使用氧化矽膜時，有閘極絕緣膜 102 中的矽作為雜質進入到氧化物半導體膜 103 的擔憂。矽等作為雜質進入氧化物半導體膜 103，成為影響到電晶體特性的要因。另外，當雜質元素進入到被形成面附近的氧化物半導體膜 103 中時阻礙氧化物半導體膜的晶化。由此，非晶區殘留在被形成面附近的氧化物半導體膜中。另外，當氧化物半導體膜 103 是 CAAC-OS 膜時，難以在被形成面附近形成結晶部。

尤其是，矽等雜質容易進入被形成面附近的與閘極絕緣膜 102 接觸的氧化物半導體膜 103 中。由於電晶體 110 的通道形成區形成在被形成面附近的氧化物半導體膜 103 中，所以當矽等雜質進入到被形成面附近時，有使電晶體

110 的特性變動的擔憂。

在此，參照圖 21A 至圖 25 對利用經典分子動力學計算檢查當作爲雜質對氧化物半導體膜 103 添加含有矽的氧化物的 SiO_2 時發生的結構變化的結果進行說明。注意，作爲經典分子動力學計算軟體使用富士通株式會社製造的 SCIGRESS ME，以進行上述計算。在經典分子動力學法中，藉由對成爲原子間相互作用的特徵的經驗勢進行定義來對作用於各原子的力量進行評價。藉由對牛頓運動方程進行數值求解，可以對各原子的運動（時間演化）進行決定論的追跡。

以下說明計算模型和計算條件。另外，在本計算中使用 Born-Mayer-Huggins 勢。

作爲計算模型，製造 1680 原子的 InGaZnO_4 的單晶結構（參照圖 21A）以及使用矽（Si）原子分別取代 1680 原子的 InGaZnO_4 中的 In、Ga、Zn 的各 20 原子的結構（參照圖 21B）。在圖 21B 所示的矽（Si）取代模型中，矽（Si）占 3.57atom%（2.34wt%）。另外，圖 21A 所示的單晶模型的密度是 6.36g/cm^3 ，並且圖 21B 所示的矽（Si）取代模型的密度是 6.08g/cm^3 。

藉由在低於 InGaZnO_4 的單晶結構的溶點（利用經典分子動力學計算的估計約爲 2000°C ）的 1727°C 下，以一定的壓力（1atm）進行 150psec（時間步長 $0.2\text{fsec}\times 75$ 萬步（step））的經典分子動力學計算，而對圖 21A 及圖 21B 所示的計算模型進行結構弛豫。此外，求出上述兩個

結構的徑向分佈函數 $g(r)$ 。注意，徑向分佈函數 $g(r)$ 是指表示在離某個原子距離 r 的位置上存在其他原子的概率密度的函數。隨著原子之間的相關性減弱， $g(r)$ 逐漸接近於 1。

圖 22A 及圖 22B 分別表示藉由對上述兩個計算模型進行 150psec 的經典分子動力學計算而得到的最終結構。另外，圖 23 表示各結構中的徑向分佈函數 $g(r)$ 。

圖 22A 所示的單晶模型穩定並且其最終結構也保持晶體結構，但是圖 22B 所示的矽 (Si) 取代模型不穩定並隨著時間推移晶體結構崩潰，而變為非晶結構。另外，當參照圖 23 比較各結構模型的徑向分佈函數 $g(r)$ 時，可知單晶模型在長距離的地點也有峰值而具有長程有序性。另一方面，在矽 (Si) 取代模型中，在 0.6nm 附近峰值消失，可知其不具有長程有序性。

從上述計算結果可知，藉由使 InGaZnO_4 包含矽 (Si)，容易使 InGaZnO_4 非晶化。另外，確認到即使在 InGaZnO_4 中含有矽 (Si) 的狀態下進行高溫加熱， InGaZnO_4 也不會發生晶化。

接著，參照圖 21A、圖 24A 至圖 25 對利用經典分子動力學計算檢查當對氧化物半導體膜 103 添加碳原子 (C) 時發生的結構變化的結果進行說明。注意，作為經典分子動力學計算軟體使用富士通株式會社製造的 SCIGRESS ME，以進行上述計算。

以下說明計算模型和計算結果。另外，在本計算中使

用 Born-Mayer-Huggins 勢。另外，在與碳原子（C）的原子間互相作用中使用 Lennard-Jones 勢。

作為計算模型，製造 1680 原子的 InGaZnO_4 的單晶結構（參照圖 21A）以及使用碳原子（C）分別取代 1680 原子的 InGaZnO_4 中的 In、Ga、Zn 的各 20 原子且使用碳原子（C）取代氧（O）的 80 原子的結構（參照圖 24A）。在圖 24A 所示的碳（C）取代模型中，碳原子（C）占 8.33 atom%。另外，圖 21A 所示的單晶模型的密度是 6.36 g/cm^3 ，並且圖 24A 所示的碳（C）取代模型的密度是 5.89 g/cm^3 。

藉由在低於 InGaZnO_4 的單晶結構的溶點（利用經典分子動力學計算的估計約為 2000°C ）的 1727°C 下，以一定的壓力（1 atm）進行 140 psec（時間步長 $0.2 \text{ fsec} \times 75$ 萬步（step））的經典分子動力學計算，而對圖 21A 及圖 24A 所示的計算模型進行結構弛豫。此外，求出上述兩個結構的徑向分佈函數 $g(r)$ 。注意，徑向分佈函數 $g(r)$ 是指表示在離某個原子距離 r 的位置上存在其他原子的概率密度的函數。隨著原子之間的相關性減弱， $g(r)$ 逐漸接近於 1。

圖 22A 及圖 24B 分別表示藉由對上述兩個計算模型進行 150 psec 的經典分子動力學計算而得到的最終結構。另外，圖 25 表示各結構中的徑向分佈函數 $g(r)$ 。

圖 22A 所示的單晶模型穩定並且其最終結構也保持晶體結構，但是圖 24B 所示的碳（C）取代模型不穩定並隨

著時間推移晶體結構崩潰，而變為非晶結構。另外，當參照圖 25 比較各結構模型的徑向分佈函數 $g(r)$ 時，可知單晶模型在長距離的地點也有峰值而具有長程有序性。另一方面，在碳（C）取代模型中，在 0.6nm 附近峰值消失，可知其不具有長程有序性。

從上述計算結果可知，藉由使 InGaZnO_4 包含碳（C），容易使 InGaZnO_4 非晶化。另外，確認到即使在 InGaZnO_4 中含有碳（C）的狀態下進行高溫加熱， InGaZnO_4 也不會發生晶化。

如上所述，雜質進入到氧化物半導體膜導致氧化物半導體膜的結晶性的降低。於是，在本實施方式所示的半導體裝置中抑制矽等雜質進入到被形成面附近的氧化物半導體膜中。其結果是，在氧化物半導體膜 103 中形成分佈在從與閘極絕緣膜 102 的介面向氧化物半導體膜 103 的內側的矽的濃度為 1.0at.% 以下的區域。該區域表示為區域 103a。另外，包含在區域 103a 中的矽濃度更佳為 0.1at.% 以下。另外，區域 103a 以與閘極絕緣膜 102 接觸且厚度為 5nm 以下的方式設置。

另外，氧化物半導體膜 103 中的區域 103a 之外的區域表示為區域 103b。另外，包含在區域 103b 中的矽的濃度比包含在區域 103a 中的矽的濃度小。

另外，當在閘極絕緣膜 102 中含有碳等雜質時，也有與上述矽同樣地作為雜質進入氧化物半導體膜 103 的擔憂。於是，將包含在區域 103a 中的碳濃度設定為

$1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為設定為 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下。

如上所述，藉由降低進入氧化物半導體膜 103 的區域 103a 中的矽等雜質的濃度，可以抑制電晶體 110 的特性變動。另外，氧化物半導體膜 103 的晶化可以進行到被形成面附近。另外，當氧化物半導體膜 103 是 CAAC-OS 膜時，結晶部可以形成到被形成面附近。藉由使用上述氧化物半導體膜製造電晶體，可以製造具有穩定的電特性的半導體裝置。

注意，其他構成要素的詳細內容將參照圖 4A 至圖 4E 在後述的電晶體 110 的製造方法中進行說明。

另外，在電晶體 110 上還可以設置有平坦化絕緣膜。另外，為了使源極電極 105a 或汲極電極 105b 與佈線電連接，也可以在閘極絕緣膜 102 及保護絕緣膜 109 等中形成有開口。此外，在氧化物半導體膜 103 的上方的與閘極電極 101 重疊的區域中還可以具有第二閘極電極。

另外，圖 2A 及圖 2B 示出與圖 1A 及圖 1B 所示的電晶體 110 不同結構的電晶體 120。圖 2A 是平面圖，圖 2B 是沿著圖 2A 中的線 C-D 的剖面圖。注意，在圖 2A 中，為了簡化起見，省略電晶體 120 的構成要素的一部分（例如，保護絕緣膜 109 等）。

圖 2A 及圖 2B 所示的電晶體 120 在具有絕緣表面的基板 100 上包括：閘極電極 101；覆蓋閘極電極 101 的閘極絕緣膜 102；與閘極絕緣膜 102 接觸並至少設置在與閘極

電極 101 重疊的區域上的氧化物半導體膜 103；與氧化物半導體膜 103 電連接的源極電極 105a 及汲極電極 105b；以及覆蓋氧化物半導體膜 103、源極電極 105a 及汲極電極 105b 的保護絕緣膜 109。在此，電晶體 120 與電晶體 110 不同之處在於：作為保護絕緣膜 109，與上述閘極絕緣膜 102 同樣地使用包含氧化物的絕緣膜，該氧化物含有矽；以及在氧化物半導體膜 103 與保護絕緣膜 109 接觸的介面附近具有區域 103c。

電晶體 120 的氧化物半導體膜 103 包括區域 103a 至區域 103c。區域 103a 是在氧化物半導體膜 103 中分佈在從與閘極絕緣膜 102 的介面向氧化物半導體膜 103 的內側的矽的濃度為 1.0at.% 以下的區域。區域 103a 較佳為以與閘極絕緣膜 102 接觸且厚度為 5nm 以下的方式設置。另外，區域 103c 是在氧化物半導體膜 103 中分佈在從與保護絕緣膜 109 的介面向氧化物半導體膜 103 的內側的矽的濃度為 1.0at.% 以下的區域。區域 103c 較佳為以與保護絕緣膜 109 接觸且厚度為 5nm 以下的方式設置。另外，氧化物半導體膜 103 中的區域 103a 及區域 103c 之外的區域表示為區域 103b。

另外，包含在區域 103b 中的矽的濃度比包含在區域 103a 中的矽的濃度小。另外，包含在區域 103a 中的矽濃度更佳為 0.1at.% 以下。

在此，將包含在區域 103a 中的矽的濃度設定為 1.0at.% 以下，較佳為設定為 0.1at.% 以下，並將包含在區

域 103c 中的矽的濃度設定為 1.0at.%以下，較佳為設定為 0.1at.%以下。另外，此時，包含在區域 103b 中的矽的濃度比包含在區域 103a 及區域 103c 中的矽的濃度小。

如上所述，也可以藉由降低相當於氧化物半導體膜 103 的背通道的區域 103c 中的矽等的雜質的濃度來抑制電晶體 120 的電特性變動。

其他構成要素與圖 1A 及圖 1B 所示的半導體裝置相同。至於詳細內容，可以參照關於圖 1A 及圖 1B 的記載。

另外，圖 1A 至圖 2B 所示的電晶體是所謂的通道蝕刻型電晶體，但是本實施方式所示的半導體裝置不侷限於此。圖 3A 及圖 3B 示出與圖 1A 至圖 2B 所示的電晶體不同的通道停止型電晶體 130 的結構例。圖 3A 是平面圖，圖 3B 是沿著圖 3A 中的線 E-F 的剖面圖。注意，在圖 3A 中，為了簡化起見，省略電晶體 130 的構成要素的一部分（例如，保護絕緣膜 109 等）。另外，為了簡化起見，圖 3A 示出通道保護膜 108 的立體圖。

圖 3A 及圖 3B 所示的電晶體 130 在具有絕緣表面的基板 100 上包括：閘極電極 101；覆蓋閘極電極 101 的閘極絕緣膜 102；與閘極絕緣膜 102 接觸並至少設置在與閘極電極 101 重疊的區域中的氧化物半導體膜 103；以接觸於氧化物半導體膜 103 上的方式設置的通道保護膜 108；設置在通道保護膜 108 上的與氧化物半導體膜 103 電連接的源極電極 105a 及汲極電極 105b；以及覆蓋氧化物半導體膜 103、源極電極 105a 及汲極電極 105b 的保護絕緣膜

109。另外，與電晶體 110 同樣，氧化物半導體膜 103 包括區域 103a 及區域 103b。就是說，電晶體 130 與電晶體 110 的不同之處在於包括通道保護膜 108。

作為通道保護膜 108 較佳為使用包含氧的無機絕緣膜，例如可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鎂膜或氧化鉛膜等的絕緣膜。另外，較佳為將通道保護膜 108 的厚度設定為 5nm 以上且 300nm 以下。

如上所述，藉由以接觸於氧化物半導體膜 103 上的方式設置通道保護膜 108，可以防止對源極電極 105a 及汲極電極 105b 進行蝕刻時產生的對氧化物半導體膜 103 的背通道側的損傷（例如，當進行蝕刻時電漿或蝕刻劑所導致的損傷）。由此，可以使電晶體 130 的電特性穩定。

此外，如圖 3B 所示，通道保護膜 108 的端部較佳為具有 10° 以上且 60° 以下的錐角。藉由將通道保護膜 108 形成為上述形狀，可以緩和通道保護膜 108 的下端部附近的電場集中。

其他構成要素與圖 1A 及圖 1B 所示的半導體裝置相同。至於詳細內容，可以參照關於圖 1A 及圖 1B 的記載。

〈電晶體的製程的例子〉

下面，參照圖 4A 至圖 5E 說明圖 1A 至圖 3B 所示的電晶體的製程的例子。

〈電晶體 110 的製程〉

參照圖 4A 至圖 4E 說明圖 1A 及圖 1B 所示的電晶體 110 的製程的一個例子。

首先，準備具有絕緣表面的基板 100。對可用作具有絕緣表面的基板 100 的基板沒有大的限制，但是基板 100 需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。另外，只要具有絕緣表面，就也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。

另外，作為基板 100，也可以使用撓性基板。在使用撓性基板時，既可以在撓性基板上直接形成包括氧化物半導體膜 103 的電晶體，也可以在其他製造基板上形成包括氧化物半導體膜 103 的電晶體，然後將其從製造基板剝離並轉置到撓性基板上。另外，為了將氧化物半導體膜 103 從製造基板剝離並轉置到撓性基板上，較佳為在製造基板與具有氧化物半導體膜 103 的電晶體之間設置剝離層。

可以在基板 100 和閘極電極 101 之間設置用作基底膜的絕緣膜。該基底膜有防止氫或水分等雜質元素從基板 100 擴散的功能，並可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的一種或多種膜的疊層結構形成。

接著，在基板 100 上形成用來形成閘極電極（包括形

成在與其相同層中的佈線)的導電膜。作為用於閘極電極的導電膜，例如可以使用鉬、鈦、鉭、鎢、鋁、銅、釹、銦等的金屬材料或以這些金屬材料為主要成分的合金材料。另外，用於閘極電極的導電膜也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以採用氧化銦(In_2O_3)、氧化錫(SnO_2)、氧化鋅(ZnO)、銦錫氧化物($\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為ITO)、銦鋅氧化物($\text{In}_2\text{O}_3\text{-ZnO}$)或者藉由使這些金屬氧化物材料含有矽或氧化矽而形成的金屬氧化物。閘極電極可以使用上述材料的單層或疊層形成。對形成方法也沒有特別的限制，可以使用蒸鍍法、CVD法、濺射法、旋塗法等各種成膜方法。

接著，利用光微影製程在導電膜上形成光阻掩罩，並進行選擇性的蝕刻來形成閘極電極101，然後去除光阻掩罩。此外，也可以藉由噴墨法形成用來形成閘極電極101的光阻掩罩。當利用噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。另外，作為閘極電極101的蝕刻，可以採用乾蝕刻及濕蝕刻中的一者或兩者。

接著，覆蓋閘極電極101形成閘極絕緣膜102(參照圖4A)。在此，例如可以將閘極絕緣膜102的厚度設定為1nm以上且500nm以下。另外，對閘極絕緣膜102的製造方法沒有特別的限制，而可以適當地利用濺射法、MBE法、CVD法、脈衝雷射沉積法、ALD法等製造閘極絕緣膜102。

閘極絕緣膜 102 較佳為使用具有充分的耐壓性及絕緣性的氧化物絕緣膜。當閘極絕緣膜 102 採用單層結構時例如可以使用包含氧化矽等含有矽的氧化物的絕緣膜。

另外，閘極絕緣膜 102 也可以採用疊層結構。當閘極絕緣膜 102 採用疊層結構時，可以在氧化鎵、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁、氧化鉍、氧化釧或氮氧化矽等上層疊氧化矽。此外，可以在氧化鈣、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈣（ HfSiO_xN_y （ $x>0$ ， $y>0$ ））及鋁酸鈣（ HfAl_xO_y （ $x>0$ ， $y>0$ ））等 high-k 材料上層疊氧化矽。另外，藉由使用 high-k 材料可以降低閘極漏電流。

藉由使用氧化物絕緣膜作為閘極絕緣膜 102，可以藉由對該氧化物絕緣膜進行下述熱處理使氧的一部分脫離，從而可以將氧供應到氧化物半導體膜 103 以填補氧化物半導體膜 103 中的氧缺損。尤其是，較佳為在閘極絕緣膜 102（塊體）中含有至少超過化學計量比的氧，例如，作為閘極絕緣膜 102 較佳為使用以 $\text{SiO}_{2+\alpha}$ （ $\alpha>0$ ）表示的氧化矽膜。藉由將上述氧化矽膜用作閘極絕緣膜 102，可以將氧供應到氧化物半導體膜 103，從而可以提高使用該氧化物半導體膜 103 的電晶體 110 的電晶體特性。

另外，也可以在形成氧化物半導體膜 103 之前對閘極絕緣膜 102 進行平坦化處理。對平坦化處理沒有特別的限制，作為平坦化處理可以使用乾蝕刻處理、電漿處理及拋光處理（例如，化學機械拋光（Chemical Mechanical

Polishing：CMP）法）等。

作為電漿處理，例如可以進行引入氬氣體來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氛圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氛圍。藉由進行反濺射，可以去除附著在氧化物半導體膜 103 的成膜表面上的粉狀物質（也稱為微粒、塵屑）。

作為平坦化處理，既可以進行多次的乾蝕刻處理、電漿處理以及拋光處理，也可以組合上述處理。此外，當組合它們而進行時，對製程順序也沒有特別的限制，可以根據氧化物半導體膜 103 的被形成面的凹凸狀態適當地設定。

另外，在氧化物半導體膜 103 的成膜製程中，為了使氧化物半導體膜 103 儘量不包含氬或水，作為氧化物半導體膜 103 的成膜製程的預處理，較佳為在濺射裝置的預熱室中對形成有閘極絕緣膜 102 的基板 100 進行預熱，而使吸附在基板 100 及閘極絕緣膜 102 的氬或水分等的雜質脫離且進行排氣。另外，設置在預熱室中的排氣單元較佳為使用低溫泵。

接著，在閘極絕緣膜 102 上形成厚度為大於 5nm 且 200nm 以下，較佳為 10nm 以上且 30nm 以下的氧化物半導體膜 103（參照圖 4B）。氧化物半導體膜 103 較佳為採用單晶或微晶等具有結晶性的結構。另外，氧化物半導體膜 103 較佳為 CAAC-OS 膜。另外，較佳為以不接觸於大

氣的方式連續地形成閘極絕緣膜 102 及氧化物半導體膜 103。

在本實施方式中，使用 In-Ga-Zn 類氧化物靶材藉由濺射法形成氧化物半導體膜 103。此外，氧化物半導體膜 103 可以在稀有氣體（典型為氬）氛圍下、氧氛圍下或者稀有氣體和氧的混合氛圍下利用濺射法來形成。

當將利用濺射法製造的 In-Ga-Zn-O 膜作為氧化物半導體膜 103 時，作為靶材，例如可以使用原子數比為 In:Ga:Zn=1:1:1 的氧化物靶材、原子數比為 In:Ga:Zn=3:1:2 的氧化物靶材或原子數比為 In:Ga:Zn=2:1:3 的氧化物靶材。但是，當將利用濺射法製造氧化物半導體膜 103 時，靶材不侷限於上述靶材的材料及組成。

另外，氧化物靶材的相對密度為 90%以上且 100%以下，較佳為 95%以上且 99.9%以下。藉由使用相對密度高的氧化物靶材，可以使所形成的氧化物半導體膜 103 成為緻密的膜。

作為當形成氧化物半導體膜 103 時使用的濺射氣體，較佳為使用去除了諸如氬、水、羥基或氫化物等雜質的高純度氣體。

當作為氧化物半導體膜 103 應用 CAAC-OS 膜時，作為形成該 CAAC-OS 膜的熱處理方法，可以舉出三個方法。第一個方法是：在 200℃以上且 450℃以下的成膜溫度下形成氧化物半導體膜，由此形成 c 軸在垂直於氧化物

半導體膜的被形成面或表面的方向上一致的結晶部。第二個方法是：在以較薄的厚度形成氧化物半導體膜之後進行 200°C 以上且 700°C 以下的熱處理，由此形成 c 軸在垂直於氧化物半導體膜的被形成面或表面的方向上一致的結晶部。第三個方法是：在以較薄的厚度形成第一層氧化物半導體膜之後進行 200°C 以上且 700°C 以下的熱處理，並形成第二層氧化物半導體膜，由此形成 c 軸在垂直於氧化物半導體膜的被形成面或表面的方向上一致的結晶部。

另外，藉由邊加熱基板 100 邊進行成膜，可以降低包含在所形成的氧化物半導體膜 103 中的氫或水等雜質的濃度。另外，可以減輕由於濺射帶來的損傷，所以是較佳的。

另外，當作爲氧化物半導體膜 103 形成 CAAC-OS 膜以外的具有結晶性的氧化物半導體膜（單晶或微晶）時，對成膜溫度沒有特別的限制。

當作爲氧化物半導體膜 103 使用 CAAC-OS 膜時，CAAC-OS 膜例如使用作爲多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質濃度（氫、水、二氧化碳及氮等）。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30 vol.% 以上，較佳為 100 vol.%。

以下，作為濺射靶材的一個例子示出多晶 In-Ga-Zn 類氧化物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶 In-Ga-Zn 類氧化物靶材。另外，X、Y 及 Z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合莫耳數比可以根據所製造的濺射靶材適當地改變。

然後，在去除沉積室內的殘留水分的同時導入去除了氫和水分的濺射氣體，使用上述靶材在基板 100 上形成氧化物半導體膜 103。爲了去除沉積室內的殘留水分，較佳爲使用吸附型的真空泵，例如低溫泵、離子泵、鈦昇華泵。另外，作爲排氣單元，也可以使用提供有冷阱的渦輪泵。因爲在使用低溫泵進行了排氣的沉積室中，例如氫原子、水（ H_2O ）等包含氫原子的化合物（更佳的是，還對包含碳原子的化合物）等被排出，所以可以降低在該沉積室中形成的氧化物半導體膜 103 所包含的氫、水分等雜質的濃度。

另外，在利用濺射法形成氧化物半導體膜 103 的情況下，當構成氧化物半導體膜 103 的粒子等碰撞到閘極絕緣膜 102 時，構成閘極絕緣膜 102 的元素混入到氧化物半導體膜 103 中（也稱爲混合、混合效果）。該混入現象在與閘極絕緣膜 102 的介面附近的氧化物半導體膜 103 中，明確而言，在上述區域 103a 中尤爲明顯。在本實施方式等所述的電晶體中，由於閘極絕緣膜 102 附近的氧化物半導體膜 103 中形成通道區，由於構成閘極絕緣膜 102 的元素作爲雜質混入到該區域而使電晶體的導通特性（例如，導通電流等）降低。

在此，對利用經典分子動力學計算檢查當在閘極絕緣膜 102 上形成氧化物半導體膜 103 時在閘極絕緣膜 102 與氧化物半導體膜 103 的介面附近發生混合的可能性的結果進行說明。注意，作爲經典分子動力學計算軟體使用富士

通株式會社製造的 SCIGRESS ME，以進行上述計算。

作為閘極絕緣膜使用非晶氧化矽膜（以下稱為 a-SiO₂），來製造圖 6 所示的模型。用於計算的單位胞（計算單位胞）的尺寸如下：x 軸方向為 3nm，y 軸方向為 3nm，z 軸方向為 7.5nm。在此，x 軸及 y 軸是平行於 a-SiO₂ 膜的方向，z 軸是 a-SiO₂ 膜的膜厚方向。注意，在計算中，藉由將週期邊界條件應用於 x 軸方向及 y 軸方向，可以形成在 x 軸方向及 y 軸方向上充分寬的膜。

接著，在 a-SiO₂ 膜上，將具有 1eV 能量的銦原子、鎵原子、鋅原子及氧原子以 1:1:1:4 的比率（合計 840 原子）從上方（圖 6 中的“原子發生”）入射到下方，並且在溫度為 300℃，時間為 2nsec（時間步長為 0.2fs，步驟數為 1000 萬次）的條件下進行經典分子動力學計算。

圖 7A 至圖 8C 示出上述計算的結果。圖 7A 示出 0sec 的氧原子及矽原子的配置，圖 7B 示出 1nsec 後的氧原子、矽原子、鎵原子及鋅原子的配置，圖 7C 示出 2nsec 後的氧原子、矽原子、鎵原子及鋅原子的配置。另外，圖 8A 示出 2nsec 後的氧原子、矽原子、鎵原子及鋅原子的配置，圖 8B 示出 2nsec 後的只有矽原子的配置，圖 8C 示出 2nsec 後的銦原子、鎵原子及鋅原子的配置。

藉由比較圖 8B 所示的只有矽原子的配置與圖 8C 所示的銦原子、鎵原子及鋅原子的配置，確認到銦原子、鎵原子及鋅原子侵入到矽原子層中。

從上述計算的結果可知，由於使具有 1eV 能量的銦原

子、鎂原子、鋅原子及氧原子入射到 $a\text{-SiO}_2$ 膜，在 $a\text{-SiO}_2$ 膜與 IGZO 膜之間形成矽原子、銦原子、鎂原子、鋅原子及氧原子所混合的層。

從上述結果可知，爲了防止形成氧化物半導體膜 103 及閘極絕緣膜 102 混合的層，使構成氧化物半導體膜 103 的粒子碰撞到閘極絕緣膜 102 的衝擊降低是有效的。例如，有降低氧化物半導體膜 103 的成膜電力的方法或提高成膜壓力的方法。或者，也可以擴大靶材與被成膜基板之間的距離（以下也稱爲 T-S 間距離）。

另外，如上所述，起因於濺射的混合有可能在與閘極絕緣膜 102 的介面附近的氧化物半導體膜 103 中發生。由此，降低構成氧化物半導體膜 103 的粒子碰撞到閘極絕緣膜 102 的衝擊進行濺射來在降低混合效果的狀態下形成該介面附近的氧化物半導體膜，也可以在其後提高碰撞的衝擊。例如，也可以降低氧化物半導體膜 103 的成膜電力形成該介面附近的氧化物半導體膜，然後提高成膜電力形成氧化物半導體膜。此外，也可以提高氧化物半導體膜 103 的成膜壓力形成該介面附近的氧化物半導體膜，然後降低成膜壓力形成氧化物半導體膜。此外，也可以擴大氧化物半導體膜 103 的 T-S 間距離形成該介面附近的氧化物半導體膜，然後縮小 T-S 間距離形成氧化物半導體膜。

成膜電力的具體數值爲 5kW 以下，較佳爲 1kW 以下，更佳爲 500W 以下，進一步較佳爲 200W 以下。另外，成膜電力越低，氧化物半導體膜 103 的成膜速率越

低。另外，當成膜電力非常低時，不容易在濺射裝置內產生電漿，而使不能進行正常的成膜處理的可能性變高。由此，較佳為將成膜電力設定為所使用的濺射裝置能夠施加的最大電力的 5% 以上。至於將成膜電力降低到什麼程度，鑒於濺射裝置的性能及氧化物半導體膜 103 的厚度等，實施者在能夠正常進行成膜且成膜時間對電晶體 110 的製程（節拍時間）沒有重大的影響的範圍中選擇適當的電力值，即可。

另外，成膜壓力的具體數值為 0.4Pa 以上，較佳為 1.0Pa 以上，更佳為 2.0Pa 以上，進一步較佳為 5.0Pa 以上。注意，有成膜壓力越高被形成的膜的膜質越差（例如，膜質變得稀疏）的傾向。由此，成膜壓力較佳為 100Pa 以下。至於將成膜壓力提高到什麼程度，鑒於氧化物半導體膜 103 所需要的特性（例如，場效應遷移率等），實施者選擇適當的壓力值，即可。

另外，T-S 間距離的具體數值為 30mm 以上，較佳為 50mm 以上，更佳為 100mm 以上，進一步較佳為 300mm 以上。注意，T-S 間距離越大，氧化物半導體膜 103 的成膜速率越低。由此，T-S 間距離較佳為 500mm 以下。至於將 T-S 間距離擴大到什麼程度，實施者在成膜時間對電晶體 110 的製程（節拍時間）沒有重大的影響的範圍中選擇適當的 T-S 間距離，即可。

另外，為了使構成氧化物半導體膜 103 的粒子碰撞到閘極絕緣膜 102 的衝擊降低，可以將成膜電力、成膜壓力

和 T-S 間距離中的任一個條件設定為上述範圍來形成氧化物半導體膜 103，也可以將成膜電力、成膜壓力和 T-S 間距離中的多個條件設定為上述範圍來形成氧化物半導體膜 103。

另外，當作為濺射裝置使用靶材與被形成基板設置為大致平行的磁控管方式濺射裝置（簡單地稱為磁控管濺射裝置）時，除了構成氧化物半導體膜 103 的粒子之外，電漿、二次電子等也碰撞到閘極絕緣膜 102，由此構成閘極絕緣膜 102 的元素非常容易混入到氧化物半導體膜 103 中。由此，作為形成氧化物半導體膜 103 的濺射裝置，也可以使用對向靶材式濺射裝置（也稱為 *mirrortron sputtering apparatus*）。在該裝置中，兩個靶材彼此對置，並且被成膜基板以大致垂直於靶材的方式設置於夾在兩個靶材之間的空間之外的部分中。而且，藉由將高密度電漿生成在對向的兩個靶材之間並使用該電漿對靶材（用於氧化物半導體膜 103 的成膜的靶材）表面進行濺射，在被成膜基板上形成氧化物半導體膜 103。由此，被成膜基板不會（或者非常少）暴露於電漿或二次電子。

此外，當在稀有氣體氛圍下進行氧化物半導體膜 103 的濺射成膜時，也可以使用氦代替氬。藉由使用其原子量比氬小的氦，可以使構成氧化物半導體膜 103 的粒子碰撞到閘極絕緣膜 102 的衝擊降低。再者，藉由在氦氛圍下形成與閘極絕緣膜 102 的介面附近的氧化物半導體膜 103 之後將沉積室內的氛圍轉換為氬氛圍，可以提高氧化物半導

體膜 103 的沈積速度。

另外，也可以藉由利用 ALD (Atomic Layer Deposition) 法、蒸鍍法、塗敷法等對閘極絕緣膜 102 的衝擊弱的方法形成氧化物半導體膜 103。

如上所述，藉由降低構成氧化物半導體膜 103 的粒子碰撞到閘極絕緣膜 102 的衝擊形成氧化物半導體膜 103，在氧化物半導體膜 103 中形成分佈在從與閘極絕緣膜 102 的介面向氧化物半導體膜 103 的內側的矽的濃度為 1.0at.% 以下的區域 103a 及其矽濃度比區域 103a 小的區域 103b。在此，區域 103b 是指氧化物半導體膜 103 中的區域 103a 之外的區域。另外，包含在區域 103a 中的矽濃度較佳為 0.1at.% 以下。

另外，如上所述，藉由形成氧化物半導體膜 103 可以降低包含在閘極絕緣膜 102 中的碳等雜質混入到氧化物半導體膜 103，所以包含在區域 103a 中的碳濃度為 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下。

另外，當邊對 CAAC-OS 膜進行加熱邊形成氧化物半導體膜 103 (第一個方法) 時，藉由降低進入區域 103a 的矽等雜質的量，在被形成面附近的 CAAC-OS 膜中也可以形成 c 軸在垂直於氧化物半導體膜的被形成面或表面的方向上一致的結晶部。

另外，藉由降低構成氧化物半導體膜 103 的粒子碰撞到閘極絕緣膜 102 的衝擊形成氧化物半導體膜 103，還可

以抑制構成氧化物半導體膜 103 的元素混入到閘極絕緣膜 102 中。因此，由於可以抑制構成氧化物半導體膜 103 的金屬元素等的具有高導電性的元素混入到閘極絕緣膜 102 中，所以可以防止閘極絕緣膜 102 的電阻率的降低。

另外，也可以在形成氧化物半導體膜 103 之後對氧化物半導體膜 103 進行熱處理。該熱處理的溫度為 200℃ 以上且 700℃ 以下或者低於基板的應變點。藉由進行該熱處理，可以去除過剩的氫（包含水、羥基）。

另外，當利用第二個方法或第三個方法形成 CAAC-OS 膜時，藉由進行該熱處理，可以形成 c 軸在垂直於氧化物半導體膜的被形成面或表面的方向上一致的結晶部。另外，由於在氧化物半導體膜 103 的區域 103a 中矽等雜質的濃度被降低，所以該結晶部可以形成到被形成面附近的氧化物半導體膜 103 中。

作為該熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氛圍下以 450℃ 加熱 1 小時。在該期間，不使氧化物半導體膜 103 接觸大氣，以避免水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是藉由利用從鹵素燈、金

屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫氣體進行熱處理的裝置。作為氣體，使用氬等的稀有氣體或氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

例如，作為該熱處理，可以採用 GRTA 處理，即：將被處理物放入被加熱的惰性氣體氛圍中，進行幾分鐘的加熱，然後從該惰性氣體氛圍中取出被處理物。藉由使用 GRTA 處理，可以在短時間內進行高溫熱處理。另外，即使溫度條件超過被處理物的耐熱溫度，也可以應用該方法。另外，在處理中，還可以將惰性氣體轉換為含有氧的氣體。

另外，作為惰性氣體氛圍，較佳為採用以氮或稀有氣體（氮、氬、氙等）為主要成分且不含有水、氫等的氛圍。例如，將引入熱處理裝置中的氮或氮、氬、氙等的稀有氣體的純度設定為 6N（99.9999%）以上，較佳為設定為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

另外，在利用該熱處理對氧化物半導體膜 103 進行加熱之後，也可以對相同的爐內引入高純度的氧氣體、一氧化二氮氣體、高純度的一氧化二氮氣體或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法））方式的露點儀進行測量時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的

是 10ppb 以下的空氣)。較佳為在氧氣體或一氧化二氮氣體中不包含水、氫等。或者，較佳為將引入到熱處理裝置的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。藉由利用氧氣體或一氧化二氮氣體的作用來供應在進行上述熱處理時減少的構成氧化物半導體的主要成分材料的氧，可以使氧化物半導體膜高度純化及 i 型（本質）化。

另外，當利用第三個方法形成 CAAC-OS 膜時，還可以形成氧化物半導體膜。因此，以 c 軸在垂直於氧化物半導體膜的被形成面或表面的方向上一致的結晶部為種子形成在其上的氧化物半導體膜也可以具有該結晶部。

另外，當形成 CAAC-OS 膜之外的具有結晶性的氧化物半導體膜（單晶或微晶）時，藉由進行該熱處理，可以使氧化物半導體膜晶化。另外，由於在氧化物半導體膜 103 的區域 103a 中矽等雜質的濃度被降低，所以可以使被形成面附近的氧化物半導體膜也晶化。

另外，雖然在此說明了在將氧化物半導體膜加工為島狀之前進行熱處理的結構，但是所公開的發明的一個方式不侷限於此。也可以在將氧化物半導體膜加工為島狀之後進行該熱處理。

接著，較佳為藉由光微影製程將氧化物半導體膜 103 加工為島狀的氧化物半導體膜 103（參照圖 4C）。此外，

也可以藉由噴墨法形成用來形成島狀的氧化物半導體膜 103 的光阻掩罩。因為當使用噴墨法形成光阻掩罩時不使用光掩模，所以可以降低製造成本。另外，作為氧化物半導體膜 103 的蝕刻，可以採用乾蝕刻和濕蝕刻中的一者或兩者。

在此，如圖 4C 所示，氧化物半導體膜 103 的端部較佳為具有 20° 至 50° 的錐角。當氧化物半導體膜 103 具有垂直端部時，氧容易從氧化物半導體膜 103 脫離而產生氧缺陷。但是，藉由使氧化物半導體膜 103 的端部為錐角，可以抑制氧缺陷的產生並降低電晶體 110 的洩漏電流的產生。

接著，在氧化物半導體膜 103 上形成用作源極電極及汲極電極（包括使用與其相同的層形成的佈線）的導電膜。作為用作源極電極及汲極電極的導電膜，例如可以使用含有選自鋁、鉻、銅、鈮、鈦、鉬及鎢中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以採用在鋁、銅等的金屬膜的下側和上側中的一者或兩者層疊鈦、鉬、鎢等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。此外，也可以使用導電金屬氧化物形成用於源極電極及汲極電極的導電膜。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）或氧化銦鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）。用於源極電極及汲極電極的

導電膜可以使用上述材料的單層或疊層形成。對形成方法也沒有特別的限制，可以使用蒸鍍法、CVD法、濺射法、旋塗法等各種成膜方法。

利用光微影製程在導電膜上形成光阻掩罩，並藉由進行選擇性的蝕刻來形成源極電極 105a 及汲極電極 105b，然後去除光阻掩罩（參照圖 4D）。作為利用該光微影製程形成光阻掩罩時的曝光，較佳為使用紫外線、KrF 雷射或 ArF 雷射。在此，在後面形成的電晶體的通道長度 L 取決於在氧化物半導體膜 103 上相鄰的源極電極 105a 的下端部與汲極電極 105b 的下端部之間的間隔寬度。因此，在進行通道長度 L 短於 25nm 的曝光的情況下，例如較佳為使用波長極短，即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行藉由光微影製程形成光阻掩罩時的曝光。利用超紫外線的曝光的解析度高且景深大。因此，也可以使在後面形成的電晶體的通道長度 L 微型化，從而可以實現電路的工作速度的高速化。

此外，為了縮減用於光微影製程的光掩模數及製程數，也可以使用由透過的光成為多種強度的曝光掩模的多色調掩模形成的光阻掩罩進行蝕刻製程。由於使用多色調掩模形成的光阻掩罩成為具有多種厚度的形狀，並且藉由進行蝕刻可以進一步改變形狀，因此可以用於加工為不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至少對應於兩種以上的不同圖案的光阻掩罩。從而，可以縮減曝光掩模數，並可以縮減與其對應的光微影製程，

所以可以實現製程的簡化。

另外，較佳的是，當進行導電膜的蝕刻時，使蝕刻條件最適化以防止氧化物半導體膜 103 被蝕刻而被分離。但是，很難獲得僅蝕刻導電膜而完全不對氧化物半導體膜 103 蝕刻的條件，當對導電膜進行蝕刻時氧化物半導體膜 103 只有一部分被蝕刻，例如有時氧化物半導體膜 103 的厚度的 5%至 50%被蝕刻，而氧化物半導體膜 103 成為具有槽部（凹部）的氧化物半導體膜 103。

接著，形成覆蓋源極電極 105a 及汲極電極 105b 並與氧化物半導體膜 103 的一部分接觸的保護絕緣膜 109（參照圖 4E）。作為保護絕緣膜 109 較佳為使用無機絕緣膜，例如使用氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氧化鎵膜或氧化鉛膜等的氧化物絕緣膜的單層或疊層，即可。另外，在上述氧化物絕緣膜上還可以形成氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等的氮化物絕緣膜的單層或疊層。例如，藉由利用濺射法，從源極電極 105a 及汲極電極 105b 一側依次層疊氧化矽膜及氧化鋁膜。

另外，在該製程中，當利用濺射法形成保護絕緣膜 109 時，與氧化物半導體膜 103 的形成同樣，降低構成保護絕緣膜 109 的粒子碰撞到氧化物半導體膜 103 的衝擊是有效的。因此，在氧化物半導體膜 103 與保護絕緣膜 109 接觸的介面附近形成區域 103c。因此，形成圖 2A 及圖 2B 所示的電晶體 120。在此，區域 103c 是在氧化物半導體膜

103 中分佈在從與保護絕緣膜 109 的介面向氧化物半導體膜 103 的內側的矽的濃度為 1.0at.% 以下的區域。區域 103c 較佳為以與保護絕緣膜 109 接觸且厚度為 5nm 以下的方式設置。

在此，作為保護絕緣膜 109 可以使用與閘極絕緣膜 102 同樣的絕緣膜。另外，為了防止將矽等的雜質混入到氧化物半導體膜 103 中，在氧化物半導體膜 103 與保護絕緣膜 109 的介面附近抑制混合即可，由此當進行濺射時降低構成保護絕緣膜 109 的矽碰撞到氧化物半導體膜 103 的衝擊，即可。例如，有如下方法：降低保護絕緣膜 109 的成膜電力；提高保護絕緣膜 109 的成膜壓力；或者延長 T-S 間距離。

如上所述，在相當於氧化物半導體膜 103 的背通道的區域 103c 中也可以降低矽等的雜質的濃度。

以下，可以利用與電晶體 110 的製造方法同樣的製程製造電晶體 120。

較佳為在形成保護絕緣膜 109 之後對氧化物半導體膜 103 進行熱處理。該熱處理的溫度為 300℃ 以上且 700℃ 以下或者低於基板的應變點。

只要在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行該熱處理，即可。但是，上述氮、氧、超乾燥空氣或稀有氣體等的氛圍較佳為不含有水、氫等。另外，較佳為將引入到熱處理裝置中的氮、氧

或稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

形成氧化物半導體膜之後的熱處理有可能減少構成氧化物半導體的主要成分材料之一的氧。然而，在該熱處理中，可以從使用包含含有矽的氧化物的絕緣膜形成的閘極絕緣膜 102 對氧化物半導體膜 103 供應氧，由此可以填補氧化物半導體膜 103 中的氧缺損。

藉由進行如上述那樣的熱處理，可以以儘量不含有主要成分以外的雜質的方式使氧化物半導體膜 103 高度純化。在被高度純化的氧化物半導體膜 103 中，起因於施體的載子極少（近於 0），載子濃度低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳低於 $1 \times 10^{11}/\text{cm}^3$ 。如上所述，可以形成被 i 型（本質）化的氧化物半導體膜 103。

藉由上述製程形成電晶體 110（參照圖 4E）。在電晶體 110 中降低進入氧化物半導體膜 103 的區域 103a 中的矽等的雜質的濃度。因此，可以使電晶體 110 具有穩定的電特性。

此外，也可以在電晶體 110 上設置平坦化絕緣膜。作為平坦化絕緣膜，可以使用具有耐熱性的有機材料如丙烯酸樹脂、聚醯亞胺樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可

以層疊多個由這些材料形成的絕緣膜。

〈電晶體 130 的製程〉

接著，參照圖 5A 至圖 5E 說明圖 3A 及圖 3B 所示的電晶體 130 的製程的一個例子。

首先，藉由利用與圖 4C 所示的電晶體 110 的製程同樣的製程，在基板 100 上形成閘極電極 101、閘極絕緣膜 102 以及具有區域 103a 及區域 103b 的氧化物半導體膜 103（參照圖 5A）。基板 100、閘極電極 101、閘極絕緣膜 102 以及氧化物半導體膜 103 的詳細內容可以參照有關圖 4A 至圖 4C 的記載。

接著，形成用於通道保護膜的厚度為 5nm 以上且 300nm 以下的絕緣膜 107（參照圖 5B）。作為絕緣膜 107 較佳為使用包含氧的無機絕緣膜，例如可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鎵膜或氧化鉛膜等的絕緣膜。另外，對絕緣膜 107 的製造方法沒有特別的限制，例如可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等形成絕緣膜 107。

接著，藉由光微影製程，在絕緣膜 107 上形成光阻掩罩，並進行蝕刻形成通道保護膜 108，然後去除光阻掩罩（參照圖 5C）。此外，也可以藉由噴墨法形成用來形成通道保護膜 108 的光阻掩罩。當利用噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。在此作為通道保護膜 108 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一者或

兩者。

在此，如圖 5C 所示，通道保護膜 108 的端部較佳為具有 10° 以上且 60° 以下的錐角。藉由將通道保護膜 108 形成為上述形狀，可以緩和通道保護膜 108 的下端部附近的電場集中。

如上所述，藉由接觸於氧化物半導體膜 103 上設置通道保護膜 108，可以防止對源極電極 105a 及汲極電極 105b 進行蝕刻時產生的對氧化物半導體膜 103 的背通道側的損傷（例如，當進行蝕刻時電漿或蝕刻劑所導致的損傷）。由此，可以提供具有穩定的電特性的使用氧化物半導體的半導體裝置。

接著，在通道保護膜 108 及氧化物半導體膜 103 上形成用於源極電極及汲極電極（包括使用與其相同的層形成的佈線）的導電膜並藉由光微影製程對該導電膜選擇性地進行蝕刻來形成源極電極 105a 及汲極電極 105b（參照圖 5D）。該製程可以利用與圖 4D 所示的製程同樣的製程，由此源極電極 105a 及汲極電極 105b 的詳細內容可以參照有關圖 4D 的記載。

接著，覆蓋源極電極 105a、汲極電極 105b 及通道保護膜 108 形成保護絕緣膜 109（參照圖 5E）。該製程可以利用與圖 4E 所示的製程同樣的製程，由此保護絕緣膜 109 的詳細內容可以參照有關圖 4E 的記載。

如上所述，藉由形成氧化物半導體膜，可以降低包含在被形成面附近的氧化物半導體膜中的雜質的濃度。另

外，氧化物半導體膜 103 的晶化可以進行到被形成面附近，由此可以提高氧化物半導體膜 103 的結晶性。另外，當氧化物半導體膜 103 是 CAAC-OS 膜時，可以在被形成面附近形成結晶部。另外，結晶部的 c 軸在垂直於氧化物半導體膜 103 與閘極絕緣膜 102 的介面或者氧化物半導體膜 103 與保護絕緣膜 109 的介面的方向上一致。藉由使用上述氧化物半導體膜，可以提供具有穩定的電特性的半導體裝置。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

可以藉由使用實施方式 1 所例示的電晶體來製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，可以藉由將包括電晶體的驅動電路的一部分或全部與像素部一起形成在與該像素部相同的基板上來形成系統化面板（system-on-panel）。

在圖 9A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，並且，使用第二基板 4006 進行密封。在圖 9A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004

或者像素部 4002 的各種信號及電位從 FPC (Flexible printed circuit) 4018a、4018b 供給。

在圖 9B 及圖 9C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 由第一基板 4001、密封材料 4005 以及第二基板 4006 與顯示元件一起密封。在圖 9B 及圖 9C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。在圖 9B 及圖 9C 中，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC4018 供給。

此外，圖 9B 及圖 9C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以另行僅形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass, 玻璃上晶片) 方法、打線接合方法或者 TAB (Tape Automated Bonding, 卷帶式自動接合) 方法等。圖 9A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 9B

是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 9C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。

另外，顯示裝置還包括：安裝有連接器諸如 FPC、TAB 膠帶或 TCP 的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，並且，可以應用實施方式 1 所例示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence，電致發光）、有機 EL 等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒體。

參照圖 10 至圖 12 說明半導體裝置的一個方式。圖 10 至圖 12 相當於沿著圖 9B 的 M-N 線的剖面圖。

如圖 10 至圖 12 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，並且，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所

包括的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4010、電晶體 4011 的源極電極及汲極電極相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 包括多個電晶體，並且，在圖 10 至圖 12 中例示像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括的電晶體 4011。

在本實施方式中，作為電晶體 4010、電晶體 4011，可以應用在實施方式 1 中示出的電晶體。電晶體 4010、電晶體 4011 的電特性變動被抑制，所以在電性上是穩定的。因此，作為圖 10 至圖 12 所示的本實施方式的半導體裝置，可以提供可靠性高的半導體裝置。

包括在掃描線驅動電路 4004 中的電晶體 4011 採用在絕緣膜 4034 上設置第二閘極電極的結構。藉由控制施加到第二閘極電極的電壓，可以控制電晶體 4011 的臨界電壓。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 10 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 10 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。注意，以夾持液晶層 4008 的方式設置有用作配向膜的絕

緣膜 4032、絕緣膜 4033。第二電極層 4031 設置在第二基板 4006 一側，並且，第一電極層 4030 和第二電極層 4031 夾著液晶層 4008 而層疊。

此外，間隔物 4035 表示藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制液晶層 4008 的厚度（單元間隙）而設置的。另外，還可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料根據條件而呈現膽固醇相、近晶相、立方相、手征向列相（chiral nematic phase）、均質相等。

另外，還可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。因為藍相只在較窄的溫度範圍內出現，所以將其中混合了幾 wt% 以上的手征性試劑的液晶組合物用於液晶層，以擴大溫度範圍。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 1msec 以下，並且其具有光學各向同性，所以不需要配向處理，並且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的故障、破損。從而，可以提高液晶顯示裝置的生產率。

此外，液晶材料的固有電阻率為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意，本說明書中的固有電阻率的值為以 20°C 測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而以能夠在指定期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。藉由使用具有高純度氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的三分之一以下，較佳為五分之一以下的電容的大小的儲存電容器，就足夠了。

在本實施方式中使用的具有高度純化的氧化物半導體膜的電晶體可以降低截止狀態下的電流值（截止電流值）。因此，可以延長影像信號等的電信號的保持時間，並且，還可以延長電源導通狀態下的寫入間隔。因此，可以降低更新工作的頻率，所以可以得到抑制耗電量的效果。

此外，在本實施方式中使用的具有高度純化的氧化物半導體膜的電晶體可以得到較高的場效應遷移率，所以可以進行高速驅動。因此，藉由將上述電晶體用於液晶顯示裝置的像素部，可以提供高影像品質的影像。另外，由於該電晶體可以在同一基板上分別製造驅動電路部、像素部，由此可以減少液晶顯示裝置的部件個數。

液晶顯示裝置可以採用 TN（Twisted Nematic，扭曲向列）模式、IPS（In-Plane-Switching，平面內轉換）模式、FFS（Fringe Field Switching，邊緣電場轉換）模

式、ASM (Axially Symmetric aligned Micro-cell, 軸對稱排列微單元) 模式、OCB (Optical Compensated Birefringence, 光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal, 鐵電性液晶) 模式、以及 AFLC (AntiFerroelectric Liquid Crystal, 反鐵電性液晶) 模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向 (VA) 模式的透過型液晶顯示裝置。在此，垂直配向模式是指控制液晶顯示面板的液晶分子的排列的方式的一種，是當不施加電壓時液晶分子朝向垂直於面板表面的方向的方式。作為垂直配向模式，例如可以使用 MVA (Multi-Domain Vertical Alignment : 多象限垂直配向) 模式、PVA (Patterned Vertical Alignment : 垂直配向構型) 模式、ASV (Advanced Super-View : 高級超視覺) 模式等。此外，也可以使用將像素 (pixel) 分成幾個區域 (子像素)，並且使分子分別倒向不同方向的稱為多疇化或者多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣 (遮光層)、偏振構件、相位差構件、抗反射構件等的光學構件 (光學基板) 等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈等。

此外，也可以利用多個發光二極體 (LED) 作為背光來進行分時顯示方式 (場序驅動方式)。藉由採用場序驅

動方式，可以不使用濾色片而進行彩色顯示。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，當進行彩色顯示時在像素中受到控制的顏色因素不侷限於 RGB（R 顯示紅色，G 顯示綠色，B 顯示藍色）的三種顏色。例如，也可以採用 RGBW（W 顯示白色）、或者對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的顏色。注意，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，本發明的一個方式不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區別，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以流過電流。並且，這些載子（電子及電洞）重新結合，因此發光性有機化合物形成激發狀態，當從該激發狀態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的粒子分散在黏合劑中，並且其發光

機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件具有一種結構，其中，發光層夾在介電層之間，並且該夾著發光層的介電層由電極夾住，其發光機制是利用金屬離子的內殼層電子躍遷的定域型發光。注意，這裏作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個是透明電極即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有從與基板相反一側的表面取出發光的頂部發射；從基板一側的表面取出發光的底部發射；從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 11 示出作為顯示元件使用發光元件的發光裝置的例子。作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。注意，發光元件 4513 的結構是由第一電極層 4030、電致發光層 4511、第二電極層 4031 構成的疊層結構，但是，不侷限於該結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 使用有機絕緣材料或者無機絕緣材料形成。尤其是，使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且較佳為將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

爲了防止氧、氫、水分、二氧化碳等侵入發光元件 4513 中，而也可以在第二電極層 4031 及分隔壁 4510 上形成保護膜。作爲保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，爲了不暴露於外氣，而較佳爲使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作爲填充材料 4514，除了氮或氫等惰性氣體以外，還可以使用紫外線固化樹脂、熱固性樹脂，並且，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺樹脂、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或者 EVA（乙烯-醋酸乙烯酯）。例如，作爲填充材料而使用氮，即可。

另外，如果需要，則可以在發光元件的射出表面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等的光學薄膜。此外，也可以在偏光板、圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作爲顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱爲電泳顯示裝置（電泳顯示器），並

且，具有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作為電泳顯示裝置，有各種各樣的形式，但是它是多個包括具有正電荷的第一粒子和具有負電荷的第二粒子的微膠囊分散在溶劑或溶質中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子彼此移動到相對方向，以只顯示集合在一方側的粒子的顏色的裝置。注意，第一粒子或者第二粒子包括染料，並且，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

如此，電泳顯示裝置是利用介電常數高的物質移動到高電場區域，即所謂的介電泳效應（dielectrophoretic effect）的顯示器。

分散有上述微囊的溶劑被稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，作為微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種材料或這些的材料複合材料即可。

此外，作為電子紙，還可以應用使用旋轉球顯示方式的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層

之間產生電位差來控制球形粒子的方向，以進行顯示。

圖 12 示出半導體裝置的一個方式的主動矩陣型電子紙。圖 12 所示的電子紙是使用旋轉球顯示方式的顯示裝置的例子。

在連接到電晶體 4010 的第一電極層 4030 與設置在第二基板 4006 上的第二電極層 4031 之間設置有具有黑色區域 4615a 及白色區域 4615b 並且在該黑色區域 4615a 及白色區域 4615b 的周圍包括填充有液體的空洞 4612 的球形粒子 4613，並且，球形粒子 4613 的周圍填充有樹脂等填充材料 4614。第二電極層 4031 相當於共用電極（反電極）。第二電極層 4031 電連接到共用電位線。

注意，在圖 10 至圖 12 中，作為第一基板 4001、第二基板 4006，除了玻璃基板以外，還可以使用具有撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠基板，可以使用 FRP（Fiberglass-Reinforced Plastics；纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。另外，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

絕緣層 4021 可以使用無機絕緣材料或者有機絕緣材料來形成。另外，藉由使用具有耐熱性的有機絕緣材料如丙烯酸樹脂、聚醯亞胺樹脂、苯並環丁烯樹脂、聚醯胺樹脂、環氧樹脂等，可以獲得較佳的平坦化絕緣膜。此外，除了上述有機絕緣材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、

BPSG（硼磷矽玻璃）等。注意，可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料而利用濺射法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷等）、輥塗法、幕式塗布法、刮刀式塗布法等。

顯示裝置藉由透過來自光源或顯示元件的光來進行顯示。因此，設置在透過光的像素部中的基板、絕緣膜、導電膜等的薄膜全都對可見光的波長區域的光具有透光性。

關於對顯示元件施加電壓的第一電極層 4030 及第二電極層 4031（也稱為像素電極層、共用電極層、反電極層等），根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性，即可。

作為第一電極層 4030、第二電極層 4031，可以使用包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬、其合金或者其氮化物中的一種或多種來形成。

此外，第一電極層 4030、第二電極層 4031 可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯及噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，由於電晶體容易受到靜電等的破壞，所以較佳為設置驅動電路保護用的保護電路。保護電路較佳為使用非線性元件構成。

如上所述，藉由應用在實施方式 1 中例示的電晶體，可以提供可靠性高的半導體裝置。另外，不僅將實施方式 1 所例示的電晶體應用於具有上述顯示功能的半導體裝置，而且還可以將它應用於具有各種功能的半導體裝置諸如安裝在電源電路中的功率裝置、LSI 等的半導體積體電路、具有讀取目標物的資訊的影像感測器功能的半導體裝置等。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 3

可以將本說明書等所公開的半導體裝置應用於多種電子裝置（包括遊戲機）。作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機等影像拍攝裝置、數位相框、行動

電話機(也稱為手機、行動電話裝置)、可攜式遊戲機、移動資訊終端、音頻再生裝置、彈子機等大型遊戲機等。以下，對具備上述實施方式所說明的液晶顯示裝置的電子裝置的例子進行說明。

圖 13A 示出膝上型個人電腦，由主體 3001、外殼 3002、顯示部 3003 以及鍵盤 3004 等構成。藉由應用實施方式 1 或實施方式 2 所示的半導體裝置，能夠提供高可靠性的膝上型個人電腦。

圖 13B 示出可攜式資訊終端 (PDA)，在主體 3021 中設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024 等。另外，還具備操作可攜式資訊終端的觸控筆 3022。藉由應用實施方式 1 或實施方式 2 所示的半導體裝置，能夠提供高可靠性的可攜式資訊終端 (PDA)。

圖 13C 示出電子書閱讀器的一個例子。例如，電子書閱讀器 2700 由兩個外殼，即外殼 2701 及外殼 2703 構成。外殼 2701 及外殼 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉工作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

外殼 2701 組裝有顯示部 2705，而外殼 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部 (圖 13C 中的顯示部 2705) 中可以顯示文章，而在左邊的顯示部 (圖 13C 中的顯示部 2707) 中可以顯示影像。藉由應

用實施方式 1 或實施方式 2 所示的半導體裝置，能夠提供高可靠性的電子書閱讀器 2700。

此外，在圖 13C 中示出外殼 2701 具備操作部等的例子。例如，在外殼 2701 中具備電源開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，在與外殼的顯示部相同的平面上可以設置鍵盤、指向裝置等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書閱讀器伺服器購買所希望的書籍資料等，並且下載的結構。

圖 13D 示出智慧手機，包括外殼 2800、按鈕 2801、麥克風 2802、具備觸摸屏的顯示部 2803、揚聲器 2804、影像拍攝用透鏡 2805，並用作可攜式電話機。藉由應用實施方式 1 或實施方式 2 所示的半導體裝置，能夠提供高可靠性的智慧手機。

顯示部 2803 根據使用方式適當地改變顯示的方向。另外，由於在與顯示部 2803 同一面上設置影像拍攝用透鏡 2805，所以能夠實現可視電話。揚聲器 2804 及麥克風 2802 不侷限於音頻通話，還可以進行可視通話、錄音、再生等。

另外，外部連接端子 2806 可以與 AC 轉接器及各種電纜如 USB 電纜等連接，而可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽（未圖示）中，可以對應於更大量資料的保存及移動。

另外，也可以是除了上述功能以外還具有紅外線通信功能、電視接收功能等的行動電話。

圖 13E 示出數位攝像機，其由主體 3051、顯示部 A3057、取景器 3053、操作開關 3054、顯示部 B3055 以及電池 3056 等構成。藉由應用實施方式 1 或實施方式 2 所示的半導體裝置，能夠提供高可靠性的數位攝像機。

圖 13F 示出電視機的一例。在電視機 9600 中，外殼 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐外殼 9601 的結構。藉由應用實施方式 1 或實施方式 2 所示的半導體裝置，能夠提供高可靠性的電視機 9600。

可以藉由利用外殼 9601 所具備的操作開關或另行提供的遙控器進行電視機 9600 的操作。或者，也可以採用在遙控器中設置顯示部的結構，該顯示部顯示從該遙控器輸出的資訊。

另外，電視機 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施例 1

在本實施例中，說明對包含在氧化物靶材中的矽濃度進行 SIMS 測量的結果。

首先，說明在本實施例中使用的氧化物靶材。

作為樣本 A 使用 In-Ga-Zn 類氧化物靶材(原子數比為 In:Ga:Zn=2:1:3)，作為樣本 B 使用 In-Ga-Zn 類氧化物靶材(原子數比為 In:Ga:Zn=3:1:2)，作為樣本 C 使用 In-Sn-Zn 類氧化物(原子數比為 In:Sn:Zn=2:1:3)。另外，作為標準樣本 D 使用添加矽的 In-Ga-Zn 類氧化物靶材(原子數比為 In:Ga:Zn=1:1:1)。

藉由對樣本 A、樣本 B、樣本 C 及標準樣本 D 進行 SIMS 測量，檢測包含在各樣本中的矽濃度。

圖 14 示出樣本 A 至樣本 C 及標準樣本 D 的 SIMS 測量的結果。

如圖 14 所示，樣本 A 的矽濃度為 $4 \times 10^{18} \text{ atoms/cm}^3$ ，樣本 B 的矽濃度為 $3 \times 10^{17} \text{ atoms/cm}^3$ ，樣本 C 的矽濃度為 $2 \times 10^{17} \text{ atoms/cm}^3$ ，標準樣本 D 的矽濃度為 $2 \times 10^{18} \text{ atoms/cm}^3$ 。注意，樣本 A 至樣本 C 的 SIMS 測量結果是根據標準樣本 D 定量的結果。

當使用樣本 A 至樣本 C 及標準樣本 D 的靶材形成氧化物半導體膜時，可以利用上述資料判斷包含在靶材中的

矽之外的矽（例如，因混合而混入的絕緣膜中的矽）是否包含在氧化物半導體膜中。

例如，在作為靶材使用樣本 A(In:Ga:Zn=2:1:3(原子數比)的氧化物靶材)形成的氧化物半導體膜中，當膜中的矽濃度高於 $4 \times 10^{18} \text{ atoms/cm}^3$ 時，可以認為矽從靶材之外的部分混入。

實施例 2

雖然在上述實施方式中說明形成氧化物半導體膜時產生的混合導致構成絕緣膜的元素混入到氧化物半導體膜中。但是，也可以認為是由於在形成氧化物半導體膜之後對基板進行加熱處理，構成絕緣膜的元素擴散到氧化物半導體膜中。於是，在本實施例中對檢測構成絕緣膜的元素混入到氧化物半導體膜中是否起因於熱擴散的實驗進行說明。

實驗內容如下：首先，準備在基板上形成有絕緣膜及氧化物半導體膜的三個基板，然後製造不進行熱處理的樣本（以下稱為樣本 E）、以 450°C 進行熱處理的樣本（以下稱為樣本 F）、以 650°C 進行熱處理的樣本（以下稱為樣本 G）；然後，利用飛行時間二次離子質譜分析法(ToF-SIMS:Time-of-Flight Secondary Ion Mass Spectrometer)測量各樣本的與閘極絕緣膜的介面附近的氧化物半導體膜中的矽濃度。

首先，圖 15 示出用於 ToF-SIMS 測量的樣本的結構。

在圖 15 所示的樣本中，在矽基板 200 上形成氧化矽膜 202，使用化學機械拋光 (CMP:Chemical Mechanical Polishing)裝置提高表面的平坦性，形成 IGZO 膜 204，最後進行熱處理。

氧化矽膜 202 使用濺射裝置形成。氧化矽膜 202 的成膜條件如下：基板溫度為 100°C ，氣體流量為 $\text{Ar}/\text{O}_2=25\text{sccm}/25\text{sccm}$ ，成膜電力為 1.5kW (RF 電源)，成膜壓力為 0.4Pa ，膜厚為 300nm 。另外，作為濺射靶材使用氧化矽靶材。另外，在形成氧化矽膜 202 之前使用稀氫氟酸 (diluted hydrofluoric acid) 來去除在矽基板 200 表面上形成的氧化膜。

IGZO 膜 204 使用濺射裝置形成。IGZO 膜 204 的成膜條件如下：基板溫度為 200°C ，氣體流量為 $\text{Ar}/\text{O}_2=30\text{sccm}/15\text{sccm}$ ，成膜電力為 0.5kW (DC 電源)，成膜壓力為 0.4Pa ，膜厚為 15nm 。另外，作為濺射靶材使用 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ [原子數比] 的氧化物靶材。

將基板放在使用電阻發熱體等的電爐中進行熱處理。處理條件如下：作為樣本 F，加熱溫度為 450°C ，加熱時間為 1 小時；作為樣本 G，加熱溫度為 650°C ，加熱時間為 1 小時。另外，樣本 F 及樣本 G 的加熱氛圍為氮及氧的混合氛圍。另外，對樣本 E 不進行加熱處理。

接著，對樣本 E 至樣本 G 從基板表面一側 (IGZO 膜 204 一側) 進行 ToF-SIMS 測量，來測量與氧化矽膜的介面附近的 IGZO 膜中的矽濃度。圖 16 示出其結果。

從圖 16 可知，在所有樣本中，氧化矽膜介面附近的氧化物半導體膜中的矽濃度比包含在實施例 1 所記載的 In-Ga-Zn 類氧化物靶材(原子數比為 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$)中的 $3 \times 10^{17} \text{ atoms/cm}^3$ 的矽濃度高。由此可知，在氧化矽膜介面附近的氧化物半導體膜中測量的矽不是起因於 In-Ga-Zn 類氧化物靶材的矽。

另外，從圖 16 可知，在不進行加熱處理的樣本（樣本 E）與進行加熱處理的樣本（樣本 F 及樣本 G）中，氧化矽膜介面附近的 IGZO 膜中的矽濃度的傾斜（也稱為矽濃度梯度）沒有確認到特別差異。由此可知，氧化物半導體膜中的構成絕緣膜的元素的混入不是起因於熱擴散而是起因於混合。

實施例 3

在本實施例中對檢測是否能夠藉由降低氧化物半導體膜的成膜電力來抑制因混合所導致的氧化物半導體膜中的構成絕緣膜的元素的混入的實驗進行說明。

實驗內容如下：首先，在基板上形成絕緣膜，在絕緣膜上以 4 種電力條件（1kW、5kW、9kW 及 1kW+5kW）形成氧化物半導體膜，然後對各基板進行熱處理而製造四個樣本；然後，利用 ToF-SIMS 法測量各樣本的與閘極絕緣膜的介面附近的氧化物半導體膜中的矽濃度。

首先，圖 17 示出用於 ToF-SIMS 測量的樣本的結構。

在圖 17 所示的樣本中，在玻璃基板 300 上形成氧氮

化矽膜 302 之後，形成 IGZO 膜 304，最後進行熱處理。

氧氮化矽膜 302 使用高密度電漿 CVD 設備形成。氧氮化矽膜 302 的成膜條件如下：基板溫度為 325°C ，氣體流量為 $\text{SiH}_4/\text{N}_2\text{O}/\text{Ar}=250\text{sccm}/2500\text{sccm}/2500\text{sccm}$ ，成膜電力為 $5\text{kW}\times 4$ 個（微波電源），成膜壓力為 30Pa ，膜厚為 100nm 。另外，在形成氧氮化矽膜 302 之前對玻璃基板 300 表面進行清洗來去除微粒等。

IGZO 膜 304 使用濺射裝置形成。IGZO 膜 304 的成膜條件如下：基板溫度為 170°C ，氣體流量為 $\text{Ar}/\text{O}_2=100\text{sccm}/100\text{sccm}$ ，成膜壓力為 0.6Pa ，膜厚為 35nm ，並使用 1kW 、 5kW 、 9kW 及 $1\text{kW}+5\text{kW}$ 的 4 個條件的電力進行成膜（都使用 AC 電源）。另外，作為濺射靶材使用 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子數比] 的氧化物靶材。

注意，上述成膜電力的“ $1\text{kW}+5\text{kW}$ ”是指：首先使用 1kW 電力進行 5nm 的成膜，然後使用 5kW 電力進行 30nm 的成膜。另外，以下，將使用 9kW 形成的氧化物半導體膜的樣本稱為樣本 H，將使用 5kW 形成的氧化物半導體膜的樣本稱為樣本 I，將使用 1kW 形成的氧化物半導體膜的樣本稱為樣本 J，將使用 $1\text{kW}+5\text{kW}$ 形成的氧化物半導體膜的樣本稱為樣本 K。

將基板放在使用電阻發熱體等的電爐中進行熱處理。處理條件如下：首先在加熱溫度為 450°C 、加熱氛圍為 N_2 的條件下進行 1 小時的加熱，然後在加熱溫度為 650°C 、加熱氛圍為 N_2+O_2 的條件下進行 1 小時的加熱。

接著，對樣本 H 至樣本 K 從基板表面一側（IGZO 膜 304 一側）進行 ToF-SIMS 測量，來測量與氧氮化矽膜的介面附近的 IGZO 膜中的矽濃度。圖 18A 及圖 18B 示出其結果。注意，圖 18B 是放大圖 18A 中的一部分的圖。

從圖 18A 及圖 18B 可知，在所有樣本中，氧氮化矽膜介面附近的 IGZO 膜中的矽濃度比包含在實施例 1 所記載的 In-Ga-Zn 類氧化物靶材（原子數比為 In:Ga:Zn=1:1:1）中的 $2 \times 10^{18} \text{ atoms/cm}^3$ 的矽濃度高。由此可知，在氧氮化矽膜介面附近的氧化物半導體膜中測量到的矽不是起因於 In-Ga-Zn 類氧化物靶材的矽。

另外，從圖 18A 及圖 18B 可知，氧氮化矽膜介面附近的 IGZO 膜中的矽濃度有隨著成膜電力的降低而下降的傾向。由此可以確認藉由降低氧化物半導體膜的成膜電力可以抑制因混合所導致的氧化物半導體膜中的構成絕緣膜的元素之混入。

再者，由於樣本 J 與樣本 K 的矽濃度大致一致，由此可以確認即使成膜初期步驟使用弱電力形成氧化物半導體膜之後提高成膜電力形成氧化物半導體膜，也可以抑制因混合所導致的氧化物半導體膜中的構成絕緣膜的元素之混入。

實施例 4

在本實施例中，說明對構成絕緣膜的元素混入到氧化物半導體膜中時的氧化物半導體膜中的結晶狀態進行檢測

的結果。

首先，準備在基板上使用其組成不同的靶材形成有氧化物半導體膜的 2 個基板，將各個基板分割成 3 個基板。然後，藉由在不同的條件下對分割成 3 個基板的基板進行熱處理，製造不同條件的共 6 個樣本。並且，利用 X 線繞射 (XRD: X-ray Diffraction) 法測量各樣本的氧化物半導體膜的結晶狀態。

首先，圖 19A 示出用於 XRD 測量的樣本的結構。

在圖 19A 所示的樣本中，在玻璃基板 400 上使用添加 SiO_2 的 IGZO ($\text{In:Ga:Zn}=1:1:1$ [原子數比]) 靶材形成 IGZO 膜 402，然後進行熱處理。

IGZO 膜 402 使用濺射裝置形成。IGZO 膜 402 的成膜條件如下：基板溫度為 200°C ，成膜電力為 100W ，成膜壓力為 0.4Pa ，氣體流量為 $\text{O}_2=10\text{sccm}$ ，膜厚為 100nm 。另外，作為濺射靶材，使用對 $\text{In:Ga:Zn}=1:1:1$ [原子數比] 添加 2wt% 的 SiO_2 的靶材及對 $\text{In:Ga:Zn}=1:1:1$ [原子數比] 添加 5wt% 的 SiO_2 的靶材。另外，在形成 IGZO 膜 402 之前對玻璃基板 400 表面進行清洗來去除微粒等。

將基板放在使用電阻發熱體等的電爐中進行熱處理。在形成 IGZO 膜之後分割成三個基板的基板之一的處理條件如下：在 N_2 氛圍下以 650°C 進行 1 小時的熱處理，然後在 O_2 氛圍下以 650°C 進行 1 小時的熱處理。另外，分割成三個基板的基板之一的處理條件如下：在 N_2 氛圍下以 450°C 進行 1 小時的加熱，然後在 O_2 氛圍下以 450°C 進行 1 小

時的加熱。另外，分割成三個基板的基板之一不進行熱處理。

藉由採用上述使用靶材及上述加熱條件，形成表 1 所示的樣本 L 至樣本 Q 的 6 個樣本。

[表 1]

樣本名	使用靶材	加熱條件
L	In : Ga : Zn=1 : 1 : 1+SiO ₂ (2 w t%)	《650℃，N ₂ 氛圍，1 小時》+《650℃，O ₂ 氛圍，1 小時》
M	In : Ga : Zn=1 : 1 : 1+SiO ₂ (2 w t%)	《450℃，N ₂ 氛圍，1 小時》+《450℃，O ₂ 氛圍，1 小時》
N	In : Ga : Zn=1 : 1 : 1+SiO ₂ (2 w t%)	不進行加熱處理
O	In : Ga : Zn=1 : 1 : 1+SiO ₂ (5 w t%)	《650℃，N ₂ 氛圍，1 小時》+《650℃，O ₂ 氛圍，1 小時》
P	In : Ga : Zn=1 : 1 : 1+SiO ₂ (5 w t%)	《450℃，N ₂ 氛圍，1 小時》+《450℃，O ₂ 氛圍，1 小時》
Q	In : Ga : Zn=1 : 1 : 1+SiO ₂ (5 w t%)	不進行加熱處理

接著，對樣本 L 至樣本 Q 的 IGZO 膜進行 XRD 測量來測量各個膜的結晶狀態。圖 20A 及圖 20B 示出其結果。圖 20A 示出樣本 L 至樣本 N 的 XRD 測量結果，圖 20B 示出樣本 O 至樣本 Q 的 XRD 測量結果。

在圖 20A 中，以上述所記載的溫度範圍內的 650℃ 進行熱處理的樣本 L 在 2θ=31°附近確認到起因於結晶的峰值。另一方面，在圖 20B 中，所有樣本都沒有確認到起因於結晶的峰值。由此可以確認藉由作為雜質包含過剩的

矽，能夠阻礙熱處理所導致的 IGZO 膜的晶化。

接著，為了檢測使用添加 2wt% 的矽的靶材形成的 IGZO 膜的矽含量，利用 X 射線光電子能譜技術（XPS：X-ray Photoelectron Spectroscopy）測量包含在 IGZO 膜中的元素的組成。

如圖 19B 所示，用於 XPS 測量的樣本採用在矽基板 500 上形成 IGZO 膜 502 的結構。

IGZO 膜 502 使用濺射裝置形成。IGZO 膜 502 的成膜條件如下：基板溫度為 200℃，成膜電力為 100W，成膜壓力為 0.4Pa，氣體流量為 $O_2=10\text{sccm}$ ，膜厚為 15nm。另外，作為濺射靶材，使用對 $\text{In:Ga:Zn}=1:1:1$ [原子數比] 添加 2wt% 的 SiO_2 的靶材。另外，在形成 IGZO 膜 502 之前使用稀氫氟酸去除形成在矽基板 500 表面上的氧化膜。

從 XPS 測量的結果可知，使用添加 2wt% 的矽的靶材而形成的 IGZO 膜含有 1.1atom% 的矽。

如上所述，可知當矽等雜質由於混合等而混入到與閘極絕緣膜的介面附近的氧化物半導體膜中時，有阻礙氧化物半導體膜中的通道形成區的晶化的擔憂。因此，藉由實施例可知，降低與閘極絕緣膜的介面附近的氧化物半導體膜中的矽濃度是重要的。

【圖式簡單說明】

在圖式中：

圖 1A 及圖 1B 是示出半導體裝置的一個方式的平面圖

及剖面圖；

圖 2A 及圖 2B 是示出半導體裝置的一個方式的平面圖及剖面圖；

圖 3A 及圖 3B 是示出半導體裝置的一個方式的平面圖及剖面圖；

圖 4A 至圖 4E 是示出半導體裝置的製程的一個例子的剖面圖；

圖 5A 至圖 5E 是示出半導體裝置的製程的一個例子的剖面圖；

圖 6 是用於計算的模型圖；

圖 7A 至圖 7C 是示出計算結果的圖；

圖 8A 至圖 8C 是示出計算結果的圖；

圖 9A 至圖 9C 是說明半導體裝置的一個方式的圖；

圖 10 是說明半導體裝置的一個方式的圖；

圖 11 是說明半導體裝置的一個方式的圖；

圖 12 是說明半導體裝置的一個方式的圖；

圖 13A 至圖 13F 是示出電子裝置的圖；

圖 14 是示出本發明的一個實施例的測量結果的圖表；

圖 15 是示出本發明的一個實施例的樣本的結構的圖；

圖 16 是示出本發明的一個實施例的測量結果的圖表；

圖 17 是示出本發明的一個實施例的樣本的結構的

圖；

圖 18A 及圖 18B 是示出本發明的一個實施例的測量結果的圖表；

圖 19A 及圖 19B 是示出本發明的一個實施例的樣本的結構的圖；

圖 20A 及圖 20B 是示出本發明的一個實施例的測量結果的圖表；

圖 21A 及圖 21B 是用於計算的模型圖；

圖 22A 及圖 22B 是用於計算的模型圖；

圖 23 是示出計算結果的圖；

圖 24A 及圖 24B 是用於計算的模型圖；

圖 25 是示出計算結果的圖。

【主要元件符號說明】

100：基板

101：閘極電極

102：閘極絕緣膜

103：氧化物半導體膜

103a：區域

103b：區域

103c：區域

105a：源極電極

105b：汲極電極

107：絕緣膜

108：通道保護膜
109：保護絕緣膜
110：電晶體
120：電晶體
130：電晶體
200：矽基板
202：氧化矽膜
204：IGZO 膜
300：玻璃基板
302：氧氮化矽膜
304：IGZO 膜
400：玻璃基板
402：IGZO 膜
500：玻璃基板
502：IGZO 膜
2700：電子書閱讀器
2701：外殼
2703：外殼
2705：顯示部
2707：顯示部
2711：軸部
2721：電源
2723：操作鍵
2725：揚聲器

2800：外殼

2801：按鈕

2802：麥克風

2803：顯示部

2804：揚聲器

2805：影像拍攝用透鏡

2806：外部連接端子

3001：主體

3002：外殼

3003：顯示部

3004：鍵盤

3021：主體

3022：觸控筆

3023：顯示部

3024：操作按鈕

3025：外部介面

3051：主體

3053：取景器

3054：操作開關

3056：電池

4001：基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料
 4006：基板
 4008：液晶層
 4010：電晶體
 4011：電晶體
 4013：液晶元件
 4015：連接端子電極
 4016：端子電極
 4019：各向異性導電膜
 4021：絕緣層
 4030：電極層
 4031：電極層
 4032：絕緣膜
 4033：絕緣膜
 4034：絕緣膜
 4510：分隔壁
 4511：電致發光層
 4513：發光元件
 4514：填充材料
 4612：空洞
 4613：球形粒子
 4614：填充材料
 4615a：黑色區域
 4615b：白色區域

9600：電 視 機

9601：外 殼

9603：顯 示 部

9605：支 架

空白頁

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101135301

※申請日：101 年 09 月 26 日

※IPC 分類：

H01L29/18 (2006.01)

一、發明名稱：(中文／英文)

H01L29/14 (2006.01)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明提供一種半導體裝置，包括：閘極電極；覆蓋閘極電極並包含含有矽的氧化物的閘極絕緣膜；以與閘極絕緣膜接觸並至少與閘極電極重疊的方式設置的氧化物半導體膜；以及與氧化物半導體膜連接的源極電極及汲極電極，其中，在氧化物半導體膜中的與閘極絕緣膜接觸且厚度為 5nm 以下的第一區域中，矽濃度為 1.0at.%以下，包含在氧化物半導體膜的第一區域之外的區域中的矽濃度比包含在第一區域中的矽濃度低，並且，至少在第一區域中包括結晶部。

三、英文發明摘要：

A semiconductor device includes a gate electrode, a gate insulating film which includes oxidized material containing silicon and covers the gate electrode, an oxide semiconductor film provided to be in contact with the gate insulating film and overlap with at least the gate electrode, and a source electrode and a drain electrode electrically connected to the oxide semiconductor film. In the oxide semiconductor film, a first region which is provided to be in contact with the gate insulating film and have a thickness less than or equal to 5 nm has a silicon concentration lower than or equal to 1.0 at.%, and a region in the oxide semiconductor film other than the first region has lower silicon concentration than the first region. At least the first region includes a crystal portion.

圖 1A

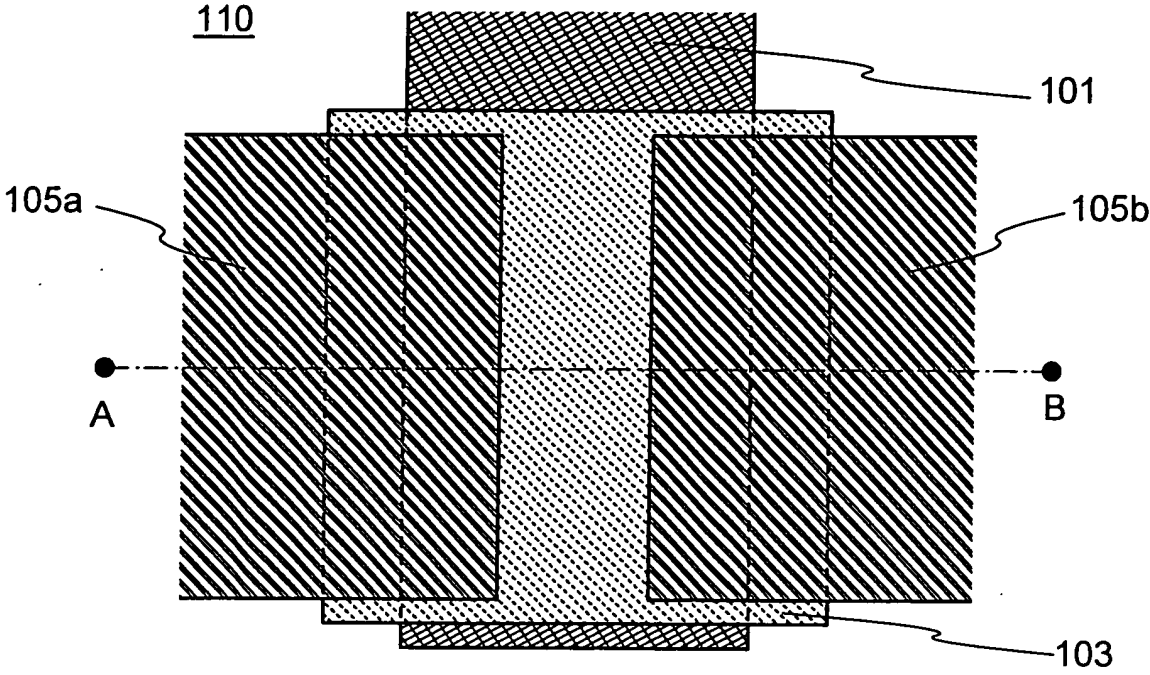


圖 1B

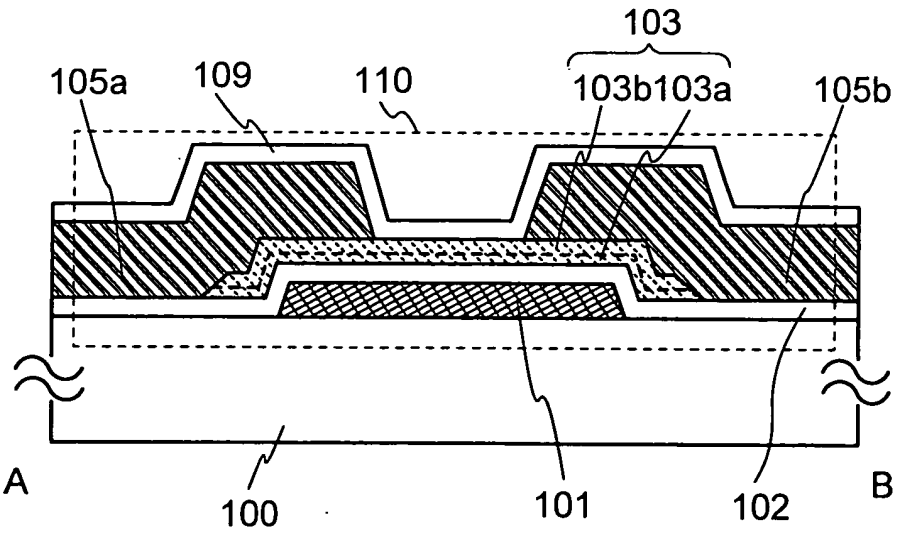


圖 2A

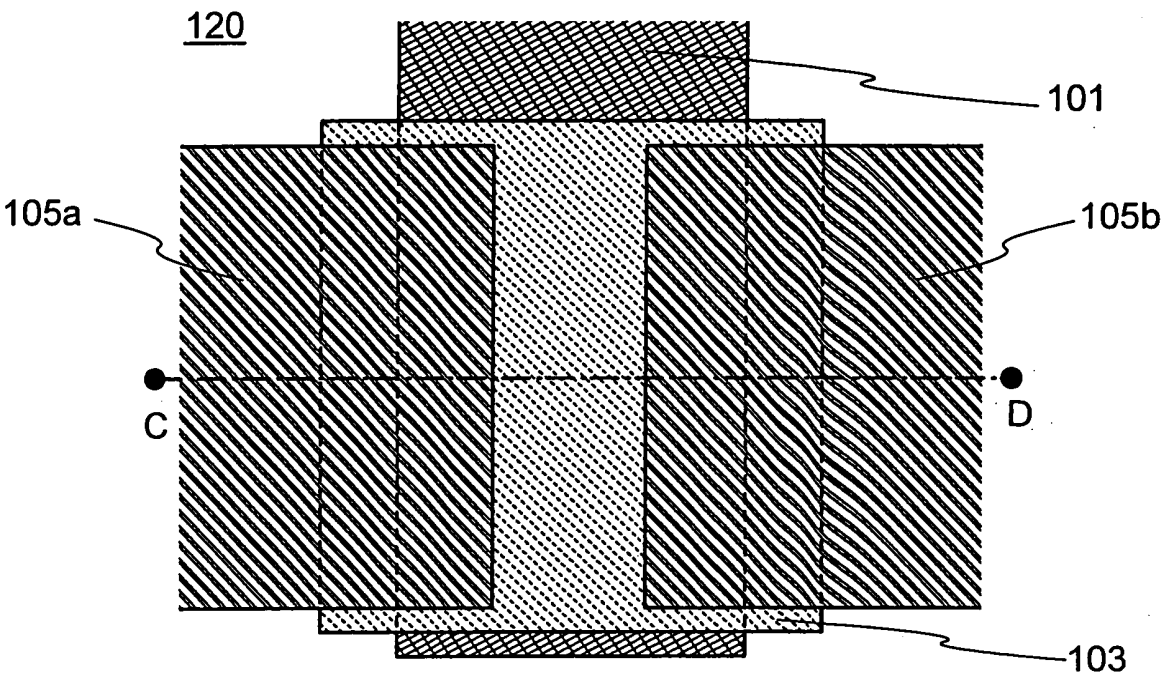


圖 2B

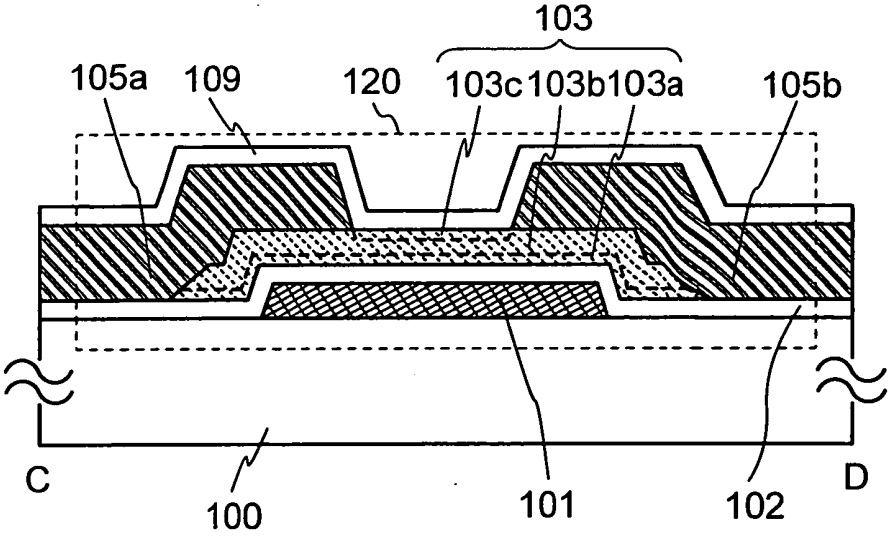


圖 3A

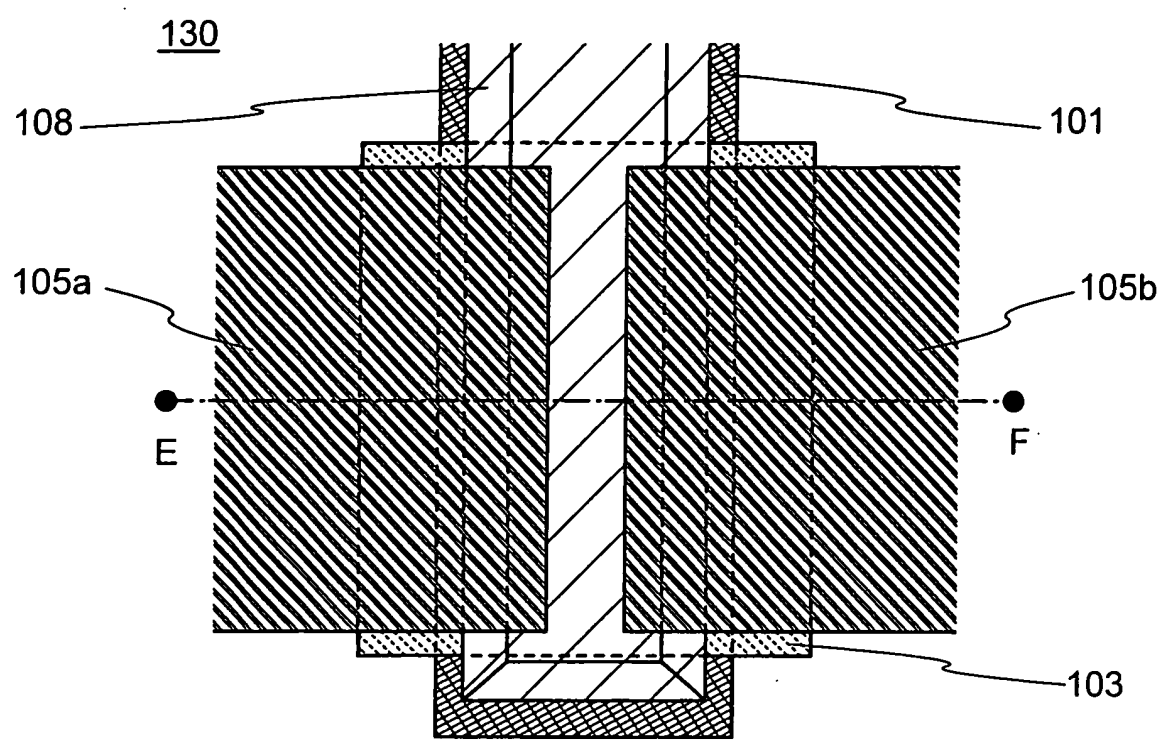


圖 3B

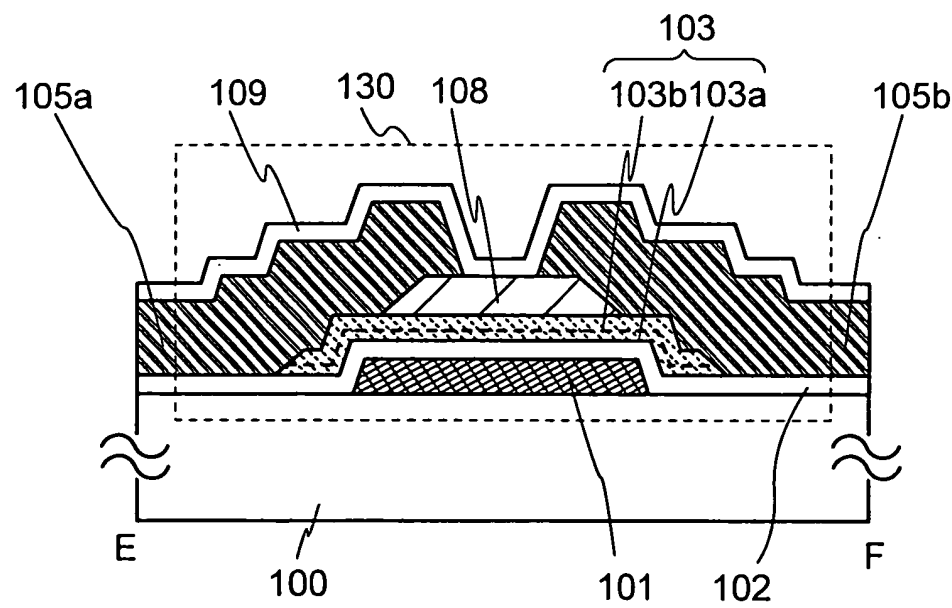


圖 4A

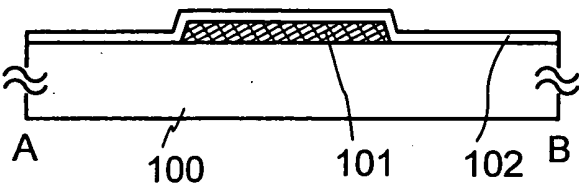


圖 4B

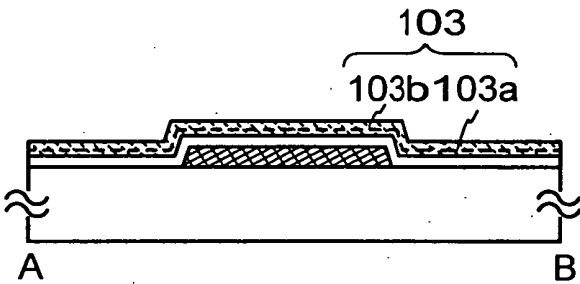


圖 4C

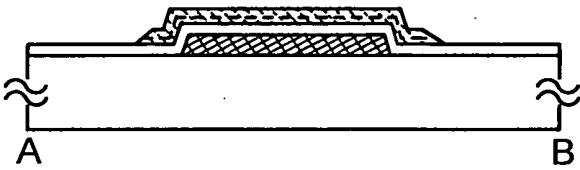


圖 4D

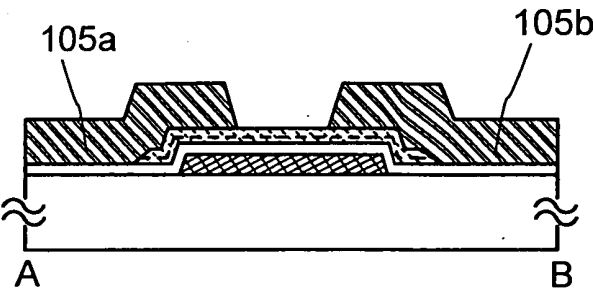


圖 4E

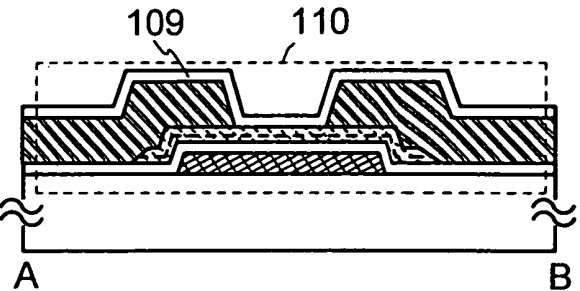


圖 9A

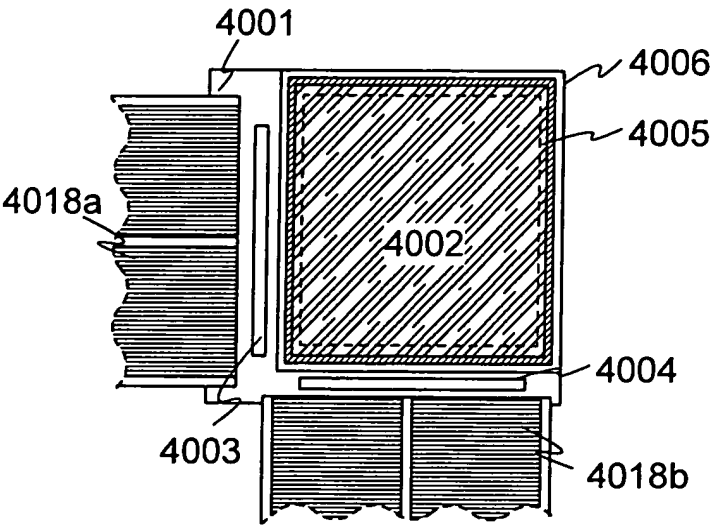


圖 9B

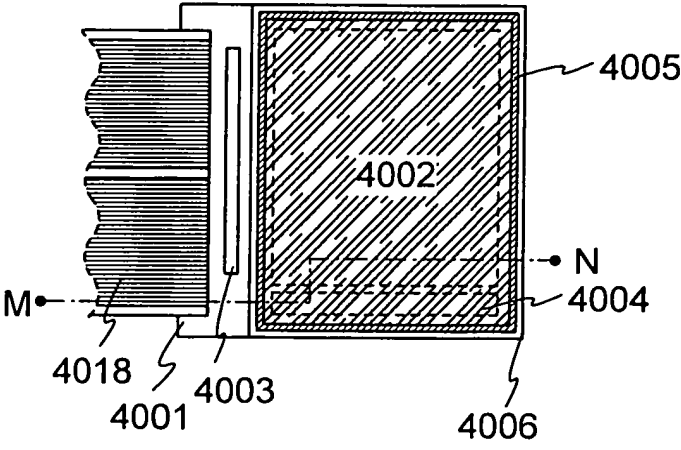


圖 9C

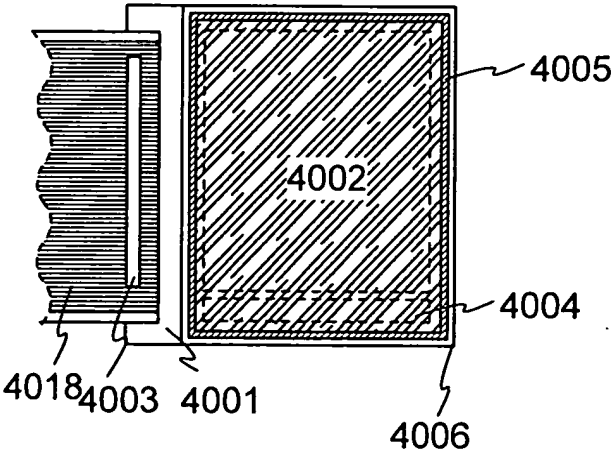


圖10

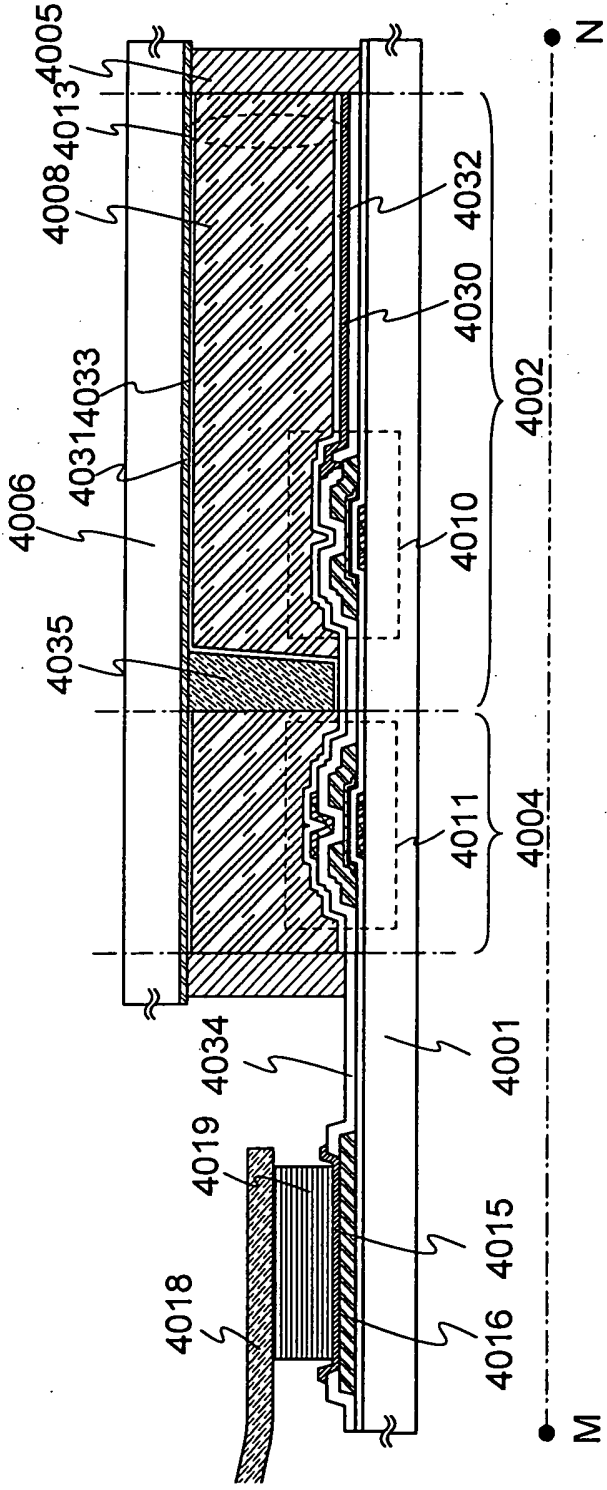


圖11

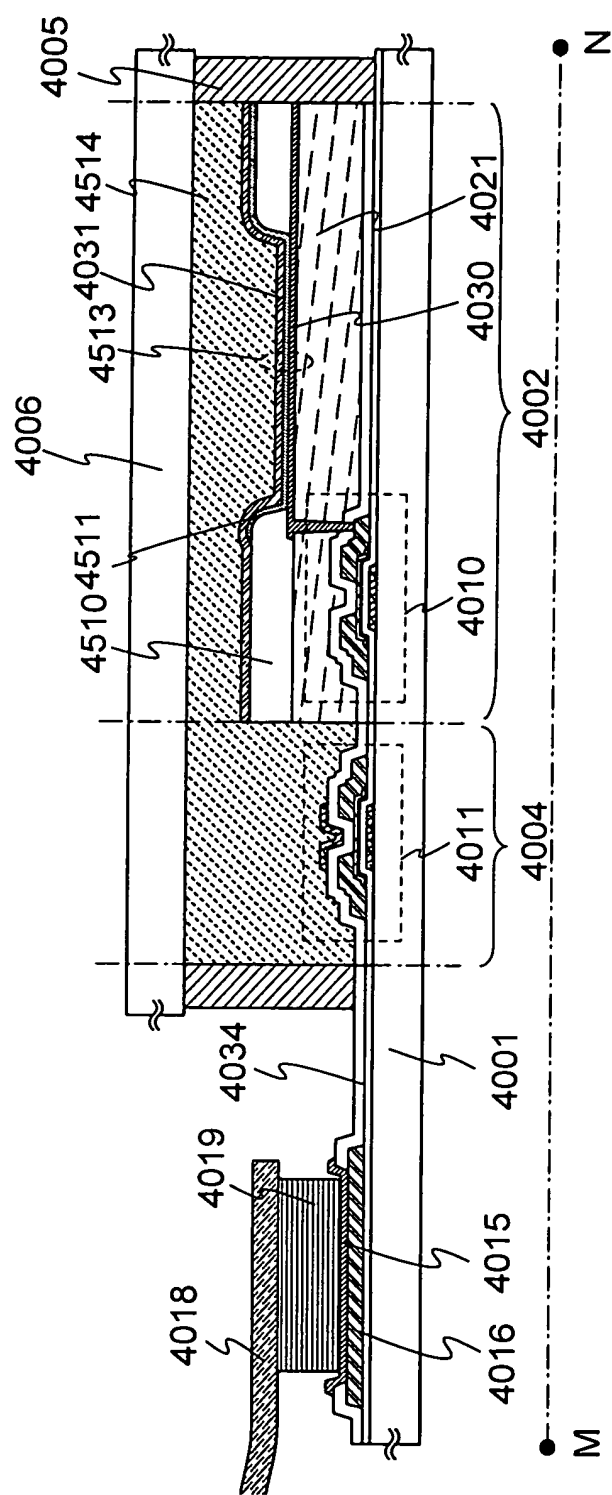


圖12

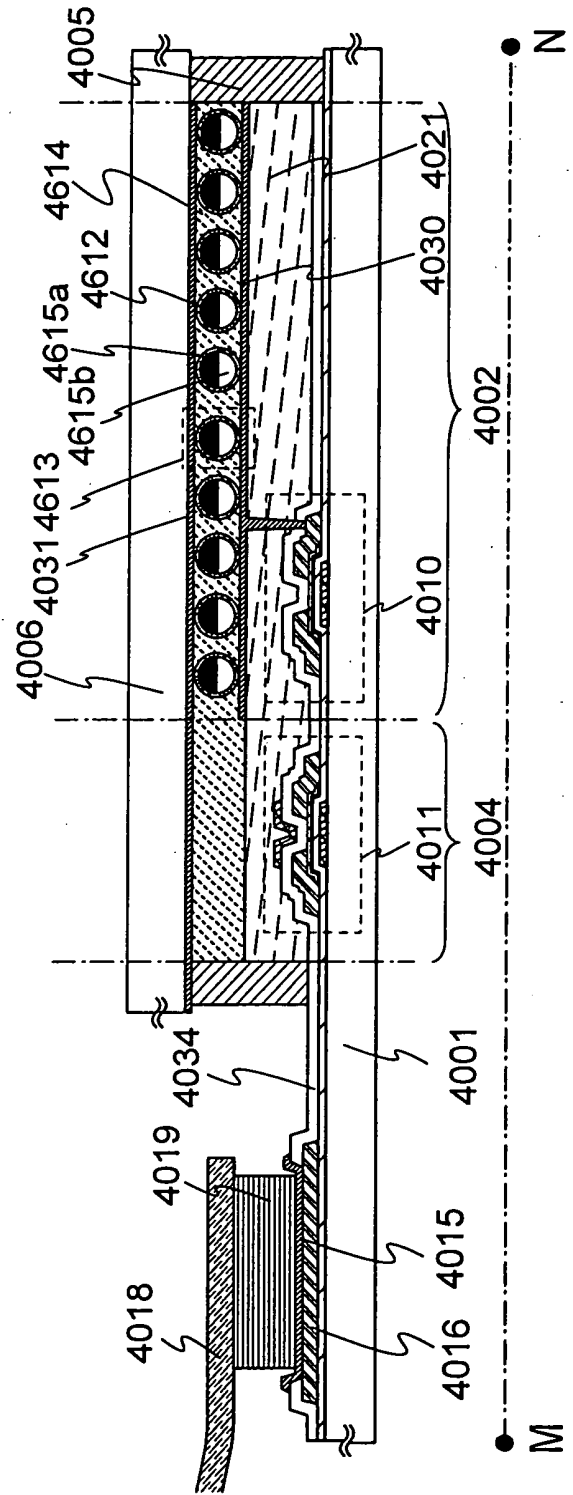


圖 13A

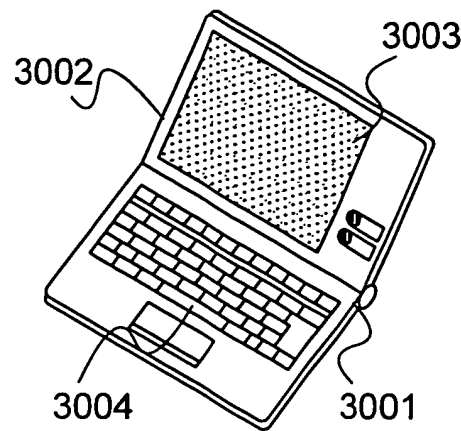


圖 13B

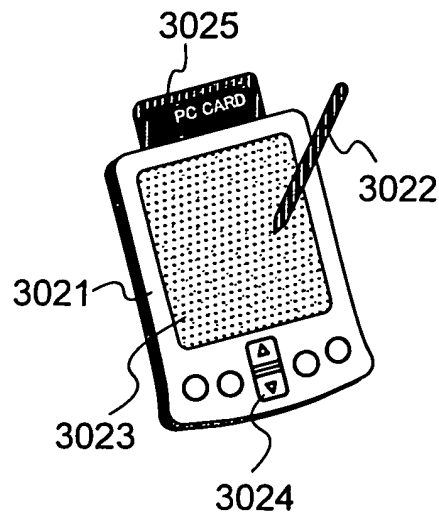


圖 13C

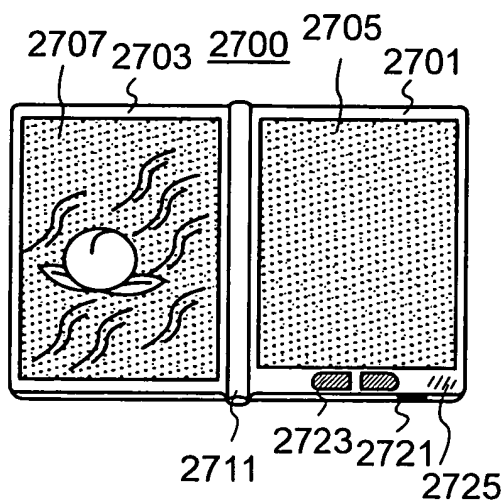


圖 13D

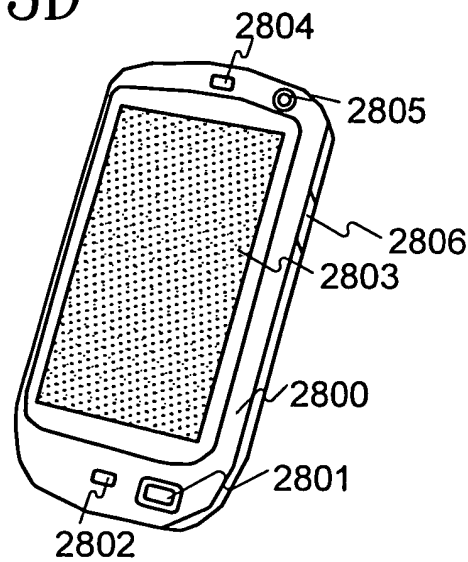


圖 13E

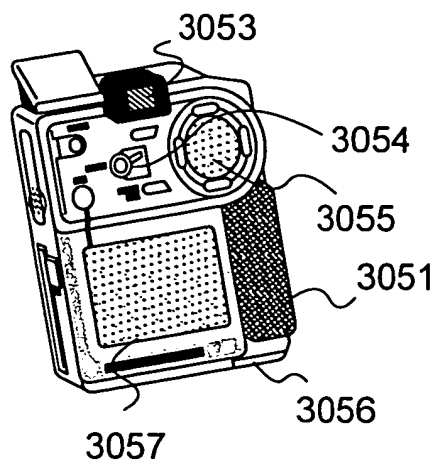


圖 13F

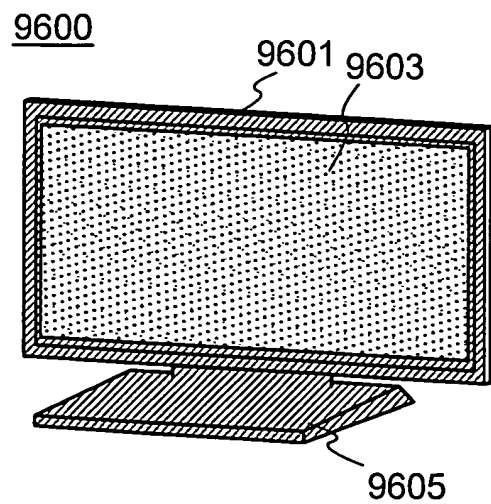


圖 14

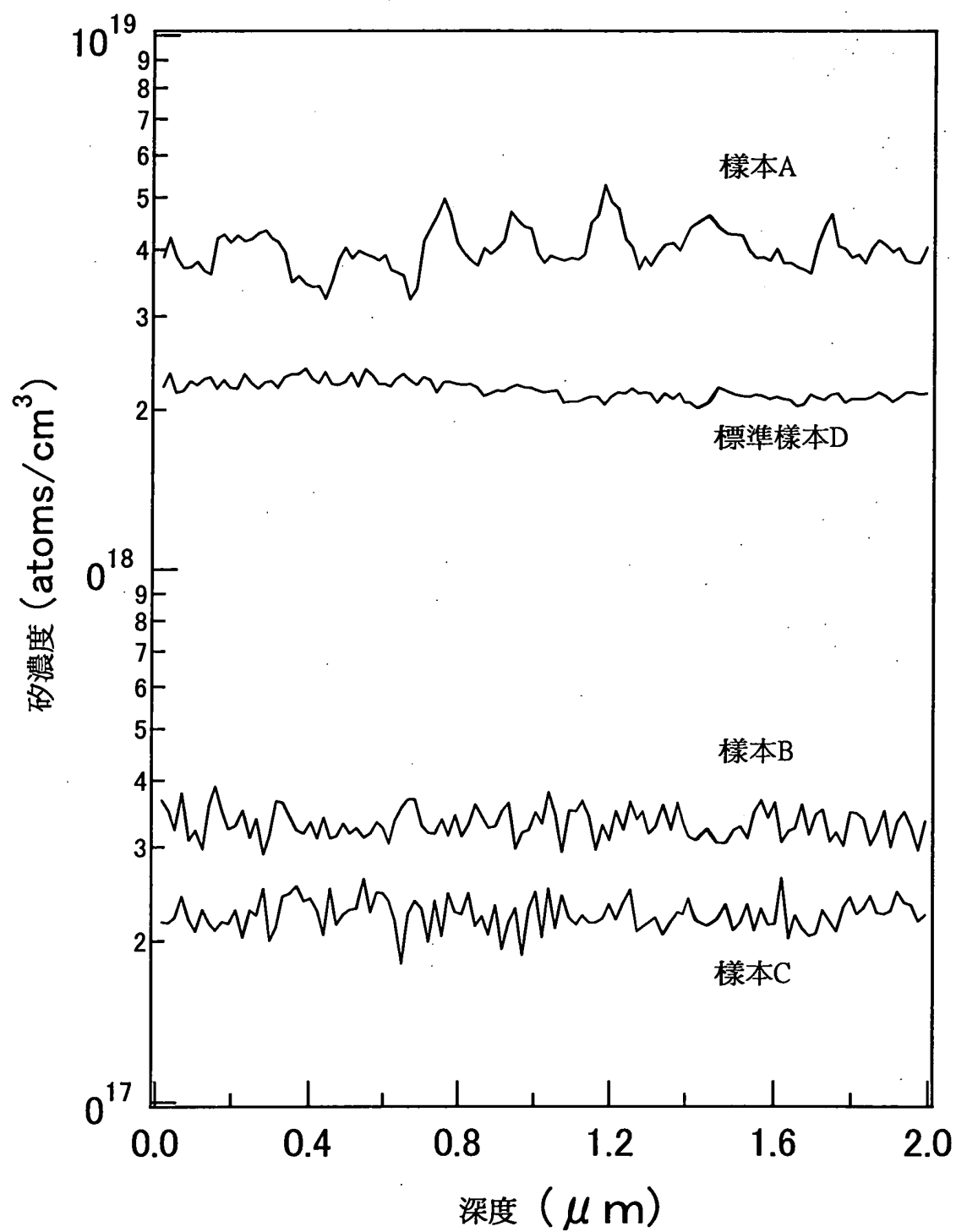


圖 15

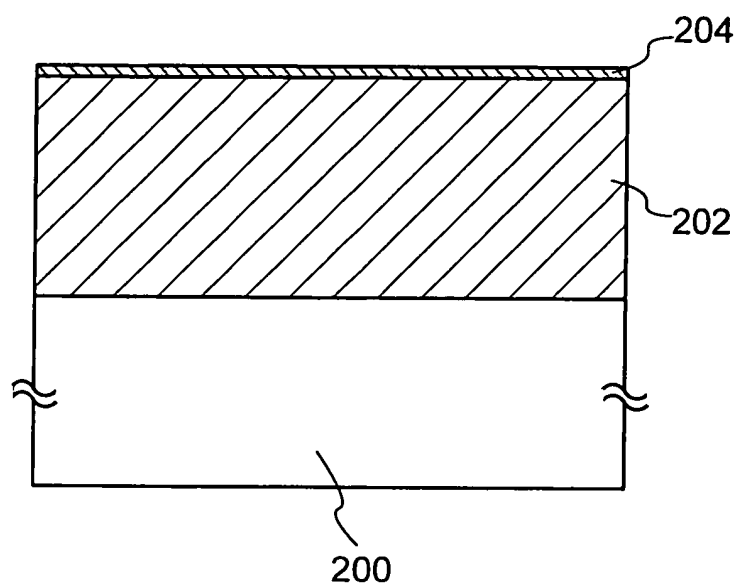


圖 16

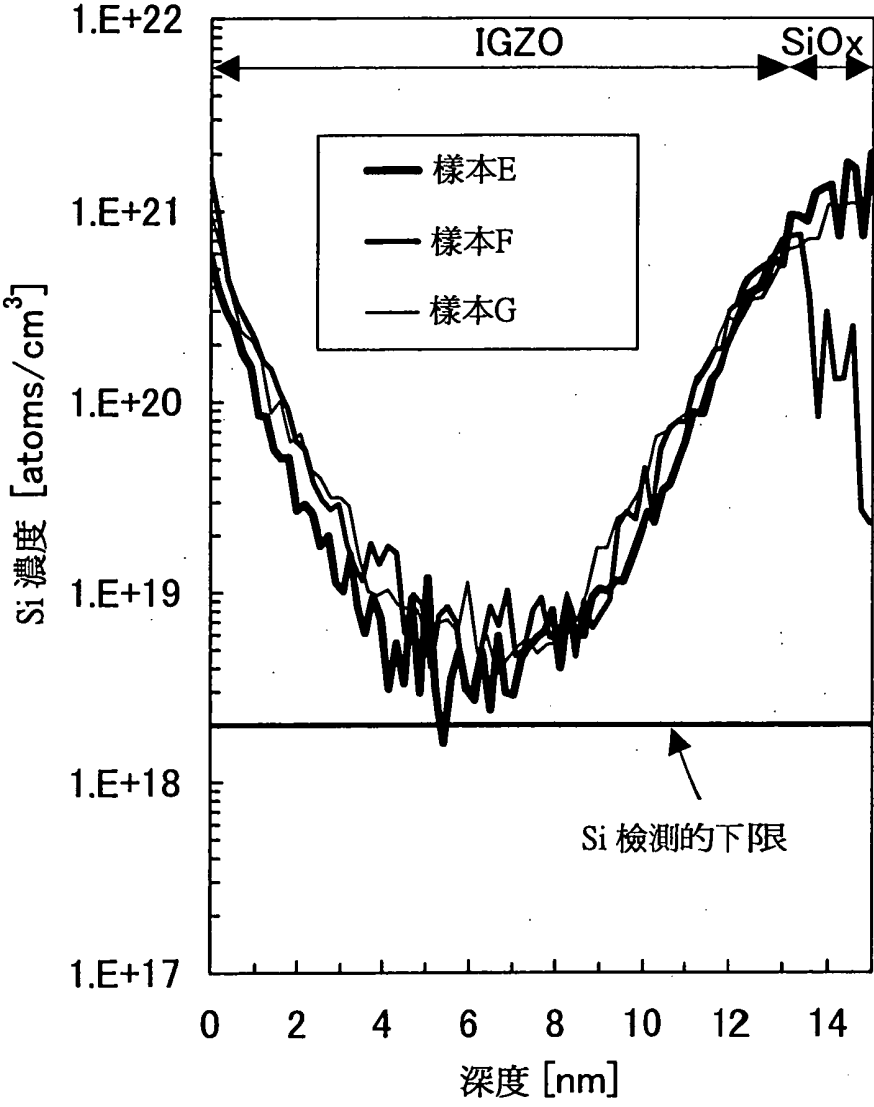


圖17

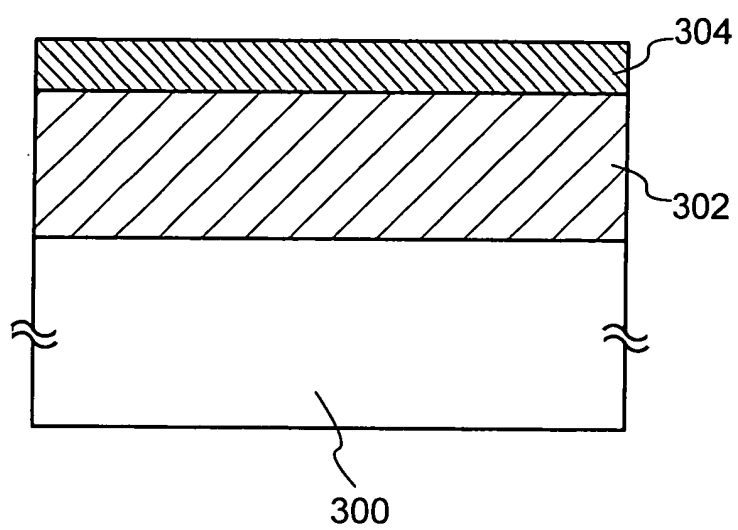


圖18A

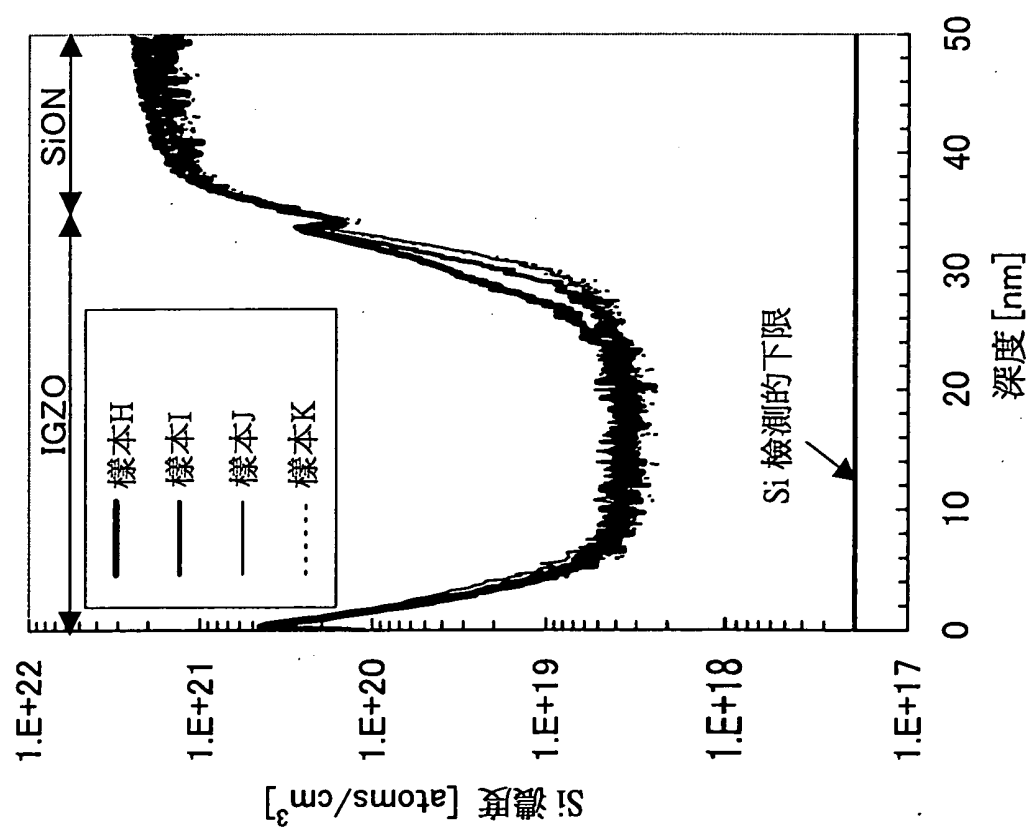


圖18B

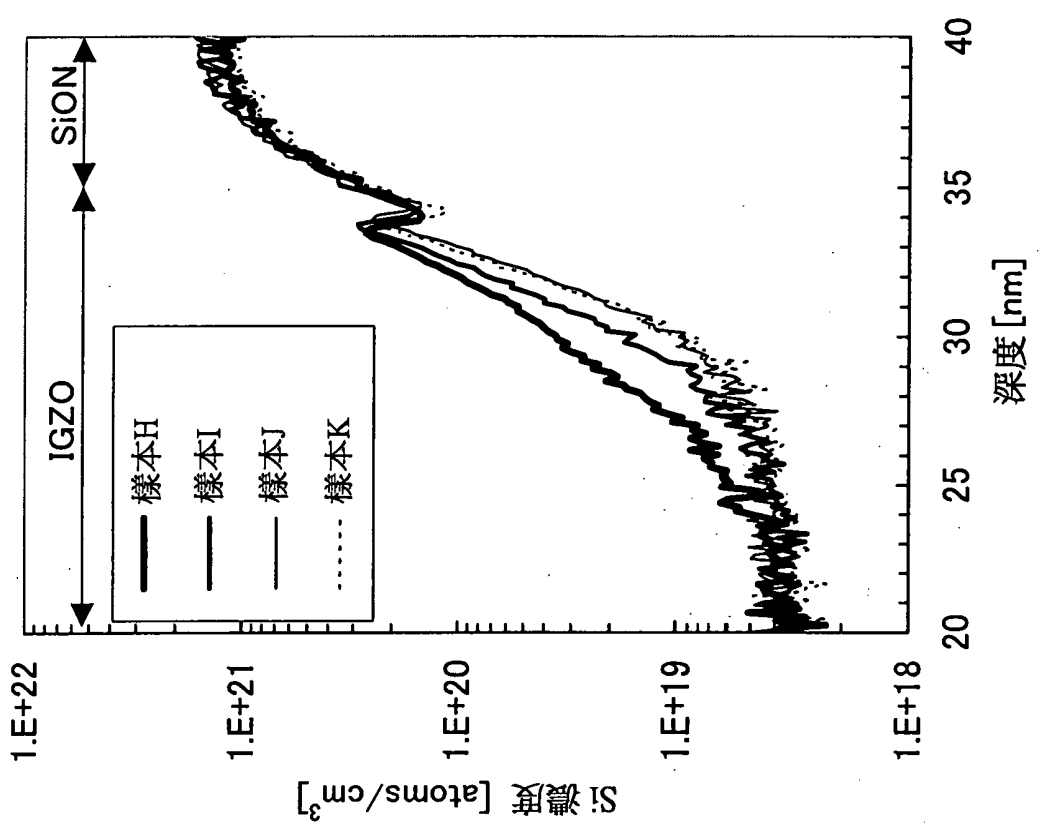


圖 19A

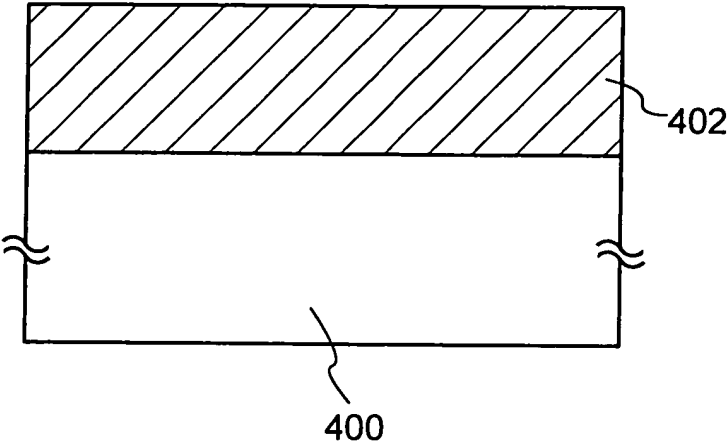


圖 19B

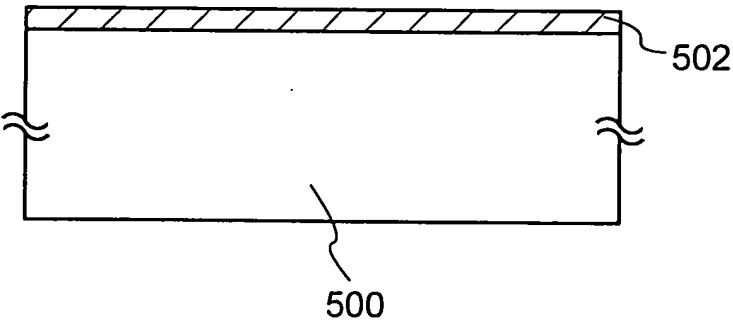


圖 20A

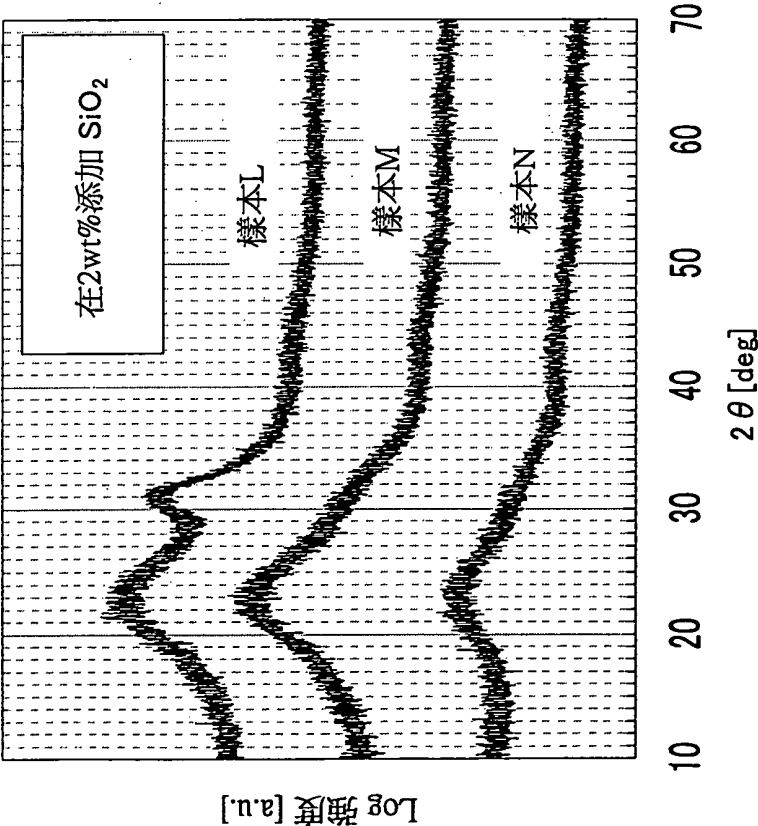
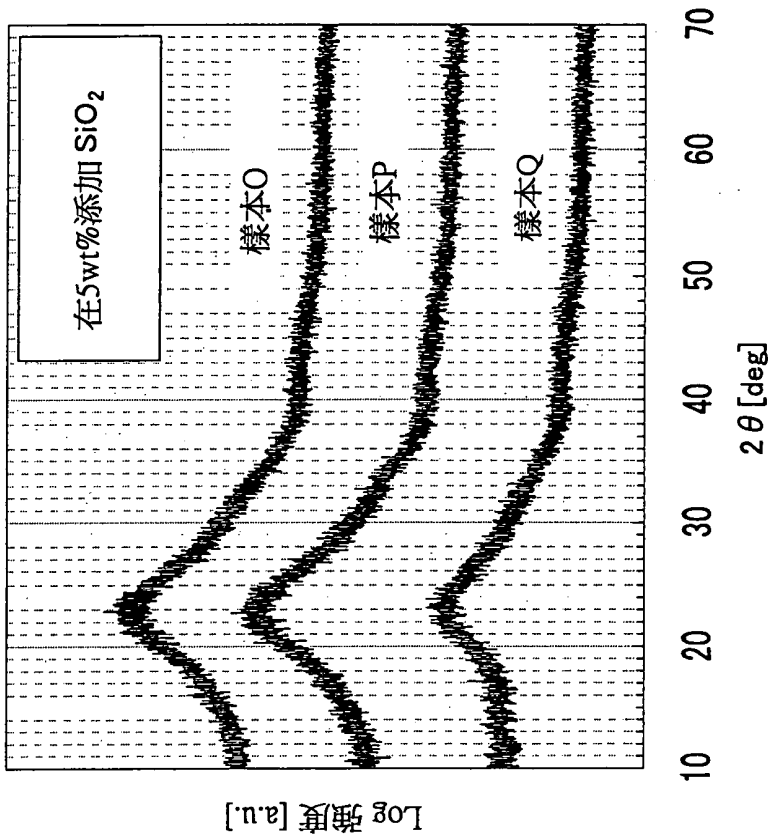


圖 20B



四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

101：閘極電極

102：閘極絕緣膜

103：氧化物半導體膜

103a：區域

103b：區域

105a：源極電極

105b：汲極電極

109：保護絕緣膜

110：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：

1. 一種半導體裝置，包括：

閘極電極；

覆蓋該閘極電極的閘極絕緣膜；

以與該閘極絕緣膜接觸並至少與該閘極電極重疊的方式設置的氧化物半導體膜；

以與該氧化物半導體膜接觸的方式設置的通道保護膜；以及

設置在該通道保護膜之上並與該氧化物半導體膜電連接的源極電極及汲極電極，

其中，該閘極絕緣膜包含矽及氧，

該氧化物半導體膜包括與該閘極絕緣膜接觸的第一區域，

該第一區域中的矽的濃度為低於或等於 1.0 at.%，

至少該第一區域包括結晶部，並且

包含在該第一區域之外的該氧化物半導體膜的區域中的矽的濃度低於包含在該第一區域中的該矽的濃度。

2. 一種半導體裝置，包括：

閘極電極；

覆蓋該閘極電極的閘極絕緣膜；

以與該閘極絕緣膜接觸並至少與該閘極電極重疊的方式設置的氧化物半導體膜；

與該氧化物半導體膜電連接的源極電極及汲極電極；
以及

覆蓋該氧化物半導體膜、該源極電極及該汲極電極的保護絕緣膜，

其中，該閘極絕緣膜及該保護絕緣膜都包含矽及氧，
該氧化物半導體膜包括與該閘極絕緣膜接觸的第一區域，

該氧化物半導體膜包括與該保護絕緣膜接觸的第二區域，

該第一區域中的矽的濃度為低於或等於 1.0 at.%，
該第二區域中的矽的濃度為低於或等於 1.0 at.%，
至少該第一區域及該第二區域包括結晶部，並且，
包含在該第一區域及該第二區域之外的該氧化物半導體膜的區域中的矽的濃度低於包含在該第一區域及該第二區域中的該矽的濃度。

3. 根據申請專利範圍第 2 項之半導體裝置，

其中，該第一區域的厚度為小於或等於 5 nm，並且
該第二區域的厚度為小於或等於 5 nm。

4. 根據申請專利範圍第 2 項之半導體裝置，其中，
該第一區域及該第二區域之外的該氧化物半導體膜中的區域包括結晶部。

5. 根據申請專利範圍第 2 項之半導體裝置，其中，
包括在該第一區域及該第二區域中的該矽的濃度為低於或等於 0.1 at.%。

6. 一種半導體裝置，包括：

閘極電極；

覆蓋該閘極電極的閘極絕緣膜；

以與該閘極絕緣膜接觸並至少與該閘極電極重疊的方式設置的氧化物半導體膜；以及

設置在該氧化物半導體膜之上並與該氧化物半導體膜電連接的源極電極及汲極電極，

其中，該閘極絕緣膜包含矽及氧，

該氧化物半導體膜包括與該閘極絕緣膜接觸的第一區域，

該第一區域中的矽的濃度為低於或等於 1.0 at.%，

至少該第一區域包括結晶部，並且

包含在該第一區域之外的該氧化物半導體膜的區域中的矽的濃度低於包含在該第一區域中的該矽的濃度。

7. 根據申請專利範圍第 1 或 6 項之半導體裝置，其中，該第一區域的厚度為小於或等於 5 nm。

8. 根據申請專利範圍第 1 或 6 項之半導體裝置，其中，結晶部包括在該第一區域之外的該氧化物半導體膜中的區域中。

9. 根據申請專利範圍第 1 或 6 項之半導體裝置，其中，包括在該第一區域中的該矽的濃度為低於或等於 0.1 at.%。

10. 根據申請專利範圍第 1、2 及 6 項其中任一項之半導體裝置，其中，該結晶部的 c 軸在垂直於該氧化物半導體膜與該閘極絕緣膜之間的介面的方向上一致。

11. 根據申請專利範圍第 1、2 及 6 項其中任一項之

半導體裝置，

其中，該閘極絕緣膜包含碳，並且

該第一區域中的碳的濃度為低於或等於於
 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 。

12. 根據申請專利範圍第 1、2 及 6 項其中任一項之
半導體裝置，其中，該結晶部包含微晶。

13. 根據申請專利範圍第 1、2 及 6 項其中任一項之
半導體裝置，其中，該氧化物半導體膜包含銦及鋅。