



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I886086 B

(45)公告日：中華民國 114 (2025) 年 06 月 01 日

(21)申請案號：113150910

(22)申請日：中華民國 106 (2017) 年 03 月 09 日

(51)Int. Cl. : H10D62/824 (2025.01)

H10D30/67 (2025.01)

(30)優先權：2016/03/11 日本

2016-048802

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW 201538432A

US 2014/0084287A1

US 2015/0103977A1

US 2015/0349127A1

審查人員：吳漢傑

申請專利範圍項數：7 項 圖式數：58 共 212 頁

(54)名稱

複合體及電晶體

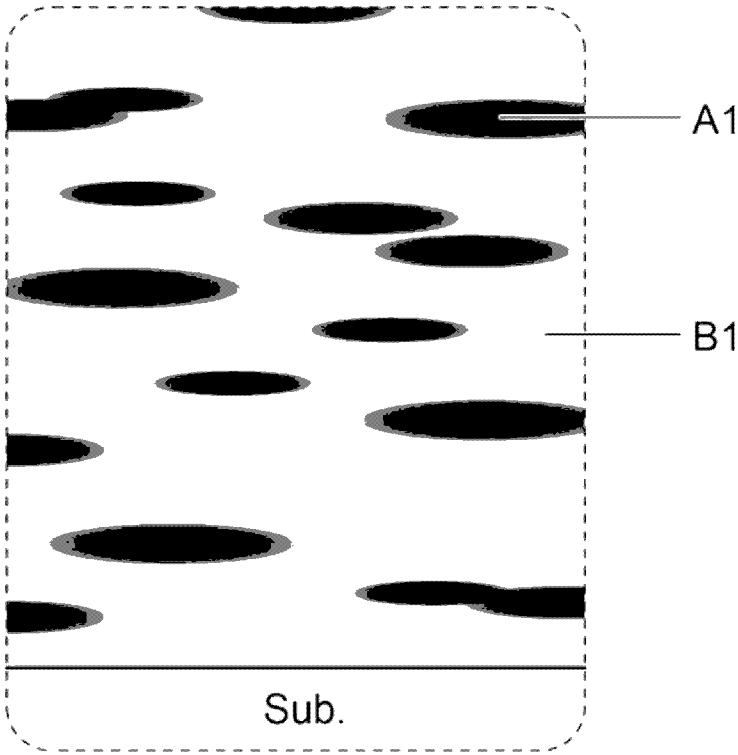
(57)摘要

本發明提供一種新穎的材料。本發明是一種混合有第一區域及多個第二區域的複合氧化物半導體。其中，第一區域至少含有銦、元素 M（元素 M 是 Al、Ga、Y 和 Sn 中的一個或多個）及鋅，第二區域含有銦和鋅。由於第二區域具有比第一區域更高的銦濃度，所以第二區域比第一區域具有更高的導電性。多個第二區域中的一個的端部與多個第二區域中的另一個的端部重疊。多個第二區域被第一區域立體地圍繞。

A novel material is provided. A composite oxide semiconductor in which a first region and a plurality of second regions are mixed is provided. Note that the first region contains at least indium, an element M (the element M is one or more of Al, Ga, Y, and Sn), and zinc, and the plurality of second regions contain indium and zinc. Since the plurality of second regions have a higher concentration of indium than the first region, the plurality of second regions have a higher conductivity than the first region. An end portion of one of the plurality of second regions overlaps with an end portion of another one of the plurality of second regions. The plurality of second regions are three-dimensionally surrounded with the first region.

指定代表圖：

符號簡單說明：
(無)



【圖1B】



I886086

【發明摘要】

【中文發明名稱】 複合體及電晶體

【英文發明名稱】 COMPOSITE AND TRANSISTOR

【中文】

本發明提供一種新穎的材料。本發明是一種混合有第一區域及多個第二區域的複合氧化物半導體。其中，第一區域至少含有銦、元素M（元素M是Al、Ga、Y和Sn中的一個或多個）及鋅，第二區域含有銦和鋅。由於第二區域具有比第一區域更高的銦濃度，所以第二區域比第一區域具有更高的導電性。多個第二區域中的一個的端部與多個第二區域中的另一個的端部重疊。多個第二區域被第一區域立體地圍繞。

【英文】

A novel material is provided. A composite oxide semiconductor in which a first region and a plurality of second regions are mixed is provided. Note that the first region contains at least indium, an element *M* (the element *M* is one or more of Al, Ga, Y, and Sn), and zinc, and the plurality of second regions contain indium and zinc. Since the plurality of second regions have a higher concentration of indium than the first region, the plurality of second regions have a higher conductivity than the first region. An end portion of one of the plurality of second regions overlaps with an end portion of another one of the plurality of second regions. The plurality of second regions are three-dimensionally surrounded with the first region.

【指定代表圖】 圖1B

【代表圖之符號簡單說明】（無）

【特徵化學式】（無）

【發明說明書】

【中文發明名稱】 複合體及電晶體

【英文發明名稱】 COMPOSITE AND TRANSISTOR

【技術領域】

【0001】 本發明係關於一種物體、方法或製造方法。或者，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或組成物（composition of matter）。本發明的一個實施方式尤其係關於一種氧化物半導體膜或者該氧化物半導體膜的製造方法。另外，本發明係關於一種半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、蓄電裝置、記憶體裝置、它們的驅動方法或它們的製造方法。

【0002】 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體等半導體元件、半導體電路、算術裝置及記憶體裝置是半導體裝置的一個實施方式。攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、電光裝置、發電裝置（包括薄膜太陽能電池或有機薄膜太陽能電池等）及電子裝置有時包括半導體裝置。

【先前技術】

【0003】 在非專利文獻1中，描述以 $\text{In}_{1-x}\text{Ga}_{1+x}\text{O}_3 (\text{ZnO})_m$ （ $-1 \leq x \leq 1$ ， m 為自然數）表示的同系物相（homologous phase）的存在。此外，在非專利文獻1中，描述同系物相的固溶區域（solid solution range）。例如，描述 $m=1$ 的情況

下的同系物相的固溶區域在 x 為-0.33至0.08的範圍內，並且 $m=2$ 的情況下的同系物相的固溶區域在 x 為-0.68至0.32的範圍內。

【0004】 另外，公開了使用In-Ga-Zn類氧化物半導體製造電晶體的技術（例如，參照專利文獻1）。

【0005】 [專利文獻1]日本專利申請公開第2007-96055號公報

【0006】 [非專利文獻1]M. Nakamura, N. Kimizuka, and T. Mohri, “The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C ”, J. Solid State Chem., 1991, Vol.93, pp.298-315

【0007】 在非專利文獻1中示出 $\text{In}_x\text{Zn}_y\text{Ga}_z\text{O}_w$ 的例子，並且記載有在 x 、 y 及 z 具有 ZnGa_2O_4 附近的組成，亦即， x 、 y 及 z 具有 $(x, y, z) = (0, 1, 2)$ 附近的值的情況下，容易形成或混入尖晶石型結晶結構。作為具有尖晶石型結晶結構的化合物，已知有以 AB_2O_4 （A及B為金屬）表示的化合物。

【0008】 另一方面，如果尖晶石型結晶結構形成在或混在In-Ga-Zn類氧化物半導體膜中，包含該In-Ga-Zn類氧化物半導體膜的半導體裝置（例如，電晶體）的電特性或可靠性則有可能受到不良影響。

【發明內容】

【0009】 鑒於上述問題，本發明的一個實施方式的目的之一是提供一種新穎的氧化物半導體膜。另外，本發明的一個實施方式的目的之一是使半導體裝置具有良好的電特性。另外，本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種

具有新穎結構的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種具有新穎結構的顯示裝置。

【0010】 注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述目的以外的目的，可以從說明書、圖式以及申請專利範圍等的記載中衍生上述目的以外的目的。

【0011】 本發明的一個實施方式是一種複合氧化物半導體，該複合氧化物半導體中混合有第一區域和多個第二區域。其中，第一區域至少包含銦、元素M（元素M是Al、Ga、Y和Sn中的一個或多個）和鋅，第二區域含有銦和鋅，第二區域具有比第一區域更高的銦濃度，第二區域具有比第一區域更高的導電性，多個第二區域中的一個的端部與多個第二區域中的另一個的端部重疊，多個第二區域被第一區域立體地圍繞。

【0012】 上述結構的複合氧化物半導體中的銦、元素M及鋅的原子個數比為In：M：Zn=5：1：6或其附近的值。

【0013】 上述結構的第一區域中的銦、元素M及鋅的原子個數比為In:M:Zn=4:2:3或其附近的值。

【0014】 上述結構的第二區域中的銦、元素M及鋅的原子個數比為In:M:Zn=2:0:3或其附近的值。

【0015】 上述结构的复合氧化物半导体は、銦、元素M及鋅的原子個数比为In:M:Zn=4:2:3或其附近的值。

【0016】 上述结构的第一區域中的銦、元素M及鋅的原子個数比为In:M:Zn=1:1:1或其附近的值。

【0017】 上述結構的第二區域中的銦、元素M及鋅的原子個數比為In:M:Zn=2:0:1或其附近的值。

【0018】 上述結構的第二區域在c軸方向上的厚度為0.1nm以上且小於1nm。

【0019】 上述結構的第一區域為非單晶。

【0020】 上述結構的第一區域包括結晶部並具有結晶部的c軸平行於形成有複合氧化物半導體膜的表面的法線向量的部分。

【0021】 上述結構的第二區域為非單晶。

【0022】 本發明的另一個實施方式是一種包括上述結構的複合氧化物半導體的電晶體。

【0023】 本發明的其他的一個實施方式是一種顯示裝置，該顯示裝置包括:上述氧化物半導體膜中的任一個以及顯示元件。另外，本發明的其他的一個實施方式是一種顯示模組，該顯示模組包括該顯示裝置以及觸控感測器。另外，本發明的其他的一個實施方式是一種電子裝置，該電子裝置包括:上述氧化物半導體膜中的任一個、上述半導體裝置、上述顯示裝置或上述顯示模組；以及操作鍵或電池。

【0024】 藉由本發明的一個實施方式能夠提供一種新穎的氧化物半導體膜。另外，藉由本發明的一個實施方式能夠使半導體裝置具有良好的電特性。另外，能夠提供一種可靠性高的半導體裝置。另外，能夠提供一種具有新穎結構的半導體裝置。另外，能夠提供一種具有新穎結構的顯示裝置。

【0025】 注意，這些效果的記載不妨礙其他效果的存在。本發明的一個實施方式並不需要具有所有上述效果。另外，說明書、圖式以及申請專利範圍

等的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中衍生上述效果以外的效果。

【圖式簡單說明】

【0026】

在圖式中：

圖1A和圖1B是氧化物半導體的結構的示意圖；

圖2A和圖2B是氧化物半導體的結構的示意圖；

圖3A和圖3B是氧化物半導體的結構的示意圖；

圖4A和圖4B是氧化物半導體的結構的示意圖；

圖5是說明氧化物半導體的原子個數比的圖；

圖6A和圖6B是說明濺射裝置的圖；

圖7A和圖7B是說明濺射裝置的圖；

圖8A至圖8C是說明濺射裝置的圖；

圖9A和圖9B是說明濺射裝置的圖；

圖10是示出成膜裝置的一個例子的俯視圖；

圖11A至圖11C是成膜裝置的一個例子的剖面圖；

圖12A至圖12C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖13A至圖13C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖14A至圖14C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖15A至圖15C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖16A至圖16C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖17A至圖17C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖18A至圖18C是說明根據實施方式的電晶體的俯視圖及剖面結構的圖；

圖19A至圖19E是說明根據實施方式的電晶體的製造方法例的圖；

圖20A至圖20D是說明根據實施方式的電晶體的製造方法例的圖；

圖21A至圖21C是說明根據實施方式的電晶體的製造方法例的圖；

圖22A至圖22C是說明根據實施方式的電晶體的製造方法例的圖；

圖23是說明根據實施方式的半導體裝置的剖面結構的圖；

圖24是說明根據實施方式的半導體裝置的剖面結構的圖；

圖25是說明根據實施方式的半導體裝置的剖面結構的圖；

圖26是說明根據實施方式的半導體裝置的剖面結構的圖；

圖27是說明根據實施方式的半導體裝置的剖面結構的圖；

圖28是說明根據實施方式的半導體裝置的剖面結構的圖；

圖29A和圖29B是說明根據實施方式的半導體裝置的剖面結構的圖；

圖30A和圖30B是根據實施方式的半導體裝置的電路圖；

圖31A和圖31B是說明根據實施方式的半導體裝置的剖面結構的圖；

圖32A和圖32B是說明根據實施方式的半導體裝置的電路圖及剖面結構的圖；

圖33是說明根據實施方式的半導體裝置的剖面結構的圖；

圖34示出根據本發明的一個實施方式的記憶體裝置的電路圖；

圖35示出根據本發明的一個實施方式的記憶體裝置的電路圖；

圖36A至圖36C是用來說明本發明的一個實施方式的電路圖及時序圖；

圖37A至圖37C是用來說明本發明的一個實施方式的圖表及電路圖；

圖38A和圖38B是用來說明本發明的一個實施方式的電路圖及時序圖；

圖39A和圖39B是用來說明本發明的一個實施方式的電路圖及時序圖；

圖40A至圖40E是用來說明本發明的一個實施方式的方塊圖、電路圖及波形圖；

圖41A和圖41B是用來說明本發明的一個實施方式的電路圖及時序圖；

圖42A和圖42B是用來說明本發明的一個實施方式的電路圖；
圖43A至圖43C是用來說明本發明的一個實施方式的電路圖；
圖44A和圖44B是用來說明本發明的一個實施方式的電路圖；
圖45A至圖45C是用來說明本發明的一個實施方式的電路圖；
圖46A和圖46B是用來說明本發明的一個實施方式的電路圖；
圖47示出根據本發明的一個實施方式的半導體裝置的方塊圖；
圖48示出根據本發明的一個實施方式的半導體裝置的電路圖；
圖49A和圖49B示出根據本發明的一個實施方式的半導體裝置的俯視圖；
圖50A和圖50B示出根據本發明的一個實施方式的半導體裝置的方塊圖；
圖51A和圖51B示出根據本發明的一個實施方式的半導體裝置的剖面圖；
圖52示出根據本發明的一個實施方式的半導體裝置的剖面圖；
圖53A和圖53B示出根據本發明的一個實施方式的半導體裝置的俯視圖；
圖54A和圖54B是用來說明本發明的一個實施方式的流程圖及半導體裝置的透視圖；
圖55A至圖55F示出根據本發明的一個實施方式的電子裝置的透視圖；
圖56是根據本實施例的樣本的剖面的EDX面分析影像；
圖57A和圖57B是根據本實施例的樣本的剖面的BF-STEM影像；
圖58A和圖58B示出根據本實施例的樣本的XRD測定結果及XRD分析位置的圖。

【實施方式】

【0027】 下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來

實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式及實施例所記載的內容中。

【0028】在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。

【0029】本說明書所使用的“第一”、“第二”、“第三”等序數詞是為了避免組件的混淆而附加的，而不是為了在數目方面上進行限定的。

【0030】在本說明書中，為了方便起見，使用“上”、“下”等表示配置的詞句以參照圖式說明組件的位置關係。另外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，根據情況可以適當地更換。

【0031】在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源極端子、源極區域或源極電極）之間具有通道區域，並且電流能夠藉由通道區域流過汲極與源極之間。注意，在本說明書等中，通道區域是指電流主要流過的區域。

【0032】另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極及汲極的功能有時互相調換。因此，在本說明書等中，源極和汲極可以互相調換。

【0033】在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電信號

的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容元件、其他具有各種功能的元件等。

【0034】 在本說明書等中，“氧氮化矽膜”是指在其組成中含氧量多於含氮量的膜，而“氮氧化矽膜”是指在其組成中含氮量多於含氧量的膜。

【0035】 注意，在本說明書等中，當利用圖式說明發明的結構時有時表示相同的部分的符號在不同的圖式中共同使用。

【0036】 在本說明書等中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此也包括 85° 以上且 95° 以下的角度的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0037】 另外，在本說明書等中，根據情況，可以互相調換“膜”和“層”。例如，有時可以將“導電層”變換為“導電膜”。此外，有時可以將“絕緣膜”變換為“絕緣層”。

【0038】 注意，例如當導電性充分低時，有時即使表示為“半導體”也具有“絕緣體”的特性。此外，“半導體”和“絕緣體”的邊境不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

【0039】 實施方式1

在本實施方式中，對本發明的一個實施方式的氧化物半導體膜進行說明。

【0040】 氧化物半導體較佳為至少包含銦或鋅。特別較佳為包含銦及鋅。另外，較佳的是，除此之外，還包含鋁、鎵、釔或錫等。另外，也可以包含硼、矽、鈦、鐵、鎳、銻、鋳、鉬、釩、鈾、鈾、鈾或鎂等中的一種或多種。

【0041】 在此考慮氧化物半導體包含銦、元素M及鋅的情況。注意，元素M為鋁、鎵、銦或錫等。作為其他的可用於元素M的元素，除了上述元素以外，還有硼、矽、鈦、鐵、鎳、鋳、鋳、鋁、鎳、銻、銻、鉛、鋅、鎢、鎂等。注意，作為元素M有時可以組合多個上述元素。另外，將氧化物半導體所包含的銦、元素M及鋅的原子個數比的各項分別稱為[In]、[M]、[Zn]。

【0042】<氧化物半導體的結構>

圖1A至圖4B示出本發明中的氧化物半導體的示意圖。

【0043】圖1A至圖4B示出本發明的氧化物半導體的示意圖。圖1A、圖2A、圖3A及圖4A是氧化物半導體的頂面（這裡稱為a-b面方向）的示意圖，圖1B、圖2B、圖3B及圖4B是形成於基板Sub.上的氧化物半導體的剖面（這裡稱為c軸方向）的示意圖。

【0044】雖然圖1A至圖4B示出基板上形成氧化物半導體時的例子，但是不侷限於此，基板與氧化物半導體之間也可以形成有基底膜或層間膜等絕緣膜或者氧化物半導體等其他的半導體膜。

【0045】 如圖1A及圖1B所示，本發明的氧化物半導體是具有區域A1與區域B1混合的結構的複合氧化物半導體。區域A1是 $[\text{In}] : [\text{M}] : [\text{Zn}] = x : y : z$ ($x > 0$ 、 $y \geq 0$ 、 $z \geq 0$) 的In較多的區域。區域B1是 $[\text{In}] : [\text{M}] : [\text{Zn}] = a : b : c$ ($a > 0$ 、 $b > 0$ 、 $c > 0$) 的In較少的區域。

【0046】 在本說明書中，將區域A1中的In與元素M的原子個數比大於區域B1中的In與元素M的原子個數比的情況稱為區域A1比區域B1的In濃度高。因此，在本說明書中，也將區域A1稱為In-rich區域，將區域B1稱為In-poor區域。

【0047】 例如，區域A1的In濃度是區域B1的In濃度的1.1倍以上，較佳為2倍以上至10倍以下。區域A1是至少含有In的氧化物，不需要必須含有元素M及Zn。

【0048】 <原子個數比>

下面說明本發明的一個實施方式的複合氧化物半導體中的元素的原子個數比。

【0049】 例如，當本發明的氧化物半導體中的區域A1含有In、元素M及Zn時，各元素的原子個數比可以以圖5的相圖表示。以x、y及z將In、元素M及Zn的原子個數比表示為x:y:z。這裡，可以將原子個數比作為座標（x:y:z）在圖中表示。圖5中沒有示出氧的原子個數比。

【0050】 在圖5中，虛線表示 $[\text{In}]:[\text{M}]:[\text{Zn}]=(1+\alpha):(1-\alpha):1$ 的原子個數比（ $-1 \leq \alpha \leq 1$ ）的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=(1+\alpha):(1-\alpha):2$ 的原子個數比的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=(1+\alpha):(1-\alpha):3$ 的原子個數比的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=(1+\alpha):(1-\alpha):4$ 的原子個數比的線及 $[\text{In}]:[\text{M}]:[\text{Zn}]=(1+\alpha):(1-\alpha):5$ 的原子個數比的線。

【0051】 點劃線表示 $[\text{In}]:[\text{M}]:[\text{Zn}]=1:1:\beta$ 的原子個數比的（ $\beta \geq 0$ ）的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=1:2:\beta$ 的原子個數比的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=1:3:\beta$ 的原子個數比的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=1:4:\beta$ 的原子個數比的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=1:7:\beta$ 的原子個數比的線、 $[\text{In}]:[\text{M}]:[\text{Zn}]=2:1:\beta$ 的原子個數比的線及 $[\text{In}]:[\text{M}]:[\text{Zn}]=5:1:\beta$ 的原子個數比的線。

【0052】 此外，圖5所示的具有 $[\text{In}]:[\text{M}]:[\text{Zn}]=0:2:1$ 的原子個數比或其附近的值的氧化物半導體具有易於變為尖晶石型結晶結構的傾向。

【0053】圖5所示的區域A2示出區域A1所包含的銦、元素M及鋅的原子個數比的較佳為範圍的一個例子。另外，區域A2還包括 $[\text{In}]:[\text{M}]:[\text{Zn}]=(1+\gamma):0:(1-\gamma)$ ($-1\leq\gamma\leq1$)的線上的原子個數比。

【0054】圖5所示的區域B2示出區域B1所包含的銦、元素M及鋅的原子個數比的較佳為範圍的一個例子。區域B2包含 $[\text{In}]:[\text{M}]:[\text{Zn}]=4:2:3$ 至4.1及其附近的值。附近的值例如包含原子個數比為 $[\text{In}]:[\text{M}]:[\text{Zn}]=5:3:4$ 。區域B2包含 $[\text{In}]:[\text{M}]:[\text{Zn}]=5:1:6$ 及其附近的值。

【0055】由於區域A2的In濃度高所以比區域B2的導電性高，因而具有提高載子移動率（場效移動率）的功能。因此，使用具有區域A1的氧化物半導體的電晶體的通態電流及載子移動率高。

【0056】由於區域B2的In濃度低所以比區域A2的導電性低，因而具有降低洩漏電流的功能。因此，使用具有區域B1的氧化物半導體的電晶體的關態電流低。

【0057】在本發明的氧化物半導體中，區域A1和區域B1形成複合體。亦即，區域A1中容易發生載子遷移，區域B1中不容易發生載子遷移。因此，本發明的氧化物半導體可以作為載子移動率高且開關特性高的半導體特性良好的材料而使用。

【0058】作為一個例子，如圖1A所示，區域A1在a-b面方向上基本以近似圓形的形狀形成。此外，如圖1B所示，區域A1在c軸方向上基本以近似橢圓形的形狀形成。因此，區域A1為島形並以被區域B1立體地圍繞的狀態存在。也就是說，區域A1被內包於區域B1內。

【0059】如圖1A及圖1B所示，區域A1不均勻地分佈在區域B1中。因此，多個區域A1可能彼此連接地存在。也就是說，有時多個區域A1可能具有在a-b面方向上圓重疊的形狀或者在c軸方向上橢圓的端部彼此連結的形狀。當所有的區域A1都在a-b面方向上連結時，電晶體的開關特性，例如，電晶體的關態電流上升。因此，較佳為如圖1A和圖1B所示地使區域A1散在於區域B1內。

【0060】區域A1的散在比例可以根據複合氧化物半導體的形成條件或複合氧化物半導體的組成而調節。例如，可以形成圖2A和圖2B所示的區域A1的比例少的複合氧化物半導體或圖3A和圖3B所示的區域A1的比例多的複合氧化物半導體。本發明的複合氧化物半導體不侷限於區域A1比區域B1的比例小的情況。在區域A1的比例非常大的複合氧化物半導體中，根據觀察範圍，有時區域A1內形成有區域B1。

【0061】例如，當區域A1所形成的島形的大小可以根據複合氧化物半導體的形成條件或者組成適當地進行調節。雖然圖1A至圖3B中示出形成有各種大小的島形區域的示意圖，但是也存在圖4A和圖4B那樣的散在有大小大致相同的區域A1的情況。

【0062】有時觀察不到區域A1與區域B1的明確的界線。區域A1及區域B1的大小可以利用EDX面分析影像進行評價。例如，在剖面照片的EDX面分析影像中觀察到的區域A1的厚度（也稱為直徑）為0.1nm以上且5nm以下或0.3nm以上且3nm以下。區域A1的厚度較佳為0.1nm以上且1nm以下。

【0063】如此，本發明的一個實施方式的氧化物半導體是混在有區域A1和區域B1的複合氧化物半導體，並且區域A1的功能與區域B1的功能互不相同，區域A1與區域B1具有互補功能。例如，當本發明的一個實施方式的氧化物

半導體為作為元素M使用Ga的In-Ga-Zn氧化物（以下，稱為IGZO）時，也可以將本發明的一個實施方式的氧化物半導體稱為Complementary IGZO（簡稱：C/IGZO）。

【0064】 例如，當採用區域A1與區域B1以層狀層疊的結構時，由於區域A1與區域B1之間不具有相互作用或者不容易發生相互作用，所以有時區域A1的功能與區域B1的功能分別獨立地發揮功能。此時，即使載子移動率因區域A1得到提高，也存在電晶體的關態電流變高的情況。因此，藉由採用上述複合氧化物半導體或C/IGZO，可以同時得到高載子移動率及良好的開關特性。因此，藉由採用本發明的複合氧化物半導體可以得到優異的效果。

【0065】 當利用濺射裝置形成氧化物半導體膜時，膜與靶材的原子個數比稍微不同。尤其是，根據成膜時的基板溫度，膜中的[Zn]的原子個數比有可能小於靶材中的Zn的原子個數比。

【0066】 本發明的一個實施方式的複合氧化物半導體的特性不是僅由原子個數比而決定的。因此，圖示的區域是示出複合氧化物半導體的區域A1及區域B1較佳為具有的原子個數比的區域，其界線不明確。

【0067】 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有CAAC-OS（c-axis aligned crystalline oxide semiconductor:c軸配向結晶氧化物半導體）、多晶氧化物半導體、nc-OS（nanocrystalline oxide semiconductor:奈米晶氧化物半導體）、a-like OS（amorphous-like oxide semiconductor）以及非晶氧化物半導體等。

【0068】 CAAC-OS具有c軸配向性，其多個奈米晶在a-b面方向上連結而結晶結構具有畸變。

【0069】 在nc-OS中，微小的區域(例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域)中的原子排列具有周期性。另外，nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。

【0070】 a-like OS是具有介於nc-OS与非晶氧化物半導體之间的结构的氧化物半導體。a-like OS包含空洞或低密度區域。也就是说，與nc-OS及CAAC-OS的結晶性相比，a-like OS具有不穩定的結構。

【0071】 氧化物半導體具有各種結構及各種特性。本發明的氧化物半導體可以是包括非晶氧化物半導體、a-like OS、nc-OS、CAAC-OS中的兩種以上的複合氧化物半導體。

【0072】 例如，區域A1較佳為非單晶，而區域B1較佳為至少具有CAAC-OS、多晶氧化物半導體和nc-OS等區域中的一個。此外，區域A1和區域B1也可以具有不同的結晶。

【0073】 <具有氧化物半導體的電晶體>
在此，說明將上述氧化物半導體用於電晶體的情況。

【0074】 藉由將上述複合氧化物半導體用於電晶體可以實現載子移動率高且開關特性高的電晶體。另外，可以實現可靠性高的電晶體。

【0075】 另外，較佳為將載子密度低的氧化物半導體用於電晶體。例如，氧化物半導體的載子密度可以低於 $8 \times 10^{11}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{11}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{10}/\text{cm}^3$ 且為 $1 \times 10^{-9}/\text{cm}^3$ 以上。

【0076】 因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。另外，因為高純度本質或實質上高純度本質的氧化物半導體具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0077】 此外，被氧化物半導體的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成有通道區域的電晶體的電特性不穩定。

【0078】 因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

【0079】 在此，說明氧化物半導體中的各雜質的影響。

【0080】 在氧化物半導體包含第14族元素之一的矽或碳時，氧化物半導體中形成缺陷能階。因此，氧化物半導體中或氧化物半導體的介面附近的矽或碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0081】 另外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷能階而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為降低氧化物半導體中的鹼金屬或鹼土金屬的濃度。明確而言，利用SIMS分析測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

【0082】 當氧化物半導體包含氮時，產生作為載子的電子，並載子密度增加，而氧化物半導體容易被n型化。其結果，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟型特性。因此，較佳為儘可能地減少氧化物半導體中的氮，例如，利用SIMS分析測得的氧化物半導體中的氮濃度為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0083】 包含在氧化物半導體中的氮與鍵合於金屬原子的氧起反應生成水，因此有時形成氧缺陷（ V_o ）。當氮進入該氧缺陷（ V_o ）時，有時產生作為載子的電子。另外，有時由於氮的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含氮的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氮。明確而言，利用SIMS分析測得氧化物半導體中的氮濃度為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0084】 藉由將氧引入氧化物半導體中，可以降低氧化物半導體中的氧缺陷（ V_o ）。換言之，當氧化物半導體中的氧缺陷（ V_o ）被氧填補時，氧缺陷（ V_o ）消失。因此，藉由使氧擴散到氧化物半導體中，可以減少電晶體的氧缺陷（ V_o ），從而可以提高電晶體的可靠性。

【0085】 作為將氧引入氧化物半導體的方法，例如，可以以與氧化物半導體接觸的方式設置包含超過化學計量組成的氧的氧化物。也就是說，較佳為在上述氧化物中形成包含超過化學計量組成的氧的區域（以下，也稱為氧過量區域）。尤其是，當將氧化物半導體用於電晶體時，藉由對電晶體附近的基底

膜或層間膜等設置具有氧過量區域的氧化物，可以降低電晶體的氧缺陷，由此可以提高電晶體的可靠性。

【0086】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0087】 <氧化物半導體的成膜方法>

下面說明利用濺射法形成氧化物半導體的方法的一個例子。

【0088】形成氧化物半導體時的溫度較佳為室溫以上且低於140°C。注意，室溫不單指沒有進行溫度調節的情況，還包括進行溫度調節的情況。

【0089】濺射氣體可以適當地使用稀有氣體（典型的有氬）、氧、稀有氣體及氧的混合氣體。當使用混合氣體時，將相對於稀有氣體的氧氣體比設定為5%以上且30%以下，較佳為7%以上且20%以下。

【0090】當濺射氣體含有氧時，可以藉由邊形成氧化物半導體膜邊對氧化物半導體膜下的膜添加氧來形成氧過量區域。另外，需要進行濺射氣體的高度純化。例如，作為用作濺射氣體的氧氣體或氬氣體，使用露點為-40°C以下，較佳為-80°C以下，更佳為-100°C以下，進一步較佳為-120°C以下的高純度氣體，由此可以儘可能地防止水分等混入氧化物半導體。

【0091】另外，在藉由濺射法形成氧化物半導體的情況下，較佳為使用低溫泵等吸附式真空抽氣泵對濺射裝置的腔室進行高真空抽氣（抽空到 5×10^{-7} Pa至 1×10^{-4} Pa左右）以儘可能地去除對氧化物半導體來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體，尤其是包含碳或氫的氣體從抽氣系統倒流到腔室內。

【0092】 靶材可以使用In-Ga-Zn金屬氧化物靶材。例如，优选使用[In]:[Ga]:[Zn]=4:2:4.1[原子個数比]、[In]:[Ga]:[Zn] =5:1:6[原子個数比]或其附近的值的原子個数比的金属氧化物靶材。

【0093】 另外，在濺射裝置中，也可以使靶材或磁鐵旋轉或移動。例如，也可以藉由在進行成膜時使磁鐵單元在上下或/及左右方向上擺動，來形成本發明的複合氧化物半導體。例如，可以以0.1Hz以上且1kHz以下的拍子（也可以說節奏、脈衝、頻率、週期或循環等）旋轉或移動靶材。或者，可以以0.1Hz以上且1kHz以下的拍子搖動磁鐵單元。關於濺射裝置的詳細情況將在後面的實施方式中進行說明。

【0094】 例如，藉由作為濺射氣體採用氧氣體比為10%左右的稀有氣體及氧的混合氣體，並在基板溫度為130°C的條件下邊搖動[In]:[Ga]:[Zn]=4:2:4.1[原子個数比]的In-Ga-Zn金屬氧化物靶材邊進行成膜，可以形成本發明的氧化物半導體。

【0095】 首先，在成膜室中使稀有氣體或氧氣體電離成陽離子和電子而形成電漿。電漿中的陽離子因施加到靶材架上的電位而朝著靶材加速。藉由陽離子撞擊到In-Ga-Zn金屬氧化物靶材生成濺射粒子，濺射粒子沉積在基板上。

【0096】 首先，陽離子撞擊In-Ga-Zn金屬氧化物靶材時，其相對原子質量比In輕的Ga及Zn先被從靶材中彈出。被彈出的In、Ga及Zn與氧鍵合沉積在基板上，由此形成了區域B1。此時，靶材表面呈In偏析狀態。

【0097】 接著，靶材表面中偏析的In以多個粒子那樣的結構被從靶材彈出。變為多個粒子那樣的結構的偏析的In與氧鍵合，先是撞擊到形成的區域B1

上而擴展成近似圓的形狀，沉積成島形的區域A1。由於偏析的In被彈出，所以靶材表面的In、Ga、Zn以接近原來的原子個數比的狀態存在。

【0098】這裡，當陽離子再次撞擊靶材時，其相對原子質量比In輕的Ga及Zn被先從靶材彈出。此時，靶材表面上呈In偏析狀態。重複地，區域B1沉積在之前形成的區域B1及區域A1上，由此以夾著區域A1的方式形成有區域B1。

【0099】此外，靶材表面的一個區域上In偏析，靶材表面的另一區域偏析的In被彈出。也就是說，由於In的偏析機制及偏析的In被彈出的機制同時發生，形成了區域A1被區域B1包圍的不規則的偏在結構。

【0100】由此，可以認為經過上述成膜模型形成了圖1A至圖4B所示的區域A1和區域B1混在的複合氧化物半導體。

【0101】在本發明的氧化物半導體中，以區域A2所示的原子個數比構成的In較多的區域A1及以區域B2所示的原子個數比構成的In較少的區域B1混在而形成複合氧化物半導體。也就是說，區域A1中容易發生載子遷移而區域B1中不易發生載子遷移。因此，本發明的氧化物半導體可以作為載子移動率高且開關特性高的半導體特性良好的材料而使用。

【0102】本實施方式所示的結構可以與其他實施方式或其他實施例所示的結構適當地組合而實施。

【0103】實施方式2

在本實施方式中，參照圖6A至圖11C對能夠形成本發明的一個實施方式的氧化物半導體膜的濺射裝置及成膜裝置進行說明。注意，為了便於理解及便於說明成膜時的工作，在圖式中示出配置有基板及靶材等的濺射裝置。然而，基板及

靶材等是使用者適當地設置的，所以有時根據本發明的一個實施方式的濺射裝置不包括基板及靶材。

【0104】 <濺射裝置>

作為濺射裝置，例如可以使用平行板型濺射裝置及對向靶材式濺射裝置。可以將使用平行板型濺射裝置的成膜方法稱為PESP（parallel electrode SP）。另外，可以將使用對向靶材式濺射裝置的成膜方法稱為VDSP（vapor deposition SP）。

【0105】 <平行板型濺射裝置（PESP）>

首先，對平行板型濺射裝置進行說明。圖6A是平行板型濺射裝置的成膜室601的剖面圖。圖6A所示的成膜室601包括靶材架620、底板610、靶材600、磁鐵單元630、基板架670。此外，靶材600配置在底板610上。底板610配置在靶材架620上。磁鐵單元630隔著底板610配置在靶材600下。基板架670以與靶材600面對的方式配置。此外，在本說明書中，將多個磁鐵（磁石）的組合稱為磁鐵單元。磁鐵單元也可以被稱為陰極、陰極磁鐵、磁力構件、磁力零件等。磁鐵單元630包括磁鐵630N、磁鐵630S、磁鐵架632。此外，在磁鐵單元630中，磁鐵630N及磁鐵630S配置在磁鐵架632上。磁鐵630N以與磁鐵630S間隔開的方式配置。當將基板660搬入成膜室601時，基板660與基板架670接觸。

【0106】 靶材架620與底板610由螺釘（螺栓等）被固定，被施加相同電位。靶材架620隔著底板610支撐靶材600。

【0107】 靶材600被固定於底板610。例如，可以由包含鈹等低熔點金屬的黏合構件固定底板610與靶材600。

【0108】 圖6A示出由磁鐵單元630形成的磁力線680a及磁力線680b。

【0109】 磁力線680a為形成靶材600的頂面附近的水平磁場的磁力線之一。靶材600的頂面附近例如是指從靶材600的垂直距離為0mm以上且10mm以下，尤其是0mm以上且5mm以下的區域。

【0110】 磁力線680b為在離磁鐵單元630頂面有垂直距離d的平面上形成水平磁場的磁力線之一。垂直距離d例如為0mm以上且20mm以下或者5mm以上且15mm以下。

【0111】 此時，藉由使用磁力大的磁鐵630N及磁力大的磁鐵630S，也可以在基板660的頂面附近產生大磁場。明確而言，可以將基板660頂面附近的水平磁場的磁通密度設定為10G以上且100G以下，較佳為15G以上且60G以下，更佳為20G以上且40G以下。

【0112】 注意，水平磁場的磁通密度可以採用垂直磁場的磁通密度為0G時的值。

【0113】 藉由將成膜室601中的磁場的磁通密度設定為上述範圍，可以獲得高密度且高結晶性的氧化物膜。另外，所得到的氧化物很少包含多種結晶相，而包含實質上單一的結晶相。

【0114】 圖6B示出磁鐵單元630的俯視圖。在磁鐵單元630中，將圓形或大致圓形的磁鐵630N及圓形或大致圓形的磁鐵630S固定在磁鐵架632上。磁鐵單元630可以以磁鐵單元630的頂面的中央或大致中央的法線向量為旋轉軸而旋轉。例如，磁鐵單元630以0.1Hz以上且1kHz以下的拍子（也可以說節奏、脈衝、頻率、週期或循環等）旋轉即可。

【0115】 因此，靶材600上的磁場強的區域隨著磁鐵單元630的旋轉變化。由於磁場強的區域成為高密度電漿區域，所以其附近容易發生靶材600的

濺射現象。例如，在磁場強的區域為特定部分時，只使用靶材600的特定區域。相比之下，如圖6B所示，藉由使磁鐵單元630旋轉，靶材600與基板660之間生成電漿640，由此可以均勻地使用靶材600。此外，藉由使磁鐵單元630旋轉，可以形成具有均勻的厚度及品質的膜。

【0116】 藉由使磁鐵單元630旋轉，也可以改變基板660頂面的磁力線的方向。

【0117】 這裡，示出使磁鐵單元630旋轉的例子，但是本發明的一個實施方式不侷限於此。例如，也可以在上下或/及左右方向上搖動磁鐵單元630。例如，可以以0.1Hz以上且1kHz以下的拍子搖動磁鐵單元630。或者，也可以使靶材600旋轉或移動。例如，以0.1Hz以上且1kHz以下的拍子使靶材600旋轉或移動即可。或者，藉由使基板660旋轉，也可以相對地改變基板660頂面的磁力線的方向。或者，也可以組合上述方法。

【0118】 成膜室601也可以在底板610的內部或下部等具有水路。藉由使流體（空氣、氮、稀有氣體、水、油等）流過該水路，可以抑制在進行濺射時靶材600的溫度上升所引起的放電異常或者構件的變形所引起的成膜室601的損傷等。此時，藉由用黏合構件將底板610與靶材600接合在一起，冷卻性能得到提高，所以是較佳的。

【0119】 藉由在靶材架620與底板610之間設置墊片，雜質不容易從外部或水路等侵入成膜室601，所以是較佳的。

【0120】 在磁鐵單元630中，以彼此不同的極性朝向靶材600的方式配置磁鐵630N及磁鐵630S。在此說明磁鐵630N的N極朝向靶材600，且磁鐵630S的S

極朝向靶材600的情況。注意，磁鐵單元630中的磁鐵及極性的配置不侷限於此。此外，也不侷限於圖6A所示的配置。

【0121】 在進行成膜時，施加到與靶材架620連接的端子V1的電位V1例如比施加到與基板架670連接的端子V2的電位V2低。施加到與基板架670連接的端子V2的電位V2例如為接地電位。施加到與磁鐵架632連接的端子V3的電位V3例如為接地電位。注意，施加到端子V1、端子V2及端子V3的電位不侷限於上述電位。另外，也可以不對靶材架620、基板架670和磁鐵架632中的全部施加電位。例如，基板架670也可以處於電浮動狀態。在圖6A中示出對與靶材架620連接的端子V1施加電位V1的所謂的DC濺射法的例子，但是本發明的一個實施方式不侷限於此。例如，也可以使用將頻率為13.56MHz或27.12MHz等高頻電源連接到靶材架620的所謂的RF濺射法。

【0122】 在圖6A中，示出不使底板610及靶材架620與磁鐵單元630及磁鐵架632電連接的例子，但是不侷限於此。例如，底板610及靶材架620與磁鐵單元630及磁鐵架632也可以電連接且被施加相同電位。

【0123】 為了進一步提高所得到的氧化物的結晶性，也可以提高基板660的溫度。藉由提高基板660的溫度，可以促進基板660頂面的濺射粒子的遷移。因此，可以獲得密度更高且結晶性更高的氧化物膜。例如，可以將基板660的溫度設定為100°C以上且450°C以下，較佳為150°C以上且400°C以下，更佳為170°C以上且350°C以下。

【0124】 當沉積氣體中的氧分壓過高時，容易形成包含多種結晶相的氧化物，因此較佳為作為沉積氣體使用氬等稀有氣體（氦、氖、氬、氙等）與氧

的混合氣體。例如，氧在整體中所佔的比率低於50vol%，較佳為33vol%以下，更佳為20vol%以下，進一步較佳為15vol%以下。

【0125】 另外，靶材600與基板660之間的垂直距離為10mm以上且600mm以下，較佳為20mm以上且400mm以下，更佳為30mm以上且200mm以下，進一步較佳為40mm以上且100mm以下。藉由在上述範圍內使靶材600與基板660之間的垂直距離較小，有時可以抑制濺射粒子到達基板660之前能量降低。另外，藉由在上述範圍內使靶材600與基板660之間的垂直距離較大，可以使濺射粒子入射到基板660時的方向接近於垂直，因此有時可以減輕濺射粒子的碰撞所導致的基板660的損傷。

【0126】 圖7A示出與圖6A不同的成膜室的例子。

【0127】 圖7A所示的成膜室601包括靶材架620a、靶材架620b、底板610a、底板610b、靶材600a、靶材600b、磁鐵單元630a、磁鐵單元630b、構件642、基板架670。靶材600a配置在底板610a上。底板610a配置在靶材架620a上。磁鐵單元630a隔著底板610a配置在靶材600a下。靶材600b配置在底板610b上。底板610b配置在靶材架620b上。磁鐵單元630b隔著底板610b配置在靶材600b下。

【0128】 磁鐵單元630a包括磁鐵630N1、磁鐵630N2、磁鐵630S、磁鐵架632。在磁鐵單元630a中，磁鐵630N1、磁鐵630N2及磁鐵630S配置在磁鐵架632上。磁鐵630N1及磁鐵630N2以與磁鐵630S間隔開的方式配置。磁鐵單元630b具有與磁鐵單元630a相同的結構。在將基板660搬入成膜室601時，將基板660設置於基板架670上。

【0129】 靶材600a、底板610a及靶材架620a與靶材600b、底板610b及靶材架620b由構件642隔開。構件642較佳為絕緣體。注意，構件642也可以為導電體或半導體。此外，構件642也可以為由絕緣體覆蓋導電體或半導體表面的構件。

【0130】 靶材架620a與底板610a由螺釘（螺栓等）被固定，被施加相同電位。靶材架620a隔著底板610a支撐靶材600a。靶材架620b與底板610b由螺釘（螺栓等）被固定，被施加相同電位。靶材架620b隔著底板610b支撐靶材600b。

【0131】 底板610a固定靶材600a。底板610b固定靶材600b。

【0132】 圖7A示出由磁鐵單元630a形成的磁力線680a及磁力線680b。

【0133】 磁力線680a為形成靶材600a頂面附近的水平磁場的磁力線之一。靶材600a頂面附近例如是指從靶材600a的垂直距離為0mm以上且10mm以下，尤其是0mm以上且5mm以下的區域。

【0134】 磁力線680b為在離磁鐵單元630a頂面有垂直距離d的平面上形成水平磁場的磁力線之一。垂直距離d例如為0mm以上且20mm以下或者5mm以上且15mm以下。

【0135】 此時，藉由使用磁力大的磁鐵630N1、磁力大的磁鐵630N2及磁力大的磁鐵630S，也可以在基板660頂面附近產生大磁場。明確而言，可以將基板660頂面附近的水平磁場的磁通密度設定為10G以上且100G以下，較佳為15G以上且60G以下，更佳為20G以上且40G以下。

【0136】藉由將成膜室601中的磁場的磁通密度設定為上述範圍，可以獲得高密度且高結晶性的氧化物膜。另外，所得到的氧化物很少包含多種結晶相，而包含實質上單一的結晶相。

【0137】磁鐵單元630b也形成與磁鐵單元630a相同的磁力線。

【0138】圖7B示出磁鐵單元630a及磁鐵單元630b的俯視圖。在磁鐵單元630a中，將方形或大致方形的磁鐵630N1、方形或大致方形的磁鐵630N2及方形或大致方形的磁鐵630S固定在磁鐵架632上。如圖7B所示可以在左右方向上搖動磁鐵單元630a。例如，可以以0.1Hz以上且1kHz以下的拍子搖動磁鐵單元630a。

【0139】因此，靶材600a上的磁場強的區域隨著磁鐵單元630a的擺動變化。由於磁場強的區域成為高密度電漿區域，所以其附近容易發生靶材600a的濺射現象。例如，在磁場強的區域為特定部分時，只使用靶材600a的特定區域。相比之下，如圖7B所示，藉由使磁鐵單元630a擺動，靶材600a與基板660之間生成電漿640，由此可以均勻地使用靶材600a。此外，藉由使磁鐵單元630a擺動，可以形成具有均勻的厚度及品質的膜。

【0140】藉由使磁鐵單元630a擺動，也可以改變基板660附近的磁力線的狀態。磁鐵單元630b也是相同的。

【0141】這裡，示出使磁鐵單元630a及磁鐵單元630b擺動的例子，但是本發明的一個實施方式不侷限於此。例如，也可以使磁鐵單元630a及磁鐵單元630b旋轉。例如，以0.1Hz以上且1kHz以下的拍子使磁鐵單元630a及磁鐵單元630b旋轉即可。或者，也可以使靶材600旋轉或移動。例如，以0.1Hz以上且

1kHz以下的拍子使靶材600旋轉或移動即可。或者，藉由使基板660旋轉，可以相對地改變基板660的頂面的磁力線的狀態。或者，也可以組合上述方法。

【0142】 成膜室601也可以在底板610a及底板610b的內部或下部等具有水路。藉由使流體（空氣、氮、稀有氣體、水、油等）流過水路，可以抑制在進行濺射時靶材600a及靶材600b的溫度上升所引起的放電異常或者構件的變形所引起的成膜室601的損傷等。此時，藉由用黏合構件將底板610a與靶材600a接合在一起，冷卻性能得到提高，所以是較佳的。藉由用黏合構件將底板610b與靶材600b接合在一起，冷卻性能得到提高，所以是較佳的。

【0143】 藉由在靶材架620a與底板610a之間設置墊片，雜質不容易從外部或水路等侵入成膜室601，所以是較佳的。此外，藉由在靶材架620b與底板610b之間設置墊片，雜質不容易從外部或水路等侵入成膜室601，所以是較佳的。

【0144】 在磁鐵單元630a中，以彼此不同的極性朝向靶材600a的方式配置磁鐵630N1、磁鐵630N2及磁鐵630S。在此說明磁鐵630N1、磁鐵630N2的N極朝向靶材600a，且磁鐵630S的S極朝向靶材600a的情況。注意，磁鐵單元630a中的磁鐵及極性的配置不侷限於此。此外，也不侷限於圖7A所示的配置。磁鐵單元630b也是相同的。

【0145】 在進行成膜時，可以使施加在連接於靶材架620a的端子V1的電位與施加在連接於靶材架620b的端子V4的電位交替地變為高低。施加到與基板架670連接的端子V2的電位例如為接地電位。施加到與磁鐵架632連接的端子V3的電位例如為接地電位。注意，施加到端子V1、端子V2、端子V3及端子V4的電位不侷限於上述電位。也可以不對靶材架620a、靶材架620b、基板架670

和磁鐵架632中的全部施加電位。例如，基板架670也可以處於電浮動狀態。雖然圖7A中示出使施加在連接於靶材架620a的端子V1的電位與施加在連接於靶材架620b的端子V4的電位交替地變為高低的所謂的AC濺射法的例子，但是本發明的一個實施方式不侷限於此。

【0146】 在圖7A中，示出不使底板610a及靶材架620a與磁鐵單元630a及磁鐵架632電連接的例子，但是不侷限於此。例如，底板610a及靶材架620a與磁鐵單元630a及磁鐵架632也可以電連接且被施加相同電位。在圖7A中，示出不使底板610b及靶材架620b與磁鐵單元630b及磁鐵架632電連接的例子，但是不侷限於此。例如，底板610a及靶材架620b與磁鐵單元630b及磁鐵架632也可以電連接且被施加相同電位。

【0147】 為了進一步提高所得到的氧化物的結晶性，也可以提高基板660的溫度。藉由提高基板660的溫度，可以促進基板660頂面附近的濺射粒子的遷移。因此，可以獲得密度更高且結晶性更高的氧化物。例如，可以將基板660的溫度設定為100°C以上且450°C以下，較佳為150°C以上且400°C以下，更佳為170°C以上且350°C以下。

【0148】 當沉積氣體中的氧分壓過高時，容易形成包含多種結晶相的氧化物，因此較佳為作為沉積氣體使用氬等稀有氣體（氦、氖、氬、氙等）與氧的混合氣體。例如，氧在整體中所佔的比率低於50vol%，較佳為33vol%以下，更佳為20vol%以下，進一步較佳為15vol%以下。

【0149】 另外，靶材600a與基板660之間的垂直距離為10mm以上且600mm以下，較佳為20mm以上且400mm以下，更佳為30mm以上且200mm以下，進一步較佳為40mm以上且100mm以下。藉由在上述範圍內使靶材600a與

基板660之間的垂直距離較小，有時可以抑制濺射粒子到達基板660之前能量降低。另外，藉由在上述範圍內使靶材600a與基板660之間的垂直距離較大，可以使濺射粒子入射到基板660時的方向接近於垂直，因此有時可以減輕濺射粒子的碰撞所導致的基板660的損傷。

【0150】 另外，靶材600b與基板660之間的垂直距離為10mm以上且600mm以下，較佳為20mm以上且400mm以下，更佳為30mm以上且200mm以下，進一步較佳為40mm以上且100mm以下。藉由在上述範圍內使靶材600b與基板660之間的垂直距離較小，有時可以抑制濺射粒子到達基板660之前能量降低。另外，藉由在上述範圍內使靶材600b與基板660之間的垂直距離較大，可以使濺射粒子入射到基板660時的方向接近於垂直，因此有時可以減輕濺射粒子的碰撞所導致的基板660的損傷。

【0151】 [對向靶材式濺射裝置（VDSP）]

接著，對對向靶材式濺射裝置進行說明。圖8A是對向靶材式濺射裝置的成膜室的剖面圖。圖8A所示的成膜室包括靶材600a及靶材600b、分別保持靶材600a及靶材600b的底板610a及底板610b、隔著底板610a及底板610b配置在靶材600a及靶材600b的背面的磁鐵單元630a及磁鐵單元630b。基板架670配置在靶材600a與靶材600b之間。基板架670被配置於靶材600a與靶材600b相對的區域（也稱為靶材間區域）的上側。在將基板660搬入成膜室之後，將基板660固定於基板架670。

【0152】 雖然圖8A中將基板架670配置於靶材間區域的上側，但是也可以將基板架配置於靶材間區域的下側。或者，可以將其設置於靶材間區域的下側

及上側。藉由在下側及上側配置基板架670，可以同時對兩個以上的基板進行成膜，由此可以提高產率。

【0153】 如圖8A所示，底板610a和底板610b連接於用來施加電位的電源690和電源691。較佳為使用使施加於底板610a的電源690與施加於底板610b的電源691交替地變為高低的所謂的AC電源。圖8A示出使用AC電源作為電源690和電源691的例子，但是不侷限於此。例如，也可以使用RF電源、DC電源等作為電源690和電源691。或者，作為電源690和電源691也可以使用不同種類的電源。

【0154】 基板架670較佳為連接於GND。另外，基板架670也可以處於浮動狀態。

【0155】 圖8B和圖8C示出沿圖8A的點劃線A-B間的電漿640的電位分佈。圖8B示出對底板610a施加高電位且對底板610b施加低電位時的電位分佈。就是說，使陽離子向靶材600b加速前進。圖8C示出對底板610a施加低電位且對底板610b施加高電位時的電位分佈。就是說，使陽離子向靶材600a加速前進。可以以圖8B和圖8C所示的狀態交替轉換的方式進行成膜。

【0156】 在圖8A所示的結構中，靶材600a和靶材600b以彼此平行且相對的方式配置。另外，磁鐵單元630a和磁鐵單元630b以磁鐵的異極相對的方式配置。此時，磁力線從磁鐵單元630b向磁鐵單元630a延伸。因此，當進行成膜時，電漿640封閉在由磁鐵單元630a和磁鐵單元630b形成的磁場。因此，基板架670及基板660位於電漿640的外側。由於基板660沒有暴露於電漿640的高電場區域，所以可以減少因電漿640而造成的損傷。

【0157】 對向靶材式濺射裝置即使在高真空下也可以穩定地生成電漿。

例如，在0.005Pa以上且0.09Pa以下也可以進行成膜。因此，可以降低在進行成膜時混入的雜質的濃度。

【0158】 藉由使用對向靶材式濺射裝置，可以在高真空下進行成膜，或者可以進行由電漿導致的損傷少的成膜，所以即使在基板660的溫度低的情況下也可以形成結晶性高的膜。例如，即使在基板660的溫度為10°C以上且低於100°C的情況下也可以形成結晶性高的膜。

【0159】 圖9A所示的結構與圖8A所示的結構的不同之處在於：靶材600a與靶材600b不是平行的，而是以其上側之間的距離大於下側之間的距離的方式傾斜（V字狀）地配置。因此，靶材配置以外的部分可以參照圖8A的說明。另外，磁鐵單元630a和磁鐵單元630b以異極相對的方式配置。基板架670及基板660被配置於靶材間區域之上。藉由如圖9A所示地配置靶材600a及靶材600b，可以提高到達基板660的濺射粒子的比率，由此可以提高沉積速度。

【0160】 圖9B示出對向靶材式濺射裝置的其他的例子。

【0161】 圖9B是對向靶材式濺射裝置的成膜室的剖面示意圖。與圖8A所示的成膜室不同，圖9B所示的成膜室包括靶材屏蔽622及靶材屏蔽623。此外，還包括與底板610a及底板610b連接的電源691。基板架670被配置於靶材間區域的上側。由此，基板660沒有暴露於電漿640的高電場區域，所以可以減少因電漿640而造成的損傷。

【0162】 另外，如圖9B所示，基板架670配置在靶材間區域的上側，但是也可以配置在該區域的下側。另外，也可以配置在下側和上側的兩者。藉由將

基板架670配置在該區域的下側和上側，可以對兩個以上的基板同時進行成膜，由此可以提高生產率。

【0163】圖9B所示，靶材屏蔽622及靶材屏蔽623與GND連接。也就是說，由於被施加了電源691的電位的底板610a及底板610b與被施加了GND的靶材屏蔽622及靶材屏蔽623之間的電位差，形成電漿640。

【0164】在上述對向靶材式濺射裝置中，電漿封閉在靶材間的磁場，所以可以減輕基板的電漿損傷。此外，根據靶材的傾斜可以減小濺射粒子對基板的入射角度，所以可以提高沉積膜的步階覆蓋性。另外，可以在高真空下進行成膜，所以可以降低混入膜中的雜質的濃度。

【0165】在成膜室中，也可以設置平行板型濺射裝置、離子束濺射裝置。

【0166】〈成膜裝置〉

下面說明具備能夠設置根據本發明的一個實施方式的濺射用靶材的成膜室的成膜裝置的結構。

【0167】首先，參照圖10至圖11C說明在成膜時等雜質很少混入膜中的成膜裝置的結構。

【0168】圖10示意性地示出單片式多室（single wafer multi-chamber）成膜裝置2700的俯視圖。成膜裝置2700包括：具備收納基板的盒式介面（cassette port）2761和進行基板對準的對準介面（alignment port）2762的大氣側基板供應室2701；從大氣側基板供應室2701傳送基板的大氣側基板傳送室2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣

壓切換為減壓的卸載閉鎖室2703b；進行真空中的基板的傳送的傳送室2704；對基板進行加熱的基板加熱室2705；以及配置有靶材且進行成膜的成膜室2706a、成膜室2706b及成膜室2706c。關於成膜室2706a、成膜室2706b及成膜室2706c的結構，可以參照上述成膜室。

【0169】 大氣側基板傳送室2702與負載鎖定室2703a以及卸載閉鎖室2703b連接，負載鎖定室2703a以及卸載閉鎖室2703b與傳送室2704連接，傳送室2704與基板加熱室2705、成膜室2706a、成膜室2706b以及成膜室2706c連接。

【0170】 在各室的連接部設置有閘閥2764，可以獨立地保持除了大氣側基板供應室2701及大氣側基板傳送室2702以外的各室的真空狀態。大氣側基板傳送室2702及傳送室2704具有傳送機器人2763，可以傳送基板。

【0171】 基板加熱室2705較佳為兼作電漿處理室。成膜裝置2700可以在處理之間以不暴露於大氣的方式傳送基板，由此可以抑制雜質吸附到基板上。另外，可以自由地決定成膜、加熱處理等的順序。傳送室、成膜室、負載鎖定室、卸載閉鎖室以及基板加熱室的數量不侷限於上述數量，可以根據設置它們的空間或製程條件適當地決定。

【0172】 接著，圖11A至圖11C示出沿著圖10所示的成膜裝置2700的點劃線X1-X2、點劃線Y1-Y2及點劃線Y2-Y3的剖面。

【0173】 圖11A示出基板加熱室2705和傳送室2704的剖面，基板加熱室2705具有能夠收納基板的多個加熱載物台2765。基板加熱室2705藉由閘與真空泵2770連接。作為真空泵2770，例如可以使用乾燥泵、機械增壓泵等。

【0174】 作為可以用於基板加熱室2705的加熱機構，例如也可以使用利用電阻發熱體等進行加熱的加熱機構。或者，也可以使用利用被加熱的氣體等

的介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用GRTA（Gas Rapid Thermal Anneal:氣體快速熱退火）、LRTA（Lamp Rapid Thermal Anneal:燈快速熱退火）等的RTA（Rapid Thermal Anneal:快速熱退火）。LRTA藉由鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物。GRTA利用高溫氣體進行加熱處理。作為氣體使用惰性氣體。

【0175】 基板加熱室2705藉由質量流量控制器2780與精製器2781連接。注意，雖然根據氣體種類的數目決定質量流量控制器2780和精製器2781的數目，但是為了便於理解只示出一個質量流量控制器2780和一個精製器。作為導入到基板加熱室2705中的氣體，可以使用露點為-80°C以下，較佳為-100°C以下的氣體，例如可以使用氧氣體、氮氣體及稀有氣體（氬氣體等）。

【0176】 傳送室2704具有傳送機器人2763。傳送機器人2763能夠將基板傳送到各室。傳送室2704藉由閥與真空泵2770以及低溫泵2771連接。藉由採用上述結構，將傳送室2704使用真空泵2770從大氣壓抽空到低真空或中真空（0.1Pa至幾百Pa左右），然後切換閥，使用低溫泵2771從中真空抽空到高真空或超高真空（0.1Pa至 1×10^{-7} Pa）。

【0177】 例如也可以使兩個以上的低溫泵2771與傳送室2704並聯連接。藉由採用上述結構，即使一個低溫泵在進行再生中也可以使用其他的低溫泵進行排氣。注意，上述再生是指釋放在低溫泵中積存的分子（或原子）的處理。當低溫泵積存過多分子（或原子）時其排氣能力降低，由此定期進行再生。

【0178】 圖11B示出成膜室2706b、傳送室2704、負載鎖定室2703a的剖面。

【0179】 在此，參照圖11B說明成膜室（濺射室）的詳細結構。圖11B所示的成膜室2706b包括靶材2766a、靶材2766b、靶材屏蔽2767a、靶材屏蔽2767b、磁鐵單元2790a、磁鐵單元2790b、基板架2768及電源2791。雖然未圖示，但是靶材2766a及靶材2766b都隔著底板固定於靶材架。靶材2766a及靶材2766b與電源2791電連接。磁鐵單元2790a及磁鐵單元2790b分別配置在靶材2766a及靶材2766b的背面上。靶材屏蔽2767a及靶材屏蔽2767b分別以圍繞靶材2766a及靶材2766b的端部的方式配置。在此，基板架2768支撐基板2769。基板架2768隔著可變構件2784固定於成膜室2706b。可以利用可變構件2784移動基板架2768。基板架2768被配置於靶材2766a與靶材2766b之間的區域（也稱為靶材間區域）的上側。例如，藉由將支撐基板2769的基板架2768配置在靶材間區域的上側，可以減輕電漿所引起的損傷。雖然未圖示，但是基板架2768也可以具備保持基板2769的基板保持機構或從背面對基板2769進行加熱的背面加熱器等。

【0180】 如圖11B所示，雖然基板架2768被配置於靶材間區域的上側，但是也可以將其配置於下側。或者，也可以將其配置於下側及上側。藉由在下側及上側配置基板架2768，可以同時對兩個以上的基板進行成膜，由此可以提高產率。

【0181】 靶材屏蔽2767可以抑制從靶材2766濺射出的粒子沉積在不希望的區域。另外，較佳為對靶材屏蔽2767進行加工來防止沉積的濺射粒子剝離。例如，可以進行使表面粗糙度增加的噴砂處理或者在靶材屏蔽2767的表面設置凹凸。

【0182】 成膜室2706b藉由氣體加熱機構2782與質量流量控制器2780連接，氣體加熱機構2782藉由質量流量控制器2780與精製器2781連接。利用氣體加熱機構2782可以將導入到成膜室2706b的氣體加熱為40°C以上且400°C以下。注意，雖然根據氣體種類的數目決定氣體加熱機構2782、質量流量控制器2780和精製器2781的數目，但是為了便於理解只示出一個氣體加熱機構2782、一個質量流量控制器2780和一個精製器2781。作為導入到成膜室2706b的氣體，較佳為使用露點為-80°C以下，較佳為-100°C以下的氣體，例如使用氧氣體、氮氣體及稀有氣體（氬氣體等）。

【0183】 當在氣體導入口的前面設置精製器時，將從精製器到成膜室2706b的管道的長度設定為10m以下，較佳為5m以下，更佳為1m以下。藉由將管道的長度設定為10m以下、5m以下或1m以下，可以根據管道長度減少來自管道的釋放氣體的影響。再者，氣體的管道較佳為使用內部由氟化鐵、氧化鋁或氧化鉻等覆蓋的金屬管道。例如與SUS316L-EP管道相比，上述管道所釋放的包含雜質的氣體的量少，而可以降低雜質混入氣體。作為管道的接頭，較佳為使用高性能超小型金屬墊片接頭（UPG接頭）。藉由使用金屬構成管道的全部，與使用樹脂等的情況相比，可以降低所產生的釋放氣體及外部洩漏的影響，所以是較佳的。

【0184】 成膜室2706b藉由閥與渦輪分子泵2772以及真空泵2770連接。

【0185】 在成膜室2706b中設置有低溫冷阱2751。

【0186】 低溫冷阱2751是能夠吸附水等的熔點較高的分子（或原子）的機構。渦輪分子泵2772能夠穩定地排出大分子（或原子）且維修頻率低，因此在生產率上佔有優勢，但是排氬、排水的能力較低。於是，為了提高排出水等

的能力，採用低溫冷阱2751與成膜室2706b連接的結構。低溫冷阱2751的製冷機的溫度為100K以下，較佳為80K以下。當低溫冷阱2751具有多個製冷機時，藉由使每個製冷機的溫度為不同，可以高效率地進行排氣，所以是較佳的。例如，可以將第一段的製冷機的溫度設定為100K以下，將第二段的製冷機的溫度設定為20K以下。藉由使用鈦昇華泵代替低溫冷阱，有時可以進一步實現高真空。此外，藉由使用離子泵代替低溫冷阱及渦輪分子泵，有時可以進一步實現高真空。

【0187】 成膜室2706b的排氣方法不侷限於上述方法，也可以與上述傳送室2704的排氣方法（利用低溫泵及真空泵的排氣方法）同樣。當然，傳送室2704的排氣方法也可以與成膜室2706b（利用渦輪分子泵及真空泵的排氣方法）同樣。

【0188】 較佳為將上述傳送室2704、基板加熱室2705和成膜室2706b的背壓（全壓）以及各氣體分子（原子）的分壓設定為如下。尤其是，為了防止雜質混入形成的膜，需要考慮成膜室2706b的背壓以及各氣體分子（原子）的分壓。

【0189】 上述各室的背壓（全壓）為 1×10^{-4} Pa以下，較佳為 3×10^{-5} Pa以下，更佳為 1×10^{-5} Pa以下。上述各室的質量電荷比（m/z）是18的氣體分子（原子）的分壓為 3×10^{-5} Pa以下，較佳為 1×10^{-5} Pa以下，更佳為 3×10^{-6} Pa以下。此外，上述各室的m/z是28的氣體分子（原子）的分壓為 3×10^{-5} Pa以下，較佳為 1×10^{-5} Pa以下，更佳為 3×10^{-6} Pa以下。上述各室的m/z是44的氣體分子（原子）的分壓為 3×10^{-5} Pa以下，較佳為 1×10^{-5} Pa以下，更佳為 3×10^{-6} Pa以下。

【0190】 真空腔室內的全壓及分壓可以使用質量分析器測量。例如，使用由ULVAC，Inc.製造的四極質量分析器（也稱為Q-mass）Qulee CGM-051即可。

【0191】 較佳的是上述傳送室2704、基板加熱室2705及成膜室2706b的外部洩漏及內部洩漏少。

【0192】 例如，上述傳送室2704、基板加熱室2705及成膜室2706b的洩漏率為 $3 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。 m/z 是18的氣體分子（原子）的洩漏率為 $1 \times 10^{-7} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $3 \times 10^{-8} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。 m/z 是28的氣體分子（原子）的洩漏率為 $1 \times 10^{-5} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。 m/z 是44的氣體分子（原子）的洩漏率為 $3 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。

【0193】 洩漏率可以根據利用上述質量分析器測量出的全壓及分壓算出。

【0194】 洩漏率取決於外部洩漏及內部洩漏。外部洩漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

【0195】 例如，較佳為使用金屬墊片對成膜室2706b的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比O形環高，因此可以降低外部洩漏。藉由利用鈍態的由氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

【0196】 作為構成成膜裝置2700的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、銦、鎳或鈳。也可以使用上述構件覆蓋含有鐵、鉻及鎳等的合金。含有鐵、鉻及鎳等的合金具有剛性，耐熱且適於加工。在此，藉由進行拋光等減少構件表面的凹凸以縮小表面積，可以減少釋放氣體。

【0197】 或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述成膜裝置2700的構件。

【0198】 較佳為成膜裝置2700的構件儘量只由金屬構成，例如當設置由石英等構成的觀察窗（viewing window）等時，為了抑制釋放氣體，較佳為由較薄的氟化鐵、氧化鋁或氧化鉻等覆蓋表面。

【0199】 雖然存在於成膜室內的吸附物吸附於內壁等而不影響到成膜室的壓力，但是該吸附物成為對成膜室進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於成膜室內的吸附物脫離預先進行排氣是十分重要的。為了促進吸附物的脫離，也可以對成膜室進行烘烤。藉由進行烘烤，可以將吸附物的脫離速度提高10倍左右。烘烤以100℃以上且450℃以下的溫度進行即可。此時，藉由一邊將惰性氣體導入成膜室一邊去除吸附物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。藉由將所導入的惰性氣體加熱至與烘烤溫度相同程度的溫度，可以進一步提高吸附物的脫離速度。這裡，作為惰性氣體較佳為使用稀有氣體。根據形成的膜的種類，也可以使用氧等代替惰性氣體。例如，當進行氧化物的成膜時，有時較佳為使用主要成分的氧。較佳為使用燈進行烘烤。

【0200】 另外，較佳為藉由導入被加熱的稀有氣體等惰性氣體或氧等提高成膜室內的壓力，並在經過一定時間之後再次對成膜室進行排氣處理。可以

由被加熱的氣體的導入使成膜室內的吸附物脫離，由此可以減少存在於成膜室內的雜質。有效的是將該處理反復進行2次以上且30次以下，較佳為5次以上且15次以下。具體地，藉由導入40°C以上且400°C以下，較佳為50°C以上且200°C以下的惰性氣體或氧等來使成膜室內的壓力設定為0.1Pa以上且10kPa以下，較佳為1Pa以上且1kPa以下，更佳為5Pa以上且100Pa以下，並將保持壓力的期間設定為1分以上且300分以下，較佳為5分以上且120分以下，即可。然後，對成膜室進行排氣5分以上且300分以下，較佳為10分以上且120分以下。

【0201】 另外，藉由進行偽成膜也可以進一步提高吸附物的脫離速度。偽成膜是指藉由濺射法等對偽基板進行成膜以在偽基板上及成膜室內壁沉積膜，來將成膜室內的雜質及成膜室內壁的吸附物封閉在膜中。作為偽基板較佳為使用釋放氣體少的基板。藉由進行偽成膜可以降低後面形成的膜中的雜質濃度。另外，可以與烘烤同時進行偽成膜。

【0202】 接著，說明圖11B所示的傳送室2704和負載鎖定室2703a以及圖11C所示的大氣側基板傳送室2702和大氣側基板供應室2701的詳細結構。圖11C示出大氣側基板傳送室2702和大氣側基板供應室2701的剖面。

【0203】 關於圖11B所示的傳送室2704，參照圖11A所示的傳送室2704的記載。

【0204】 負載鎖定室2703a具有基板遞送載物台2752。負載鎖定室2703a將壓力從減壓上升到大氣壓，當將負載鎖定室2703a的壓力上升到大氣壓時，基板遞送載物台2752從設置在大氣側基板傳送室2702中的傳送機器人2763接收基板。然後，在對負載鎖定室2703a進行抽空而處於減壓狀態之後，設置在傳送室2704中的傳送機器人2763從基板遞送載物台2752接收基板。

【0205】 負載鎖定室2703a藉由閥與真空泵2770以及低溫泵2771連接。關於真空泵2770、低溫泵2771的排氣系統的連接方法，可以參照傳送室2704的連接方法，所以這裡省略說明。圖10所示的卸載閉鎖室2703b可以採用與負載鎖定室2703a相同的結構。

【0206】 大氣側基板傳送室2702具有傳送機器人2763。藉由傳送機器人2763可以進行盒式介面2761和負載鎖定室2703a之間的基板的遞送。也可以在大氣側基板傳送室2702、大氣側基板供應室2701的上方設置用來去除塵屑或微粒的機構如HEPA過濾器（High Efficiency Particulate Air Filter:高效率粒子空氣濾器）等。

【0207】 大氣側基板供應室2701具有多個盒式介面2761。盒式介面2761可以收納多個基板。

【0208】 靶材的表面溫度為100°C以下，較佳為50°C以下，更佳為室溫程度（典型的是25°C）。對應大面積基板的濺射裝置大多使用大面積的靶材。但是，沒有接縫地製造具有對應大面積的尺寸的靶材是困難的。在實際製造時，將多個靶材以儘量沒有間隙的方式排列成較大的形狀，但是無論怎樣總會有微小的間隙。當靶材的表面溫度升高時，有時鋅等從該微小的間隙揮發，導致間隙漸漸變大。當間隙變大時，有時用於底板及用來黏合底板與靶材的黏合構件的金屬也被濺射，這成為導致雜質濃度變高的主要原因。因此，較佳為充分冷卻靶材。

【0209】 具體地，作為底板使用具有高導電性及高散熱性的金屬（具體的是銅）。藉由在底板內形成水路並使充分量的冷卻水流過該水路，可以高效率地冷卻靶材。

【0210】 當靶材含有鋅時，藉由在氧氣體氛圍下進行成膜，電漿損傷減輕，由此可以獲得不容易發生鋅揮發的氧化物。

【0211】 藉由使用上述成膜裝置，可以形成利用二次離子質譜分析法（SIMS:Secondary Ion Mass Spectrometry）測得的氫濃度為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下、較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下、更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下、進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下的氧化物半導體膜。

【0212】 另外，可以形成利用SIMS測得的氫濃度低於 $5 \times 10^{19} \text{atoms/cm}^3$ 、較佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下、更佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、進一步較佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下的氧化物半導體膜。

【0213】 另外，可以形成利用SIMS測得的碳濃度低於 $5 \times 10^{19} \text{atoms/cm}^3$ 、較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下的氧化物半導體膜。

【0214】 雜質及氧缺陷少的氧化物的載子密度低。明確而言，可以使載子密度小於 $8 \times 10^{11} / \text{cm}^3$ ，較佳為小於 $1 \times 10^{11} / \text{cm}^3$ ，更佳為小於 $1 \times 10^{10} / \text{cm}^3$ ，且是 $1 \times 10^{-9} / \text{cm}^3$ 以上。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。該CAAC-OS的雜質濃度和缺陷態密度低。亦即，可以說該CAAC-OS是具有穩定特性的氧化物。

【0215】 另外，可以形成利用TDS測得的 m/z 是2（氫分子等）的氣體分子（原子）、 m/z 是18的氣體分子（原子）、 m/z 是28的氣體分子（原子）及 m/z 是44的氣體分子（原子）的釋放量都為 1×10^{19} 個/ cm^3 以下，較佳為 1×10^{18} 個/ cm^3 以下的氧化物半導體膜。

【0216】藉由使用上述成膜裝置，可以抑制雜質混入氧化物。並且，藉由利用上述成膜裝置形成接觸於氧化物的膜，可以抑制雜質從接觸於氧化物的膜混入氧化物。

【0217】本實施方式所示的結構可以與其他實施方式或其他實施例所示的結構適當地組合而實施。

【0218】實施方式3

在本實施方式中，參照圖12A至圖22C對半導體裝置的一個實施方式進行說明。

【0219】<電晶體結構1>

下面，對根據本發明的一個實施方式的電晶體的一個例子進行說明。圖12A至圖12C是根據本發明的一個實施方式的電晶體的俯視圖及剖面圖。圖12A是俯視圖，圖12B是對應於圖12A所示的點劃線X1-X2的剖面圖，圖12C是對應於圖12A所示的點劃線Y1-Y2的剖面圖。注意，在圖12A的俯視圖中，為了明確起見，省略圖式中的部分組件。

【0220】電晶體200包括:被用作閘極電極的導電體205（導電體205a及導電體205b）及導電體260；被用作閘極絕緣層的絕緣體220、絕緣體222、絕緣體224及絕緣體250；具有其中形成通道的區域的氧化物230（氧化物230a、氧化物230b及氧化物230c）；被用作源極和汲極中的一個的導電體240a；被用作源極和汲極中的另一個的導電體240b；包含過量氧的絕緣體280；以及具有阻擋性的絕緣體282。

【0221】氧化物230包括氧化物230a、氧化物230a上的氧化物230b、以及氧化物230b上的氧化物230c。當使電晶體200導通時，電流主要流過氧化物230b（形成通道）。另一方面，在氧化物230a及氧化物230c中，有時在與氧化

物230b的介面附近（有時成為混合區域）電流流過，但是其他區域有時被用作絕緣體。

【0222】此外，如圖12A至圖12C所示，較佳為以覆蓋氧化物230a及氧化物230b的側面的方式設置氧化物230c。藉由在絕緣體280與包括形成有通道的區域的氧化物230b之間設置氧化物230c，可以抑制氫、水及鹵素等雜質從絕緣體280擴散到氧化物230b。

【0223】導電體205可以使用包含選自鉬、鈦、鉭、鎢、鋁、銅、鉻、釵、釷中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鉬膜、氮化鈦膜、氮化鉭膜、氮化鎢膜）等。尤其是，氮化鉬膜等金屬氮化物膜具有對氫或氧的阻擋性，並且不容易氧化（耐氧化性高），所以是較佳的。或者，作為導電體205，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等導電材料。

【0224】例如，作為導電體205a可以使用作為具有對氫的阻擋性的導電體的氮化鉬等，作為導電體205b可以層疊導電性高的鎢。藉由使用該組合，可以在保持作為佈線的導電性的同時抑制氫擴散到氧化物230。在圖12A至圖12C中，示出導電體205a和導電體205b的兩層結構，但是也可以不侷限於此，既可以是單層又可以是三層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成具有阻擋性的導電體以及與導電性高的導電體之間的緊密性高的導電體。

【0225】絕緣體224較佳為氧化矽膜或氧氮化矽膜等包含氧的絕緣體。尤其是，作為絕緣體224較佳為使用包含過量氧（含有超過化學計量組成的氧）

的絕緣體。藉由以與構成電晶體200的氧化物230接觸的方式設置上述包含過量氧的絕緣體，可以填補氧化物230中的氧空位。

【0226】 當絕緣體224包括過量氧區域時，絕緣體222較佳為對氧、氫及水具有阻擋性。藉由絕緣體222對氧具有阻擋性，過量氧區域的氧可以高效地供應給氧化物230而不擴散到電晶體300一側。此外，可以抑制導電體205與絕緣體224所包括的過量氧區域的氧起反應。

【0227】 作為絕緣體222，例如較佳為使用氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鉭、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）或（Ba，Sr） TiO_3 （BST）等的絕緣體的單層或疊層。尤其是，作為絕緣體222，較佳為使用氧化鋁膜及氧化鉛膜等具有對氧或氫的阻擋性的絕緣膜。當使用這種材料形成絕緣體222時，絕緣體222被用作防止從氧化物230釋放氧或從外部混入氫等雜質的層。

【0228】 或者，例如也可以對這些絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鋱、氧化矽、氧化鈦、氧化鎢、氧化釷、氧化鋯。此外，也可以對這些絕緣體進行氮化處理。還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽。

【0229】 絕緣體220、絕緣體222及絕緣體224也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料形成的疊層結構。

【0230】 當在絕緣體220和絕緣體224之間包括包含high-k材料的絕緣體222時，在特定條件下，絕緣體222俘獲電子，可以增大臨界電壓。就是說，絕緣體222有時帶負電。

【0231】 例如，當將氧化矽用於絕緣體220及絕緣體224，將氧化鉛、氧化鋁、氧化鉭等電子俘獲能階多的材料用於絕緣體222時，在比半導體裝置的使用溫度或保存溫度高的溫度（例如，125°C以上且450°C以下，典型的是150°C以上且300°C以下）下保持導電體205的電位高於源極電極或汲極電極的電位的狀態10毫秒以上，典型是1分鐘以上，由此電子從構成電晶體200的氧化物向導電體205移動。此時，移動的電子的一部分被絕緣體222的電子俘獲能階俘獲。

【0232】 在絕緣體222的電子俘獲能階俘獲所需要的電子的電晶體的臨界電壓向正一側漂移。藉由控制導電體205的電壓可以控制電子的俘獲量，由此可以控制臨界電壓。藉由採用該結構，電晶體200成為在閘極電壓為0V的情況下也處於非導通狀態（也稱為關閉狀態）的常關閉型電晶體。

【0233】 另外，俘獲電子的處理在電晶體的製造過程中進行即可。例如，在形成與電晶體的源極導電體或汲極導電體連接的導電體之後、前製程（晶圓處理）結束之後、晶圓切割（wafer dicing）製程之後或者封裝之後等發貨之前的任一個步驟進行俘獲電子的處理即可。

【0234】 此外，藉由適當地調整絕緣體220、絕緣體222及絕緣體224的厚度，能夠控制臨界電壓。例如，藉由減少絕緣體220、絕緣體222及絕緣體224的厚度總和，高效率地施加有來自導電體205的電壓，由此可以提供一種功耗低的電晶體。絕緣體220、絕緣體222及絕緣體224的厚度總和較佳為65nm以下，更佳為20nm以下。

【0235】 因此，本發明的一個實施方式可以提供一種關閉狀態時的洩漏電流小的電晶體。本發明的一個實施方式可以提供一種具有穩定的電特性的電

晶體。另外，本發明的一個實施方式可以提供一種通態電流大的電晶體。另外，本發明的一個實施方式可以提供一種次臨界擺幅值小的電晶體。另外，本發明的一個實施方式可以提供一種可靠性高的電晶體。

【0236】 氧化物230a、氧化物230b及氧化物230c使用In-M-Zn氧化物（M為Al、Ga、Y或Sn）等金屬氧化物形成。作為氧化物230，也可以使用In-Ga氧化物、In-Zn氧化物。

【0237】 作為用於氧化物230b的氧化物可以使用上面的實施方式中說明的氧化物半導體。

【0238】 明確而言，藉由使氧化物230a和氧化物230b、氧化物230b和氧化物230c包含氧之外的共同元素（主要成分），可以形成缺陷態密度低的混合層。例如，在氧化物230b為In-Ga-Zn氧化物的情況下，作為氧化物230a、氧化物230c較佳為使用In-Ga-Zn氧化物、Ga-Zn氧化物、氧化鎵等。

【0239】 此時，載子的主要路徑成為氧化物230b。因為可以降低氧化物230a與氧化物230b的介面以及氧化物230b與氧化物230c的介面的缺陷態密度，所以介面散射給載子傳導帶來的影響小，從而可以得到大通態電流。

【0240】 在電子被陷阱態俘獲時，被俘獲的電子像固定電荷那樣動作，導致電晶體的臨界電壓向正方向漂移。藉由設置氧化物230a、氧化物230c，可以使陷阱態遠離氧化物230b。藉由採用該結構，可以防止電晶體的臨界電壓向正方向漂移。

【0241】 氧化物230a、氧化物230c使用與氧化物230b相比導電率充分低的材料。此時，氧化物230b、氧化物230b與氧化物230a的介面以及氧化物230b與氧化物230c的介面主要用作通道區域。

【0242】 例如，當作為氧化物230b採用圖5的區域A2與區域B2形成複合體的氧化物時，較佳為作為氧化物230a及氧化物230c使用[M]/[In]為1以上（較佳為2以上）的氧化物。另外，作為氧化物230c，較佳為使用能夠得到充分高的絕緣性的[M]/（[Zn]+[In]）為1以上的氧化物。

【0243】 作為絕緣體250，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鋇、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）或（Ba，Sr） TiO_3 （BST）等的絕緣體的單層或疊層。或者，例如也可以對這些絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鋮、氧化矽、氧化鈦、氧化鎢、氧化釷、氧化鋯。此外，也可以對這些絕緣體進行氮化處理。還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0244】 另外，與絕緣體224同樣，作為絕緣體250較佳為使用其氧含量超過滿足化學計量組成的氧化物絕緣體。藉由以與氧化物230接觸的方式設置上述包含過量氧的絕緣體，可以減少氧化物230中的氧空位。

【0245】 絕緣體250可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釷、氧氮化釷、氧化鉛、氧氮化鉛、氮化矽等具有對氧或氫的阻擋性的絕緣膜。當使用這種材料形成絕緣體250時，絕緣體250被用作防止從氧化物230釋放氧或從外部混入氫等雜質的層。

【0246】 絕緣體250也可以具有與絕緣體220、絕緣體222及絕緣體224同樣的疊層結構。當絕緣體250具有在電子俘獲態俘獲所需要的電子的絕緣體時，電晶體200的臨界電壓可以向正一側漂移。藉由採用該結構，電晶體200成為在閘極電壓為0V的情況下也處於非導通狀態（也稱為關閉狀態）的常關閉型電晶體。

【0247】 另外，在圖12A至圖12C所示的電晶體中，可以在氧化物230和導電體260之間除了絕緣體250以外還可以設置障壁膜。或者，作為氧化物230c，也可以使用具有阻擋性的材料。

【0248】 例如，藉由以與氧化物230接觸的方式設置包含過量氧的絕緣膜，且由障壁膜包圍這些膜，可以使氧化物為與化學計量組成大致一致的狀態或者超過化學計量組成的氧的過飽和狀態。此外，可以防止對氧化物230侵入氫等雜質。

【0249】 導電體240a和導電體240b中的一個被用作源極電極，而導電體240a和導電體240b中的另一個被用作汲極電極。

【0250】 導電體240a、導電體240b可以使用鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉕或鎢等金屬或者以這些元素為主要成分的合金。尤其是，氮化鉕膜等金屬氮化物膜對氫或氧具有阻擋性，且耐氧化性較高，所以是較佳的。

【0251】 此外，雖然圖式中示出單層結構，但是也可以採用兩層以上的疊層結構。例如，較佳為層疊氮化鉕膜及鎢膜。另外，較佳為層疊鈦膜及鋁膜。另外，也可以採用在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構。

【0252】 另外，也可以使用：在鈦膜或氮化鈦膜上層疊鋁膜或銅膜並在其上形成鈦膜或氮化鈦膜的三層結構、在鉕膜或氮化鉕膜上層疊鋁膜或銅膜而並在其上形成鉕膜或氮化鉕膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

【0253】 被用作閘極電極的導電體260例如可以使用選自鋁、鉻、銅、鈹、鈦、鈮、鎢中的金屬、以上述金屬為成分的合金或組合上述金屬的合金等而形成。尤其是，氮化鈹膜等金屬氮化物膜對氫或氧具有阻擋性，且耐氧化性較高，所以是較佳的。另外，也可以使用選自錳、鋅中的一個或多個的金屬。此外，也可以使用以摻雜有磷等雜質元素的多晶矽為代表的半導體、鎳矽化物等矽化物。此外，在圖式中示出單層結構，但是也可以採用兩層以上的疊層結構。

【0254】 例如，較佳為採用在鋁膜上層疊鈦膜的兩層結構。另外，也可以採用在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鈹膜或氮化鎢膜上層疊鎢膜的兩層結構。

【0255】 還有在鈦膜上層疊鋁膜，在其上層疊鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鈹、鎢、鈮、鉻、釹、釷中的一種或多種的合金膜或氮化膜。

【0256】 此外，作為導電體260，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料。另外，也可以採用上述具有透光性的導電材料和上述金屬的疊層結構。

【0257】 接著，在電晶體200的上方設置絕緣體280及絕緣體282。

【0258】 作為絕緣體280較佳為使用含有超過化學計量組成的氧的氧化物。就是說，在絕緣體280中，較佳為形成有比滿足化學計量組成的氧多的氧存在的區域（以下，也稱為過量氧區域）。尤其是，在將氧化物半導體用於電

晶體200時，作為電晶體200附近的層間膜等形成具有過量氧區域的絕緣體，降低電晶體200的氧空位，而可以提高電晶體200的可靠性。

【0259】 作為具有過剩氧區域的絕緣體，明確而言，較佳為使用由於加熱而一部分的氧脫離的氧化物材料。作為由於加熱而氧脫離的氧化物是指：在TDS分析中，換成為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{atoms/cm}^3$ 以上的氧化物膜。注意，上述TDS分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

【0260】 例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

【0261】 覆蓋電晶體200的絕緣體280也可以被用作覆蓋其下方的凹凸形狀的平坦化膜。

【0262】 作為絕緣體282，例如較佳為使用氧化鋁及氧化鉛等具有對氧或氫的阻擋性的絕緣膜。當使用這種材料形成絕緣體282時，絕緣體282被用作防止從氧化物230釋放氧或從外部混入氫等雜質的層。

【0263】 藉由具有上述結構，可以提供一種包含氧化物半導體的通態電流大的電晶體。另外，可以提供一種包含氧化物半導體的關態電流小的電晶體。另外，藉由將具有上述結構的電晶體用於半導體裝置，可以在抑制半導體裝置的電特性變動的同時提高可靠性。另外，可以提供一種功耗得到降低的半導體裝置。

【0264】 <電晶體結構2>

第52頁，共 150 頁(發明說明書)

圖13A至圖13C示出可以應用於電晶體200的結構的一個例子。圖13A示出電晶體200的頂面。注意，為了明確起見，在圖13A中省略一部分的膜。另外，圖13B是沿圖13A中的點劃線X1-X2的剖面圖，圖13C是沿點劃線Y1-Y2的剖面圖。

【0265】 注意，在圖13A至圖13C所示的電晶體200中，對具有與圖12A至圖12C所示的電晶體200的結構相同的功能的結構附加相同元件符號。

【0266】 在圖13A至圖13C所示的結構中導電體260具有兩層結構。例如，作為導電體260a可以使用以In-Ga-Zn氧化物為代表的氧化物。以In-Ga-Zn氧化物為代表的氧化物半導體被供應氮或氫，載子密度變高。換言之，被用作氧化物導電體（OC:Oxide Conductor）。藉由作為導電體260b設置金屬氮化物，氧化物半導體的載子密度變高，所以導電體260a被用作閘極電極。

【0267】 作為導電體260a，可以使用以In-Ga-Zn氧化物為代表的氧化物半導體。此外，作為導電體260a可以使用具有透光性的導電材料諸如銦錫氧化物（Indium Tin Oxide:ITO）、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、包含矽的銦錫氧化物（In-Sn-Si氧化物，也被稱為ITSO）等。

【0268】 藉由作為導電體260b使用金屬氮化物，金屬氮化物中的構成元素（尤其是氮）擴散到導電體260a而電阻得到降低，此外，由於形成導電體260b時的損傷（例如，濺射損傷等）電阻得到降低。此外，導電體260b也可以具有兩層以上的疊層結構。例如，藉由在金屬氮化物上層疊低電阻的金屬膜，可以提供驅動電壓小的電晶體。

【0269】 作為導電體260a的形成方法，較佳為利用濺射法在包含氧氣體的氛圍下形成導電體260a。藉由在包含氧氣體的氛圍下形成導電體260a，可以在絕緣體250中形成過量氧區域。另外，作為導電體260a的形成方法，不侷限於濺射法，也可以利用其他方法，例如ALD法。

【0270】 再者，在圖13A至圖13C所示的結構中，以覆蓋導電體260的方式形成絕緣體270。當將氧脫離的氧化物材料用於絕緣體280時，作為絕緣體270使用對氧具有阻擋性的物質。藉由採用該結構，可以抑制填補導電體260a的氧空位而使載子密度降低，且可以防止導電體260b因擴散的氧被氧化。

【0271】 例如，作為絕緣體270可以使用氧化鋁等金屬氧化物。以防止導電體260的氧化的程度的厚度形成絕緣體270即可。

【0272】 如圖式所示，也可以使用具有阻擋性的導電體設置導電體205c而不設置絕緣體220及絕緣體222。藉由採用本結構，即使絕緣體224包括過量氧區域，也可以抑制導電體205b與過量氧區域的氧起反應而生成氧化物。

【0273】 此外，也可以在導電體240a及導電體240b上設置絕緣體243a及絕緣體243b。作為絕緣體243a及絕緣體243b使用對氧具有阻擋性的物質。藉由採用該結構，可以抑制導電體240a及導電體240b在形成氧化物230c時被氧化。此外，可以防止絕緣體280所包括的過量氧區域的氧與導電體240a及導電體240b起反應而被氧化。

【0274】 絕緣體243a及絕緣體243b例如可以使用金屬氧化物。尤其是，較佳為使用氧化鋁、氧化鉛、氧化鎵等對氧或氫具有阻擋性的絕緣膜。此外，也可以使用利用CVD法形成的氮化矽。

【0275】 因此，藉由採用該結構，可以擴大導電體240a、導電體240b、導電體205及導電體260的材料的選擇範圍。例如，導電體205b及導電體260b可以使用鋁等耐氧化性低且導電性高的材料。另外，例如可以使用容易進行成膜或加工的導電體。

【0276】 此外，可以抑制導電體205及導電體260的氧化，並且可以將從絕緣體224及絕緣體280脫離的氧高效率地供應到氧化物230。此外，藉由作為導電體205及導電體260使用導電性高的導電體，可以提供一種功耗小的電晶體200。

【0277】 <電晶體結構3>

圖14A至圖14C示出可以應用於電晶體200的結構的一個例子。圖14A示出電晶體200的頂面。注意，為了明確起見，在圖14A中省略一部分的膜。另外，圖14B是沿圖14A的點劃線X1-X2的剖面圖，圖14C是沿點劃線Y1-Y2的剖面圖。

【0278】 注意，在圖14A至圖14C所示的電晶體200中，對具有與圖12A至圖12C所示的電晶體200的結構相同的功能的結構附加相同元件符號。

【0279】 在圖14A至圖14C所示的結構中，導電體260具有兩層結構。作為兩層結構，也可以設置相同材料的疊層。例如，導電體260a利用熱CVD法、MOCVD法或ALD法形成。尤其是，較佳為利用ALD法形成。藉由利用ALD法等形成，可以降低進行成膜時對絕緣體250造成的損傷。利用ALD法等可以形成覆蓋性高的導電體260a。因此，可以提供一種可靠性高的電晶體200。

【0280】 接著，利用濺射法形成導電體260b。此時，藉由在絕緣體250上具有導電體260a，可以抑制形成導電體260b時的損傷影響到絕緣體250。另外，濺射法的沉積速度比ALD法快，所以良率高，從而可以提高生產率。

【0281】再者，在圖14A至圖14C所示的結構中，以覆蓋導電體260的方式形成絕緣體270。當將氧脫離的氧化物材料用於絕緣體280時，作為絕緣體270使用對氧具有阻擋性的物質。藉由採用該結構，可以抑制填補導電體260a的氧空位而使載子密度降低，且可以防止導電體260b因擴散的氧被氧化。

【0282】例如，作為絕緣體270可以使用氧化鋁等金屬氧化物。以防止導電體260的氧化的程度的厚度形成絕緣體270即可。

【0283】 <電晶體結構4>

圖15A至圖15C示出可以應用於電晶體200的結構的一個例子。圖15A示出電晶體200的頂面。注意，為了明確起見，在圖15A中省略一部分的膜。另外，圖15B是沿圖15A中的點劃線X1-X2的剖面圖，圖15C是沿點劃線Y1-Y2的剖面圖。

【0284】注意，在圖15A至圖15C所示的電晶體200中，對具有與圖12A至圖12C所示的電晶體200的結構相同的功能的結構附加相同元件符號。

【0285】在圖15A至圖15C所示的結構中，被用作閘極電極的導電體260包括導電體260a、導電體260b及導電體260c。另外，氧化物230c只要覆蓋氧化物230b的側面即可，也可以在絕緣體224上被切斷。

【0286】在圖15A至圖15C所示的結構中，導電體260具有三層結構。此外，也可以採用單層、雙層或四層以上的疊層結構。當採用雙層結構時，可以設置相同材料的疊層。例如，導電體260a利用熱CVD法、MOCVD法或ALD法形成。尤其是，較佳為利用ALD法形成。藉由利用ALD法等形成，可以降低進行成膜時對絕緣體250造成的損傷。利用ALD法等可以形成覆蓋性高的導電體260a。因此，可以提供一種可靠性高的電晶體200。

【0287】 接著，利用濺射法形成導電體260b。此時，藉由在絕緣體250上具有導電體260a，可以抑制形成導電體260b時的損傷影響到絕緣體250。另外，濺射法的沉積速度比ALD法快，所以良率高，從而可以提高生產率。

【0288】 另外，導電體260b使用鈮、鎢、銅、鋁等導電性高的材料形成。再者，形成在導電體260b上的導電體260c較佳為使用氮化鎢等耐氧化性高的導電體形成。

【0289】 例如，在作為絕緣體280使用使氧脫離的氧化物材料的情況下，藉由作為與具有過量氧區域的絕緣體280接觸的面積大的導電體260c使用耐氧化性高的導電體，可以抑制從過量氧區域脫離的氧被導電體260吸收。此外，可以抑制導電體260的氧化，並且可以將從絕緣體280脫離的氧高效率地供應到氧化物230。此外，藉由作為導電體260b使用導電性高的導電體，可以提供一種功耗小的電晶體200。

【0290】 另外，如圖15C所示，在電晶體200的通道寬度方向上，氧化物230b被導電體260覆蓋。此外，藉由使絕緣體224具有凸部，氧化物230b的側面也可以被導電體260覆蓋。例如，較佳的是，藉由調整絕緣體224的凸部的形狀，在絕緣體224與氧化物230c接觸的區域，導電體260的底面比氧化物230b的底面更接近於基板一側。也就是說，電晶體200具有可以由導電體260的電場電圍繞氧化物230b的結構。如此，將由導電體的電場電圍繞氧化物230b的電晶體結構稱為surrounded channel（s-channel）結構。在s-channel結構的電晶體200中，也可以在氧化物230b整體（塊體）形成通道。在s-channel結構中可以使電晶體的汲極電流增大，來可以得到更大的通態電流（在電晶體處於開啟狀態時流在源極與汲極之間的電流）。此外，也可以由導電體260的電場使形成在氧

化物230b中的通道形成區域的整個區域空乏化。因此，s-channel結構可以進一步減少電晶體的關態電流。另外，藉由縮短通道寬度，可以提高增大通態電流且減少關態電流的s-channel結構的效果等。

【0291】 <電晶體結構5>

圖16A至圖16C示出可以應用於電晶體200的結構的一個例子。圖16A示出電晶體200的頂面。注意，為了明確起見，在圖16A中省略一部分的膜。另外，圖16B是沿圖16A中的點劃線X1-X2的剖面圖，圖16C是沿點劃線Y1-Y2的剖面圖。

【0292】 注意，在圖16A至圖16C所示的電晶體200中，對具有與圖12A至圖12C所示的電晶體200的結構相同的功能的結構附加相同元件符號。

【0293】 在圖16A至圖16C所示的結構中，被用作源極或汲極的導電體具有疊層結構。作為導電體240a及導電體240b較佳為使用與氧化物230b的緊密性高的導電體，作為導電體241a及導電體241b較佳為使用導電性高的材料。此外，較佳為利用ALD法形成導電體240a及導電體240b。藉由利用ALD法等形成導電體240a及導電體240b，可以提高覆蓋性。

【0294】 例如，在作為氧化物230b使用包含銦的金屬氧化物的情況下，作為導電體240a及導電體240b可以使用氮化鈦等。此外，藉由作為導電體241a及導電體241b使用鉭、鎢、銅、鋁等導電性高的材料，可以提供一種可靠性高且功耗小的電晶體200。

【0295】 另外，如圖16C所示，在電晶體200的通道寬度方向上，氧化物230b被導電體260覆蓋。此外，藉由使絕緣體222具有凸部，氧化物230b的側面也可以被導電體260覆蓋。

【0296】 在此，在作為絕緣體222使用氧化鉛等high-k材料的情況下，因為絕緣體222的相對介電常數較大，所以可以減小等效氧化物（ SiO_2 ）厚度（EOT:Equivalent Oxide Thickness）。因此，由於絕緣體222的物理上的厚度而可以擴大導電體205與氧化物230之間的距離，而不使施加到氧化物230的來自導電體205的電場的影響減弱。因此，藉由調整絕緣體222的厚度，可以調整導電體205與氧化物230之間的距離。

【0297】 例如，較佳的是，藉由調整絕緣體222的凸部的形狀，在絕緣體222與氧化物230c接觸的區域，導電體260的底面比氧化物230b的底面更接近於基板一側。也就是說，電晶體200具有可以由導電體260的電場電圍繞氧化物230b的結構。如此，將由導電體的電場電圍繞氧化物230b的電晶體結構稱為surrounded channel（s-channel）結構。在s-channel結構的電晶體200中，也可以在氧化物230b整體（塊體）形成通道。在s-channel結構中可以使電晶體的汲極電流增大，來可以得到更大的通態電流（在電晶體處於開啟狀態時流在源極與汲極之間的電流）。此外，也可以由導電體260的電場使形成在氧化物230b中的通道形成區域的整個區域空乏化。因此，s-channel結構可以進一步減少電晶體的關態電流。另外，藉由縮短通道寬度，可以提高增大通態電流且減少關態電流的s-channel結構的效果等。

【0298】 <電晶體結構6>

圖17A至圖17C示出可以應用於電晶體200的結構的一個例子。圖17A示出電晶體200的頂面。注意，為了明確起見，在圖17A中省略一部分的膜。另外，圖17B是沿圖17A中的點劃線X1-X2的剖面圖，圖17C是沿點劃線Y1-Y2的剖面圖。

【0299】 注意，在圖17A至圖17C所示的電晶體200中，對具有與圖12A至圖12C所示的電晶體200的結構相同的功能的結構附加相同元件符號。

【0300】 圖17A至圖17C所示的電晶體200在形成於絕緣體280的開口中形成有氧化物230c、絕緣體250及導電體260。另外，導電體240a和導電體240b中的一個端部與形成在絕緣體280中的開口的端部一致。再者，導電體240a及導電體240b的三個方向的端部與氧化物230a及氧化物230b的端部的一部分一致。由此，可以在與氧化物230或絕緣體280的開口同時形成導電體240a、導電體240b。由此，可以減少遮罩及製程的數量。此外，可以提高良率及生產率。

【0301】 另外，導電體240a、導電體240b及氧化物230b隔著氧化物230d接觸於具有過量氧區域的絕緣體280。由此，藉由在絕緣體280與包括形成有通道的區域的氧化物230b之間設置氧化物230d，可以抑制氫、水及鹵素等雜質從絕緣體280擴散到氧化物230b。

【0302】 再者，由於圖17A至圖17C所示的電晶體200具有導電體240a、導電體240b與導電體260幾乎不重疊的結構，所以可以減小導電體260與導電體240a及導電體240b間產生的寄生電容。也就是說，可以提供一種工作頻率高的電晶體200。

【0303】 <電晶體結構7>

圖18A至圖18C示出可以應用於電晶體200的結構的一個例子。圖18A示出電晶體200的頂面。注意，為了明確起見，在圖18A中省略一部分的膜。另外，圖18B是沿圖18A中的點劃線X1-X2的剖面圖，圖18C是沿點劃線Y1-Y2的剖面圖。

【0304】 注意，在圖18A至圖18C所示的電晶體200中，對具有與圖17A至圖17C所示的電晶體200的結構相同的功能的結構附加相同元件符號。

【0305】 圖18A至圖18C所示的電晶體200不包括氧化物230d。例如，在作為導電體240a及導電體240b使用耐氧化性高的導電體的情況下，並不需要設置氧化物230d。由此，可以減少遮罩及製程的數量。此外，可以提高良率及生產率。

【0306】 另外，絕緣體224也可以僅設置在與氧化物230a及氧化物230b重疊的區域中。此時，可以以絕緣體222為蝕刻停止層對氧化物230a、氧化物230b及絕緣體224進行加工。因此，可以提高良率或生產率。

【0307】 再者，由於圖18A至圖18C所示的電晶體200具有導電體240a、導電體240b與導電體260幾乎不重疊的結構，所以可以減小導電體260與導電體240a及導電體240b間產生的寄生電容。也就是說，可以提供一種工作頻率高的電晶體200。

【0308】 <電晶體的製造方法>

以下，參照圖19A至圖22C對圖12A至圖12C所示的電晶體的製造方法的一個例子進行說明。

【0309】 首先，準備基板（未圖示）。對基板沒有特別的限制，但是基板較佳為至少具有能夠承受在後面進行的加熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃基板和硼矽酸鋁玻璃基板等、陶瓷基板、石英基板、藍寶石基板等。此外，也可以利用：使用矽或碳化矽等的單晶半導體基板或多晶半導體基板；使用矽鍺、砷化鎵、砷化銮、砷化銮鎵的化合物半導體基

板；SOI（Silicon On Insulator）基板；或GOI（Germanium on Insulator）基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

【0310】另外，作為基板也可以使用撓性基板來製造半導體裝置。在製造具有撓性的半導體裝置時，既可以在撓性基板上直接製造電晶體，也可以在其他製造基板上製造電晶體，然後從製造基板剝離電晶體並將其轉置到撓性基板上。另外，為了從製造基板剝離電晶體並將其轉置到撓性基板上，較佳為在製造基板與包括氧化物半導體的電晶體之間設置剝離層。

【0311】接著，形成絕緣體214、絕緣體216。接著，藉由光微影法等，在絕緣體216上形成光阻遮罩290，去除絕緣體214及絕緣體216的不需要的部分（圖19A）。然後，去除光阻遮罩290，由此可以形成開口。

【0312】在此，對被加工膜的加工方法進行說明。當對被加工膜進行微細加工時，可以使用各種微細加工技術。例如，也可以採用對藉由光微影法等形成的光阻遮罩進行縮小處理的方法。另外，也可以藉由光微影法等形成假圖案，在該假圖案處形成側壁之後去除假圖案，將殘留的側壁用作光阻遮罩，對被加工膜進行蝕刻。此外，為了實現高縱橫比，作為被加工膜的蝕刻較佳為利用各向異性乾蝕刻。另外，也可以使用由無機膜或金屬膜構成的硬遮罩。

【0313】作為用來形成光阻遮罩的光，例如可以使用i線（波長365nm）、g線（波長436nm）、h線（波長405nm）或將這些光混合的光。此外，還可以使用紫外線、KrF雷射或ArF雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光（EUV:Extreme Ultra-violet）或X射線。另外，也可以使用電子束代替用於曝光的光。當使用極紫外

光、X射線或電子束時，可以進行極其微細的加工，所以是較佳的。注意，在藉由利用電子束等光束進行掃描而進行曝光時，不需要光罩。

【0314】 另外，也可以在形成將成為光阻遮罩的光阻膜之前，形成具有提高被加工膜與光阻膜的緊密性的功能的有機樹脂膜。可以利用旋塗法等以覆蓋其下方的步階而使其表面平坦化的方式形成該有機樹脂膜，而可以降低形成在該有機樹脂膜上方的光阻遮罩的厚度的偏差。尤其是，在進行微細的加工時，作為該有機樹脂膜較佳為使用具有對用於曝光的光的反射防止膜的功能的材料。作為具有這種功能的有機樹脂膜，例如有BARC（Bottom Anti-Reflection Coating:底部抗反射）膜等。該有機樹脂膜可以在去除光阻遮罩的同時被去除或者在去除光阻遮罩之後被去除。

【0315】 接著，在絕緣體214及絕緣體216上形成導電體205A及導電體205B。導電體205A及導電體205B可以藉由濺射法、蒸鍍法、CVD法（包括熱CVD法、MOCVD法、PECVD法等）等形成。另外，為了減少電漿所導致的損傷，較佳為利用熱CVD法、MOCVD法或ALD法（圖19B）。

【0316】 接著，去除導電體205A及導電體205B的不需要的部分。例如，直到使絕緣體216露出為止藉由回蝕處理或化學機械拋光（CMP:Chemical Mechanical Polishing）處理等去除導電體205A及導電體205B的一部分，由此形成導電體205（圖19C）。此時，絕緣體216也可以被用作停止層，有時絕緣體216的厚度變薄。

【0317】 在此，CMP處理是一種對被加工物的表面藉由化學、機械的複合作用進行平坦化的方法。更明確而言，CMP處理是一種方法，其中在拋光台上貼附砂布，且一邊在被加工物與砂布之間供應漿料（拋光劑），一邊將拋光

台和被加工物分別旋轉或搖動，來由漿料與被加工物表面之間的化學反應以及砂布和被加工物的機械拋光的作用對被加工物的表面進行拋光。

【0318】 CMP處理既可只進行一次，又可進行多次。當進行CMP處理多次時，較佳為在進行高拋光率的初期拋光之後，進行低拋光率的精拋光。如此，也可以組合拋光率不同的拋光。

【0319】 接著，形成絕緣體220、絕緣體222及絕緣體224（圖19D）。注意，並不一定需要設置絕緣體220及絕緣體222。例如，當絕緣體224包括過量氧區域時，也可以在導電體205上形成具有阻擋性的導電體。藉由形成具有阻擋性的導電體，可以抑制導電體205與過量氧區域的氧起反應而生成氧化物。

【0320】 作為絕緣體220、絕緣體222及絕緣體224，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等。尤其是，作為絕緣體222，較佳為使用氧化鈺等high-k材料。

【0321】 絕緣體220、絕緣體222及絕緣體224例如可以利用濺射法、化學氣相沉積（CVD:Chemical Vapor Deposition）法（包括熱CVD法、有機金屬CVD（MOCVD:Metal Organic Chemical Vapor Deposition）法、電漿增強CVD（PECVD:Plasma Enhanced Chemical Vapor Deposition）法等）、分子束磊晶（MBE:Molecular Beam Epitaxy）法、原子層沉積（ALD:Atomic Layer Deposition）法或脈衝雷射沉積（PLD:Pulsed Laser Deposition）法等形成。尤其是，當藉由CVD法，較佳為藉由ALD法等形成該絕緣體時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱CVD法、MOCVD法或ALD法。此外，也可以使用使TEOS（Tetra-Ethyl-Ortho-Silicate:四

乙氧基矽烷)或矽烷等與氧或一氧化二氮等起反應而形成的步階覆蓋性良好的氧化矽膜。

【0322】 另外，較佳為連續地形成絕緣體220、絕緣體222及絕緣體224。藉由連續地形成它們，可以形成可靠性高的絕緣體，而不使雜質附著於絕緣體220與絕緣體222的介面及絕緣體222與絕緣體224的介面。

【0323】 接著，依次形成成為氧化物230a的氧化物230A及成為氧化物230b的氧化物230B。該氧化物較佳為以不接觸於大氣的方式連續地形成。

【0324】 然後，在氧化物230A上形成成為導電體240a及導電體240b的導電膜240A。作為導電膜240A，較佳為使用具有對氫或氧的阻擋性且耐氧化性高的材料。另外，雖然在圖式中採用單層，但是也可以採用兩層以上的疊層結構。接著，藉由與上述方法同樣的方法形成光阻遮罩292（圖19E）。

【0325】 使用光阻遮罩292，藉由蝕刻去除導電膜240A的不需要的部分，形成島狀導電層240B（圖20A）。然後，以導電層240B為遮罩藉由蝕刻去除氧化物230A及氧化物230B的不需要的部分。

【0326】 此時，也可以同時將絕緣體224加工為島狀。例如，藉由將具有阻擋性的絕緣體222用作蝕刻停止膜，即使在絕緣體220、絕緣體222及絕緣體224的總厚度薄的結構中，也可以防止絕緣體222的下方的佈線層也被過蝕刻。另外，藉由減少絕緣體220、絕緣體222及絕緣體224的總厚度，來自導電體205的電壓高效地施加到它們，所以可以提供一種功耗低的電晶體。

【0327】 然後，去除光阻遮罩，由此可以形成島狀氧化物230a、島狀氧化物230b及島狀導電層240B的疊層結構（圖20B）。

【0328】接著，較佳為進行加熱處理（圖20C中箭頭表示加熱處理）。加熱處理在250°C以上且400°C以下，較佳為320°C以上且380°C以下的溫度下且在惰性氣體氛圍、包含10ppm以上的氧化氣體的氛圍或減壓狀態下進行即可。此外，作為加熱處理的氛圍，在惰性氣體氛圍下進行加熱處理之後，還可以在包含10ppm以上的氧化氣體的氛圍下進行以填補脫離的氧。藉由加熱處理，可以去除作為氧化物230a及氧化物230b的雜質的氫。另外，氧從形成在氧化物230a的下方的絕緣體供應到氧化物230a及氧化物230b中，由此可以降低氧化物中的氧空位。

【0329】接著，藉由與上述方法同樣的方法在島狀導電層240B上形成光阻遮罩294（圖20D）。接著，藉由蝕刻去除導電層240B的不需要的部分，然後去除光阻遮罩294，由此形成導電體240a及導電體240b（圖21A）。此時，藉由對絕緣體222或絕緣體224的一部分進行蝕刻來減薄也可以實現s-channel結構。

【0330】這裡，也可以進行加熱處理。加熱處理的條件與在圖20C中說明的加熱處理相同即可。藉由加熱處理，可以去除作為氧化物230a及氧化物230b的雜質的氫。另外，氧從形成在氧化物230a的下方的絕緣體供應到氧化物230a及氧化物230b中，由此可以降低氧化物中的氧空位。再者，在使用氧化氣體進行加熱處理的情況下，藉由使氧化氣體直接接觸於形成通道的區域，可以高效地減少形成通道的區域中的氧空位。

【0331】接著，形成氧化物230c。此外，這裡也可以進行加熱處理（圖21B中箭頭表示加熱處理）。加熱處理的條件與在圖21C中說明的加熱處理相同即可。藉由加熱處理，可以去除作為氧化物230a及氧化物230b的雜質的氫。另外，氧從形成在氧化物230a的下方的絕緣體供應到氧化物230a及氧化物230b

中，由此可以降低氧化物中的氧空位。再者，在使用氧化氣體進行加熱處理的情況下，藉由使氧化氣體直接接觸於形成通道的區域，可以高效地減少形成通道的區域中的氧空位。

【0332】 接著，依次形成絕緣體250及將成為導電體260的導電膜260A。

另外，作為導電膜260A，較佳為使用具有對氫或氧的阻擋性且耐氧化性高的材料。另外，雖然在圖式中採用單層，但是也可以採用兩層以上的疊層結構。

【0333】 例如，作為兩層結構，可以採用相同材料的疊層。第一導電膜利用熱CVD法、MOCVD法或ALD法形成。尤其是，較佳為利用ALD法形成。藉由利用ALD法等形成，可以降低進行成膜時對絕緣體250造成的損傷。利用ALD法等可以形成覆蓋性高的導電膜260A。因此，可以提供一種可靠性高的電晶體200。

【0334】 接著，利用濺射法形成第二導電膜。此時，藉由在絕緣體250上具有第一導電膜，可以抑制形成第二導電膜時造成的損傷給絕緣體250帶來的影響。此外，濺射法的沉積速度比ALD法快，由此可以提高良率及生產率。注意，較佳為使用不包含氯的沉積氣體形成導電膜260A。

【0335】 接著，藉由與上述方法同樣的方法在導電膜260A上形成光阻遮罩296（圖21C）。接著，藉由蝕刻去除導電膜260A的不需要的部分來形成導電體260，然後去除光阻遮罩296（圖22A）。

【0336】 接著，在導電體260上形成絕緣體280。絕緣體280是包含氧的絕緣體，諸如氧化矽膜、氧氮化矽膜等。作為形成包含過量氧的絕緣體的方法，可以適當地設定CVD法或濺射法中的成膜條件，形成使其膜中包含多量氧的氧

化矽膜或氧氮化矽膜。另外，也可以在形成氧化矽膜及氧氮化矽膜之後，藉由離子植入法、離子摻雜法或電漿處理添加氧。

【0337】 尤其是，較佳為進行氧電漿處理（圖22B中箭頭表示電漿處理）。典型的氧電漿處理是指：利用藉由氧氣體的輝光放電電漿產生的自由基對氧化物半導體表面進行處理。但是產生電漿的氣體不侷限於氧，也可以是氧氣體和稀有氣體的混合氣體。例如，以250°C以上且400°C以下，較佳為300°C以上且400°C以下的溫度，在包含氧化氣體的氛圍或減壓狀態下進行氧電漿處理即可。

【0338】 藉由氧電漿處理，在對絕緣體280及氧化物230進行脫水化或脫氫化處理的同時對絕緣體280引入過量氧，由此可以形成過量氧區域。另外，在被脫水化或脫氫化的氧化物230中產生氧空位，而低電阻化。另一方面，絕緣體280中的過量氧填補氧化物230中的氧空位。因此，藉由氧電漿處理，絕緣體280可以其中形成過量氧區域的同時去除雜質的氫及水。此外，氧化物230邊填補氧空位邊去除雜質的氫或水。因此，可以提高電晶體200的電特性，並且可以減少電特性的不均勻。

【0339】 接著，在絕緣體280上形成絕緣體282（圖22C）。較佳為使用濺射裝置形成絕緣體282。藉由利用濺射法，可以更容易地在絕緣體282的下方的絕緣體280中形成過量氧區域。

【0340】 在藉由濺射法進行成膜時，在靶材與基板之間存在離子和被濺射的粒子。例如，靶材與電源連接，並被施加電位E0。另外，基板被施加接地電位等電位E1。但是，基板也可以處於電浮動狀態。另外，在靶材與基板之間存在成為電位E2的區域。各電位的大小關係滿足 $E2 > E1 > E0$ 。

【0341】藉由使電漿中的離子由於電位差 E_2-E_0 加速而該離子碰撞到靶材，被濺射的粒子從靶材被彈出。並且，藉由該被濺射的粒子附著於成膜表面上而沉積，來形成膜。另外，有時離子的一部分由靶材反沖，並且作為反沖離子經過所形成的膜被吸收到位於所形成的膜的下方的絕緣體280。此外，有時電漿中的離子由於電位差 E_2-E_1 而加速，衝擊到成膜表面。此時，離子的一部分到達絕緣體280的內部。藉由離子被吸收到絕緣體280，在絕緣體280中形成離子被吸收的區域。換言之，在離子是包含氧的離子的情況下，在絕緣體280中形成過量氧區域。

【0342】藉由對絕緣體280引入過量氧，可以形成過量氧區域。絕緣體280中的過量氧被供應到氧化物230中，可以填補氧化物230中的氧空位。在此，在作為與絕緣體280接觸的導電體260、導電體240a及導電體240b使用耐氧化性高的導電體的情況下，絕緣體280中的過量氧不被導電體260、導電體240a及導電體240b吸收，可以被高效地供應到氧化物230中。因此，可以提高電晶體200的電特性，並且可以減少電特性的不均勻。

【0343】藉由上述製程，可以製造本發明的一個實施方式的電晶體200。

【0344】以上，本實施方式所示的結構、方法等可以與其他實施方式及其他實施例所示的結構、方法等適當地組合而使用。

【0345】實施方式4

在本實施方式中，參照圖23至圖33說明半導體裝置的一個實施方式。

【0346】[結構實例]

圖23至圖30B示出使用本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。此外，圖30A是圖23至圖26所示的半導體裝置的電路圖。圖29A及圖29B示出圖23至圖26所示的半導體裝置的形成區域的端部。

【0347】 <半導體裝置的電路結構>

圖30A以及圖23至圖28所示的半導體裝置包括電晶體300、電晶體200及電容器100。

【0348】 電晶體200是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體200的關態電流小，所以藉由將該電晶體用於半導體裝置（記憶體裝置），可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極低，所以可以充分降低半導體裝置（記憶體裝置）的功耗。

【0349】 在圖30A中，佈線3001與電晶體300的源極電連接，佈線3002與電晶體300的汲極電連接。此外，佈線3003與電晶體200的源極和汲極中的一個電連接，佈線3004與電晶體200的閘極電連接。再者，電晶體300的閘極及電晶體200的源極和汲極中的另一個與電容器100的一個電極電連接，佈線3005與電容器100的另一個電極電連接。

【0350】 圖30A所示的半導體裝置藉由具有能夠保持電晶體300的閘極的電位的特徵，可以如下所示進行資料的寫入、保持以及讀出。

【0351】 對資料的寫入及保持進行說明。首先，將佈線3004的電位設定為使電晶體200處於導通狀態的電位，而使電晶體200處於導通狀態。由此，佈線3003的電位施加到與電晶體300的閘極及電容器100的一個電極電連接的節點FG。換言之，對電晶體300的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一

個。然後，藉由將佈線3004的電位設定為使電晶體200成為非導通狀態的電位而使電晶體200處於非導通狀態，使電荷保持在節點FG（保持）。

【0352】 在電晶體200的關態電流較小時，節點FG的電荷被長時間保持。

【0353】 接著，對資料的讀出進行說明。當在對佈線3001施加規定的電位（恆電位）的狀態下對佈線3005施加適當的電位（讀出電位）時，佈線3002具有對應於保持在節點FG中的電荷量的電位。這是因為：在電晶體300為n通道電晶體的情況下，對電晶體300的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體300的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體300成為“導通狀態”而需要的佈線3005的電位。由此，藉由將佈線3005的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別施加到節點FG的電荷。例如，在寫入時節點FG被供應高位準電荷的情況下，若佈線3005的電位為 V_0 （ $>V_{th_H}$ ），電晶體300則成為“導通狀態”。另一方面，當節點FG被供應低位準電荷時，即便佈線3005的電位為 V_0 （ $<V_{th_L}$ ），電晶體300也保持“非導通狀態”。因此，藉由辨別佈線3002的電位，可以讀出節點FG所保持的資料。

【0354】 藉由將圖30A所示的半導體裝置配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

【0355】 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資料。例如，在電晶體300為p通道型電晶體時，記憶單元具有NOR型的結構。因此，在不讀出資料的記憶單元中，可以藉由對佈線3005施加不管施加到節點FG的電位如何都使電晶體300成為“非導通狀態”的電位（亦即，低於 V_{th_H} 的電位），來僅讀出所希望的記憶單元的資料。或者，在電晶體

300為n通道型電晶體時，記憶單元具有NAND型的結構。因此，在不讀出資料的記憶單元中，可以藉由對佈線3005施加不管施加到節點FG的電荷如何都使電晶體300成為“導通狀態”的電位（亦即，高於 V_{th_L} 的電位），來僅讀出所希望的記憶單元的資料。

【0356】 <半導體裝置的電路結構2>

圖30B所示的半導體裝置與圖30A所示的半導體裝置不同之處為圖30B所示的半導體裝置不包括電晶體300。在此情況下也可以藉由與圖30A所示的半導體裝置相同的工作進行資料的寫入及保持工作。

【0357】 下面，說明圖30B所示的半導體裝置中的資料讀出。在電晶體200成為導通狀態時，處於浮動狀態的佈線3003和電容器100導通，且在佈線3003和電容器100之間再次分配電荷。其結果是，佈線3003的電位產生變化。佈線3003的電位的變化量根據電容器100的電極的一個的電位（或積累在電容器100中的電荷）而具有不同的值。

【0358】 例如，在電容器100的電極的一個的電位為 V ，電容器100的電容為 C ，佈線3003所具有的電容成分為 CB ，在再次分配電荷之前的佈線3003的電位為 $VB0$ 時，再次分配電荷之後的佈線3003的電位為 $(CB \times VB0 + CV) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容器100的電極的一個的電位成為兩種狀態，亦即， $V1$ 和 $V0$ （ $V1 > V0$ ）時，可以知道保持電位 $V1$ 時的佈線3003的電位（ $= (CB \times VB0 + CV1) / (CB + C)$ ）高於保持電位 $V0$ 時的佈線3003的電位（ $= (CB \times VB0 + CV0) / (CB + C)$ ）。

【0359】 而且，藉由對佈線3003的電位和規定的電位進行比較可以讀出資料。

【0360】 在採用本結構的情況下，例如可以採用一種結構，其中對用來驅動記憶單元的驅動電路使用應用矽的電晶體，且將應用氧化物半導體的電晶體作為電晶體200層疊於驅動電路上。

【0361】 上述半導體裝置可以應用使用氧化物半導體的關態電流小的電晶體來長期間地保持存儲內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而可以實現低耗電的半導體裝置。此外，在沒有電力的供應時（但是，較佳為固定電位）也可以長期間地保持存儲內容。

【0362】 此外，因為該半導體裝置在寫入資料時不需要高電壓，所以其中不容易產生元件的劣化。由於例如不如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生如絕緣體的劣化等的問題。換言之，與習知的非揮發性記憶體不同，根據本發明的一個實施方式的半導體裝置是對重寫的次數沒有限制而其可靠性得到極大提高的半導體裝置。再者，根據電晶體的導通狀態或非導通狀態而進行資料寫入，從而可以進行高速工作。

【0363】 〈半導體裝置的結構1〉

如圖23所示，本發明的一個實施方式的半導體裝置包括電晶體300、電晶體200、電容器100。電晶體200設置在電晶體300的上方，電容器100設置在電晶體300及電晶體200的上方。

【0364】 電晶體300設置在基板311上，並包括：導電體316、絕緣體314、由基板311的一部分構成的半導體區域312；以及被用作源極區域或汲極區域的低電阻區域318a及低電阻區域318b。

【0365】 電晶體300可以為p通道型電晶體或n通道型電晶體。

【0366】 半導體區域312的形成通道的區域或其附近的區域、被用作源極區域或汲極區域的低電阻區域318a及低電阻區域318b等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。另外，也可以使用包含Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）等的材料形成。可以使用對晶格施加應力，改變晶面間距而控制有效質量的矽。此外，電晶體300也可以是使用GaAs和GaAlAs等的HEMT（High Electron Mobility Transistor:高電子移動率電晶體）。

【0367】 在低電阻區域318a及低電阻區域318b中，除了應用於半導體區域312的半導體材料之外，還包含砷、磷等賦予n型導電性的元素或硼等賦予p型導電性的元素。

【0368】 作為被用作閘極電極的導電體316，可以使用包含砷、磷等賦予n型導電性的元素或硼等賦予p型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。

【0369】 另外，藉由根據導電體的材料設定功函數，可以調整臨界電壓。明確而言，作為導電體較佳為使用氮化鈦或氮化鉭等材料。為了兼具導電性和埋入性，作為導電體較佳為使用鎢或鋁等金屬材料的疊層，尤其在耐熱性方面上較佳為使用鎢。

【0370】 注意，圖23所示的電晶體300的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。另外，在採用圖30B所示的電路結構的情況下，也可以不設置電晶體300。

【0371】 以覆蓋電晶體300的方式依次層疊有絕緣體320、絕緣體322、絕緣體324及絕緣體326。

【0372】 作為絕緣體320、絕緣體322、絕緣體324及絕緣體326，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁及氮化鋁等。

【0373】 絕緣體322也可以被用作使因設置在其下方的電晶體300等而產生的步階平坦化的平坦化膜。例如，為了提高絕緣體322的頂面的平坦性，其頂面也可以藉由利用化學機械拋光（CMP:Chemical Mechanical Polishing）法等平坦化處理被平坦化。

【0374】 作為絕緣體324，較佳為使用能夠防止氫等雜質從基板311或電晶體300等擴散到設置有電晶體200的區域中的具有阻擋性的膜。在此，阻擋性是指耐氧化性高且抑制以氧、氫及水為代表的雜質的擴散的功能。例如，在350°C或400°C的氛圍下，具有阻擋性的膜中的每小時的氧或氫擴散距離可以為50nm以下。較佳的是，在350°C或400°C的氛圍下，具有阻擋性的膜中的每小時的氧或氫擴散距離較佳為30nm以下，更佳為20nm以下。

【0375】 作為對氫具有阻擋性的膜的一個例子，例如可以使用藉由CVD法形成的氮化矽。在此，有時氫擴散到電晶體200等具有氧化物半導體的半導體元件中導致該半導體元件的特性下降。因此，較佳為在電晶體200與電晶體300之間設置抑制氫的擴散的膜。明確而言，抑制氫的擴散的膜是指氫的脫離量少的膜。

【0376】 氫的脫離量例如可以利用熱脫附譜分析法（TDS（Thermal Desorption Spectroscopy））等測量。例如，在TDS分析中的50°C至500°C的範圍內，當將換算為氫原子的脫離量換算為絕緣體324的每個面積的量時，絕緣

體324中的氫的脫離量為 $10 \times 10^{15} \text{atoms/cm}^2$ 以下，較佳為 $5 \times 10^{15} \text{atoms/cm}^2$ 以下，即可。

【0377】 注意，絕緣體326的介電常數較佳為比絕緣體324低。例如，絕緣體324的相對介電常數較佳為低於4，更佳為低於3。例如，絕緣體326的相對介電常數較佳為絕緣體324的相對介電常數的0.7倍以下，更佳為0.6倍以下。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。

【0378】 另外，在絕緣體320、絕緣體322、絕緣體324及絕緣體326中嵌入與電容器100或電晶體200電連接的導電體328、導電體330等。另外，導電體328及導電體330被用作插頭或佈線。注意，如後面說明，有時使用同一元件符號表示被用作插頭或佈線的多個導電體。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0379】 作為各插頭及佈線（導電體328及導電體330等）的材料，可以使用金屬材料、合金材料、金屬氮化物材料或金屬氧化物材料等導電材料的單層或疊層。明確而言，較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。或者，較佳為使用鋁或銅等低電阻導電材料。藉由使用低電阻導電材料可以降低佈線電阻。

【0380】 也可以在絕緣體326及導電體330上形成佈線層。例如，在圖23中，依次層疊有絕緣體350、絕緣體352及絕緣體354。另外，在絕緣體350、絕緣體352及絕緣體354中形成有導電體356。導電體356被用作插頭或佈線。此外，導電體356可以使用與導電體328及導電體330同樣的材料形成。

【0381】 另外，與絕緣體324同樣，絕緣體350例如較佳為使用對氫具有阻擋性的絕緣體。此外，導電體356較佳為包含對氫具有阻擋性的導電體。尤其是，在對氫具有阻擋性的絕緣體350所具有的開口中形成對氫具有阻擋性的導電體。藉由採用該結構，可以使障壁層將電晶體300與電晶體200分離，從而可以抑制氫從電晶體300擴散到電晶體200中。

【0382】 注意，作為對氫具有阻擋性的導電體，例如較佳為使用氮化鉬等。另外，藉由層疊氮化鉬和導電性高的鎢，可以在保持作為佈線的導電性的狀態下抑制氫從電晶體300擴散。此時，對氫具有阻擋性的氮化鉬層較佳為與對氫具有阻擋性的絕緣體350接觸。

【0383】 在絕緣體354上，依次層疊有絕緣體358、絕緣體210、絕緣體212、絕緣體213、絕緣體214及絕緣體216。作為絕緣體358、絕緣體210、絕緣體212、絕緣體213、絕緣體214和絕緣體216中的任何一個，較佳為使用對氧或氫具有阻擋性的物質。

【0384】 例如，作為絕緣體358及絕緣體212，例如較佳為使用能夠防止氫等雜質從設置有基板311或電晶體300的區域等擴散到設置有電晶體200的區域中的具有阻擋性的膜。因此，上述膜可以使用與絕緣體324同樣的材料。

【0385】 作為對氫具有阻擋性的膜的一個例子，可以使用藉由CVD法形成的氮化矽。在此，有時氫擴散到電晶體200等具有氧化物半導體的半導體元件中導致該半導體元件的特性下降。因此，較佳為在電晶體200與電晶體300之間設置抑制氫的擴散的膜。明確而言，抑制氫的擴散的膜是指氫的脫離量少的膜。

【0386】 例如，作為對於氫具有阻擋性的膜，絕緣體213及絕緣體214較佳為使用氧化鋁、氧化鉛、氧化鉭等金屬氧化物。

【0387】 尤其是，氧化鋁的不使膜透過氧及導致電晶體的電特性變動的氫、水分等雜質的阻擋效果高。因此，在電晶體的製程中及製程之後，氧化鋁可以防止氫、水分等雜質混入電晶體200中。另外，氧化鋁可以抑制氧從構成電晶體200的氧化物釋放。因此，氧化鋁適合用作電晶體200的保護膜。

【0388】 例如，作為絕緣體210及絕緣體216，可以使用與絕緣體320同樣的材料。此外，藉由將介電常數較低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體216，可以使用氧化矽膜和氧氮化矽膜等。

【0389】 另外，作為絕緣體358、絕緣體210、絕緣體212、絕緣體213、絕緣體214及絕緣體216，嵌入導電體218及構成電晶體200的導電體（導電體205）等。此外，導電體218被用作與電容器100或電晶體300電連接的插頭或佈線。導電體218可以使用與導電體328及導電體330同樣的材料形成。

【0390】 尤其是，與絕緣體358、絕緣體212、絕緣體213及絕緣體214接觸的區域的導電體218較佳為對氧、氫及水具有阻擋性的導電體。藉由採用該結構，可以利用對氧、氫及水具有阻擋性的層將電晶體300與電晶體200完全分離，從而可以抑制氫從電晶體300擴散到電晶體200中。

【0391】 例如，當絕緣體224包括過量氧區域時，較佳為作為與絕緣體224接觸的導電體諸如導電體218等，使用耐氧化性高的導電體。此外，如圖式所示，也可以在導電體218及構成電晶體200的導電體（導電體205）上設置具

有阻擋性的導電體219。藉由採用本結構，可以抑制導電體218及構成電晶體200的導電體（導電體205）與過量氧區域的氧起反應而生成氧化物。

【0392】 在絕緣體224的上方設置有電晶體200。另外，作為電晶體200，可以採用上述實施方式中說明的電晶體的結構。注意，圖23所示的電晶體200的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

【0393】 在電晶體200的上方設置絕緣體280。在絕緣體280中，較佳為形成過量氧區域。尤其是，在將氧化物半導體用於電晶體200時，作為電晶體200附近的層間膜等形成具有過量氧區域的絕緣體，降低電晶體200的氧空位，而可以提高電晶體200的可靠性。

【0394】 明確而言，作為具有過量氧區域的絕緣體，較佳為使用藉由加熱使一部分的氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物是指在TDS分析中換算為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上的氧化物膜。另外，進行上述TDS分析時的膜的表面溫度較佳為在 100°C 以上且 700°C 以下，或者 100°C 以上且 500°C 以下的範圍內。

【0395】 例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

【0396】 另外，覆蓋電晶體200的絕緣體280也可以被用作覆蓋其下方的凹凸形狀的平坦化膜。此外，在絕緣體280中嵌入導電體244等。

【0397】導電體244被用作與電容器100、電晶體200或電晶體300電連接的插頭或佈線。導電體244可以使用與導電體328及導電體330同樣的材料形成。

【0398】例如，當導電體244具有疊層結構時，較佳為包含不容易氧化（耐氧化性高）的導電體。尤其較佳的是，在與具有過量氧區域的絕緣體280接觸的區域中包含耐氧化性高的導電體。藉由採用該結構，可以抑制過量氧從絕緣體280被吸收到導電體244中。另外，導電體244較佳為包含對氫具有阻擋性的導電體。尤其是，藉由在與具有過量氧區域的絕緣體280接觸的區域中包含對氫等雜質具有阻擋性的導電體，可以抑制導電體244中的雜質及導電體244的一部分擴散或成為來自外部的雜質的擴散路徑。

【0399】也可以在導電體244上設置導電體246、導電體124、導電體112a及導電體112b。導電體246及導電體124被用作與電容器100、電晶體200或電晶體300電連接的插頭或者佈線。此外，導電體112a及導電體112b被用作電容器100的電極。此外，導電體246及導電體112a可以同時形成。此外，導電體124及導電體112b可以同時形成。

【0400】導電體246、導電體124、導電體112a及導電體112b可以使用包含選自鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銦中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鉭膜、氮化鈦膜、氮化鉬膜、氮化鎢膜）等。或者，作為導電體246、導電體124、導電體112a及導電體112b，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等導電材料。

【0401】尤其是，作為導電體246及導電體112a較佳為使用氮化鉬膜等金屬氮化物膜，該金屬氮化物膜具有對氫或氧的阻擋性，並且不容易氧化（耐氧化性高）。另一方面，作為導電體124及導電體112b例如較佳為使用鎢等導電性高的材料層疊。藉由使用該組合，可以在保持作為佈線的導電性的同時抑制氫擴散到絕緣體280及電晶體200。此外，在圖23中，示出導電體246及導電體124的兩層結構，但是也可以不侷限於該結構，既可以是單層又可以是三層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成與具有阻擋性的導電體以及導電性高的導電體之間的緊密性高的導電體。

【0402】也可以在導電體124上設置障壁層281。藉由包括障壁層281，可以抑制導電體124在後面的製程中被氧化。此外，可以抑制包含在導電體124中的雜質或導電體124的一部分擴散。另外，可以抑制雜質透過導電體124、導電體246及導電體244擴散到絕緣體280。

【0403】障壁層281可以使用絕緣性材料。此時，障壁層281也可以具有電容器100的介電質的一部分的功能。此外，障壁層281也可以使用導電材料形成。此時，也可以具有佈線或電極的一部分的功能。

【0404】作為障壁層281，例如較佳為使用氧化鋁、氧化鉛、氧化鉬等金屬氧化物或氮化鉬等金屬氮化物等。尤其是，氧化鋁的不使氧及導致電晶體的電特性變動的氫、水分等雜質透過膜的阻擋效果高。因此，在半導體裝置的製程中及製程之後，氧化鋁可以防止導電體124、氫、水分等雜質混入電晶體200中。

【0405】在障壁層281及絕緣體280上設置有絕緣體282。絕緣體282較佳為使用對氧或氫具有阻擋性的物質。因此，絕緣體282可以使用與絕緣體214同

樣的材料。例如，絕緣體282較佳為使用氧化鋁、氧化鉛、氧化鉭等金屬氧化物。

【0406】 尤其是，氧化鋁的不使膜透過氧及導致電晶體的電特性變動的氫、水分等雜質的阻擋效果高。因此，在電晶體的製程中及製程之後，氧化鋁可以防止氫、水分等雜質混入電晶體200中。另外，氧化鋁可以抑制氧從構成電晶體200的氧化物釋放。因此，氧化鋁適合用作電晶體200的保護膜。

【0407】 因此，可以由絕緣體212、絕緣體213和絕緣體214的疊層結構與絕緣體282夾住電晶體200及包括過量氧區域的絕緣體280。絕緣體212、絕緣體213、絕緣體214及絕緣體282具有抑制氧或雜質諸如氫及水的擴散的阻擋性。

【0408】 可以抑制從絕緣體280及電晶體200釋放的氧擴散到形成有電容器100或電晶體300的層中。或者，可以抑制氫及水等雜質從絕緣體282的上方的層及絕緣體214的下方的層擴散到電晶體200中。

【0409】 就是說，可以將氧從絕緣體280的過量氧區域高效地供應到電晶體200中的其中形成通道的氧化物，而可以減少氧空位。另外，可以防止由於雜質而在電晶體200中的其中形成通道的氧化物中形成氧空位。因此，可以將電晶體200中的其中形成通道的氧化物形成為缺陷態密度低且特性穩定的氧化物半導體。就是說，在抑制電晶體200的電特性變動的同時，可以提高可靠性。

【0410】 這裡，對當將大面積基板按每個半導體元件分割而得到晶片形狀的多個半導體裝置時設置的切割線（也稱為分割線、分離線或截斷線）進行說明。作為分割方法，例如，有時，首先在基板中形成用來分離半導體元件的

槽（切割線）之後，在切割線處截斷，得到被分離（被分割）的多個半導體裝置。圖29A及圖29B示出切割線附近的剖面圖。

【0411】 例如，如圖29A所示，在與設置在包括電晶體200的記憶單元的邊緣的切割線（在圖式中，以點劃線表示）重疊的區域附近，在絕緣體212、絕緣體213、絕緣體214、絕緣體216、絕緣體224及絕緣體280中形成開口。另外，以覆蓋絕緣體212、絕緣體213、絕緣體214、絕緣體216、絕緣體224及絕緣體280的側面的方式設置絕緣體282。

【0412】 這裡，當障壁層281具有絕緣性時，較佳為在該開口中在絕緣體282與開口的內面之間夾著障壁層281設置絕緣體282。藉由包括障壁層281，可以進一步抑制雜質的擴散。

【0413】 因此，在該開口中，絕緣體212、絕緣體213及絕緣體214與障壁層281接觸。此時，藉由使用相同材料及相同方法形成絕緣體212、絕緣體213和絕緣體214中的至少一個及絕緣體282，可以提高它們之間的緊密性。此外，較佳為使用相同材料形成障壁層281及絕緣體282。例如，可以使用氧化鋁。藉由在利用ALD法等能夠形成緻密的膜的方法形成障壁層281之後，利用濺射法等成膜速率高的方法形成絕緣體282，可以提高生產率及阻擋性。

【0414】 藉由採用該結構，可以使絕緣體212、絕緣體213、絕緣體214及絕緣體282包圍絕緣體280及電晶體200。絕緣體212、絕緣體213、絕緣體214及絕緣體282由於具有抑制氧、氫及水的擴散的功能，所以即使將基板按每個形成有本實施方式所示的半導體元件的電路區域分割而加工為多個晶片，也可以防止從截斷的基板的側面方向混入氫或水等雜質且該雜質擴散到電晶體200。

【0415】 另外，藉由採用該結構，可以防止絕緣體280中的過量氧擴散到絕緣體282及絕緣體214的外部。因此，絕緣體280中的過量氧高效地被供應到在電晶體200中形成通道的氧化物中。藉由該氧，可以減少在電晶體200中形成通道的氧化物中的氧空位。由此，可以使在電晶體200中形成通道的氧化物成為缺陷態密度低且具有穩定的特性的氧化物半導體。換言之，可以在抑制電晶體200的電特性變動的同時提高可靠性。

【0416】 另外，例如，如圖29B所示，也可以在切割線（在圖式中，以點劃線表示）的兩側的區域中且在絕緣體212、絕緣體213、絕緣體214、絕緣體216、絕緣體224及絕緣體280中形成開口。注意，雖然在圖式中形成兩個開口，但是可以根據需要形成更多的開口。

【0417】 因此，在形成於切割線的兩側的開口中，絕緣體212、絕緣體213及絕緣體214至少在兩處與障壁層281接觸，所以具有緊密性更高的結構。在此情況下，藉由使用相同材料及相同方法形成絕緣體212、絕緣體213和絕緣體214中的至少一個及絕緣體282，也可以提高它們之間的緊密性。

【0418】 另外，藉由形成多個開口，可以實現絕緣體282與絕緣體212、絕緣體213及絕緣體214在多個區域中接觸的結構。由此，可以防止從切割線混入的雜質到達電晶體200。

【0419】 藉由採用該結構，可以嚴密地密封電晶體200與絕緣體280。因此，可以將電晶體200中的其中形成通道的氧化物形成為缺陷態密度低且特性穩定的氧化物半導體。就是說，在抑制電晶體200的電特性變動的同時，可以提高可靠性。

【0420】 接著，在電晶體200的上方設置有電容器100。電容器100包括導電體112（導電體112a及導電體112b）、障壁層281、絕緣體282、絕緣體130、導電體116。

【0421】 導電體112被用作電容器100的電極。例如，圖23所示的結構是被用作與電晶體200及電晶體300連接的插頭或佈線的導電體244的一部分被用作導電體112的結構。此外，當障壁層281具有導電性時，障壁層281被用作電容器100的電極的一部分。此外，當障壁層281具有絕緣性時，障壁層281被用作電容器100的電介質的一部分。

【0422】 藉由採用該結構，與分別形成電極及佈線的情況相比，可以降低製程數，所以可以提高生產率。

【0423】 另外，絕緣體282被夾在導電體112與導電體116之間的區域被用作電介質。例如，當絕緣體282使用氧化鋁等高介電常數（high-k）材料時，電容器100可以確保充分的電容。

【0424】 此外，作為電介質的一部分也可以設置絕緣體130。絕緣體130例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛等，並採用疊層或單層。

【0425】 例如，當絕緣體282使用氧化鋁等高介電常數（high-k）材料時，絕緣體130使用氧氮化矽等介電強度大的材料。藉由採用該結構，電容器100包括絕緣體130，增大介電強度，可以抑制電容器100的靜電破壞。

【0426】 導電體116以隔著障壁層281、絕緣體282及絕緣體130覆蓋導電體112的側面及頂面的方式設置。藉由採用該結構，由導電體116隔著絕緣體包

圍導電體112的側面。藉由採用該結構，在導電體112的側面還形成電容，因此可以增大電容器的每投影面積的容量。因此，可以實現半導體裝置的小面積化、高集成化以及微型化。

【0427】 作為導電體116可以使用金屬材料、合金材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。當與導電體等其他結構同時形成該導電體116時，使用低電阻金屬材料的Cu（銅）或Al（鋁）等即可。

【0428】 在導電體116及絕緣體130上設置有絕緣體150。作為絕緣體150可以使用與絕緣體320同樣的材料。另外，絕緣體150可以被用作覆蓋其下方的凹凸形狀的平坦化膜。

【0429】 以上是結構實例的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。另外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可以提供一種包含關態電流小的氧化物半導體的電晶體。另外，可以提供一種功耗得到減少的半導體裝置。

【0430】 <變形例子1>

作為本實施方式的變形例子，也可以如圖24所示那樣形成導電體244及障壁層281。也就是說，也可以在絕緣體280中嵌入將成為插頭或佈線的導電體244及將成為電容器100的電極的一部分的導電體112，在導電體244上使用具有阻擋性的導電體或絕緣體設置障壁層281。此外，此時障壁層281較佳為使用不僅具有阻擋性也具有高耐氧化性的導電體。藉由採用該結構，由於導電體244的一部分被用作電容器的電極（導電體112），所以不需要另行設置導電體。

【0431】 因此，如圖24所示，電容器100包括導電體244的一區域的導電體112、絕緣體282、絕緣體130、導電體116。

【0432】 被用作電容器100的電極的導電體112可以與導電體244同時形成。藉由採用該結構，可以提高生產率。此外，由於不需要用來形成電容器的電極的遮罩，所以可以減少製程數。

【0433】 在絕緣體216上依次層疊有絕緣體220、絕緣體222及絕緣體224。絕緣體220、絕緣體222和絕緣體224中的任一個較佳為使用對氧或氫具有阻擋性的物質。此外，絕緣體220、絕緣體222及絕緣體224有時被用作電晶體200的一部分（閘極絕緣體）。

【0434】 絕緣體224較佳為使用其氧含量超過化學計量組成的氧化物。就是說，在絕緣體224中，較佳為形成有與化學計量組成相比氧過剩的區域（以下，也稱為過量氧區域）。尤其是，在將氧化物半導體用於電晶體200時，在電晶體200附近的基底膜等中設置具有過量氧區域的絕緣體，降低電晶體200的氧空位，而可以提高電晶體200的可靠性。

【0435】 明確而言，作為具有過量氧區域的絕緣體，較佳為使用藉由加熱使一部分的氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物是指在TDS分析中換算為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上的氧化物膜。另外，進行上述TDS分析時的膜的表面溫度較佳為在 100°C 以上且 700°C 以下，或者 100°C 以上且 500°C 以下的範圍內。

【0436】 例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。注意，在本說明書中，“氧氮化矽”是指在

其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

【0437】 當絕緣體224包括過量氧區域時，絕緣體222或絕緣體220較佳為對氧、氮及水具有阻擋性。藉由絕緣體222或絕緣體220對氧具有阻擋性，過量氧區域的氧高效地供應給電晶體200所包括的氧化物230而不擴散到電晶體300一側。此外，可以抑制導電體218及構成電晶體200的導電體（導電體205）與過量氧區域的氧起反應來生成氧化物。

【0438】 以上是對變形例子的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。另外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可以提供一種包含關態電流小的氧化物半導體的電晶體。另外，可以提供一種功耗得到減少的半導體裝置。

【0439】 <變形例子2>

在本實施方式的變形例子中，也可以如圖25所示那樣形成導電體219、導電體244及具有阻擋性的導電體246。也就是說，也可以在絕緣體280中嵌入將成為插頭或佈線的導電體244，在導電體244上設置具有阻擋性的導電體246。此外，此時，導電體246較佳為使用不僅具有阻擋性也具有高耐氧化性的導電體。此外，藉由採用該結構，可以同時形成導電體246及用作電容器的電極的導電體112。此外，藉由採用該結構，由於導電體246也被用作障壁層，所以不需要另行設置障壁層。

【0440】 因此，電容器100如圖25所示包括導電體112、絕緣體282、絕緣體130、導電體116。被用作電容器100的電極的導電體112可以與導電體246同時形成。

【0441】 以上是對變形例子的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。另外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可以提供一種包含關態電流小的氧化物半導體的電晶體。另外，可以提供一種功耗得到減少的半導體裝置。

【0442】 <變形例子3>

在本實施方式的變形例子中，也可以如圖26所示那樣設置電容器100。也就是說，在絕緣體280中嵌入將成為插頭或佈線的導電體244，在導電體244上設置具有阻擋性的障壁層281之後，設置具有阻擋性的絕緣體282及絕緣體284。接著，在絕緣體284上設置平坦性高的絕緣體286，由此可以在平坦性高的絕緣體286上設置電容器100。

【0443】 電容器100形成在絕緣體286上，並包括導電體112（導電體112a及導電體112b）、絕緣體130、絕緣體132、絕緣體134及導電體116。導電體124被用作與電容器100、電晶體200或電晶體300電連接的插頭或佈線。

【0444】 作為導電體112可以使用金屬材料、合金材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。當與導電體等其他結構同時形成該導電體112時，使用低電阻金屬材料的Cu（銅）或Al（鋁）等即可。

【0445】在導電體112上形成絕緣體130、絕緣體132及絕緣體134。作為絕緣體130、絕緣體132及絕緣體134例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛等。在圖式中，採用三層結構，也可以採用單層、兩層或四層以上的疊層結構。

【0446】例如，較佳的是，作為絕緣體130及絕緣體134使用氧氮化矽等介電強度大的材料，作為絕緣體132使用氧化鋁等介電常數高（high-k）的材料。在具有該結構的電容器100中，由於介電常數高（high-k）的絕緣體而可以確保充分的電容，並且在包括介電強度大的絕緣體時絕緣強度得到提高而可以抑制電容器100的靜電放電。

【0447】在導電體112上隔著絕緣體130、絕緣體132及絕緣體134設置導電體116。作為導電體116可以使用金屬材料、合金材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。當與導電體等其他結構同時形成該導電體116時，使用低電阻金屬材料的Cu（銅）或Al（鋁）等即可。

【0448】此外，藉由作為被用作一個電極的導電體112採用如導電體112b那樣的具有凸狀的結構體，可以增大電容器的每投影面積的容量。因此，可以實現半導體裝置的小面積化、高集成化以及微型化。

【0449】以上是對變形例子的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。另外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可

以提供一種包含關態電流小的氧化物半導體的電晶體。另外，可以提供一種功耗得到減少的半導體裝置。

【0450】 <變形例子4>

圖27示出本實施方式的一個變形例子。圖27與圖23的不同之處在於電晶體300及電晶體200的結構。

【0451】 在圖27所示的電晶體300中，形成通道的半導體區域312（基板311的一部分）具有凸形狀。另外，以隔著絕緣體314覆蓋半導體區域312的側面及頂面的方式設置導電體316。另外，導電體316可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體300也被稱為FIN型電晶體。另外，也可以以與凸部的上表面接觸的方式具有用作用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對SOI基板進行加工來形成具有凸部的半導體膜。

【0452】 圖27所示的電晶體200的結構的詳細內容在之前的實施方式中進行了說明。在形成在絕緣體280中的開口形成有氧化物、閘極絕緣體及將成為閘極的導電體。因此，較佳為至少在將成為閘極的導電體上形成具有阻擋性的導電體246。

【0453】 當作為導電體112（導電體246）層疊氮化鉭等對氧、氫或水具有阻擋性的導電體以及鎢或銅等導電性高的導電體使用時，鎢或銅等導電性高的導電體被氮化鉭及障壁層281完全密封。因此，可以抑制銅等的導電體本身的擴散，並可以抑制從絕緣體282上方透過導電體244侵入雜質。

【0454】 在電晶體200的上方設置有電容器100。在圖27所示的結構中，在電容器100包括導電體112、具有阻擋性的導電體246、絕緣體282、絕緣體130、導電體116。

【0455】 導電體112被用作電容器100的電極。例如，圖27所示的結構是被用作與電晶體200及電晶體300連接的插頭或佈線的導電體244的一部分被用作導電體112的結構。此外，當障壁層281具有導電性時，障壁層281被用作電容器100的電極的一部分。此外，當障壁層281具有絕緣性時，障壁層281被用作電容器100的電介質。

【0456】 藉由採用該結構，與分別形成電極及佈線的情況相比，可以降低製程數，所以可以提高生產率。

【0457】 以上是對變形例子的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。另外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可以提供一種包含關態電流小的氧化物半導體的電晶體。另外，可以提供一種功耗得到減少的半導體裝置。

【0458】 <變形例子5>

圖28示出本實施方式的一個變形例子。圖28與圖26的不同之處在於電晶體200的結構。

【0459】 如圖28所示，也可以設置絕緣體279及障壁層271。絕緣體279可以使用與絕緣體280相同的材料及製造方法形成。也就是說，絕緣體279與絕緣體280同樣地較佳為使用其氧含量超過化學計量組成的氧化物。因此，絕緣體279是包含氧的絕緣體，諸如氧化矽膜、氧氮化矽膜等。作為形成包含過量氧

的絕緣體的方法，可以適當地設定CVD法或濺射法中的成膜條件，形成使其膜中包含多量氧的氧化矽膜或氧氮化矽膜。此外，在形成成為絕緣體279的絕緣體之後，也可以進行採用CMP法等平坦化處理以提高該絕緣體的頂面的平坦性。另外，為了在絕緣體279中形成過量氧區域，例如也可以利用離子植入法、離子摻雜法、電漿處理添加氧。

【0460】障壁層271使用對氧具有阻擋性的絕緣體或導電體。障壁層271例如可以利用濺射法或原子層沉積（ALD:Atomic Layer Deposition）法使用氧化鋁、氧化鉛、氧化鉭、氮化鉭等形成。

【0461】在絕緣體279及障壁層271上設置絕緣體280。藉由使用同一材料及同一製造方法設置絕緣體279及絕緣體280，在對絕緣體280進行過氧化處理時，被引入的過量氧不僅擴散到絕緣體280，也擴散到絕緣體279。因此，為了在絕緣體280及絕緣體279中形成過量氧區域，例如也可以利用離子植入法、離子摻雜法、電漿處理對絕緣體280添加氧。

【0462】以上是對變形例子的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。另外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可以提供一種包含關態電流小的氧化物半導體的電晶體。另外，可以提供一種功耗得到減少的半導體裝置。

【0463】<變形例子6>

圖31A及圖31B示出本實施方式的一個變形例子。圖31A及圖31B分別示出以點劃線A1-A2為軸的電晶體200的通道長度及通道寬度方向的剖面。

【0464】如圖31A及圖31B所示，也可以採用使用絕緣體212和絕緣體214的疊層及絕緣體282和絕緣體284的疊層包圍電晶體200及包括過量氧區域的絕緣體280的結構。此時，在使電晶體300與電容器100連接的貫通電極與電晶體200之間，絕緣體212和絕緣體214的疊層結構較佳為與絕緣體282和絕緣體284的疊層結構接觸。

【0465】因此，可以抑制從絕緣體280及電晶體200釋放的氧擴散到形成有電容器100或電晶體300的層中。或者，可以抑制氫及水等雜質從絕緣體282的上方的層及絕緣體214的下方的層擴散到電晶體200中。

【0466】就是說，可以將氧從絕緣體280的過量氧區域高效地供應到電晶體200中的其中形成通道的氧化物，而可以減少氧空位。另外，可以防止由於雜質而在電晶體200中的其中形成通道的氧化物中形成氧空位。因此，可以將電晶體200中的其中形成通道的氧化物形成為缺陷態密度低且特性穩定的氧化物半導體。就是說，在抑制電晶體200的電特性變動的同時，可以提高可靠性。

【0467】<變形例子7>

圖32A及圖32B示出本實施方式的一個變形例子。圖32A是抽出將圖30A所示的半導體裝置配置為矩陣狀時的行的一部分的電路圖。此外，圖32B是對應於圖32A的電路圖的半導體裝置的剖面圖。

【0468】在圖32A及圖32B中，在同一行中設置有如下半導體裝置，亦即，包括電晶體300、電晶體200及電容器100的半導體裝置；包括電晶體301、電晶體201及電容器101的半導體裝置；以及包括電晶體302、電晶體202及電容器102的半導體裝置。

【0469】如圖32B所示，也可以採用使用絕緣體212和絕緣體214的疊層及絕緣體282和絕緣體284的疊層包圍多個電晶體（在圖式中為電晶體200和電晶體201）及包括過量氧區域的絕緣體280的結構。此時，在使電晶體300、電晶體301或電晶體302與電容器100、電容器101或電容器102連接的貫通電極與電晶體200、電晶體201或電晶體202之間，絕緣體212和絕緣體214及絕緣體282和絕緣體284較佳為具有疊層結構。

【0470】因此，可以抑制從絕緣體280及電晶體200釋放的氧擴散到形成有電容器100或電晶體300的層中。或者，可以抑制氫及水等雜質從絕緣體282的上方的層及絕緣體214的下方的層擴散到電晶體200中。

【0471】就是說，可以將氧從絕緣體280的過量氧區域高效地供應到電晶體200中的其中形成通道的氧化物，而可以減少氧空位。另外，可以防止由於雜質而在電晶體200中的其中形成通道的氧化物中形成氧空位。因此，可以將電晶體200中的其中形成通道的氧化物形成為缺陷態密度低且特性穩定的氧化物半導體。就是說，在抑制電晶體200的電特性變動的同時，可以提高可靠性。

【0472】<變形例子8>

圖33示出本實施方式的一個變形例子。圖33是在圖32A及圖32B所示的半導體裝置中集成電晶體201及電晶體202時的半導體裝置的剖面圖。

【0473】如圖33所示，也可以使成為電晶體201的源極電極或汲極電極的導電體具有成為電容器101的一個電極的導電體112的功能。此時，電晶體201的氧化物以及被用作電晶體201的閘極絕緣體的絕緣體在成為電晶體201的源極電極或汲極電極的導電體上延伸的區域被用作電容器101的絕緣體。因此，將

成為電容器101的另一個電極的導電體116隔著絕緣體250及氧化物230c層疊在導電體240a上即可。藉由採用該結構，可以實現半導體裝置的小面積化、高集成化以及微型化。

【0474】 另外，也可以層疊電晶體201和電晶體202。藉由採用該結構，可以實現半導體裝置的小面積化、高集成化以及微型化。

【0475】 另外，也可以採用使用絕緣體212和絕緣體214的疊層及絕緣體282和絕緣體284的疊層包圍多個電晶體（在圖式中為電晶體201和電晶體202）及包括過量氧區域的絕緣體280的結構。此時，在使電晶體300、電晶體301或電晶體302與電容器100、電容器101或電容器102連接的貫通電極與電晶體200、電晶體201或電晶體202之間，絕緣體212和絕緣體214及絕緣體282和絕緣體284較佳為具有疊層結構。

【0476】 因此，可以抑制從絕緣體280及電晶體200釋放的氧擴散到形成有電容器100或電晶體300的層中。或者，可以抑制氫及水等雜質從絕緣體282的上方的層及絕緣體214的下方的層擴散到電晶體200中。

【0477】 就是說，可以將氧從絕緣體280的過量氧區域高效地供應到電晶體200中的其中形成通道的氧化物，而可以減少氧空位。另外，可以防止由於雜質而在電晶體200中的其中形成通道的氧化物中形成氧空位。因此，可以將電晶體200中的其中形成通道的氧化物形成為缺陷態密度低且特性穩定的氧化物半導體。就是說，在抑制電晶體200的電特性變動的同時，可以提高可靠性。

【0478】 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0479】 實施方式5

在本實施方式中，對使用根據本發明的一個實施方式的電晶體等的半導體裝置的電路的例子進行說明。

【0480】 <電路>

以下，參照圖34及圖35對使用根據本發明的一個實施方式的電晶體等的半導體裝置的電路的例子進行說明。

【0481】 〈記憶體裝置1〉

圖34所示的半導體裝置與上述實施方式所說明的半導體裝置之間的不同之處在於包括電晶體3400及佈線3006。在此情況下也可以藉由與上述實施方式所示的半導體裝置相同的工作進行資料的寫入及保持工作。另外，作為電晶體3400，可以使用與上述電晶體300同樣的電晶體。

【0482】 佈線3006與電晶體3400的閘極電連接，電晶體3400的源極和汲極中的一個與電晶體300的汲極電連接，電晶體3400的源極和汲極中的另一個與佈線3003電連接。

【0483】 <記憶體裝置2>

參照圖35所示的電路圖對半導體裝置（記憶體裝置）的變形例子進行說明。

【0484】 圖35所示的半導體裝置包括電晶體4100至電晶體4400、電容器4500及電容器4600。在此，作為電晶體4100可以使用與上述電晶體300同樣的電晶體，作為電晶體4200至4400可以使用與上述電晶體200同樣的電晶體。在此，作為電容器4500及電容器4600，可以使用與上述電容器100同樣的電容器。注意，雖然在圖35中省略示出，但是多個該圖35所示的半導體裝置被設置

為矩陣狀。圖35所示的半導體裝置可以根據供應到佈線4001、佈線4003、佈線4005至4009的信號或電位而控制資料電壓的寫入及讀出。

【0485】 電晶體4100的源極和汲極中的一個連接於佈線4003。電晶體4100的源極和汲極中的另一個連接於佈線4001。注意，雖然在圖35中示出電晶體4100為p通道電晶體的情況，但是該電晶體4100也可以為n通道電晶體。

【0486】 圖35所示的半導體裝置包括兩個資料保持部。例如，第一資料保持部在連接於節點FG1的電晶體4400的源極和汲極中的一個、電容器4600的一個電極以及電晶體4200的源極和汲極中的一個之間保持電荷。另外，第二資料保持部在連接於節點FG2的電晶體4100的閘極、電晶體4200的源極和汲極中的另一個、電晶體4300的源極和汲極中的一個以及電容器4500的一個電極之間保持電荷。

【0487】 電晶體4300的源極和汲極中的另一個連接於佈線4003。電晶體4400的源極和汲極中的另一個連接於佈線4001。電晶體4400的閘極連接於佈線4005。電晶體4200的閘極連接於佈線4006。電晶體4300的閘極連接於佈線4007。電容器4600的另一個電極連接於佈線4008。電容器4500的另一個電極連接於佈線4009。

【0488】 電晶體4200至4400具有控制資料電壓的寫入及電荷的保持的開關的功能。注意，作為電晶體4200至4400較佳為使用在非導通狀態下流過源極與汲極之間的電流（關態電流）較小的電晶體。作為關態電流較小的電晶體，較佳為使用在其通道形成區域中包括氧化物半導體的電晶體（OS電晶體）。OS電晶體具有如下優點:關態電流較小、可以以與包含矽的電晶體重疊的方式

製造等。注意，雖然在圖35中示出電晶體4200至4400為n通道電晶體的情況，但是該電晶體4200至4400也可以為p通道電晶體。

【0489】 即便電晶體4200、電晶體4300及電晶體4400是使用氧化物半導體的電晶體，也較佳為將該電晶體4200、電晶體4300及電晶體4400設置在不同的層中。也就是說，在圖35所示的半導體裝置中，較佳為層疊電晶體4100、電晶體4200、電晶體4300以及電晶體4400。換言之，藉由實現電晶體的集成化，能夠縮小電路面積，而能夠實現半導體裝置的小型化。

【0490】 接著，說明對圖35所示的半導體裝置進行的資料寫入工作。

【0491】 首先，說明對連接於節點FG1的資料保持部進行的資料電壓的寫入工作（以下稱為寫入工作1）。注意，以下，寫入到連接於節點FG1的資料保持部的資料電壓為 V_{D1} ，而電晶體4100的臨界電壓為 V_{th} 。

【0492】 在寫入工作1中，在將佈線4003的電位設定為 V_{D1} 並將佈線4001的電位設定為接地電位之後，使佈線4001處於電浮動狀態。此外，將佈線4005及4006的電位設定為高位準。另外，將佈線4007至4009的電位設定為低位準。由此，處於電浮動狀態的節點FG2的電位上升，電流流過電晶體4100。當電流流過時，佈線4001的電位上升。此外，電晶體4400及電晶體4200成為導通狀態。因此，隨著佈線4001的電位上升，節點FG1及FG2的電位就上升。當節點FG2的電位上升而電晶體4100的閘極與源極之間的電壓（ V_{gs} ）成為電晶體4100的臨界電壓 V_{th} 時，流過電晶體4100中的電流變小。因此，佈線4001、節點FG1及FG2的電位上升停止，而被固定為比 V_{D1} 低出 V_{th} 的“ $V_{D1}-V_{th}$ ”。

【0493】 也就是說，當電流流過電晶體4100時，施加到佈線4003的 V_{D1} 被施加到佈線4001，而節點FG1及FG2的電位上升。當由於電位的上升而節點FG2的電位成為“ $V_{D1}-V_{th}$ ”時，電晶體4100的 V_{gs} 成為 V_{th} ，所以電流停止。

【0494】 接著，說明對連接於節點FG2的資料保持部進行的資料電壓的寫入工作（以下稱為寫入工作2）。注意，在該說明中，寫入到連接於節點FG2的資料保持部的資料電壓為 V_{D2} 。

【0495】 在寫入工作2中，在將佈線4001的電位設定為 V_{D2} 並將佈線4003的電位設定為接地電位之後，使佈線4003處於電浮動狀態。此外，將佈線4007的電位設定為高位準。另外，將佈線4005、4006、4008及4009的電位設定為低位準。將電晶體4300處於導通狀態，而將佈線4003的電位設定為低位準。因此，節點FG2的電位也降低到低位準，而電流流過電晶體4100。當電流流過時，佈線4003的電位上升。此外，電晶體4300成為導通狀態。因此，隨著佈線4003的電位上升，節點FG2的電位就上升。當節點FG2的電位上升而電晶體4100的 V_{gs} 成為電晶體4100的 V_{th} 時，流過電晶體4100中的電流變小。因此，佈線4003及FG2的電位的上升停止，而被固定為比 V_{D2} 低出 V_{th} 的“ $V_{D2}-V_{th}$ ”。

【0496】 也就是說，當電流流過電晶體4100時，施加到佈線4001的 V_{D2} 被施加到佈線4003，而節點FG2的電位上升。當由於電位的上升而節點FG2的電位成為“ $V_{D2}-V_{th}$ ”時，電晶體4100的 V_{gs} 成為 V_{th} ，所以電流停止。此時，電晶體4200和4400都處於非導通狀態，而節點FG1的電位保持在寫入工作1中寫入的“ $V_{D1}-V_{th}$ ”。

【0497】 在圖35所示的半導體裝置中，在將資料電壓寫入到多個資料保持部之後，將佈線4009的電位設定為高位準，而使節點FG1及FG2的電位上

升。然後，使各電晶體處於非導通狀態以停止電荷移動，來保持所寫入的資料電壓。

【0498】藉由如上所述的對節點FG1及FG2進行資料電壓的寫入工作，可以將資料電壓保持在多個資料保持部。注意，雖然作為所寫入的電位的例子舉出了“ $V_{D1}-V_{th}$ ”及“ $V_{D2}-V_{th}$ ”，但是這些電位是對應於多值的資料的資料電壓。因此，當在各資料保持部中保持4位元的資料時，可能會得到16個值的“ $V_{D1}-V_{th}$ ”及16個值的“ $V_{D2}-V_{th}$ ”。

【0499】接著，說明對圖35所示的半導體裝置進行的資料讀出工作。

【0500】首先，說明從連接於節點FG2的資料保持部讀出資料電壓的工作（以下稱為讀出工作1）。

【0501】在讀出工作1中，對預充電後處於電浮動狀態的佈線4003進行放電。將佈線4005至4008的電位設定為低位準。另外，將佈線4009的電位設定為低位準，而使處於電浮動狀態的節點FG2的電位為“ $V_{D2}-V_{th}$ ”。當節點FG2的電位降低時，電流流過電晶體4100。當電流流過時，電浮動狀態的佈線4003的電位降低。隨著佈線4003的電位的降低，電晶體4100的 V_{gs} 就變小。當電晶體4100的 V_{gs} 成為電晶體4100的 V_{th} 時，流過電晶體4100的電流變小。也就是說，佈線4003的電位成為比節點FG2的電位“ $V_{D2}-V_{th}$ ”高出 V_{th} 的值的“ V_{D2} ”。該佈線4003的電位對應於連接到節點FG2的資料保持部的資料電壓。對所讀出的類比值的資料電壓進行A/D轉換，以取得連接於節點FG2的資料保持部的資料。

【0502】也就是說，使經預充電後的佈線4003成為浮動狀態，而將佈線4009的電位從高位準換到低位準，由此電流流過電晶體4100。當電流流過時，處於浮動狀態的佈線4003的電位降低而成為“ V_{D2} ”。在電晶體4100中，由於節點

FG2的“ $V_{D2}-V_{th}$ ”與佈線4003的“ V_{D2} ”之間的 V_{gs} 成為 V_{th} ，因此電流停止。然後，在寫入工作2中寫入的 V_{D2} 被讀出到佈線4003。

【0503】 在取得連接於節點FG2的資料保持部的資料之後，使電晶體4300處於導通狀態，而使節點FG2的“ $V_{D2}-V_{th}$ ”放電。

【0504】 接著，將保持在節點FG1的電荷分配在節點FG1及節點FG2，而將連接於節點FG1的資料保持部的資料電壓移動到連接於節點FG2的資料保持部。在此，將佈線4001及4003的電位設定為低位準。將佈線4006的電位設定為高位準。將佈線4005、佈線4007至4009的電位設定為低位準。藉由使電晶體4200處於導通狀態，節點FG1的電荷被分配在節點FG1與節點FG2之間。

【0505】 在此，電荷分配後的電位從所寫入的電位“ $V_{D1}-V_{th}$ ”降低。因此，電容器4600的電容值較佳為大於電容器4500的電容值。或者，寫入到節點FG1的電位“ $V_{D1}-V_{th}$ ”較佳為大於表示相同的資料的電位“ $V_{D2}-V_{th}$ ”。如此，藉由改變電容值的比例而使預先寫入的電位變大，可以抑制電荷分配後的電位下降。關於電荷分配所引起的電位變動，將在後面進行說明。

【0506】 接著，說明從連接於節點FG1的資料保持部讀出資料電壓的工作（以下稱為讀出工作2）。

【0507】 在讀出工作2中，對預充電後處於電浮動狀態的佈線4003進行放電。將佈線4005至4008的電位設定為低位準。另外，佈線4009的電位在預充電時被設定為高位準，之後被設定為低位準。藉由將佈線4009的電位設定為低位準，使處於電浮動狀態的節點FG2的電位成為電位“ $V_{D1}-V_{th}$ ”。當節點FG2的電位降低時，電流流過電晶體4100。當電流流過時，電浮動狀態的佈線4003的電位降低。隨著佈線4003的電位的降低，電晶體4100的 V_{gs} 就變小。當電晶體4100

的 V_{gs} 成為電晶體4100的 V_{th} 時，流過電晶體4100的電流變小。也就是說，佈線4003的電位成為比節點FG2的電位“ $V_{D1}-V_{th}$ ”高出 V_{th} 的值的“ V_{D1} ”。該佈線4003的電位對應於連接到節點FG1的資料保持部的資料電壓。對所讀出的類比值的資料電壓進行A/D轉換，以取得連接於節點FG1的資料保持部的資料。以上是從連接於節點FG1的資料保持部讀出資料電壓的工作。

【0508】 也就是說，使經預充電後的佈線4003成為浮動狀態，而將佈線4009的電位從高位準換到低位準，由此電流流過電晶體4100。當電流流過時，處於浮動狀態的佈線4003的電位降低而成為“ V_{D1} ”。在電晶體4100中，由於節點FG2的“ $V_{D1}-V_{th}$ ”與佈線4003的“ V_{D1} ”之間的 V_{gs} 成為 V_{th} ，因此電流停止。然後，在寫入工作1中寫入的“ V_{D1} ”被讀出到佈線4003。

【0509】 藉由如上所述的對節點FG1及FG2進行資料電壓的讀出工作，可以從多個資料保持部讀出資料電壓。例如，藉由在節點FG1及節點FG2的每一個中保持4位元（16個值）的資料，總共可以保持8位元（256個值）的資料。另外，雖然在圖35中採用了由第一層4021至第三層4023構成的結構，但是藉由形成更多的層，能夠實現記憶容量的增大而無需增加半導體裝置的面積。

【0510】 注意，所讀出的電位可以作為比所寫入的資料電壓高出 V_{th} 的電壓被讀出。因此，可以藉由抵消在寫入工作中寫入的“ $V_{D1}-V_{th}$ ”或“ $V_{D2}-V_{th}$ ”的 V_{th} 而讀出。其結果是，在可以提供每記憶單元的記憶容量的同時，還可以將所讀出的資料接近於正確的資料，所以可以實現較高的資料可靠性。

【0511】 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【0512】 實施方式6

在本實施方式中，參照圖36A至圖39B對能夠應用上述實施方式所說明的OS電晶體的電路結構的一個例子進行說明。

【0513】 圖36A示出反相器的電路圖。反相器5800將供應到輸入端子IN的信號的邏輯被反轉的信號從輸出端子OUT輸出。反相器5800包括多個OS電晶體。信號 S_{BG} 是能夠切換OS電晶體的電特性的信號。

【0514】 圖36B示出反相器5800的一個例子。反相器5800包括OS電晶體5810及OS電晶體5820。反相器5800可以使用n通道型電晶體，所以與使用CMOS（Complementary Metal Oxide Semiconductor:互補金屬氧化物半導體）製造反相器（CMOS反相器）的情況相比，可以以低成本制造反相器5800。

【0515】 另外，包括OS電晶體的反相器5800也可以設置在由Si電晶體構成的CMOS上。因為反相器5800可以與CMOS電路重疊，所以可以抑制追加反相器5800導致的電路面積的增大。

【0516】 OS電晶體5810、5820包括被用作前閘極的第一閘極、被用作背閘極的第二閘極、被用作源極和汲極中的一個的第一端子以及被用作源極和汲極中的另一個的第二端子。

【0517】 OS電晶體5810的第一閘極與第二端子連接。OS電晶體5810的第二閘極與供應信號 S_{BG} 的佈線連接。OS電晶體5810的第一端子與供應電壓VDD的佈線連接。OS電晶體5810的第二端子與輸出端子OUT連接。

【0518】 OS電晶體5820的第一閘極與輸入端子IN連接。OS電晶體5820的第二閘極與輸入端子IN連接。OS電晶體5820的第一端子與輸出端子OUT連接。OS電晶體5820的第二端子與供應電壓VSS的佈線連接。

【0519】 圖36C是用來說明反相器5800的工作的時序圖。圖36C的時序圖示出輸入端子IN的信號波形、輸出端子OUT的信號波形、信號 S_{BG} 的信號波形以及OS電晶體5810（FET5810）的臨界電壓的變化。

【0520】 藉由將信號 S_{BG} 施加到OS電晶體5810的第二閘極，可以控制OS電晶體5810的臨界電壓。

【0521】 信號 S_{BG} 具有用來使臨界電壓向負方向漂移的電壓 V_{BG_A} 以及用來使臨界電壓向正方向漂移的電壓 V_{BG_B} 。藉由對第二閘極施加電壓 V_{BG_A} ，可以使OS電晶體5810的臨界電壓向負方向漂移而成為臨界電壓 V_{TH_A} 。另外，藉由對第二閘極施加電壓 V_{BG_B} ，可以使OS電晶體5810的臨界電壓向正方向漂移而成為臨界電壓 V_{TH_B} 。

【0522】 為了使上述說明視覺化，圖37A示出電晶體的電特性之一的 V_g - I_d 曲線。

【0523】 藉由將第二閘極的電壓提高到電壓 V_{BG_A} ，可以將示出上述OS電晶體5810的電特性的曲線向圖37A中的以虛線5840表示的曲線漂移。另外，藉由將第二閘極的電壓降低到電壓 V_{BG_B} ，可以將示出上述OS電晶體5810的電特性的曲線向圖37A中的以實線5841表示的曲線漂移。藉由將信號 S_{BG} 切換為電壓 V_{BG_A} 或電壓 V_{BG_B} ，如圖37A所示，可以使OS電晶體5810的臨界電壓向正方向漂移或向負方向漂移。

【0524】 藉由使臨界電壓向正方向漂移而成為臨界電壓 V_{TH_B} ，可以使OS電晶體5810處於電流不容易流過的狀態。圖37B視覺性地示出此時的狀態。如圖37B所示，可以使流過OS電晶體5810的電流 I_B 極小。因此，在施加到輸入端

子IN的信號為高位準而OS電晶體5820成為開啟狀態（ON）時，可以急劇降低輸出端子OUT的電壓。

【0525】 如圖37B所示，可以使OS電晶體5810處於電流不容易流過的狀態，所以可以在圖36C所示的時序圖中使輸出端子的信號波形5831產生急劇的變化。因為可以減少流過供應電壓VDD的佈線與供應電壓VSS的佈線之間的貫通電流，所以可以以低功耗進行工作。

【0526】 另外，藉由使臨界電壓向負方向漂移而成為臨界電壓 V_{TH_A} ，可以使OS電晶體5810處於電流容易流過的狀態。圖37C視覺性地示出此時的狀態。如圖37C所示，可以將此時流過的電流 I_A 設定為至少大於電流 I_B 的值。因此，在施加到輸入端子IN的信號為低位準而OS電晶體5820成為關閉狀態（OFF）時，可以急劇提高輸出端子OUT的電壓。

【0527】 如圖37C所示，可以使OS電晶體5810處於電流容易流過的狀態，所以可以在圖36C所示的時序圖中使輸出端子的信號波形5832產生急劇的變化。

【0528】 注意，信號 S_{BG} 對OS電晶體5810的臨界電壓的控制較佳為在切換OS電晶體5820的狀態之前，亦即，在時刻T1和T2之前進行。例如，如圖36C所示，較佳為在將施加到輸入端子IN的信號切換為高位準的時刻T1之前將OS電晶體5810的臨界電壓從臨界電壓 V_{TH_A} 切換為臨界電壓 V_{TH_B} 。另外，如圖36C所示，較佳為在將施加到輸入端子IN的信號切換為低位準的時刻T2之前將OS電晶體5810的臨界電壓從臨界電壓 V_{TH_B} 切換為臨界電壓 V_{TH_A} 。

【0529】 注意，雖然圖36C的時序圖示出根據施加到輸入端子IN的信號切換信號 S_{BG} 的結構，但是也可以採用別的結構。例如，可以採用使處於浮動狀

態的OS電晶體5810的第二閘極保持用來控制臨界電壓的電壓的結構。圖38A示出能夠實現該結構的電路結構的一個例子。

【0530】 在圖38A中，除了圖36B所示的電路結構之外還包括OS電晶體5850。OS電晶體5850的第一端子與OS電晶體5810的第二閘極連接。OS電晶體5850的第二端子與供應電壓 V_{BG_B} （或電壓 V_{BG_A} ）的佈線連接。OS電晶體5850的第一閘極與供應信號 S_F 的佈線連接。OS電晶體5850的第二閘極與供應電壓 V_{BG_B} （或電壓 V_{BG_A} ）的佈線連接。

【0531】 參照圖38B的時序圖對圖38A的工作進行說明。

【0532】 在將施加到輸入端子IN的信號切換為高位準的時刻T3之前，將用來控制OS電晶體5810的臨界電壓的電壓施加到OS電晶體5810的第二閘極。將信號 S_F 設定為高位準而OS電晶體5850成為開啟狀態，對節點 N_{BG} 施加用來控制臨界電壓的電壓 V_{BG_B} 。

【0533】 在節點 N_{BG} 成為電壓 V_{BG_B} 之後，使OS電晶體5850處於關閉狀態。因為OS電晶體5850的關態電流極小，所以藉由使其維持關閉狀態，可以使節點 N_{BG} 成為非常近於浮動狀態的狀態，而保持節點 N_{BG} 所保持的電壓 V_{BG_B} 。因此，對OS電晶體5850的第二閘極施加電壓 V_{BG_B} 的工作的次數減少，所以可以減少改寫電壓 V_{BG_B} 所需要的功耗。

【0534】 注意，雖然在圖36B及圖38A的電路結構中示出藉由外部控制對OS電晶體5810的第二閘極施加電壓的結構，但是也可以採用別的結構。例如，也可以採用基於施加到輸入端子IN的信號生成用來控制臨界電壓的電壓而將其施加到OS電晶體5810的第二閘極的結構。圖39A示出能夠實現該結構的電路結構的一個例子。

【0535】 圖39A示出在圖36B所示的電路結構中的輸入端子IN與OS電晶體5810的第二閘極之間追加CMOS反相器5860的結構。CMOS反相器5860的輸入端子與輸入端子IN連接。CMOS反相器5860的輸出端子與OS電晶體5810的第二閘極連接。

【0536】 參照圖39B的時序圖對圖39A的工作進行說明。圖39B的時序圖示出輸入端子IN的信號波形、輸出端子OUT的信號波形、CMOS反相器5860的輸出波形IN_B以及OS電晶體5810（FET5810）的臨界電壓的變化。

【0537】 作為使施加到輸入端子IN的信號的邏輯反轉的信號的輸出波形IN_B可以被用作用來控制OS電晶體5810的臨界電壓的信號。因此，如圖36A至圖36C所說明，可以控制OS電晶體5810的臨界電壓。例如，在圖39B所示的時刻T4，施加到輸入端子IN的信號為高位準而OS電晶體5820成為開啟狀態。此時，輸出波形IN_B為低位準。因此，可以使OS電晶體5810處於電流不容易流過的狀態，所以可以急劇降低輸出端子OUT的電壓。

【0538】 另外，在圖39B所示的時刻T5，施加到輸入端子IN的信號為低位準而OS電晶體5820成為關閉狀態。此時，輸出波形IN_B為高位準。因此，可以使OS電晶體5810處於電流容易流過的狀態，所以可以急劇提高輸出端子OUT的電壓。

【0539】 如上所述，在本實施方式的結構中，根據輸入端子IN的信號的邏輯而切換包括OS電晶體的反相器的背閘極的電壓。藉由採用該結構，可以控制OS電晶體的臨界電壓。藉由根據施加到輸入端子IN的信號控制OS電晶體的臨界電壓，可以使輸出端子OUT的電壓產生急劇的變化。另外，可以減少供應電源電壓的佈線之間的貫通電流。因此，可以實現低功耗化。

【0540】 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【0541】 實施方式7

在本實施方式中，參照圖40A至圖46B對具有多個上述實施方式所說明的包括OS電晶體的電路的半導體裝置的例子進行說明。

【0542】 圖40A是半導體裝置5900的方塊圖。半導體裝置5900包括電源電路5901、電路5902、電壓生成電路5903、電路5904、電壓生成電路5905及電路5906。

【0543】 電源電路5901是生成參考電位 V_{ORG} 的電路。電壓 V_{ORG} 不侷限於一個電壓，也可以為多個電壓。電壓 V_{ORG} 是可以基於從半導體裝置5900的外部被施加的電壓 V_0 而生成的。半導體裝置5900可以基於從外部被施加的一個電源電壓而生成電壓 V_{ORG} 。因此，即使不從外部輸入多個電源電壓，半導體裝置5900也可以工作。

【0544】 電路5902、5904及5906是基於不同的電源電壓而工作的電路。例如，電路5902的電源電壓是基於電壓 V_{ORG} 和電壓 V_{SS} ($V_{ORG} > V_{SS}$) 而被施加的電壓。例如，電路5904的電源電壓是基於電壓 V_{POG} 和電壓 V_{SS} ($V_{POG} > V_{ORG}$) 而被施加的電壓。例如，電路5906的電源電壓是基於電壓 V_{ORG} 、電壓 V_{SS} 和電壓 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$) 而被施加的電壓。另外，如果將電壓 V_{SS} 設定為與接地電位 (GND) 同等的電位，可以減少電源電路5901生成的電壓的種類。

【0545】 電壓生成電路5903是生成電壓 V_{POG} 的電路。電壓生成電路5903可以基於從電源電路5901被施加的電壓 V_{ORG} 而生成電壓 V_{POG} 。因此，包括電路5904的半導體裝置5900可以基於從外部被施加的一個電源電壓而工作。

【0546】 電壓生成電路5905是生成電壓 V_{NEG} 的電路。電壓生成電路5905可以基於從電源電路5901被施加的電壓 V_{ORG} 而生成電壓 V_{NEG} 。因此，包括電路5906的半導體裝置5900可以基於從外部被施加的一個電源電壓而工作。

【0547】 圖40B是基於電壓 V_{POG} 而工作的電路5904的一個例子，圖40C是用來使電路5904工作的信號波形的一個例子。

【0548】 圖40B示出電晶體5911。施加到電晶體5911的閘極的信號例如基於電壓 V_{POG} 和電壓 V_{SS} 而生成。該信號在進行使電晶體5911成為導通狀態的工作時為電壓 V_{POG} ，在進行使其成為非導通狀態的工作時為電壓 V_{SS} 。如圖40C所示，電壓 V_{POG} 高於電壓 V_{ORG} 。因此，電晶體5911可以更確實地使源極（S）與汲極（D）之間成為導通狀態。其結果，可以實現誤動作得到減少的電路5904。

【0549】 圖40D是基於電壓 V_{NEG} 而工作的電路5906的一個例子，圖40E是用來使電路5906工作的信號波形的一個例子。

【0550】 圖40D示出具有背閘極的電晶體5912。施加到電晶體5912的閘極的信號例如基於電壓 V_{ORG} 和電壓 V_{SS} 而生成。該信號在進行使電晶體5911成為導通狀態的工作時基於電壓 V_{ORG} 而生成，且在進行使其成為非導通狀態的工作時基於電壓 V_{SS} 而生成。另外，施加到電晶體5912的背閘極的信號基於電壓 V_{NEG} 而生成。如圖40E所示，電壓 V_{NEG} 低於電壓 V_{SS} （GND）。因此，可以使電晶體5912的臨界電壓向正方向漂移。所以，可以更確實地使電晶體5912成為非導通狀態，由此可以減少流過源極（S）與汲極（D）之間的電流。其結果，可以實現誤動作得到減少且功耗低的電路5906。

【0551】 另外，電壓 V_{NEG} 也可以直接被施加到電晶體5912的背閘極。或者，可以基於電壓 V_{ORG} 和電壓 V_{NEG} 生成施加到電晶體5912的閘極的信號，而將該信號施加到電晶體5912的背閘極。

【0552】 另外，圖41A和圖41B示出圖40D和圖40E的變形例子。

【0553】 在圖41A所示的電路圖中，在電壓生成電路5905與電路5906之間包括能夠藉由控制電路5921控制其導通狀態的電晶體5922。電晶體5922是n通道型OS電晶體。控制電路5921所輸出的控制信號 S_{BG} 是控制電晶體5922的導通狀態的信號。另外，電路5906所包括的電晶體5912A、5912B是與電晶體5922相同的OS電晶體。

【0554】 圖41B的時序圖示出控制信號 S_{BG} 的電位變化，並且以節點 N_{BG} 的電位變化示出電晶體5912A、5912B的背閘極的電位的狀態。在控制信號 S_{BG} 為高位準時，電晶體5922成為導通狀態，節點 N_{BG} 成為電壓 V_{NEG} 。然後，在控制信號 S_{BG} 為低位準時，節點 N_{BG} 處於電浮動狀態。因為電晶體5922是OS電晶體，所以關態電流小。因此，即使節點 N_{BG} 處於電浮動狀態，也可以保持被施加的電壓 V_{NEG} 。

【0555】 另外，圖42A示出能夠應用於上述電壓生成電路5903的電路結構的一個例子。圖42A所示的電壓生成電路5903是包括二極體D1至D5、電容器C1至C5及反相器INV的5級電荷泵。時脈信號CLK直接或者藉由反相器INV被施加到電容器C1至C5。當反相器INV的電源電壓基於電壓 V_{ORG} 和電壓 V_{SS} 而被施加的電壓時，可以得到藉由供應時脈信號CLK升壓到電壓 V_{ORG} 的5倍的正電壓的電壓 V_{POG} 。注意，二極體D1至D5的正向電壓為0V。另外，藉由改變電荷泵的級數，可以得到所希望的電壓 V_{POG} 。

【0556】 另外，圖42B示出能夠應用於上述電壓生成電路5905的電路結構的一個例子。圖42B所示的電壓生成電路5905是包括二極體D1至D5、電容器C1至C5及反相器INV的4級電荷泵。時脈信號CLK直接或者藉由反相器INV被施加到電容器C1至C5。當反相器INV的電源電壓基於電壓 V_{ORG} 和電壓 V_{SS} 而被施加的電壓時，可以得到藉由供應時脈信號CLK從接地電位，亦即，電壓 V_{SS} 降壓到電壓 V_{ORG} 的4倍的負電壓的電壓 V_{NEG} 。注意，二極體D1至D5的正向電壓為0V。另外，藉由改變電荷泵的級數，可以得到所希望的電壓 V_{NEG} 。

【0557】 注意，上述電壓生成電路5903的電路結構不侷限於圖42A所示的電路圖的結構。圖43A至圖43C、圖44A和圖44B示出電壓生成電路5903的變形例子。

【0558】 圖43A所示的電壓生成電路5903A包括電晶體M1至M10、電容器C11至C14以及反相器INV1。時脈信號CLK直接或藉由反相器INV1被供應到電晶體M1至M10的閘極。可以得到藉由供應時脈信號CLK升壓到電壓 V_{ORG} 的4倍的正電壓的電壓 V_{POG} 。另外，藉由改變電荷泵的級數，可以得到所希望的電壓 V_{POG} 。在圖43A所示的電壓生成電路5903A中，藉由作為電晶體M1至M10採用OS電晶體可以減少關態電流，而可以抑制保持在電容器C11至C14中的電荷的洩漏。因此，可以將電壓 V_{ORG} 高效地升壓到電壓 V_{POG} 。

【0559】 另外，圖43B所示的電壓生成電路5903B包括電晶體M11至M14、電容器C15、C16以及反相器INV2。時脈信號CLK直接或藉由反相器INV2被供應到電晶體M11至M14的閘極。可以得到藉由供應時脈信號CLK升壓到電壓 V_{ORG} 的2倍的正電壓的電壓 V_{POG} 。在圖43B所示的電壓生成電路5903B中，藉由作為電晶體M11至M14採用OS電晶體可以減少關態電流，而可以抑制

保持在電容器C15、C16中的電荷的洩漏。因此，可以將電壓 V_{ORG} 高效地升壓到電壓 V_{POG} 。

【0560】 另外，圖43C所示的電壓生成電路5903C包括電感器I11、電晶體M15、二極體D6及電容器C17。電晶體M15的導通狀態被控制信號EN控制。可以得到藉由控制信號EN使電壓 V_{ORG} 升壓的電壓 V_{POG} 。因為在圖43C所示的電壓生成電路5903C中使用電感器I11進行升壓，所以可以以高轉換效率進行升壓。

【0561】 另外，圖44A所示的電壓生成電路5903D的結構相當於在圖42A所示的電壓生成電路5903中設置二極體連接的電晶體M16至M20代替二極體D1至D5的結構。在圖44A所示的電壓生成電路5903D中，藉由作為電晶體M16至M20採用OS電晶體可以減少關態電流，而可以抑制保持在電容器C1至C5中的電荷的洩漏。因此，可以將電壓 V_{ORG} 高效地升壓到電壓 V_{POG} 。

【0562】 另外，圖44B所示的電壓生成電路5903E的結構相當於在圖44A所示的電壓生成電路5903D中設置包括背閘極的電晶體M21至M25代替電晶體M16至M20的結構。因為在圖44B所示的電壓生成電路5903E中，可以對背閘極施加與閘極相同的電壓，所以可以增大流過電晶體的電流的量。因此，可以將電壓 V_{ORG} 高效地升壓到電壓 V_{POG} 。

【0563】 注意，電壓生成電路5903的變形例子也可以應用於圖42B所示的電壓生成電路5905。圖45A至圖45C、圖46A和圖46B示出此時的電路圖的結構。在圖45A所示的電壓生成電路5905A中，可以得到藉由供應時脈信號CLK從電壓 V_{SS} 降壓到電壓 V_{ORG} 的3倍的負電壓的電壓 V_{NEG} 。另外，在圖45B所示的電壓生成電路5905B中，可以得到藉由供應時脈信號CLK從電壓 V_{SS} 降壓到電壓 V_{ORG} 的2倍的負電壓的電壓 V_{NEG} 。

【0564】 圖45A至圖45C、圖46A和圖46B所示的電壓生成電路5905A至5905E的結構相當於在圖43A至圖43C、圖44A和圖44B所示的電壓生成電路5903A至5903E中改變施加到各佈線的電壓或者改變元件的配置的結構。與電壓生成電路5903A至5903E同樣，在圖45A至圖45C、圖46A和圖46B所示的電壓生成電路5905A至5905E中可以將電壓 V_{SS} 高效地降壓到電壓 V_{NEG} 。

【0565】 如上所述，在本實施方式的結構中，可以在半導體裝置內部生成包括在該半導體裝置中的電路所需要的電壓。因此，可以減少從半導體裝置的外部被施加的電源電壓的種類。

【0566】 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【0567】 實施方式8

在本實施方式中，對包括根據本發明的一個實施方式的電晶體和上述記憶體裝置等半導體裝置的CPU的一個例子進行說明。

【0568】 <CPU的結構>

圖47所示的半導體裝置5400包括CPU核5401、電源管理單元5421及週邊電路5422。電源管理單元5421包括功率控制器5402及功率開關5403。週邊電路5422包括具有快取記憶體的快取記憶體5404、匯流排介面（BUS I/F）5405及除錯介面（Debug I/F）5406。CPU核5401包括資料匯流排5423、控制裝置5407、PC（程式計數器）5408、管線暫存器5409、管線暫存器5410、ALU（Arithmetic logic unit:算術邏輯單元）5411及暫存器檔案5412。經過資料匯流排5423進行CPU核5401與快取記憶體5404等週邊電路5422之間的資料的發送和接收。

【0569】 半導體裝置（單元）可以被用於功率控制器5402、控制裝置5407等的很多邏輯電路。尤其是，該半導體裝置（單元）可以被用於能夠使用標準單元構成的所有邏輯電路。其結果，可以提供一種小型半導體裝置5400。另外，可以提供一種能夠減少功耗的半導體裝置5400。此外，可以提供一種能夠提高工作速度的半導體裝置5400。另外，可以提供一種能夠減少電源電壓的變動的半導體裝置5400。

【0570】 藉由作為半導體裝置（單元）使用p通道型Si電晶體、上述實施方式所記載的在通道形成區域中包含氧化物半導體（較佳為包含In、Ga及Zn的氧化物）的電晶體，並且將該半導體裝置（單元）用作半導體裝置5400，可以提供一種小型的半導體裝置5400。另外，可以提供一種能夠減少功耗的半導體裝置5400。此外，可以提供一種能夠提高工作速度的半導體裝置5400。尤其是，藉由作為Si電晶體只採用p通道型電晶體，可以降低製造成本。

【0571】 控制裝置5407藉由對PC5408、管線暫存器5409、管線暫存器5410、ALU5411、暫存器檔案5412、快取記憶體5404、匯流排介面5405、除錯介面5406及功率控制器5402的工作進行整體控制，能夠將被輸入的應用軟體等程式所包含的指令解碼並執行。

【0572】 ALU5411能夠進行四則運算及邏輯運算等各種運算處理。

【0573】 快取記憶體5404能夠暫時儲存使用次數多的資料。PC5408是能夠儲存接下來執行的指令的位址的暫存器。另外，雖然在圖47中沒有進行圖示，但是快取記憶體5404還設置有控制快取記憶體的工作的快取記憶體控制器。

【0574】 管線暫存器5409是能夠暫時儲存指令的暫存器。

【0575】 暫存器檔案5412具有包括常用暫存器的多個暫存器，而可以儲存從主記憶體讀出的資料或者由ALU5411的運算處理的結果得出的資料等。

【0576】 管線暫存器5410是能夠暫時儲存用於ALU5411的運算處理的資料或者由ALU5411的運算處理結果得出的資料等的暫存器。

【0577】 匯流排介面5405被用作半導體裝置5400與位於半導體裝置5400外部的各種裝置之間的資料的路徑。除錯介面5406被用作用來將控制調試的指令輸入到半導體裝置5400的信號的路徑。

【0578】 功率開關5403能夠控制對半導體裝置5400所包括的功率控制器5402以外的各種電路供應電源電壓。上述各種電路分別屬於幾個電源定域，屬於同一電源定域的各種電路被功率開關5403控制是否供應電源電壓。另外，功率控制器5402能夠控制功率開關5403的工作。

【0579】 藉由具有上述結構，半導體裝置5400能夠進行電源閘控。對電源閘控的工作流程的一個例子進行說明。

【0580】 首先，CPU核5401將停止供應電源電壓的時機設定在功率控制器5402的暫存器中。接著，從CPU核5401對功率控制器5402發送開始進行電源閘控的指令。接著，半導體裝置5400內的各種暫存器及快取記憶體5404開始進行資料的備份。接著，利用功率開關5403停止對半導體裝置5400所包括的功率控制器5402以外的各種電路的電源電壓供應。接著，藉由對功率控制器5402輸入中斷信號，開始對半導體裝置5400所包括的各種電路的電源電壓供應。此外，也可以對功率控制器5402設置計數器，不依靠輸入中斷信號而利用該計數器來決定開始供應電源電壓的時機。接著，各種暫存器及快取記憶體5404開始進行資料的恢復。接著，再次開始執行控制裝置5407中的指令。

【0581】 在處理器整體或者構成處理器的一個或多個邏輯電路中能夠進行這種電源閘控。另外，即使在較短的時間內也可以停止供應電力。因此，可以以空間上或時間上微細的細微性減少功耗。

【0582】 在進行電源閘控時，較佳為在較短的期間中將CPU核5401或週邊電路5422所保持的資料備份。由此，可以在較短的期間中進行電源的開啟或關閉，從而可以實現低功耗化。

【0583】 為了在較短的期間中將CPU核5401或週邊電路5422所保持的資料備份，正反器電路較佳為在其電路內進行資料備份（將其稱為能夠備份的正反器電路）。另外，SRAM單元較佳為在單元內進行資料備份（將其稱為能夠備份的SRAM單元）。能夠備份的正反器電路和SRAM單元較佳為包括在通道形成區域中包含氧化物半導體（較佳為包含In、Ga及Zn的氧化物）的電晶體。其結果，電晶體具有小關態電流，由此能夠備份的正反器電路或SRAM單元可以長期間保持資料而不需要電力供應。另外，當電晶體的切換速度快時，能夠備份的正反器電路和SRAM單元有時可以在較短的期間中進行資料備份及恢復。

【0584】 參照圖48對能夠備份的正反器電路的例子進行說明。

【0585】 圖48所示的半導體裝置5500是能夠備份的正反器電路的一個例子。半導體裝置5500包括第一記憶體電路5501、第二記憶體電路5502、第三記憶體電路5503以及讀出電路5504。電位V1與電位V2的電位差作為電源電壓被供應到半導體裝置5500。電位V1和電位V2中的一個為高位準，另一個為低位準。下面，以電位V1為低位準而電位V2為高位準的情況為例，對半導體裝置5500的結構實例進行說明。

【0586】 第一記憶體電路5501具有在半導體裝置5500被供應電源電壓的期間中被輸入包括資料的信號D時保持該資料的功能。而且，在半導體裝置5500被供應電源電壓的期間，從第一記憶體電路5501輸出包括所保持的資料的信號Q。另一方面，在半導體裝置5500沒有被供應電源電壓的期間中，第一記憶體電路5501不能保持資料。就是說，可以將第一記憶體電路5501稱為揮發性記憶體電路。

【0587】 第二記憶體電路5502具有讀取並儲存（或備份）保持在第一記憶體電路5501中的資料的功能。第三記憶體電路5503具有讀取並儲存（或備份）保持在第二記憶體電路5502中的資料的功能。讀出電路5504具有讀取保持在第二記憶體電路5502或第三記憶體電路5503中的資料並將其儲存（或恢復）在第一記憶體電路5501中的功能。

【0588】 尤其是，第三記憶體電路5503具有即使半導體裝置5500沒有被供應電源電壓的期間中也讀取並儲存（或備份）保持在第二記憶體電路5502中的資料的功能。

【0589】 如圖48所示，第二記憶體電路5502包括電晶體5512及電容器5519。第三記憶體電路5503包括電晶體5513、電晶體5515以及電容器5520。讀出電路5504包括電晶體5510、電晶體5518、電晶體5509以及電晶體5517。

【0590】 電晶體5512具有將根據保持在第一記憶體電路5501中的資料的電荷充電到電容器5519並將該電荷從電容器5519放電的功能。電晶體5512較佳為將根據保持在第一記憶體電路5501中的資料的電荷高速地充電到電容器5519並將該電荷從電容器5519高速地放電。明確而言，電晶體5512較佳為在通道形成區域中包含具有結晶性的矽（較佳為多晶矽，更佳為單晶矽）。

【0591】 電晶體5513的導通狀態或非導通狀態根據保持在電容器5519中的電荷被選擇。電晶體5515具有在電晶體5513處於導通狀態時將根據佈線5544的電位的電荷充電到電容器5520並將該電荷從電容器5520放電的功能。較佳為電晶體5515的關態電流極小。明確而言，電晶體5515在通道形成區域中包含氧化物半導體（較佳為包含In、Ga及Zn的氧化物）。

【0592】 以下，明確地說明各元件之間的連接關係。電晶體5512的源極和汲極中的一個與第一記憶體電路5501連接。電晶體5512的源極和汲極中的另一個與電容器5519的一個電極、電晶體5513的閘極及電晶體5518的閘極連接。電容器5519的另一個電極與佈線5542連接。電晶體5513的源極和汲極中的一個與佈線5544連接。電晶體5513的源極和汲極中的另一個與電晶體5515的源極和汲極中的一個連接。電晶體5515的源極和汲極中的另一個與電容器5520的一個電極及電晶體5510的閘極連接。電容器5520的另一個電極與佈線5543連接。電晶體5510的源極和汲極中的一個與佈線5541連接。電晶體5510的源極和汲極中的另一個與電晶體5518的源極和汲極中的一個連接。電晶體5518的源極和汲極中的另一個與電晶體5509的源極和汲極中的一個連接。電晶體5509的源極和汲極中的另一個與電晶體5517的源極和汲極中的一個及第一記憶體電路5501連接。電晶體5517的源極和汲極中的另一個與佈線5540連接。在圖48中，電晶體5509的閘極與電晶體5517的閘極連接，但是電晶體5509的閘極不一定必須與電晶體5517的閘極連接。

【0593】 作為電晶體5515，可以使用上述實施方式所例示的電晶體。因為電晶體5515的關態電流小，所以半導體裝置5500可以長期間保持資料而不需

要電力供應。因為電晶體5515的開關特性良好，所以半導體裝置5500可以高速地進行備份和恢復。

【0594】 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【0595】 實施方式9

在本實施方式中，對利用本發明的一個實施方式的電晶體等的攝像裝置的一個例子進行說明。

【0596】 〈攝像裝置〉

以下，對根據本發明的一個實施方式的攝像裝置進行說明。

【0597】 圖49A是示出本發明的一個實施方式的攝像裝置2200的例子的平面圖。攝像裝置2200包括像素部2210、用來驅動像素部2210的週邊電路2260、週邊電路2270、週邊電路2280及週邊電路2290。像素部2210包括配置為 p 行 q 列（ p 及 q 為2以上的整數）的矩陣狀的多個像素2211。週邊電路2260、週邊電路2270、週邊電路2280及週邊電路2290分別與多個像素2211連接，並具有供應用來驅動多個像素2211的信號的功能。另外，在本說明書等中，有時將週邊電路2260、週邊電路2270、週邊電路2280及週邊電路2290等總稱為“週邊電路”或“驅動電路”。例如，週邊電路2260也可以說是週邊電路的一部分。

【0598】 攝像裝置2200較佳為包括光源2291。光源2291能夠發射檢測光P1。

【0599】 週邊電路至少包括邏輯電路、開關、緩衝器、放大電路和轉換電路中的一個。另外，也可以在形成像素部2210的基板上形成週邊電路。另外，也可以將IC晶片等半導體裝置用於週邊電路的一部分或全部。注意，也可

以省略週邊電路2260、週邊電路2270、週邊電路2280和週邊電路2290中的一個以上。

【0600】 如圖49B所示，在攝像裝置2200所包括的像素部2210中，也可以以像素2211傾斜的方式配置。藉由以像素2211傾斜的方式配置，可以縮短在行方向上及列方向上的像素間隔（間距）。由此，可以進一步提高攝像裝置2200的攝像品質。

【0601】 <像素的結構實例1>

藉由使攝像裝置2200所包括的一個像素2211由多個子像素2212構成，且使每個子像素2212與使特定的波長範圍的光透過的濾光片（濾色片）組合，可以獲得用來實現彩色影像顯示的資料。

【0602】 圖50A是示出用來取得彩色影像的像素2211的一個例子的平面圖。圖50A所示的像素2211包括設置有使紅色（R）的波長範圍的光透過的濾色片的子像素2212（以下也稱為“子像素2212R”）、設置有使綠色（G）的波長範圍的光透過的濾色片的子像素2212（以下也稱為“子像素2212G”）及設置有使藍色B的波長範圍的光透過的濾色片的子像素2212（以下也稱為“子像素2212B”）。子像素2212可以被用作光感測器。

【0603】 子像素2212（子像素2212R、子像素2212G及子像素2212B）與佈線2231、佈線2247、佈線2248、佈線2249、佈線2250電連接。另外，子像素2212R、子像素2212G及子像素2212B分別獨立地連接於佈線2253。在本說明書等中，例如將與第n行的像素2211連接的佈線2248及佈線2249分別稱為佈線2248[n]及佈線2249[n]。另外，例如，將與第m列的像素2211連接的佈線2253稱為佈線2253[m]。另外，在圖50A中，與第m列的像素2211所包括的子像素

2212R連接的佈線2253稱為佈線2253[m]R，將與子像素2212G連接的佈線2253稱為佈線2253[m]G，將與子像素2212B連接的佈線2253稱為佈線2253[m]B。子像素2212藉由上述佈線與週邊電路電連接。

【0604】 攝像裝置2200具有相鄰的像素2211中的設置有使相同的波長範圍的光透過的濾色片的子像素2212藉由開關彼此電連接的結構。圖50B示出配置在第n行（n為1以上且p以下的整數）第m列（m為1以上且q以下的整數）的像素2211所包括的子像素2212與相鄰於該像素2211的配置在第n+1行第m列的像素2211所包括的子像素2212的連接例子。在圖50B中，配置在第n行第m列的子像素2212R與配置在第n+1行第m列的子像素2212R藉由開關2201連接。另外，配置在第n行第m列的子像素2212G與配置在第n+1行第m列的子像素2212G藉由開關2202連接。另外，配置在第n行第m列的子像素2212B與配置在第n+1行第m列的子像素2212B藉由開關2203連接。

【0605】 用於子像素2212的濾色片的顏色不侷限於紅色（R）、綠色（G）、藍色B，也可以使用使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片。藉由在一個像素2211中設置檢測三種不同波長範圍的光的子像素2212，可以獲得全彩色影像。

【0606】 或者，可以使用除了包括分別設置有使紅色（R）、綠色（G）及藍色B的光透過的濾色片的子像素2212以外，還包括設置有使黃色（Y）的光透過的濾色片的子像素2212的像素2211。或者，可以使用除了包括分別設置有使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的子像素2212以外，還包括設置有使藍色B的光透過的濾色片的子像素2212的像素2211。藉由

在一個像素2211中設置檢測四種不同波長範圍的光的子像素2212，可以進一步提高所獲得的影像的顏色再現性。

【0607】 例如，在圖50A中，檢測紅色的波長範圍的光的子像素2212、檢測綠色的波長範圍的光的子像素2212及檢測藍色的波長範圍的光的子像素2212的像素數比（或受光面積比）不侷限於1:1:1。例如，也可以採用像素數比（受光面積比）為紅色:綠色:藍色=1:2:1的Bayer排列。或者，像素數比（受光面積比）也可以為紅色:綠色:藍色=1:6:1。

【0608】 設置在像素2211中的子像素2212的數量可以為一個，但較佳為兩個以上。例如，藉由設置兩個以上的檢測相同的波長範圍的光的子像素2212，可以提高冗餘性，由此可以提高攝像裝置2200的可靠性。

【0609】 另外，藉由使用反射或吸收可見光且使紅外光透過的IR（IR:Infrared）濾光片，可以實現檢測紅外光的攝像裝置2200。

【0610】 藉由使用ND（ND:Neutral Density）濾光片（減光濾光片），可以防止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的ND濾光片，可以增大攝像裝置的動態範圍。

【0611】 除了上述濾光片以外，還可以在像素2211中設置透鏡。在此，參照圖51A及圖51B的剖面圖說明像素2211、濾光片2254、透鏡2255的配置例子。藉由設置透鏡2255，可以使光電轉換元件高效地受光。明確而言，如圖51A所示，可以使光2256穿過形成在像素2211中的透鏡2255、濾光片2254（濾光片2254R、濾光片2254G及濾光片2254B）及像素電路2230等而入射到光電轉換元件2220。

【0612】 注意，如由點劃線圍繞的區域所示，有時箭頭所示的光2256的一部分被佈線2257的一部分遮蔽。因此，如圖51B所示，較佳為採用在光電轉換元件2220一側配置透鏡2255及濾光片2254，而使光電轉換元件2220高效地接收光2256的結構。藉由從光電轉換元件2220一側將光2256入射到光電轉換元件2220，可以提供檢測靈敏度高的攝像裝置2200。

【0613】 作為圖51A及圖51B所示的光電轉換元件2220，也可以使用形成有pn接面或pin接面的光電轉換元件。

【0614】 光電轉換元件2220也可以使用具有吸收輻射產生電荷的功能的物質形成。作為具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、砷化鎵、碲化鎢、鎢鋅合金等。

【0615】 例如，在將硒用於光電轉換元件2220時，光電轉換元件2220可以在可見光、紫外光、紅外光、X射線、伽瑪射線等較寬的波長範圍中具有光吸收係數。

【0616】 在此，攝像裝置2200所包括的一個像素2211除了圖50A及圖50B所示的子像素2212以外，還可以包括具有第一濾光片的子像素2212。

【0617】 <像素的結構實例2>

下面，對包括使用矽的電晶體及使用氧化物半導體的電晶體的像素的一個例子進行說明。各電晶體可以使用與上述實施方式所示的電晶體同樣的電晶體。

【0618】 圖52是構成攝像裝置的元件的剖面圖。圖52所示的攝像裝置包括設置在矽基板2300上的使用矽形成的電晶體2351、在電晶體2351上層疊配置的使用氧化物半導體形成的電晶體2352及電晶體2353以及設置在矽基板2300中的光電二極體2360。各電晶體及光電二極體2360的陰極2362與各種插頭2370及

佈線2371電連接。另外，光電二極體2360的陽極2361藉由低電阻區域2363與插頭2370電連接。

【0619】 攝像裝置包括:包括設置在矽基板2300上的電晶體2351及光電二極體2360的層2310、以與層2310接觸的方式設置且包括佈線2371的層2320、以與層2320接觸的方式設置且包括電晶體2352及電晶體2353的層2330、以與層2330接觸的方式設置且包括佈線2372及佈線2373的層2340。

【0620】 在圖52的剖面圖的一個例子中，在矽基板2300中，在與形成有電晶體2351的面相反一側設置有光電二極體2360的受光面。藉由採用該結構，可以確保光路而不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。另外，光電二極體2360的受光面也可以是與形成有電晶體2351的面相同的面。

【0621】 在只使用由氧化物半導體形成的電晶體構成像素時，層2310為包括由氧化物半導體形成的電晶體的層，即可。或者，像素也可以只使用由氧化物半導體形成的電晶體而省略層2310。

【0622】 矽基板2300也可以是SOI基板。另外，也可以使用包含鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵、有機半導體的基板代替矽基板2300。

【0623】 這裡，在包括電晶體2351及光電二極體2360的層2310與包括電晶體2352及電晶體2353的層2330之間設置有絕緣體2380。注意，絕緣體2380的位置不侷限於此。另外，在絕緣體2380下設置絕緣體2379，在絕緣體2380上設置絕緣體2381。

【0624】 在形成於絕緣體2379至絕緣體2381中的開口中設置有導電體2390a至導電體2390e。導電體2390a、導電體2390b及導電體2390e被用作插頭及佈線。另外，導電體2390c被用作電晶體2353的背閘極。此外，導電體2390d被用作電晶體2352的背閘極。

【0625】 設置在電晶體2351的通道形成區域附近的絕緣體中的氫使矽的懸空鍵終結，由此可以提高電晶體2351的可靠性。另一方面，設置在電晶體2352及電晶體2353等附近的絕緣體中的氫有可能成為在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體2352及電晶體2353等的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，較佳為在它們之間設置具有阻擋氫的功能的絕緣體2380。藉由將氫封閉在絕緣體2380下，可以提高電晶體2351的可靠性。再者，由於可以抑制氫從絕緣體2380下擴散至絕緣體2380上，所以可以提高電晶體2352及電晶體2353等的可靠性。再者，藉由形成導電體2390a、導電體2390b及導電體2390e，也可以抑制氫經過形成於絕緣體2380中的導通孔（via hole）擴散到上層，所以可以提高電晶體2352及電晶體2353等的可靠性。

【0626】 在圖52的剖面圖中，可以以設置在層2310中的光電二極體2360與設置在層2330中的電晶體重疊的方式形成。因此，可以提高像素的集成度。就是說，可以提高攝像裝置的解析度。

【0627】 可以使攝像裝置的一部分或全部彎曲。藉由使攝像裝置彎曲，可以降低像場彎曲或像散（astigmatism）。因此，可以促進與攝像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，因

此可以實現使用攝像裝置的電子裝置等的小型化或輕量化。另外，可以提高攝像的影像品質。

【0628】 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【0629】 實施方式10

在本實施方式中，對根據本發明的一個實施方式的半導體晶圓、晶片及電子構件進行說明。

【0630】 <半導體晶圓、晶片>

圖53A示出進行切割處理之前的基板5711的俯視圖。作為基板5711，例如可以使用半導體基板（也稱為“半導體晶圓”）。在基板5711上設置有多個電路區域5712。在電路區域5712中，也可以設置根據本發明的一個實施方式的半導體裝置、CPU、RF標籤或影像感測器等。

【0631】 多個電路區域5712的每一個都被分離區域5713圍繞。分離線（也稱為“切割線”）5714位於與分離區域5713重疊的位置上。藉由沿著分離線5714切割基板5711，可以從基板5711切割出包括電路區域5712的晶片5715。圖53B示出晶片5715的放大圖。

【0632】 另外，也可以在分離區域5713上設置導電層和半導體層。藉由在分離區域5713上設置導電層和半導體層，可以緩和可能在切割製程中產生的ESD，而防止在切割製程中良率下降。另外，一般來說，為了冷卻基板、去除刨花、防止帶電等，一邊使溶解有碳酸氣體等以降低了其電阻率的純水流過切削部一邊進行切割製程。藉由在分離區域5713上設置導電層和半導體層，可以

減少該純水的使用量。因此，可以降低半導體裝置的生產成本。另外，可以提高半導體裝置的生產率。

【0633】 作為設置在分離區域5713上的半導體層，較佳為使用能帶間隙為2.5eV以上且4.2eV以下，較佳為2.7eV以上且3.5eV以下的材料。藉由使用這種材料，可以使所積蓄的電荷緩慢釋放，所以可以抑制ESD導致的電荷的急劇的移動，而可以使靜電損壞不容易產生。

【0634】 〈電子構件〉

參照圖54A及圖54B對將晶片5715應用於電子構件的例子進行說明。注意，電子構件也被稱為半導體封裝或IC用封裝。電子構件根據端子取出方向和端子的形狀存在多個規格和名稱。

【0635】 在組裝製程（後面的製程）中組合上述實施方式所示的半導體裝置與該半導體裝置之外的構件，來完成電子構件。

【0636】 參照圖54A所示的流程圖對後面的製程進行說明。在前面的製程中，包括上述實施方式所示的半導體裝置的元件基板完成之後，進行研磨該元件基板的背面（沒有形成半導體裝置等的面）的“背面研磨製程”（步驟S5721）。藉由進行研磨來使元件基板變薄，可以減少元件基板的翹曲等，而可以實現電子構件的小型化。

【0637】 接著，進行將元件基板分成多個晶片（晶片5715）的“切割（dicing）製程”（步驟S5722）。並且，進行如下晶片接合（die bonding）製程（步驟S5723）：拾取被切割的各晶片，並將其接合於引線框架上。晶片接合製程中的晶片與引線框架的接合可以適當地根據產品選擇合適的方法，如利用樹

脂的接合或利用膠帶的接合等。另外，也可以在插入物（interposer）基板上安裝晶片代替引線框架。

【0638】 接著，進行將引線框架的引線與晶片上的電極藉由金屬細線（wire）電連接的“打線接合（wire bonding）製程”（步驟S5724）。作為金屬細線可以使用銀線或金線。此外，打線接合可以使用球焊（ball bonding）或楔焊（wedge bonding）。

【0639】 進行由環氧樹脂等密封被打線接合的晶片的“密封製程（模塑（molding）製程）”（步驟S5725）。藉由進行密封製程，使電子構件的內部被樹脂填充，可以保護安裝於晶片內部的電路部及將晶片與引線連接的金屬細線免受機械外力的影響，還可以降低因水分或灰塵而導致的特性劣化（可靠性的降低）。

【0640】 接著，進行對引線框架的引線進行電鍍處理的“引線電鍍製程”（步驟S5726）。藉由該電鍍處理可以防止引線生銹，而在後面將引線安裝於印刷電路板時，可以更加確實地進行銲接。接著，進行引線的切斷及成型加工的“成型加工製程”（步驟S5727）。

【0641】 接著，進行對封裝表面進行印字處理（marking）的“印字製程”（步驟S5728）。並且經過調查外觀形狀的優劣或工作故障的有無的“檢驗步驟”（步驟S5729）完成電子構件。

【0642】 圖54B示出完成的電子構件的透視示意圖。在圖54B中，作為電子構件的一個例子，示出QFP（Quad Flat Package:四面扁平封裝）的透視示意圖。圖54B所示的電子構件5750包括引線5755及半導體裝置5753。作為半導體裝置5753，可以使用上述實施方式所示的半導體裝置。

【0643】圖54B所示的電子構件5750例如安裝於印刷電路板5752。藉由組合多個這樣的電子構件5750並使其在印刷電路板5752上彼此電連接，來完成安裝有電子構件的基板（電路板5754）。完成的電路板5754用於電子裝置等。

【0644】本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

【0645】實施方式11

在本實施方式中，對利用本發明的一個實施方式的電晶體等的電子裝置進行說明。

【0646】<電子裝置>

本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠再現如數位影音光碟（DVD:Digital Versatile Disc）等儲存媒體的內容並具有可以顯示該再現影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖55A至圖55F示出這些電子裝置的具體例子。

【0647】圖55A是可攜式遊戲機，其包括外殼1901、外殼1902、顯示部1903、顯示部1904、麥克風1905、揚聲器1906、操作鍵1907以及觸控筆1908等。注意，雖然圖55A所示的可攜式遊戲機包括兩個顯示部1903和顯示部1904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

【0648】圖55B是可攜式資料終端，其包括第一外殼1911、第二外殼1912、第一顯示部1913、第二顯示部1914、連接部1915、操作鍵1916等。第一顯示部1913設置在第一外殼1911中，而第二顯示部1914設置在第二外殼1912中。而且，第一外殼1911和第二外殼1912由連接部1915連接，可以藉由連接部1915改變第一外殼1911和第二外殼1912之間的角度。第一顯示部1913的影像也可以根據連接部1915所形成的第一外殼1911和第二外殼1912之間的角度切換。另外，也可以對第一顯示部1913和第二顯示部1914中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

【0649】圖55C是膝上型個人電腦，其包括外殼1921、顯示部1922、鍵盤1923以及指向裝置1924等。

【0650】圖55D是電冷藏冷凍箱，其包括外殼1931、冷藏室門1932、冷凍室門1933等。

【0651】圖55E是視頻攝影機，其包括第一外殼1941、第二外殼1942、顯示部1943、操作鍵1944、鏡頭1945、連接部1946等。操作鍵1944及鏡頭1945設置在第一外殼1941中，而顯示部1943設置在第二外殼1942中。並且，第一外殼1941和第二外殼1942由連接部1946連接，可以藉由連接部1946改變第一外殼1941和第二外殼1942之間的角度。顯示部1943的影像也可以根據連接部1946所形成的第一外殼1941和第二外殼1942之間的角度切換。

【0652】圖55F是汽車，其包括車體1951、車輪1952、儀表板1953及燈1954等。

【0653】 注意，在本實施方式中，對本發明的一個實施方式進行說明。

但是，本發明的一個實施方式不侷限於此。換而言之，在本實施方式等中，記載有各種各樣的發明的方式，因此本發明的一個實施方式不侷限於特定的方式。例如，作為本發明的一個實施方式，示出了在電晶體的通道形成區域、源極區域或汲極區域等中包括氧化物半導體的情況的例子，但是本發明的一個實施方式不侷限於此。根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等也可以包括各種各樣的半導體。根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等例如也可以包含矽、鍺、矽鍺、碳化矽、砷化鎵、鋁砷化鎵、磷化銦、氮化鎵和有機半導體等中的至少一個。或者，例如，根據情形或狀況，本發明的一個實施方式中的各種各樣的電晶體、電晶體的通道形成區域或者電晶體的源極區域或汲極區域等也可以不包括氧化物半導體。

【0654】 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

實施例1

【0655】 在本實施例中，對利用上述實施方式所示的方法形成的In-Ga-Zn氧化物膜（以下，稱為IGZO膜）的元素分析及結晶性的評價結果進行說明。

【0656】 作為根據本實施例的樣本1A，利用使用In-Ga-Zn氧化物（原子個數比In：Ga：Zn=4：2：4.1）靶材的濺射法在玻璃基板上形成100nm厚的IGZO膜。以如下條件形成IGZO膜：在含有180sccm的氬氣體及20sccm的氧氣體

的氛圍中，壓力控制為0.6Pa，基板溫度設定為室溫，並施加2.5kW的交流電力。

【0657】 利用能量色散型X射線分析法（EDX:Energy Dispersive X-ray spectroscopy）對製造出的樣品1A的IGZO膜的剖面進行了測定。EDX測定使用日本電子株式會社製造的原子解析度分析電子顯微鏡JEM-ARM200F，將加速電壓設定為200kV，照射束徑大致為0.1nm Φ 的電子束。作為元素分析裝置使用日本電子株式會社製造的能量色散型X射線分析裝置JED-2300T。在檢測從樣本1A發射的X射線時，使用矽漂移探測器。

【0658】 在EDX測定中，對樣本的分析目標區域的各點照射電子束，並測定此時發生的樣本的特性X射線的能量及發生次數，獲得對應於各點的EDX譜。在本實施例中，各點的EDX光譜的峰值來源於In原子、Ga原子、Zn原子及O原子中的電子遷移，並算出了各點中的各原子的比率。藉由在樣本1A的分析目標區域中進行上述步驟，可以獲得示出各原子的比率分佈的EDX面分析影像。

【0659】 圖56示出樣本1A的IGZO膜剖面中的In原子的EDX面分析影像。圖56所示的EDX面分析影像示出IGZO膜的各點中的In原子的比率[atomic%]。在圖56中，顏色較深的區域為In原子比率低的區域，最低為10.85atomic%，顏色較淺的區域為In原子比率高的區域，最高為25.21atomic%。

【0660】 圖56所示的EDX面分析影像中觀察到影像存在深淺分佈，由此可知IGZO膜的剖面中In原子偏析。這裡，EDX面分析影像中顏色較淡的區域中大致為圓形或大致為橢圓形的區域較多。另外，還觀察到多個大致為圓形或大致為橢圓形的區域連結形成的區域。換言之，也可以說大致為圓形或大致為橢

圓形的區域以網目狀形成。如上所述，顏色較淡的區域為In高濃度存在的區域，其對應於上述實施方式所示的區域A。但是，區域A沒有大到能夠橫跨或縱跨分析目標區域，其周圍圍繞有顏色較深的區域（該顏色較深的區域對應於上述實施方式所示的區域B）而形成島形。區域A與區域B之間形成有色彩深度為中間程度的區域，還存在區域A與區域B的界線不明確的部分。此外，大致為圓形或大致為橢圓形的區域A的直徑為0.1nm以上且5nm以下的範圍內的部分較多。

【0661】 如上所述，樣品1A的IGZO膜是形成有In-rich區域A和In-poor區域B的复合氧化物半導體。區域A有助於電晶體的通態電流及場效移動率，區域B有助於電晶體的開關特性，因此藉由使用該複合氧化物半導體可以製造具有良好的電特性的電晶體。

【0662】 再者，藉由以區域A被區域B圍繞的島形形成，可以抑制電晶體的源極與汲極因區域A連接而導致關態電流上升。

【0663】 在與樣本1A不同的含有140sccm的氬氣體及60sccm的氧氣體的氛圍及基板溫度為170°C的條件下形成IGZO膜，由此製造出樣本1B。注意，樣本1B的IGZO膜的其他成膜條件與樣本1A相同。

【0664】 以20000000倍的倍率拍攝樣本1A與樣本1B的剖面的BF-STEM（Bright Field-Scanning Transmission Electron Microscopy：明場-掃描穿透式電子顯微鏡）影像。圖57A示出樣本1A的BF-STEM影像，圖57B示出樣本1B的BF-STEM影像。

【0665】 如圖57A所示，在樣本1A的IGZO膜中，雖然面積較窄，形成有層狀的結晶部，並且觀察到具有c軸配向性的結晶部。相對於此，圖57B所示的

樣本1B的IGZO膜中形成有與樣本1A相比更寬面積的層狀的結晶部。如此，在觀察到In原子的偏析的樣本1A的IGZO膜中也確認出層狀的結晶部。此外，可以認為藉由提高IGZO成膜時的氧流量比及基板溫度有可能提高IGZO膜的結晶性。

【0666】 進一步製造出更多在不同氧流量及基板溫度的條件下形成IGZO膜的樣本並對其結晶性進行了評價。作為樣本的IGZO膜的成膜條件，分別將氧流量比設定為10%（氧氣體20sccm、氬氣體180sccm）、30%（氧氣體60sccm、氬氣體140sccm）、50%（氧氣體100sccm、氬氣體100sccm）、70%（氧氣體140sccm、氬氣體60sccm）或100%（氧氣體200sccm）。基板溫度設定為室溫、130°C或170°C。各樣本的IGZO膜的其他成膜條件與樣本1A相同。

【0667】 各樣本的IGZO膜結晶性評價利用XRD測定進行。在XRD測量中，使用out-of-plane法之一的粉末法（也稱為 θ -2 θ 法）。 θ -2 θ 法是如下方法：在改變X射線的入射角的同時，使與X射線源對置地設置的檢測器的角度與入射角相同，來測量出X射線繞射強度的方法。

【0668】 圖58A示出各樣本的XRD測定結果。如圖58B所示，對各樣本的玻璃基板中的三個點進行了測定。

【0669】 在圖58A中，縱軸表示繞射強度（任意單位），橫軸表示角度2 θ 。另外，在圖58A中，並排示出對應於圖58B的三個點的三個XRD圖。

【0670】 如圖58A所示，在與樣本1A以同樣的成膜條件形成的IGZO膜中，2 θ =31°附近較難確認出繞射強度峰值、2 θ =31°附近的繞射強度峰值極小或者2 θ =31°附近沒有繞射強度峰值。在與樣本1B以同樣的成膜條件形成的IGZO膜中，在2 θ =31°附近可以清楚地確認出繞射強度峰值。

【0671】 另外，觀察到繞射強度峰值的繞射角（ $2\theta=31^\circ$ 附近）與單晶 InGaZnO_4 的結構模型中的（009）面的繞射角一致。因此，從在與樣本1B以同樣的成膜條件形成的IGZO膜中觀察到上述峰值可以確認該膜含有具有c軸配向性的結晶部。

【0672】 至於與樣本1A以同樣的成膜條件形成的IGZO膜，很難利用XRD測定判斷其是否含有具有c軸配向性的結晶部。但是，如圖57A所示，可以藉由拍攝BF-STEM影像等確認微小的區域中的具有c軸配向性的結晶部。

【0673】 如圖58A所示，形成IGZO膜時的氧流量比越大或者基板溫度越高，XRD圖的峰值越尖。由此可知，形成IGZO膜時的氧流量比越大或者基板溫度越高，製造出的IGZO膜的結晶性越高。

【符號說明】

【0674】

- 100 電容元件
- 101 電容元件
- 102 電容元件
- 112 導電體
- 112a 導電體
- 112b 導電體
- 116 導電體
- 124 導電體
- 130 絕緣體
- 132 絕緣體

- 134 絕緣體
- 150 絕緣體
- 200 電晶體
- 201 電晶體
- 202 電晶體
- 205 導電體
- 205a 導電體
- 205A 導電體
- 205b 導電體
- 205B 導電體
- 205c 導電體
- 210 絕緣體
- 212 絕緣體
- 213 絕緣體
- 214 絕緣體
- 216 絕緣體
- 218 導電體
- 219 導電體
- 220 絕緣體
- 222 絕緣體
- 224 絕緣體
- 230 氧化物
- 230a 氧化物
- 230A 氧化物

230b 氧化物
230B 氧化物
230c 氧化物
230d 氧化物
240a 導電體
240A 導電膜
240b 導電體
240B 導電層
241a 導電體
241b 導電體
243a 絕緣體
243b 絕緣體
244 導電體
246 導電體
250 絕緣體
260 導電體
260a 導電體
260A 導電膜
260b 導電體
260c 導電體
270 絕緣體
271 障壁層
279 絕緣體
280 絕緣體

281 障壁層

282 絕緣體

284 絕緣體

286 絕緣體

290 光阻遮罩

292 光阻遮罩

294 光阻遮罩

296 光阻遮罩

300 電晶體

301 電晶體

302 電晶體

311 基板

312 半導體區域

314 絕緣體

316 導電體

318a 低電阻區域

318b 低電阻區域

320 絕緣體

322 絕緣體

324 絕緣體

326 絕緣體

328 導電體

330 導電體

350 絕緣體

352 絕緣體

354 絕緣體

356 導電體

358 絕緣體

600 靶材

600a 靶材

600b 靶材

601 成膜室

610 底板

610a 底板

610b 底板

620 靶材架

620a 靶材架

620b 靶材架

622 靶材屏蔽

623 靶材屏蔽

630 磁鐵單元

630a 磁鐵單元

630b 磁鐵單元

630N 磁鐵

630N1 磁鐵

630N2 磁鐵

630S 磁鐵

632 磁鐵架

640 電漿

642 部材

660 基板

670 基板架

680a 磁力線

680b 磁力線

690 電源

691 電源

1901 外殼

1902 外殼

1903 顯示部

1904 顯示部

1905 麥克風

1906 揚聲器

1907 操作鍵

1908 觸控筆

1911 外殼

1912 外殼

1913 顯示部

1914 顯示部

1915 連接部

1916 操作鍵

1921 外殼

1922 顯示部

1923 鍵盤
1924 指向裝置
1931 外殼
1932 冷藏室門
1933 冷凍室門
1941 外殼
1942 外殼
1943 顯示部
1944 操作鍵
1945 鏡頭
1946 連接部
1951 車體
1952 車輪
1953 儀表板
1954 燈
2200 攝像裝置
2201 開關
2202 開關
2203 開關
2210 像素部
2211 像素
2212 子像素
2212B 子像素
2212G 子像素

2212R 子像素

2220 光電轉換元件

2230 像素電路

2231 佈線

2247 佈線

2248 佈線

2249 佈線

2250 佈線

2253 佈線

2254 濾光片

2254B 濾光片

2254G 濾光片

2254R 濾光片

2255 透鏡

2256 光

2257 佈線

2260 週邊電路

2270 週邊電路

2280 週邊電路

2290 週邊電路

2291 光源

2300 矽基板

2310 層

2320 層

2330 層

2340 層

2351 電晶體

2352 電晶體

2353 電晶體

2360 光電二極體

2361 陽極

2363 低電阻區域

2370 插頭

2371 佈線

2372 佈線

2373 佈線

2379 絕緣體

2380 絕緣體

2381 絕緣體

2390a 導電體

2390b 導電體

2390c 導電體

2390d 導電體

2390e 導電體

2700 成膜裝置

2701 大氣側基板供應室

2702 大氣側基板傳送室

2703a 負載鎖定室

2703b 卸載閉鎖室

2704 傳送室

2705 基板加熱室

2706a 成膜室

2706b 成膜室

2706c 成膜室

2751 低溫冷阱

2752 載物台

2761 盒式介面

2762 對準介面

2763 傳送機器人

2764 閘閥

2765 加熱載物台

2766 靶材

2766a 靶材

2766b 靶材

2767 靶材屏蔽

2767a 靶材屏蔽

2767b 靶材屏蔽

2768 基板架

2769 基板

2770 真空泵

2771 低溫泵

2772 渦輪分子泵

2780 質量流量控制器

2781 精製器

2782 氣體加熱機構

2784 可變構件

2790a 磁鐵單元

2790b 磁鐵單元

2791 電源

3001 佈線

3002 佈線

3003 佈線

3004 佈線

3005 佈線

3006 佈線

3400 電晶體

4001 佈線

4003 佈線

4005 佈線

4006 佈線

4007 佈線

4008 佈線

4009 佈線

4021 層

4023 層

4100 電晶體

- 4200 電晶體
- 4300 電晶體
- 4400 電晶體
- 4500 電容元件
- 4600 電容元件
- 5400 半導體裝置
- 5401 CPU核
- 5402 功率控制器
- 5403 功率開關
- 5404 快取記憶體
- 5405 匯流排介面
- 5406 除錯介面
- 5407 控制裝置
- 5409 管線暫存器
- 5410 管線暫存器
- 5411 ALU
- 5412 暫存器檔案
- 5421 電源管理單元
- 5422 週邊電路
- 5423 資料匯流排
- 5500 半導體裝置
- 5501 記憶體電路
- 5502 記憶體電路
- 5503 記憶體電路

5504 電路

5509 電晶體

5510 電晶體

5512 電晶體

5513 電晶體

5515 電晶體

5517 電晶體

5518 電晶體

5519 電容元件

5520 電容元件

5540 佈線

5541 佈線

5542 佈線

5543 佈線

5544 佈線

5711 基板

5712 電路區域

5713 分離區域

5714 分離線

5715 晶片

5750 電子構件

5752 印刷電路板

5753 半導體裝置

5754 電路板

5755 引線

5800 反相器

5810 OS電晶體

5820 OS電晶體

5831 信號波形

5832 信號波形

5840 虛線

5841 實線

5850 OS電晶體

5860 CMOS反相器

5900 半導體裝置

5901 電源電路

5902 電路

5903 電壓生成電路

5903A 電壓生成電路

5903B 電壓生成電路

5903C 電壓生成電路

5903D 電壓生成電路

5903E 電壓生成電路

5904 電路

5905 電壓生成電路

5905A 電壓生成電路

5906 電路

5911 電晶體

5912 電晶體

5912A 電晶體

5921 控制電路

5922 電晶體

【發明申請專利範圍】

【請求項1】 一種電晶體，包括：

閘極電極；

閘極絕緣膜；以及

含有銦、元素 **M** 和鋅的氧化物半導體層，

其中，該元素 **M** 是 Al、Ga、Y 和 Sn 中的一個或多個，

該氧化物半導體層包括第一區域和第二區域，

該第二區域的銦的濃度大於該第一區域的銦的濃度，

並且，該第二區域分散在該第一區域內。

【請求項2】 一種電晶體，包括：

閘極電極；

閘極絕緣膜；以及

含有銦、元素 **M** 和鋅的氧化物半導體層，

其中，該元素 **M** 是 Al、Ga、Y 和 Sn 中的一個或多個，

該氧化物半導體層包括第一區域和第二區域，

該第二區域的銦的濃度為該第一區域的銦的濃度的 1.1 倍以上至 10 倍以下，

並且，該第二區域分散在該第一區域內。

【請求項3】 一種電晶體，包括：

閘極電極；

閘極絕緣膜；以及

含有銦、元素 **M** 和鋅的氧化物半導體層，

其中，該元素 **M** 是 Al、Ga、Y 和 Sn 中的一個或多個，

該氧化物半導體層包括第一區域和第二區域，

該第二區域的銦的濃度大於該第一區域的銦的濃度，
並且，該第二區域包含在該第一區域內。

【請求項4】 一種電晶體，包括：

閘極電極；

閘極絕緣膜；以及

含有銦、元素 M 和鋅的氧化物半導體層，

其中，該元素 M 是 Al、Ga、Y 和 Sn 中的一個或多個，

該氧化物半導體層包括第一區域和第二區域，

該第二區域的銦的濃度為該第一區域的銦的濃度的 1.1 倍以上至 10 倍以下，

並且，該第二區域包含在該第一區域內。

【請求項5】 根據請求項1至4任一項的電晶體，

其中該第一區域與該第二區域具有不同的晶體結構。

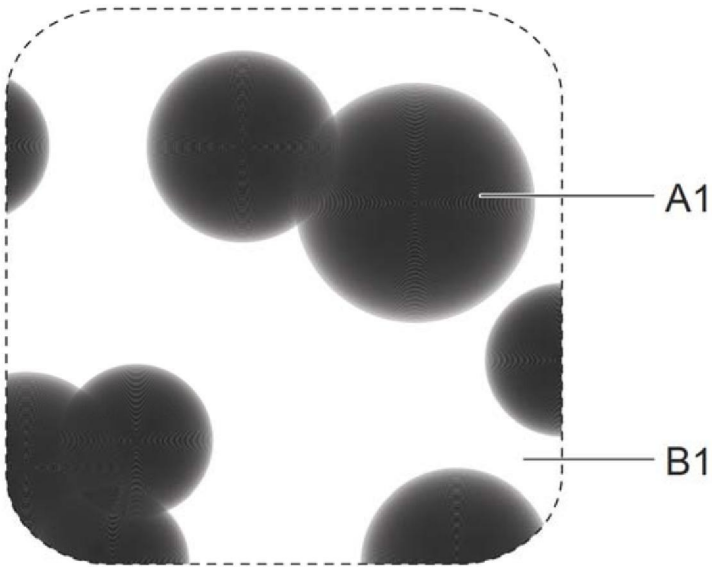
【請求項6】 根據請求項1至4任一項的電晶體，

其中該第二區域為非單晶。

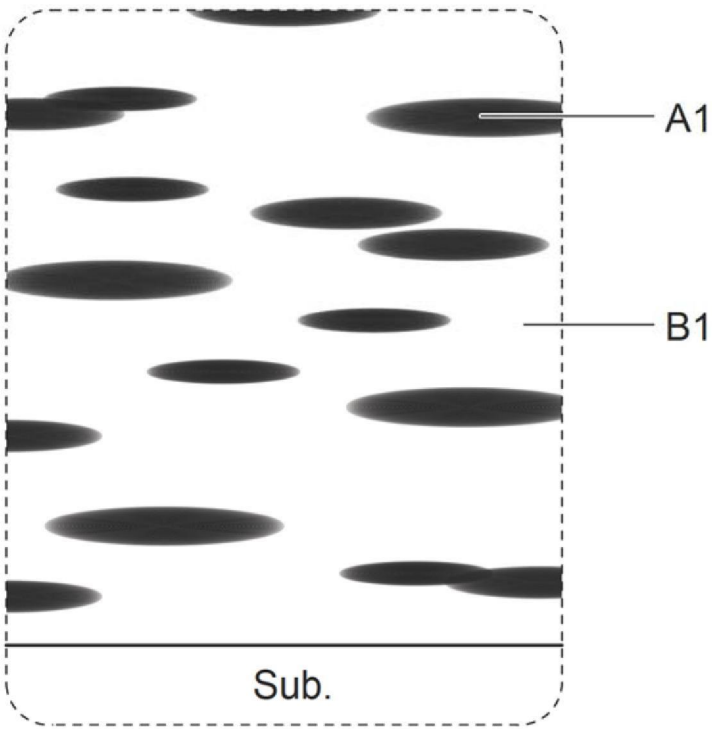
【請求項7】 根據請求項1至4任一項的電晶體，

其中該第一區域為多晶。

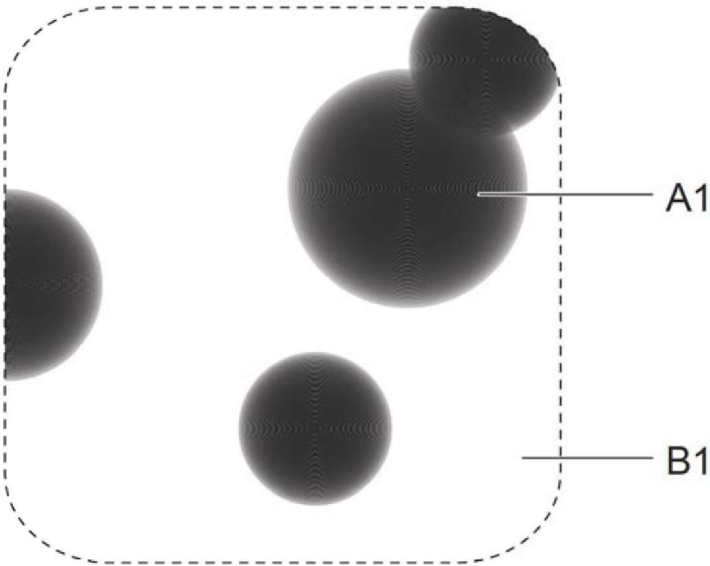
【發明圖式】



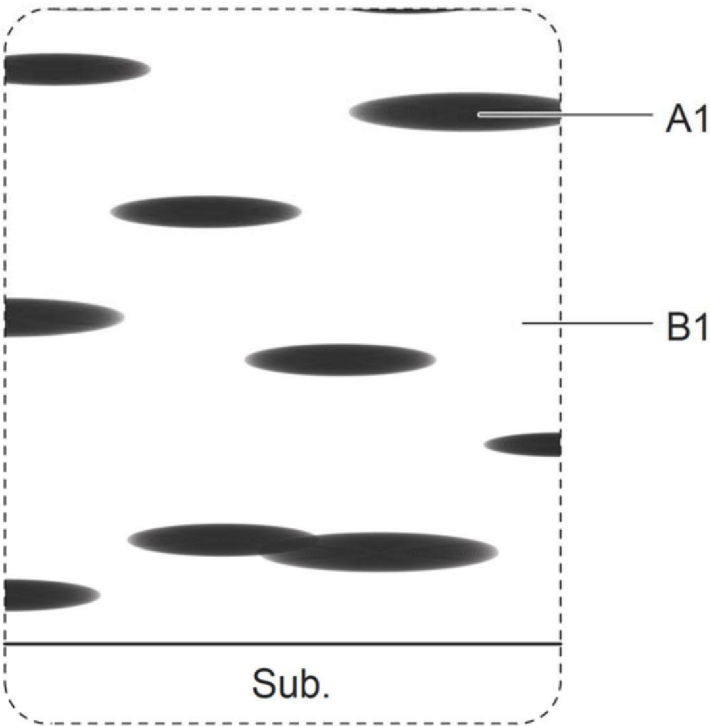
【圖1A】



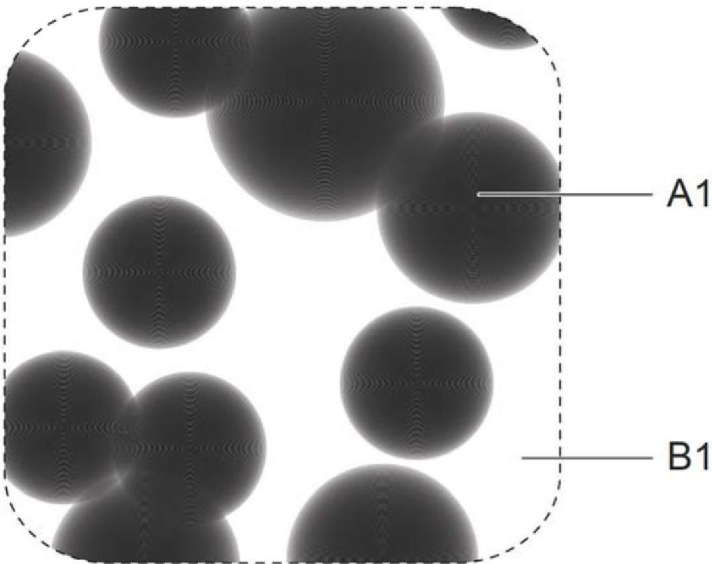
【圖1B】



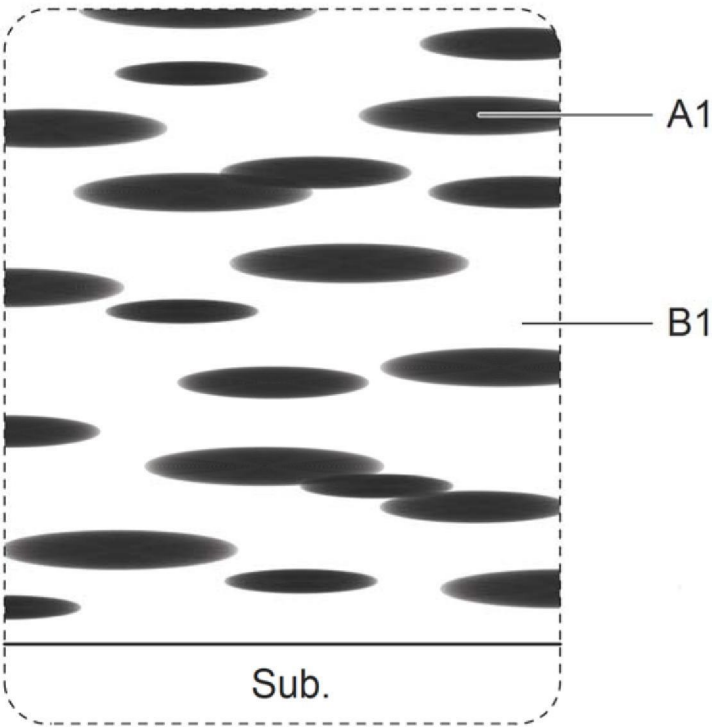
【圖2A】



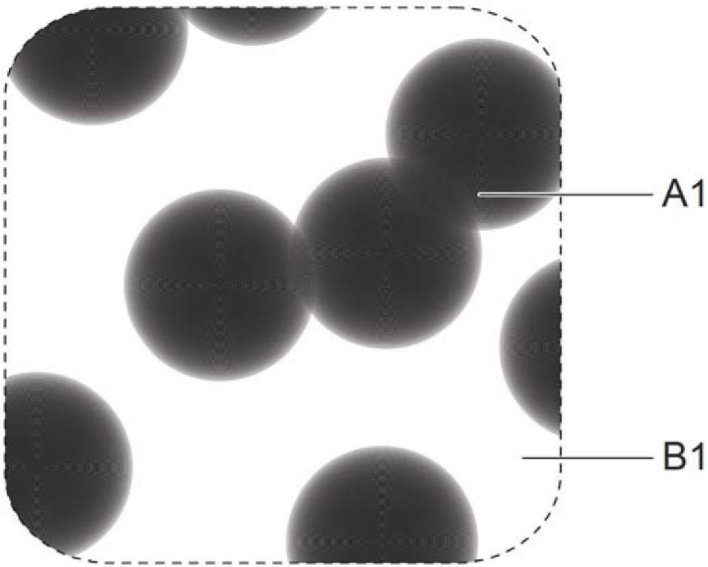
【圖2B】



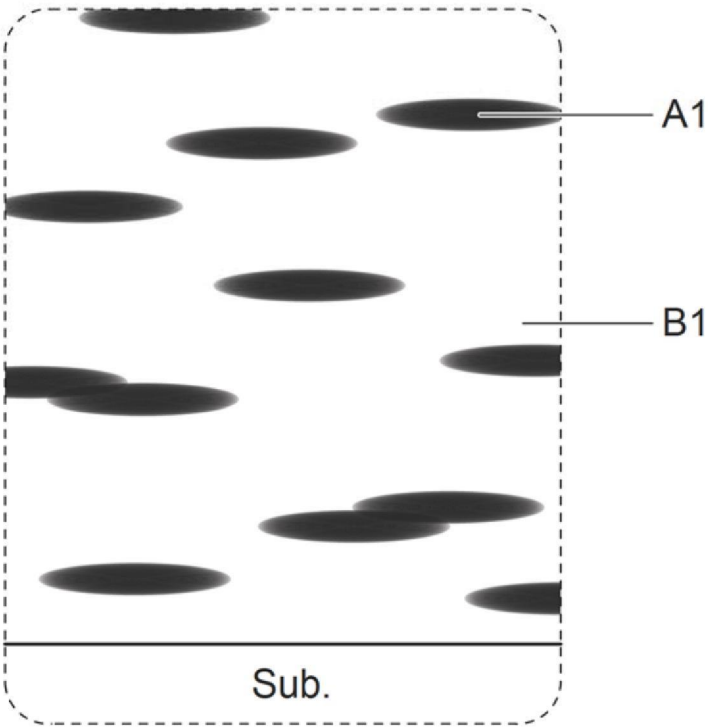
【圖3A】



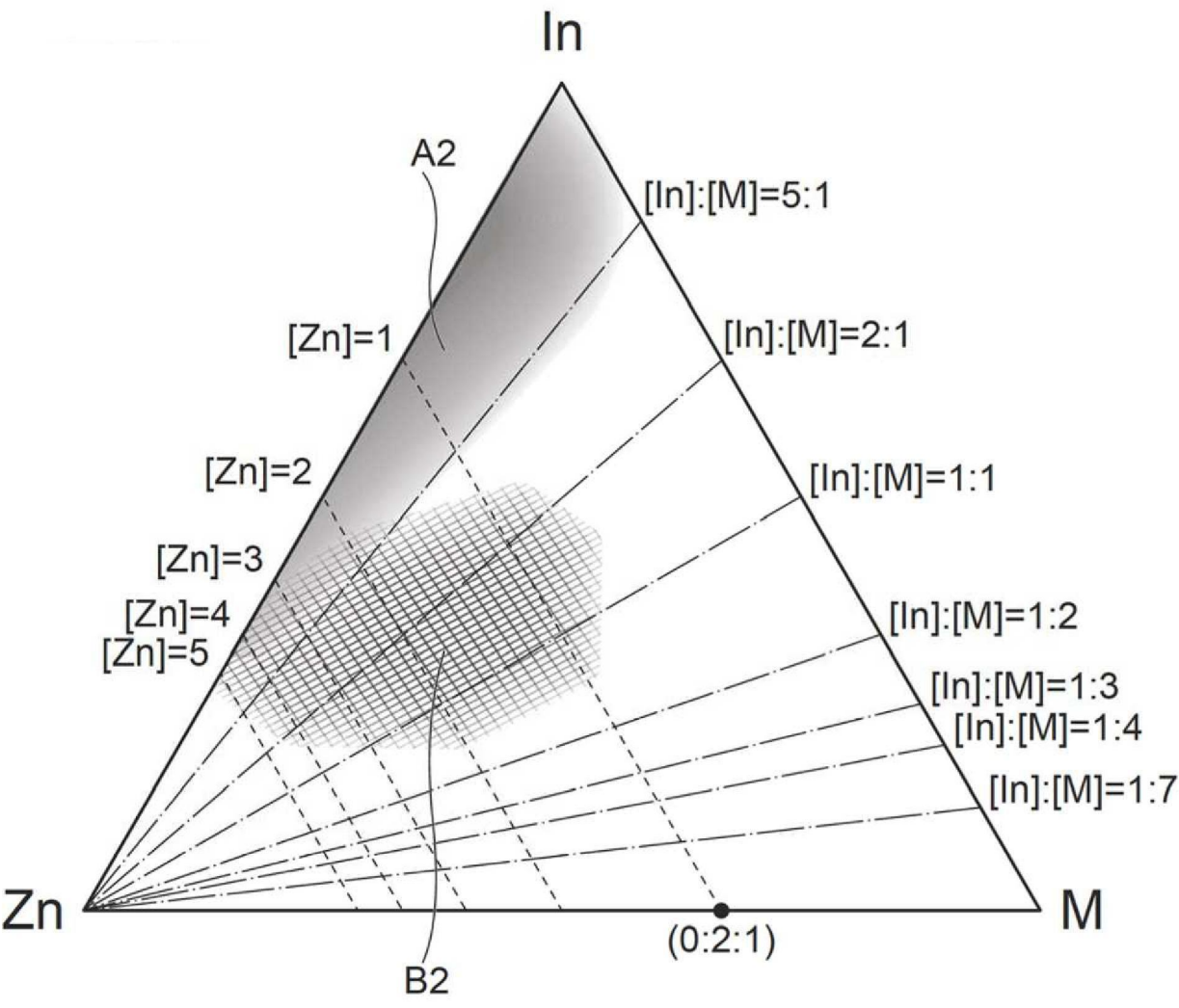
【圖3B】



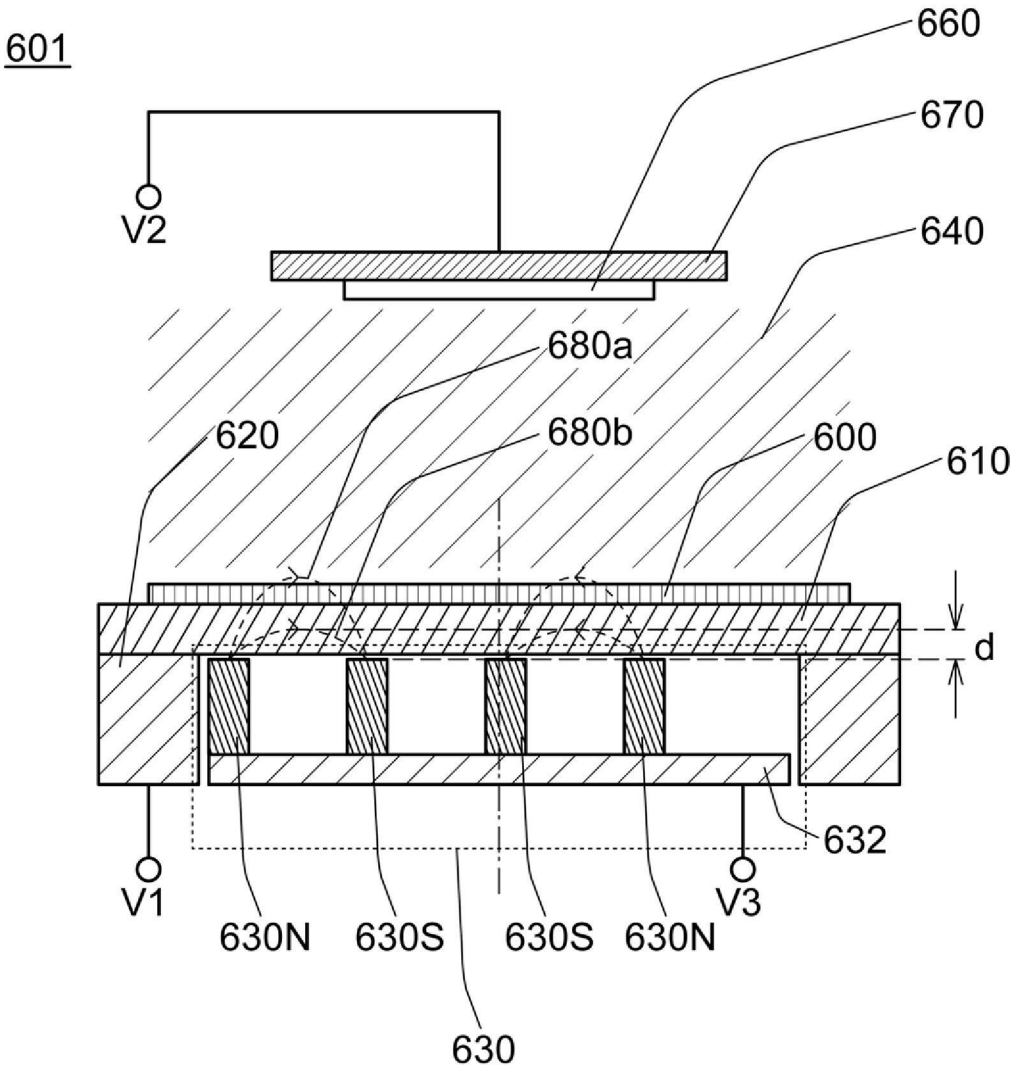
【圖4A】



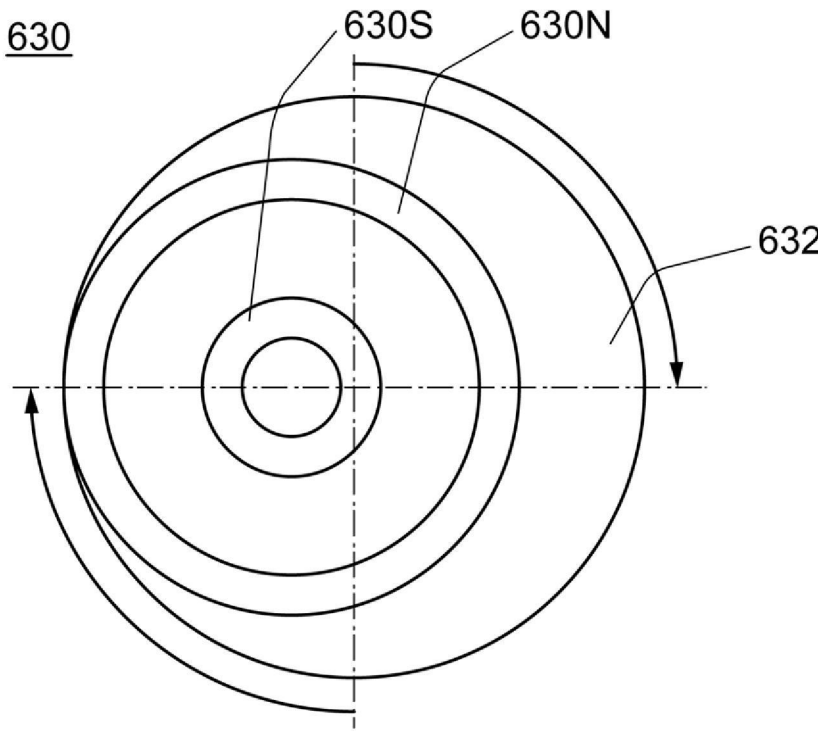
【圖4B】



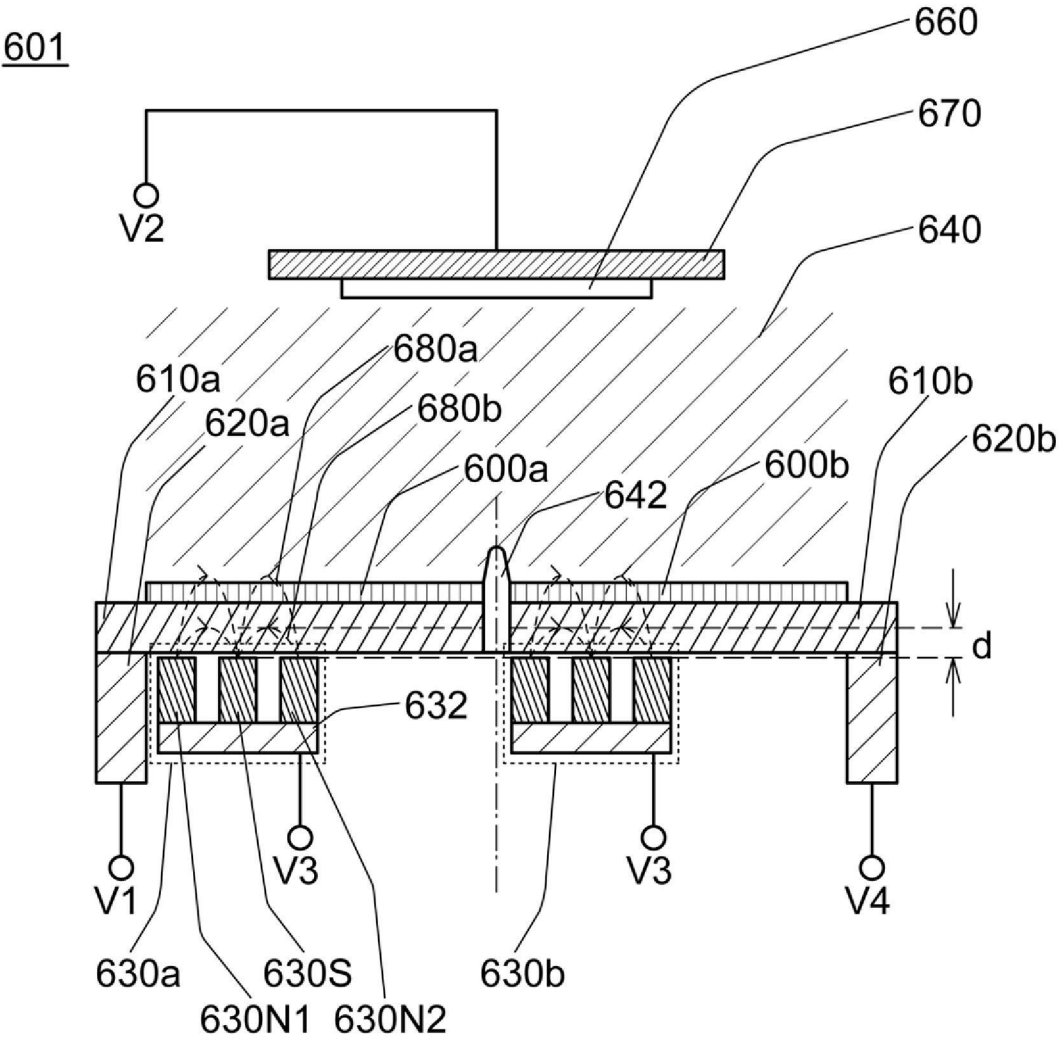
【圖5】



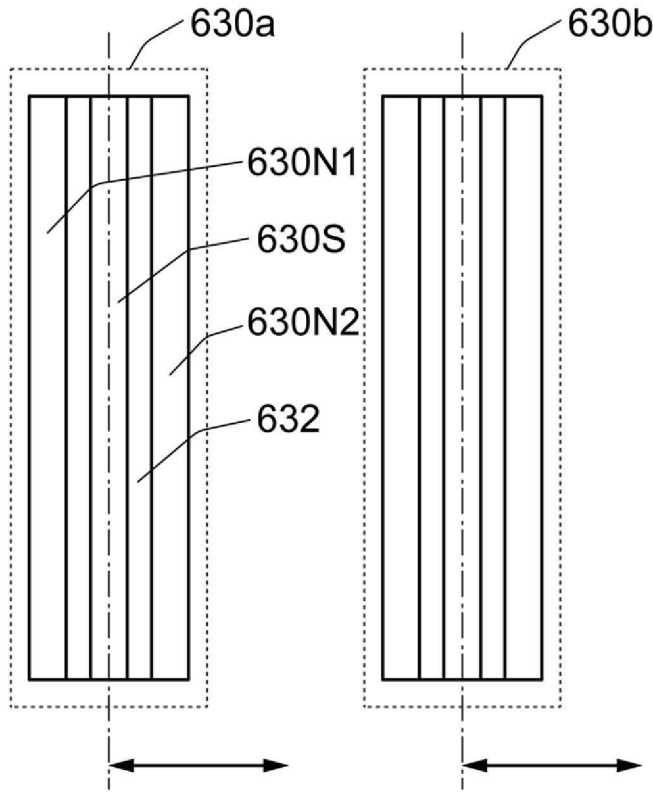
【圖6A】



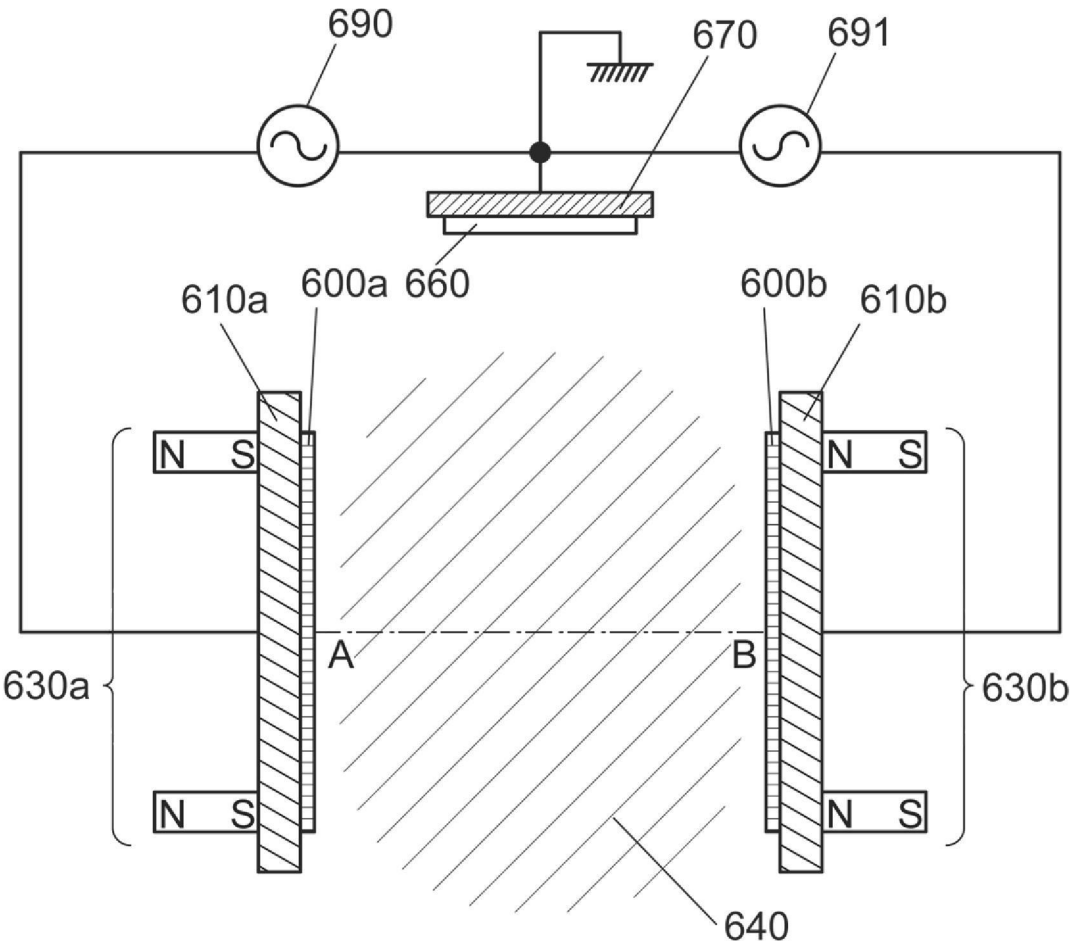
【圖6B】



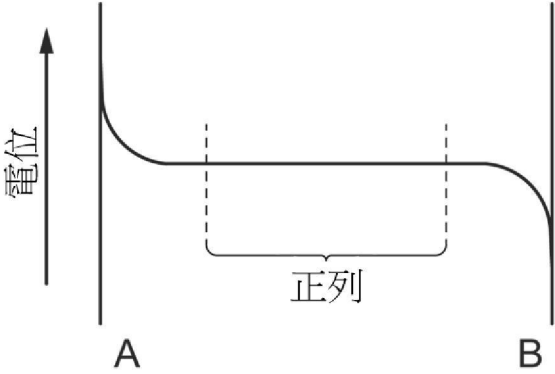
【圖7A】



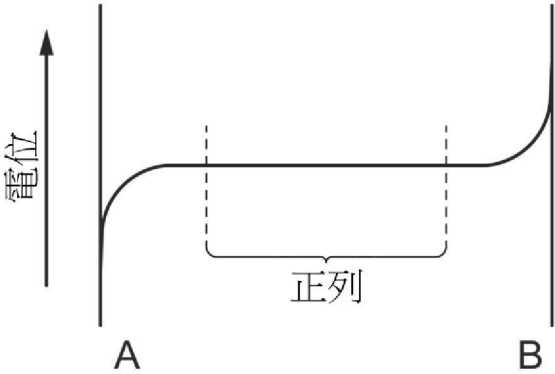
【圖7B】



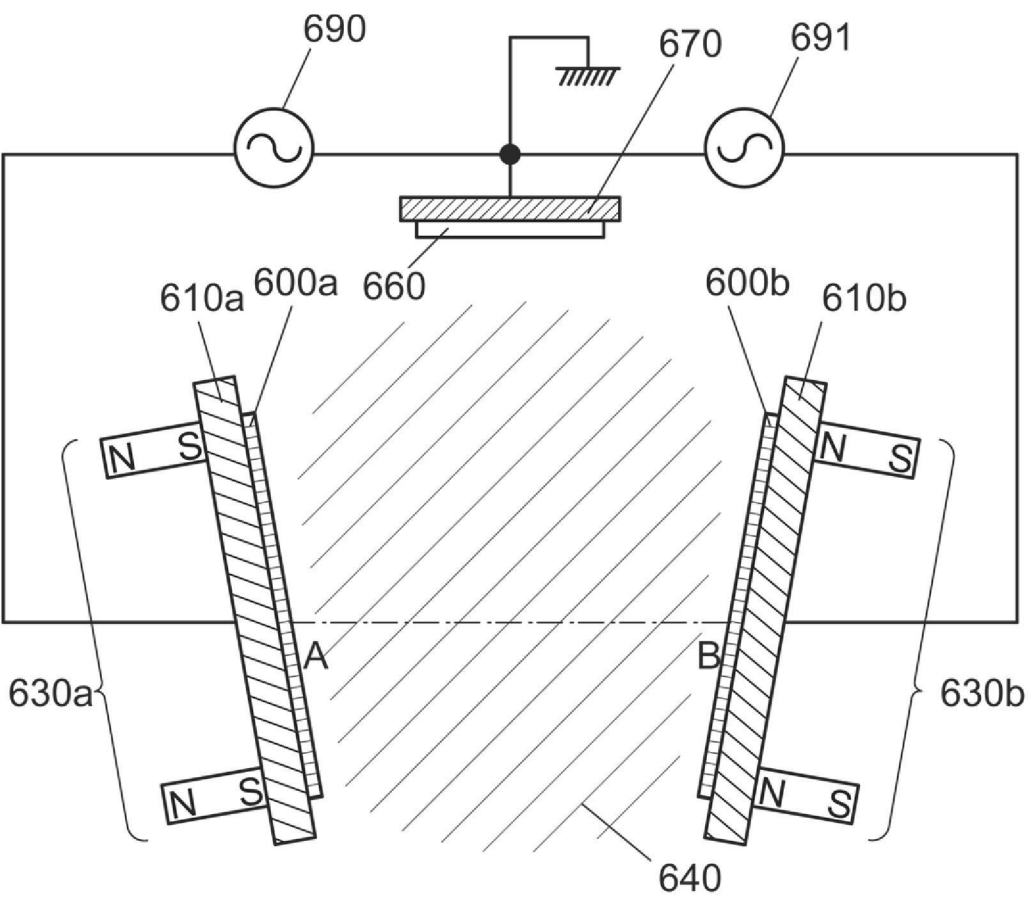
【圖8A】



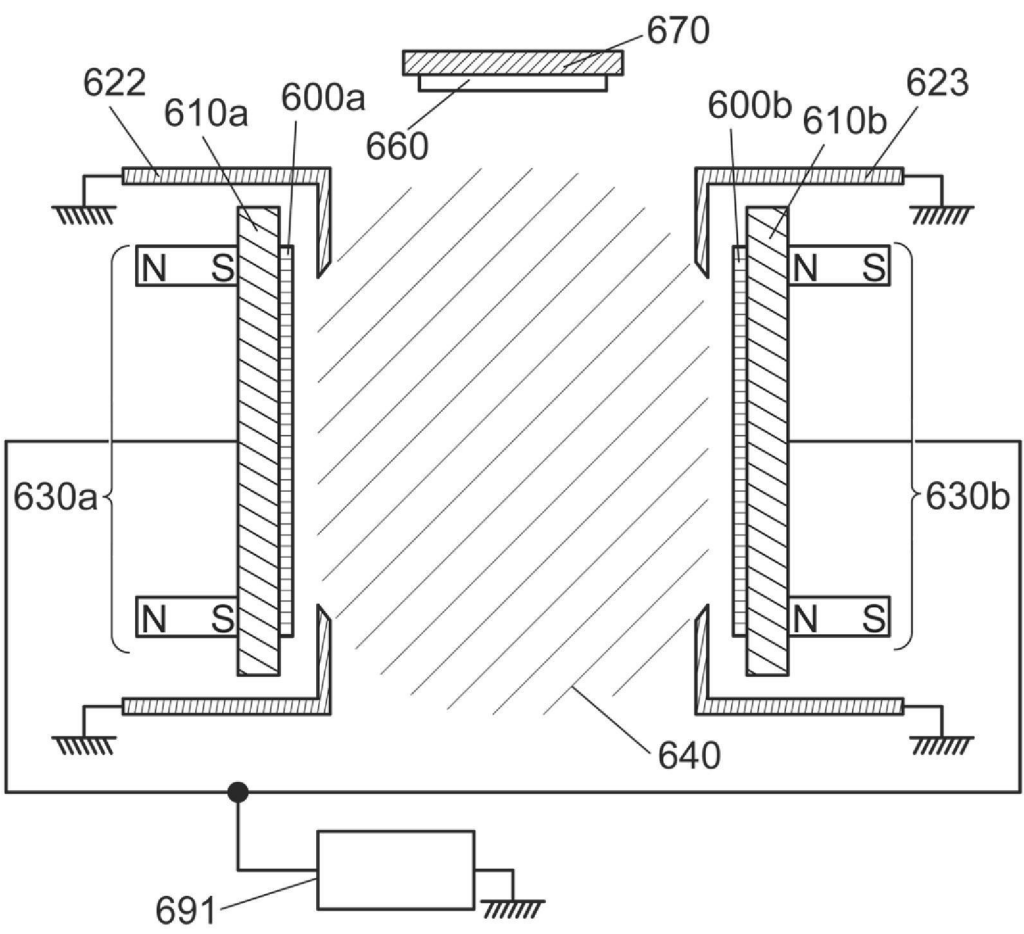
【圖8B】



【圖8C】

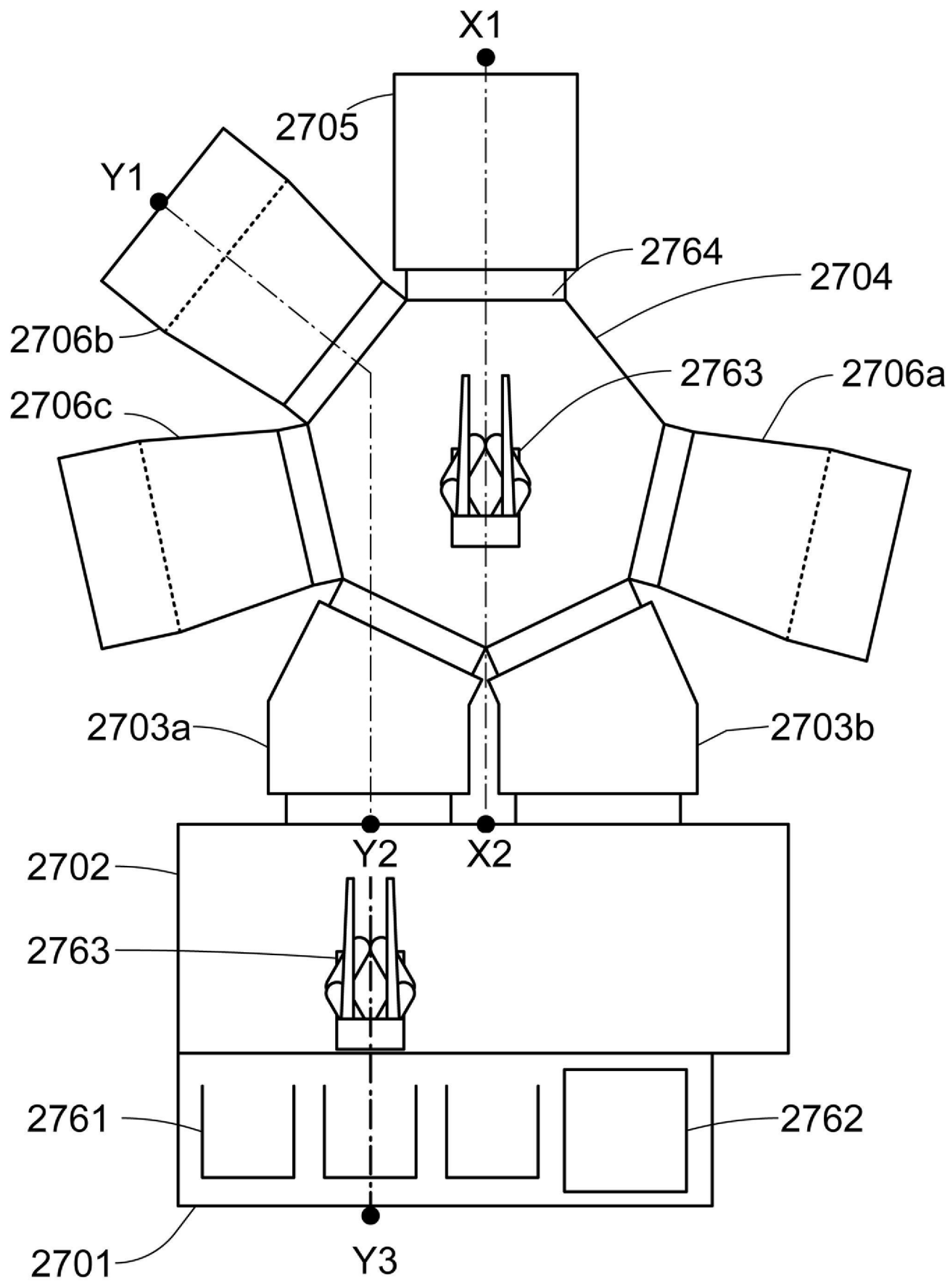


【圖9A】

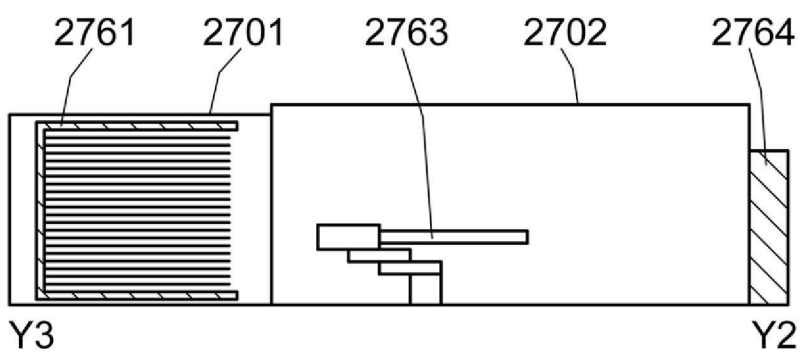
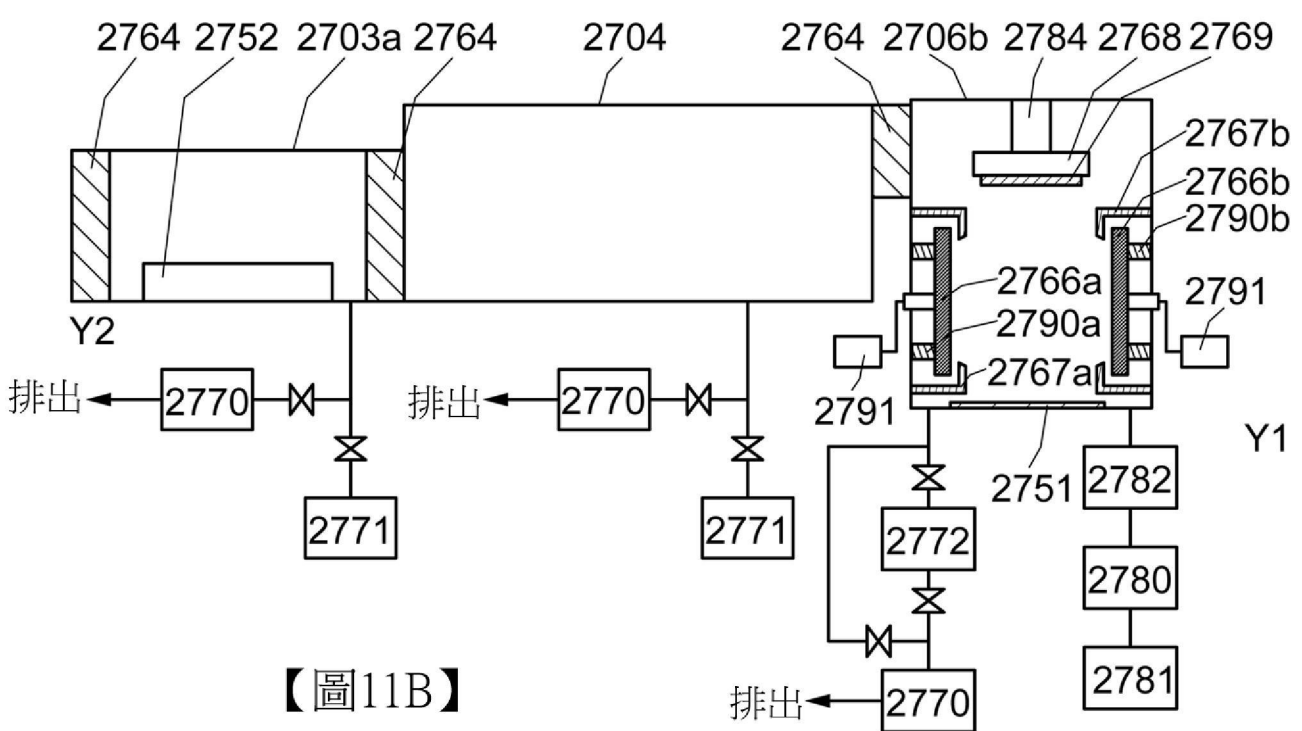
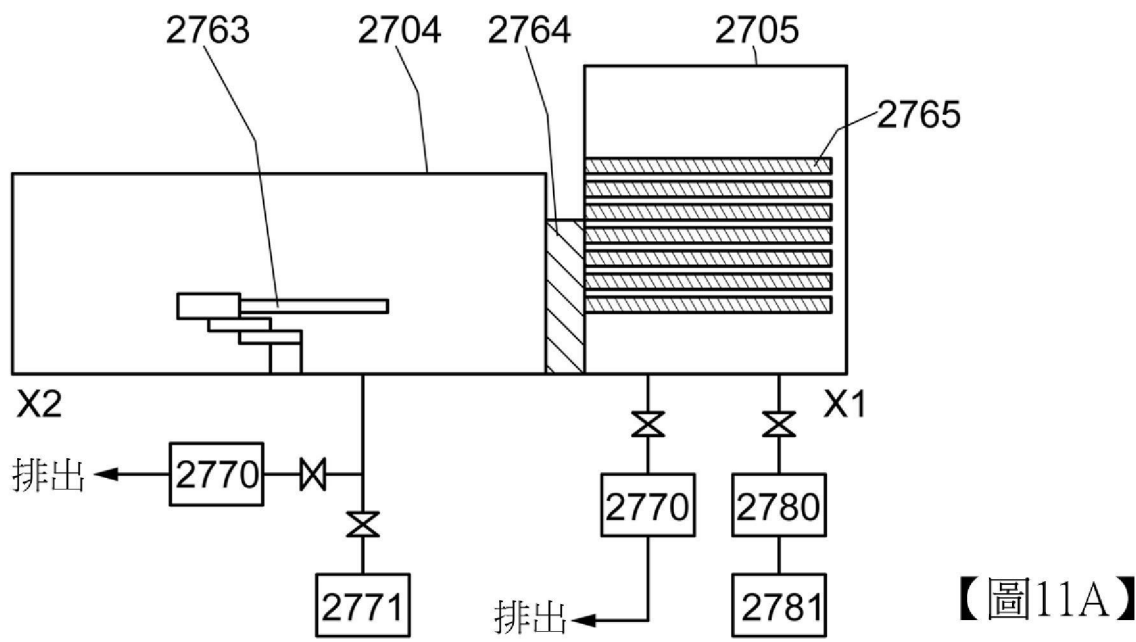


【圖9B】

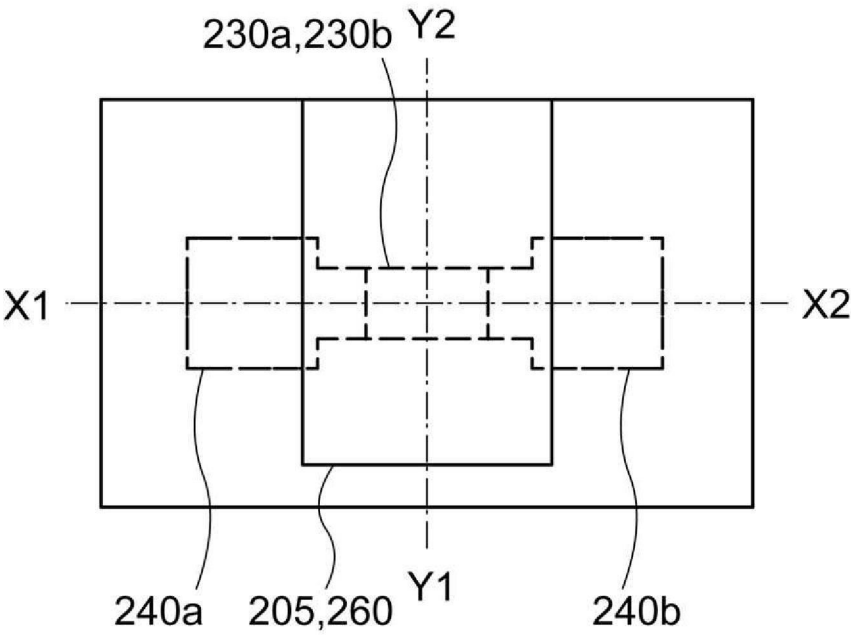
2700



【圖10】

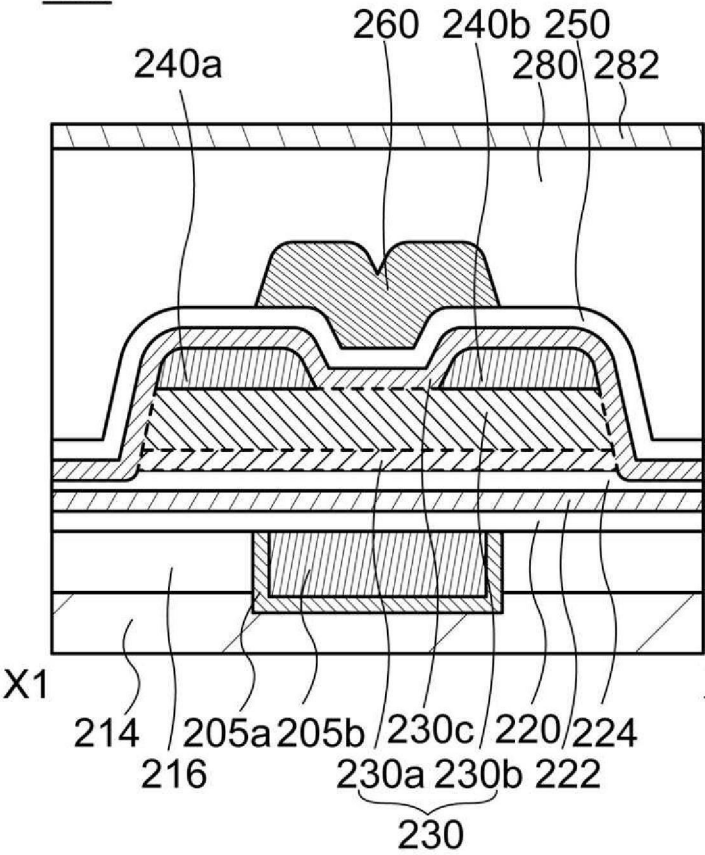


200



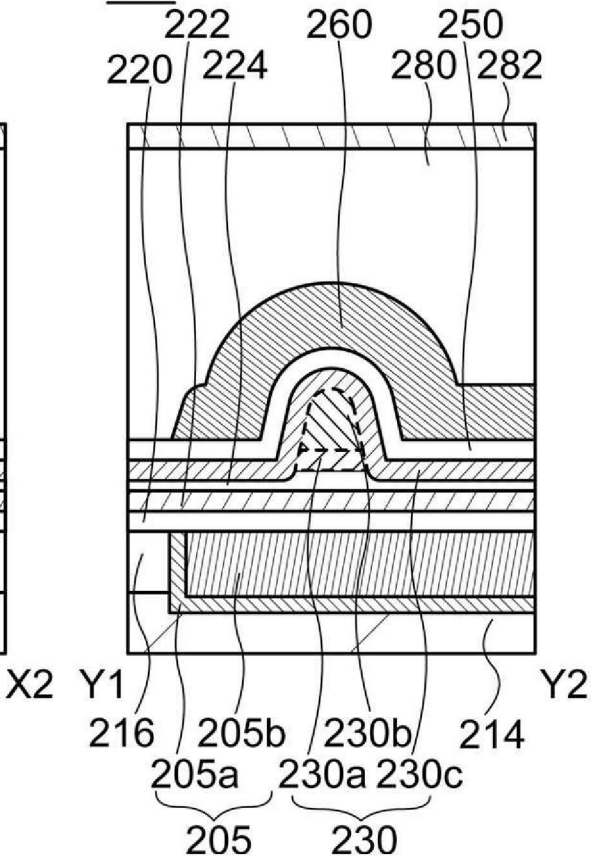
【圖12A】

200

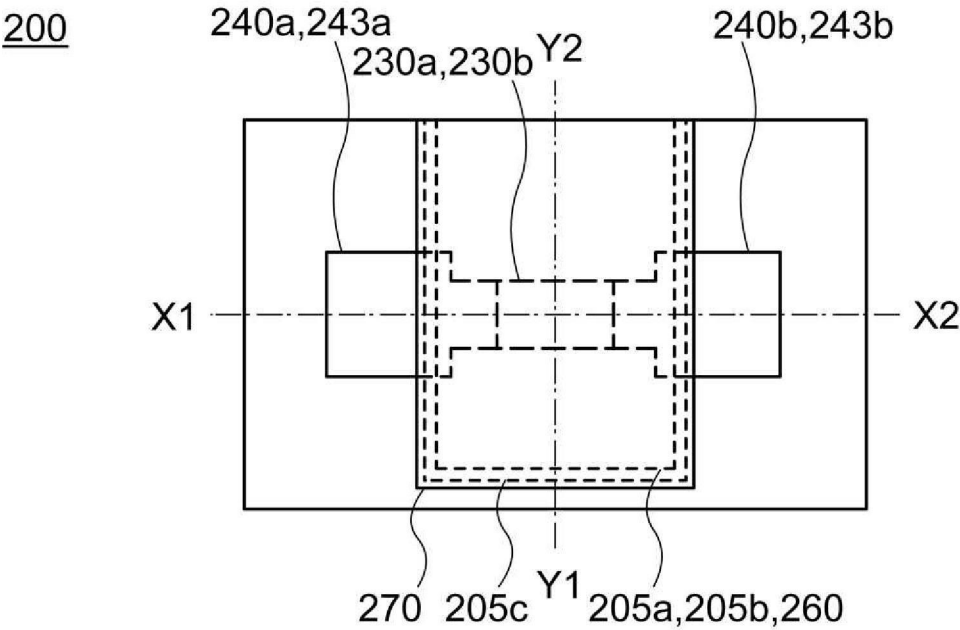


【圖12B】

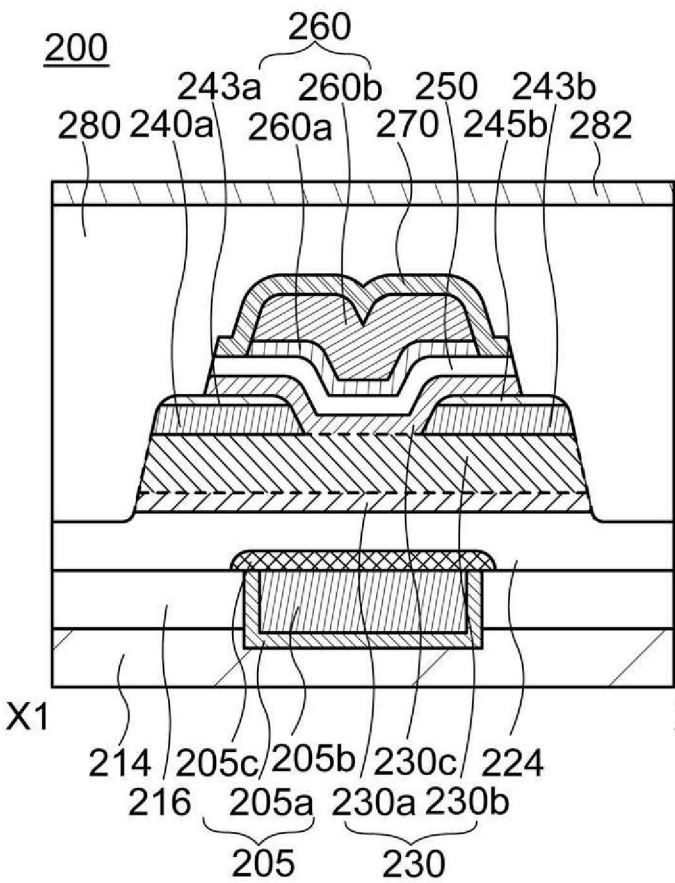
200



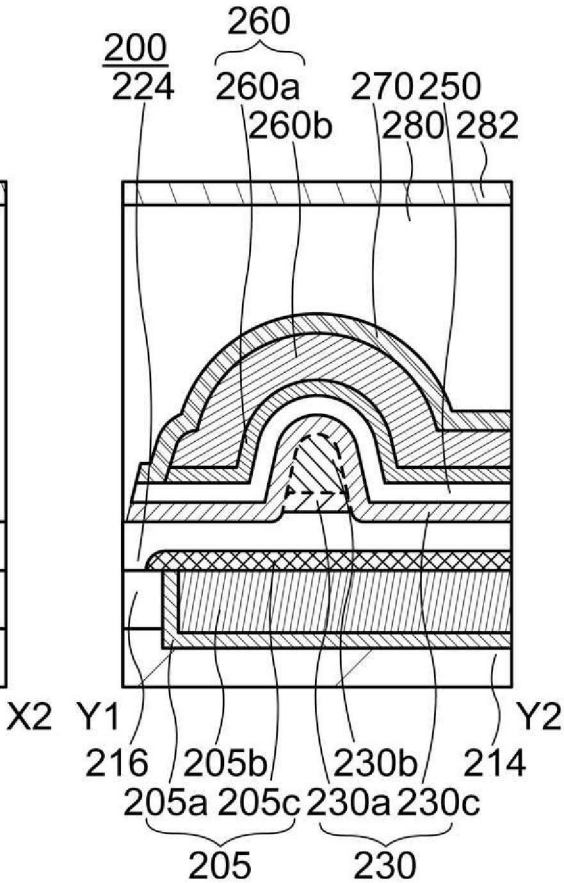
【圖12C】



【圖13A】

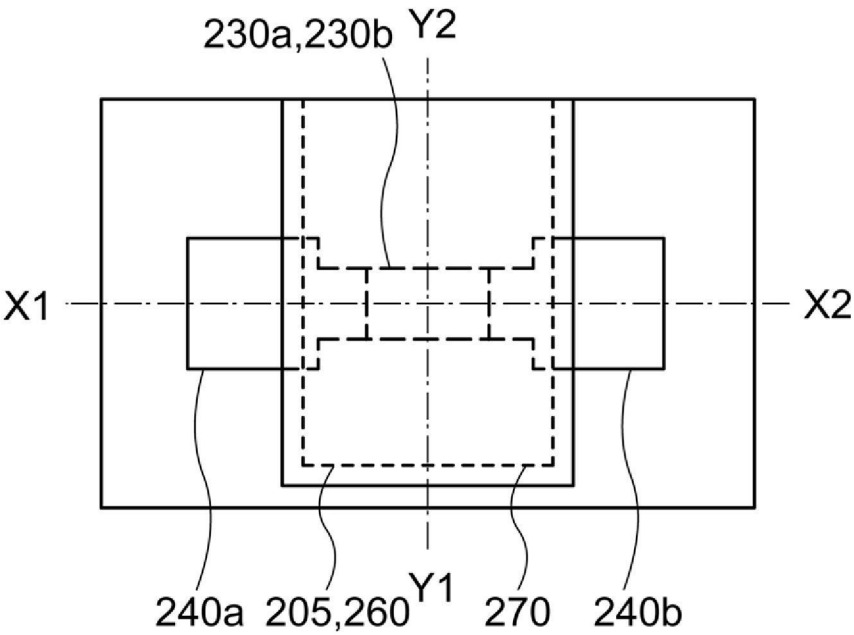


【圖13B】



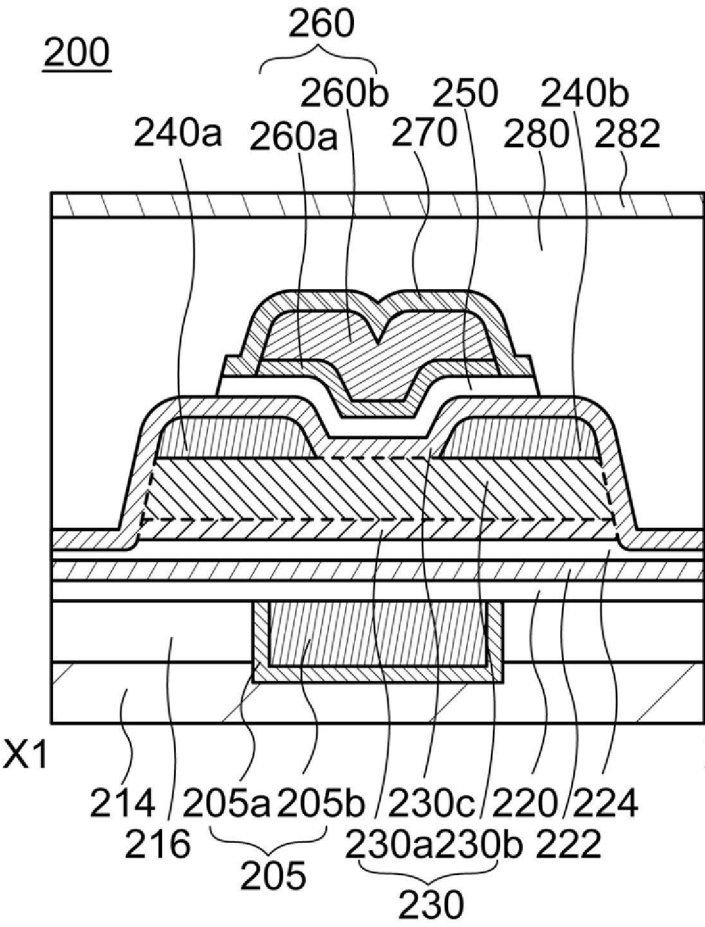
【圖13C】

200



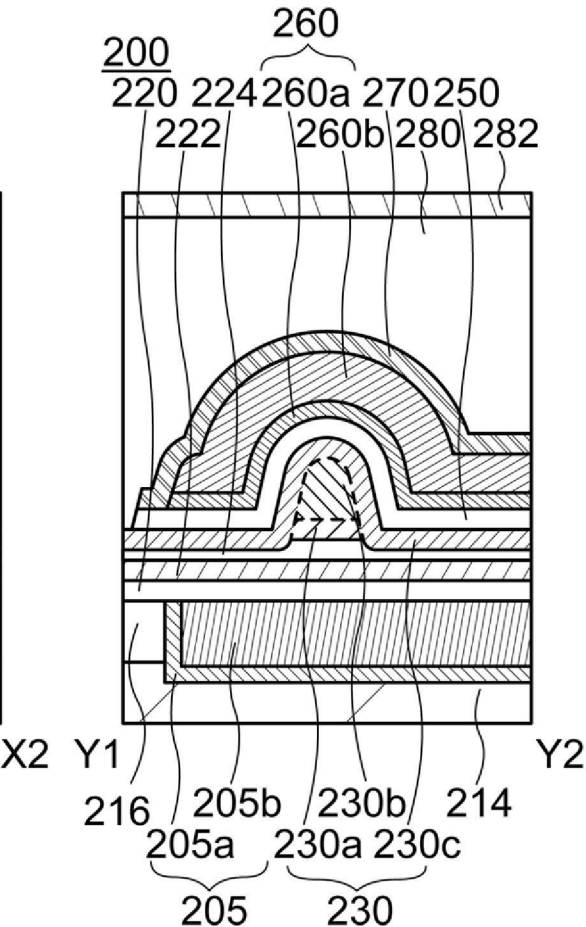
【圖14A】

200



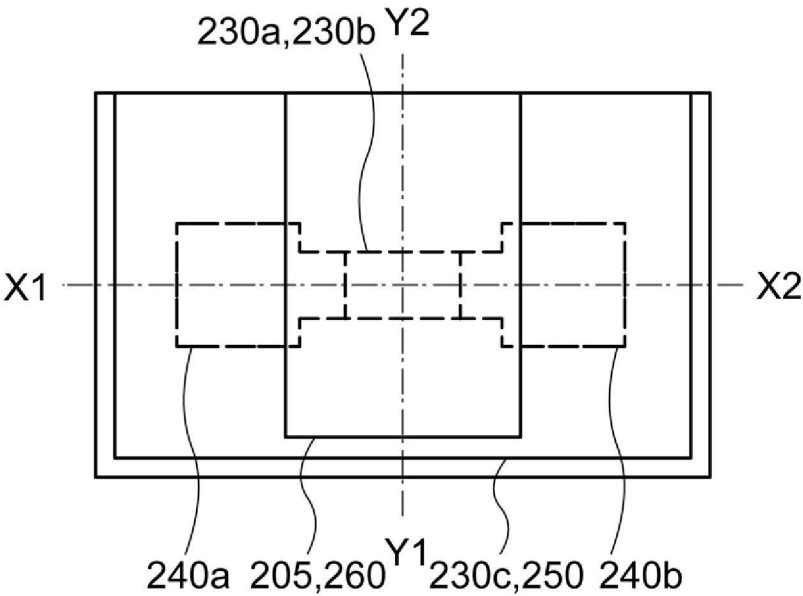
【圖14B】

200

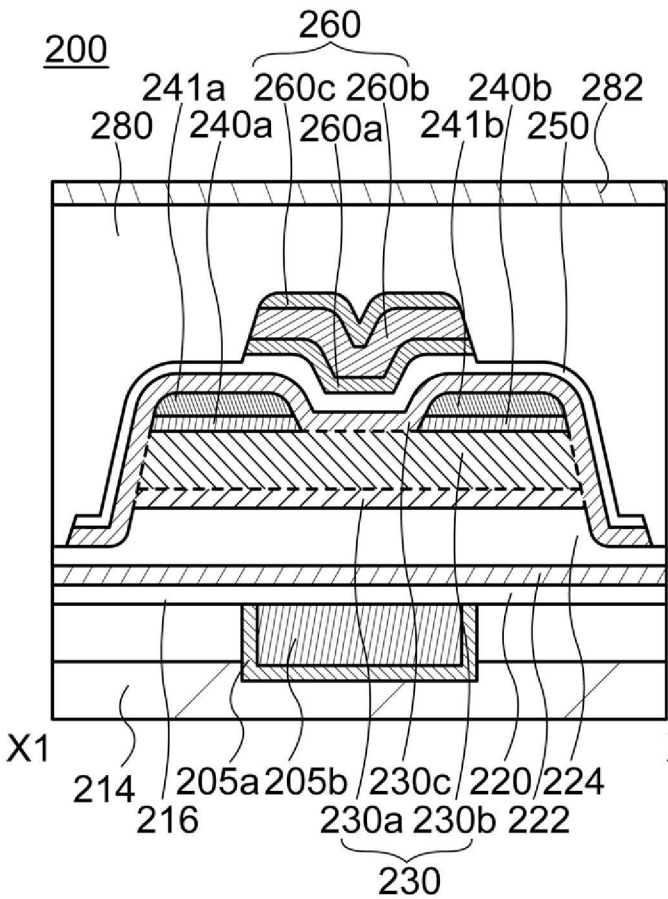


【圖14C】

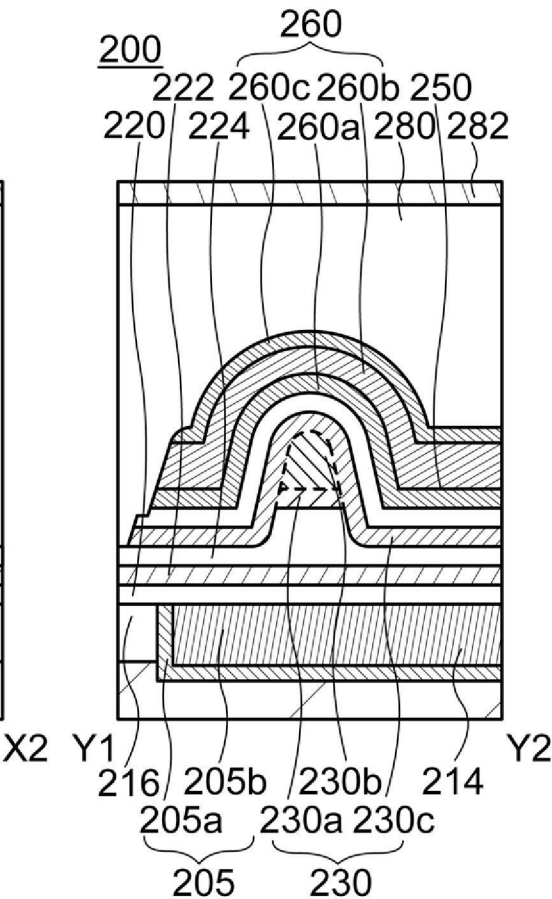
200



【圖15A】

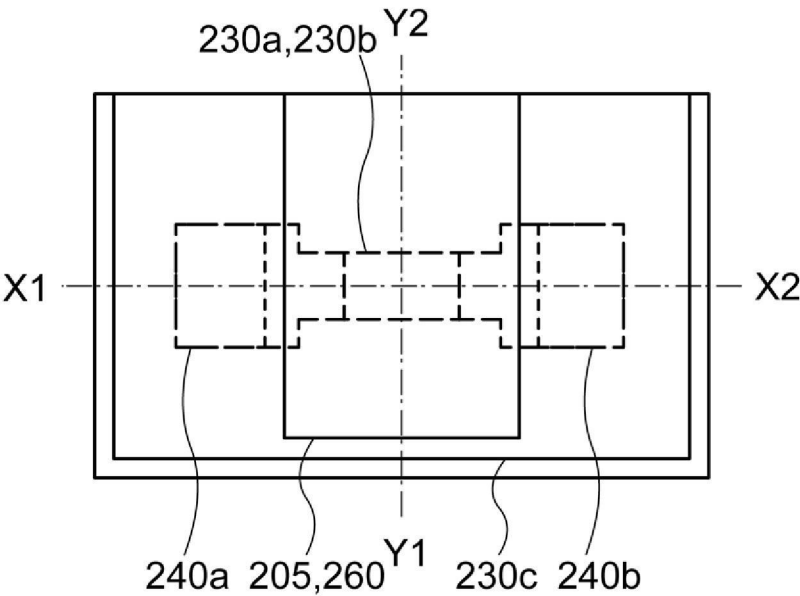


【圖15B】



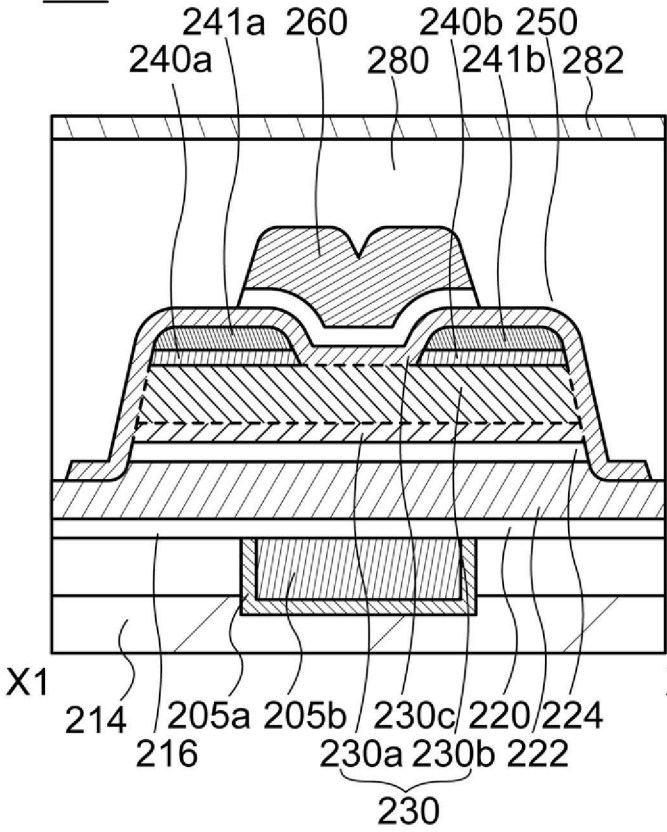
【圖15C】

200



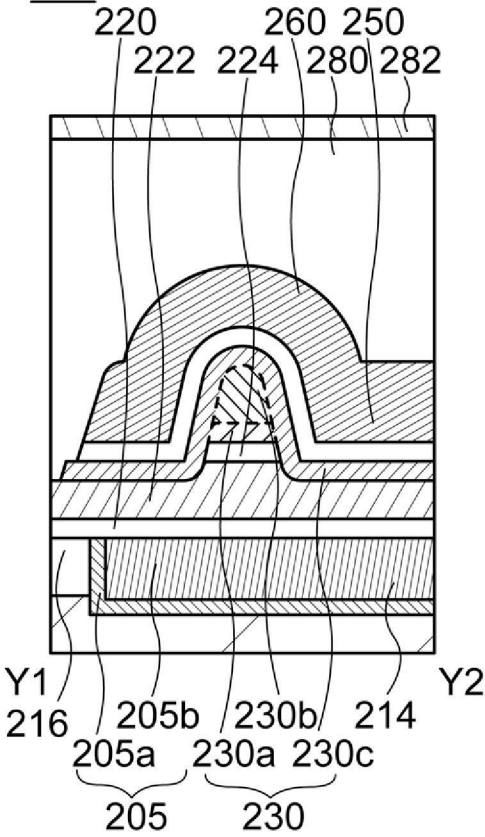
【圖16A】

200



【圖16B】

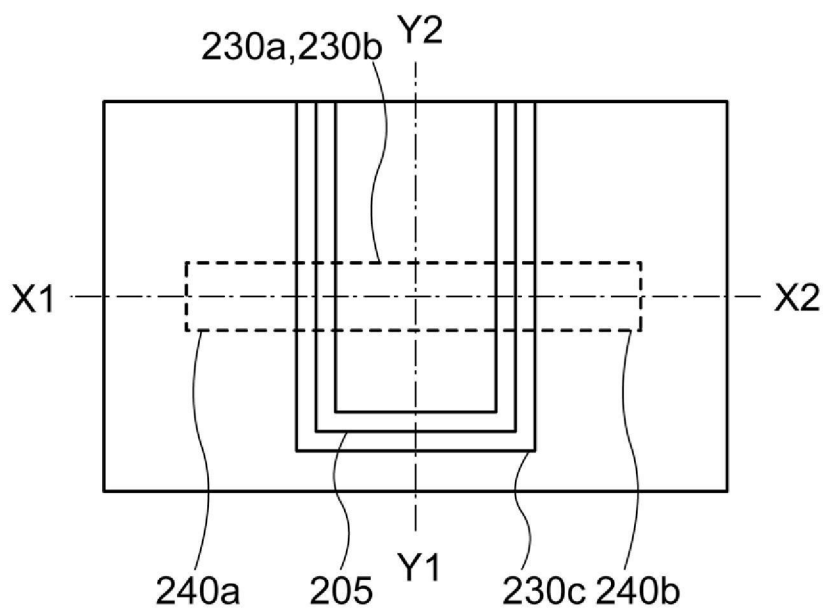
200



【圖16C】

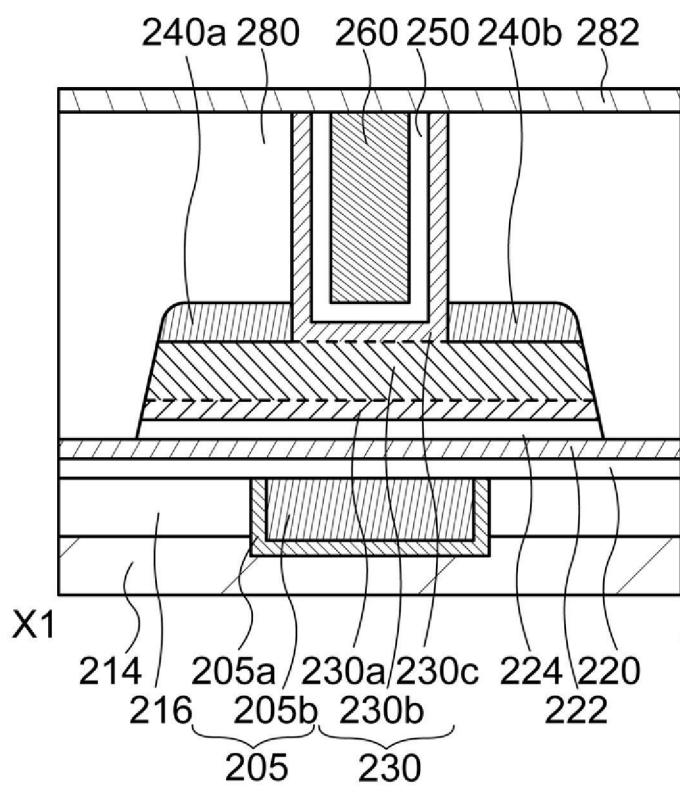


200



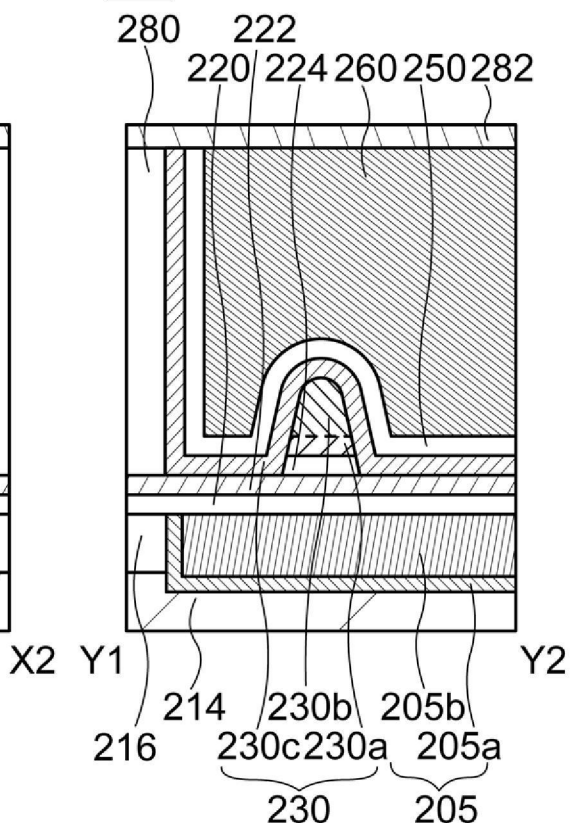
【圖18A】

200

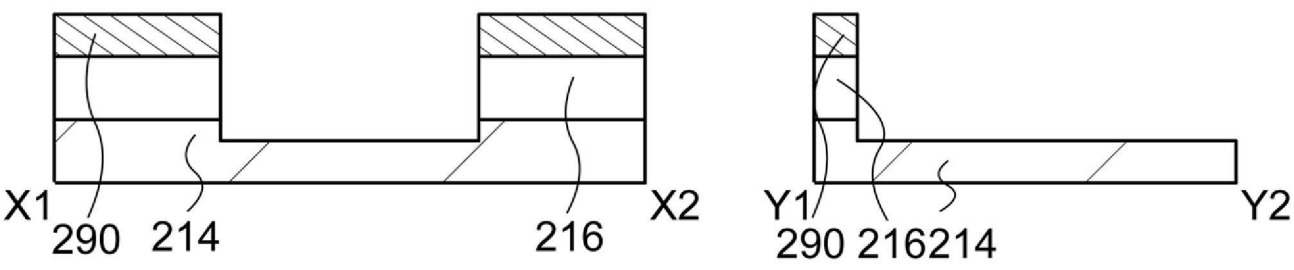


【圖18B】

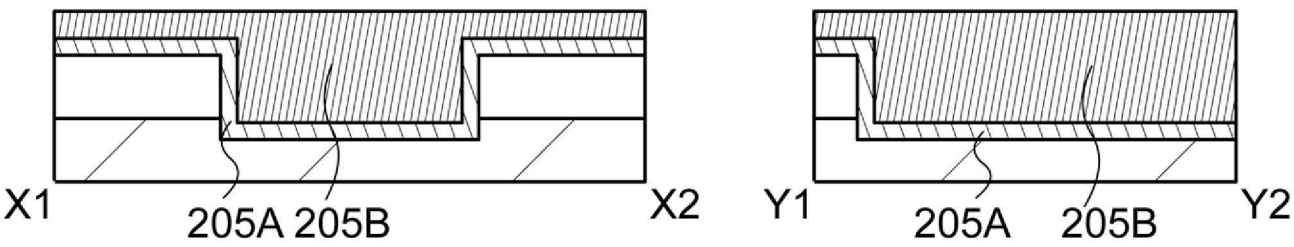
200



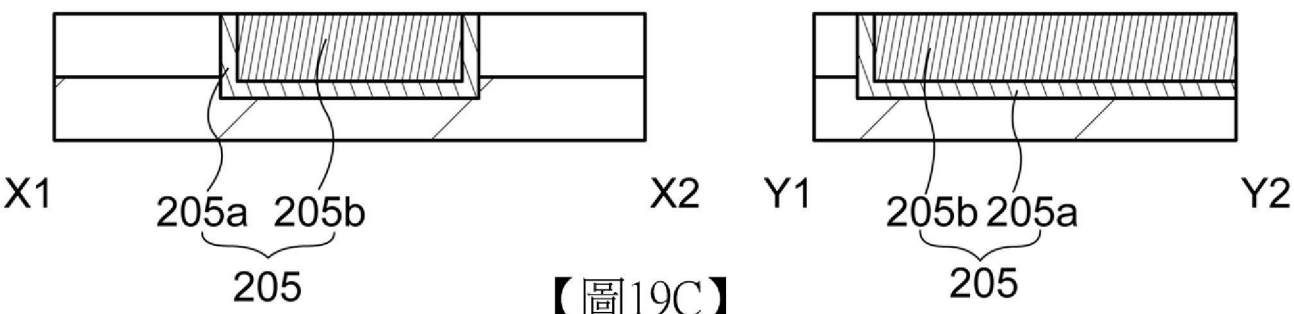
【圖18C】



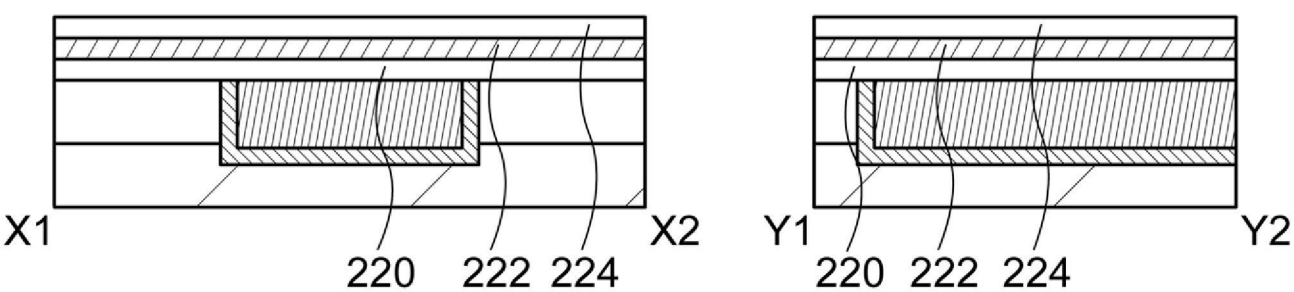
【圖19A】



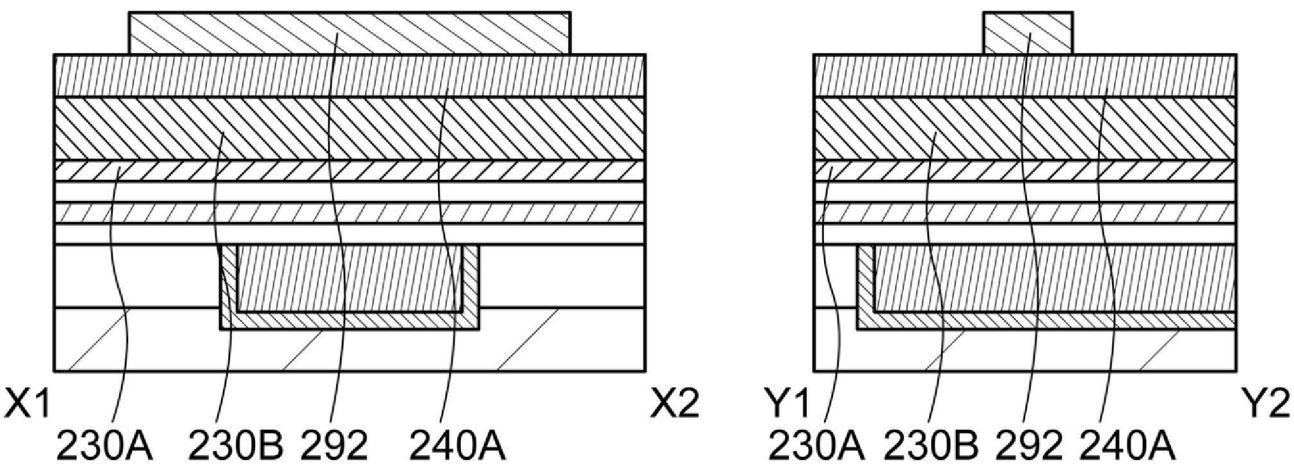
【圖19B】



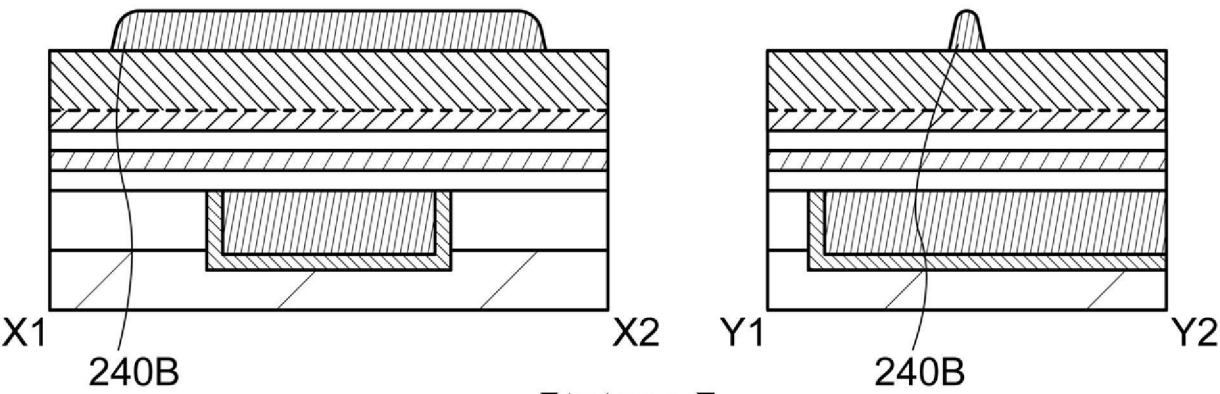
【圖19C】



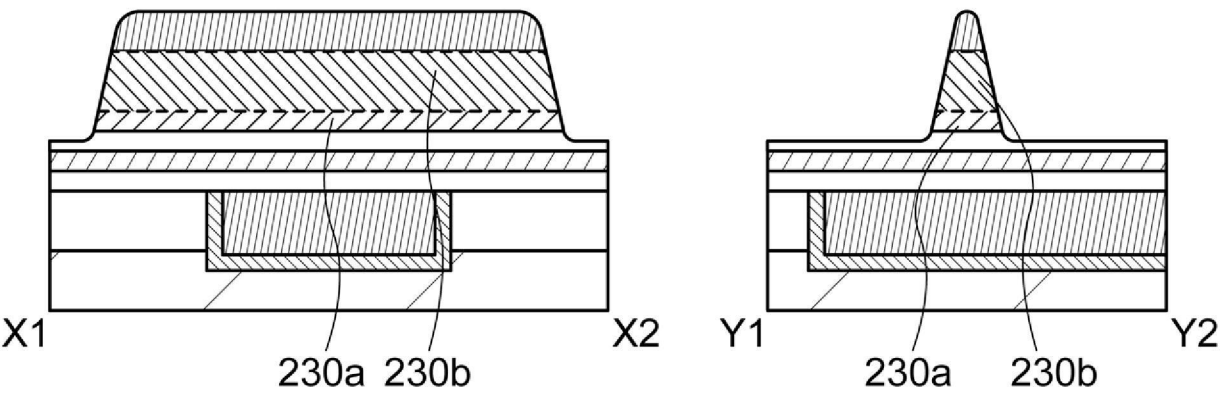
【圖19D】



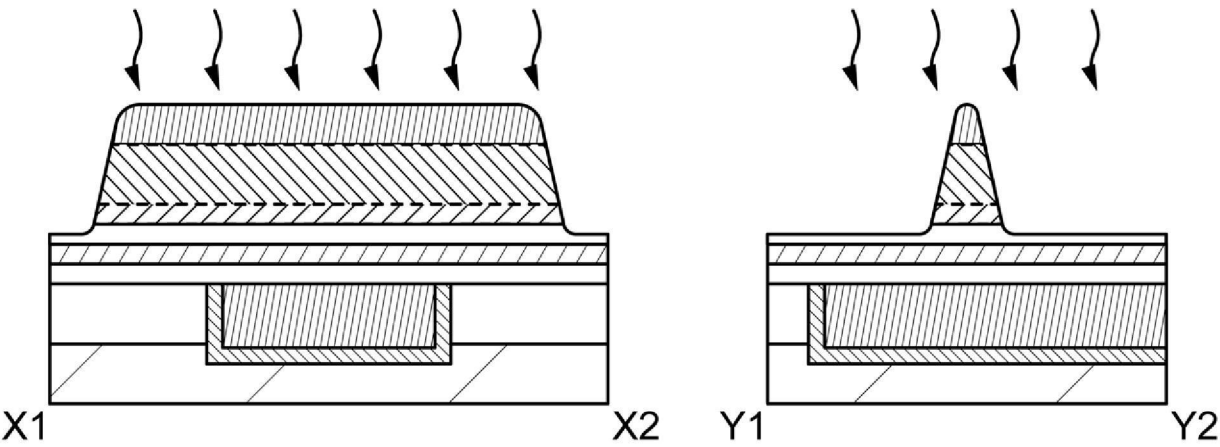
【圖19E】



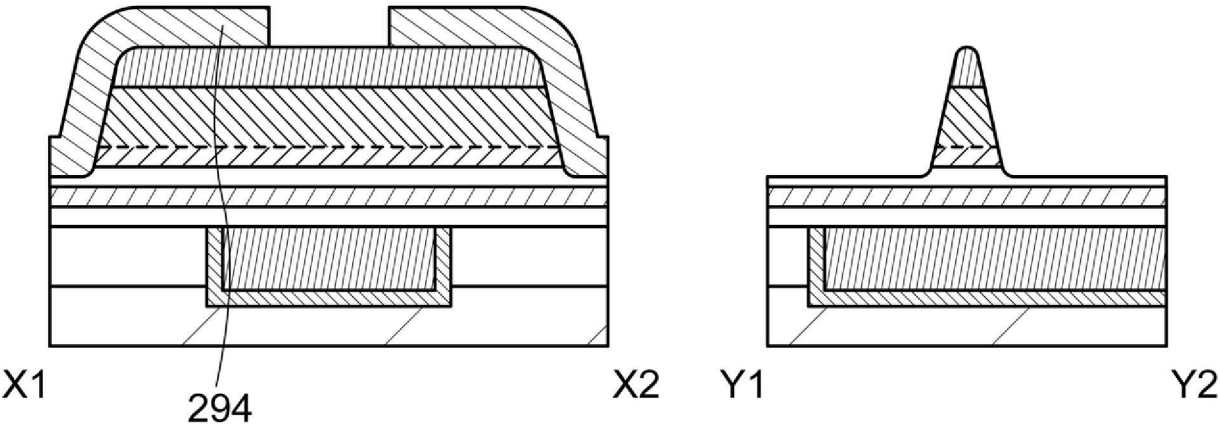
【圖20A】



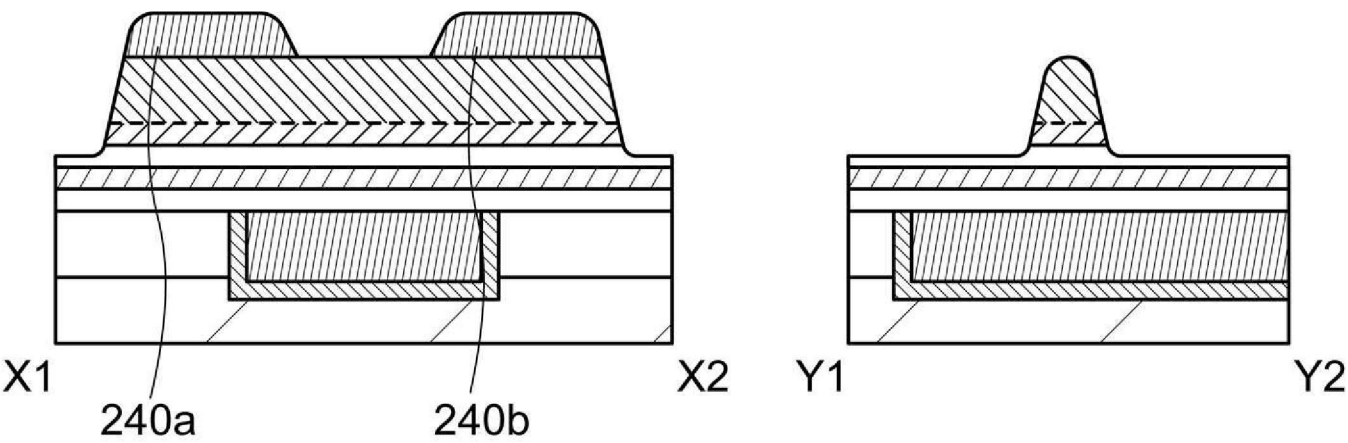
【圖20B】



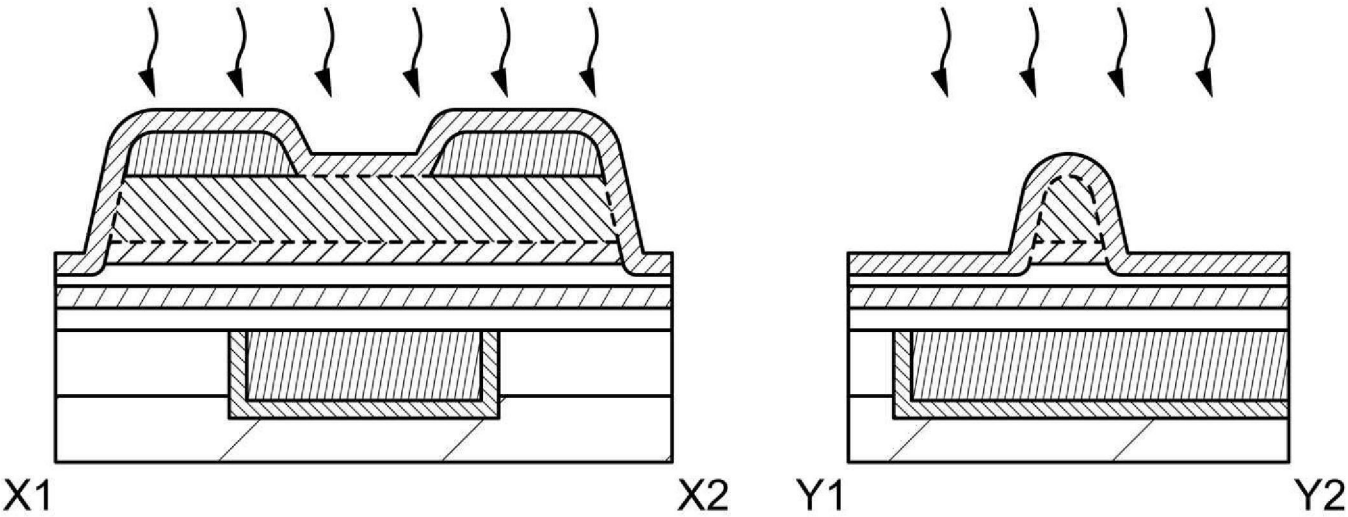
【圖20C】



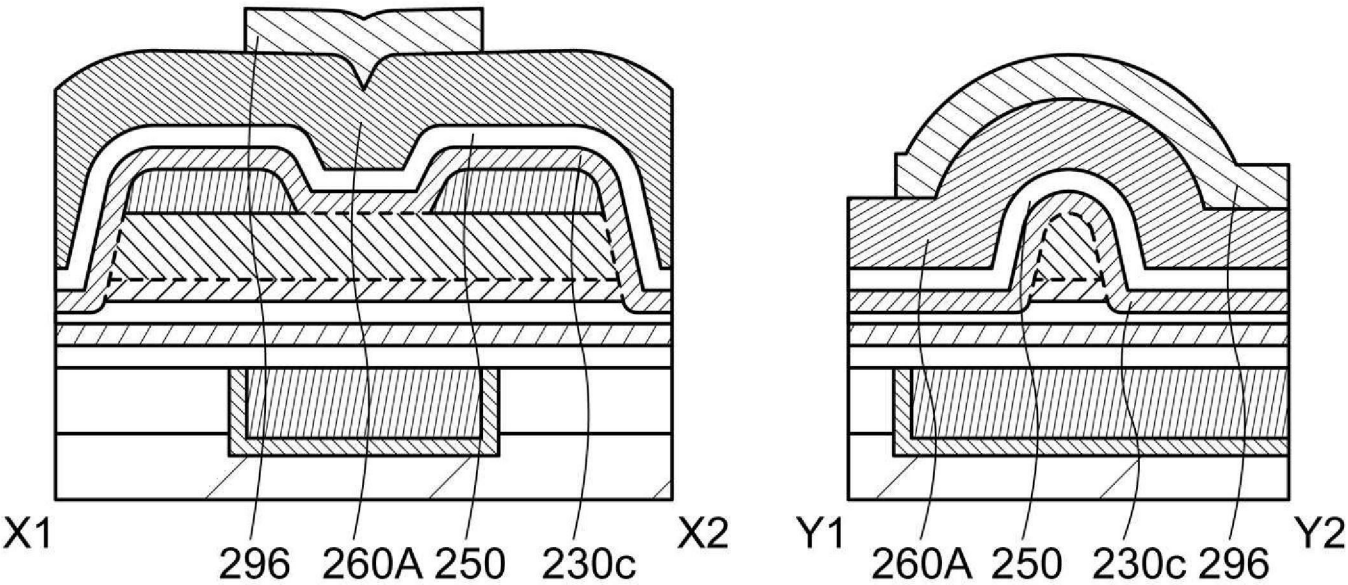
【圖20D】



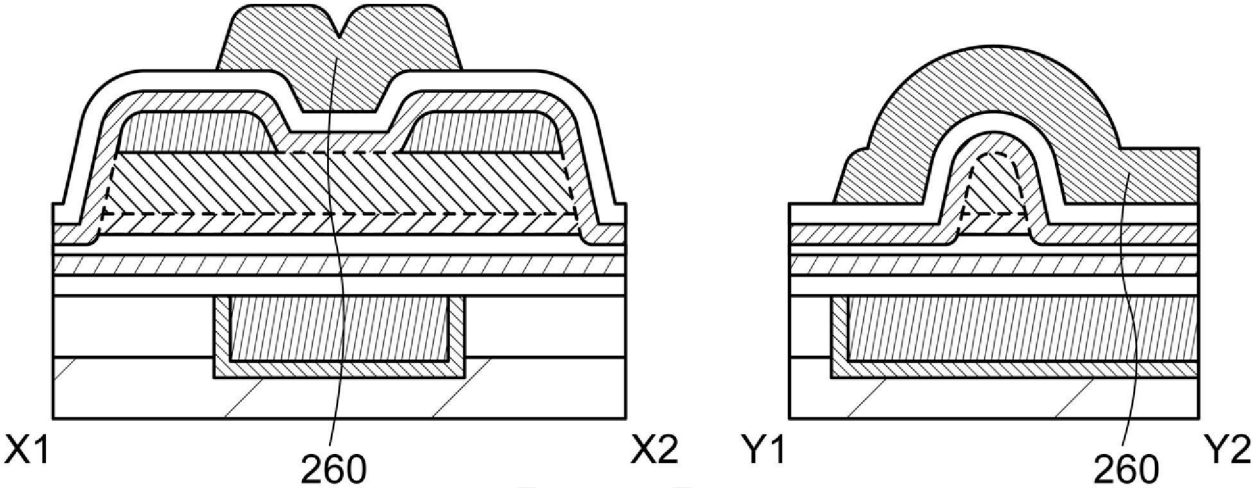
【圖21A】



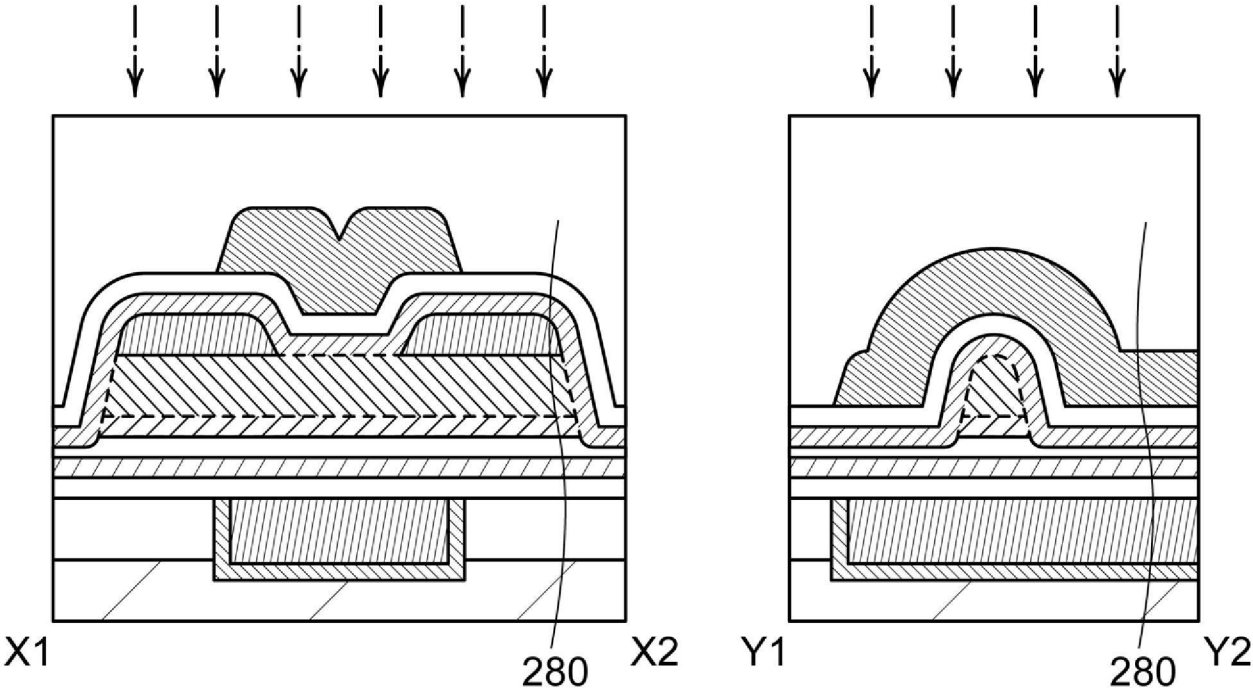
【圖21B】



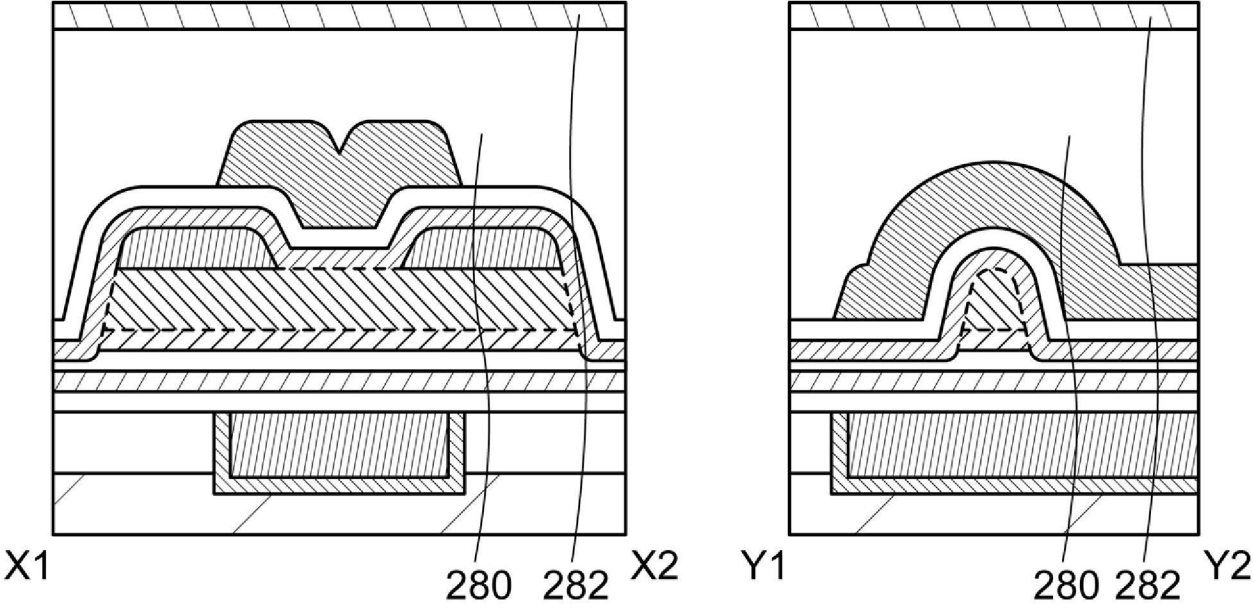
【圖21C】



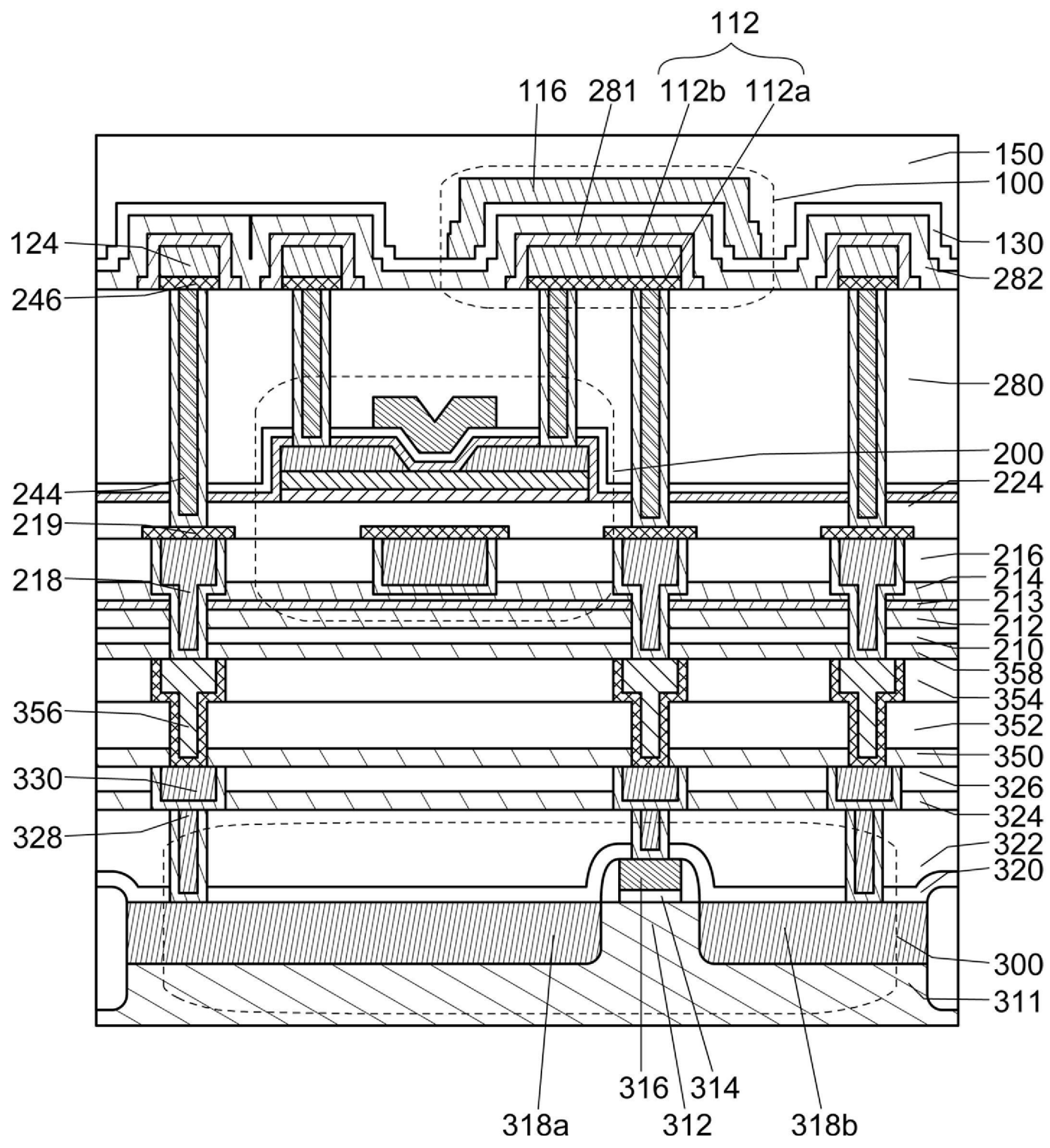
【圖22A】



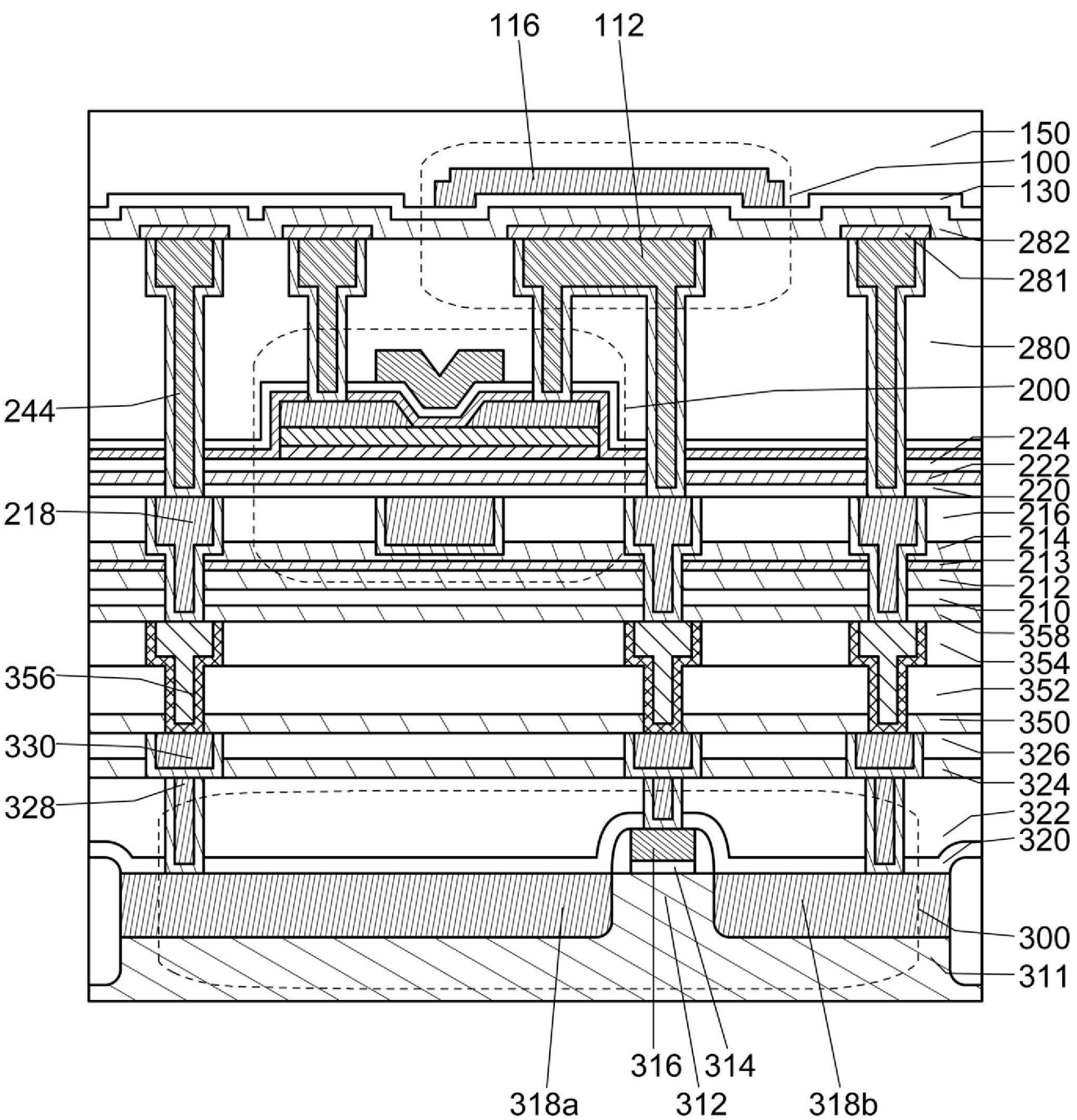
【圖22B】



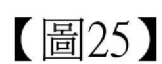
【圖22C】

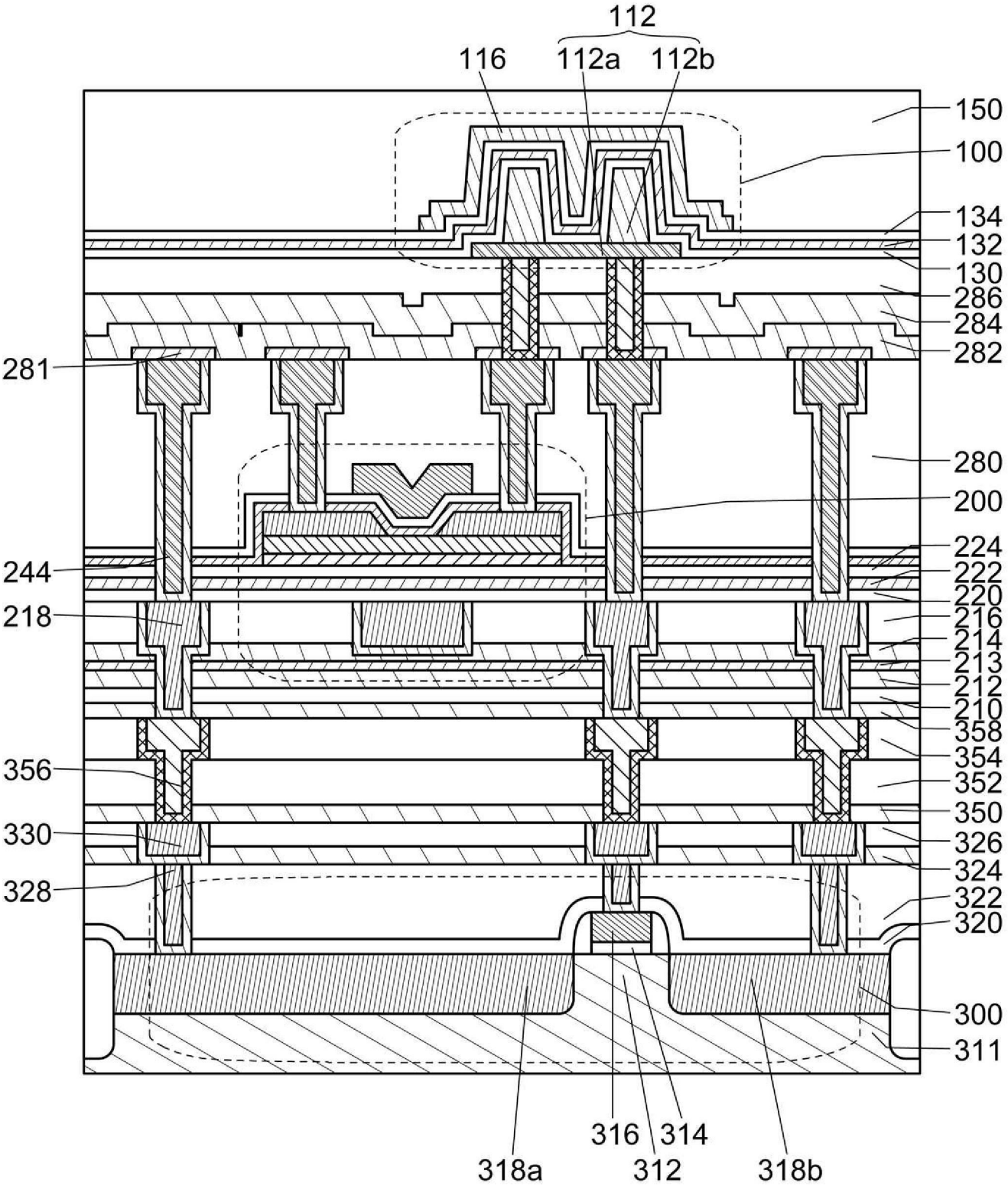


【圖23】

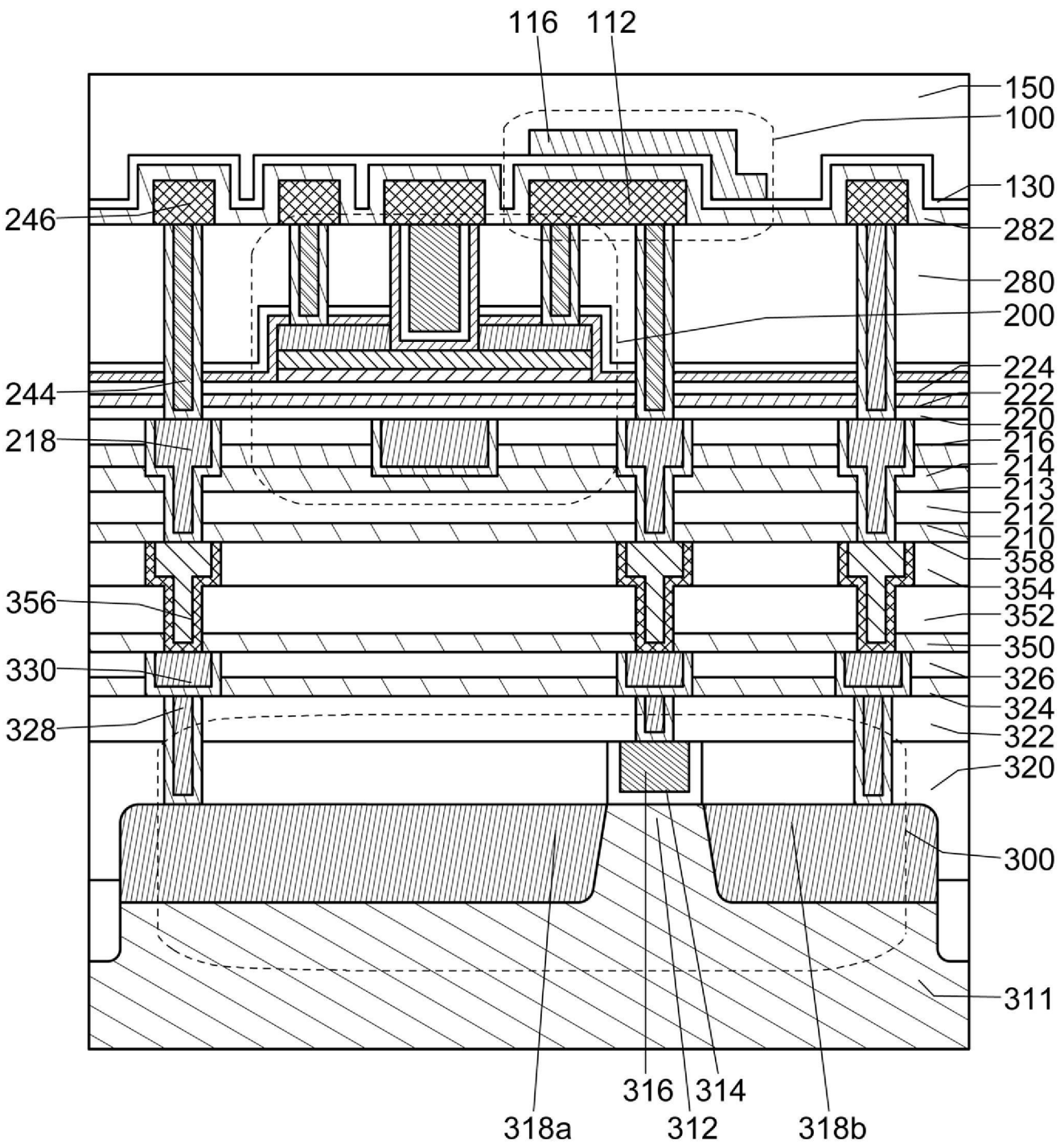


【圖24】

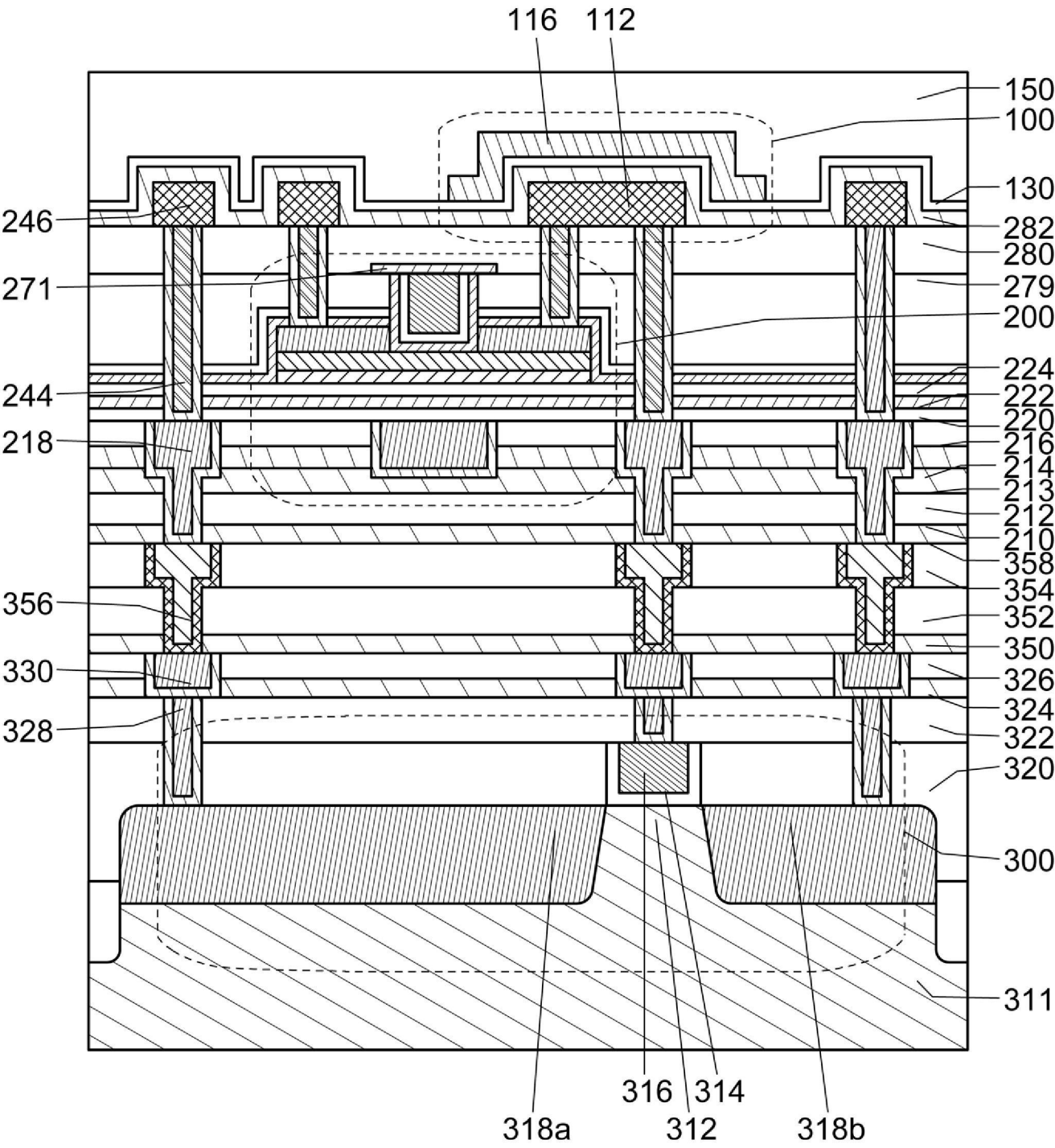




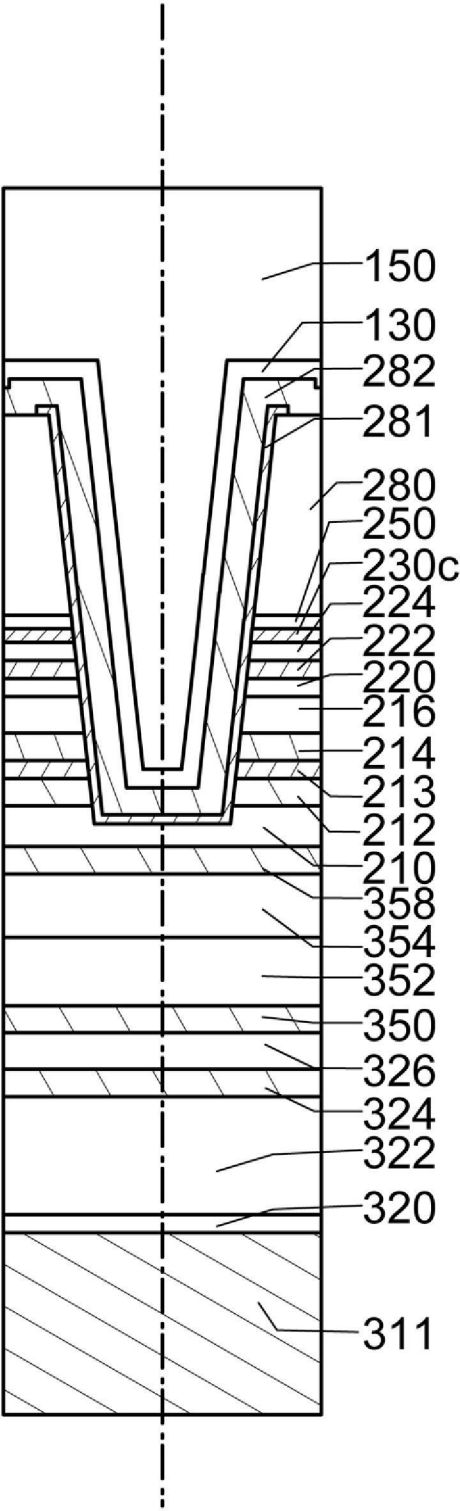
【圖26】



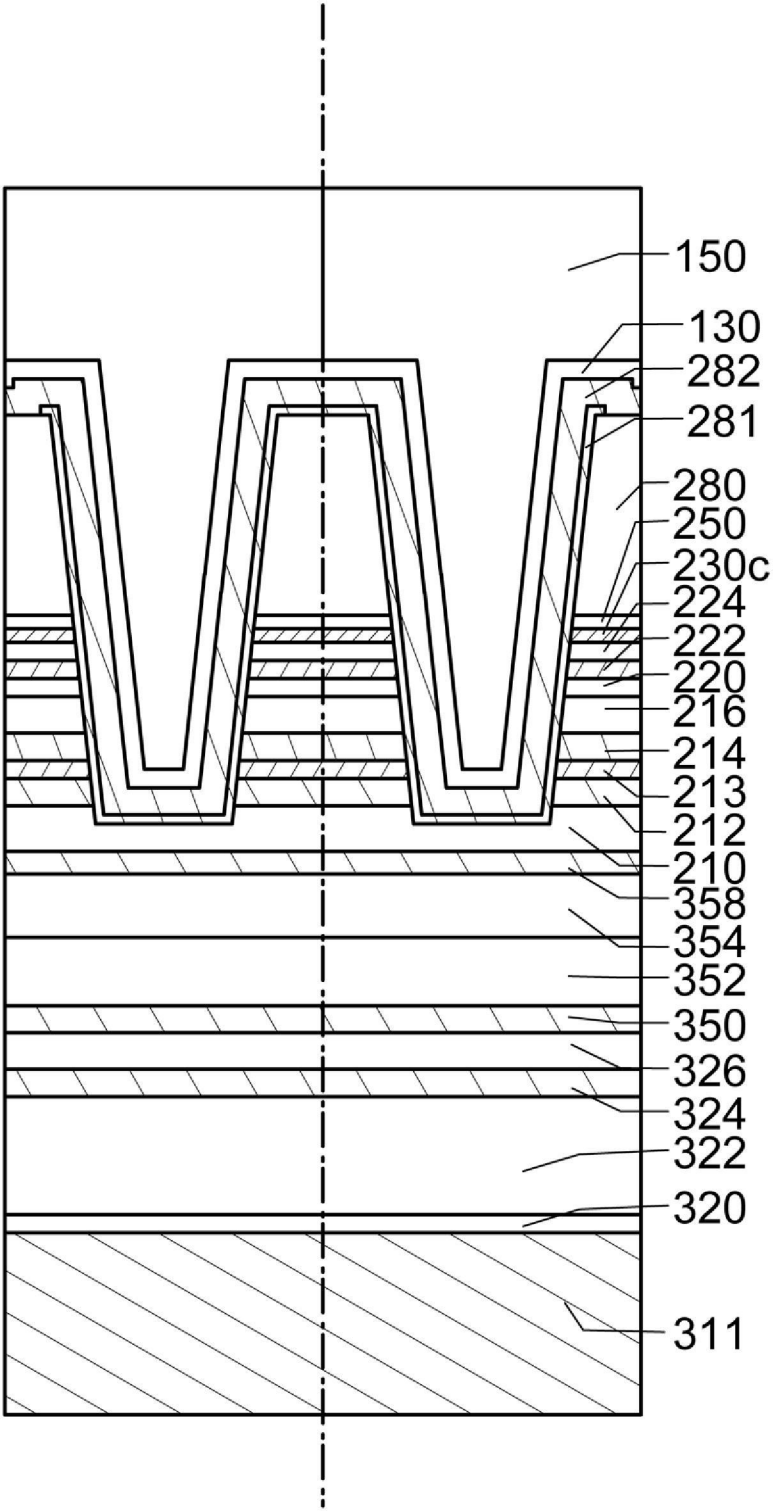
【圖27】



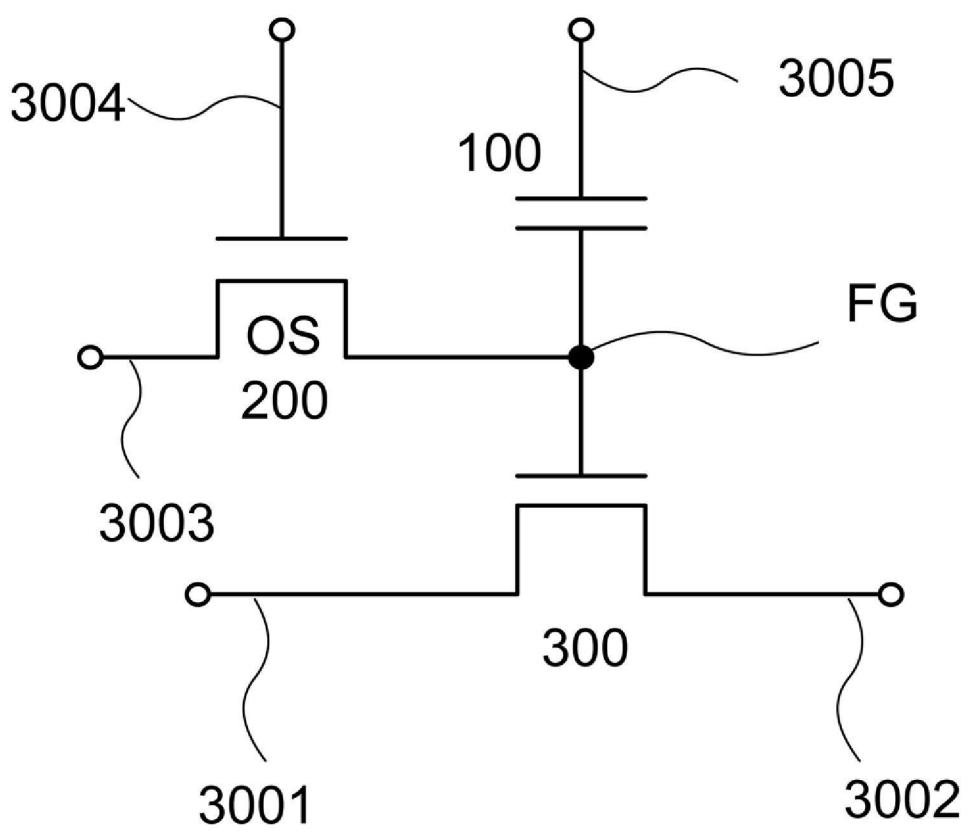
【圖28】



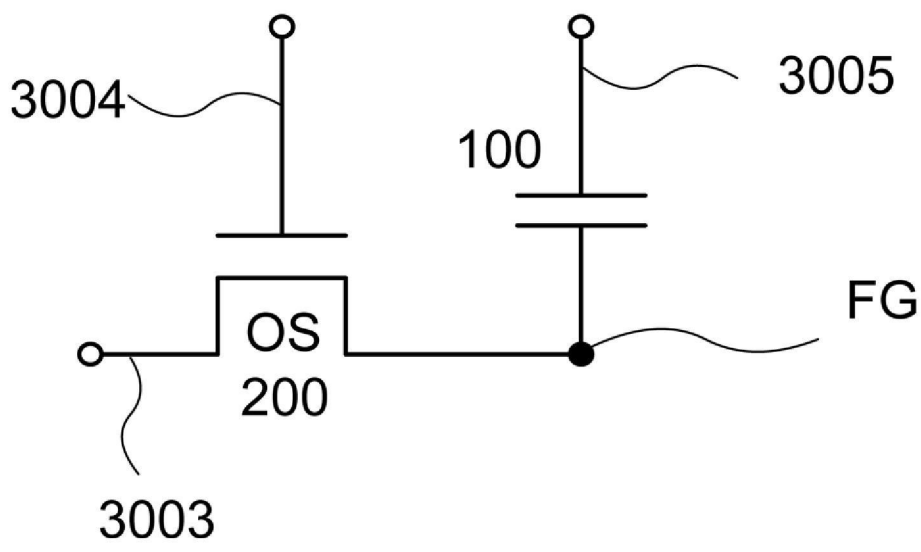
【圖29A】



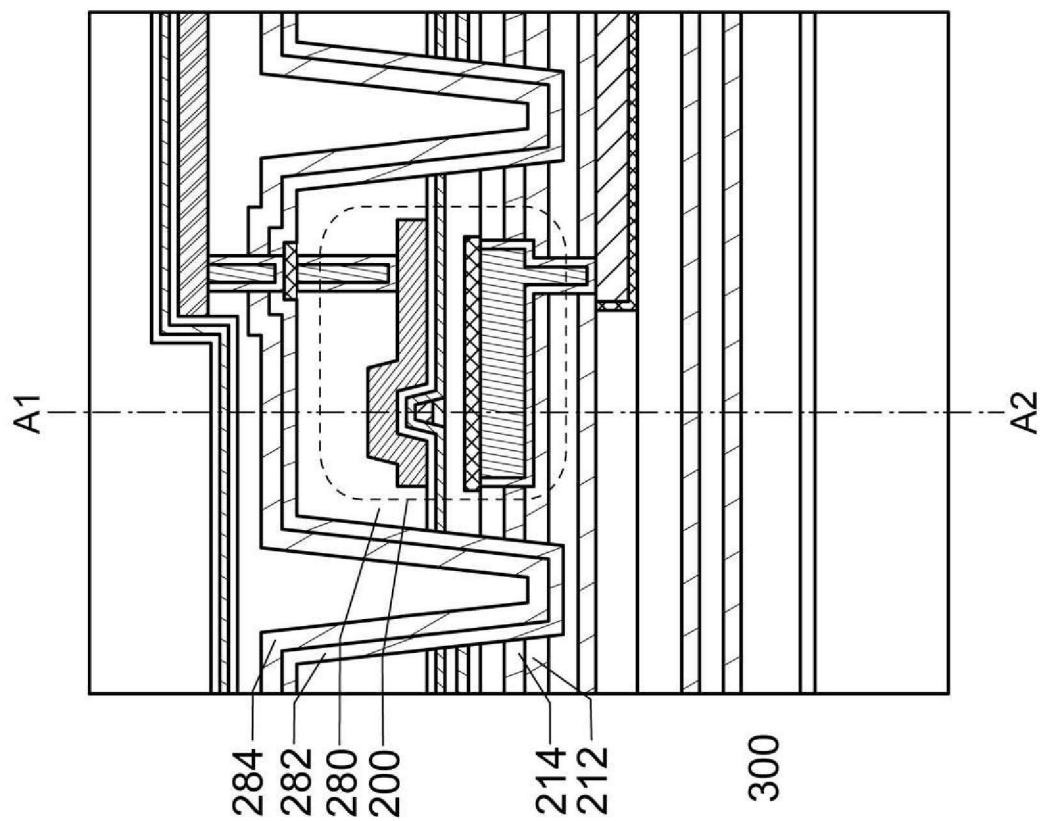
【圖29B】



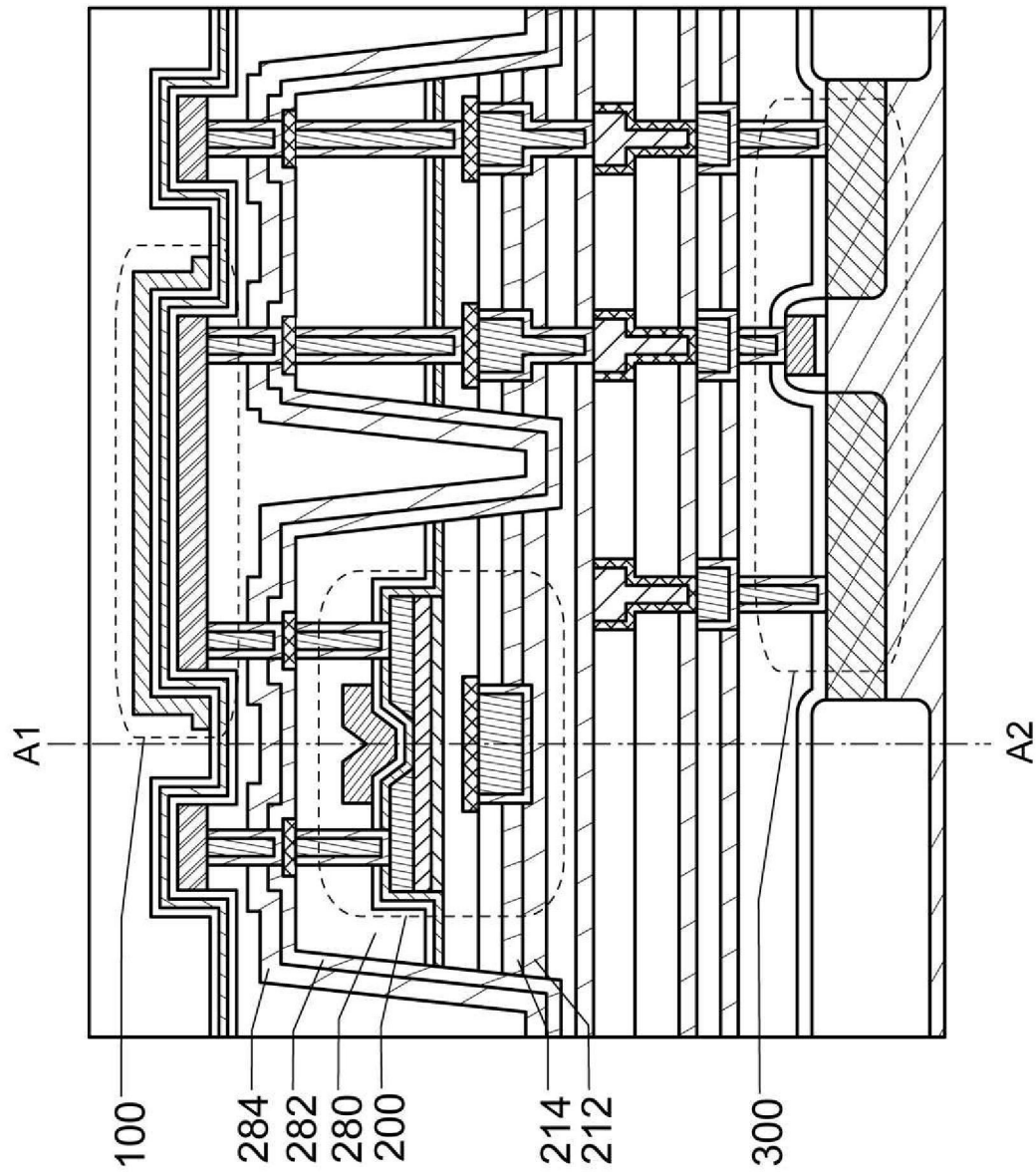
【圖30A】



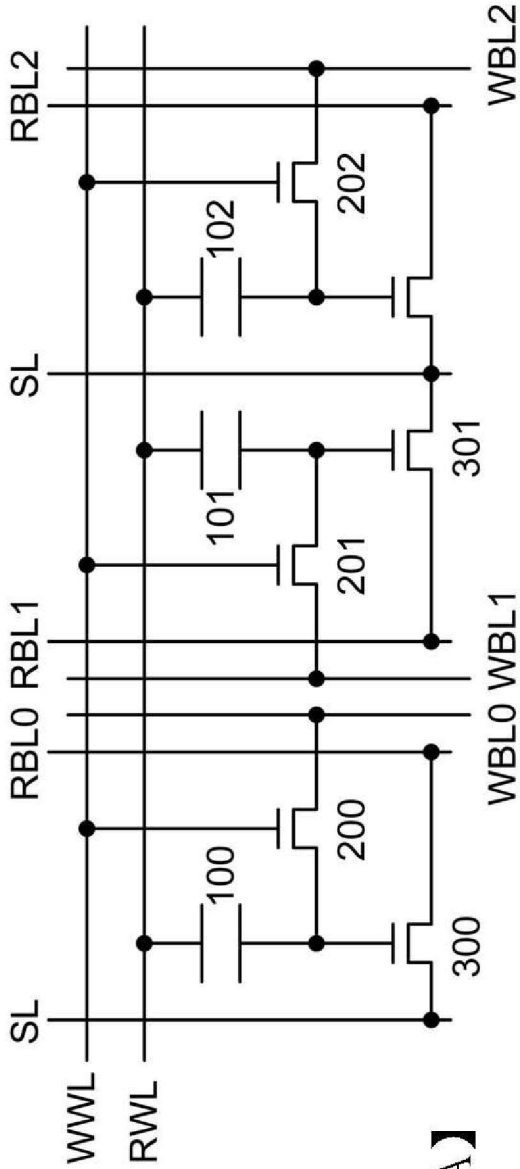
【圖30B】



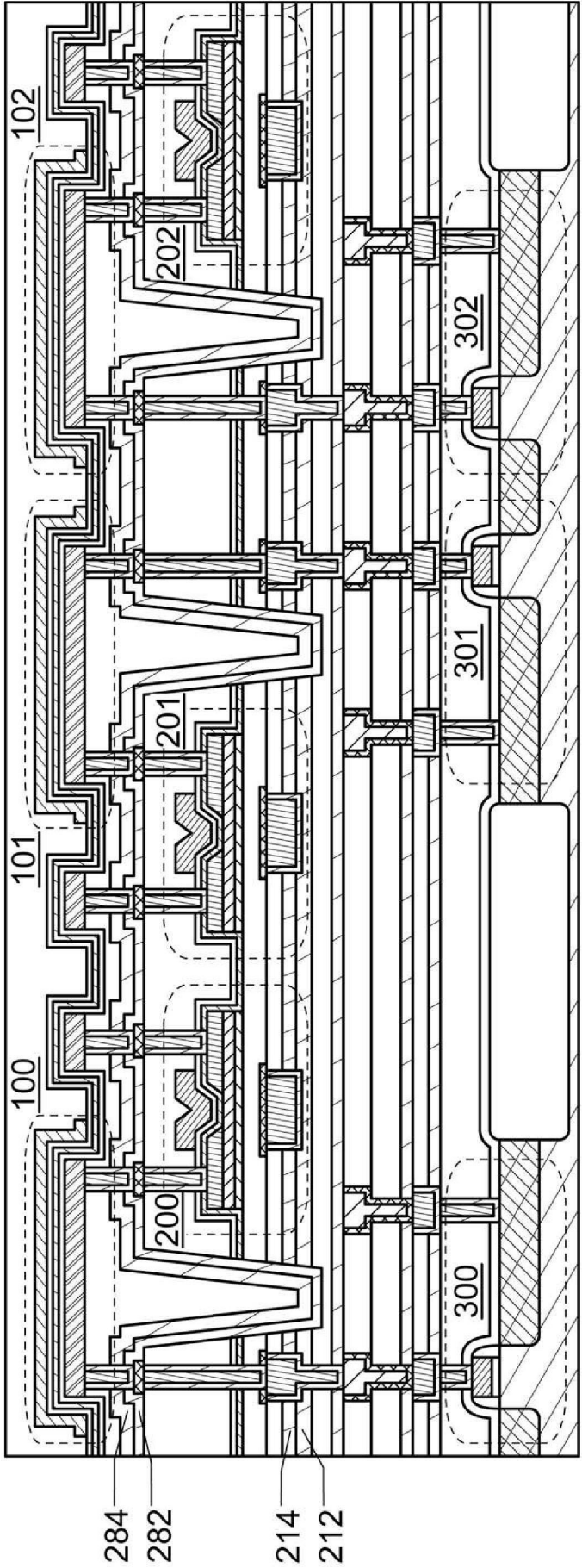
【圖31B】



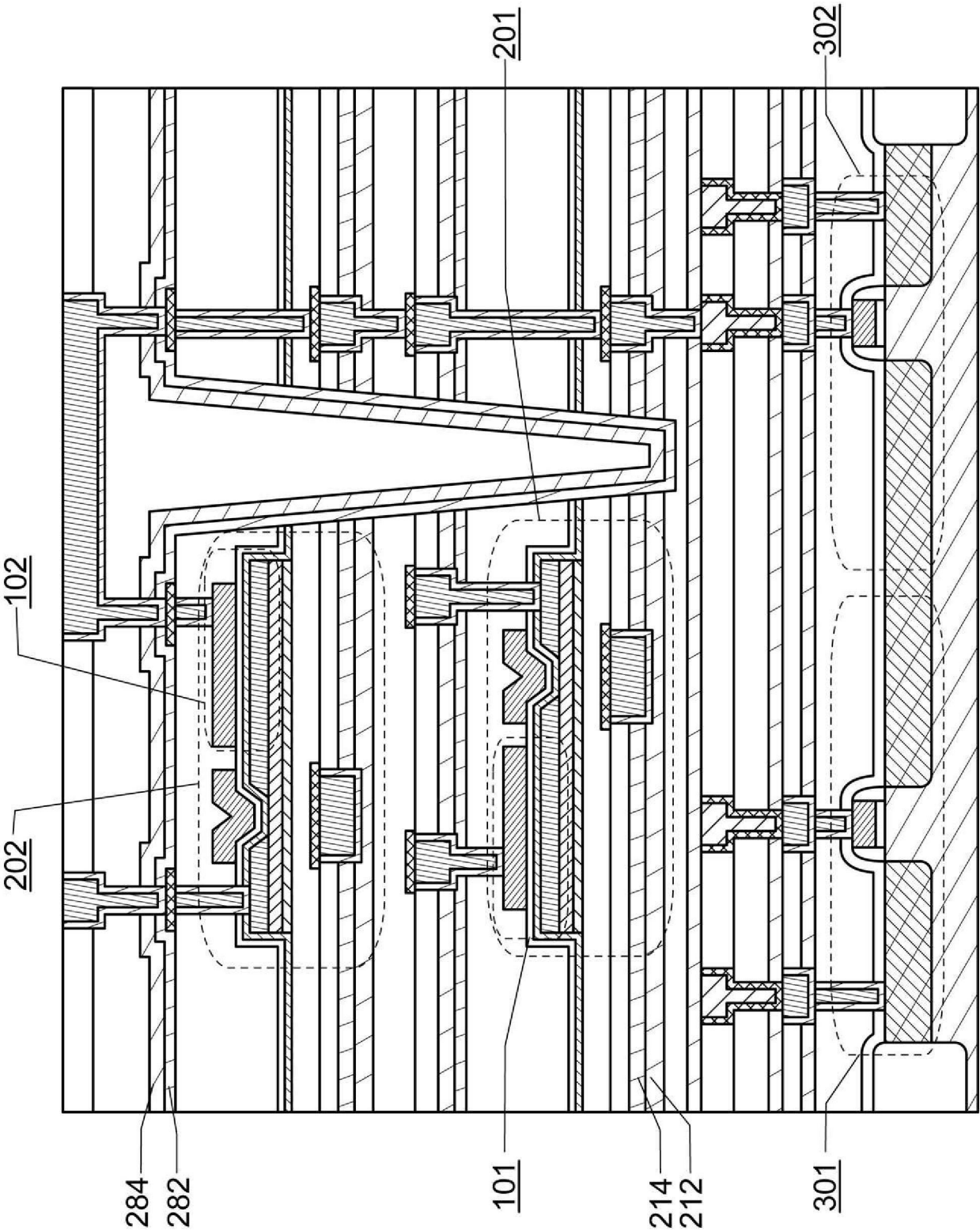
【圖31A】



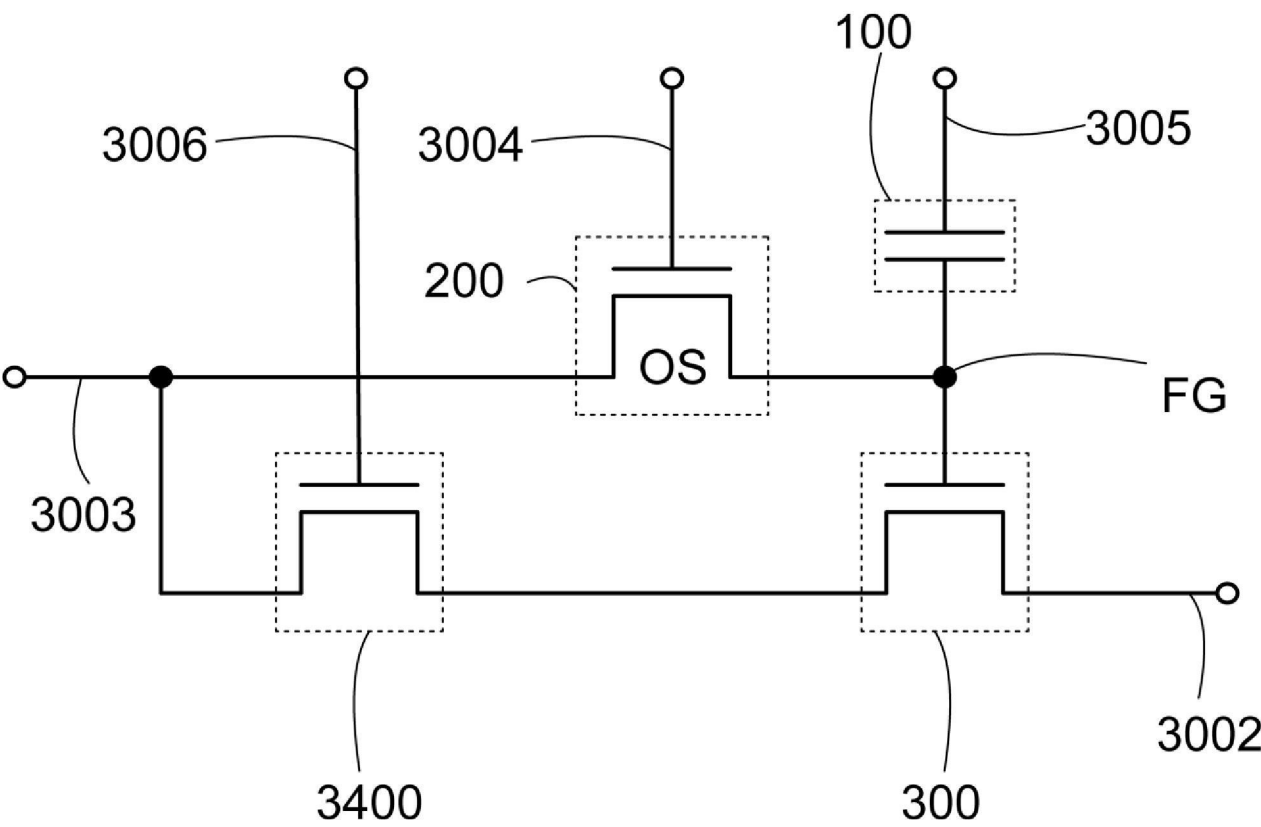
【圖32A】



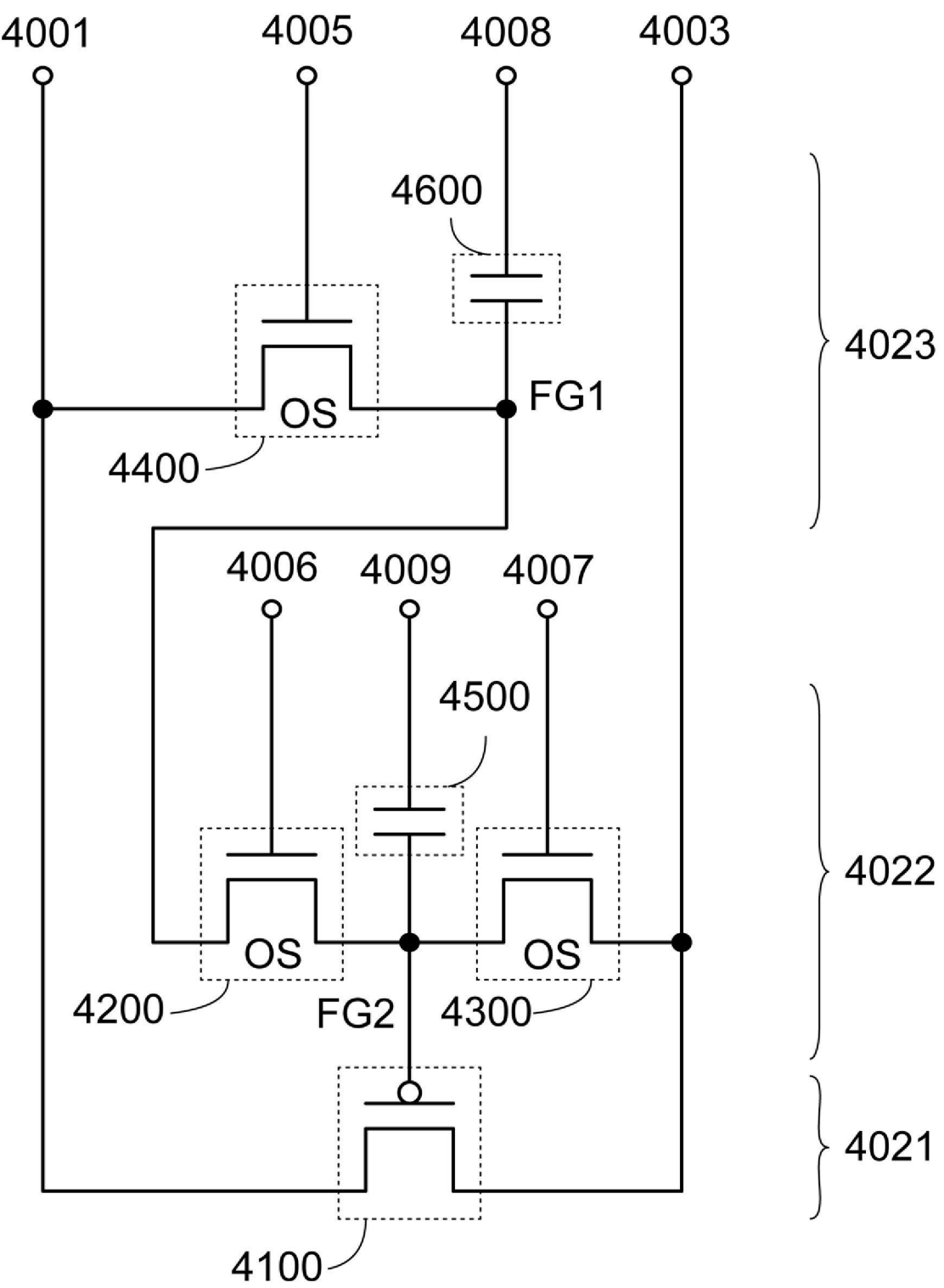
【圖32B】



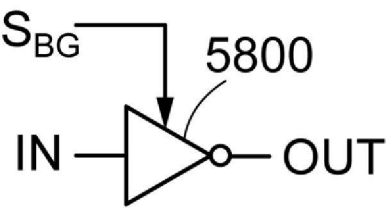
【圖33】



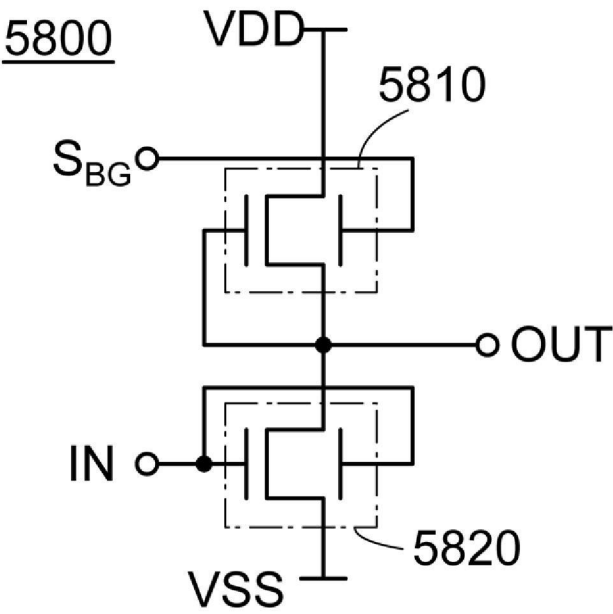
【圖34】



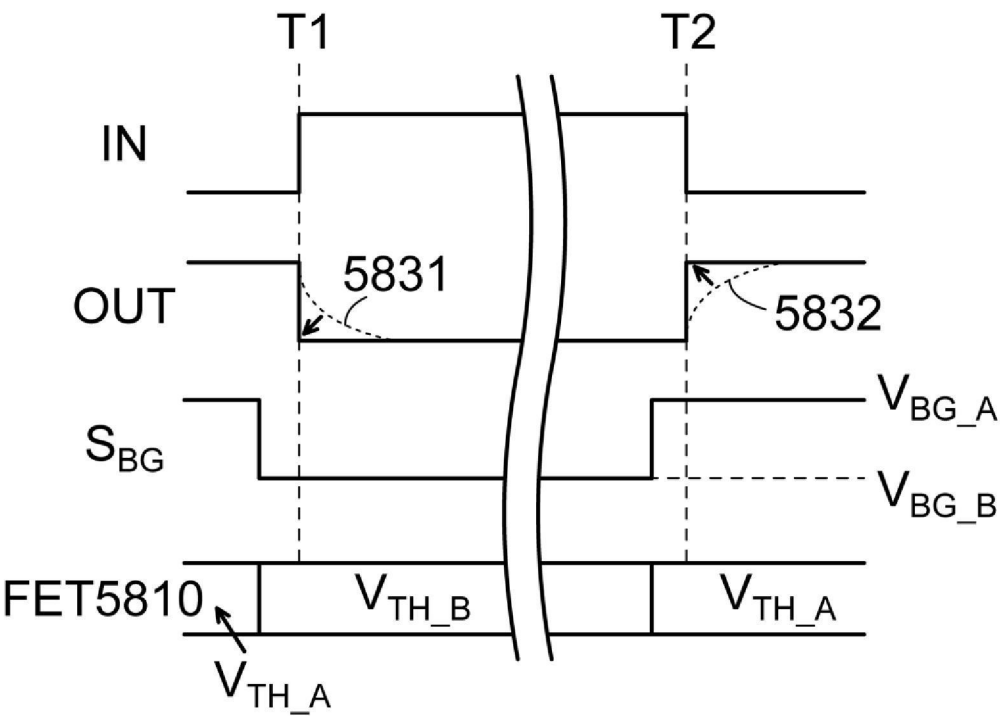
【圖35】



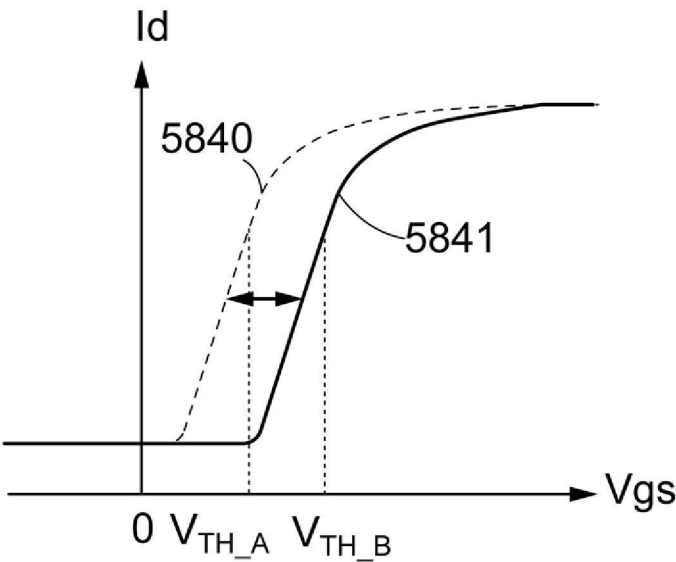
【圖36A】



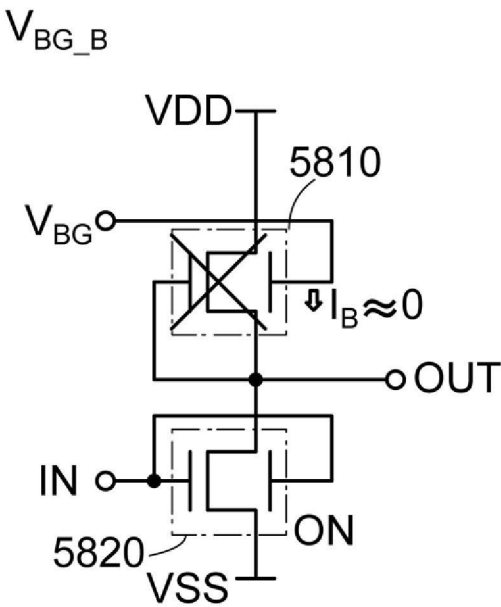
【圖36B】



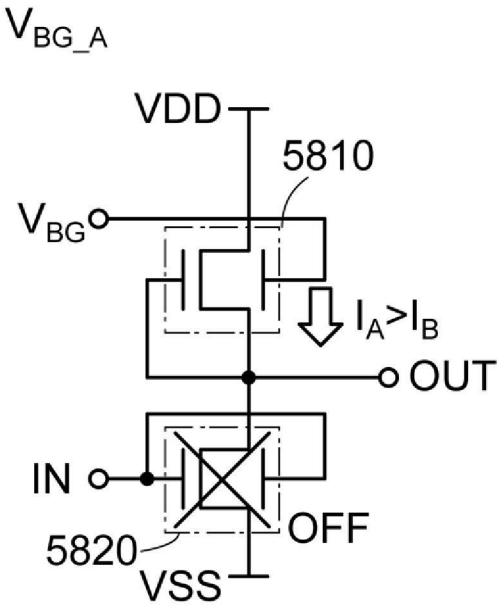
【圖36C】



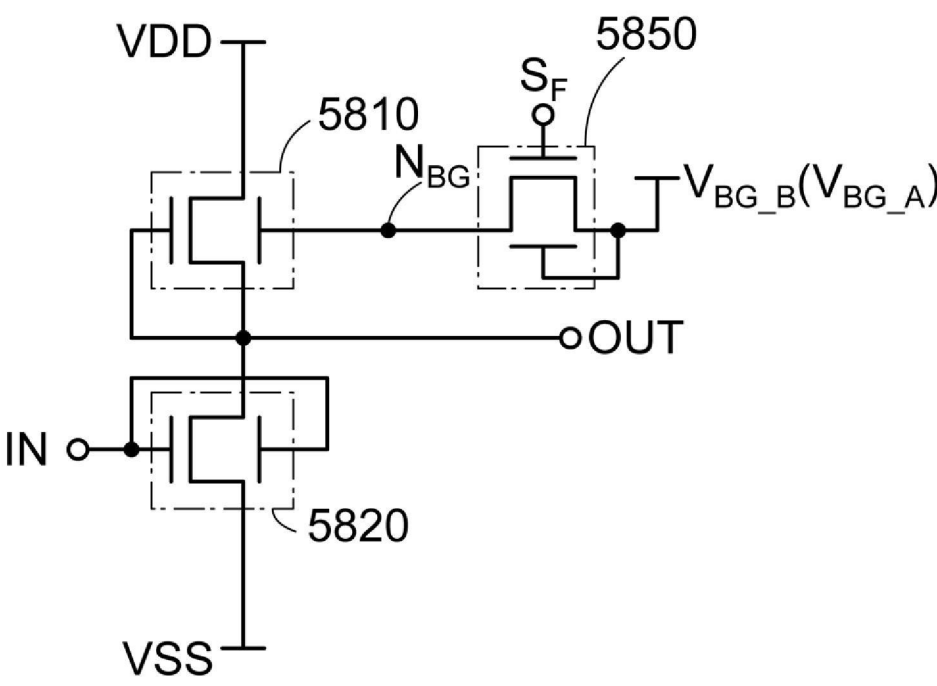
【圖37A】



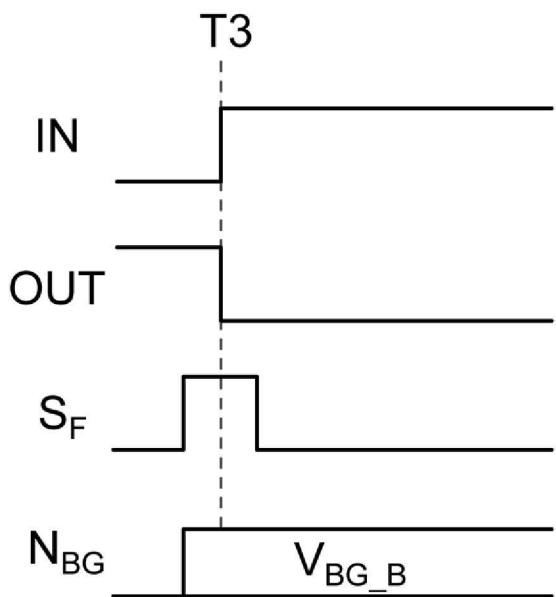
【圖37B】



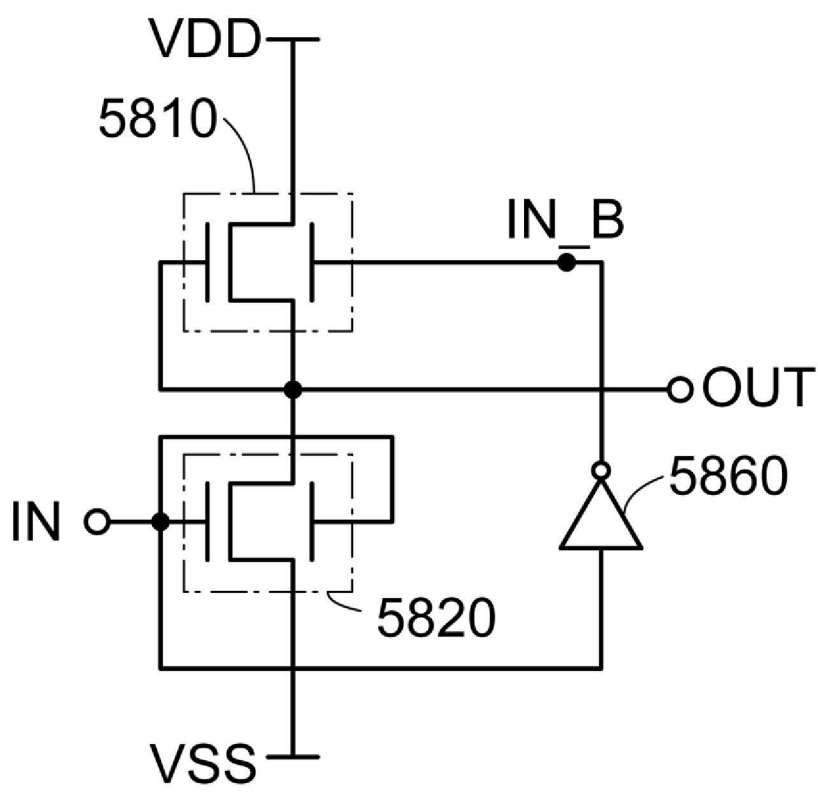
【圖37C】



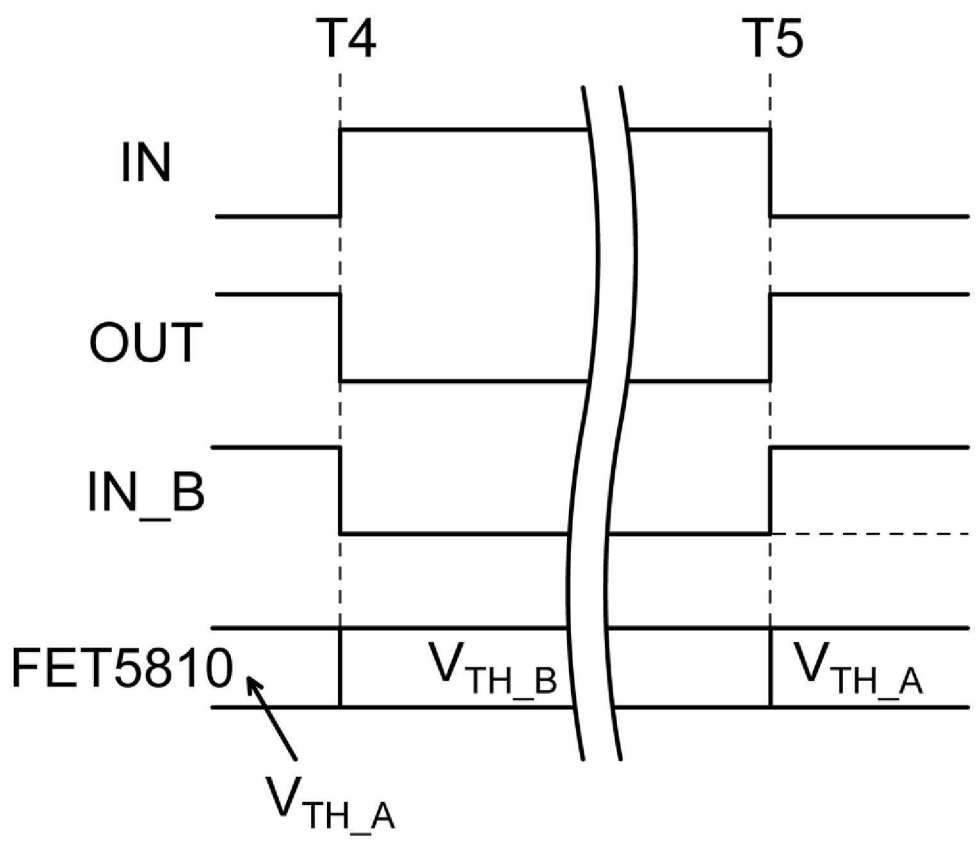
【圖38A】



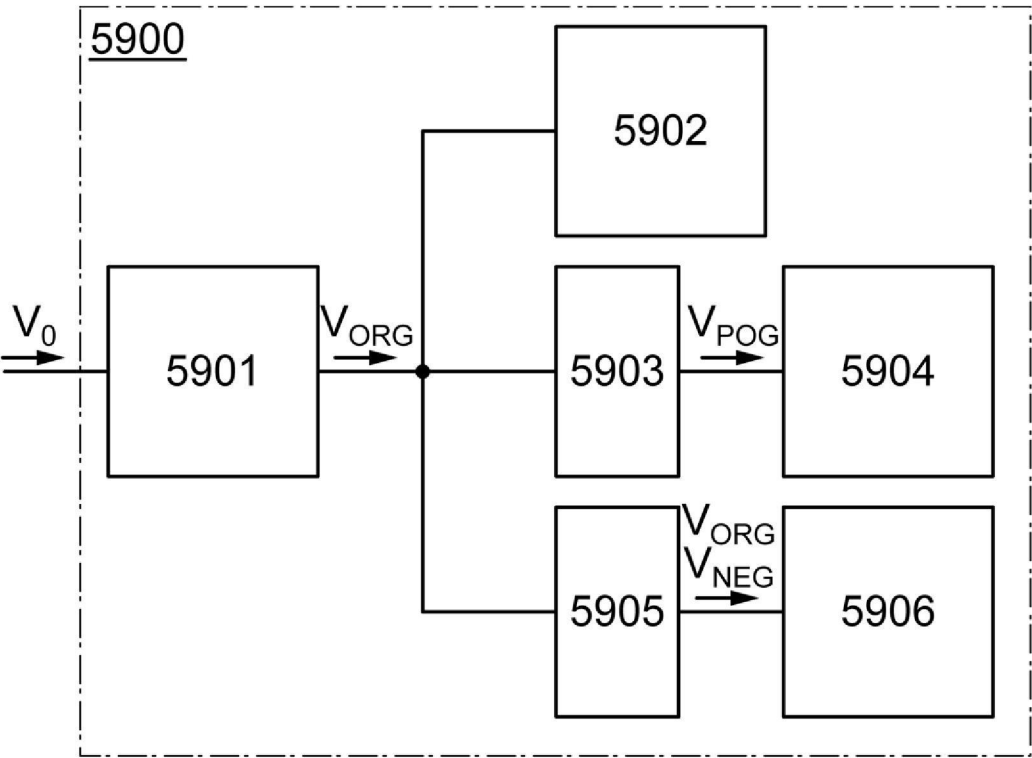
【圖38B】



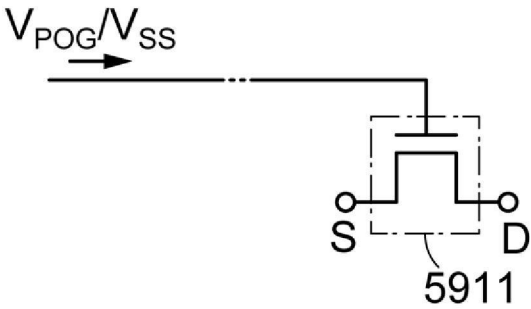
【圖39A】



【圖39B】



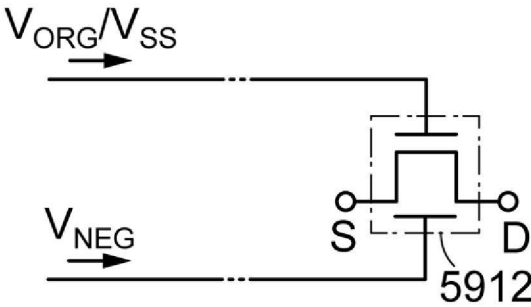
【圖40A】



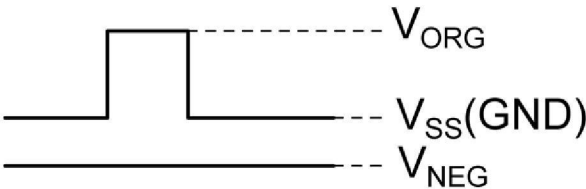
【圖40B】



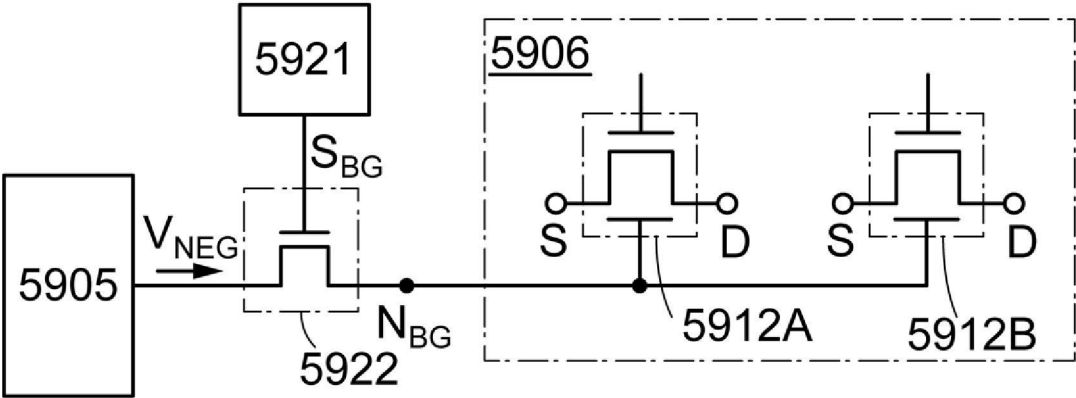
【圖40C】



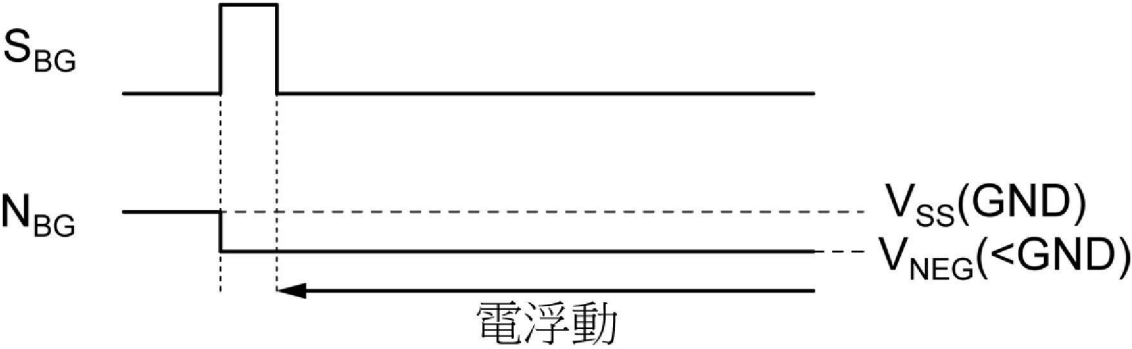
【圖40D】



【圖40E】

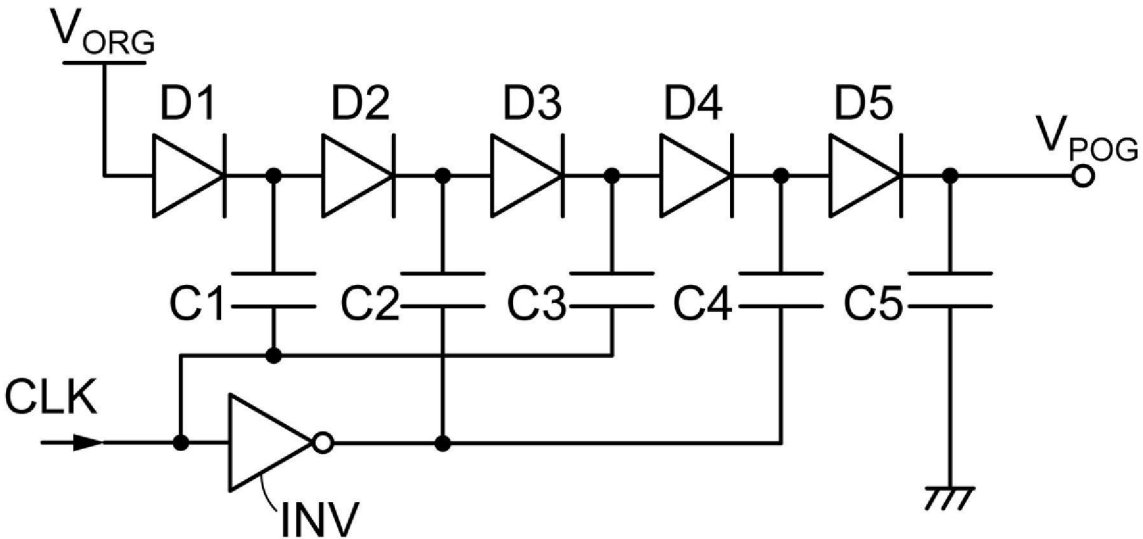


【圖41A】



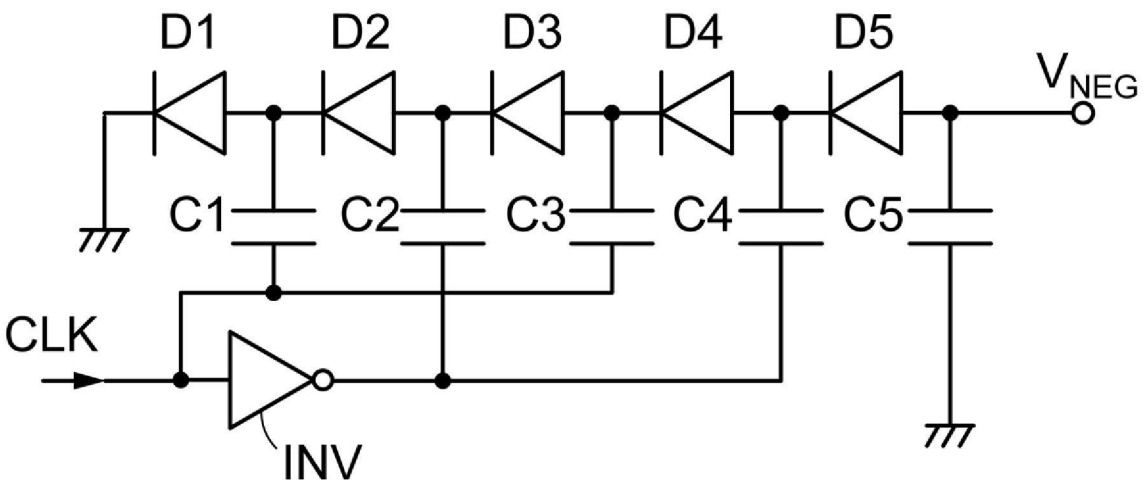
【圖41B】

5903 ↗



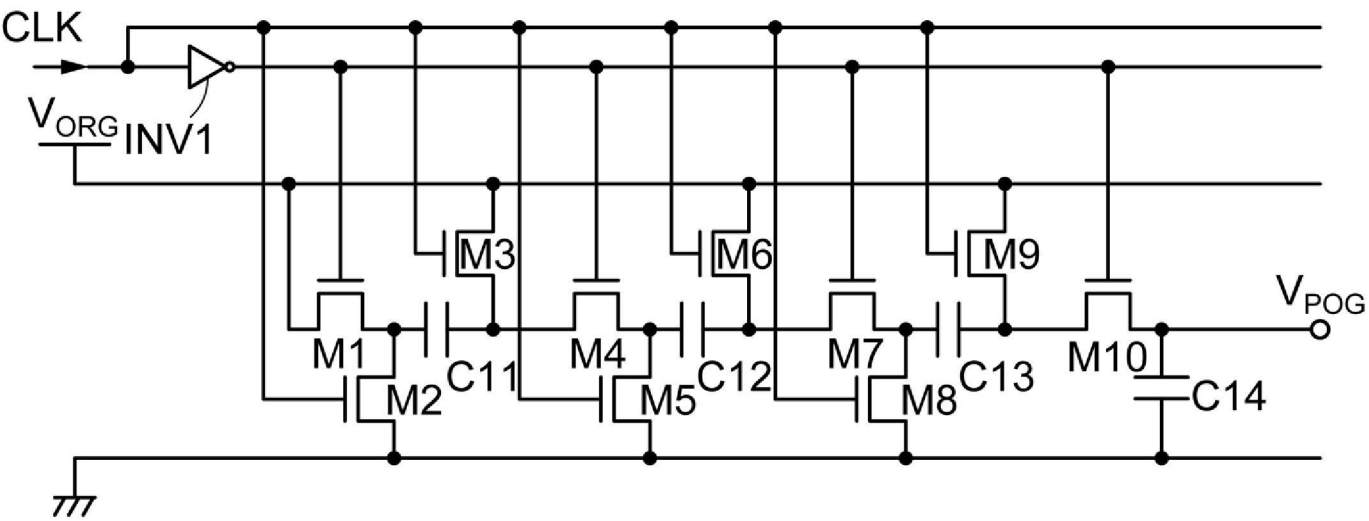
【圖42A】

5905 ↗



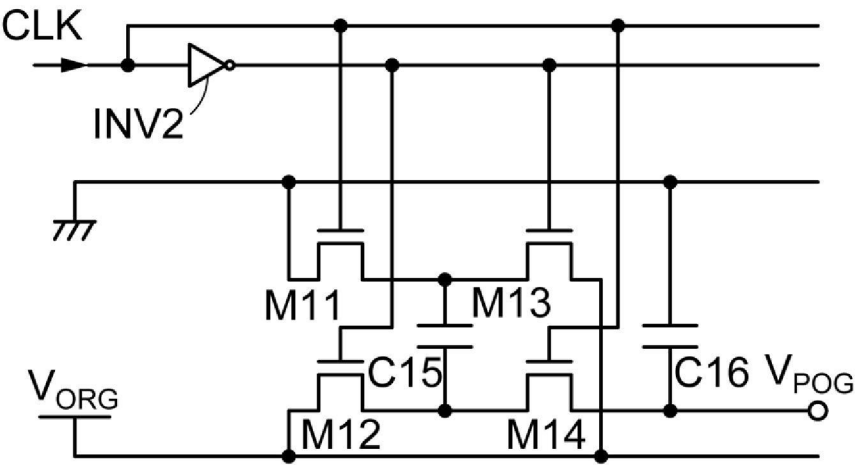
【圖42B】

5903A



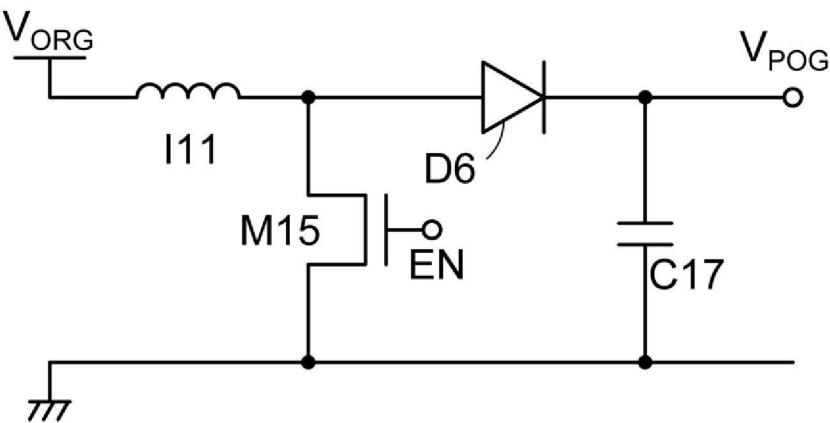
【圖43A】

5903B



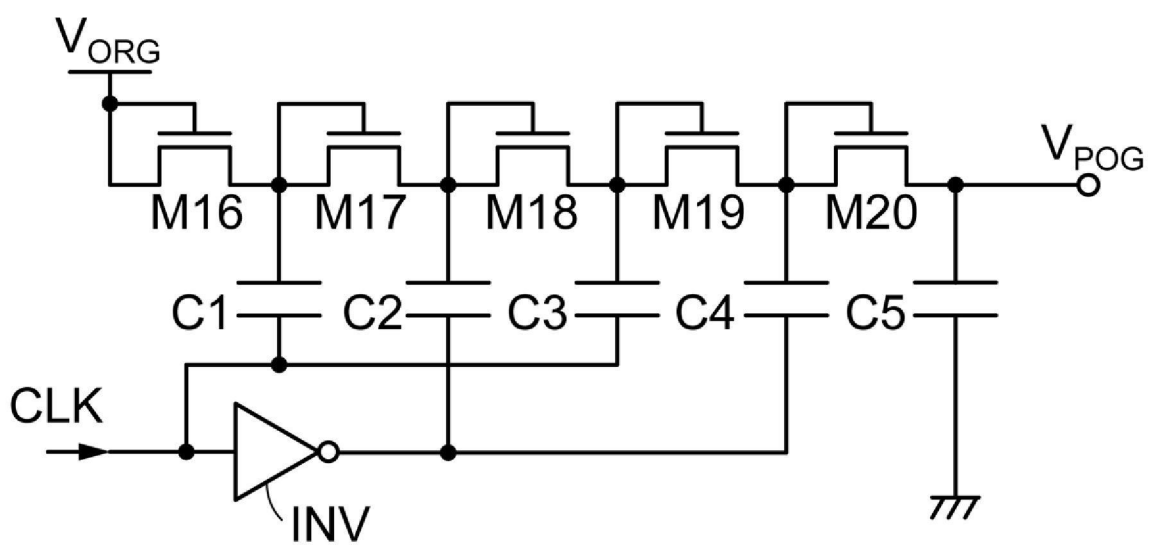
【圖43B】

5903C



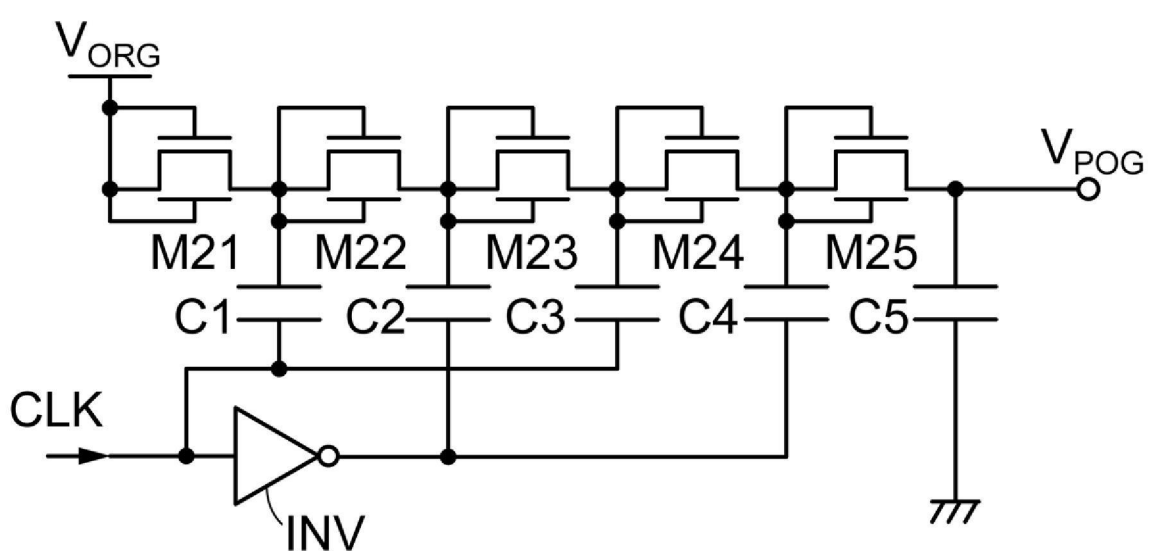
【圖43C】

5903D



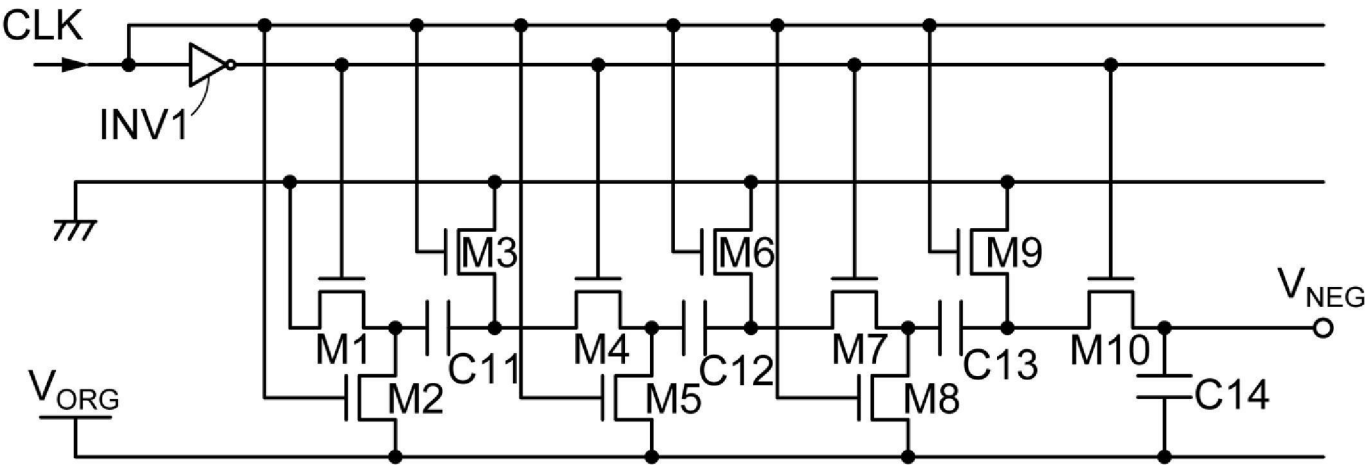
【圖44A】

5903E



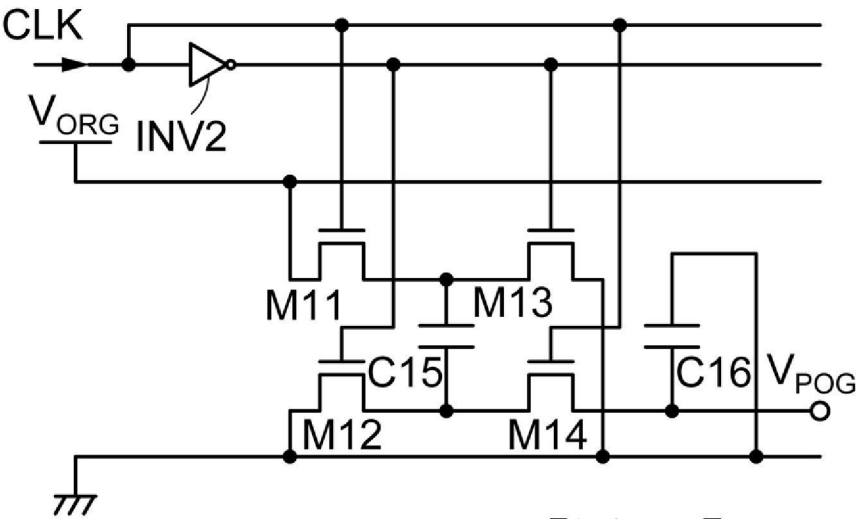
【圖44B】

5905A ↗



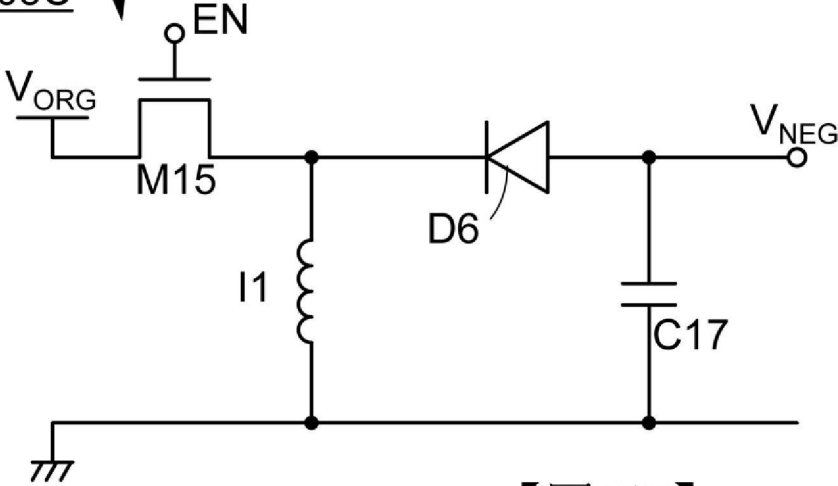
【圖45A】

5905B ↗



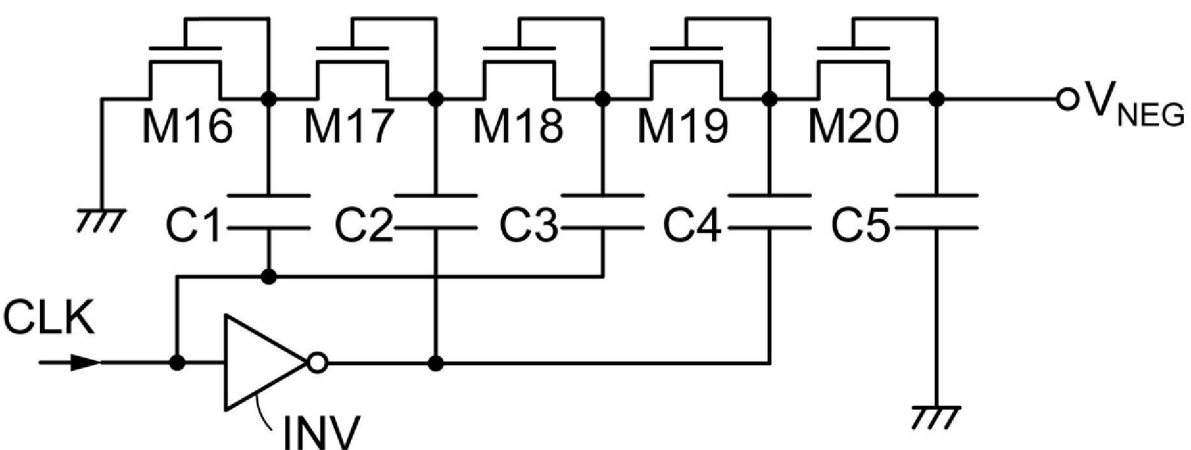
【圖45B】

5905C ↗



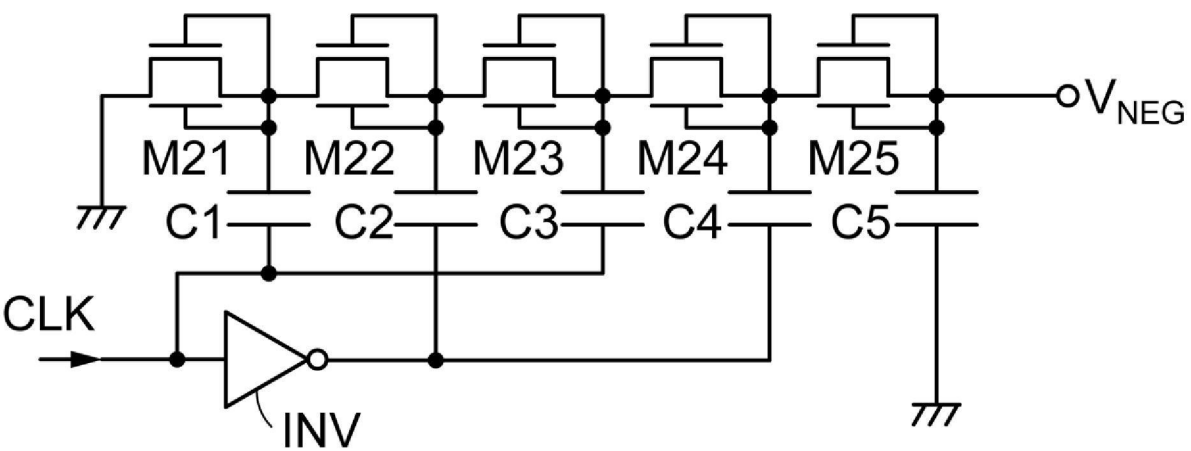
【圖45C】

5905D ↗



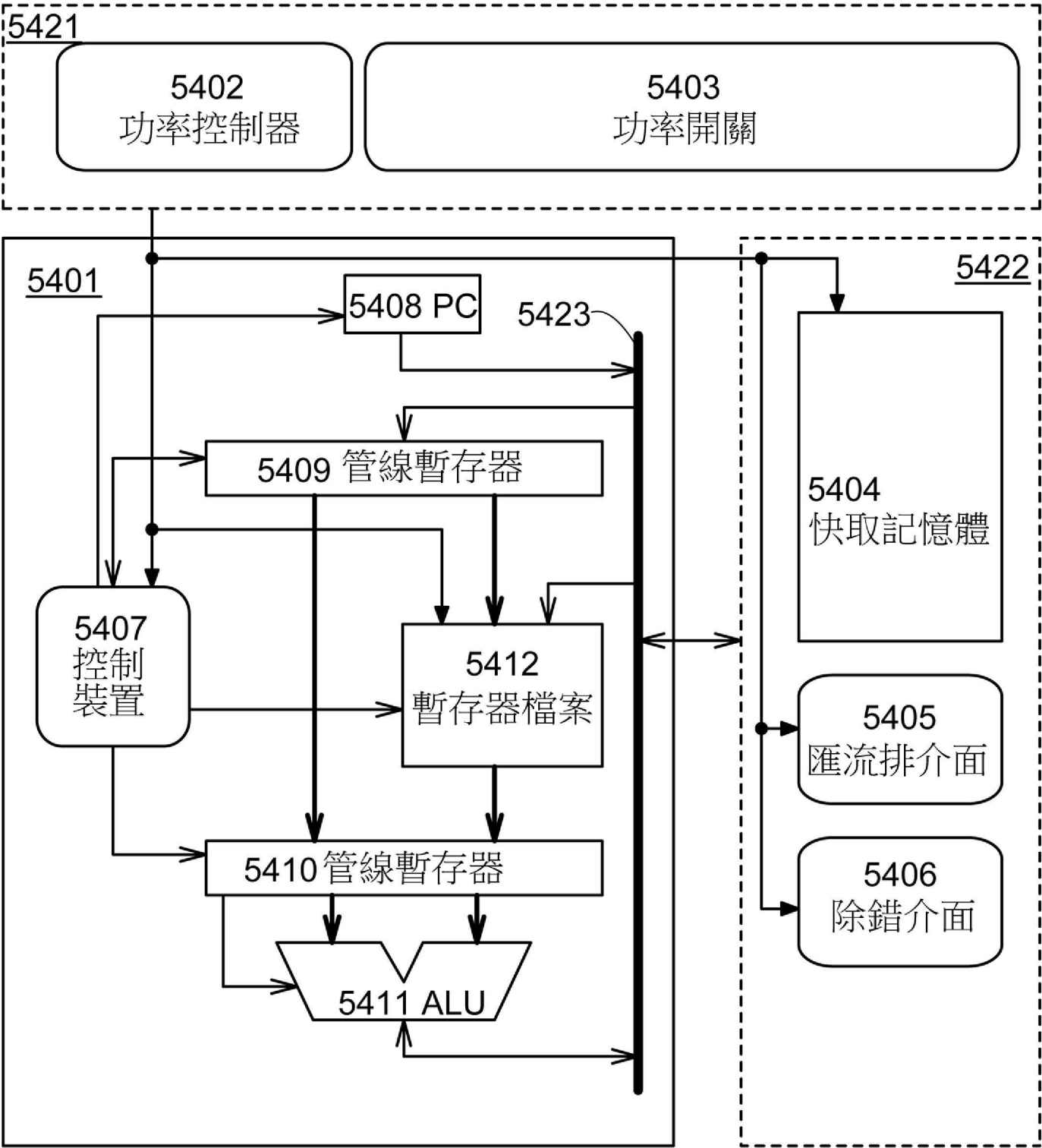
【圖46A】

5905E ↗

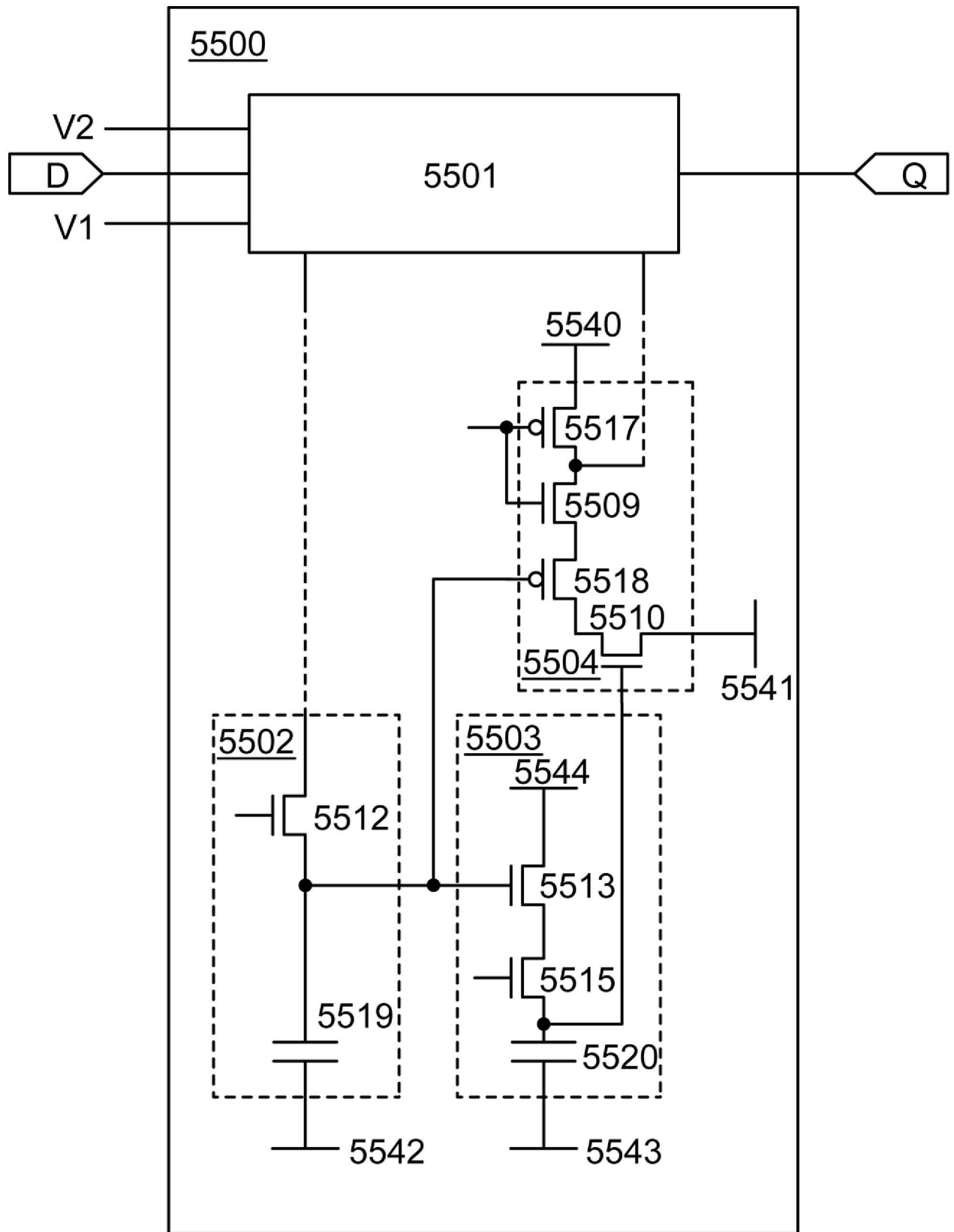


【圖46B】

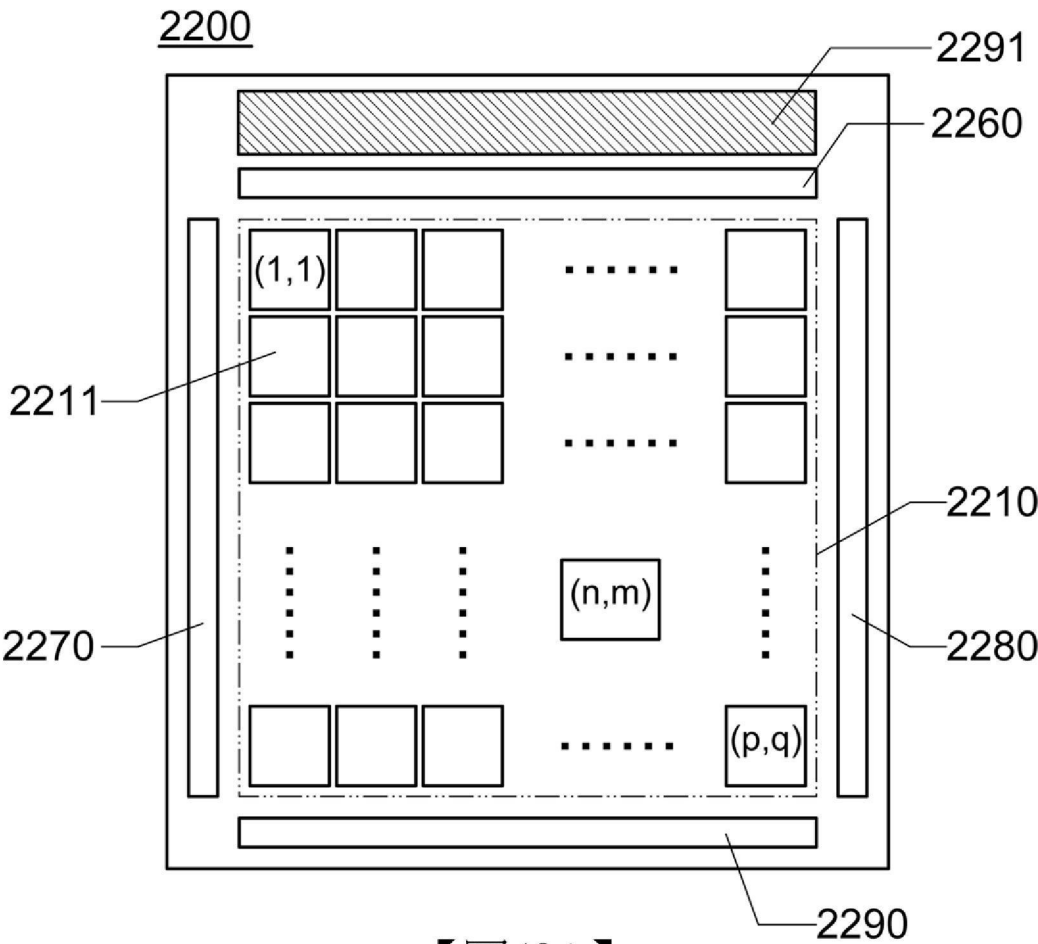
5400



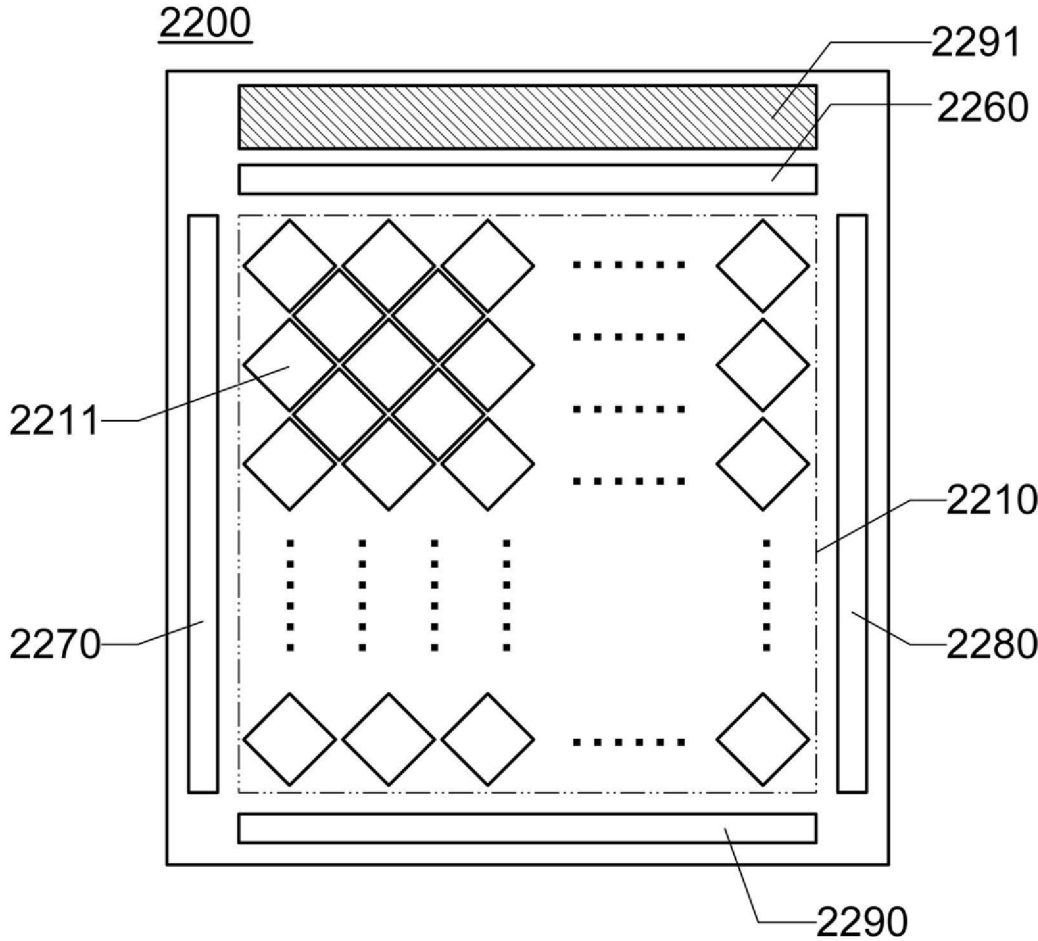
【圖47】



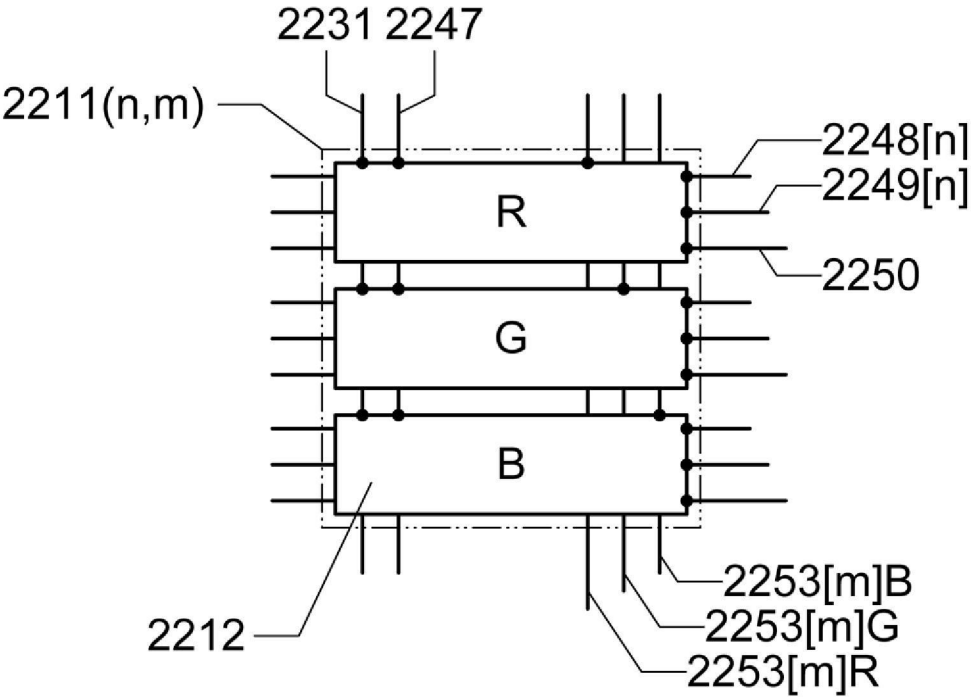
【圖48】



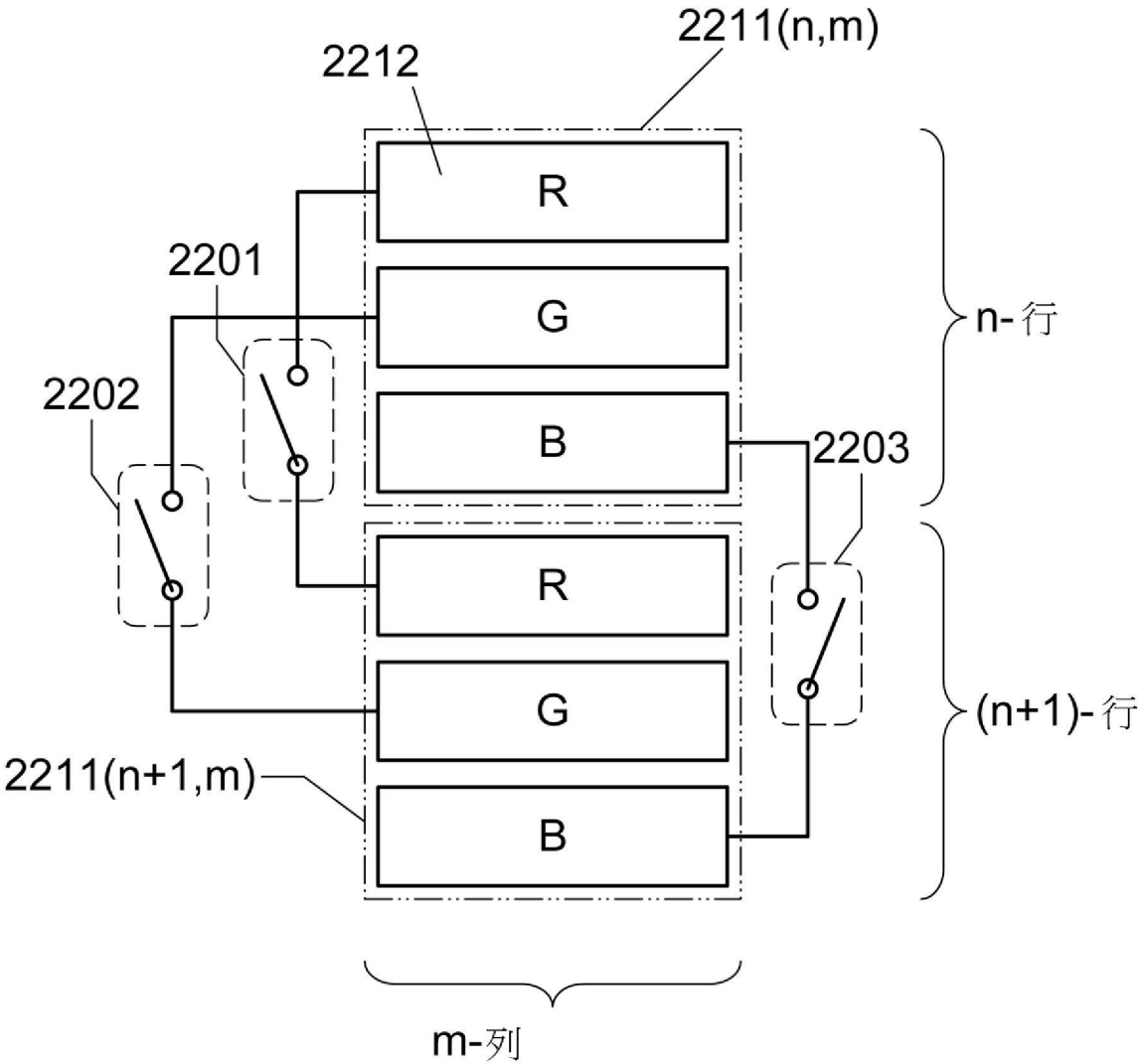
【圖49A】



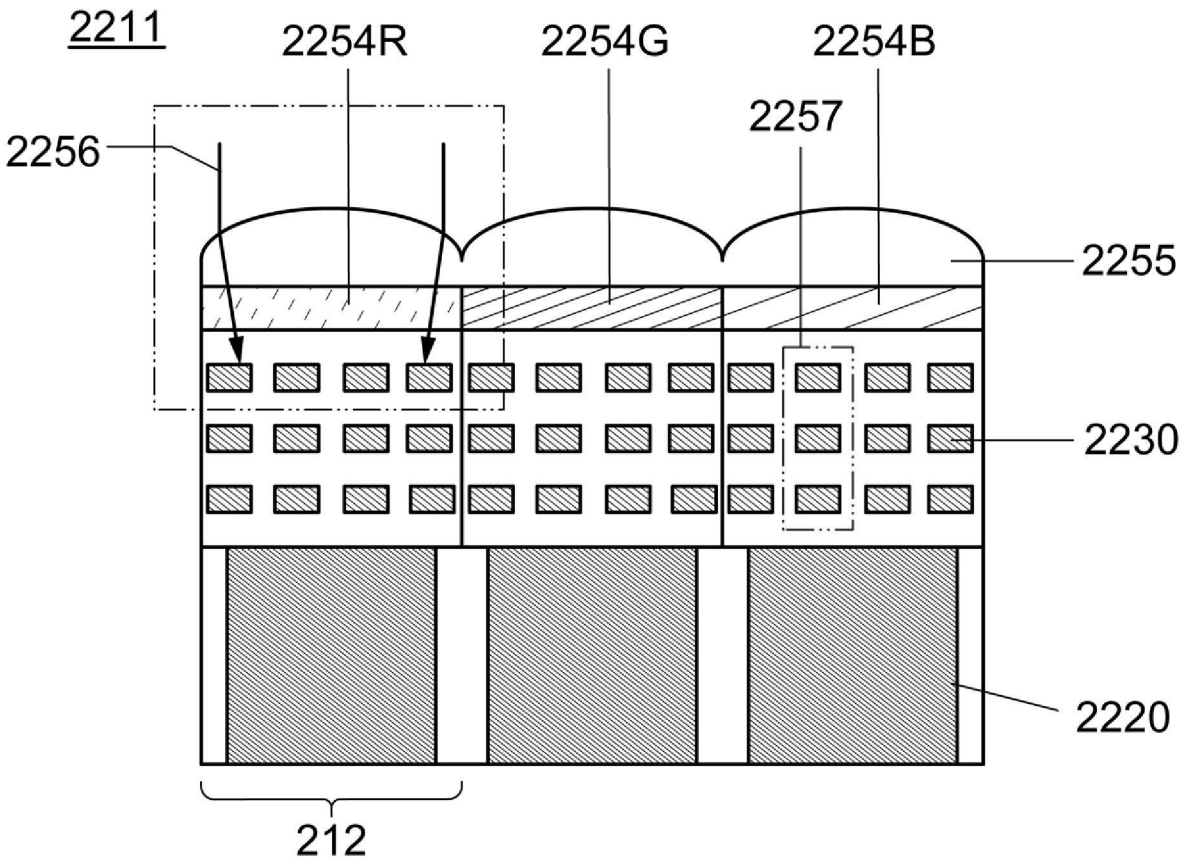
【圖49B】



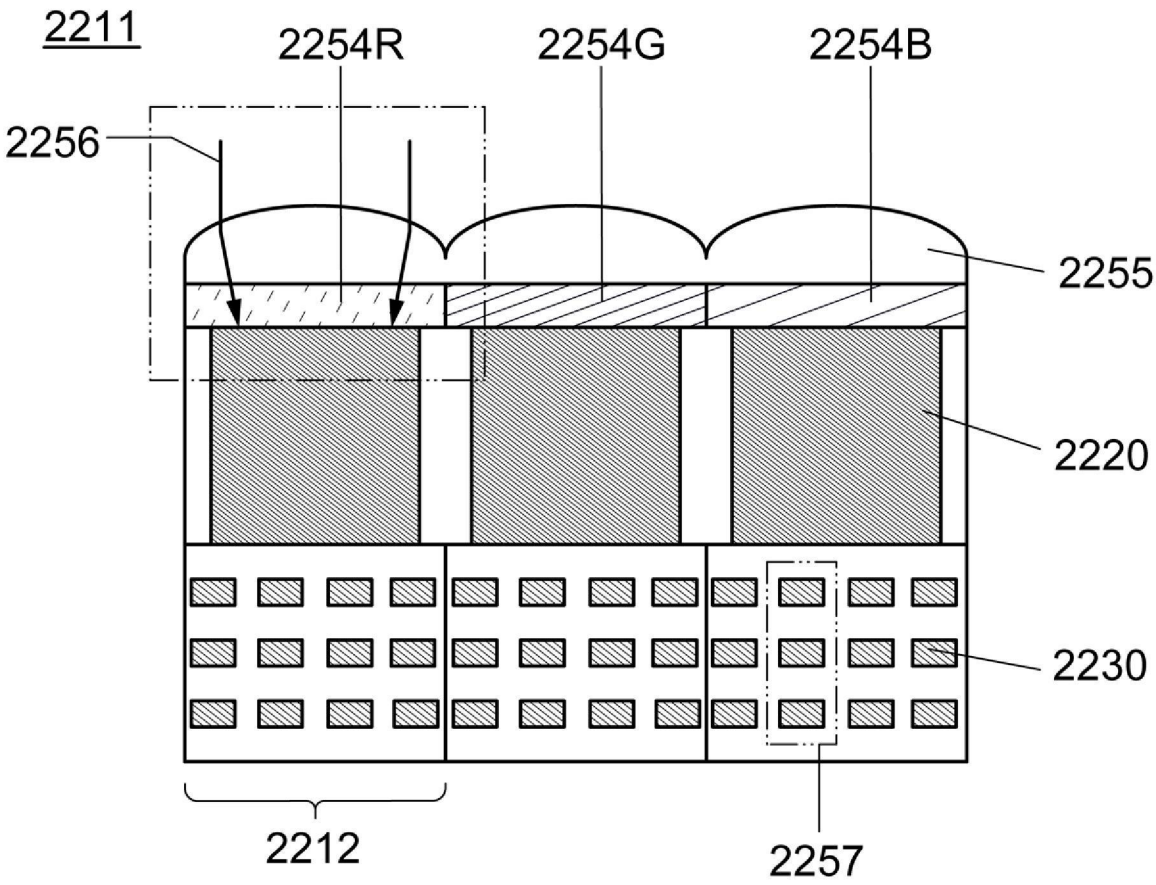
【圖50A】



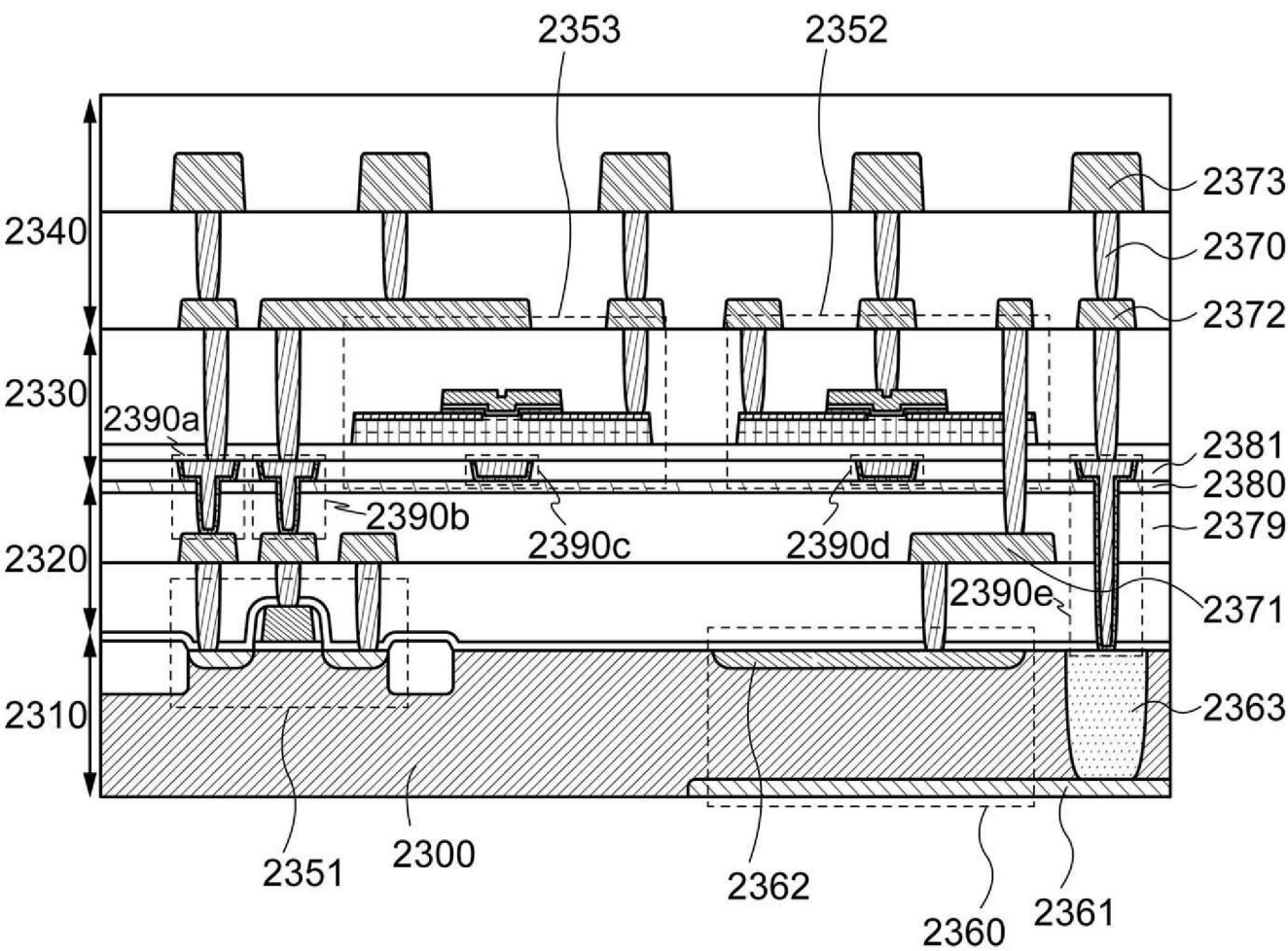
【圖50B】



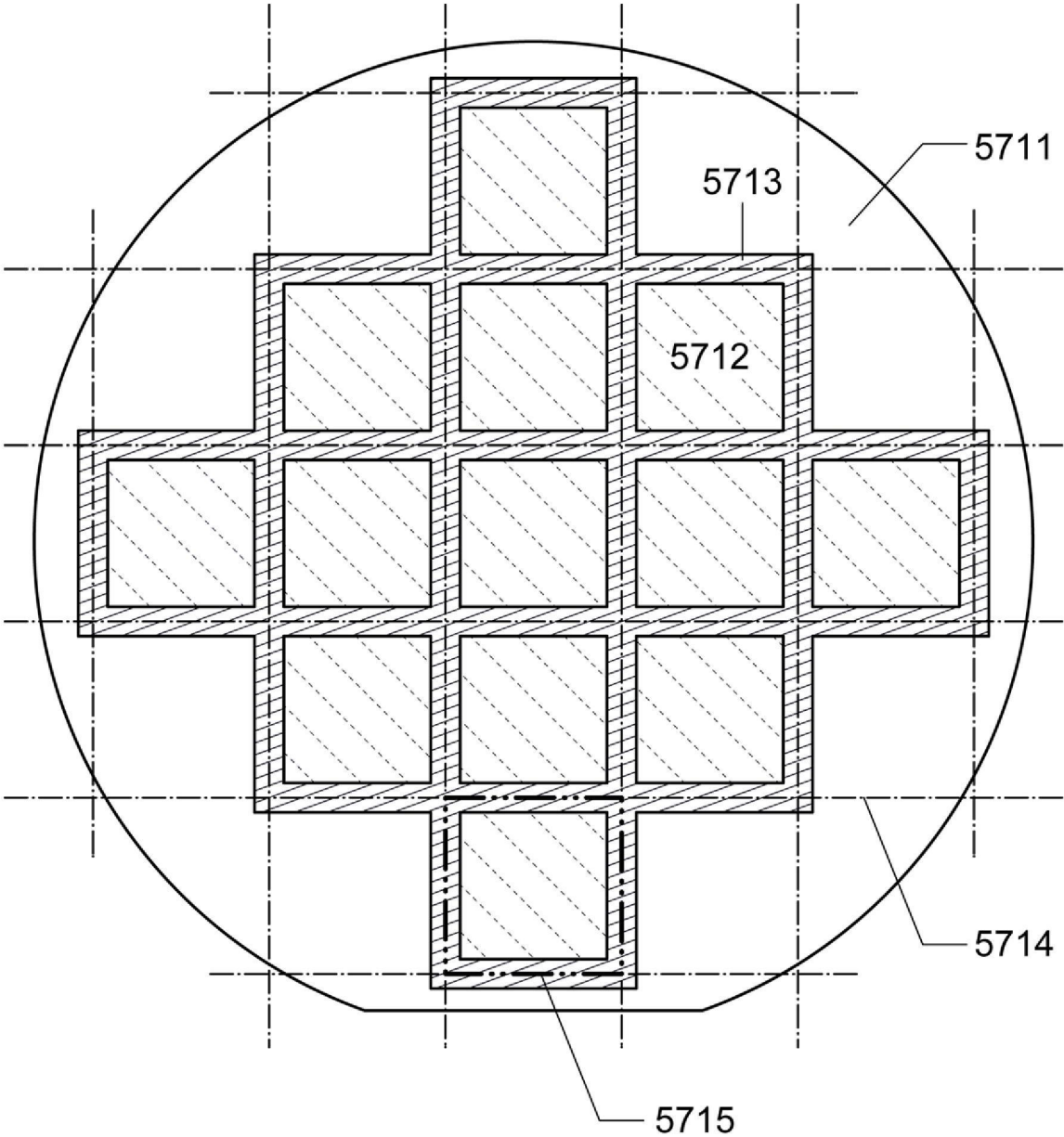
【圖51A】



【圖51B】

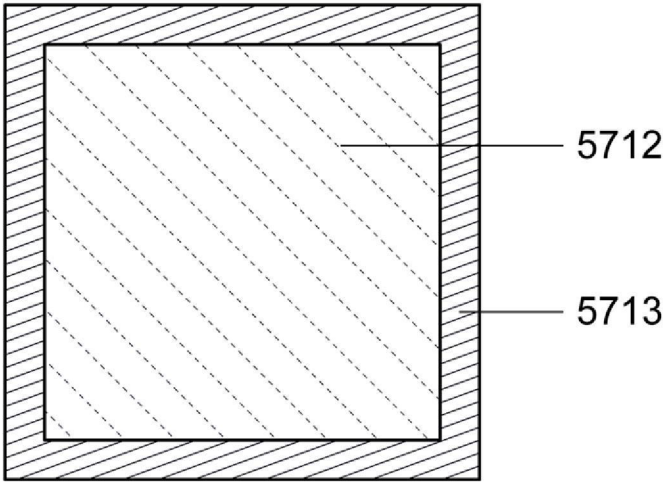


【圖52】

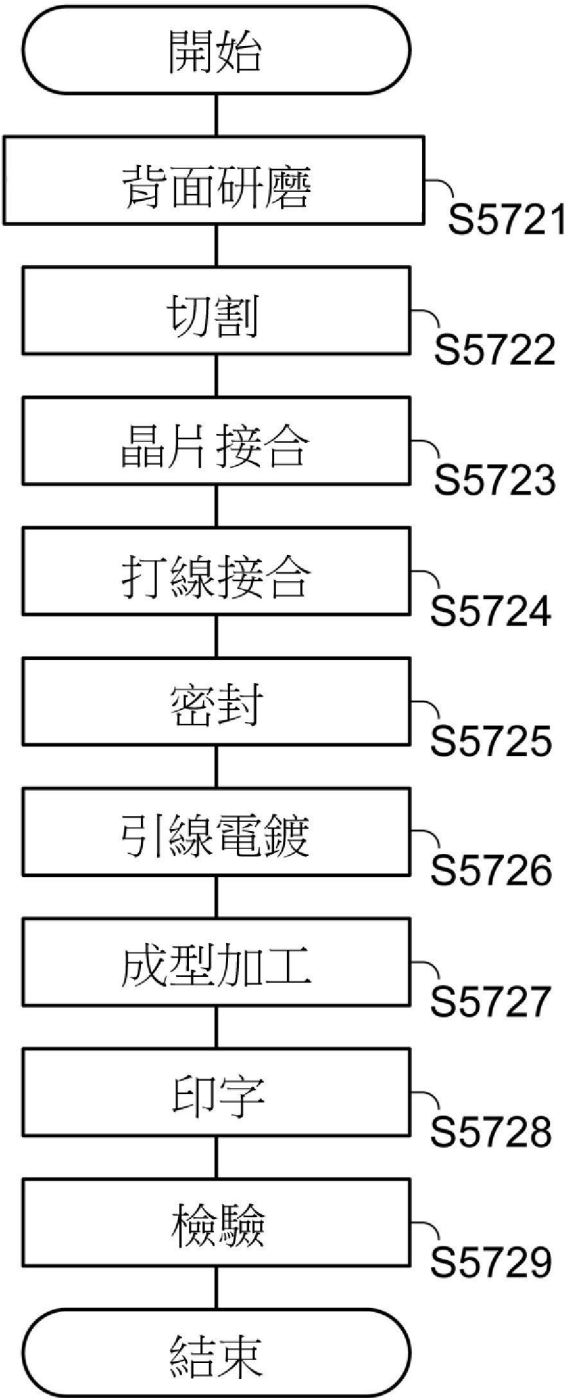


【圖53A】

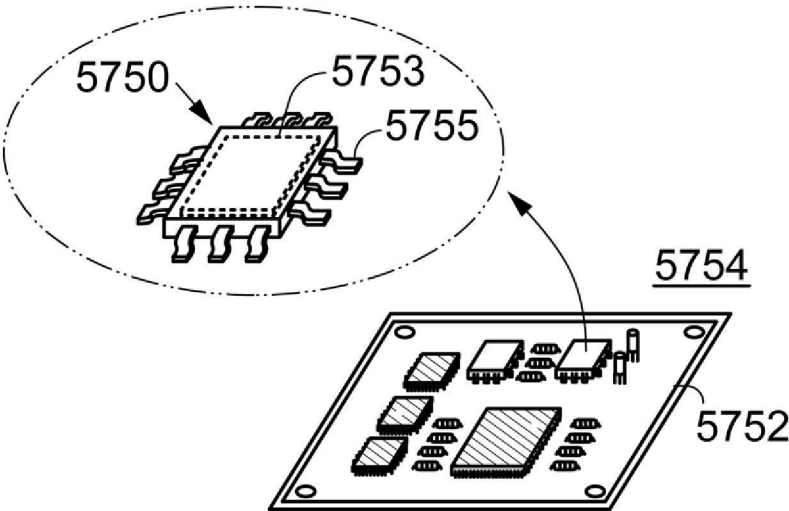
5715



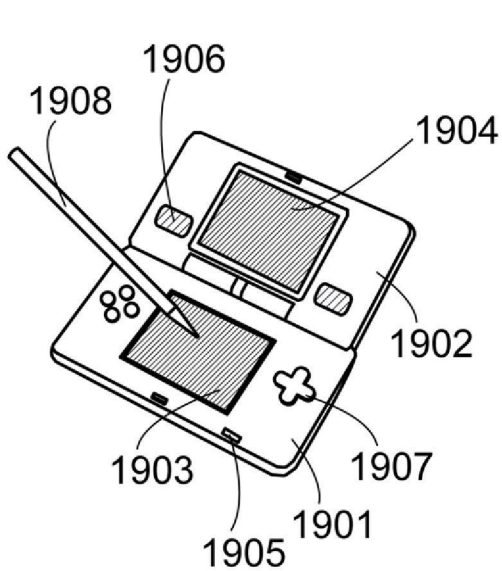
【圖53B】



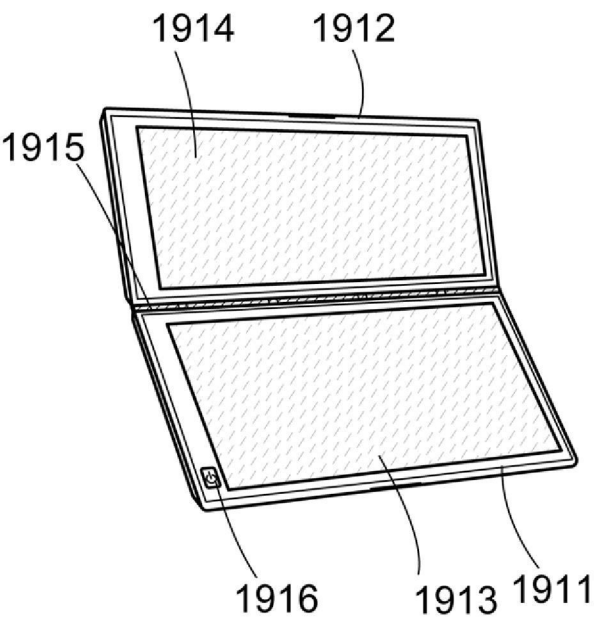
【圖54A】



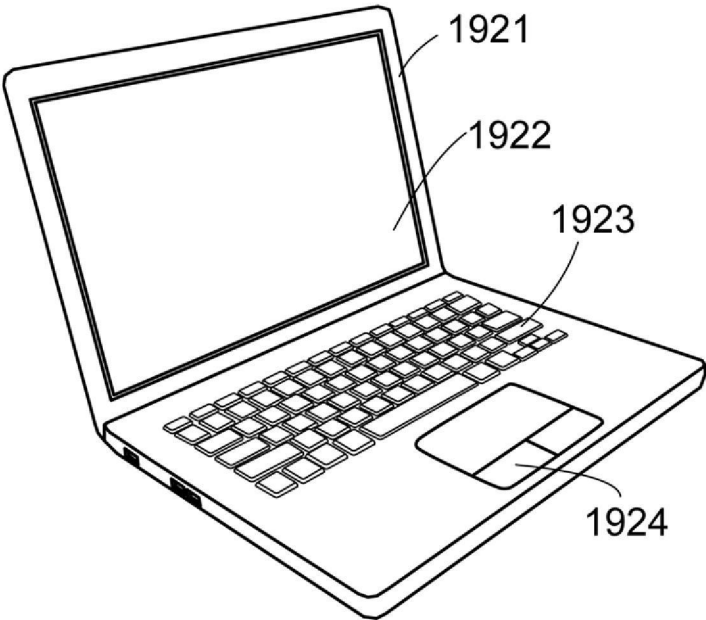
【圖54B】



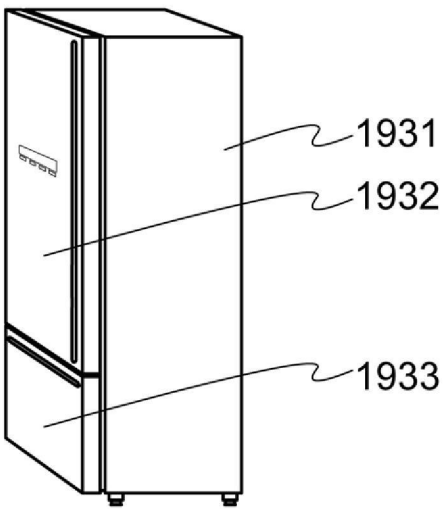
【圖55A】



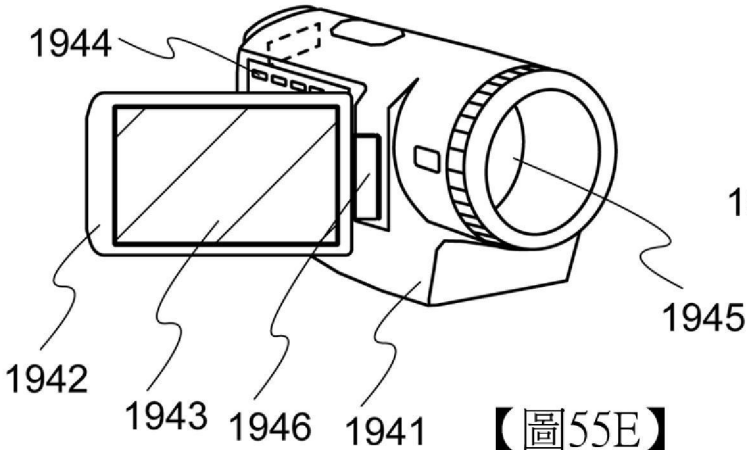
【圖55B】



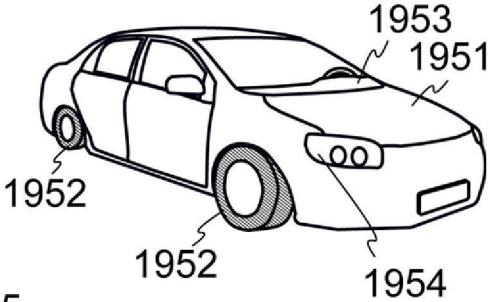
【圖55C】



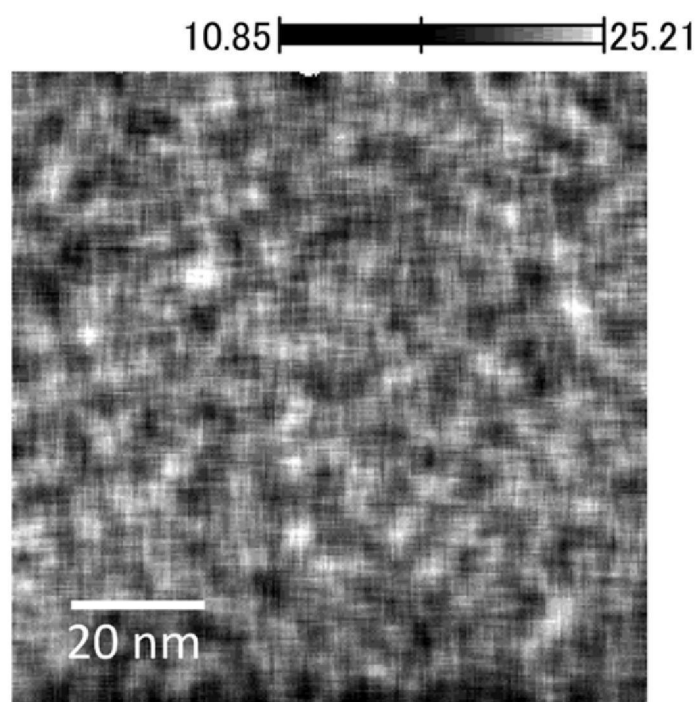
【圖55D】



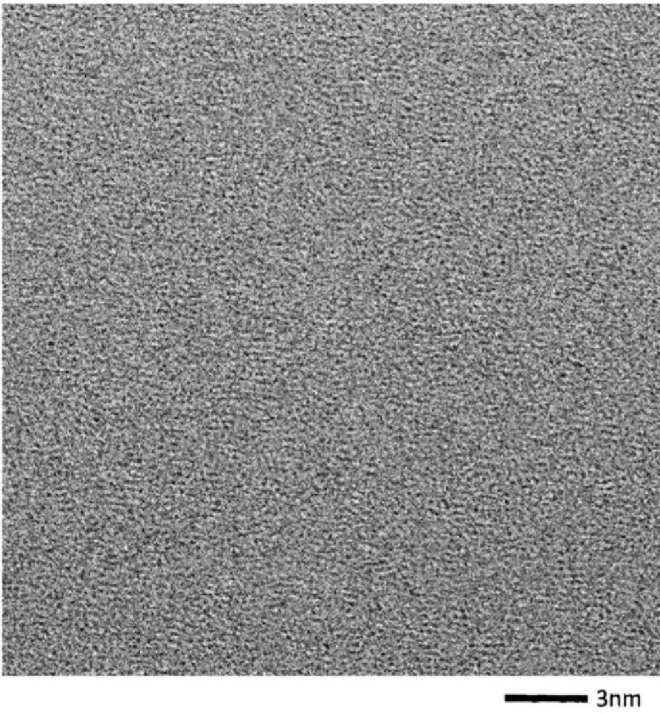
【圖55E】



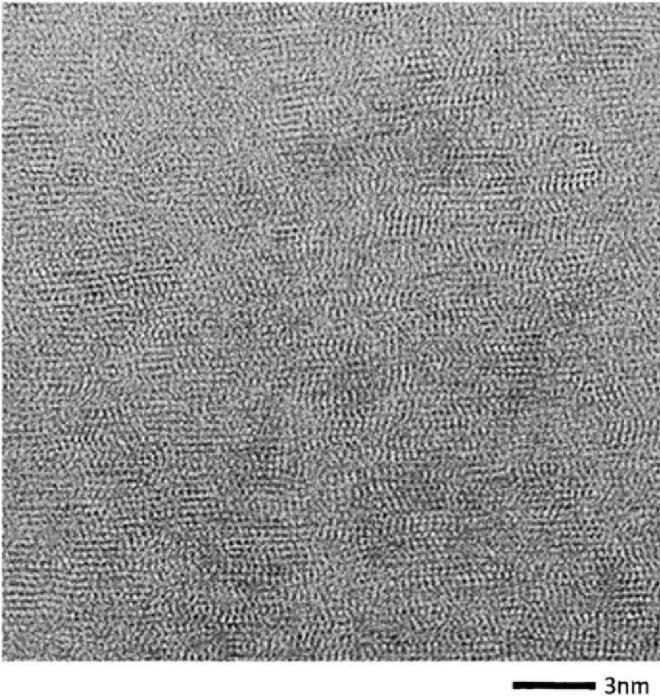
【圖55F】



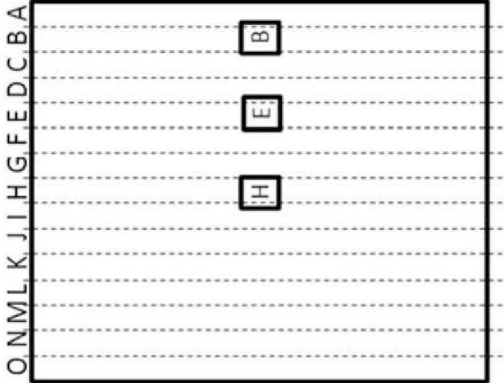
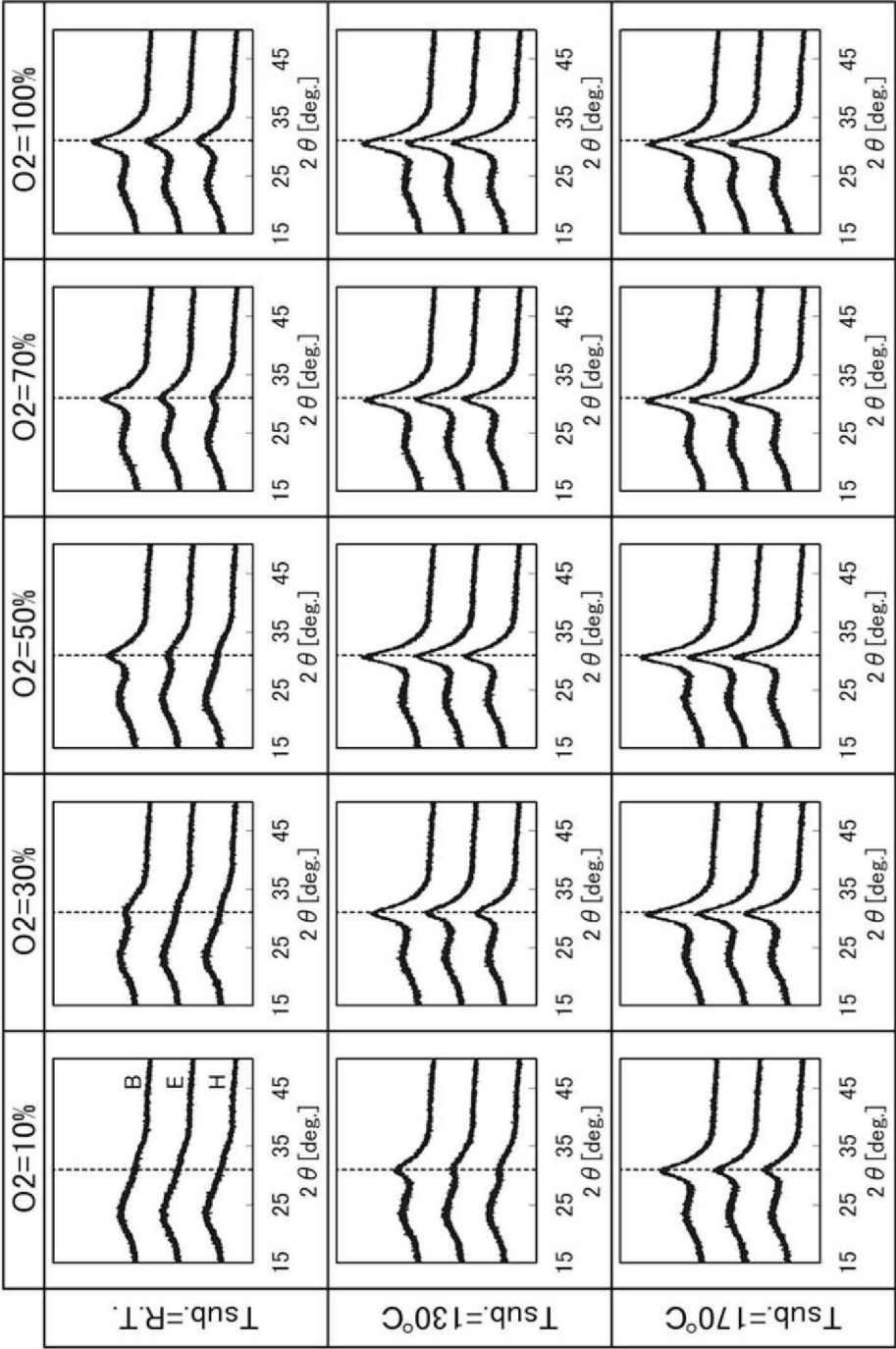
【圖56】



【圖57A】



【圖57B】



XRD 分析部分

【圖58A】

【圖58B】