(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월22일
(11) 등록번호 10-2230031
(24) 등록일자 2021년03월15일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/36* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/36 (2013.01)
(21) 출원번호 10-2019-7020759
(22) 출원일자(국제) 2018년05월24일
심사청구일자 2019년07월18일
(85) 번역문제출일자 2019년07월16일
(65) 공개번호 10-2019-0091358
(43) 공개일자 2019년08월05일
(86) 국제출원번호 PCT/CN2018/088248
(87) 국제공개번호 WO 2019/011064
국제공개일자 2019년01월17일
(30) 우선권주장
201710571690.X 2017년07월13일 중국(CN)
(56) 선행기술조사문헌
KR100304264 B1*
(뒷면에 계속)

(73) 특허권자
쿤산 고-비젼녹스 옵토-일렉트로닉스 씨오., 엘티디.
중국 지앙수 215300 쿤산, 디벨럽먼트 존, 롱텡 로드, 넘버 1, 빌딩 4
(72) 발명자
왕, 유칭
중국, 지앙수 215300, 쿤산, 디벨럽먼트 존, 롱텡 로드, 넘버 1, 빌딩 4
왕, 젱
중국, 지앙수 215300, 쿤산, 디벨럽먼트 존, 롱텡 로드, 넘버 1, 빌딩 4
(뒷면에 계속)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 7 항 심사관 : 신영교

(54) 발명의 명칭 **디스플레이 파워 서플라이를 위한 제어 방법, 제어 장치, 저장 매체 및 전자 장치**

(57) 요 약

본 발명은 TFT형 디스플레이 스크린에 적용되는 디스플레이 파워 서플라이를 위한 제어 방법, 장치, 저장 매체 및 전자 장치에 관한 것으로, 상기 TFT형 디스플레이 스크린은 구동칩 및 스크린 바디를 포함하며, 상기 구동칩은 스크린 바디를 제어하여 대응하는 영상을 표시하게 되도록 구성되고, 상기 스크린 바디는 박막 트랜지스터를 이용하여 픽셀을 제어하며; 상기 방법은, 구동신호를 수신한 후, 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 됨으로써, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 낮추는 단계; 상기 구동칩에 대해 정상적으로 전원 공급을 지속적으로 유지하는 단계를 포함한다. 구동칩의 전원은 구동칩이 스크린 바디로 출력하는 전압의 성능을 직접적으로 결정하고, 또한 전원이 파워업 될 때 변동 발생이 용이하므로, 구동칩의 파워업 상태를 개선하여, 구동칩에 의해 출력된 전압의 품질을 향상시켜 스크린 바디에 블랙 화면이 나타날 확률을 낮춤으로써, 디스플레이의 성능을 향상시킬 수 있다.

(52) CPC특허분류
H01L 29/786 (2021.01)
(72) 발명자
장, 시아오바오
중국, 지앙수 215300, 쿤산, 디벨럽먼트 존, 롱텡 로드, 넘버 1, 빌딩 4
게, 밍웨이
중국, 지앙수 215300, 쿤산, 디벨럽먼트 존, 롱텡 로드, 넘버 1, 빌딩 4

(56) 선행기술조사문헌
KR100147491 B1
US20120068991 A1
JP2005091636 A
JP2005062618 A
JP2009271392 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

TFT형 디스플레이 스크린에 적용되는 디스플레이 파워 서플라이를 위한 제어 방법으로,

상기 TFT형 디스플레이 스크린은 구동칩과 스크린 바디를 포함하되, 상기 구동칩은 상기 스크린 바디를 제어하여 해당 이미지를 표시하도록 구성되며, 상기 스크린 바디는 필름 트랜지스터를 이용하여 픽셀을 제어하며;

상기 방법은,

구동신호를 수신한 후, 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업됨으로써, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 낮추는 단계; 및

상기 구동칩에 대해 정상적인 전원 공급을 지속적으로 유지하는 단계를 포함하며,

상기 구동칩은 전원 관리 모듈을 포함하며;

상기의 구동신호를 수신한 후, 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업됨으로써 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 낮추는 단계는,

구동신호를 수신한 후, 상기 구동칩에 의해 출력된 게이트 구동 네거티브 전압의 비정상적인 상승 확률을 감소시키도록 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 설정된 룰에 따라 파워업 되는 단계를 포함하고,

상기의 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 게이트 구동 네거티브 전압의 비정상적인 상승 확률을 감소시키도록 상기 전원 관리 모듈의 파워서플라이 전압은 설정된 룰에 따라 파워업 되는 단계는,

구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 1 레벨 전압까지 정상적으로 파워업되는 단계;

제 1 기간을 거친 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 2 레벨 전압까지 낮추며, 상기 제 2 레벨 전압은 상기 제 1 레벨 전압보다 낮도록 하는 단계; 및

제 2 기간을 거친 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 다시 상기 제 1 레벨 전압으로 상승시키는 단계를 포함하는 디스플레이 파워 서플라이를 위한 제어 방법.

청구항 2

제1항에 있어서,

상기 구동칩은 디지털 회로를 더 포함하며;

상기의 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 되는 단계는,

구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 파워업되는 단계;

제 3 기간을 거친 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 되는 단계를 더 포함하는 것을 특징으로 하는 디스플레이 파워 서플라이를 위한 제어 방법.

청구항 3

제2항에 있어서,

상기의 제 3 기간을 거친 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업되는 단계는,

상기 구동칩 내에 상기 전원 관리 모듈의 파워서플라이 전압을 점진적으로 스텝다운 시킨 후, 상기 디지털 회로

의 파워서플라이 전압을 제어하여 파워업 시키는 것을 특징으로 하는 디스플레이 파워 서플라이를 위한 제어 방법.

청구항 4

제3항에 있어서,

상기의 상기 구동칩 내에 상기 전원 관리 모듈의 파워서플라이 전압을 점진적으로 스텝다운 시킨 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 단계는, 상기 구동칩 내에서 상기 전원 관리 모듈의 파워서플라이 전압을 제 1 전압으로 낮추고, 상기 제 1 전압을 제 2 전압으로 낮춘 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 단계이며;

상기 제 2 전압은 상기 전원 관리 모듈에 의해 사용되는 기준 전압이며;

상기 제 1 전압은 상기 전원 관리 모듈 내의 차지 펌프에 의해 생성되는 전압인 것을 특징으로 하는 디스플레이 파워 서플라이를 위한 제어 방법.

청구항 5

구동칩과 스크린 바디를 포함하는 TFT형 디스플레이 스크린에 적용하되, 상기 구동칩은 스크린 바디를 제어하여 해당 이미지를 표시시키도록 구성되고, 상기 스크린 바디는 박막 트랜지스터를 이용하여 픽셀을 제어하도록 구성된 디스플레이 파워 서플라이를 위한 제어 장치로서,

상기 제어 장치는,

구동신호를 수신한 후, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시키기 위한 파워업 제어 모듈; 및

상기 구동칩에 대해 정상적인 전원 공급을 지속적으로 유지하기 위한 정상 전원 공급 모듈을 포함하고,

상기 구동칩은 전원 관리 모듈 및 디지털 회로를 포함하며,

상기 전원 관리 모듈의 파워서플라이 전압을 점진적으로 스텝다운 시킨 후, 상기 디지털 회로의 파워서플라이 전압을 파워업 시키는 디스플레이 파워 서플라이를 위한 제어 장치.

청구항 6

메모리 및 프로세서를 포함하는 전원칩, 구동칩 및 스크린 바디를 포함하되, 상기 메모리는 프로그램을 내장하도록 구성된 전자 장치로서,

상기 프로세서에 의해 상기 프로그램이 수행될 경우, 상기 프로세서는 제 1 항 내지 제 4 항 중 어느 한 항에 따른 방법에 따라 수행되는 것을 특징으로 하는 전자 장치.

청구항 7

전원칩, 구동칩 및 스크린 바디을 포함하는 TFT형 디스플레이 스크린에 적용하되, 전원칩 내에 장착되어 프로그램을 내장하도록 구성된 저장 매체로서,

상기 프로그램은 상기 전원칩 내의 프로세서에 의해 제1항 내지 제4항 중 어느 한 항에 따른 방법에 따라 수행되는 것을 특징으로 하는 저장 매체.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 디스플레이 기술 분야에 관한 것으로서, 특히 디스플레이 파워 서플라이를 위한 제어 방법, 제어 장치, 저장 매체 및 전자 장치에 관한 것이다.

배 경 기 술

[0002] TFT (Thin Film Transistor, 박막 트랜지스터)형 디스플레이는 다양한 유형의 노트북 컴퓨터 및 데스크톱 컴퓨터에서 주로 사용되는 디스플레이 장치이며, 이러한 디스플레이 상의 각 픽셀 포인트는 픽셀 포인트 뒤에 집적된 박막 트랜지스터에 의해 구동된다. 통상적으로, TFT형 디스플레이는 구동칩 및 스크린 바디를 포함한다. 여기서, 구동칩은 박막 트랜지스터의 작동 상태를 제어하도록 구성되어 스크린 바디에 해당 이미지를 표시하게 된다. 종래의 TFT형 디스플레이는 재부팅되거나 휴면 해제 시 블랙 화면 현상을 나타낼 수 있으며, 구동칩의 성능은 스크린 바디의 디스플레이 효과에 직접적으로 영향을 미치므로, 구동칩의 성능을 어떻게 개선하느냐가 시급한 과제이다.

발명의 내용

해결하려는 과제

[0003] 상술한 바에 기초하면, TFT형 디스플레이 구동칩의 성능을 향상시키기 위해, 디스플레이 파워 서플라이를 위한 제어 방법, 제어 장치, 저장 매체 및 전자 장치를 제공할 필요가 있다.

과제의 해결 수단

[0004] 실시예에 따르면, 구동칩과 스크린 바디를 포함하되, 상기 구동칩은 스크린 바디를 제어하여 해당 이미지를 표시하고, 상기 스크린 바디는 필름 트랜지스터를 이용하여 픽셀을 제어하도록 구성된, TFT형 디스플레이 스크린

에 적용되는 디스플레이 파워 서플라이를 위한 제어 방법으로서, 상기 방법은,

[0005] 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업(power-up) 시키는 단계;

[0006] 상기 구동칩에 대해 정상적인 전원 공급을 지속적으로 유지하는 단계를 포함한다.

[0007] 일 실시예에서, 상기 구동칩은 전원 관리 모듈을 포함하며; 상기의 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시키는 단계는,

[0008] 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 게이트 구동 네거티브 전압의 비정상적인 상승 확률을 감소시키도록 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 설정된 룰에 따라 파워업 시키는 것이다.

[0009] 일 실시예에서, 상기의 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 게이트 구동 네거티브 전압의 비정상적인 상승 확률을 감소시키도록 상기 전원 관리 모듈의 파워서플라이 전압을 설정된 룰에 따라 파워업 시키는 단계는,

[0010] 구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 1 레벨 전압까지 정상적으로 파워업 시키는 단계;

[0011] 제 1 기간을 거친 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 2 레벨 전압까지 낮추며, 상기 제 2 레벨 전압은 상기 제 1 레벨 전압보다 낮도록 하는 단계;

[0012] 제 2 기간을 거친 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 다시 상기 제 1 레벨 전압으로 상승시키는 단계를 포함한다.

[0013] 일 실시예에서, 상기 제 1 레벨 전압은 2.5V내지 4.8V이며; 바람직하게는, 상기 제 1 기간은 8ms내지 12ms이고; 바람직하게는, 상기 제 1 기간은 10ms이며; 바람직하게는, 상기 제 2 기간은 8ms 내지 12ms이고; 바람직하게는, 상기 제 2 기간은 10ms이다.

[0014] 일 실시예에서, 상기 제 2 레벨 전압은 1V 내지 2.2V이다.

[0015] 일 실시예에서, 상기 구동칩은 전원 관리 모듈 및 디지털 회로를 포함하며; 상기의 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시키는 단계는,

[0016] 구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 파워업 시키는 단계;

[0017] 제 3 기간을 거친 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키며; 바람직하게는, 상기 제 3 기간은 90ms 내지 110ms 이며; 보다 바람직하게는, 상기 제 3 기간은 100ms인 단계를 포함한다.

[0018] 일 실시예에서, 상기의 제 3 기간을 거친 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 단계는:

[0019] 상기 구동칩 내에서 상기 전원 관리 모듈의 파워서플라이 전압을 점진적으로 스텝다운(step-down) 시킨 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 것이다.

[0020] 바람직하게는, 상기 구동칩 내에서 상기 전원 관리 모듈의 파워서플라이 전압을 점진적으로 스텝다운 시킨 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 단계는,

[0021] 상기 구동칩 내에서 상기 전원 관리 모듈의 파워서플라이 전압을 제 1 전압으로 낮추고, 상기 제 1 전압을 다시 제 2 전압으로 낮춘 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 단계이며; 여기서, 상기 제 2 전압은 상기 전원 관리 모듈에 의해 사용되는 기준 전압이며; 바람직하게는, 상기 제 1 전압은 상기 전원 관리 모듈 내의 차지 펌프에 의해 산생되는 전압이다.

[0022] 구동칩과 스크린 바디를 포함하는 TFT형 디스플레이 스크린에 적용하되, 상기 구동칩은 스크린 바디를 제어하여 해당 이미지를 표시시키도록 구성되고, 상기 스크린 바디는 박막 트랜지스터를 이용하여 픽셀을 제어하도록 구성된 디스플레이 스크린의 전원 제어 장치로서,

[0023] 상기 전원 제어 장치는,

[0024] 구동신호를 수신한 후, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시키기 위한 파워업 제어 모듈;

[0025] 상기 구동칩에 대해 정상적인 전원 공급을 지속적으로 유지하기 위한 정상 전원 공급 모듈을 포함한다.

[0026] 전원칩, 구동칩 및 스크린 바디을 포함하는 TFT형 디스플레이 스크린에 적용하되, 상기 저장 매체는 전원칩 내에 장착되어 프로그램을 내장하도록 구성된 저장 매체로서,

[0027] 상기 프로그램이 상기 전원칩 내의 프로세서에 의해 수행될 경우,

[0028] 상기 구동신호를 수신한 후, 상기 구동칩에 의해 출력되는 전압에 이상이 발생할 확률을 감소하도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시키는 단계;

[0029] 상기 구동칩에 대해 정상적인 전원 공급을 지속적으로 유지하는 단계를 구현한다.

[0030] 메모리 및 프로세서를 포함하는 전원칩, 구동칩 및 스크린 바디를 포함하되, 상기 메모리는 프로그램을 내장하도록 구성된 전자 장치로서, 상기 프로그램이 상기 프로세서에 의해 수행될 경우, 상기 프로세서는,

[0031] 구동신호를 수신한 후, 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업됨으로써, 상기 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 낮추는 단계;

[0032] 상기 구동칩에 대해 정상적인 전원 공급을 지속적으로 유지하는 단계를 수행한다.

발명의 효과

[0033] 상기 디스플레이 파워 서플라이를 위한 제어 방법, 장치, 저장 매체 및 전자 장치에서, 구동신호를 수신한 후, 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시키도록 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시킨다. 구동칩의 전원은 구동칩의 스크린 바디로 출력하는 전압의 성능을 직접적으로 결정하고, 또한 전원이 파워업 될 때 변동 발생이 용이하므로, 구동칩의 파워업 상태를 개선하여, 구동칩에 의해 출력된 전압의 품질을 향상시켜, 스크린 바디에 블랙 화면이 나타날 확률을 낮춤으로써, 디스플레이 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0034] 본 발명의 실시예 또는 종래 기술의 기술적 방법을 보다 명확히 설명하기 위해, 이하에서 실시예 또는 종래 기술의 설명에 사용된 도면을 간단하게 설명하고, 이하 첨부된 도면은 단지 본 발명의 일부 실시예일 뿐이며, 당업자는 임의의 창조적인 작업이 없이 하기 도면에 따라 다른 도면을 얻을 수 있는 것으로 이해해야 한다.

도 1은 일 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 방법의 흐름도이다.

도 2는 도 1에 도시된 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 방법의 S100단계의 일 실시예의 흐름도이다.

도 3은 도 1에 도시된 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 방법의 S100단계의 다른 실시예의 흐름도이다.

도 4는 도 3에 도시된 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 방법에서, 구동칩의 하나의 구체적인 파워업 방법의 흐름도이다.

도 5는 다른 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 장치의 블록도이다.

도 6은 도 5에 도시된 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 장치의 파워업 제어 모듈의 일 실시예의 블록도이다.

도 7은 도 5에 도시된 실시예에 따른 디스플레이 파워 서플라이를 위한 제어 장치의 파워업 제어 모듈의 다른 실시예의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하, 첨부된 도면을 참조하여 본 발명의 이해를 돕기 위해 본 발명을 보다 상세히 설명한다. 본 발명의 바람직한 실시예가 도면에 도시되어 있다. 그러나, 본 발명은 많이 다양한 형태로 구현될 수 있으며, 여기에 기재된 실시예로 한정되지 않는다. 오히려, 이들 실시예는 본 발명은 개시된 내용에 대해 보다 완전히 이해될 수 있도

록 제공된다.

[0036] 달리 정의되지 않는 한, 본 명세서에서 사용된 모든 기술 용어 및 과학 용어는 본 발명이 속하는 기술분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 본 명세서에서 사용되는 용어는 구체적인 실시예를 설명하기 위한 것이며, 본 발명을 제한하는 것이 아니다. 본 명세서에 사용된 용어 "및/또는"는 하나 이상의 관련된 항목의 임의의 조합 및 모든 조합을 포함한다.

[0037] 본 발명의 실시예는 TFT형 디스플레이 스크린에 적용되는 디스플레이 파워 서플라이를 위한 제어 방법을 제공한다. TFT형 디스플레이 스크린은 전원칩, 구동칩 및 스크린 바디를 포함한다. 여기서, 스크린 바디는 박막 트랜지스터를 이용하여 픽셀을 제어한다. 스크린 바디는, 예를 들면, 픽셀 매트릭스, 행 구동 회로 및 열 구동 회로를 포함한다. 픽셀 매트릭스는 복수의 픽셀 및 복수의 픽셀 구동 회로를 포함하며, 한 픽셀씩은 하나의 픽셀 구동 회로에 의해 제어된다. 행 구동 회로는 행(스캔) 어드레스 버스를 통해 각 픽셀 구동회로로 스캔 신호를 전송한다. 열 구동기 회로는 열(데이터) 어드레스 버스를 통해 각 픽셀 구동회로로 데이터 신호를 전송한다. 구동칩은 스크린 바디를 제어하여 해당 이미지를 표시시키도록 구성된다. 구동칩은 행 구동회로 및 열 구동회로에 각각 전기적으로 연결되며, 전체 스크린의 데이터 처리, 전송 및 제어 신호 출력 등의 기능을 수행한다. 구동칩은 예를 들면, 단일칩 마이크로컴퓨터(또는 FPGA)와 주변 회로로 구성된다. 전원칩(Power IC) 은 구동칩에 전기를 공급하도록 구성된다. 본 실시예에 의해 제공된 디스플레이 파워 서플라이를 위한 제어 방법은 전원칩에 의해 수행될 수 있다.

[0038] 도 1을 참조하면, 본 실시예에 의해 제공된 디스플레이 파워 서플라이를 위한 제어 방법은 다음과 같은 내용을 포함한다.

[0039] S100단계: 구동신호를 수신한 후, 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업됨으로써, 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 감소시킨다.

[0040] 여기서, 구동신호는 예를 들어, 전원이 켜지거나 휴면이 해제된 후에 생성된 신호이다. 구동칩의 전원은 전원칩에서 구동칩으로 입력되는 전원을 의미한다. 구동칩에 의해 출력된 전압은, 예를 들면, 게이트 구동 포지티브 전압 VGH 및 게이트 구동 네거티브 전압 VGL을 포함한다. 구동칩에 의해 출력된 전압에 이상이 발생할 경우, 스크린 바디의 박막 트랜지스터가 비정상적으로 작동하여 스크린 바디에 블랙 화면이 나타난다.

[0041] 구동칩은, 예를 들면, 디지털 회로 및 아날로그 회로를 포함하며, 다음과 같이 설명된다.

[0042] 여기서, 디지털 회로는 예를 들어 입출력 인터페이스 및 타이밍 제어 모듈(즉, TCON 모듈)을 포함한다. 입출력 인터페이스에는 고속 병렬 버스 인터페이스 및 직렬 주변기기 인터페이스가 있다. 타이밍 제어 모듈은, 예를 들어, SPI 인터페이스 및 RGB 인터페이스에서의 데이터 처리 및 구동칩에서의 일부 모듈의 타이밍 제어와 같은 기능을 수행한다.

[0043] 아날로그 회로는 예를 들어 전원 관리 모듈 및 픽셀 구동 모듈을 포함한다. 여기서, 전원 관리 모듈은 구동칩 내의 각 부품 및 디스플레이 스크린의 스캔 신호에 대해 전압을 제공하며, 전원 관리 모듈은 예를 들어 기준 전압원, 차지 펌프 및 LDO (low dropout regulator, 저 드롭 아웃 레귤레이터)를 포함한다. 픽셀 구동 모듈은 예를 들어 소스 구동 모듈, 게이트 구동 모듈 및 감마(gamma) 보정 모듈을 포함한다. 여기서, 소스 구동 모듈은 스크린 바디 내의 열 구동 회로에 그레이 스케일 전압을 출력한다. 게이트 구동 모듈은 행 구동 회로에 스캔 신호(예를 들어, 게이트 구동 포지티브 전압 VGH 및 게이트 구동 네거티브 전압 VGL을 포함함)를 출력한다. 감마 보정 모듈은 소스 구동 모듈에 그레이 스케일 전압을 제공하도록 구성되며, 이진 코드와 그레이 스케일 전압 사이의 대응 관계의 변화는 감마 곡선을 조정함으로써 구현될 수있다.

[0044] 구동칩에서, 구동칩의 전원은 예를 들어, 상기 전원 관리 모듈의 파워서플라이 전압 VCI 및 디지털 회로의 파워 서플라이 전압을 포함한다. 전원은 파워업될 때 변동 발생이 용이하므로, 구동칩에 의해 출력된 전압을 비정상적으로 변동하게 되어, 디스플레이 스크린에 블랙 화면이 나타나며, 따라서 구동칩의 전원의 파워업 방법을 개선하여 수크린 바디에 블랙 화면이 발생할 확률을 어느 정도 저감할 수 있다.

[0045] S200단계: 구동칩에 대해 정상적으로 전원 공급을 지속적으로 유지한다.

[0046] S100단계을 수행한 후, 전원칩은 일반적인 요구 사항에 따라 구동칩에 대해 전기를 공급하여 TFT형 디스플레이 스크린이 정상적으로 작동하게 된다.

[0047] 요컨대, 상기 실시예에 의해 제공되는 디스플레이 파워 서플라이를 위한 제어 방법에서, 구동칩의 전원은 구동칩으로부터 스크린 바디로 출력되는 전압의 성능을 직접적으로 결정하고, 전원은 파워업될 때 변동 발생이 용이

하므로, 구동칩 전원의 파워업 상태를 개선하여 구동칩에 의해 출력된 신호의 품질을 개선시킬 수 있어, 스크린 바디에 블랙 화면을 나타내는 확률을 감소시키고, 디스플레이 스크린의 디스플레이 성능을 향상시킬 수 있다.

[0048] 일 실시예에서, 상기 구동칩은 전원 관리 모듈을 포함한다. 또한, 상기 S100단계는, 구동신호를 수신한 후, 전원 관리 모듈의 파워서플라이 전압을 제어하여 설정된 룰에 따라 파워업되어, 구동칩에 의해 출력된 게이트 구동 네거티브 전압 VGL이 비정상적으로 상승하는 현상을 발생할 확률을 감소시키는 것이다.

[0049] 여기서, 게이트 구동 네거티브 전압 VGL은 전원 관리 모듈의 파워서플라이 전압 VCI를 스텝다운 시켜 획득한다. 게이트 구동 네거티브 전압 VGL은 비정상적으로 상승되는 것은 게이트 구동 네거티브 전압 VGL이 정상 전압 범위보다 높다는 것을 의미한다. 예를 들어, 정상적인 상태에서, 게이트 구동 네거티브 전압 VGL의 범위는 (-7V, 0V)이며, 게이트 구동 네거티브 전압 VGL이 0.6V로 상승될 경우, 비정상적인 상승으로 간주된다.

[0050] 종래의 TFT형 디스플레이 스크린에서, 전원 관리 모듈의 파워서플라이 전압 VCI는 파워업된 후, 전압 변동이 정상 범위를 초과할 수 있는 경우가 발생할 수 있어, 게이트 구동 네거티브 전압 VGL은 비정상적으로 상승하게 되고, 이때 구동칩은 래치업(Latch Up) 현상을 나타낸다(즉, 구동칩에 의해 출력된 전압이 비정상적으로 높아져, 결과적으로 박막 트랜지스터는 비정상적으로 작동하게 된다). 게이트 구동 네거티브 전압 VGL의 박막 트랜지스터 작동에 대한 직접적인 제어로 인해, 전압에 이상이 발생할 경우, 박막 트랜지스터는 턴-온(turn-on)되어 블랙 화면을 나타낸다. 본 실시예에서, 전원 관리 모듈의 파워서플라이 전압 VCI의 파워업 상태를 개선함으로써, 예컨대, 리플 전류를 감소시켜 게이트 구동 네거티브 전압 VGL의 진폭을 감소시켜, 보다 높은 게이트 구동 네가티브 전압 VGL에 이상이 발생할 확률을 감소시킬 수 있다.

[0051] 구체적으로, S100단계의 전술한 구체적인 실시예는 다음 내용을 포함할 수 있으며,도 2를 참조한다.

[0052] 단S111계: 구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 1 레벨 전압까지 정상적으로 파워업된다.

[0053] 여기서, 제 1 레벨 전압은 전원 관리 모듈의 정상적인 파워서플라이 전압일 수 있으며, 예를 들어 2.5V 내지 4.8V이다. 선택적으로 제 1 레벨 전압은 3.3V이다.

[0054] S112단계: 제 1 기간을 거친 후 전원 관리 모듈의 파워서플라이 전압 VCI를 제어하여 제 2 레벨 전압으로 감소된다. 제 2 레벨 전압은 제 1 레벨 전압보다 낮다.

[0055] 여기서, 제 1 기간은 전원칩의 Transient Response (과도 응답) 특성과 관련된다. 과도 응답 시간은 짧을 수록 제 1 기간이 길어진다. 바람직하게는, 제 1 기간은 8ms 내지 12 ms이고, 예를 들어, 10 ms이다. 제 2 레벨 전압의 크기는, 적어도 게이트 구동 네거티브 전압 VGL이 스크린 상 블랙 화면을 초래하지 않도록 보장할 수 있는 크기이다. 제 2 레벨 전압은, 예를 들어 1V 내지 2.2V이다. 선택적으로, 제 2 레벨 전압은, 예를 들어 1.8V이며, 이 때 대응하는 게이트 구동 네가티브 전압 VGL은 0.4V 미만이다.

[0056] 구체적으로, S112단계에서 전원 관리 모듈에 제 2 레벨 전압을 제공하도록 전원칩은 차지 펌프 또는 스텝다운을 구현할 수 있는 다른 회로를 통해 제 1 레벨 전압을 스텝다운 시켜 제 2 레벨 전압을 생성한다.

[0057] S113단계: 제 2 기간을 거친 후, 전원 관리 모듈의 파워서플라이 전압 VCI을 제어하여 다시 제 1 레벨 전압으로 상승시킨다.

[0058] 여기서, 제 2 기간은 전원칩의 과도 응답 특성과 관련된다. 과도 응답 시간이 짧을수록 제 2 기간이 길어진다. 바람직하게, 제 2 기간은 8 ms 내지 12 ms 이며, 예를 들어 10 ms이다.

[0059] 구체적으로, 전원칩은 또한 차지 펌프 또는 스텝다운을 구현할 수 있는 다른 회로를 사용하여, 제 2 레벨 전압을 제 1 레벨 전압으로 다시 상승시킨 후, S113단계에서 전원 관리 모듈에 제 1 레벨 전압을 제공할 수 있다.

[0060] 도 2에 도시된 상기 구체적인 실시예에서, 전원 관리 모듈의 파워서플라이 전압 VCI가 정상적으로 파워업된 후, 파워서플라이 전압을 감소시켜 래치-업(Latch Up) 전류를 낮추므로, 게이트 구동 네거티브 전압 VGL은 전원 관리 모듈의 파워서플라이 전압 VCI가 제 2 레벨 전압까지 낮아져 래치-업 현상을 해제 가능할 때까지 감소되도록 하고, 그 후, 전원 관리 모듈의 파워서플라이 전압 VCI를 다시 제 1 레벨 전압으로 상승시킴으로써, 구동칩이 정상적으로 작동되도록 한다.

[0061] 따라서, 전술된 구체적인 실시예는 전원 관리 모듈의 파워서플라이 전압 VCI의 파워 업 방식(즉, 하이 레벨 전압-로우 레벨 전압-하이 레벨 전압을 사용)을 최적화하는 모드를 통해, 스크린 바디에 블랙 화면이 나타날 확률을 감소시킬 수 있다.

[0062] 다른 실시예에서, 전술한 S100단계는 구체적으로 다른 방식을 통해 구동칩에 의해 출력된 전압에 이상이 발생할 확률을 낮춘다. 전술한 구동칩은 상기 전원 관리 모듈 및 상기 디지털 회로를 포함한다. 또한, 전술한 S100단계는 구체적으로 하기 내용을 포함하며, 도 3을 참조한다.

[0063] S121단계: 구동신호를 수신한 후, 전원 관리 모듈의 파워서플라이 전압 VCI를 제어하여 파워업 시킨다.

[0064] S122단계: 제 3 기간을 거친 후, 디지털 회로의 파워서플라이 전압VCI를 제어하여 파워업 시킨다.

[0065] 이 실시예에서, 전원 관리 모듈의 파워서플라이 전압 VCI 및 디지털 회로의 파워서플라이 전압의 파워업 전후 순서를 조절하며, 다시 말해, 우선 전원 관리 모듈의 파워서플라이 전압 VCI를 제어하여 파워업 시키고, 제 3 기간을 거친 후, 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시킴으로써, 디지털 회로는 VCI와 관련된 회로 (예를 들어: 전원 관리 모듈 내의 스텝-업/스텝-다운 회로)의 간섭 (예를 들어, 전자기 간섭)으로부터 보호될 수 있고, 디지털 회로의 정상적인 작동을 보장한다. 디지털 회로는 구동칩의 핵심 제어 회로로서, 구동칩 작동의 신뢰성이 향상될 수 있고, 구동칩에 의해 출력되는 전압에 이상이 발생할 확률을 감소시켜, 디스플레이 스크린에 블랙 화면이 나타날 확률을 감소시킬 수 있다. 구체적으로, 제 3 기간은 90ms 내지 110ms이며, 예를 들어 100ms이다.

[0066] 구체적으로, 디지털 회로의 파워서플라이 전압은, 예를 들면 입출력 인터페이스의 전압 VDDIO이다. 또한, 타이밍 제어 모듈의 파워서플라이 전압 DVDD는 입출력 인터페이스의 전압VDDIO를 스텝다운 시켜 획득한다. 이 때, 입출력 인터페이스의 전압 VDDIO를 제어하여 파워업 시킨 후, 간섭이 없을 경우, 타이밍 제어 모듈의 파워서플라이 전압이 설정된 전압 역치(예를 들면, 1.4V)보다 낮도록 확보할 수 있으며, 즉 타이밍 제어 모듈의 정상적인 작동을 보장한다.

[0067] 구체적으로, 전술한 S122단계는 구체적으로 구동칩내에서 전원 관리 모듈의 파워서플라이 전압 VCI를 점진적으로 스텝다운 시킨 후, 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 것이다.

[0068] 여기서, 전원 관리 모듈의 파워서플라이 전압 VCI를 점진적으로 스텝다운 시키는 것은 전원 관리 모듈의 파워서플라이 전압 VCI를 순차적으로 점차 하나 이상의 전압으로 감소하는 것이다. 또한, 전원 관리 모듈의 파워서플라이 전압 VCI에 대한 전체적인 스텝다운으로 인해 경과한 시간이 제 3 기간에 도달할 경우, 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시킨다. 구체적으로, 전원 관리 모듈의 파워서플라이 전압의 스텝다운 프로세스는 차지 펌프 또는 스텝다운을 구현할 수 있는 다른 회로에 의해 구현될 수 있다.

[0069] 구체적으로, 전술한 구동칩 내에 전원 관리 모듈의 파워서플라이 전압 VCI를 점진적으로 스텝다운 시킨 후, 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키는 단계는, 구동칩 내에 전원 관리 모듈의 파워서플라이 전압 VCI를 제 1 레벨 전압으로 낮추고, 제 1 레벨 전압을 제 2 레벨 전압으로 낮춘 후, 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시킬 수 있다. 여기서, 제 2 레벨 전압은, 예를 들어 전원 관리 모듈에 의해 사용되는 기준 전압인 VREF이다.

[0070] 여기서, 전원 관리 모듈의 파워서플라이 전압 VCI를 제 1 레벨 전압으로 낮춘 후, 제 1 레벨 전압을 제 2 레벨 전압까지 낮추는 과정에서 총 소비한 시간은 바로 전술한 제 3 기간이다. 예를 들어, 구동칩 내의 차지 펌프의 상승 에지, 하강 에지의 지속 시간 또는 타이밍 제어 모듈에 의해 수행되는 명령 총수 등을 조절하는 방식에 따라 전원 관리 모듈의 파워서플라이 전압 VCI를 제어하여 제 1 전압으로 낮추고, 제1 전압을 제 2 전압까지 낮추는 과정에서 경과한 시간은 전술한 제 3 기간이다.

[0071] 구체적으로, 제 1 전압은 VCL이며, 즉, 전원 관리 모듈 내의 차지 펌프에 의해 생성된 하나의 전압이다. 선택적으로, 전원 관리 모듈의 파워서플라이 전압 VCI는 차지 펌프를 통해 제 1 전압까지 낮추고, 제 1 전압에서 제 2 전압으로 감소시킬 수 있다.

[0072] 또한, 도 3에 도시된 실시예에 따르면, 구동칩 내의 각 전압의 파워업 상태에 대해 도 4를 참조한다. 여기서, 전원 관리 모듈의 파워서플라이 전압 VCI가 파워업 된 후, 한편으로 전원 관리 모듈의 파워서플라이 전압 VCI는 자체 전압 크기를 유지하면서, 전압 AVDD(즉, 감마 보정 모듈 및 전원 관리 모듈 내의 스텝업/스텝다운 회로의 파워서플라이 전압)와 서로 협동하여, 차지 펌프 또는 스텝다운을 구현할 수 있는 다른 회로에 의해 전압의 스텝업을 거쳐 게이트 구동 포지티브 전압인 VGH를 산생한다. VGH의 크기는, 예를 들어 AVDD+VCI, 2AVDD, 2AVDD + VCI 또는 3AVDD이다. 다른 한편, 전원 관리 모듈의 파워서플라이 전압 VCI은 차지 펌프 또는 스텝다운을 구현할 수 있는 다른 회로에 의해 스텝다운 되어, 제 1 전압 VCL까지 감소된다. 여기서, 전원 관리 모듈의 파워서플라이 전압 VCI가 자체 전압 크기를 유지하는 과정 및 전원 관리 모듈의 파워서플라이 전압 VCI가 제 1 전압 VCL로

감소되는 과정은 동시에 진행된다. 전원 관리 모듈의 파워서플라이 전압 VCI는 제 1 전압 VCL로 낮아진 후, 한편, 제 1 전압 VCL은 전압 AVDD와 협동하여 스텝다운 됨으로써, 게이트 구동 네거티브 전압 VGL을 산생하고, 다른 한편으로, 제 1 전압 VCL은 제 2 전압 (예를 들어, 전술한 VREF)를 얻기 위해 추가로 스텝다운 된다. 도 4에서, 점선으로 표시된 블록 내에서 VCI가 파워업 되면서 VREF까지 스텝다운 시킨는 과정에서 경과한 시간이 전술한 제 3 기간이다. 전압이 VREF까지 감소된 후(즉, 제 3 기간을 거친 후), 디지털 회로의 파워서플라이 전압은 파워업 된다.

[0073] 도 1-3은 본 발명의 실시예에 따른 방법의 개략적인 흐름도이다. 도 1-3의 흐름도에서의 각 단계가 화살표로 표시된 바와 같이 순차적으로 표시되지만, 이들 단계는 반드시 화살표로 표시된 순서에 따라 수행될 필요는 없다는 것을 이해해야 한다. 본 명세서에서 명시적으로 언급된 경우를 제외하고, 이들 단계의 수행은 엄격하게 제한되지 않으며 다른 순서에 따라 수행될 수 있다. 또한, 도 1-3의 단계의 적어도 일부는 복수의 서브 단계 또는 스테이지를 포함할 수 있으며, 이들 서브 단계 또는 스테이지는 반드시 동시에 행해지는 것은 아니고, 다른 시간에 수행될 수 있고, 그 수행 순서도 반드시 순차적으로 수행 될 필요는 없고, 다른 단계 또는 다른 단계의 서브 단계 또는 스테이지의 적어도 일부와 교대 또는 교차적으로 수행될 수 있다.

[0074] 다른 실시예는 TFT형 디스플레이 스크린에 적용된 디스플레이 파워 서플라이를 위한 제어 장치를 제공한다. 상기 TFT형 디스플레이 스크린은 구동칩 및 스크린 바디를 포함한다. 상기 구동칩은 상기 스크린 바디를 제어하여 해당 이미지를 표지하도록 구성되며, 상기 스크린 바디는 박막 트랜지스터를 이용하여 픽셀을 제어한다. 디스플레이 파워 서플라이를 위한 제어 장치는 하기 내용을 포함하며, 도5를 참조한다.

[0075] 파워업 제어 모듈(100)은, 구동신호를 수신한 후, 상기 구동칩에 의해 출력되는 전압에 이상이 발생할 확률을 감소시키도록 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업 시키도록 구성된다.

[0076] 정상 전원 공급 모듈(200)은, 상기 구동칩에 대해 정상적으로 전원 공급을 지속적으로 유지하도록 구성된다.

[0077] 일 실시예에서, 상기 구동칩은 전원 관리 모듈을 포함한다. 또는, 파워업 제어 모듈(100)은, 구동신호를 수신한 후, 전원 관리 모듈의 파워서플라이 전압을 제어하여 설정된 룰에 따라 파워업 시킴으로써, 구동칩에 의해 출력되는 게이트 구동 네거티브 전압의 비정상적인 상승 확률을 감소시키도록 구성된다.

[0078] 일 실시예에서, 파워업 제어 모듈(100)은 하기 내용을 포함하며, 도 6을 참조한다:

[0079] 제 1 파워업 유닛(110)은 구동신호를 수신한 후, 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 1 레벨 전압으로 정상적으로 파워업되도록 구성된다.

[0080] 제 2 파워업 유닛(120)은 제 1 기간을 거친 후 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 2 레벨 전압으로 스텝다운되도록 구성된다. 상기 제 2 레벨 전압은 상기 제 1 레벨 전압보다 낮다.

[0081] 제 3 파워업 유닛(130)은 제 2 기간을 거친 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 다시 상기 제 1 레벨 전압으로 상승시키도록 구성된다.

[0082] 일 실시예에서, 상기 제 1 레벨 전압은 2.5V 내지 4.8V이다. 바람직하게는, 상기 제 1 기간은 8 ms 내지 12 ms이다. 바람직하게는, 상기 제 1 기간은 10ms이다. 바람직하게는, 상기 제 2 기간은 8 ms 내지 12 ms이다. 바람직하게, 상기 제 2 기간은 10ms이다. 일 실시예에서, 상기 제 2 레벨 전압은 1V 내지 2.2V이다.

[0083] 일 실시예에서, 상기 구동칩은 전원 관리 모듈 및 디지털 회로를 포함한다. 또한, 파워업 제어 모듈(100)은 하기 내용을 포함하며, 도 7을 참조한다:

[0084] 파워업 유닛(140)은 구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 파워업되도록 구성된다.

[0085] 디지털 파워업 유닛(150)은 제 3 기간을 거친 후, 상기 전원 관리 모듈의 파워 서플라이 전압을 제어하여 파워업 되도록 구성된다. 상기 제 3 기간은 90ms 내지 110ms이다. 바람직하게는, 상기 제 3 기간은 100 ms이다.

[0086] 일 실시예에서, 디지털 파워업 유닛(150)은, 구동칩 내에 전원 관리 모듈의 파워 서플라이 전압을 점진적으로 스텝다운 시킨 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 되도록 구성된다. 바람직하게는, 디지털 전원 파워업 유닛(150)은, 상기 구동칩 내에 상기 전원 관리 모듈의 파워서플라이 전압을 제 1 전압으로 낮추고, 상기 제 1 전압을 제 2 전압으로 낮춘 후, 상기 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시키도록 구성된다. 여기서, 상기 제 2 전압은 상기 전원 관리 모듈에 의해 사용된 기준 전압이다. 바람직하게는, 상기 제 1 전압은 상기 전원 관리 모듈 내의 차지 펌프에 의해 생성되는 전압이다.

[0087] 본 실시예에 의해 제공되는 디스플레이 파워 서플라이를 위한 제어 장치는 전술한 실시예의 디스플레이 파워 서플라이를 위한 제어 방법에 대응해서, 여기에서 다시 상세하게 설명하지 않는다.

[0088] 다른 실시예는 저장 매체를 제공한다. 저장 매체는 자기 디스크, 광디스크, 읽기전용 메모리 (Read-Only Memory, ROM) 등일 수 있다. 이 저장 매체는 TFT형 디스플레이 스크린에 적용된다. 상기 TFT형 디스플레이 스크린은 전원칩, 구동칩 및 스크린 바디를 포함한다. 상기 저장 매체는 상기 파워칩 내에 장착되고, 이 저장 매체는 프로그램을 내장하고, 이 프로그램이 파워칩 내의 프로세서에 의해 수행될 때, 다음의 단계들이 구현된다:

[0089] 사작 신호를 수신한 후, 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업됨으로써, 상기 구동칩에 의해 출력되는 전압에 이상이 발생할 확률을 낮추는 단계;

[0090] 구동칩에 대해 정상적으로 전원 공급을 지속적으로 유지하는 단계.

[0091] 본 실시예에서, 프로세서에 의해 수행되는 단계는 전술한 실시예의 디스플레이 파워 서플라이를 위한 제어 방법에 대응해서, 여기에서 다시 상세하게 설명하지 않는다.

[0092] 다른 실시예는 휴대폰, 컴퓨터 등과 같은 전자 장치를 제공한다. 이 전자 장치는 전원칩, 구동칩 및 스크린 바디를 포함한다. 상기 전원칩은 메모리와 프로세서를 포함하며, 상기 메모리에 프로그램을 저장하고, 상기 프로그램은 상기 프로세서에 의해 수행될 때, 상기 프로세서는,

[0093] 사작 신호를 수신한 후, 상기 구동칩의 전원을 제어하여 설정된 룰에 따라 파워업됨으로써, 상기 구동칩에 의해 출력되는 전압에 이상이 발생할 확률을 낮추는 단계;

[0094] 구동칩에 대해 정상적으로 전원 공급을 지속적으로 유지하는 단계를 수행한다.

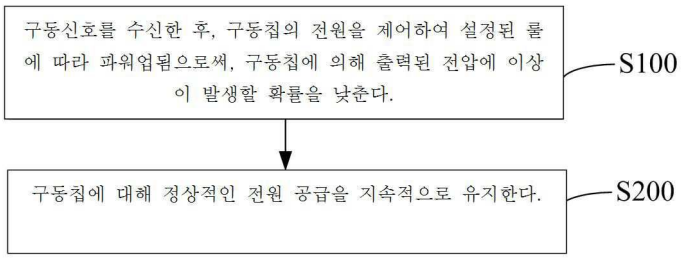
[0095] 본 실시예에서, 프로세서에 의해 수행되는 단계들은 전술한 실시예의 디스플레이 파워 서플라이를 위한 제어 방법에 대응해서, 여기에서 다시 상세하게 설명하지 않는다.

[0096] 전술한 실시예의 각 기술적 특징은 임의로 조합될 수 있으며, 설명의 간략화를 위해, 상기 실시예에서 기술적인 특징의 모든 가능한 조합은 기술되지 않았지만, 이들 기술적 특징의 조합에 있어 모순이 없는 한, 본 명세서에 기재된 범위로 간주되는 것으로 이해해야 한다.

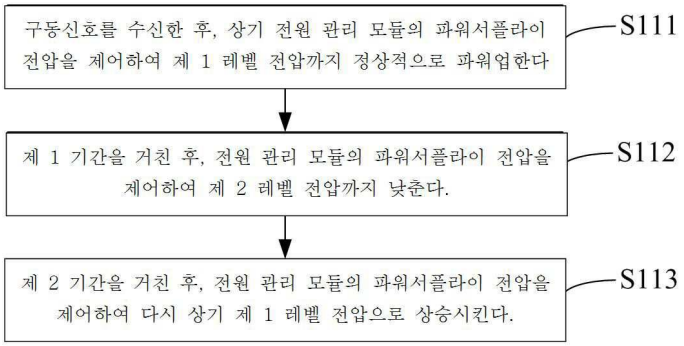
[0097] 전술한 실시예는 본 발명의 몇몇 실시예를 설명하기 위한 것일 뿐이며, 그 설명은 보다 구체적이고 상세하지만, 본 발명의 범위를 제한하는 것으로 해석되지 않는다. 당업자는 본 발명의 사상 및 범위를 벗어나지 않으면서 이루어진 다양한 변화 및 수정이본 발명의 청구범위에 속한다. 그러므로, 본 발명의 범위는 첨부된 청구 범위에 의해 결정된다.

도면

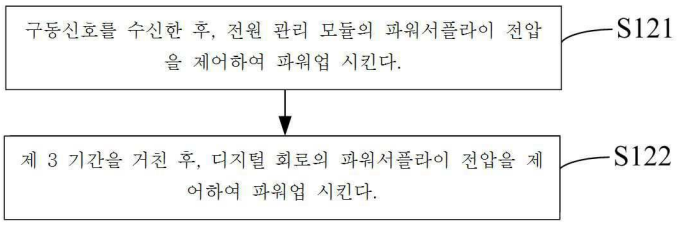
도면1



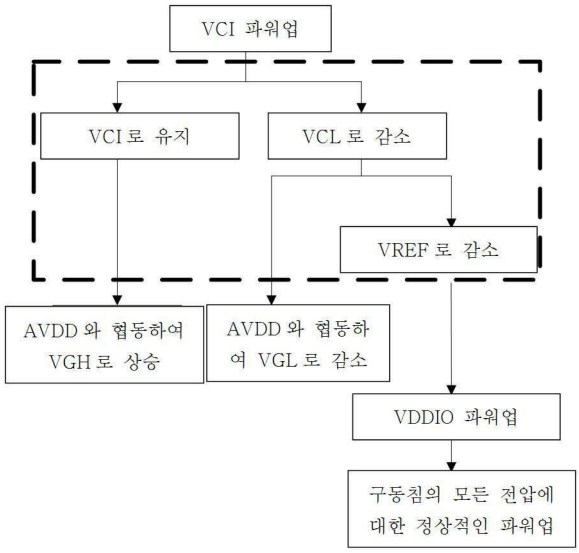
도면2


구동신호를 수신한 후, 상기 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 1 레벨 전압까지 정상적으로 파워업한다
S111
제 1 기간을 거친 후, 전원 관리 모듈의 파워서플라이 전압을 제어하여 제 2 레벨 전압까지 낮춘다.
S112
제 2 기간을 거친 후, 전원 관리 모듈의 파워서플라이 전압을 제어하여 다시 상기 제 1 레벨 전압으로 상승시킨다.
S113

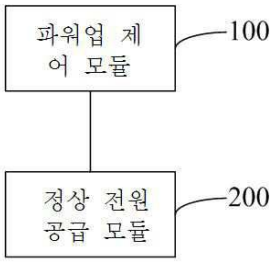
도면3


구동신호를 수신한 후, 전원 관리 모듈의 파워서플라이 전압을 제어하여 파워업 시킨다.
S121
제 3 기간을 거친 후, 디지털 회로의 파워서플라이 전압을 제어하여 파워업 시킨다.
S122

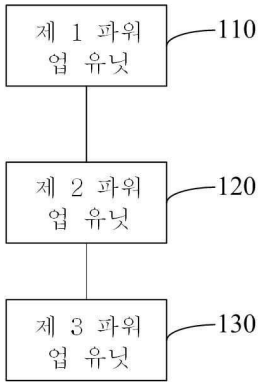
도면4


VCI 파워업
VCI 로 유지
VCL 로 감소
VREF 로 감소
AVDD 와 협동하여 VGH 로 상승
AVDD 와 협동하여 VGL 로 감소
VDDIO 파워업
구동칩의 모든 전압에 대한 정상적인 파워업

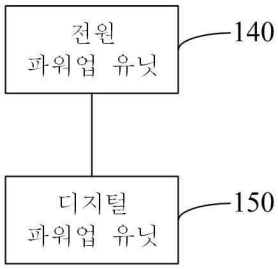
도면5


파워업 제어 모듈
100
정상 전원 공급 모듈
200

도면6


제 1 파워업 유닛
110
제 2 파워업 유닛
120
제 3 파워업 유닛
130

도면7


전원 파워업 유닛
140
디지털 파워업 유닛
150