

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5745254号
(P5745254)

(45) 発行日 平成27年7月8日(2015.7.8)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int.Cl.	F 1			
HO 1 L 21/8242	(2006.01)	HO 1 L	27/10	3 2 1
HO 1 L 27/108	(2006.01)	HO 1 L	29/78	6 1 3 B
HO 1 L 29/786	(2006.01)	HO 1 L	29/78	6 1 8 B
HO 1 L 21/8247	(2006.01)	HO 1 L	29/78	6 1 8 G
HO 1 L 27/115	(2006.01)	HO 1 L	27/10	4 3 4

請求項の数 4 (全 43 頁) 最終頁に続く

(21) 出願番号	特願2010-251009 (P2010-251009)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成22年11月9日 (2010.11.9)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2011-129892 (P2011-129892A)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成23年6月30日 (2011.6.30)	(72) 発明者	加藤 清 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成25年10月18日 (2013.10.18)		
(31) 優先権主張番号	特願2009-264552 (P2009-264552)		
(32) 優先日	平成21年11月20日 (2009.11.20)		
(33) 優先権主張国	日本国 (JP)		
		審査官	小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ソース線と、ビット線と、信号線と、ワード線と、を有し、
前記ソース線と、前記ビット線との間には、複数のメモリセルが並列に電気的に接続され、

前記複数のメモリセルの一は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのチャネル形成領域は、半導体材料を含む基板に設けられ、
前記第2のトランジスタのチャネル形成領域は、インジウム、ガリウム及び亜鉛を有する酸化物半導体を有し、

前記第1のトランジスタのゲート電極は、前記第2のトランジスタのソース電極またはドレイン電極の一方と電気的に接続され、

前記第1のトランジスタのゲート電極は、前記容量素子の一方の電極と電気的に接続され、

前記ソース線は、前記第1のトランジスタのソース電極またはドレイン電極の一方と電気的に接続され、

前記ビット線は、前記第1のトランジスタのソース電極またはドレイン電極の他方と電気的に接続され、

前記信号線は、前記第2のトランジスタのゲート電極と電気的に接続され、

前記ワード線は、前記第2のトランジスタのソース電極またはドレイン電極の他方と電

10

20

気的に接続され、

前記ワード線は、前記容量素子の他方の電極と電気的に接続され、

前記第2のトランジスタは、ドレン電圧が+1Vまたは+10Vの場合であって、ゲート電圧が-5Vから-20Vの範囲では、オフ電流が 1×10^{-13} A以下であることを持つとする半導体装置。

【請求項2】

請求項1において、

前記第2のトランジスタは、前記半導体材料を含む基板の上方に設けられていることを特徴とする半導体装置。

【請求項3】

請求項1または2において、

前記半導体材料を含む基板は、単結晶半導体基板またはS O I基板であることを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、

前記半導体材料はシリコンであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) がある。D R A M は、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、D R A M では、情報を読み出すとキャパシタの電荷は失われることになるため、データの読み出しの後、再度情報を記憶するには、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはS R A M (S t a t i c R a n d o m A c c e s s M e m o r y) がある。S R A M は、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはD R A Mより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、D R A M と変わることはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利

10

20

30

40

50

点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には向きである。

【0008】

また、フローティングゲートに電荷を保持させ、または、その電荷を除去するためには、高い電圧が必要である。さらに、電荷の保持、または除去のためには比較的長い時間をして、書き込み、消去の高速化が容易ではないという問題もある。

10

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的のーとする。

20

【課題を解決するための手段】

【0011】

本発明の一態様は、酸化物半導体を用いて形成されるトランジスタと、それ以外の材料を用いて形成されるトランジスタとの積層構造に係る半導体装置である。例えば、次のような構成を採用することができる。

【0012】

本発明の一態様は、ソース線と、ビット線と、信号線と、ワード線と、を有し、ソース線と、ビット線との間には、複数のメモリセルが並列に接続され、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方は、電気的に接続され、ソース線と、第1のソース電極または第1のドレイン電極の一方とは、電気的に接続され、ビット線と、第1のソース電極または第1のドレイン電極の他方とは、電気的に接続され、信号線と、第2のゲート電極とは、電気的に接続され、ワード線と、第2のソース電極または第2のドレイン電極の他方と、容量素子の電極の他方とは電気的に接続された半導体装置である。

30

【0013】

本発明の一態様は、ソース線と、ビット線と、信号線と、ワード線と、を有し、ソース線と、ビット線との間には、複数のメモリセルが並列に接続され、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方は、電気的に接続され、ソース線と、第1のソース電極または第1のドレイン電極の一方とは、電気的に接続され、ビット線と、第1のソース電極または第1のドレイン電極の他方とは、電気的に接続され、信号線と、第2のゲート電極とは、電気的に接続され、ワード線と、第2のソース電極または第2のドレイン電極の他方と、容量素子の電極の他方とは電気的に接続された半導体装置である。

40

50

とは、電気的に接続され、信号線と、第2のソース電極または第2のドレイン電極の他方とは、電気的に接続され、ワード線と、第2のゲート電極と、容量素子の電極の他方とは電気的に接続された半導体装置である。

【0014】

上記において、第1のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電気的に接続する第1のソース電極および第1のドレイン電極と、を有する。

【0015】

また、上記において、第2のトランジスタは、半導体材料を含む基板上の第2のゲート電極と、第2のゲート電極上の第2のゲート絶縁層と、第2のゲート絶縁層上の酸化物半導体層と、酸化物半導体層と電気的に接続する第2のソース電極および第2のドレイン電極と、を有する。

【0016】

また、上記において、半導体材料を含む基板としては、単結晶半導体基板またはSOI基板を採用するのが好適である。特に、半導体材料はシリコンとするのが好適である。

【0017】

また、上記において、酸化物半導体層は、In-Ga-Zn-O系の酸化物半導体材料を含んでなることが好適である。特に、酸化物半導体層は、 $In_2Ga_2ZnO_7$ の結晶を含んでなることが好適である。さらに、酸化物半導体層の水素濃度は 5×10^{-9} ato m s / cm³以下とすることが好適である。また、第2のトランジスタのオフ電流は 1×10^{-13} A以下とすることが好適である。

【0018】

また、上記において、第2のトランジスタは、第1のトランジスタと重畳する領域に設けられた構成とすることができます。

【0019】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上の第1のゲート電極」の表現であれば、ゲート絶縁層と第1のゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0020】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合などをも含む。

【0021】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0022】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0023】

例えば、「何らかの電気的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0024】

10

20

30

40

50

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、非半導体基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものも、広く「SOI基板」に含まれる。さらに、本明細書等において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。

10

【0025】

また、本明細書等において、酸化物半導体以外の半導体材料とは、酸化物半導体以外の半導体材料であればどのような半導体材料であっても良い。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、等がある。他に、有機半導体材料などを用いることもできる。なお、半導体装置などを構成する材料について特に言及しない場合は、酸化物半導体材料または酸化物半導体以外の半導体材料のどちらを用いてもよい。

【発明の効果】

【0026】

本発明の一態様では、下部に酸化物半導体以外の材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置が提供される。

20

【0027】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0028】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば従来の不揮発性メモリのようにフローティング(浮遊)ゲートへの電子の注入と引き抜きを行う必要がないため、ゲート絶縁層の劣化といった劣化が全く生じることがない。すなわち、本実施形態に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

30

【0029】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0030】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

40

【図面の簡単な説明】

【0031】

【図1】半導体装置を説明するための回路図。

【図2】半導体装置を説明するための断面図および平面図。

【図3】半導体装置の作製工程を説明するための断面図。

【図4】半導体装置の作製工程を説明するための断面図。

【図5】半導体装置の作製工程を説明するための断面図。

【図6】酸化物半導体を用いたトランジスタの断面図。

50

【図7】図6のA-A'断面におけるエネルギー・バンド図(模式図)。

【図8】(A)ゲート(GE1)に正の電圧($V_G > 0$)が与えられた状態を示し、(B)ゲート(GE1)に負の電圧($V_G < 0$)が与えられた状態を示す図。

【図9】真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(ϕ_A)の関係を示す図。

【図10】C-V特性を示す図。

【図11】 Vg と $(1/C)^2$ との関係を示す図。

【図12】半導体装置を説明するための断面図。

【図13】半導体装置を説明するための断面図。

【図14】半導体装置を説明するための断面図。

10

【図15】半導体装置を説明するための断面図。

【図16】記憶素子を説明するための回路図。

【図17】半導体装置を説明するための回路図。

【図18】読み出し回路を説明するための回路図。

【図19】記憶素子を説明するための回路図。

【図20】電子機器を説明するための図。

【発明を実施するための形態】

【0032】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0033】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。よって、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0034】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

30

【0035】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図1乃至図15を参照して説明する。

【0036】

<半導体装置の回路構成>

図1には、半導体装置の回路構成の一例を示す。当該半導体装置は、酸化物半導体以外の材料を用いたトランジスタ160と酸化物半導体を用いたトランジスタ162によって構成される。

【0037】

ここで、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線(1st Line:ソース線とも呼ぶ)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ)とトランジスタ160のドレイン電極とは、電気的に接続されている。そして、第3の配線(3rd Line:第1信号線とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line:第2信号線とも呼ぶ)と、トランジスタ162のゲート電極とは、電気的に接続されている。

40

【0038】

酸化物半導体以外の材料を用いたトランジスタ160は十分な高速動作が可能なため、これを用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、

50

酸化物半導体を用いたトランジスタ 162 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 162 をオフ状態とすることで、トランジスタ 160 のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0039】

ゲート電極の電位を長時間にわたって保持することが可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0040】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ 162 がオン状態となる電位として、トランジスタ 162 をオン状態とする。これにより、第3の配線の電位が、トランジスタ 160 のゲート電極に与えられる（書き込み）。その後、第4の配線の電位を、トランジスタ 162 がオフ状態となる電位として、トランジスタ 162 をオフ状態とすることにより、トランジスタ 160 のゲート電極の電位が保持される（保持）。 10

【0041】

トランジスタ 162 のオフ電流は極めて小さいから、トランジスタ 160 のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ 160 のゲート電極の電位がトランジスタ 160 をオン状態とする電位であれば、トランジスタ 160 のオン状態が長時間にわたって保持されることになる。また、トランジスタ 160 のゲート電極の電位がトランジスタ 160 をオフ状態とする電位であれば、トランジスタ 160 のオフ状態が長時間にわたって保持される。 20

【0042】

次に、情報の読み出しについて説明する。上述のように、トランジスタ 160 のオン状態またはオフ状態が保持された状態において、第1の配線に所定の電位（低電位）が与えられると、トランジスタ 160 のオン状態またはオフ状態に応じて、第2の配線の電位は異なる値をとる。例えば、トランジスタ 160 がオン状態の場合には、第1の配線の電位の影響を受けて、第2の配線の電位が低下することになる。逆に、トランジスタ 160 がオフ状態の場合には、第2の配線の電位は変化しない。 30

【0043】

このように、情報が保持された状態において、第1の配線の電位と第2の配線の電位とを比較することで、情報を読み出すことができる。 30

【0044】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ 162 がオン状態となる電位として、トランジスタ 162 をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ 160 のゲート電極に与えられる。その後、第4の配線の電位を、トランジスタ 162 がオフ状態となる電位として、トランジスタ 162 をオフ状態とすることにより、新たな情報が保持された状態となる。 40

【0045】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。 40

【0046】

なお、上記説明は、電子をキャリアとする n 型トランジスタ（n チャネル型トランジスタ）を用いる場合についてのものであるが、n 型トランジスタに代えて、正孔をキャリアとする p 型トランジスタを用いることができる。 40

【0047】

＜半導体装置の平面構成および断面構成＞

図 2 は、上記半導体装置の構成の一例である。図 2 (A) には、半導体装置の断面図を、図 2 (B) には、半導体装置の平面図を、それぞれ示す。ここで、図 2 (A) は、図 2 (50

B) の線 A 1 - A 2 および線 B 1 - B 2 における断面に相当する。図 2 (A) および図 2 (B) に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 を有するものである。なお、トランジスタ 160 およびトランジスタ 162 は、いずれも n 型トランジスタとして説明するが、p 型トランジスタを採用しても良い。特に、トランジスタ 160 は、p 型とすることが容易である。

【0048】

トランジスタ 160 は、半導体材料を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 114 および高濃度不純物領域 120 (これらをあわせて単に不純物領域とも呼ぶ) と、チャネル形成領域 116 上に設けられたゲート絶縁層 108a と、ゲート絶縁層 108a 上に設けられたゲート電極 110a と、不純物領域 114 と電気的に接続するソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を有する。

【0049】

ここで、ゲート電極 110a の側面にはサイドウォール絶縁層 118 が設けられている。また、基板 100 の、平面図で見てサイドウォール絶縁層 118 と重ならない領域には、高濃度不純物領域 120 を有し、高濃度不純物領域 120 上には金属化合物領域 124 が存在する。また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、金属化合物領域 124 と電気的に接続されている。つまり、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b は、金属化合物領域 124 を介して高濃度不純物領域 120 および不純物領域 114 と電気的に接続されている。また、ゲート電極 110a には、ソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b と同様に設けられた電極 130c が電気的に接続されている。

【0050】

トランジスタ 162 は、層間絶縁層 128 上に設けられたゲート電極 136d と、ゲート電極 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 上に設けられ、酸化物半導体層 140 と電気的に接続されているソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、を有する。

【0051】

ここで、ゲート電極 136d は、層間絶縁層 128 上に形成された絶縁層 132 に、埋め込むように設けられている。また、ゲート電極 136d と同様に、ソース電極またはドレイン電極 130a に接して電極 136a が、ソース電極またはドレイン電極 130b に接して電極 136b が、電極 130c に接して電極 136c が、それぞれ形成されている。

【0052】

また、トランジスタ 162 の上には、酸化物半導体層 140 の一部と接するように、保護絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b にまで達する開口が設けられており、当該開口を通じて、電極 150d、電極 150e が、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b に接して形成されている。また、電極 150d、電極 150e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136a、電極 136b、電極 136c に接する電極 150a、電極 150b、電極 150c が形成されている。

【0053】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 140 の水素濃度は 5×10

10

20

30

40

50

10^9 atoms/cm³ 以下、望ましくは 5×10^{18} atoms/cm³ 以下、より望ましくは 5×10^{17} atoms/cm³ 以下とする。また、十分な酸素を含有することにより、酸素欠乏に起因する欠陥が低減されたものであることが望ましい。水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 では、キャリア濃度が 1×10^{12} / cm³ 未満、望ましくは、 1×10^{11} / cm³ 以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。例えば、ドレイン電圧 V_d が +1V または +10V の場合であって、ゲート電圧 V_g が -5V から -20V の範囲では、オフ電流は 1×10^{-13} A 以下である。このように、水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 を適用し、トランジスタ 162 のオフ電流を低減することにより、新たな構成の半導体装置を実現することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。

【0054】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154a、電極 154b、電極 154c、電極 154d が設けられている。ここで、電極 154a は電極 150a と接しており、電極 154b は電極 150b と接しており、電極 154c は電極 150c および電極 150d と接しており、電極 154d は電極 150e と接している。

【0055】

つまり、図 2 に示される半導体装置では、トランジスタ 160 のゲート電極 110a と、トランジスタ 162 のソース電極またはドレイン電極 142a とが、電極 130c、電極 136c、電極 150c、電極 154c および電極 150d を介して電気的に接続されている。

【0056】

<半導体装置の作製方法>

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図 3 を参照して説明し、その後、上部のトランジスタ 162 の作製方法について図 4 および図 5 を参照して説明する。

【0057】

<下部のトランジスタの作製方法>

まず、半導体材料を含む基板 100 を用意する(図 3 (A) 参照)。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0058】

基板 100 上には、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する(図 3 (A) 参照)。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素や p型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミ

10

20

30

40

50

ニウム、ガリウムなどを用いることができる。

【0059】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域（露出している領域）の基板100の一部を除去する。これにより分離された半導体領域104が形成される（図3（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0060】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する（図3（B）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMPなどの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

10

【0061】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0062】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、ヘリウム、アルゴン、クリプトン、キセノンなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

20

【0063】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピノコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

30

【0064】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極110aを形成する（図3（C）参照）。

【0065】

次に、ゲート電極110aを覆う絶縁層112を形成する（図3（C）参照）。そして、半導体領域104にリン（P）やヒ素（As）などを添加して、浅い接合深さの不純物領域114を形成する（図3（C）参照）。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。なお、不純物領域114の形成により、半導体領域104のゲート絶縁層108a下部には、チャネル形成領域116が形成される（図3（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

40

【0066】

次に、サイドウォール絶縁層118を形成する（図3（D）参照）。サイドウォール絶縁

50

層 118 は、絶縁層 112 を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッティング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層 112 を部分的にエッティングして、ゲート電極 110a の上面と、不純物領域 114 の上面を露出させると良い。

【 0067 】

次に、ゲート電極 110a、不純物領域 114、サイドウォール絶縁層 118 等を覆うように、絶縁層を形成する。そして、不純物領域 114 と接する領域に、リン (P) やヒ素 (As) などを添加して、高濃度不純物領域 120 を形成する (図 3 (E) 参照)。その後、上記絶縁層を除去し、ゲート電極 110a、サイドウォール絶縁層 118、高濃度不純物領域 120 等を覆うように金属層 122 を形成する (図 3 (E) 参照)。当該金属層 122 は、真空蒸着法やスパッタリング法、スピンドルコート法などの各種成膜方法を用いて形成することができる。金属層 122 は、半導体領域 104 を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【 0068 】

次に、熱処理を施して、上記金属層 122 と半導体材料とを反応させる。これにより、高濃度不純物領域 120 に接する金属化合物領域 124 が形成される (図 3 (F) 参照)。なお、ゲート電極 110a として多結晶シリコンなどを用いる場合には、ゲート電極 110a の金属層 122 と接触する部分にも、金属化合物領域が形成されることになる。

【 0069 】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後には、金属層 122 は除去する。

【 0070 】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 126、層間絶縁層 128 を形成する (図 3 (G) 参照)。層間絶縁層 126 や層間絶縁層 128 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 126 や層間絶縁層 128 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 128 の形成後には、その表面を、CMP やエッティング処理などによって平坦化しておくことが望ましい。

【 0071 】

その後、上記層間絶縁層に、金属化合物領域 124 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を形成する (図 3 (H) 参照)。ソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッティング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【 0072 】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン膜、チタン膜、窒化チタン膜などを除去すると共に、その表面の平坦性

10

20

30

40

50

を向上させることができる。このように、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0073】

なお、ここでは、金属化合物領域 124 と接触するソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b のみを示しているが、この工程において、ゲート電極 110a と接触する電極（例えば、図 2 (A) における電極 130c）などをあわせて形成することができる。ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。10

【0074】

以上により、半導体材料を含む基板 100 を用いたトランジスタ 160 が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0075】

<上部のトランジスタの作製方法>

次に、図 4 および図 5 を用いて、層間絶縁層 128 上にトランジスタ 162 を作製する工程について説明する。なお、図 4 および図 5 は、層間絶縁層 128 上の各種電極や、トランジスタ 162 などの作製工程を示すものであるから、トランジスタ 162 の下部に存在するトランジスタ 160 等については省略している。20

【0076】

まず、層間絶縁層 128、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b、電極 130c 上に絶縁層 132 を形成する（図 4 (A) 参照）。絶縁層 132 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0077】

次に、絶縁層 132 に対し、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b、および、電極 130c にまで達する開口を形成する。この際、後にゲート電極 136d が形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層 134 を形成する（図 4 (B) 参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することができる。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 134 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 134 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。30

【0078】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここではソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b、電極 130c など）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ

10

20

30

40

50

法により銅膜を形成してもよい。

【0079】

導電層134を形成した後には、エッチング処理やCMPといった方法を用いて導電層134の一部を除去し、絶縁層132を露出させて、電極136a、電極136b、電極136c、ゲート電極136dを形成する(図4(C)参照)。なお、上記導電層134の一部を除去して電極136a、電極136b、電極136c、ゲート電極136dを形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

10

【0080】

次に、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dを覆うように、ゲート絶縁層138を形成する(図4(D)参照)。ゲート絶縁層138は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層138は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層138は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン(SiH₄)、酸素、窒素を用いたプラズマCVD法により、酸化窒化珪素でなるゲート絶縁層138を形成することができる。ゲート絶縁層138の厚さは特に限定されないが、例えば、10nm以上500nm以下とすることができる。積層構造の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上の膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とすると好適である。

20

【0081】

なお、不純物を除去することによりi型化または実質的にi型化された酸化物半導体(高純度化された酸化物半導体)は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層138には、高品質化が要求されることになる。

【0082】

例えば、μ波(2.45GHz)を用いた高密度プラズマCVD法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層138を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

30

【0083】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマCVD法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層138としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

40

【0084】

さらに、温度85、電界強度 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験(BT試験)においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界(B:バイアス)と高温(T:温度)により切断され、生成された未結合手がしきい値電圧(Vth)のシフトを誘発することとなる。

【0085】

これに対して、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT試験に対しても安定なトランジスタを得ることが可能である。

50

【0086】

次いで、ゲート絶縁層138上に、酸化物半導体層を形成し、マスクを用いたエッティングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層140を形成する(図4(E)参照)。

【0087】

酸化物半導体層としては、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、SiO₂を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

10

【0088】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、In、Ga、およびZnを含む酸化物半導体成膜用ターゲット(組成比として、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 [mole比]、または、In : Ga : Zn = 1 : 1 : 0.5 [atom比])などを用いることもできる。また、In、Ga、およびZnを含む酸化物半導体成膜用ターゲットとして、In : Ga : Zn = 1 : 1 : 1 [atom比]、またはIn : Ga : Zn = 1 : 1 : 2 [atom比]の組成比を有するターゲットなどを用いても良い。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上(例えば99.9%)である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

20

【0089】

酸化物半導体層の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度数ppm程度(望ましくは濃度数ppb程度)にまで除去された高純度ガスを用いるのが好適である。

30

【0090】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

40

【0091】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素流量比率100%)雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚ばらつきも小さくなるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは

50

異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

【0092】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素雰囲気、ヘリウム雰囲気、酸素雰囲気などを用いても良い。

10

【0093】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

【0094】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（Cl₂）、塩化硼素（BCl₃）、塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF₄）、弗化硫黄（SF₆）、弗化窒素（NF₃）、トリフルオロメタン（CHF₃）など）、臭化水素（HBr）、酸素（O₂）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いても良い。

20

【0095】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるよう、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）は適宜設定する。

【0096】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水=5：2：2）などを用いることができる。また、ITO07N（関東化学社製）などのエッチング液を用いてもよい。

30

【0097】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300以上750以下、好ましくは400以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水や水素の再混入が行われないようにする。

40

【0098】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性

50

気体が用いられる。

【0099】

例えば、第1の熱処理として、650～700の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

【0100】

なお、第1の熱処理は、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行なうことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

10

【0101】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0102】

また、非晶質の酸化物半導体（例えば、酸化物半導体層の表面）に結晶（粒径1nm以上20nm以下、代表的には2nm以上4nm以下）が混在する酸化物半導体層となる場合もある。

20

【0103】

また、非晶質の表面に結晶層を設けることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有するIn₂Ga₂ZnO₇の結晶粒が配向した結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

【0104】

より具体的には、例えば、In₂Ga₂ZnO₇のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

30

【0105】

なお、上述の結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

【0106】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行なうこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

40

【0107】

なお、上記熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極またはドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行なうことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0108】

50

次に、酸化物半導体層 140 に接するように、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b を形成する（図 4 (F) 参照）。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b は、酸化物半導体層 140 を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0109】

導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された 2 層構造、チタン膜とアルミニウム膜とチタン膜とが積層された 3 層構造などが挙げられる。

【0110】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 ($In_2O_3-SnO_2$ 、ITO と略記する場合がある)、酸化インジウム酸化亜鉛合金 (In_2O_3-ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0111】

ここで、エッチングに用いるマスク形成時の露光には、紫外線や KrF レーザ光や ArF レーザ光を用いるのが好適である。

【0112】

トランジスタのチャネル長 (L) は、ソース電極またはドレイン電極 142a と、ソース電極またはドレイン電極 142b との間隔によって決定される。なお、チャネル長 (L) が 25 nm 未満の露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線 (Extreme Ultraviolet) を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長 (L) を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化できる。さらにオフ電流値が極めて小さいため、消費電力が大きくならずに済む。

【0113】

なお、導電層のエッチングの際には、酸化物半導体層 140 が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によつては、当該工程において、酸化物半導体層 140 の一部がエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。

【0114】

また、酸化物半導体層 140 とソース電極またはドレイン電極 142a の間や、酸化物半導体層 140 とソース電極またはドレイン電極 142b の間には、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極またはドレイン電極 142a やソース電極またはドレイン電極 142b を形成するための金属層は、連続して形成すること（連続成膜）が可能である。酸化物導電層はソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができため、トランジスタの高速動作が実現される。

【0115】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工

10

20

30

40

50

程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状（階段状）となり、アッシングによりさらに形状を変形させることができるために、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

【0116】

なお、上述の工程の後には、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスなど、酸素を含有するガスを用いたプラズマ処理を行ってもよい。これによって酸化物半導体層に酸素を供給し、酸素欠乏に起因する欠陥を低減することが可能である。

【0117】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する（図4（G）参照）。

【0118】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、少なくとも1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気とするのが好適である。

【0119】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じ、酸化物半導体層のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層144はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【0120】

また、処理室内の残留水分を除去しつつ保護絶縁層144を形成することが好ましい。酸化物半導体層140および保護絶縁層144に水素、水、水酸基または水素化物が含まれないようにするためである。

【0121】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H₂O）など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層144に含まれる不純物の濃度を低減できる。

【0122】

保護絶縁層144を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、濃度数ppm程度（望ましくは、濃度数ppb程度）にまで除去された高純度ガスを用いることが好ましい。

【0123】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うのが望ましい。例えば、窒素雰囲気下で250、1時間の第2の熱処理を行う。第2の熱処理を行うと、トランジスタの電気的特性のばらつきを軽減することができる。また、第2の熱処理によって、酸化物半導体層に酸素を供給することが可能である。

10

20

30

40

50

【0124】

また、大気中、100以上200以下、1時間以上30時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第2の熱処理に代えて行っても良いし、第2の熱処理の前後などに行っても良い。

【0125】

次に、保護絶縁層144上に、層間絶縁層146を形成する(図5(A)参照)。層間絶縁層146はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層146の形成後には、その表面を、CMPやエッチングなどの方法によって平坦化しておくことが望ましい。

10

【0126】

次に、層間絶縁層146、保護絶縁層144、およびゲート絶縁層138に対し、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bにまで達する開口を形成し、当該開口に埋め込むように導電層148を形成する(図5(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッティングのいずれを用いても良いが、微細加工の観点からは、ドライエッティングを用いることが好適である。導電層148の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層148の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

20

【0127】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極(ここでは、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bなど)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

30

【0128】

導電層148を形成した後には、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150d、電極150eを形成する(図5(C)参照)。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150d、電極150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150d、電極150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【0129】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150d、電極150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154c、電極154dを形成する(図5(D)参照)。当該工程は、電極150a等を形成する場合と同様で

50

あるから、詳細は省略する。

【0130】

上述のような方法でトランジスタ162を作製した場合、酸化物半導体層140の水素濃度は 5×10^{-9} atoms/cm³以下となり、また、トランジスタ162のオフ電流は 1×10^{-13} A以下となる。このような、水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層140を適用することで、優れた特性のトランジスタ162を得ることができる。また、下部に酸化物半導体以外の材料を用いたトランジスタ160を有し、上部に酸化物半導体を用いたトランジスタ162を有する優れた特性の半導体装置を作製することができる。

【0131】

なお、酸化物半導体において、物性研究は多くなされているが、これらの研究は、局在準位そのものを十分に減らすという思想を含まない。開示する発明の一態様では、局在準位の原因たり得る水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、局在準位そのものを十分に減らすという思想に立脚するものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

【0132】

なお、水素や水などを除去する際には、同時に酸素が除去されてしまうことがある。このため、酸素欠乏により発生する金属の未結合手に対して酸素を供給し、酸素欠陥による局在準位を減少させることにより、酸化物半導体をさらに高純度化(i型化)するのは好適である。たとえば、チャネル形成領域に密接して酸素過剰の酸化膜を形成し、200以上400以下、代表的には250程度の温度条件での熱処理を行うことで、当該酸化膜から酸素を供給して、酸素欠陥による局在準位を減少させることが可能である。また、第2の熱処理中に、不活性ガスを、酸素を含むガスに切り替えるても良い。第2の熱処理に続けて、酸素雰囲気、または水素や水を十分に除去した雰囲気における降温過程を経ることで、酸化物半導体中に酸素を供給することも可能である。

【0133】

酸化物半導体の特性を悪化させる要因は、過剰な水素による伝導帯下0.1~0.2 eVの浅い準位や、酸素欠損による深い準位、などに起因するものと考えられる。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給するという技術思想は正しいものであろう。

【0134】

開示する発明では酸化物半導体を高純度化しているため、酸化物半導体中のキャリア密度は十分小さい。

【0135】

さらに、フェルミ・ディラック分布則に従えば、エネルギーギャップが3.05~3.15 eVである酸化物半導体の真性キャリア密度は 10^{-7} /cm³となり、真性キャリア密度が 1.45×10^{10} /cm³であるシリコンと比べてはるかに小さい。

【0136】

そのため、少数キャリアであるホールも極めて少なく、IGFET(Insulated Gate Field Effect Transistor)における逆方向バイアスでのリーク電流は100 aA/μm以下、好ましくは10 aA/μm以下、さらに好ましくは1 aA/μm以下を期待することができる。なお、ここで1 aA/μmという表記は、トランジスタのチャネル幅1 μm当たり1 aA(1×10^{-18} A)の電流が流れることを示す。

【0137】

もっとも、エネルギーギャップが3 eV以上のワイドギャップ半導体としてSiC(3.26 eV)、GaN(3.42 eV)などが知られおり、同様なトランジスタ特性が得られることが期待される。しかし、これらの半導体材料は1500以上のプロセス温度を必要としており、薄膜化は実質的に不可能である。また、シリコン集積回路の上に三次元の積層化をしようとしても、プロセス温度が高すぎるため不可能である。他方、酸化物半

10

20

30

40

50

導体は、室温以上400以下の加熱スパッタによる薄膜形成が可能であり、脱水化・脱水素化（水素や水を除去すること）及び加酸化（酸素を供給すること）を450以上700以下で実現することができるため、シリコン集積回路の上に三次元的な積層構造を形成することができる。

【0138】

なお、酸化物半導体は一般にn型とされているが、開示する発明の一態様では、水や水素などの不純物を除去すると共に、酸化物半導体の構成元素である酸素を供給することでi型化を実現する。この点、シリコンなどのように不純物を添加してのi型化ではなく、従来にない技術思想を含むものといえる。

【0139】

<酸化物半導体を用いたトランジスタの電導機構>

ここで、酸化物半導体を用いたトランジスタの電導機構につき、図6乃至図9を用いて説明する。なお、以下の説明では、理解の容易のため理想的な状況を仮定しており、そのすべてが現実の様子を反映しているとは限らない。また、以下の説明はあくまでも一考察に過ぎず、発明の有効性に影響を与えるものではないことを付記する。

【0140】

図6は、酸化物半導体を用いたトランジスタ（薄膜トランジスタ）の断面図である。ゲート電極（GE1）上にゲート絶縁層（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）およびドレイン電極（D）が設けられ、ソース電極（S）およびドレイン電極（D）を覆うように絶縁層が設けられている。

【0141】

図7には、図6のA-A'断面におけるエネルギー・バンド図（模式図）を示す。また、図7中の黒丸（）は電子を示し、白丸（）は正孔を示し、それぞれは電荷（-q, +q）を有している。ドレイン電極に正の電圧（ $V_D > 0$ ）を印加した上で、破線はゲート電極に電圧を印加しない場合（ $V_G = 0$ ）、実線はゲート電極に正の電圧（ $V_G > 0$ ）を印加する場合を示す。ゲート電極に電圧を印加しない場合は高いポテンシャル障壁のために電極から酸化物半導体側へキャリア（電子）が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加するとポテンシャル障壁が低下し、電流を流すオン状態を示す。

【0142】

図8には、図6におけるB-B'の断面におけるエネルギー・バンド図（模式図）を示す。図8（A）は、ゲート電極（GE1）に正の電圧（ $V_G > 0$ ）が与えられた状態であり、ソース電極とドレイン電極との間にキャリア（電子）が流れるオン状態を示している。また、図8（B）は、ゲート電極（GE1）に負の電圧（ $V_G < 0$ ）が印加された状態であり、オフ状態（少数キャリアは流れない状態）である場合を示す。

【0143】

図9は、真空準位と金属の仕事関数（ ϕ_M ）、酸化物半導体の電子親和力（ ϕ ）の関係を示す。

【0144】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体はn型であり、そのフェルミ準位（ E_F ）は、バンドギャップ中央に位置する真性フェルミ準位（ E_i ）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなりn型化する要因の一つであることが知られている。

【0145】

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより真性（i型）とし、または真性とせんとしたものである。すなわち、不純物元素を添加してi型化するのではなく、水素や水等の不純物を極力除去することにより、高純度化されたi型（真性半導体）またはそれに近づけることを特徴と

10

20

30

40

50

している。これにより、フェルミ準位 (E_F) は真性フェルミ準位 (E_i) と同程度とすることができる。

【0146】

酸化物半導体のバンドギャップ (E_g) は 3.15 eV で、電子親和力 () は 4.3 V と言われている。ソース電極およびドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 () とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0147】

このとき電子は、図 8 (A) で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近 (酸化物半導体のエネルギー的に安定な最低部) を移動する。

10

【0148】

また、図 8 (B) に示すように、ゲート電極 (GE1) に負の電位が与えられると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0149】

このように酸化物半導体の主成分以外の元素 (不純物元素) が極力含まれないように高純度化することにより、真性 (i型) とし、または実質的に真性となるため、ゲート絶縁層との界面特性が顕在化する。そのため、ゲート絶縁層には、酸化物半導体と良好な界面を形成できるものが要求される。具体的には、例えば、VHF 帯～マイクロ波帯の電源周波数で生成される高密度プラズマを用いた CVD 法で作製される絶縁層や、スパッタリング法で作製される絶縁層などを用いることが好ましい。

20

【0150】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁層との界面を良好なものとすることにより、例えば、トランジスタのチャネル幅 (W) が $1 \times 10^4 \mu\text{m}$ 、チャネル長 (L) が $3 \mu\text{m}$ の場合には、 10^{-13} A 以下のオフ電流、 $0.1 \text{ V} / \text{dec}$ のサブスレッショルドスイング値 (S 値) (ゲート絶縁層の厚さ : 100 nm) が実現され得る

【0151】

このように、酸化物半導体の主成分以外の元素 (不純物元素) が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができます。

【0152】

<キャリア濃度>

30

開示する発明に係る技術思想は、酸化物半導体層におけるキャリア濃度を十分に小さくし、できるだけ真性 (i型) に近づけようとするものである。以下、キャリア濃度の求め方、および、実際に測定したキャリア濃度に関し、図 10 および図 11 を参照して説明する。

【0153】

まず、キャリア濃度の求め方について簡単に説明する。キャリア濃度は、MOS キャパシタを作製し、MOS キャパシタの C - V 測定の結果 (C - V 特性) を評価することで求めることが可能である。

【0154】

より具体的には、MOS キャパシタのゲート電圧 V_g と容量 C との関係をプロットした C - V 特性を取得し、当該 C - V 特性からゲート電圧 V_g と $(1/C)^2$ との関係を表すグラフを取得し、当該グラフにおいて弱反転領域での $(1/C)^2$ の微分値を求め、当該微分値を式 (1) に代入することによりキャリア濃度 N_d の大きさが求められる。なお、式 (1) において、 e は電気素量、 ϵ_0 は真空の誘電率、 ϵ は酸化物半導体の比誘電率である。

40

【0155】

【数1】

$$N_d = - \left(\frac{2}{e\epsilon_0\epsilon} \right) \left/ \frac{d(1/C)^2}{dV} \right. \quad (1)$$

【0156】

次に、上記の方法を用いて実際に測定したキャリア濃度について説明する。測定には、ガラス基板上にチタン膜を300nmの厚さで形成し、チタン膜上に窒化チタン膜を100nmの厚さで形成し、窒化チタン膜上に、In-Ga-Zn-O系の酸化物半導体を用いた酸化物半導体層を2μmの厚さで形成し、酸化物半導体層上に銀膜を300nmの厚さで形成した試料(MOSキャパシタ)を用いた。なお、酸化物半導体層は、In、Ga、およびZnを含む酸化物半導体成膜用ターゲット(In : Ga : Zn = 1 : 1 : 0.5 [atom比])を用いたスパッタリング法により形成した。また、酸化物半導体層の形成雰囲気は、アルゴンと酸素の混合雰囲気(流量比は、Ar : O₂ = 30 (sccm) : 15 (sccm))とした。

【0157】

図10にはC-V特性を、図11にはVgと(1/C)²との関係を、それぞれ示す。図11の弱反転領域における(1/C)²の微分値から式(1)を用いて得られたキャリア濃度は、6.0 × 10¹⁰ / cm³であった。

【0158】

このように、i型化または実質的にi型化された酸化物半導体(例えば、キャリア濃度が1 × 10¹² / cm³未満、望ましくは、1 × 10¹¹ / cm³以下)を用いることで、極めて優れたオフ電流特性のトランジスタを得ることが可能である。

【0159】

<変形例>

図12乃至図15には、半導体装置の構成の変形例を示す。なお、以下では、変形例として、トランジスタ162の構成が上記とは異なるものについて説明する。つまり、トランジスタ160の構成は上記と同様である。

【0160】

図12には、酸化物半導体層140の下にゲート電極136dを有し、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下部表面の一部において酸化物半導体層140と接する構成のトランジスタ162を有する例を示す。なお、平面の構造は、断面に対応して適宜変更すればよいから、ここでは、断面についてのみ示すこととする。

【0161】

図12に示す構成と図2に示す構成の大きな相違点として、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと、酸化物半導体層140との接続の位置がある。つまり、図2に示す構成では、酸化物半導体層140の上部表面の一部において、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと接するのに対して、図12に示す構成では、酸化物半導体層140の下部表面の一部において、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと接する。そして、この接触の相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2と同様である。

【0162】

具体的には、層間絶縁層128上に設けられたゲート電極136dと、ゲート電極136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上部表面の一部に接する酸化物半導体層140と、を有する。

【0163】

10

20

30

40

50

ここで、ゲート電極 136d は、層間絶縁層 128 上に形成された絶縁層 132 に、埋め込むように設けられている。また、ゲート電極 136d と同様に、ソース電極またはドレイン電極 130a に接して電極 136a が、ソース電極またはドレイン電極 130b に接して電極 136b が、電極 130c に接して電極 136c が、それぞれ形成されている。

【0164】

また、トランジスタ 162 の上には、酸化物半導体層 140 の一部と接するように、保護絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b にまで達する開口が設けられており、当該開口を通じて、電極 150d、電極 150e が、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b に接して形成されている。また、電極 150d、電極 150e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136a、電極 136b、電極 136c に接する電極 150a、電極 150b、電極 150c が形成されている。

【0165】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 140 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、十分な酸素を含有することにより、酸素欠乏に起因する欠陥が低減されたものであることが望ましい。水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 以下となる。このように、i 型化または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。例えば、ドレイン電圧 Vd が +1V または +10V の場合であって、ゲート電圧 Vg が -5V から -20V の範囲では、オフ電流は $1 \times 10^{-13} \text{ A}$ 以下である。このように、水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 を適用し、トランジスタ 162 のオフ電流を低減することにより、新たな構成の半導体装置を実現することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。

【0166】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154a、電極 154b、電極 154c、電極 154d が設けられている。ここで、電極 154a は電極 150a と接しており、電極 154b は電極 150b と接しており、電極 154c は電極 150c および電極 150d と接しており、電極 154d は電極 150e と接している。

【0167】

図 13 は、酸化物半導体層 140 の上にゲート電極 136d を有する構成の例である。ここで、図 13 (A) は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の下部表面の一部において酸化物半導体層 140 と接する構成の例であり、図 13 (B) は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の上部表面の一部において酸化物半導体層 140 と接する構成の例である。

【0168】

図 2 や図 12 に示す構成と図 13 に示す構成の大きな相違点は、酸化物半導体層 140 の上にゲート電極 136d を有する点である。また、図 13 (A) に示す構成と図 13 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の下部表面の一部または上部表面の一部のいずれにおいて接触するか、という点である。そして、これらの相違に起因して

10

20

30

40

50

、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2などと同様である。

【0169】

具体的には、図13(A)では、層間絶縁層128上に設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上部表面の一部に接する酸化物半導体層140と、酸化物半導体層140上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極136dと、を有する。

【0170】

また、図13(B)では、層間絶縁層128上に設けられた酸化物半導体層140と、酸化物半導体層140の上部表面の一部に接するように設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、酸化物半導体層140、ソース電極またはドレイン電極142a、および、ソース電極またはドレイン電極142b上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極136dと、を有する。

【0171】

なお、図13(A)に示す構成では、図2に示す構成などと比較して、例えば、電極150aや、電極154aなどの構成要素が省略される場合がある。また、図13(B)に示す構成では、図2に示す構成などと比較して、例えば、電極136aや、保護絶縁層144などの構成要素が省略される場合がある。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図2などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

【0172】

図14は、素子のサイズが比較的大きい場合であって、酸化物半導体層140の下にゲート電極136dを有する構成の例である。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極136dなどを形成することが可能である。なお、ここでは図示しないが、トランジスタ160についても、同様に作製することが可能である。

【0173】

図14(A)に示す構成と図14(B)に示す構成の大きな相違点は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下部表面の一部または上部表面の一部のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2などと同様である。

【0174】

具体的には、図14(A)では、層間絶縁層128上に設けられたゲート電極136dと、ゲート電極136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上部表面の一部に接する酸化物半導体層140と、を有する。

【0175】

また、図14(B)では、層間絶縁層128上に設けられたゲート電極136dと、ゲート電極136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上のゲート電極136dと重畳する領域に設けられた酸化物半導体層140と、酸化物半導体層140の上部表面の一部に接するように設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、を有する。

【0176】

なお、図14に示す構成においても、図2に示す構成などと比較して、構成要素が省略さ

10

20

30

40

50

れる場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0177】

図15は、素子のサイズが比較的大きい場合であって、酸化物半導体層140の上にゲート電極136dを有する構成の例である。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極136dなどを形成することが可能である。なお、ここでは図示しないが、トランジスタ160についても、同様に作製することが可能である。

【0178】

図15(A)に示す構成と図15(B)に示す構成の大きな相違点は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下部表面の一部または上部表面の一部のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2などと同様である。

10

【0179】

具体的には、図15(A)では、層間絶縁層128上に設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上部表面の一部に接する酸化物半導体層140と、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、酸化物半導体層140上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域に設けられたゲート電極136dと、を有する。

20

【0180】

また、図15(B)では、層間絶縁層128上に設けられた酸化物半導体層140と、酸化物半導体層140の上部表面の一部に接するように設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、酸化物半導体層140上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域に設けられたゲート電極136dと、を有する。

30

【0181】

なお、図15に示す構成においても、図2に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0182】

以上に示したように、開示する発明の一態様によって、新たな構成の半導体装置が実現される。本実施の形態では、トランジスタ160とトランジスタ162を積層して形成する例について説明したが、半導体装置の構成はこれに限られるものではない。また、本実施の形態では、トランジスタ160とトランジスタ162のチャネル長方向が互いに垂直となる例を説明したが、トランジスタ160とトランジスタ162の位置関係などはこれに限られるものではない。さらに、トランジスタ160とトランジスタ162とを重畳して設けても良い。

40

【0183】

また、本実施の形態では理解の簡単のため、最小記憶単位(1ビット)の半導体装置について説明したが、半導体装置の構成はこれに限られるものではない。複数の半導体装置を適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記半導体装置を複数用いて、NAND型やNOR型の半導体装置を構成することが可能である。配線の構成も図1に限定されず、適宜変更することができる。

【0184】

本実施の形態に係る半導体装置は、トランジスタ162の低オフ電流特性により、極めて長時間にわたり情報を保持することができる。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮

50

発性の半導体装置として用いることが可能である。

【0185】

また、トランジスタ162のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速な動作も容易に実現しうる。また、フラッシュメモリなどにおいて必要とされる情報を消去するための動作が不要であるというメリットもある。

【0186】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

10

【0187】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0188】

(実施の形態2)

本実施の形態では、メモリセルの回路構成およびその動作、メモリセルを用いた半導体装置の回路構成およびその動作について説明する。

【0189】

メモリセルの構成

半導体装置が有するメモリセルの回路図の一例を図16に示す。図16に示すメモリセル200は、ソース線SL、ビット線BL、信号線S1と、ワード線WLと、トランジスタ201(第1のトランジスタ)と、トランジスタ202(第2のトランジスタ)と、容量素子203とから構成されている。トランジスタ201は、酸化物半導体以外の材料を用いて形成されており、トランジスタ202は酸化物半導体を用いて形成されている。

20

【0190】

ここで、トランジスタ201のゲート電極と、トランジスタ202のソース電極またはドレイン電極の一方と、容量素子203の電極の一方とは、電気的に接続されている。また、ソース線SLと、トランジスタ201のソース電極またはドレイン電極の一方とは、電気的に接続され、ビット線BLと、トランジスタ201のソース電極またはドレイン電極の他方とは、電気的に接続され、信号線S1と、トランジスタ202のゲート電極とは、電気的に接続され、ワード線WLと、トランジスタ202のソース電極またはドレイン電極の他方と、容量素子203の電極の他方とは、電気的に接続されている。

30

【0191】

メモリセルの動作

次に、メモリセルの動作について具体的に説明する。

【0192】

メモリセル200への書き込みを行う場合は、ソース線SLの電位をV0(任意の電位、例えば0V)、ビット線BLの電位をV0、信号線S1の電位をV1(任意の電位、例えば2V)とする。このとき、トランジスタ202はオン状態となる。

40

【0193】

この状態で、ワード線WLの電位VWLを所定の電位とすることにより、データの書き込みが行われる。例えば、データ"1"を書き込む場合には、ワード線WLの電位をVw_1とし、データ"0"を書き込む場合には、ワード線WLの電位をVw_0とする。なお、書き込み終了にあたっては、ワード線WLの電位が変化する前に、信号線S1の電位をV0として、トランジスタ202をオフ状態にする。

【0194】

トランジスタ201のゲート電極に接続されるノード(以下、ノードA)には、書き込み時のワード線WLの電位に応じた電荷QAが蓄積され、これによってデータが格納されることになる。ここで、トランジスタ202のオフ電流が極めて小さい、あるいは実質0であることから、書き込まれたデータは長時間にわたって保持される。

50

【0195】

メモリセル200の読み出しあり、ワード線WLの電位VWLを所定の電位とすることにより行われる。例えば、メモリセル200の読み出しを行う場合は、ソース線SLの電位をV0、ワード線WLの電位をVr_1、信号線S1の電位をV0とし、ビット線BLに接続されている読み出し回路を動作状態とする。一方、メモリセル200の読み出しありない場合には、ワード線WLの電位をVr_0とする。このとき、トランジスタ202は、オフ状態である。

【0196】

次に、書き込みの際のワード線WLの電位Vw_0、Vw_1、および、読み出しの際のワード線WLの電位Vr_0、Vr_1の決定方法について説明する。

10

【0197】

読み出しあり、例えは、メモリセル200の抵抗状態の違いを測定することにより行う。メモリセル200の読み出しありを行う場合には、上述のようにワード線WLの電位をVr_1とする。この状態で、メモリセル200にデータ"1"が書き込まれている場合にはトランジスタ201がオン状態となり、メモリセル200にデータ"0"が書き込まれている場合にはトランジスタ201がオフ状態となることが望ましい。

【0198】

トランジスタ201の状態を決めるノードAの電位VAは、トランジスタ201のゲート-ソース(ドレイン)間の容量C1と、容量素子203の容量C2に依存する。VAは、書き込み時のワード線WLの電位VWL(書)、及び、読み出し時のワード線の電位VWL(読)を用いて、次のように表すことができる。

20

$$VA = (C1 \cdot VWL(\text{書}) + C2 \cdot VWL(\text{読})) / (C1 + C2)$$

【0199】

読み出しが選択状態にあるメモリセル200においては、VWL(読) = Vr_1であり、読み出しが非選択状態にあるメモリセル200においては、VWL(読) = Vr_0である。また、データ"1"書き込み時はVWL(書) = Vw_1であり、データ"0"書き込み時はVWL(書) = Vw_0である。つまり、各状態におけるノードAの電位は、次のように表すことができる。

読み出しが選択状態、データ"1"

$$VA = (C1 \cdot Vw_1 + C2 \cdot Vr_1) / (C1 + C2)$$

30

読み出しが選択状態、データ"0"

$$VA = (C1 \cdot Vw_0 + C2 \cdot Vr_1) / (C1 + C2)$$

読み出しが非選択状態、データ"1"

$$VA = (C1 \cdot Vw_1 + C2 \cdot Vr_0) / (C1 + C2)$$

読み出しが非選択状態、データ"0"

$$VA = (C1 \cdot Vw_0 + C2 \cdot Vr_0) / (C1 + C2)$$

【0200】

読み出しが選択状態にある場合であって、データ"1"が書き込まれている場合には、トランジスタ201はオン状態となる必要があるため、ノードAの電位VAはトランジスタ201のしきい値電圧Vthを上回ることが条件となる。つまり、以下の式を満たすことが望ましい。

40

$$VA = (C1 \cdot Vw_1 + C2 \cdot Vr_1) / (C1 + C2) > Vth$$

【0201】

読み出しが選択状態にある場合であって、データ"0"が書き込まれている場合には、トランジスタ201はオフ状態となる必要があるため、ノードAの電位VAはトランジスタ201のしきい値電圧Vthを下回ることが条件となる。つまり、以下の式を満たすことが望ましい。

$$VA = (C1 \cdot Vw_0 + C2 \cdot Vr_1) / (C1 + C2) < Vth$$

【0202】

読み出しが非選択状態にある場合には、データ"1"またはデータ"0"のいずれが書き

50

込まれている場合であっても、トランジスタ201はオフ状態となる必要があるため、ノードAの電位V_Aはトランジスタ201のしきい値電圧V_{th}を下回ることが条件となる。つまり、以下の式を満たすことが望ましい。

$$V_A - (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_0}) / (C_1 + C_2) < V_{th}$$

$$V_A - (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_0}) / (C_1 + C_2) < V_{th}$$

【0203】

上述の関係を満たすようにV_{w_0}、V_{w_1}、V_{r_0}、V_{r_1}、などを決定することで、メモリセル200を動作させることができる。例えば、トランジスタ201のしきい値電圧V_{th} = 1.7(V)、C₁ / C₂ = 1の場合には、V₀ = 0(V)、V₁ = 2(V)、V_{w_0} = 0(V)、V_{w_1} = 2(V)、V_{r_0} = 0(V)、V_{r_1} = 2(V)とすることができる。なお、これらの電位は一例に過ぎず、上記の条件を満たす範囲で適宜変更することが可能である。10

【0204】

ここで、C₁ / C₂ << 1の条件では、ノードAとワード線WLが強く結合することになるため、トランジスタ202のオン状態・オフ状態に関わらず、ワード線WLの電位とノードAの電位は同程度となる。このため、トランジスタ202をオンにして書き込みを行っても、ノードAが蓄積できる電荷は僅かであるから、データ"0"とデータ"1"の差は小さいものになってしまう。

【0205】

この結果、ワード線WLの電位をV_{r_1}として読み出しを行う場合、データ"0"、データ"1"のいずれを書き込んだ場合であっても、メモリセルのノードAの電位は上昇し、トランジスタ201がオン状態となってしまう。つまり、データを読み出すことが困難になる。20

【0206】

一方、C₁ / C₂ >> 1の条件では、ノードAとワード線WLの結合は弱いため、ワード線WLの電位を変化させてもノードAの電位はほとんど変化しない。このため、トランジスタ201のオン状態・オフ状態を制御することが可能なノードAの電位は非常に限られたものとなり、トランジスタ201のオン状態・オフ状態を制御することが困難になる。

【0207】

つまり、ワード線WLの電位をV_{r_0}としても、ノードAの電位はほとんど下がらず、データ"1"のトランジスタ201はオン状態となってしまう。30

【0208】

このように、C₁とC₂の大きさによってはその動作が困難になる場合があるから、これらの決定に関しては留意が必要である。なお、V_{w_0} = 0(V)、V_{w_1} = V_{dd}、V_{r_0} = 0(V)、V_{r_1} = V_{dd}とする場合には、C₁ / C₂がV_{th} / (V_{dd} - V_{th}) ~ (V_{dd} - V_{th}) / V_{th}の間にあれば、十分に動作させることが可能である。

【0209】

なお、データ"1"とデータ"0"は便宜上の区別に過ぎないから、入れ替えて用いても構わない。また、V₀として接地電位GNDなどを採用し、V₁として電源電位V_{dd}などを採用しても良い。40

【0210】

半導体装置の構成

m × nビットの記憶容量を有する半導体装置のブロック回路図を図17に示す。

【0211】

当該半導体装置は、m本のワード線と、n本のビット線及び信号線と、複数のメモリセル200(1,1) ~ 200(m,n)が縦m個(行) × 横n個(列)(m, nは自然数)のマトリクス状に配置されたメモリセルアレイ210と、ビット線及び信号線の駆動回路211と、ワード線の駆動回路213と、読み出し回路212などの周辺回路、によって構成されている。他の周辺回路としては、リフレッシュ回路など設けてもよい。50

【0212】

メモリセル $200(i, j)$ (i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数) は、 ビット線 $BL(j)$ 、 信号線 $S1(j)$ 、 ワード線 $WL(i)$ 、 およびソース線 SL にそれぞれ接続されている。また、 ビット線 $BL(1) \sim BL(n)$ 及び信号線 $S1(1) \sim S1(n)$ は、 ビット線 BL 及び信号線 $S1$ の駆動回路 211 に、 ワード線 $WL(1) \sim WL(m)$ は、 ワード線 WL の駆動回路 213 にそれぞれ接続されている。また、 ビット線 $BL(1) \sim BL(n)$ は、 読み出し回路 212 にも接続されている。なお、 ソース線 SL には電位 V_s が与えられる。

【0213】

半導体装置の動作

10

次に、 半導体装置の動作について説明する。図 17 に示す構成では、 書き込みは列ごと、 読み出しは行ごとに行う。

【0214】

第 j 列のメモリセル $200(1, j) \sim 200(m, j)$ に書き込みを行う場合は、 ソース線 SL の電位を $V0$ (例えは $0V$)、 ビット線 $BL(j)$ の電位を $V0$ 、 信号線 $S1(j)$ の電位を $V1$ (例えは $2V$) とする。このとき、 メモリセル $200(1, j) \sim 200(m, j)$ のトランジスタ 202 はオン状態となる。他の列については、 ビット線の電位を $V0$ 、 信号線の電位を $V1$ とする。なお、 ビット線 $BL(j)$ は、 フローティング状態であっても構わない。

【0215】

20

この状態で、 ワード線 WL の電位 VWL を所定の電位とすることにより、 データの書き込みが行われる。例えは、 データ "1" を書き込む場合には、 対象メモリセルに接続されたワード線 WL の電位を Vw_1 とし、 データ "0" を書き込む場合には、 対象メモリセルに接続されたワード線 WL の電位を Vw_0 とする。なお、 書き込み終了にあたっては、 ワード線 WL の電位が変化する前に、 信号線 $S1(j)$ の電位を $V0$ として、 対象メモリセルのトランジスタ 202 をオフ状態にする。

【0216】

書き込み後において、 第 j 列のメモリセル $200(1, j) \sim 200(m, j)$ のうち、 データ "1" が書き込まれたメモリセルでは、 トランジスタ 201 のゲート電極に接続されるノード (以下、 ノード A) の電位 $VA0$ は $C1 \cdot Vw_1 / (C1 + C2)$ 程度となる。また、 データ "0" が書き込まれたメモリセルでは、 ノード A の電位は $C1 \cdot Vw_0 / (C1 + C2)$ 程度となる。他の列のメモリセルでは、 ノード A の電位は変化しない。

30

【0217】

メモリセルの読み出しも、 ワード線 WL の電位 VWL を所定の電位とすることにより行われる。第 i 行のメモリセル $200(i, 1) \sim 200(i, n)$ の読み出しを行う場合は、 ソース線 SL の電位を $V0$ 、 ワード線 $WL(i)$ の電位を Vr_1 、 信号線 $S1(1) \sim (n)$ の電位を $V0$ とし、 ビット線 $BL(1) \sim BL(n)$ に接続されている読み出し回路を動作状態とする。他の行については、 ワード線 WL の電位を Vr_0 とする。

【0218】

40

読み出し回路は、 例えは、 メモリセルの抵抗状態の違いから、 データ "0"、 データ "1" を読み出すことができる。

【0219】

なお、 Vw_0 、 Vw_1 、 Vr_0 、 Vr_1 の決定方法は、 上記 メモリセルの動作の場合と同様であるため、 ここでは省略する。また、 その他の電位の関係についても、 上記 メモリセルの動作 の場合と同様である。

【0220】

なお、 データ "1" とデータ "0" は便宜上の区別に過ぎないから、 入れ替えて用いても構わない。

【0221】

50

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0222】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、フラッシュメモリなどにおいて必要とされる情報を消去するための動作が不要であるというメリットもある。

10

【0223】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0224】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0225】

(実施の形態3)

本発明の一態様に係る半導体装置が有する読み出し回路212の一例について図18を用いて説明する。

20

【0226】

図18に示す読み出し回路212は、トランジスタ204とセンスアンプ215を有する。トランジスタ204のゲート電極にはバイアス電圧Vbiasが印加され、所定の電流を流す。センスアンプ215の一方の入力端子には、参照電位Vrefが入力される。

【0227】

読み出し時には、センスアンプ215の他方の入力端子と、読み出しを行うメモリセルが接続されたビット線BLとを電気的に接続する。

【0228】

メモリセルは、格納するデータ"1"またはデータ"0"に応じて抵抗が異なる。具体的には、選択したメモリセルのトランジスタ201がオン状態の場合には低抵抗状態となり、選択したメモリセルのトランジスタ201がオフ状態の場合には高抵抗状態となる。

30

【0229】

メモリセルが高抵抗状態の場合、センスアンプ215の他方の入力端子の電位は、参照電位Vrefより高くなり、センスアンプ215の出力端子からはデータ"1"が出力される。一方、メモリセルが低抵抗状態の場合、センスアンプ215の他方の入力端子の電位は、参照電位Vrefより低くなり、センスアンプ215の出力端子からはデータ"0"が出力される。

【0230】

上述のように、読み出し回路212を用いることにより、メモリセルに格納されたデータを読み出すことができる。なお、読み出し回路212は一例に過ぎず、他の構成の読み出し回路を用いても良い。例えば、読み出し回路212はプリチャージ回路を有するものであっても良い。

40

【0231】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0232】

(実施の形態4)

本実施の形態では、先の実施の形態において示したメモリセルとは異なるメモリセルの回路構成およびその動作について説明する。

【0233】

50

メモリセルの構成

本実施の形態に係るメモリセルの回路図の一例を図19に示す。図19に示すメモリセル220は、ソース線SL、ビット線BL、信号線S1と、ワード線WLと、トランジスタ221(第1のトランジスタ)と、トランジスタ222(第2のトランジスタ)と、容量素子223と、から構成されている。トランジスタ221は、酸化物半導体以外の材料を用いて形成されており、トランジスタ222は酸化物半導体を用いて形成されている。

【0234】

ここで、トランジスタ221のゲート電極と、トランジスタ222のソース電極またはドレイン電極の一方と、容量素子223の電極の一方とは、電気的に接続されている。また、ソース線SLと、トランジスタ221のソース電極またはドレイン電極の一方とは、電気的に接続され、ビット線BLと、トランジスタ221のソース電極またはドレイン電極の他方とは、電気的に接続され、信号線S1と、トランジスタ222のソース電極またはドレイン電極の他方とは、電気的に接続され、ワード線WLと、トランジスタ222のゲート電極と、容量素子223の電極の他方とは、電気的に接続されている。

10

【0235】

メモリセルの動作

次に、メモリセルの動作について具体的に説明する。

【0236】

メモリセル220への書き込みを行う場合は、ソース線SLの電位をV0(任意の電位、例えば0V)、ビット線BLの電位をV0、ワード線WLの電位をV1(任意の電位、例えば2V)とする。このとき、トランジスタ222はオン状態となる。

20

【0237】

この状態で、信号線S1の電位VS1を所定の電位とすることにより、データの書き込みが行われる。例えば、データ"1"を書き込む場合には、信号線S1の電位をVw_1とし、データ"0"を書き込む場合には、信号線S1の電位をVw_0とする。なお、書き込み終了にあたっては、信号線S1の電位が変化する前に、ワード線WLの電位をV0として、トランジスタ222をオフ状態にする。

【0238】

トランジスタ221のゲート電極に接続されるノード(以下、ノードA)には、書き込み時の信号線S1の電位に応じた電荷QAが蓄積され、これによってデータが格納されることになる。ここで、トランジスタ222のオフ電流が極めて小さい、あるいは実質0であることから、書き込まれたデータは長時間にわたって保持される。

30

【0239】

メモリセル220の読み出しは、ワード線WLの電位VWLを所定の電位とすることにより行われる。例えば、メモリセル220の読み出しを行う場合は、ソース線SLの電位をV0、ワード線WLの電位をVr_1、信号線S1の電位をV1とし、ビット線BLに接続されている読み出し回路を動作状態とする。一方、メモリセル220の読み出しを行わない場合には、ワード線WLの電位をVr_0とする。このとき、トランジスタ222は、オフ状態である。

【0240】

40

書き込み時の信号線S1の電位Vw_1、Vw_0、及び、読み出し時のワード線WLの電位Vr_1、Vr_0は、ワード線WLの電位をVr_1としたときに、データ"1"が格納されたメモリセル220のトランジスタ221がオン状態となり、データ"0"が格納されたメモリセル220のトランジスタ221がオフ状態となるように設定する。また、トランジスタ222がオフ状態となるように設定する。さらに、ワード線WLの電位をVr_0としたときに、データ"0"、データ"1"のいずれが格納されたかに関わらず、メモリセル220のトランジスタ221がオフ状態となり、かつ、トランジスタ222がオフ状態となるように設定する。

【0241】

メモリセル220を用いてNOR型の不揮発性メモリを構成する場合には、上述のような

50

関係の電位を用いることで、読み出しが選択されたメモリセル 220 では格納されたデータによって抵抗状態を異ならせることが可能であり、読み出しが選択されていないメモリセル 220 では格納されたデータにかかわらず高抵抗状態とすることができる。その結果、ビット線の抵抗状態の違いを検出する読み出し回路を用いて、メモリセル 220 のデータを読み出すことができる。

【 0 2 4 2 】

なお、データ "1" とデータ "0" は便宜上の区別に過ぎないから、入れ替えて用いても構わない。また、V0 として接地電位 GNDなどを採用し、V1 として電源電位 Vddなどを採用しても良い。

【 0 2 4 3 】

なお、本実施の形態において示したメモリセル 220 を用いる場合にも、マトリクス状の半導体装置を実現することができる。マトリクス状の半導体装置は、先の実施の形態で示した構成と同様な回路を用い、駆動回路や読み出し回路、書き込み回路を信号線の構成にあわせて適宜構成することで実現できる。なお、メモリセル 220 を用いる場合には、読み出しおよび書き込みは、いずれも行ごとに行う構成とする。

【 0 2 4 4 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【 0 2 4 5 】

(実施の形態 5)

本実施の形態では、先の実施の形態で得られる半導体装置を搭載した電子機器の例について図 20 を用いて説明する。先の実施の形態で得られる半導体装置は、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、当該半導体装置を用いて新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る半導体装置は、集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

【 0 2 4 6 】

図 20 (A) は、先の実施の形態に係る半導体装置を含むノート型のパーソナルコンピュータであり、本体 301、筐体 302、表示部 303、キーボード 304 などによって構成されている。本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することは好適である。

【 0 2 4 7 】

図 20 (B) は、先の実施の形態に係る半導体装置を含む携帯情報端末 (PDA) であり、本体 311 には表示部 313 と、外部インターフェイス 315 と、操作ボタン 314 等が設けられている。また操作用の付属品としてスタイラス 312 がある。本発明の一態様に係る半導体装置を PDA に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を PDA に適用することは好適である。

【 0 2 4 8 】

図 20 (C) には、先の実施の形態に係る半導体装置を含む電子ペーパーの一例として、電子書籍 320 を示す。電子書籍 320 は、筐体 321 および筐体 323 の 2 つの筐体で構成されている。筐体 321 および筐体 323 は、軸部 337 により一体とされており、該軸部 337 を軸として開閉動作を行うことができる。このような構成により、電子書籍 320 は、紙の書籍のように用いることが可能である。本発明の一態様に係る半導体装置を電子ペーパーに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である

10

20

30

40

50

。このため、本発明の一態様に係る半導体装置を電子ペーパーに適用することは好適である。

【0249】

筐体321には表示部325が組み込まれ、筐体323には表示部327が組み込まれている。表示部325および表示部327は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図20(C)では表示部325)に文章を表示し、左側の表示部(図20(C)では表示部327)に画像を表示することができる。

【0250】

また、図20(C)では、筐体321に操作部などを備えた例を示している。例えば、筐体321は、電源331、操作キー333、スピーカー335などを備えている。操作キー333により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポイントティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍320は、電子辞書としての機能を持たせた構成としてもよい。

10

【0251】

また、電子書籍320は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

20

【0252】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0253】

図20(D)は、先の実施の形態に係る半導体装置を含む携帯電話機である。当該携帯電話機は、筐体340および筐体341の二つの筐体で構成されている。筐体341は、表示パネル342、スピーカー343、マイクロフォン344、ポイントティングデバイス346、カメラ用レンズ347、外部接続端子348などを備えている。また、筐体340は、当該携帯電話機の充電を行う太陽電池セル349、外部メモリスロット350などを備えている。また、アンテナは筐体341内部に内蔵されている。本発明の一態様に係る半導体装置を携帯電話機に適用することで、電力の供給がない場合でも、情報を保持することができる。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を携帯電話機に適用することは好適である。

30

【0254】

表示パネル342はタッチパネル機能を備えており、図20(D)には映像表示されている複数の操作キー345を点線で示している。なお、当該携帯電話は、太陽電池セル349で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

40

【0255】

表示パネル342は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル342と同一面上にカメラ用レンズ347を備えているため、テレビ電話が可能である。スピーカー343およびマイクロフォン344は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体340と筐体341はスライドし、図20(D)のように展開している状態から重なり合った状態とすることでき、携帯に適した小型化が可能である。

【0256】

外部接続端子348はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であ

50

り、充電やデータ通信が可能になっている。また、外部メモリスロット350に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0257】

図20(E)は、先の実施の形態に係る半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体361、表示部(A)367、接眼部363、操作スイッチ364、表示部(B)365、バッテリー366などによって構成されている。本発明の一態様に係る半導体装置をデジタルカメラに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をデジタルカメラに適用することは好適である。

10

【0258】

図20(F)は、先の実施の形態に係る半導体装置を含むテレビジョン装置である。テレビジョン装置370では、筐体371に表示部373が組み込まれている。表示部373により、映像を表示することが可能である。なお、ここでは、スタンド375により筐体371を支持した構成を示している。

【0259】

テレビジョン装置370の操作は、筐体371が備える操作スイッチや、別体のリモコン操作機380により行うことができる。リモコン操作機380が備える操作キー379により、チャンネルや音量の操作を行うことができ、表示部373に表示される映像を操作することができる。また、リモコン操作機380に、当該リモコン操作機380から出力する情報を表示する表示部377を設ける構成としてもよい。本発明の一態様に係る半導体装置をテレビジョン装置に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をテレビジョン装置に適用することは好適である。

20

【0260】

なお、テレビジョン装置370は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般的のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことが可能である。

30

【0261】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【0262】

100 基板

102 保護層

104 半導体領域

40

106 素子分離絶縁層

108 a ゲート絶縁層

108 b ゲート絶縁層

110 a ゲート電極

112 絶縁層

114 不純物領域

116 チャネル形成領域

118 サイドウォール絶縁層

120 高濃度不純物領域

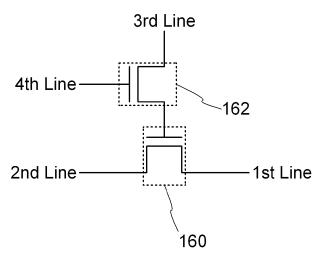
122 金属層

50

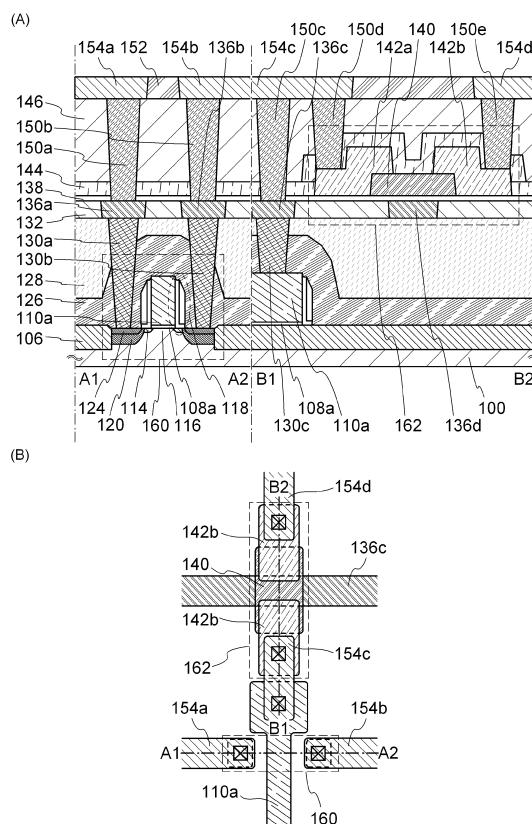
1 2 4	金属化合物領域	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	
1 3 0 a	ソース電極またはドレイン電極	
1 3 0 b	ソース電極またはドレイン電極	
1 3 0 c	電極	
1 3 2	絶縁層	
1 3 4	導電層	
1 3 6 a	電極	10
1 3 6 b	電極	
1 3 6 c	電極	
1 3 6 d	ゲート電極	
1 3 8	ゲート絶縁層	
1 4 0	酸化物半導体層	
1 4 2 a	ソース電極またはドレイン電極	
1 4 2 b	ソース電極またはドレイン電極	
1 4 4	保護絶縁層	
1 4 6	層間絶縁層	
1 4 8	導電層	
1 5 0 a	電極	20
1 5 0 b	電極	
1 5 0 c	電極	
1 5 0 d	電極	
1 5 0 e	電極	
1 5 2	絶縁層	
1 5 4 a	電極	
1 5 4 b	電極	
1 5 4 c	電極	
1 5 4 d	電極	
1 5 4 e	電極	30
1 6 0	トランジスタ	
1 6 2	トランジスタ	
2 0 0	メモリセル	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	容量素子	
2 0 4	トランジスタ	
2 1 0	メモリセルアレイ	
2 1 1	駆動回路	
2 1 2	読み出し回路	40
2 1 3	駆動回路	
2 1 5	センスアンプ	
2 2 0	メモリセル	
2 2 1	トランジスタ	
2 2 2	トランジスタ	
2 2 3	容量素子	
3 0 1	本体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	キー ボード	50

3 1 1	本体	
3 1 2	スタイルス	
3 1 3	表示部	
3 1 4	操作ボタン	
3 1 5	外部インターフェイス	
3 2 0	電子書籍	
3 2 1	筐体	10
3 2 3	筐体	
3 2 5	表示部	
3 2 7	表示部	
3 3 1	電源	
3 3 3	操作キー	
3 3 5	スピーカー	
3 3 7	軸部	
3 4 0	筐体	
3 4 1	筐体	
3 4 2	表示パネル	
3 4 3	スピーカー	
3 4 4	マイクロフォン	
3 4 5	操作キー	20
3 4 6	ポインティングデバイス	
3 4 7	カメラ用レンズ	
3 4 8	外部接続端子	
3 4 9	太陽電池セル	
3 5 0	外部メモリスロット	
3 6 1	本体	
3 6 3	接眼部	
3 6 4	操作スイッチ	
3 6 5	表示部(B)	
3 6 6	バッテリー	30
3 6 7	表示部(A)	
3 7 0	テレビジョン装置	
3 7 1	筐体	
3 7 3	表示部	
3 7 5	スタンド	
3 7 7	表示部	
3 7 9	操作キー	
3 8 0	リモコン操作機	

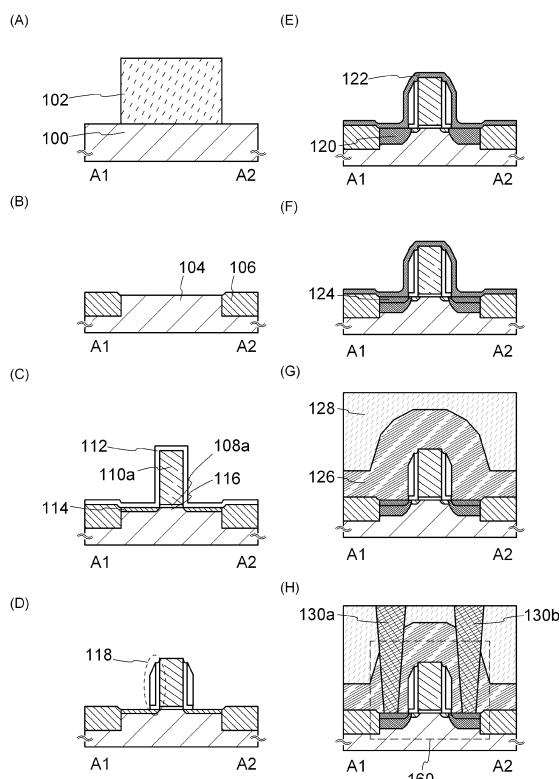
【図1】



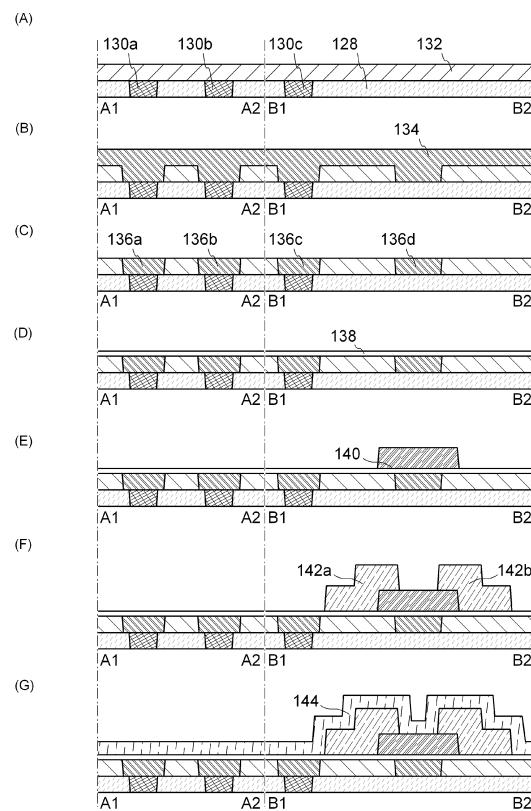
【図2】



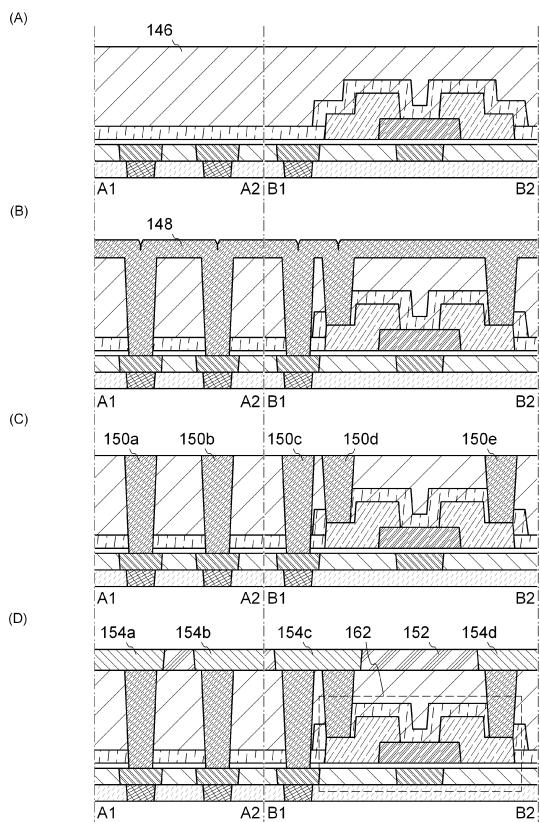
【図3】



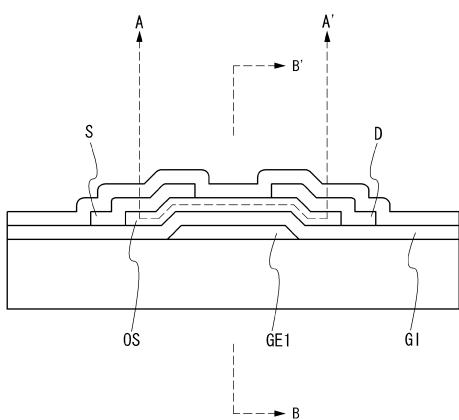
【図4】



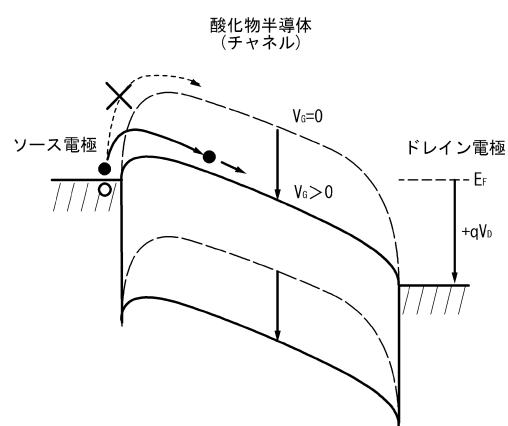
【図5】



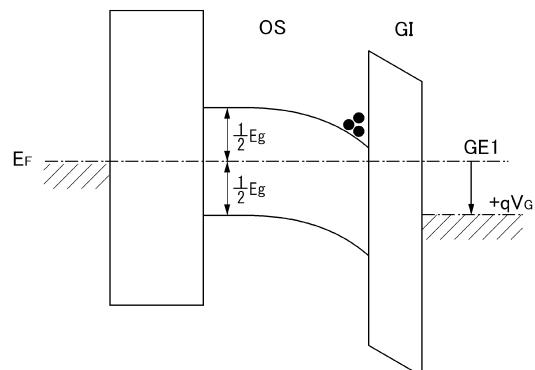
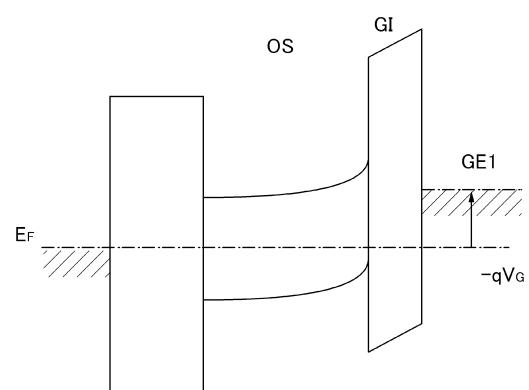
【図6】



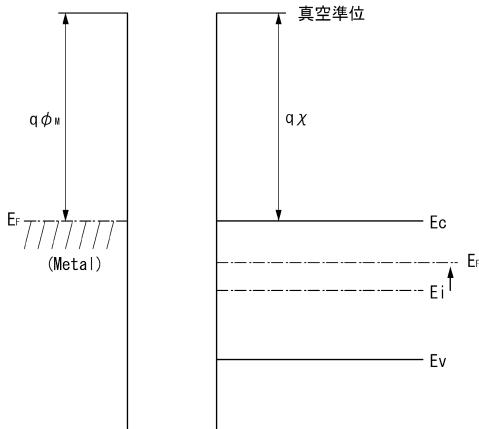
【図7】



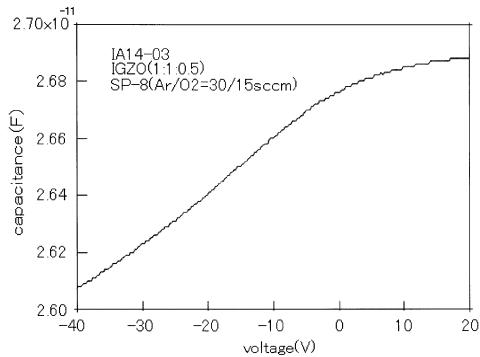
【図8】

(A) B-B' 断面エネルギー-ハンド図 ($V_g > 0$)(B) B-B' 断面エネルギー-ハンド図 ($V_g < 0$)

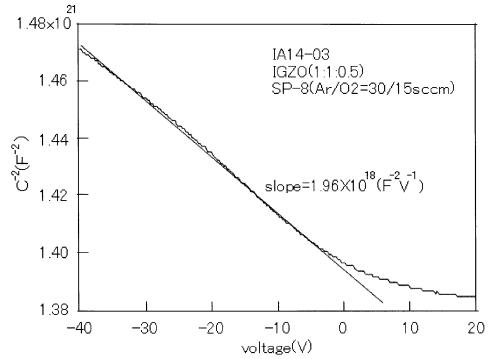
【図9】



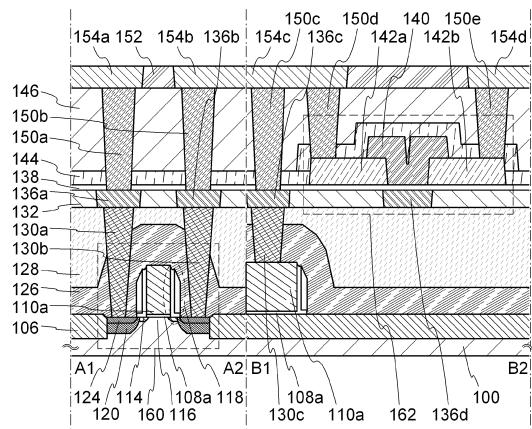
【図10】



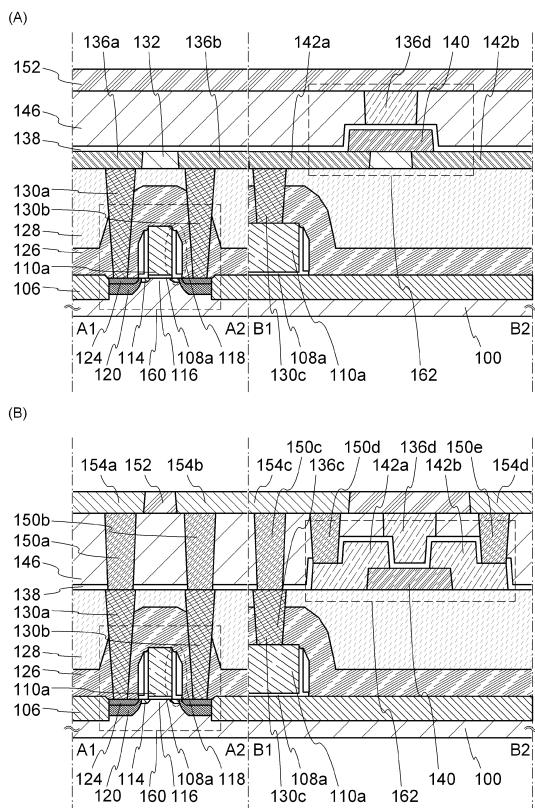
【図11】



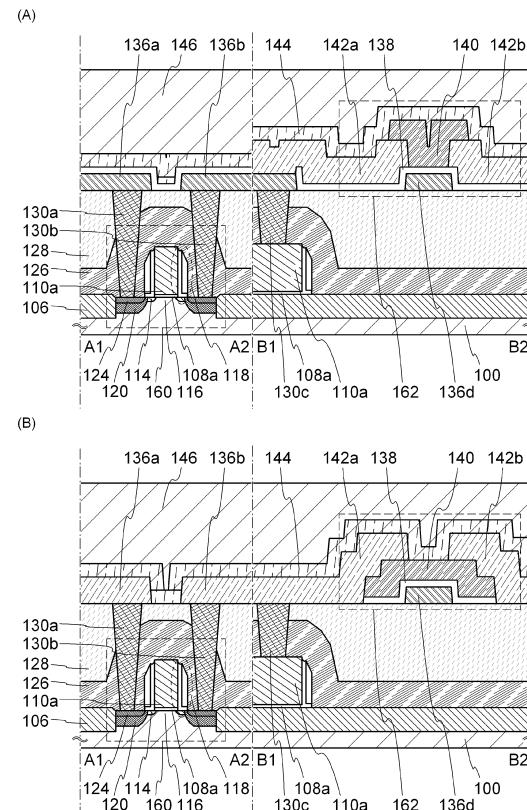
【図12】



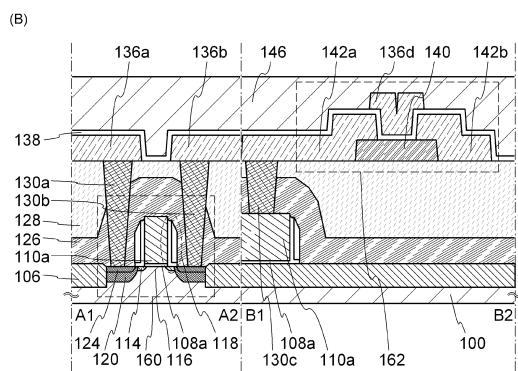
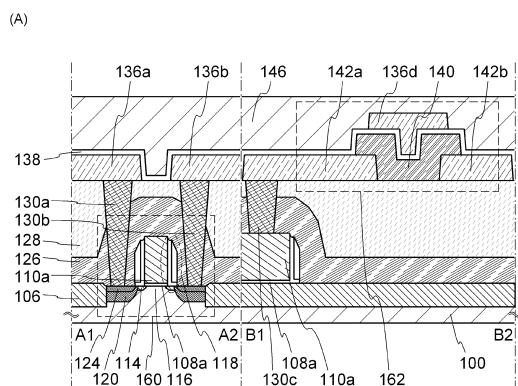
【図13】



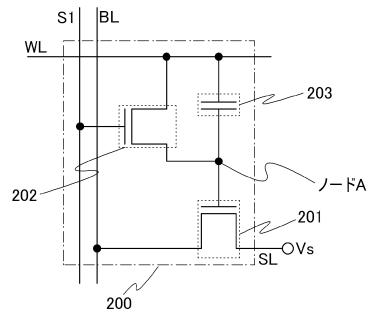
【図14】



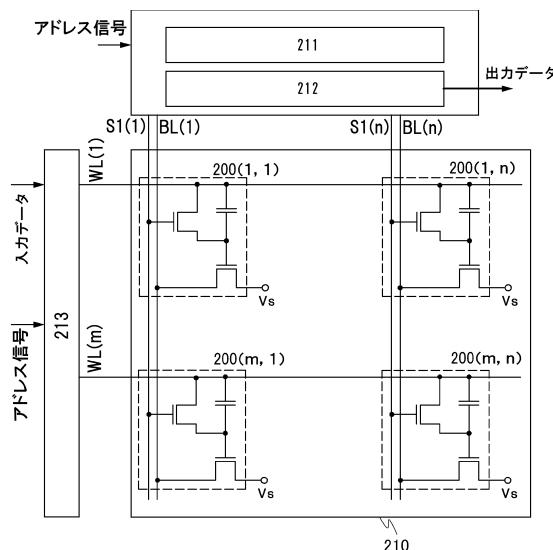
【図15】



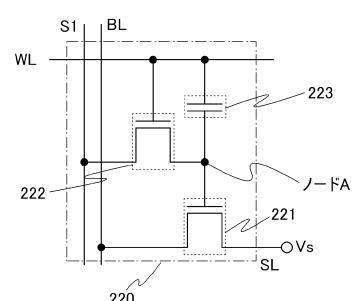
【図16】



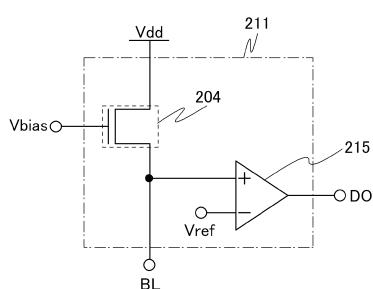
【図17】



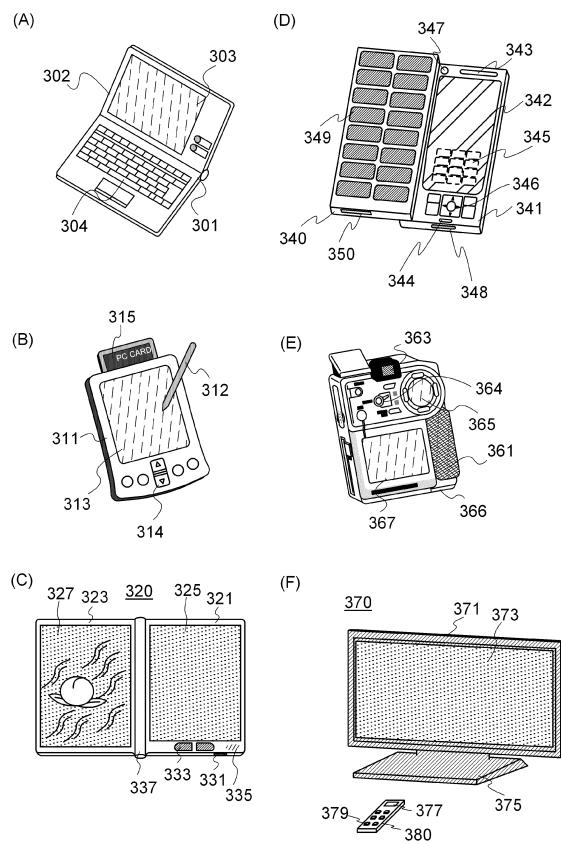
【図19】



【図18】



【図20】



フロントページの続き

(51)Int.Cl.		F I
H 01 L	21/336 (2006.01)	H 01 L 29/78 3 7 1
H 01 L	29/788 (2006.01)	H 01 L 27/10 4 8 1
H 01 L	29/792 (2006.01)	C 23 C 14/08 K
H 01 L	27/10 (2006.01)	G 11 C 11/34 3 5 2 B
C 23 C	14/08 (2006.01)	
G 11 C	11/405 (2006.01)	

(56)参考文献 国際公開第20000/070682 (WO, A1)

特開2009-206508 (JP, A)

特開2002-368226 (JP, A)

特開昭63-268184 (JP, A)

特開2007-103918 (JP, A)

国際公開第2008/117739 (WO, A1)

特開2009-016844 (JP, A)

特開2004-014094 (JP, A)

Je-hun Lee et.al, World's Largest(15-inch) XGA AMLCD Panel Using IGZO Oxide TFT, SID Symposium Digest of Technical Papers, 米国, SID, 2008年 5月, Volume 39, Issue 1, p.625-628

(58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 8242
C 23 C	14 / 08
G 11 C	11 / 405
H 01 L	21 / 336
H 01 L	21 / 8247
H 01 L	27 / 10
H 01 L	27 / 108
H 01 L	27 / 115
H 01 L	29 / 786
H 01 L	29 / 788
H 01 L	29 / 792