

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3771368号

(P3771368)

(45) 発行日 平成18年4月26日(2006.4.26)

(24) 登録日 平成18年2月17日(2006.2.17)

(51) Int. Cl.		F I	
HO 4 N	1/028	(2006.01)	HO 4 N 1/028 Z
HO 1 L	27/146	(2006.01)	HO 1 L 27/14 A
HO 4 N	1/19	(2006.01)	HO 4 N 1/04 1 O 2

請求項の数 4 (全 13 頁)

(21) 出願番号	特願平10-19046	(73) 特許権者	000116024
(22) 出願日	平成10年1月30日(1998.1.30)		ローム株式会社
(65) 公開番号	特開平11-220571		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成11年8月10日(1999.8.10)	(74) 代理人	100086380
審査請求日	平成15年7月15日(2003.7.15)		弁理士 吉田 稔
		(74) 代理人	100103078
			弁理士 田中 達也
		(74) 代理人	100105832
			弁理士 福元 義和
		(72) 発明者	澤田 秀喜
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		審査官	日下 善之

最終頁に続く

(54) 【発明の名称】 イメージセンサチップの配置方法およびこの配置方法を用いた画像読み取り装置

(57) 【特許請求の範囲】

【請求項 1】

複数の受光素子によって構成された複数の読み取り画素が解像度と対応した一定ピッチで列状に並べて設けられているイメージセンサチップを、種々の要求読み取り幅と対応させて主走査方向に列状に配置する方法であって、

上記イメージセンサチップは、その1個当たりの読み取り画素数Nが、次式で求められる数となっており、その1個当たりのチップ長は上記読み取り画素数Nと解像度とによって定められることを特徴とする、イメージセンサチップの配置方法。

$$N = n \cdot k$$

ただし、

n は、上記複数の受光素子のそれぞれから出力される複数の画像信号を複数ずつ纏めてブロック単位で補正するときに1ブロックとされる受光素子数である。k は、 $0 < (n \cdot k - D) < n$ の条件を満たす最小の整数であり、 $D = y \cdot p$ である。

y は、所定の単位長さ当たりの読み取り画素数としての解像度である。p は、上記単位長さを基準とする種々の要求読み取り幅に対する増分であり、要求読み取り幅は、この増分 p の倍数である。

【請求項 2】

上記要求読み取り幅に対する増分 p が 12 . 7 mm であり、上記 n の数値が 8 であるとともに、解像度が 11 . 8 ドット / mm であって、上記読み取り画素数 N が 152 とされている、請求項 1 に記載のイメージセンサチップの配置方法。

10

20

【請求項 3】

上記要求読み取り幅に対する増分 p が 12.7 mm であり、上記 n の数値が 8 であるとともに、解像度が 8 ドット / mm であって、上記読み取り画素数 N が 104 とされている、請求項 1 に記載のイメージセンサチップの配置方法。

【請求項 4】

複数の受光素子によって構成された複数の読み取り画素が一定ピッチで列状に並べられた複数のイメージセンサチップと、これら複数のイメージセンサチップを列状に並べて搭載した基板と、原稿画像の読み取りライン領域に光を照射するための光源と、この光源から発せられて上記原稿の表面から反射してきた光を上記複数の受光素子の読み取り画素表面に集束させるための集光レンズと、を備えた画像読み取り装置であって、

10

上記各イメージセンサチップが、請求項 1 に記載の方法によって配置されていることを特徴とする、画像読み取り装置。

【発明の詳細な説明】

【0001】

【技術分野】

本願発明は、画像の読み取りに用いられるイメージセンサチップの配置方法、およびこの配置方法を用いた画像読み取り装置に関する。

【0002】

【従来の技術】

周知のとおり、密着型イメージセンサなどの画像読み取り装置は、イメージセンサチップを実装した基板を用いて構成されているのが一般的である。このイメージセンサチップは、細長矩形形状のチップ状に形成されているとともに、その表層部分には複数の受光素子を一体的に造り込んでおり、これら複数の受光素子のそれぞれによって複数の読み取り画素が構成されている。これら複数の読み取り画素は、イメージセンサチップの長手方向に沿って一定ピッチで列状に並べられている。このようなイメージセンサチップは、たとえば数 mm ~ 十数 mm 程度の全長寸法に形成されているのが通例である。このため、イメージセンサチップを基板に実装して画像読み取り装置に組み込む場合には、その画像読み取り装置の最大読み取り幅（たとえば 20 数 mm ~ 200 数十 mm の幅）に対応できるように、上記基板上において複数のイメージセンサチップを列状に並べることとなる。

20

【0003】

また、上記のように複数のイメージセンサチップを実装した基板を画像読み取り装置に組み込んで使用する場合には、各イメージセンサチップの製造上のバラツキや、集光レンズとの位置関係のバラツキなどに原因し、たとえば各受光素子が同一光量の光を受光した場合であっても、各受光素子から出力される画像信号の出力レベルが均一ではなく、それらの出力レベルにバラツキを生じる場合がある。このため、複数のイメージセンサチップを用いて画像の読み取り処理を行う場合には、複数の受光素子のそれぞれから出力される画像信号の出力レベルが不均衡とならないように、その画像信号の補正処理を行っている。ただし、この補正処理を複数の受光素子から出力される全ての信号について個々に行ったのでは、その処理がかなり煩雑となり、効率が悪い。そこで、上記画像信号の補正処理を簡単に行う手段としては、たとえば 8 個の受光素子を 1 ブロックとした上で、その 1 ブ

30

40

【0004】

一方、従来では、1 個のイメージセンサチップに複数の受光素子を造り込む場合、その受光素子の数、すなわち読み取り画素の数は、伝統的に、32 個、64 個、128 個とされるなど、16 の整数倍の数とされていた。このような読み取り画素数にすれば、複数の受光素子から出力される画像信号の補正処理を行う場合に、1 個のイメージセンサチップに造り込まれている複数の受光素子をちょうど 8 個ずつの複数のブロックに区分することができ、都合が良い。

【0005】

50

【発明が解決しようとする課題】

しかしながら、上記従来のイメージセンサチップでは、使用に際して次のような不具合を生じていた。

【0006】

すなわち、画像読み取り装置にイメージセンサチップを組み込んで使用する場合には、次の2つの条件を満たすことが求められる。第1には、イメージセンサチップの画像読み取り幅（イメージセンサチップの略全長幅）が、実際の原稿幅よりも大きいことが条件とされる。実際の原稿幅よりも画像読み取り幅が小さければ、原稿側部の画像を適切に読み取ることが不可能となるからである。第2には、イメージセンサチップの画像読み取り幅が、実際の原稿幅よりも適度に大きいことが条件とされる。画像読み取り幅を実際

10

【0007】

ところが、従来では、上記第1の条件については、イメージセンサチップを適当数並べることによって満たすことはできるものの、上記第2の条件を適切に満たすことはできなかった。具体的には、たとえば解像度が11.8ドット/mmの128個の受光素子を有するチップ長が約10.84mmのイメージセンサチップを用いて、所望の要求読み取り幅に対処するには、次の表1のような仕様となる。

20

【0008】

【表1】

要求読取幅S (mm)	必要チップ数	チップ全長La (mm)	余裕しろLb (mm)	余裕しろの 割合R(%)
25.4(1inch)	3	32.52	7.12	28.05
50.8(2inch)	5	54.21	3.41	6.71
76.2(3inch)	8	86.73	10.53	13.82
101.6(4inch)	10	108.42	6.82	6.71
127(5inch)	12	130.10	3.10	2.44
152.4(6inch)	14	162.62	10.22	6.71
177.8(7inch)	17	184.31	6.51	3.66
203.2(8inch)	19	205.99	2.79	1.37
215.9(8.5inch)	20	216.83	0.93	0.43
254(10inch)	24	260.20	6.20	2.44

30

40

【0009】

また、同様に、解像度が8ドット/mmの64個の受光素子を有するチップ長8mmのイメージセンサチップを用いて、所望の要求読み取り幅に対処するには、次の表2のような仕様となる。

【0010】

【表2】

要求読取幅S (mm)	必要チップ数	チップ全長La (mm)	余裕しろLb (mm)	余裕しろの 割合R(%)
25.4(1inch)	4	32.00	6.60	25.98
50.8(2inch)	7	56.00	5.20	10.24
76.2(3inch)	10	80.00	3.80	4.99
101.6(4inch)	13	104.00	2.40	2.36
127 (5inch)	16	128.00	1.00	0.79
152.4(6inch)	20	160.00	7.60	4.99
177.8(7inch)	23	184.00	6.20	3.49
203.2(8inch)	26	208.00	4.80	2.36
215.9(8.5inch)	27	216.00	0.10	0.05
254 (10inch)	32	256.00	2.00	0.79

10

20

【 0 0 1 1 】

これらの表 1、表 2 から理解されるように、従来では、その要求読み取り幅 S を満たすようにイメージセンサチップを所定数だけ並べて用いる場合、その所定数のイメージセンサチップの全長寸法 L a とその要求読み取り幅 S との差であるイメージセンサチップの余裕しろ L b は、要求読み取り幅 S が大きくなるに連れて徐々に小さくなっていた。また、余裕しろ L b の割合 R ($R = L b / S$) の値も徐々に小さくなっていた。

【 0 0 1 2 】

一方、画像読み取り装置を実際に製作する上で、上記第 2 の条件を満たすための具体的な条件としては、次のようなことが要請される。すなわち、要求読み取り幅 S が小さい場合にはその要求読み取り幅 S に対するイメージセンサチップの余裕しろ L b を小さくすることが要請される一方、要求読み取り幅 S が大きい場合には上記余裕しろ L b を大きくすることが要請される。要求読み取り幅 S が小さく、狭い幅領域の画像を精密に読み取る場合には、原稿とイメージセンサチップとが主走査方向にさほど大きく位置ずれしないようにできるため、上記余裕しろ L b を不必要に大きくする必要はなく、余裕しろ L b を大きくしたのは、却って、イメージセンサチップの無駄が多くなり、製造コストが高価となるからである。また、要求読み取り幅 S を大きくして紙幅の大きな原稿の画像を読み取る場合には、原稿とイメージセンサチップとが主走査方向に比較的大きな寸法で位置ずれする虞れが大きく、上記余裕しろ L b が小さい場合にはたとえば原稿の副走査方向の紙送り

30

40

が僅かに位置ずれするだけでその原稿側部の画像を適切に読み取ることが不可能になってしまい、これを防止する必要があるからである。

【 0 0 1 3 】

これに対し、上記表 1 や表面 2 の説明から理解されるように、従来のイメージセンサチップを用いた場合には、上述の要請とは全く逆となっており、要求読み取り幅 S に対するイメージセンサチップの余裕しろ L b を適切な値に設定することが難しくなっている。したがって、従来では、原稿に多少の位置ずれが生じた場合であってもその原稿画像の読み取りを適切に行わせるには、結局は、数多くのイメージセンサチップを用いる必要が生じて、その部品コストが高価となるばかりか、イメージセンサチップの全長寸法が長くなることに伴って画像読み取り装置全体の大型化や製造コストの上昇を招くといった不具合を生

50

じていた。また、これとは反対に、イメージセンサチップを必要最小個数に節約した場合には、その余裕しろが小さ過ぎるために、原稿に僅かな位置ずれを生じただけでもその原稿画像を適切に読み取ることが困難となってしまうといった不具合が生じていた。

【0014】

本願発明は、このような事情のもとで考え出されたものであって、要求読み取り幅が種々に変更される場合であっても、画像信号の補正処理に不都合を生じさせるようなことなく、イメージセンサチップの余裕しろを適度な寸法にできるようにして、イメージセンサチップを無駄に数多く用いたり、あるいは原稿の側部の画像が安易に読み取り困難になってしまうといった事態を生じさせないようにすることをその課題としている。

【0015】

10

【発明の開示】

上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0016】

本願発明の第1の側面によれば、イメージセンサチップの配置方法が提供される。この方法は、複数の受光素子によって構成された複数の読み取り画素が解像度と対応した一定ピッチで列状に並べて設けられているイメージセンサチップを、種々の要求読み取り幅と対応させて主走査方向に列状に配置する方法であって、上記イメージセンサチップは、その1個当たりの読み取り画素数Nが、 $N = n \cdot k$ の式で求められる数となっており、その1個当たりのチップ長は上記読み取り画素数Nと解像度とによって定められることを特徴とする。ただし、nは、上記複数の受光素子のそれぞれから出力される複数の画像信号を複数ずつ纏めてブロック単位で補正するとき1ブロックとされる受光素子数である。kは、 $0 < (n \cdot k - D) < n$ の条件を満たす最小の整数であり、 $D = \gamma \cdot p$ である。γは、所定の単位長さ当たりの読み取り画素数としての解像度である。pは、上記単位長さを基準とする種々の要求読み取り幅に対する増分であり、要求読み取り幅は、この増分pの倍数である。換言すれば、上記pは上記単位長さを基準とする要求読み取り幅最小ピッチであり、たとえば本願発明によって提供されるイメージセンサチップを用いて200mm幅、300mm幅、および400mm幅のそれぞれの要求読み取り幅に対処可能とする場合には上記pは100mmであり、またたとえば100mm幅、150mm幅、および200mm幅のそれぞれの要求読み取り幅に対処可能とする場合には上記pは50mmである。ただし、そのpの長さは解像度の単位との整合性を図るべくその解像度の単位に用い

20

30

【0017】

本願発明の第1の側面によって提供されるイメージセンサチップの配置方法においては、たとえば、上記要求読み取り幅に対する増分pが12.7mmであり、上記nの数値が8であるとともに、解像度が11.8ドット/mmであって、上記読み取り画素数Nが152とされている構成とすることができる。また、これとは異なり、たとえば、上記要求読み取り幅に対する増分pが12.7mmであり、上記nの数値が8であるとともに、解像度が8ドット/mmであって、上記読み取り画素数Nが104とされている構成とすることもできる。むろん、これらとは異なる仕様とすることができる。

【0018】

40

本願発明においては、次のような効果が得られる。

【0019】

第1に、本願発明では、読み取り画素数Nが、 $N = n \cdot k$ の式で求められ、この読み取り画素数Nの数値は、複数の受光素子のそれぞれから出力される画像信号を複数ずつ纏めてブロック単位で補正するとき1ブロックとされる受光素子数nの整数倍である。したがって、本願発明に係るイメージセンサチップでは、このイメージセンサチップを複数個並べて使用する場合であっても、それら複数のイメージセンサチップの受光素子から出力される画像信号をブロック単位毎に纏めて補正するときには、1個のイメージセンサチップの複数の受光素子をちょうど複数のブロックに分けることができ、そのブロック分けに際して半端を生じないようにすることができる。受光素子から出力される画像信号の補正を

50

行う場合において、たとえば２個のイメージセンサチップからそれぞれ別々に出力される複数の画像信号を１纏めにして補正したのでは、それら２個のイメージセンサチップの製造上のバラツキや、集光レンズとの位置関係の相違などに原因して、その補正処理を適切に行えない場合があるため、画像信号の補正はできる限り同一のイメージセンサチップごとに行うことが要請される。これに対し、本願発明は、そのような要請に的確に応え得るものであり、受光素子から出力される画像信号の補正を、２つの異なるイメージセンサチップに跨がって行わないようにし、読み取り画像の再現性や画質を高めることができる。

【００２０】

第２に、本願発明では、 $N = n \cdot k$ の式のうち、 k は $0 < (n \cdot k - D) < n$ の条件を満たす最小の整数であるが、この条件式の D の値は、単位長さ当たりの読み取り画素数としての解像度 γ と種々の要求読み取り幅に対する増分 p との積であって、種々の要求読み取り幅に対する増分 p の読み取りに必要な画素数であるために、 $n \cdot k$ の値、すなわち１個のイメージセンサチップの読み取り画素数 N は、常に、種々の要求読み取り幅に対する増分 p に必要な読み取り画素数を所定数だけ上回る n の倍数であって、かつその条件を満たす最小の画素数となる。したがって、実際の要求読み取り幅が種々の要求読み取り幅に対する増分の整数倍である限りは、その要求読み取り幅に対処しようとしてイメージセンサチップを所望の必要最低個数だけ一列に並べた場合に、その要求読み取り幅に対するイメージセンサチップの余裕しろの割合を、常に一定とすることが可能となる。すなわち、本願発明に係るイメージセンサチップを用いた場合には、要求読み取り幅が要求読み取り幅に対する増分の整数倍である限りにおいて、その要求読み取り幅が小さい場合にはイメージセンサチップの余裕しろを小さな寸法にでき、またその要求読み取り幅が大きい場合にはイメージセンサチップの余裕しろを大きな寸法にできる。したがって、本願発明では、従来のものとは異なり、要求読み取り幅に対処すべくイメージセンサチップを複数個並べて用いる場合に、そのイメージセンサチップの個数や長さに多くの無駄が生じないようにでき、その部品コストを最小コストに抑制することができる。また、これに伴って画像読み取り装置の他の部分が不当に大型化することも回避でき、画像読み取り装置全体の製造コストの低減化も図れる。さらに、本願発明では、要求読み取り幅に対するイメージセンサチップの余裕しろは、要求読み取り幅の大小には関係なく適度な割合に設定することができるために、原稿が主走査方向に多少位置ずれすることは許容され、原稿の位置ずれに起因してその原稿の側部の画像が読み取り困難になるといった不具合も解消することができる。さらに、原稿の位置決め機構や原稿送り機構などをさほど精密に製作する必要もなくなり、この面からも装置の製造コストを一層低減化することができる。

【００２１】

本願発明の第２の側面によれば、画像読み取り装置が提供される。この画像読み取り装置は、複数の受光素子によって構成された複数の読み取り画素が一定ピッチで列状に並べられた複数のイメージセンサチップと、これら複数のイメージセンサチップを列状に並べて搭載した基板と、原稿画像の読み取りライン領域に光を照射するための光源と、この光源から発せられて上記原稿の表面から反射してきた光を上記複数の受光素子の読み取り画素表面に集束させるための集光レンズと、を備えた画像読み取り装置であって、上記各イメージセンサチップが、本願発明の第１の側面によって提供されるイメージセンサチップの配置方法によって配置されていることに特徴づけられる。

【００２２】

本願発明の第２の側面によって提供される画像読み取り装置では、本願発明の第１の側面によって得られるのと同様な効果が期待できる。

【００２３】

本願発明の特徴および利点は、次の発明の実施の形態の説明から、より明らかになるであろう。

【００２４】

【発明の実施の形態】

以下、本願発明の好ましい実施の形態について、図面を参照しつつ具体的に説明する。

【 0 0 2 5 】

図 1 は、本願発明が適用されたイメージセンサチップの一例を示す平面図である。図 2 は、図 1 に示すイメージセンサチップの概略の回路構成の一例を示す回路ブロック図である。

【 0 0 2 6 】

図 1 に示すイメージセンサチップ A は、全体の平面視形状が一定方向に細長な矩形状に形成された半導体素子であり、シリコンなどの半導体のチップ状基板 1 上に、後述する個数の受光素子 2 やこの受光素子 2 を動作させるための回路を一体的に造り込んだものである。各受光素子 2 は、光電変換機能を発揮するフォトランジスタによって構成されたものであり、たとえば平面視矩形状の受光面 20 を有している。この受光面 20 は、読み取り画素に相当し、チップ状基板 1 の長手方向に沿って一定ピッチ L で 1 列に複数並んでいる。このイメージセンサチップ A の表面は、絶縁性の保護膜によって覆われているが、この保護膜には、上記各受光面 20 と略同一サイズで同配列の複数の開口窓が設けられており、これらの開口窓を通過した光が上記各受光面 20 によって受光されるようになっている。また、このイメージセンサチップ A の表面には、このイメージセンサチップ A に造り込まれた回路を外部と電気接続するための複数のパッド部 3 も設けられている。

10

【 0 0 2 7 】

図 2 において、上記イメージセンサチップ A の概略の回路構成を説明する。このイメージセンサチップ A は、N 個（この N 個については後述する）の受光素子 2 を構成するフォトランジスタ T_r 、これらのフォトランジスタ T_r のエミッタ側に接続された FET、FET から流れる電流を増幅するための増幅器 OP、N ビットのシフトレジスタ 19、パッド VDD、パッド GND、パッド AO、パッド SI、パッド CLK、およびパッド SO を具備している。これらのパッドは、上記複数のパッド部 3 に振り分けられて設けられており、上記パッド VDD には、たとえば 5 V の電源電圧が供給される。パッド GND は、グラウンドラインに接続されている。パッド CLK には、たとえば 8 MHz などのクロック信号が入力される。パッド SI には、シリアル信号が入力される。パッド AO からはフォトランジスタ T_r の受光量に対応するアナログの画像信号がシリアルに出力される。パッド SO からは、シリアルアウト信号が出力される。

20

【 0 0 2 8 】

上記回路構成では、まずパッド SI にシリアルイン信号が入力されると、シフトレジスタ 19 は、N 個の FET を順次オンにしていく。すると、N 個のフォトランジスタ T_r に蓄えられていた電荷は一定の順序で順次放電されてゆき、増幅器 OP によって増幅されてからパッド AO にシリアル出力されることとなる。上記シフトレジスタ 19 の動作によって N 個目の最終のフォトランジスタ T_r から画像信号が出力されると、パッド SO にはシリアルアウト信号が出力されることとなる。上記イメージセンサチップ A は、そのような一連の動作を繰り返して実行可能に構成されている。

30

【 0 0 2 9 】

次に、上記イメージセンサチップ A の読み取り画素数 N について説明する。

【 0 0 3 0 】

まず、読み取り画素数 N は、 $N = n \cdot k$ の式で求められる。n は、上記複数の受光素子 2 のそれぞれから出力される複数の画像信号を複数ずつ纏めてブロック単位で補正するとき 1 ブロックとされる受光素子数である。この n の値は、従来技術の場合と同様に、たとえば “ 8 ” とされる。すなわち、N 個の受光素子 2 のそれぞれから出力される画像信号のレベル補正を行う場合に、8 つの画像信号のうちから 1 つの画像信号をサンプリングし、そのサンプリングした画像信号の出力に基づいてそれら 8 つの画像信号のレベルを 1 纏めにして補正すれば、全体の補正処理の手間が簡略される。また、8 つの画像信号のうち 1 つの画像信号をサンプリングすれば、その補正精度を十分に高めることができる。

40

【 0 0 3 1 】

次いで、k は、 $0 < (n \cdot k - D) < n$ の条件を満たす最小の整数であり、 $D = y \cdot p$ である。y は、上記イメージセンサチップ A の解像度、すなわち所定の単位長さ当たりの読

50

み取り画素数である。上記複数の受光面 20 のピッチ L がたとえば約 0.085 mm である場合には、その解像度 γ は、11.8 ドット/mm である。この解像度 γ をインチ表示すると、300 dpi (dpi は、dot / inch の略) である。また、p は、種々の要求読み取り幅に対する増分であり、このイメージセンサチップ A を用いて種々の要求読み取り幅に対応させてゆく場合にその要求読み取り幅の最小ピッチとなる寸法 (要求読み取り幅最小ピッチ) である。この要求読み取り幅に対する増分 p は、顧客の要望あるいは画像読み取り装置の製造メーカーが製造する画像読み取り装置の種類などに応じて決定され、たとえば 12.7 mm (1/2 inch) とされる。

【0032】

上記条件下において、解像度 γ と要求読み取り幅に対する増分 p を inch 単位で統一し、これらの数値を $D = \gamma \cdot p$ の式に代入すると、 $D = 300 \times (1/2) = 150$ となる。この D の値は、要求読み取り幅に対する増分 p に必要な読み取り画素数である。また、 $0 < (n \cdot k - D) < n$ の条件を満たす最小の整数としての k の値は、 $n = 8$ 、および $D = 150$ であるから、 $k = 19$ である。したがって、この k の値を、上式 $N = n \cdot k$ に代入すると、 $N = 152$ となる。すなわち、上記イメージセンサチップ A は、152 個の受光素子 2 を作り込んでおり、その読み取り画素数 N は 152 とされている。また、その結果、上記イメージセンサチップ A の全長寸法は、約 12.874 mm となる。

【0033】

次いで、上記イメージセンサチップ A を実際に使用する場合の使用法ならびに作用について説明する。

【0034】

まず、上記イメージセンサチップ A は、たとえば図 3 に示すように、所望数だけ準備し、回路基板 4 の表面に列状に並べて実装して使用する。上記回路基板 4 の表面には、複数のイメージセンサチップ A のパッド部 3 との電気接続を行うための配線パターン (図示略) が形成されており、複数のイメージセンサチップ A のパッド部 3 は、それら複数のイメージセンサチップ A が互いに電氣的に直列に接続されるように上記回路基板 4 の配線パターンに金線などのワイヤを介して導通接続される (図示略)。その一方、上記回路基板 4 に実装されるイメージセンサチップ A の個数や、回路基板 4 のサイズなどは、組み込み対象となる画像読み取り装置の仕様条件に応じて任意に選択される。具体的には、表 3 のような仕様となる。

【0035】

【表 3】

10

20

30

要求読取幅S (mm)	必要チップ数	チップ全長La (mm)	余裕しろLb (mm)	余裕しろの 割合R(%)
25.4(1inch)	2	25.75	0.35	1.37
50.8(2inch)	4	51.50	0.70	1.37
76.2(3inch)	6	77.25	1.05	1.37
101.6(4inch)	8	103.00	1.40	1.37
127 (5inch)	10	128.74	1.74	1.37
152.4(6inch)	12	154.49	2.09	1.37
177.8(7inch)	14	180.24	2.44	1.37
203.2(8inch)	16	205.99	2.79	1.37
215.9(8.5inch)	17	218.86	2.96	1.37
254 (10inch)	20	257.49	3.49	1.37

10

20

【 0 0 3 6 】

この表 3 から明らかなように、要求読み取り幅 S がたとえば 25.4 mm (1 inch) の場合には、上記イメージセンサチップ A は 2 個用いればよく、この場合には 2 個のイメージセンサチップ A の全長 La は約 25.75 mm となり、要求読み取り幅 S に対するイメージセンサチップ全長 La の余裕しろ Lb は約 0.35 mm であり、またその余裕しろの割合 R は、約 1.37 % である。これに対し、要求読み取り幅 S が 50.8 mm、76.2 mm と 25.4 mm (1 inch) ずつ大きくなると、要求読み取り幅 S に対するイメージセンサチップ A の余裕しろ Lb の値は徐々に大きくなり、その余裕しろの割合 R は、やはり要求読み取り幅 S が 25.4 mm の場合と同様に、約 1.37 % のままである。さらに、要求読み取り幅 S が、たとえば 215.9 mm とされ、要求読み取り幅 S を 12.7 mm (1 / 2 inch) の間隔で変更する場合にも、やはりその余裕しろの割合は、約 1.37 % である。

30

【 0 0 3 7 】

このように、上記イメージセンサチップ A では、結局、このイメージセンサチップ A を複数個用いて所望の要求読み取り幅 S を満足するように用いる場合に、その要求読み取り幅 S が要求読み取り幅最小ピッチ p の整数倍である限りは、その要求読み取り幅 S がいずれの寸法であっても、その余裕しろの割合 R を常に同一にすることができる。そして、要求読み取り幅 S が小さい場合には、その余裕しろ Lb の値を小さくすることができる一方、要求読み取り幅 S が大きい場合には、その余裕しろ Lb の値を大きくすることができる。したがって、イメージセンサチップ A の使用個数は、要求読み取り幅 S を超えるのに必要な最小個数にすれば足りる。また、このような条件下において、要求読み取り幅 S が小さい場合にはイメージセンサチップ A の読み取り領域に大きな無駄を生じさせず、また要求読み取り幅 S が大きい場合には原稿がある程度位置ずれしても、その原稿画像の全体を適切に読み取ることが可能となる。

40

【 0 0 3 8 】

また、上記イメージセンサチップ A を、上述した条件とは異なり、たとえばその解像度 γ が、8 ドット / mm、すなわち 203 dpi とした場合において、n および p の値が上述の場合と同様に、 $n = 8$ 、 $p = 12.7 \text{ mm} (1 / 2 \text{ inch})$ である場合には、 $D = 101.5$ 、 $k = 13$ となり、このイメージセンサチップ A の読み取り画素数 N は、 $N = 8 \times 1$

50

3 = 104 となる。この場合、そのチップ長は、13 mm である。このイメージセンサチップを用いて、種々の要求読み取り幅に対応する場合には、表4のような仕様となる。

【0039】

【表4】

要求読取幅S (mm)	必要チップ数	チップ全長La (mm)	余裕しろLb (mm)	余裕しろの 割合R(%)
25.4(1inch)	2	26.00	0.60	2.36
50.8(2inch)	4	52.00	1.20	2.36
76.2(3inch)	6	78.00	1.80	2.36
101.6(4inch)	8	104.00	2.40	2.36
127 (5inch)	10	130.00	3.00	2.36
152.4(6inch)	12	156.00	3.60	2.36
177.8(7inch)	14	182.00	4.20	2.36
203.2(8inch)	16	208.00	4.80	2.36
215.9(8.5inch)	17	221.00	5.10	2.36
254 (10inch)	20	260.00	6.00	2.36

【0040】

この表4から理解されるように、この場合であっても、要求読み取り幅Sが1/2 inchの整数倍である限りは、そのイメージセンサチップの余裕しろLbの割合Rをいずれの場合も約2.36%に一定化することができ、要求読み取り幅Sが小さい場合にはその余裕しろLbを小さく、また要求読み取り幅Sが大きくなるにしたがってその余裕しろLbを徐々に大きくしてゆくことができる。

【0041】

図4は、上記イメージセンサチップAを用いて構成された画像読み取り装置の一例を示す概略断面図である。

【0042】

同図に示す画像読み取り装置Bは、密着型イメージセンサとして構成されたものであり、その基本的な構成は、従来既知の密着型イメージセンサと同様である。すなわち、この画像読み取り装置Bは、ケース50の上面に透明な原稿載置板51が装着されており、この原稿載置板51の表面の所定のライン状領域が画像読み取り領域52とされている。この画像読み取り領域52と対向する位置には、原稿59を副走査方向に移送するためのプラテンローラ6が設けられる。上記ケース50内には、上記画像読み取り領域52に対して光を照射するためのLED光源などの光源53が設けられているとともに、上記画像読み取り領域52の直下には、集光レンズ54が設けられている。この集光レンズ54としては、たとえば原稿画像を正立等倍に結像させる複数のセルフックレンズを一連に繋げたセルフックレンズアレイが用いられる。上記複数のイメージセンサチップAを実装した回路基板4は、上記ケース50の底部に組み付けられ、それら複数のイメージセンサチップAは上記集光レンズ54の直下に配置されている。

【0043】

上記画像読み取り装置Bでは、光源53から発せられた光が画像読み取り領域52に到達し、原稿59の表面に照射されると、その反射光は集光レンズ54によって複数のイメー

10

20

30

40

50

ジセンサチップAの各受光面20上に集束される。すると、上記複数のイメージセンサチップAからは、各受光面20の受光量に対応した出力レベルの画像信号がシリアルで出力されることとなる。

【0044】

上記画像読み取り装置Bを構成する場合、既述したとおり、イメージセンサチップAを無駄に多く使用することを回避できるために、このイメージセンサチップAを搭載する回路基板4が不必要に大型化することも回避でき、さらにはこれに伴って集光レンズ54、ケース50、原稿載置板51などの各部が不当に大型化することも適切に回避できることとなる。したがって、上記イメージセンサチップAを用いれば、画像読み取り装置Bの小型化、ならに製造コストの低減化を図る上でも好ましいものとなる。

10

【0045】

また、上記複数のイメージセンサチップAから出力された画像信号は、複数の受光素子2ごとの製造上のばらつきや集光レンズ54との組み合わせのばらつきなどを無くすために、8つの画像信号ごとに1纏めにしてその出力レベルの補正処理がなされる。その一方、上記各イメージセンサチップAの読み取り画素数N、たとえば152や104は、8の倍数である。したがって、上記補正処理は、複数のイメージセンサチップAごとに適切に行うことができる。より具体的には、読み取り画素数Nが152の場合には、1個のイメージセンサチップAから出力される画像信号を19のブロックにちょうど分けることができ、2個のイメージセンサチップA、Aに跨がったかたちで補正処理を行う必要がなくなり、その補正処理も適切に行えることとなる。

20

【0046】

なお、上述の実施形態では、イメージセンサチップの解像度 γ が11.8ドット/mmと8ドット/mmとの場合を具体例として説明したが、むしろ本願発明はこれに限定されない。本願発明では、それら以外の種々の解像度のイメージセンサチップとしても構成することができ、その具体的な値は問わない。

【0047】

また、上述の実施形態では、解像度 γ や要求読み取り幅に対する増分pについては、25.4mm(1inch)を単位長さにしてインチベースで所定の数式の計算を行っているが、やはり本願発明はこれに限定されない。本願発明では、それとは異なる長さを単位長さとしてもよい。たとえば読み取り幅が50mm間隔で要求されるような場合には、この50mmの長さを解像度 γ や要求読み取り幅に対する増分pの単位長さとしてもかまわず、この場合の解像度 γ の数値としては50mm当たりの読み取り画素数を用い、また要求読み取り幅に対する増分pの長さとしては、50mmを単位長さとする寸法に換算した数値を用いればよい。さらに、本願発明では、nやpの具体的な数値も、上述の実施形態の値に限定されるものではなく、これらの数値は種々に選択できる。なお、従来では、イメージセンサチップ1個当たりの読み取り画素数は16の整数倍とされていたため、読み取り画素数が16の整数倍の場合は本願発明の技術的範囲に属しないこととなる。したがって、本願発明でいう読み取り画素数Nは、16の倍数を除く。

30

【0048】

その他、本願発明に係るイメージセンサチップや画像読み取り装置の各部の具体的な構成は、種々に設計変更自在である。

40

【図面の簡単な説明】

【図1】本願発明が適用されたイメージセンサチップの一例を示す平面図である。

【図2】図1に示すイメージセンサチップの概略の回路構成の一例を示す回路ブロック図である。

【図3】図1に示すイメージセンサチップを回路基板に搭載した状態を示す概略平面図である。

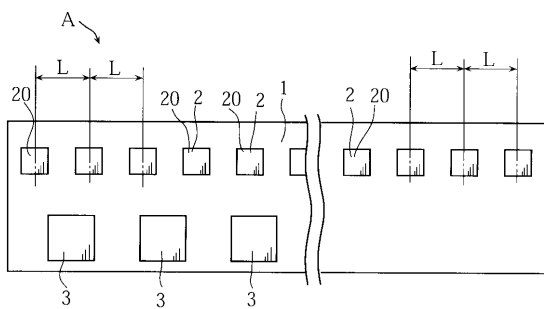
【図4】図1に示すイメージセンサチップを用いて構成された画像読み取り装置の一例を示す概略断面図である。

【符号の説明】

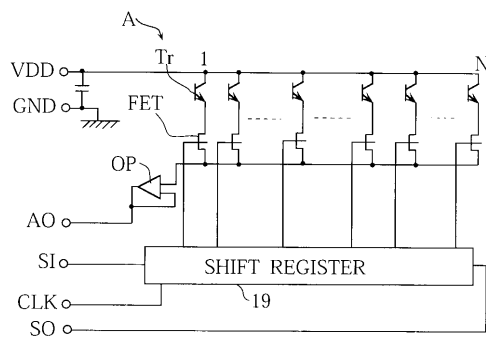
50

- 2 受光素子
- 20 受光面
- 52 画像読み取り領域
- 53 光源
- 54 集光レンズ
- 59 原稿
- A イメージセンサチップ
- B 画像読み取り装置

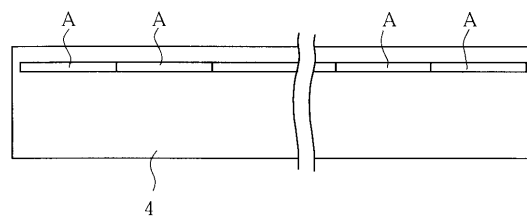
【図1】



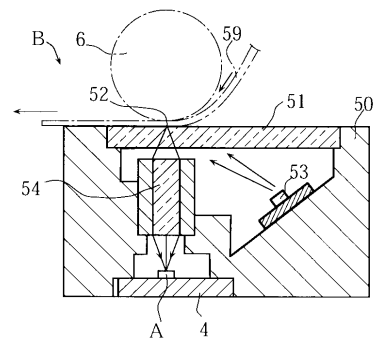
【図2】



【図3】



【図4】



フロントページの続き

(56)参考文献 特開平08-289104(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 1/028

H04N 1/19