

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月26日(26.07.2018)



(10) 国際公開番号

WO 2018/135220 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2017/045673

(22) 国際出願日: 2017年12月20日(20.12.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-007160 2017年1月19日(19.01.2017) JP

(71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).

(72) 発明者: 松本 昌大(MATSUMOTO Masahiro); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 中野 洋(NAKANO Hiroshi); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 柳川 善光(YANAGAWA

Yoshimitsu); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 小田部 晃(KOTABE Akira); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).

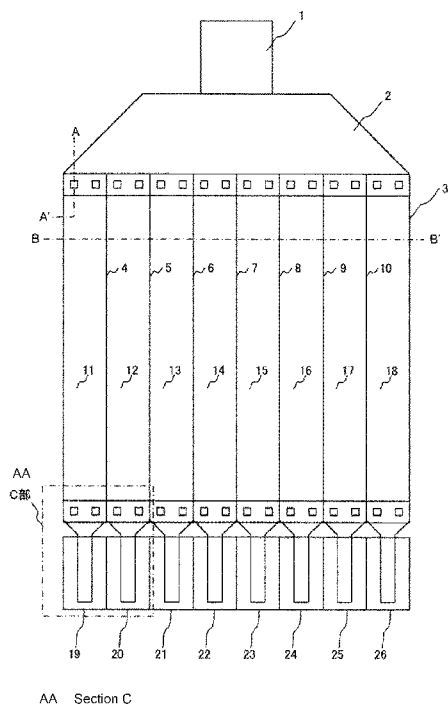
(74) 代理人: 戸田 裕二(TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社日立製作所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子装置

[図1]



(57) Abstract: In conventional protective circuits for electronic devices, surge resistance was low and directly connecting an external connection terminal of an integrated circuit to an external connection terminal of an electronic device or the like was difficult. This example of a protective circuit for an electronic device is constituted from: an external connection terminal 1 that connects an external signal; a wiring layer 2 that connects a protective resistor 3 to the external connection terminal 1; a protective resistor 3 that protects an internal circuit from surges or noise input from the external connection terminal 1; slits 4, 5, 6, 7, 8, 9, 10 that divide the protective resistor 3; current dispersion resistors 11, 12, 13, 14, 15, 16, 17, 18 constituted by dividing the protective resistor 3 with the slits 4, 5, 6, 7, 8, 9, 10; and MOS transistors 19, 20, 21, 22, 23, 24, 25, 26 connected to the current dispersion resistors 11, 12, 13, 14, 15, 16, 17, 18.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 従来の電子装置の保護回路ではサージ耐性が低く、集積回路の外部接続端子を電子装置などの外部接続端子に直接接続することが困難であった。本実施例の電子装置の保護回路は外部信号を接続すると外部接続端子1、外部接続端子1と保護抵抗3を接続する配線層2と、外部接続端子1から入力されるサージやノイズから内部回路を保護する保護抵抗3と、保護抵抗3を分割するスリット4、5、6、7、8、9、10と、保護抵抗3をスリット4、5、6、7、8、9、10で分割することで構成される電流分散抵抗11、12、13、14、15、16、17、18と、電流分散抵抗11、12、13、14、15、16、17、18に接続されるMOSトランジスタ19、20、21、22、23、24、25、26から構成される。

明 細 書

発明の名称 : 電子装置

技術分野

[0001] 本発明は保護抵抗と複数の半導体素子を並列接続して構成されるサージ保護回路を有する電子装置に係り、特に、微細集積回路に最適なサージ保護回路を有する電子装置に関する。

背景技術

[0002] 保護抵抗と複数の半導体素子を並列接続して構成されるサージ保護回路を有する電子装置の例として、特許文献1に記載された技術がある。特許文献1には、外部接続端子に接続される複数のMOSトランジスタの全てに保護抵抗を配置することで電流集中を低減することが開示されている。また、保護抵抗をMOSトランジスタの近傍に配置し、外部接続端子からの八木アンテナ状の配線を用いて外部接続端子と保護抵抗を接続していた。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-96897号公報

発明の概要

発明が解決しようとする課題

[0004] センサなどの小型の電子装置では、集積回路の外部接続端子を電子装置の外部接続端子に直接接続することが行われる。この場合、集積回路の外部接続端子には電子装置の外部接続端子に要求されるサージ耐性が必要になる。また、電子装置の外部接続端子のサージ耐性は集積回路に要求されるサージ耐性に比べて高い。特に、自動車用電子装置では、集積回路に要求されるサージ耐性に比べて100倍以上のエネルギー耐量を要求する。この結果、サージ印加時に集積回路に流れる電流の大きさおよび印加される時間は、従来の集積回路に要求されるサージ耐性の10倍以上になる。

[0005] このような大きなサージ耐性を得る場合、保護抵抗のサイズは大型化し、

MOSトランジスタのサイズ及び個数も増加する。そして、保護抵抗およびMOSトランジスタのサイズが大きくなった場合、保護抵抗をMOSトランジスタの近傍に配置するレイアウトでは、レイアウト効率が悪くチップサイズが大きくなってしまう。また、サージ印加により発生する電流の電流集中によって破損する箇所については、MOSトランジスタだけではなく、配線も考慮する必要がある。配線の保護も考慮する場合、外部接続端子から八木アンテナ状の配線を用いて保護抵抗に接続したのでは配線長が長く、且つ、細くなるので配線の電流容量を増加させることが困難である。また、配線の電流容量を増加させようとする、配線が太くなりチップサイズが増加してしまう。これらのことに対して、特許文献1は配慮が欠けていた。

[0006] 本発明は上記事情に鑑みてなされたものであり、その目的は、集積回路の外部接続端子のサージ耐性を大型化することなく高め、集積回路の外部接続端子を電子装置などの外部接続端子に直接接続できる電子装置を提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明は、外部接続端子を保護抵抗に接続し、前記保護抵抗を複数の半導体素子を並列接続した半導体デバイスに接続し、前記保護抵抗にスリットあるいは連続する穴を配置する。

発明の効果

[0008] 本発明によれば、小型でサージ耐性の高い電子装置を提供することが可能となる。

図面の簡単な説明

[0009] [図1]第1の実施例の電子装置の保護回路の構成

[図2]図1のA-A'の断面

[図3]図1のB-B'の断面

[図4]図1のC部の拡大図

[図5]第1の実施例の電子装置の保護回路の回路図

[図6]MOSトランジスタ19、20、21、22、23、24、25、26

の電圧電流特性

[図7]保護抵抗3にスリットを設けない場合の電子装置の保護回路の回路図

[図8]スリット4、5、6、7、8、9、10の長さで保護抵抗3のチップサイズとの関係

[図9]スリット4、5、6、7、8、9、10の長さで保護抵抗3の許容損失との関係

[図10]スリット4、5、6、7、8、9、10の長さで保護抵抗3の抵抗値との関係

[図11]スリット4、5、6、7、8、9、10の長さで電流分散抵抗11、12、13、14、15、16、17、18の抵抗値との関係

[図12]第2の実施例の電子装置の保護回路の回路図

[図13]第3の実施例の電子装置の保護回路の回路図

[図14]第4の実施例の電子装置の保護回路の回路図

[図15]第5の実施例の電子装置の保護回路の構成

[図16]図15のC部の拡大図

[図17]図15のD部の拡大図

[図18]第5の実施例の電子装置の保護回路の回路図

[図19]第6の実施例の電子装置の保護回路の構成

[図20]第7の実施例の電子装置の保護回路の構成

[図21]第8の実施例の電子装置の保護回路の構成

[図22]第9の実施例の電子装置の保護回路の構成

[図23]第10の実施例の電子装置の保護回路の構成

[図24]第11の実施例の電子装置の保護回路の構成

[図25]第12の実施例の電子装置の保護回路の構成

[図26]第13の実施例の電子装置の保護回路の構成

[図27]第13の実施例の電子装置の保護回路の回路図

[図28]第14の実施例の電子装置の保護回路の構成

発明を実施するための形態

[0010] 以下、本発明の実施の形態について、図面を参照して説明する。なお、各実施例は、矛盾しない限り組み合わせ可能である。

[0011] [第 1 の実施例]

まず、本発明の第 1 の実施例である電子装置を図 1 ～ 1 1 により説明する。

[0012] 図 1 に示すように、本実施例の電子装置の保護回路は、半導体デバイスを備える。半導体デバイスは、外部信号と接続する外部接続端子 1 と、外部接続端子 1 と保護抵抗 3 を接続する配線層 2 と、外部接続端子 1 から入力されるサージやノイズから内部回路を保護する保護抵抗 3 と、保護抵抗 3 を分割するスリット 4 ～ 1 0 と、保護抵抗 3 をスリット 4 ～ 1 0 で分割することで構成される電流分散抵抗 1 1 ～ 1 8 と、電流分散抵抗 1 1 ～ 1 8 に接続される MOS トランジスタ 1 9 ～ 2 6 を備える。MOS トランジスタ 1 9 ～ 2 6 は、並列接続された複数の半導体素子である。この半導体デバイスは、半導体装置の内部若しくは外部のセンサやアクチュエータを制御するのに用いられる。

[0013] 図 2 に示す様に、保護抵抗 3 は、コンタクト 2 7 を介して配線層 2 と接続している。保護抵抗 3 は、シリコン基板 2 9 の上に設けられた酸化膜 2 8 上に設けられている。保護抵抗 3 は、絶縁膜である酸化膜 2 8 により、シリコン基板 2 9 と絶縁されている。こうすることで、外部接続端子 1 に印加される正電位および負電位のサージに対して絶縁性を確保した。保護抵抗 3 は、ポリシリコン膜、金属膜、金属シリサイド膜などを使用できる。また、コンタクト 2 7 には限定されず、スルーホールなどでもよい。

[0014] 図 3 に示す様に、保護抵抗 3 は、スリット 4 ～ 1 0 で分割され、電流分散抵抗 1 1 ～ 1 8 を構成する。

[0015] 図 4 を用いて MOS トランジスタ 1 9、2 0 の詳細を説明する。なお、MOS トランジスタ 2 1 ～ 2 6 も MOS トランジスタ 1 9、2 0 と同様な構成である。MOS トランジスタ 1 9 は、拡散層 3 6 に配置されたゲート電極 3 8 により、ソース 3 7 とドレイン 3 9 を構成する。ソース 3 7 は、グランド

に接続される。ドレイン 39 は、配線層 34、コンタクト 30、31 を介して電流分散抵抗 11 に接続される。MOS トランジスタ 20 は、拡散層 43 に配置されたゲート電極 41 により、ソース 40 とドレイン 42 を構成する。ソース 40 は、グランドに接続する。ドレイン 42 は、配線層 35、コンタクト 32、33 を介して電流分散抵抗 12 に接続される。

[0016] 図 1、2、3、4 に示す様に保護回路を構成することで、本実施例の保護回路の回路図は図 5 の様に表される。つまり、外部接続端子 1 から入力された電流（電圧）は、保護抵抗 3 を分割して構成した電流分散抵抗 11～18 に接続される。電流分散抵抗 11、12、13、14、15、16、17、18 は、各々 MOS トランジスタ 19、20、21、22、23、24、25、26 に接続される。MOS トランジスタ 19～26 は、ゲート電極に信号を印加することで、外部接続端子 1 を駆動する。

[0017] 次に、本実施例の第 1 の効果について説明する。

[0018] MOS トランジスタ 19～26 は、図 6 に示す様に、ドレイン電圧を増加させるとドレイン電流が急増する降伏特性を示す。ここで、MOS トランジスタ 19～26 のプロセスサイズが大きい場合は、図 6 の点線で示す様にツェナー特性になる。他方で、MOS トランジスタ 19～26 のプロセスサイズが小さい（微細プロセス）場合は、図 6 の実線に示す様に、スナップバック特性になる。ここで、スナップバック特性は MOS トランジスタ毎のバラツキが大きいという課題がある。

[0019] ここで、図 7 に、保護抵抗 3 にスリットを設けない従来構造の場合における電子装置の保護回路を示す。この従来構造における外部接続端子 1 に、サージ電圧が印加された場合を考える。外部接続端子 1 にサージが印加されると、MOS トランジスタ 19～26 のドレイン電圧は上昇し、最もスナップバックし易い MOS トランジスタが最初にスナップバックする。この結果、MOS トランジスタ 19～26 のドレイン電圧は低下するので、最初にスナップバックした MOS トランジスタはスナップバックした状態になり、他の MOS トランジスタはスナップバックしなくなる。この結果、最初にスナッ

プバックしたMOSトランジスタに電流が集中して流れ、最初にスナップバックしたMOSトランジスタの接続配線が損傷してしまう。

[0020] この現象は、外部接続端子1に印加されるサージ電圧の立ち上がり速度が遅い場合に顕著に表れる。これは、MOSトランジスタのドレイン電圧がスナップバックする電圧まで達したとしても、MOSトランジスタがスナップバックするまでに時間を要することに起因する。つまり、サージ電圧の立ち上がり速度が速く、MOSトランジスタが実際にスナップバックするまでの時間よりもサージ電圧の立ち上がり時間が短い場合には、あるMOSトランジスタのドレイン電圧がスナップバックする電圧まで達してから、他のMOSトランジスタがスナップバックするまでに上昇する。すなわち、あるMOSトランジスタのドレイン電圧がスナップバックするまでの遅延時間の間に、他のMOSトランジスタもスナップバックする。しかし、サージ電圧の立ち上がり速度が遅い場合には、どれか1つのMOSトランジスタが最初にスナップバックすると他のMOSトランジスタのドレイン電圧がスナップバックする電圧まで上昇しないので、最初にスナップバックしたMOSトランジスタに電流が集中する。

[0021] 外部接続端子1に印加されるサージ電圧の立ち上がり速度は、集積回路の外部接続端子を電子装置などの外部接続端子に直接接続した場合、配線によるリアクタンス、外部接続端子に付加するコンデンサや意図的に付加したコンデンサなどにより遅くなる。つまり、集積回路の外部接続端子を、電子装置などの外部接続端子に直接接続する場合は、サージ電圧の立ち上がり速度が遅くなり、保護回路の耐量が小さくなることを考慮する必要がある。

[0022] 次に、本実施例の保護回路の外部接続端子1にサージが印加された場合を考える。本実施例の保護回路では外部接続端子1にサージが印加されると、MOSトランジスタ19～26のドレイン電圧は上昇し、最もスナップバックし易いMOSトランジスタが最初にスナップバックする。しかし、最初にスナップバックしたMOSトランジスタのドレイン電流は電流分散抵抗11～18で制限される。そのため、最初にスナップバックしたMOSトランジ

スタの接続配線が損傷することを防止することができる。

[0023] また、最初にスナップバックしたMOSトランジスタがスナップバックした状態でも、最初にスナップバックしたMOSトランジスタへ流れる電流の上昇に伴い、最初にスナップバックしたMOSトランジスタに接続されている電流分散抵抗にも電流が流れ、電流分散抵抗とこれに流れる電流の積の分だけ外部接続端子1の電圧は上昇する。この結果、他のMOSトランジスタのドレイン電圧も上昇し順次スナップバックしていく。この様に動作することで、外部接続端子1に印加されたサージのサージエネルギーを均等に電流分散抵抗11～18とMOSトランジスタ19～26で消費する。この結果、電流分散抵抗11～18とMOSトランジスタ19～26での損失を小さくできるので、保護回路の小型化を実現できる。

[0024] また、電流分散抵抗11～18によりMOSトランジスタ19～26へ流れる電流を制限することで、MOSトランジスタ19～26への接続配線の損傷を無くすることができる。

[0025] つまり、電流分散抵抗を入れることで、サージ電圧の立ち上がりが遅い場合でもスナップバックによる電流集中を抑え、各MOSトランジスタ19～26に均等に電流が流れるようになる。

[0026] 次に、本実施例の第2の効果について説明する。

[0027] 本実施例の保護回路では保護抵抗3にスリット4～10を設け、電流分散抵抗11～18を構成する。本構成によれば、外部接続端子1、保護抵抗3、MOSトランジスタ19～26が最短距離で接続される。そして、これらの間を接続する配線層2、34、35は短く配線幅も太くできる。この結果、配線層2、34、35の電流容量を増加させることができ、外部接続端子1へ印加されるサージ電圧による配線損傷を低減することができる。また、スリット4～10と、MOSトランジスタ19～26のレイアウトピッチを容易に合わせることが可能である。このことから、電流分散抵抗11～18とMOSトランジスタ19～26の接続性を向上でき、チップサイズの小型化と配線層34、35の電流容量の向上を実現できる。

[0028] 次に、本実施例の第3の効果について説明する。

[0029] 図8は、スリット4～10の長さ、保護抵抗3のサイズの関係である。

スリット4～10を長くしても、保護抵抗3のチップサイズは変化しない。

[0030] 図9は、スリット4～10の長さ、保護抵抗3の許容損失の関係である。

保護抵抗3の許容損失は保護抵抗3の平面積で決まる。スリット4～10の分だけ保護抵抗3の平面積は減る。しかし、この量は微小なので、スリット4～10を長くしても保護抵抗3の許容損失はほとんど変化しない。

[0031] 図10はスリット4～10の長さ、保護抵抗3の抵抗値の関係である。保

護抵抗3の抵抗値は、保護抵抗3の抵抗率、幅、長さで決まる。スリット4～10の分だけ保護抵抗3の幅は減る。しかし、この量は微小なので、保護抵抗3の抵抗値はほとんど変化しない。

[0032] 図11はスリット4～10の長さ、電流分散抵抗11～18の抵抗値の関

係である。スリット4～10を長くすることで電流分散抵抗11～18の抵抗値は比例して増加する。つまり、スリット4～10を長くすることで保護抵抗3のサイズ、許容損失、抵抗値などの設計値を変化させることなく、抵抗値の高い電流分散抵抗11～18を実現できる。つまり、スリット4～10を長くすることで容易に電流分散抵抗11～18の抵抗値を高くできる。電流分散抵抗11～18の抵抗値を高くすることで、電流分散抵抗11～18および、MOSトランジスタ19～26へ流れる電流を制限することができる。その結果、MOSトランジスタ19～26への接続配線の損傷を無くすることができる。なお、本効果はスリット4～10を電流の通電方向に配置することで、保護抵抗3の面積に対する効果を最大にできるのでより好ましいがこれに限られるものではない。仮に、スリット4～10を斜め方向に延伸した場合にはスリットが保護抵抗3の側端部に当たり、スリット長さが通電方向に対して制限されるからである。言い方を変えれば、スリット4～10を斜め方向に延伸した場合でも効果は低下するが効果があることを示す。

[0033] 次に、本実施例の第4の効果について説明する。

[0034] 本実施例の保護回路では、外部接続端子1から電流分散抵抗11、MOS

トランジスタ 19 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 12、MOS トランジスタ 20 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 13、MOS トランジスタ 21 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 14、MOS トランジスタ 22 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 15、MOS トランジスタ 23 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 16、MOS トランジスタ 24 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 17、MOS トランジスタ 25 を介してグラウンドに抜けるまでの抵抗値と、外部接続端子 1 から電流分散抵抗 18、MOS トランジスタ 26 を介してグラウンドに抜けるまでの抵抗値のバラツキを小さくできる。スリット設けた場合、外部接続端子 1 から MOS トランジスタ 19 ～ 26 までの抵抗値は電流分散抵抗 11 ～ 18 の抵抗値で決まるが、スリットが無い場合、端部に設けられた MOS トランジスタ 19 から外部接続端子 1 までの抵抗値が最小になる経路と中央部に配置された MOS トランジスタ 22 から外部接続端子 1 までの抵抗値が最小になる経路は異なり、この経路の差が抵抗値のバラツキになる。従って、本実施例は、スリットが無い場合に比べて、外部接続端子 1 から電流分散抵抗、MOS トランジスタを介してグラウンドに抜けるまでの抵抗値のバラツキを小さくできる。この結果、保護抵抗 3 を流れる電流を均一化でき、保護抵抗 3 を流れる電流の電流集中を低減でき、保護抵抗 3 の許容損失を増加させることが可能になり、チップサイズを小さくできる。

[0035] [第 2 の実施例]

次に、本発明の第 2 の実施例である電子装置を図 12 により説明する。なお、第 1 の実施例と同様の構成については説明を省略する。

[0036] 本実施例の電子装置の保護回路は基本的に第 1 の実施例の電子装置と同じであるが、MOS トランジスタ 19 ～ 26 をダイオード接続して MOS ダイオード 44 ～ 51 を配置した。この場合でも、第 1 の実施例の電子装置と同

じ効果を得ることができる。また、本実施例では外部接続端子 1 を入力端子として使用することができる。

[0037] [第 3 の実施例]

次に、本発明の第 3 の実施例である電子装置を図 1 3 により説明する。なお、第 1 の実施例と同様の構成については説明を省略する。

[0038] 本実施例の電子装置の保護回路は基本的に第 1 の実施例の電子装置と同じであるが、MOS トランジスタ 1 9 ～ 2 6 をバイポーラトランジスタ 5 2 ～ 5 9 に置き換えた。この場合でも、第 1 の実施例の電子装置と同じ効果を得ることができる。また、バイポーラトランジスタ 5 2 ～ 5 9 を配置することでトランジスタのバラツキを低減でき、各トランジスタに均等にサージ電流が流れやすくなり、チップサイズを小型にできる。

[0039] [第 4 の実施例]

次に、本発明の第 4 の実施例である電子装置を図 1 4 により説明する。なお、第 1 の実施例と同様の構成については説明を省略する。

[0040] 本実施例の電子装置の保護回路は基本的に第 1 の実施例の電子装置と同じであるが、MOS トランジスタ 1 9 ～ 2 6 をダイオード 6 0 ～ 6 7 に置き換えた。この場合でも、第 1 の実施例の電子装置と同様な効果を得ることができる。

[0041] [第 5 の実施例]

次に、本発明の第 5 の実施例である電子装置を図 1 5、1 6、1 8 により説明する。なお、第 1 の実施例と同様の構成については説明を省略する。

[0042] 本実施例の電子装置の保護回路は第 1 の実施例と基本的に同じであるが、以下の変更を加えた。まず、保護抵抗 3 に配置したスリットを短くしている。本実施例では、保護抵抗 3 に、保護抵抗 3 の長さよりも短いスリット 6 9 ～ 7 5 を設けている。そうすることで、保護抵抗 3 に、抵抗 6 8 と電流分散抵抗 7 6 ～ 8 3 を構成している。

[0043] 次に、本実施例の保護回路の回路図について、図 1 8 を用いて説明する。外部接続端子 1 は、保護抵抗 3 の外部接続端子 1 側の部分で構成される抵抗

68と接続される。抵抗68は、保護抵抗3を分割して構成した電流分散抵抗76～83と接続される。そして、電流分散抵抗76～83は、MOSトランジスタ対84～91に接続される。MOSトランジスタ対84～91のゲート電極に信号を印加することで、外部接続端子1は駆動される。

[0044] 次に、保護抵抗3に、抵抗68と電流分散抵抗76～83を構成していることによる効果について説明する。

[0045] 外部接続端子1に印加されるサージ電圧によって流れる保護抵抗3の電流は、外部接続端子1からMOSトランジスタ対84～91に向けて直線的に流れる傾向がある。特に、外部接続端子1の近傍では、この傾向が大きい。この結果、第1の実施例の様に外部接続端子1とスリット4～10までの距離が短いと、サージ電圧による電流が保護抵抗14, 15に集中する傾向がある。この傾向を下げる為に、外部接続端子1と保護抵抗3の距離を長くする方法もある。しかし、この場合、配線層2が長くなり配線層2の電流容量が低下してしまう。また、チップサイズも増大してしまう。

[0046] そこで、本実施例ではスリット69～75を保護抵抗3よりも短くしている。本実施例では、保護抵抗3の中間までしか延伸しないことで、保護抵抗3に抵抗68を更に配置している。抵抗68を配置することで、保護抵抗3や配線層2の大きさを変更することなく、外部接続端子1から電流分散抵抗76～83までの距離を確保することが可能となる。リアクタンスおよび発熱による抵抗上昇などの効果で、抵抗68を流れる電流を均一化でき、電流分散抵抗76～83への電流も均一に流すことが可能となる。その結果、保護抵抗3に、均一にサージ電流が流れる様にすることができる。なお、中間を例に述べたが、これに限られるものではない。すなわち、延伸を保護抵抗3の途中までとすることで、抵抗68を更に配置することは可能である。

[0047] スリット69～75を短くしてすることで、電流分散抵抗76～83の抵抗値は小さくなるが、配線の損傷を防ぐためにはサージ電圧の最大値と電流分散抵抗76～83の抵抗値で決まる電流値よりも配線の電流容量の方が高ければ良く、この条件はスリット69～75を短くしても十分に成り立たせ

ることが可能である。なお、この効果はスリット69～75を、MOSトランジスタ対84～91との接続端側から延伸するように配置した場合に最大の効果を得ることができる。仮に、スリット69～75をMOSトランジスタ対84～91との接続端側から少し離れた場合、この離れた隙間に抵抗成分が生じ、この抵抗成分の影響で実質的な電流分散抵抗76～83の抵抗値を低下させるからである。

[0048] また、本実施例では、図16や図18に示すように、MOSトランジスタ19～26をMOSトランジスタ対84～91に置き換えている。

[0049] 図16を用いてMOSトランジスタ対84、85の詳細を説明する。なお、MOSトランジスタ対86～91もMOSトランジスタ対84、85と同様な構成である。

[0050] MOSトランジスタ対84は、拡散層98にゲート電極100、102を配置してソース99、103とドレイン101を構成する。ソース99、103はグランドに接続される。ドレイン101は、配線層96、コンタクト92、93を介して電流分散抵抗76に接続される。

[0051] MOSトランジスタ対85は、拡散層98にゲート電極104、106を配置してソース103、107とドレイン105を構成する。ソース103、107はグランドに接続される。ドレイン105は、配線層97、コンタクト94、95を介して電流分散抵抗77に接続される。

[0052] この様なMOSトランジスタ対とする効果について説明する。

[0053] 隣り合うMOSトランジスタのソース領域あるいはドレイン領域を共用することで、チップサイズの小型を図ることが可能となる。また、各MOSトランジスタに拡散層を個別に設ける必要が無く1つの拡散層98で複数のMOSトランジスタを配置できることからチップサイズを小型化できる。本実施例の様に、電流分散抵抗76～83の各々にMOSトランジスタを2個接続しても、サージ電流の最大値はサージ電圧の最大値と電流分散抵抗76～83の抵抗値で決まる。つまり、電流分散抵抗76～83の各々にMOSトランジスタを複数個接続しても、サージ電流の最大値はほとんど変化しな

いので配線の損傷を防ぐことが可能である。

[0054] [スリット形状の改良例]

次に、図 17 を用いて、第 1 の実施例から第 5 の実施例で述べたスリット 75 の先端形状の改良例について説明する。スリット 75 の先端は図 17 に示す様に角を取った形状にした。この様にスリットの先端形状を丸めることでサージ印加に流れるサージ印加電流がスムーズに流れ、先端部分での発熱を抑えることができる。

[0055] [第 6 の実施例]

次に、本発明の第 6 の実施例である電子装置を図 19 により説明する。なお、図 19 は第 6 の実施例の電子装置の保護回路の構成である。なお、第 5 の実施例と同様の構造については説明を省略する。

[0056] 本実施例の電子装置の保護回路は基本的に第 5 実施例の電子装置と同じであるが、保護抵抗 3 の側端部側のスリット 69、75 を短くし、保護抵抗 3 の中央部のスリット 71、72、73 を長くした。言い換えると、中心側のスリットよりも、側端部側のスリットを短く構成している。こうすることで、側端部側の電流分散抵抗の抵抗値を小さくなり、サージ電流がより保護抵抗 3 の側端部に流れやすくなる。外部接続端子 1 が中心側に位置する場合、サージ電流は直進傾向があるため、側端部側には流れにくくなる傾向がある。本実施例によれば、外部接続端子 1 から遠い（側端部側にある）電流分散抵抗の抵抗を小さくしているため、より均等にサージ電流が保護抵抗 3 を流れる様にできる。

[0057] [第 7 の実施例]

次に、本発明の第 7 の実施例である電子装置を図 20 により説明する。なお、図 20 は第 7 の実施例の電子装置の保護回路の構成である。なお、第 5、第 6 の実施例と同様の構造については説明を省略する。

[0058] 本実施例の電子装置の保護回路は基本的に第 5 実施例の電子装置と同じであるが、外部接続端子 1 が左側に偏った構成になっている。そして、保護抵抗 3 の側端部のスリット 75 を短くし、外部接続端子 1 に近いスリット 69、7

0、71を長くした。こうすることで、サージ電流がより保護抵抗3の右側に流れやすくなる。本実施例によれば、外部接続端子1から遠い（右側端部側にある）電流分散抵抗の抵抗を小さくしているため、より均等にサージ電流が保護抵抗3を流れる様にできる。この結果、外部接続端子1が左側に偏ったとしてもサージ電流がより均等に保護抵抗3の内部を流れる様にできる。右側に外部端子1が設けられた場合も同様である。

[0059] [第8の実施例]

本発明の第8の実施例である電子装置を図21により説明する。なお、第5の実施例と同様の構成については説明を省略する。

[0060] 本実施例の電子装置の保護回路は基本的に第5実施例の電子装置と同じであるが、スリット69～75をMOSトランジスタ対84～91との接続端から離れた。こうした場合でも、本保護回路の等価回路は第5の実施例で示した図18の回路図と同じになる。つまり、第5の実施例と同様にサージ電圧が印加された時に流れるサージ電流がより均等に保護抵抗3の内部を流れる様にでき、且つ、サージ電圧が印加された時に流れるサージ電流によってMOSトランジスタ対84～91への接続配線が損傷することを防ぐことができる。

[0061] [第9の実施例]

本発明の第9の実施例である電子装置を図22により説明する。なお、第5の実施例と同様の構成については説明を省略する。

[0062] 本実施例の電子装置の保護回路は基本的に第5実施例の電子装置と同じであるが、スリット69、71、73、75を削除してスリットの本数を少なくした。こうした場合でも、サージ電圧が印加された時にMOSトランジスタ対84～91へ流れる電流を制限することができる。この結果、サージ電圧が印加された時に流れるサージ電流によりMOSトランジスタ対84～91への接続配線が損傷することを防ぐことができる。つまり、スリット70、72、74で、MOSトランジスタ対84、85の接続箇所と、MOSトランジスタ対86、87の接続箇所と、MOSトランジスタ対88、89の

接続箇所と、MOSトランジスタ対90、91の接続箇所に分割することで、サージ電圧が印加された時にMOSトランジスタ対84～91へ流れる電流を制限することができる。また、別の言い方をすれば、スリット70、72、74で保護抵抗3を分割して電流分散抵抗を複数構成して、この電流分散抵抗をMOSトランジスタ対84、85とMOSトランジスタ対86、87とMOSトランジスタ対88、89とMOSトランジスタ対90、91に接続する。そうすることで、サージ電圧が印加された時にMOSトランジスタ対84～91へ流れる電流を制限することができる。この結果、サージ電圧が印加された時に流れるサージ電流により、MOSトランジスタ対84～91への接続配線が損傷することを防ぐことができる。

[0063] [第10の実施例]

次に、本発明の第10の実施例である電子装置を図23により説明する。
なお、第5の実施例と同様の構成については説明を省略する。

[0064] 本実施例の電子装置の保護回路は基本的に第5実施例の電子装置と同じであるが、スリット69～75を、連続する穴の列108～114に置き換えた。こうした場合でも、本保護回路の等価回路は第5の実施例で示した図18の回路図と同じになる。

[0065] [第11の実施例]

次に、本発明の第11の実施例である電子装置を図24により説明する。
なお、第5の実施例と同様の構成については説明を省略する。

[0066] 本実施例の電子装置の保護回路は基本的に第5実施例の電子装置と同じであるが、スリット69～75を斜め方向に配置したスリット115～130に置き換えた。こうした場合でも、本保護回路の等価回路は第5の実施例で示した図18の回路図と同じになる。

[0067] [第12の実施例]

次に、本発明の第12の実施例である電子装置を図25により説明する。
なお、第11の実施例と同様の構成については説明を省略する。

[0068] 本実施例の電子装置の保護回路は基本的に第11実施例の電子装置と同じ

であるが、スリット 115～130を、山形のスリット 131～142に置き換えた。こうした場合でも、本保護回路の等価回路は第5の実施例で示した図18の回路図と同じになる。

[0069] [第13の実施例]

次に、本発明の第13の実施例である電子装置を図26、27により説明する。なお、第5の実施例と同様の構成については説明を省略する。

[0070] 本実施例の電子装置の保護回路は基本的に第5実施例の電子装置と同じであるが、配線層143を追加し、コンデンサ144を配置し、AD変換器などの内部回路145に接続した。

[0071] 本実施例では、抵抗68とコンデンサ144でフィルタを構成することができる。フィルタを配置することで外部接続端子1から入ってくるサージ電圧や高周波ノイズをこのフィルタで減衰させることができ、内部回路145の安定化を図ることができる。つまり、本実施例ではサージ電圧保護とフィルタ機能達成の為に使用する抵抗として抵抗68を共用することでチップサイズを小型化できる。

[0072] 先述したように、保護抵抗3は、シリコン基板29と酸化膜28により絶縁されている。この結果、外部接続端子1に印加される正電位および負電位のサージに対して絶縁性を確保している。この為、本実施例のフィルタは、外部接続端子1に電源電圧以上あるいはグランド電圧以下の電圧が入力されたとしても平均値を維持する。つまり、外部接続端子1にサージ等の高電圧が印加されたとしても、本実施例のフィルタは正常に動作することができる。

[0073] また、配線層143から内部回路145に信号を取り込んだ場合、外部接続端子1と内部回路145の間には抵抗68が直列に入り、電流分散抵抗76～83とMOSトランジスタ対84～91の直列回路がグランドに並列に入る。この為、配線層143の信号、つまり、内部回路145への入力信号は抵抗68と電流分散抵抗76～83とMOSトランジスタ対84～91で構成されるサージ保護回路で保護される。特に、抵抗68が入ることにより

高いサージ電圧の減衰効果を得ることができ、サージ電圧に弱い内部回路 1 4 5 をより強く保護することができる。この結果、内部回路 1 4 5 のサージ電圧による破壊や誤動作を防ぐことができるので、より信頼性の高い電子装置を提供できる。

[0074] [第 1 4 の実施例]

次に、本発明の第 1 4 の実施例である電子装置を図 2 8 により説明する。
なお、図 2 8 は第 1 4 の実施例の電子装置の保護回路の構成である。

[0075] 本実施例の電子装置の保護回路は基本的に第 1 実施例の電子装置と同じであるが、配線層 1 4 5 を追加した。本保護回路の等価回路は第 1 3 の実施例で示した図 2 7 の回路図と基本的に同じなので、第 1 3 の実施例と同様にサージ電圧が印加された時に流れるサージ電流がより均等に保護抵抗 3 の内部を流れる様にでき、且つ、サージ電圧が印加された時に流れるサージ電流によって MOS トランジスタ 1 9 ~ 2 6 への接続配線が損傷することを防ぐことができる。また、配線層 1 4 6 を付加することで等価的に抵抗 6 8 を実現できるので、コンデンサ 1 4 4 を接続することでフィルタを構成できる様にした。フィルタを配置することで外部接続端子 1 から入ってくるサージ電圧や高周波ノイズをこのフィルタで減衰させることができる。この結果、内部回路 1 4 5 のサージ電圧による破壊や誤動作を防ぐことができるので、より信頼性の高い電子装置を提供できる。

[0076] 上述した何れの実施例では、保護抵抗に形成されるパターン部としてスリットを例に説明したが、溝であっても同様の効果を奏する。同様に、保護抵抗に形成されるパターン部として連続する孔を例に説明したが、連続する凹みであっても同様の効果を奏する。また、これらのパターン部は、成膜した後エッチング等により形成する構成に限定されず、マスキングにより成膜時に形成する等の他の構成も当然ながら含まれる。

符号の説明

[0077] 1・・・外部接続端子、2・・・配線層、3・・・保護抵抗、4・・・スリット、5・・・スリット、6・・・スリット、7・・・スリット、8・・・スリット、9・・・スリット、10・・・ス

リット、 11・・・電流分散抵抗、 12・・・電流分散抵抗、 13・・・電流分散抵抗、
14・・・電流分散抵抗、 15・・・電流分散抵抗、 16・・・電流分散抵抗、 17・・・電
流分散抵抗、 18・・・電流分散抵抗、 19・・・MOSトランジスタ、 20・・・MO
Sトランジスタ、 21・・・MOSトランジスタ、 22・・・MOSトランジスタ、
23・・・MOSトランジスタ、 24・・・MOSトランジスタ、 25・・・MOSトラ
ンジスタ、 26・・・MOSトランジスタ、 27・・・コンタクト、 28・・・酸化膜、
29・・・シリコン基板、 30・・・コンタクト、 31・・・コンタクト、 32・・・コンタ
クト、 33・・・コンタクト、 34・・・配線層、 35・・・配線層、 36・・・拡散層、 3
7・・・ソース、 38・・・ゲート電極、 39・・・ドレイン、 40・・・ソース、 41・・・ゲ
ート電極、 42・・・ドレイン、 43・・・拡散層、 44・・・MOSダイオード、 45
・・・MOSダイオード、 46・・・MOSダイオード、 47・・・MOSダイオード、
48・・・MOSダイオード、 49・・・MOSダイオード、 50・・・MOSダイオー
ド、 51・・・MOSダイオード、 52・・・バイポーラトランジスタ、 53・・・バイ
ポーラトランジスタ、 54・・・バイポーラトランジスタ、 55・・・バイポーラト
ランジスタ、 56・・・バイポーラトランジスタ、 57・・・バイポーラトランジス
タ、 58・・・バイポーラトランジスタ、 59・・・バイポーラトランジスタ、 60
・・・ダイオード、 61・・・ダイオード、 62・・・ダイオード、 63・・・ダイオード、
64・・・ダイオード、 65・・・ダイオード、 66・・・ダイオード、 67・・・ダイオー
ド、 68・・・抵抗、 69・・・スリット、 70・・・スリット、 71・・・スリット、 72
・・・スリット、 73・・・スリット、 74・・・スリット、 75・・・スリット、 76・・・電
流分散抵抗、 77・・・電流分散抵抗、 78・・・電流分散抵抗、 79・・・電流分散抵
抗、 80・・・電流分散抵抗、 81・・・電流分散抵抗、 82・・・電流分散抵抗、 83
・・・電流分散抵抗、 84・・・MOSトランジスタ対、 85・・・MOSトランジスタ
対、 86・・・MOSトランジスタ対、 87・・・MOSトランジスタ対、 88・・・M
OSトランジスタ対、 89・・・MOSトランジスタ対、 90・・・MOSトランジ
スタ対、 91・・・MOSトランジスタ対、 92・・・コンタクト、 93・・・コンタク
ト、 94・・・コンタクト、 95・・・コンタクト、 96・・・配線層、 97・・・配線層、
98・・・拡散層、 99・・・ソース、 100・・・ゲート電極、 101・・・ドレイン、 1

02・・・ゲート電極、103・・・ソース、104・・・ゲート電極、105・・・ドレイン、106・・・ゲート電極、107・・・ソース、108・・・連続する穴の列、109・・・連続する穴の列、110・・・連続する穴の列、111・・・連続する穴の列、112・・・連続する穴の列、113・・・連続する穴の列、114・・・連続する穴の列、115・・・スリット、116・・・スリット、117・・・スリット、118・・・スリット、119・・・スリット、120・・・スリット、121・・・スリット、122・・・スリット、123・・・スリット、124・・・スリット、125・・・スリット、126・・・スリット、127・・・スリット、128・・・スリット、129・・・スリット、130・・・スリット、131・・・スリット、132・・・スリット、133・・・スリット、134・・・スリット、135・・・スリット、136・・・スリット、137・・・スリット、138・・・スリット、139・・・スリット、140・・・スリット、141・・・スリット、142・・・スリット、143・・・配線層、144・・・コンデンサ、145・・・内部回路、146・・・配線層

請求の範囲

- [請求項1] 外部接続端子と、前記外部接続端子に接続される保護抵抗と、前記保護抵抗に接続される複数の半導体素子と、を備え、前記複数の半導体素子は、並列接続されている半導体デバイスを有する電子装置において、
- 前記保護抵抗は、スリット、溝、連続する孔、連続する凹みの少なくとも何れかで形成されるパターン部を有する電子装置
- [請求項2] 前記パターン部は、前記保護抵抗に流れる電流の通電方向に沿うように設けられる請求項1に記載の電子装置
- [請求項3] 前記パターン部は、前記保護抵抗の前記複数の半導体素子との接続端側から延伸するように形成される請求項2に記載の電子装置
- [請求項4] 前記パターン部は、前記保護抵抗の途中まで延伸するように形成される請求項3に記載の電子装置
- [請求項5] 前記パターン部は、複数のスリット、複数の溝、複数の連続する孔、複数の連続する凹みの少なくとも何れかを有する請求項1乃至4の何れかに記載の電子装置
- [請求項6] 前記パターン部は、前記保護抵抗の側端部に近い方が短くなるように形成されている請求項5に記載の電子装置
- [請求項7] 前記パターン部は、前記保護抵抗の前記外部接続端子に近い方が長くなるように形成した請求項5に記載の電子装置
- [請求項8] 前記スリットは、端部の角を取った形状である請求項5電子装置
- [請求項9] 前記パターン部は、前記複数の半導体素子と前記保護抵抗の接続箇所を複数に分割するように前記複数のスリット、前記複数の溝、前記複数の連続する孔、前記複数の連続する凹みの少なくとも何れかを配置した請求項5に記載の電子装置
- [請求項10] 前記複数の半導体素子はMOSトランジスタ、バイポーラトランジスタ、ダイオードなどの降伏特性を持つ半導体素子である請求項1に記載の電子装置

- [請求項11] 複数のスリット、若しくは複数の溝、若しくは複数の連続する孔、若しくは複数の連続する凹みにより前記保護抵抗を分割することで電流分散抵抗を複数構成し、前記電流分散抵抗を前記複数の半導体素子に接続した請求項4に記載の電子装置
- [請求項12] 前記電流分散抵抗上に電氣的接続部を設ける請求項11に記載の電子装置
- [請求項13] 前記電氣的接続部から電氣信号を取り出し、内部回路へ電氣信号を取り出した請求項12に記載の電子装置
- [請求項14] 前記電氣的接続部から電氣信号を取り出し、コンデンサと接続した請求項12に記載の電子装置

[図1]

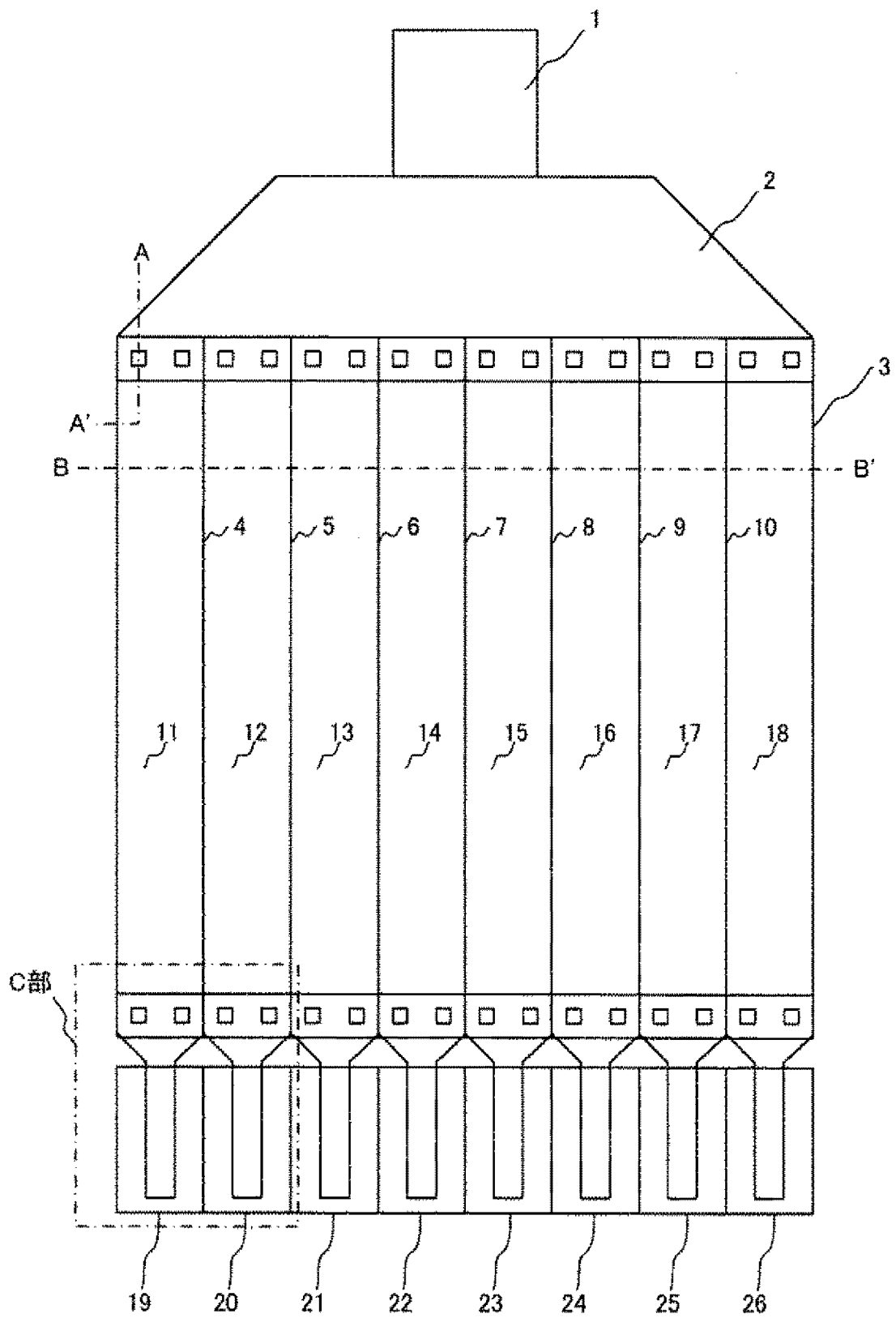


図 1

[図2]

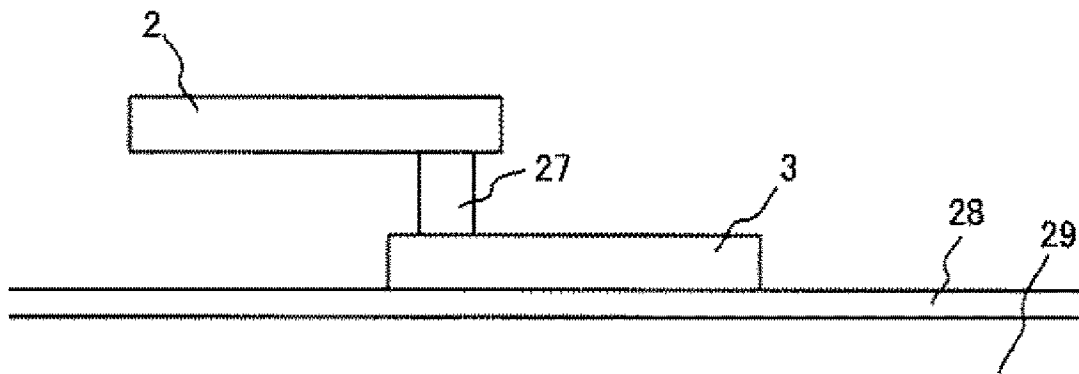


図 2

[図3]

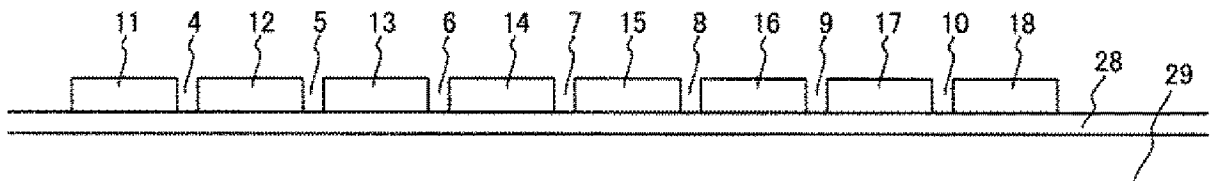


図 3

[図4]

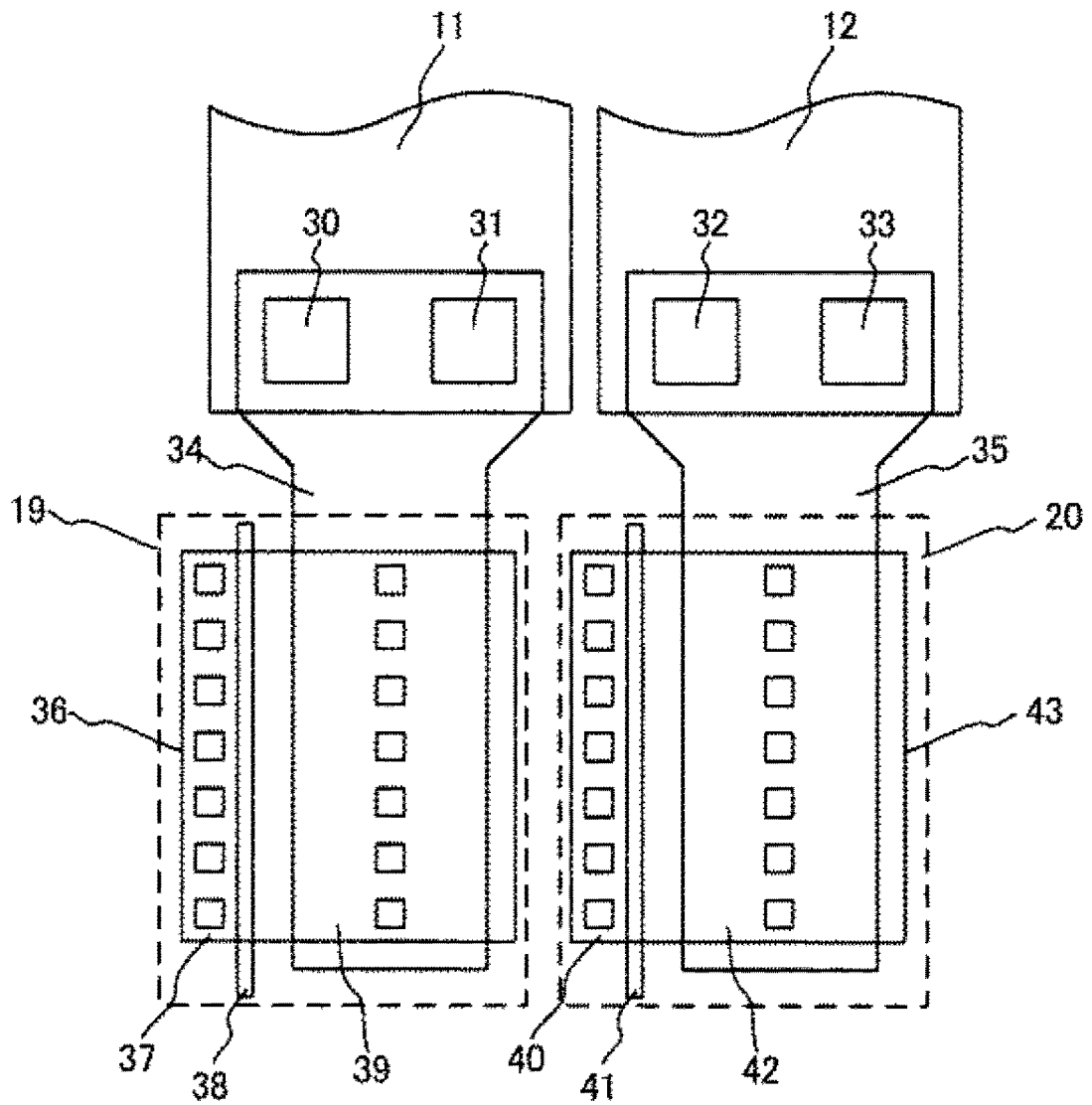


図4

[図5]

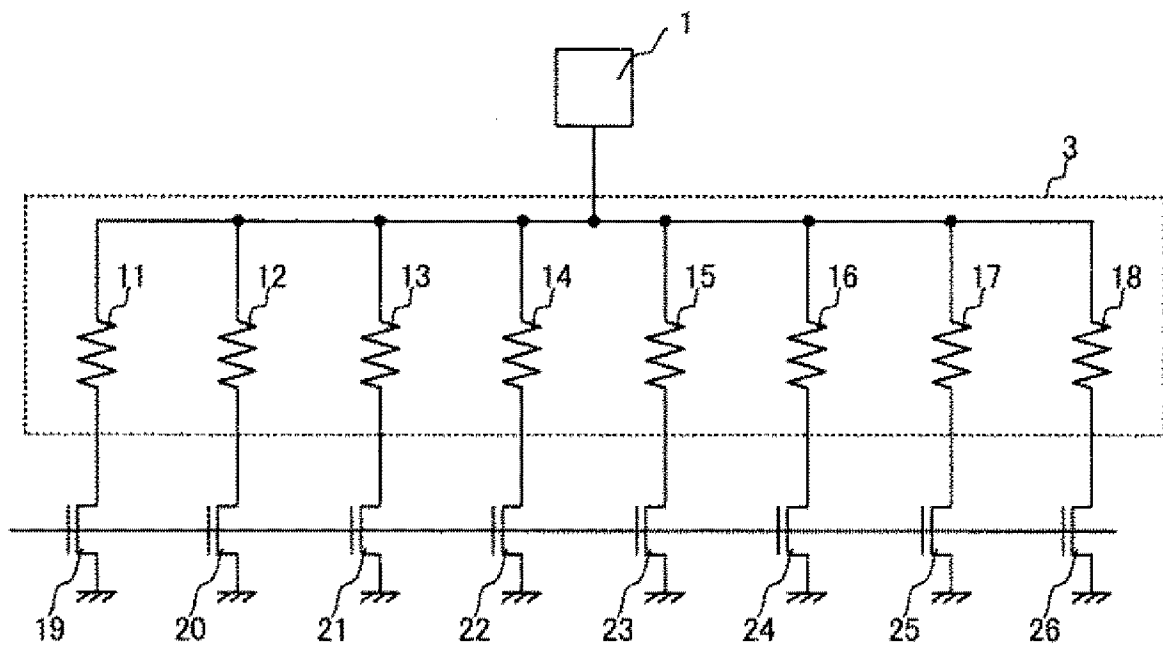


図5

[図6]

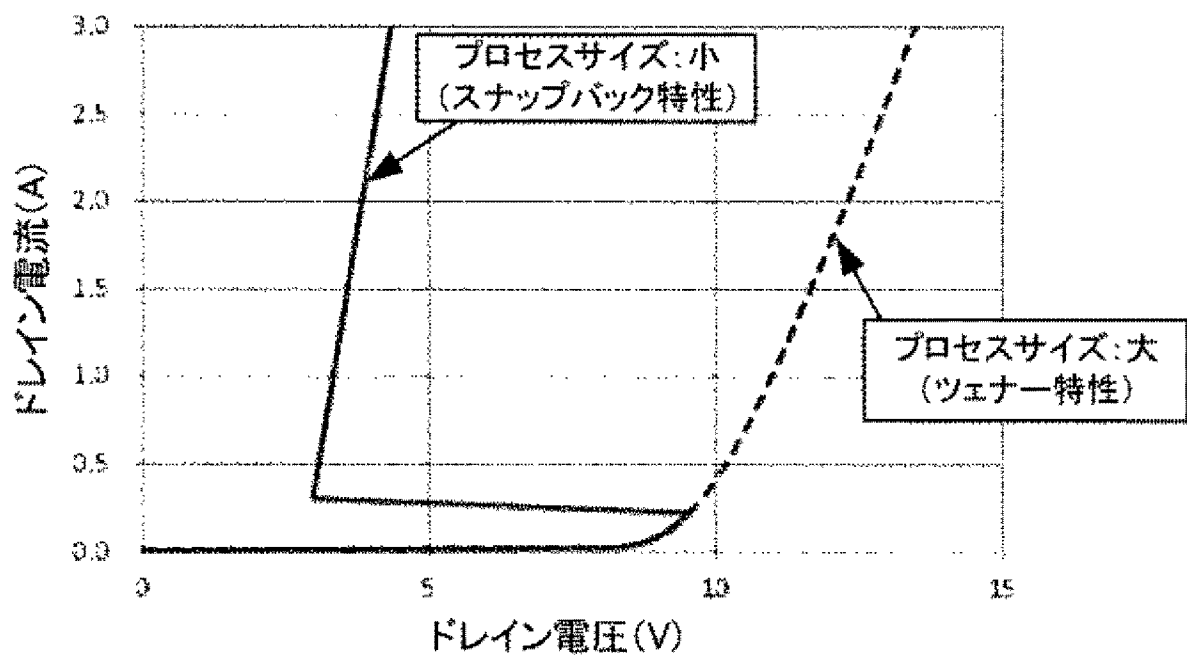


図6

[図7]

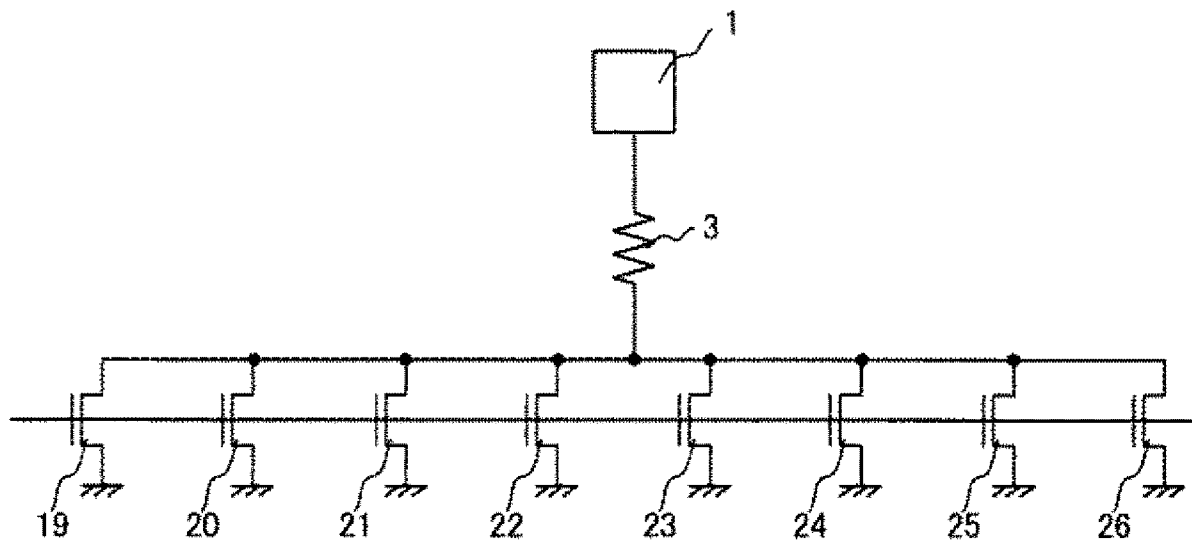


図7

[図8]

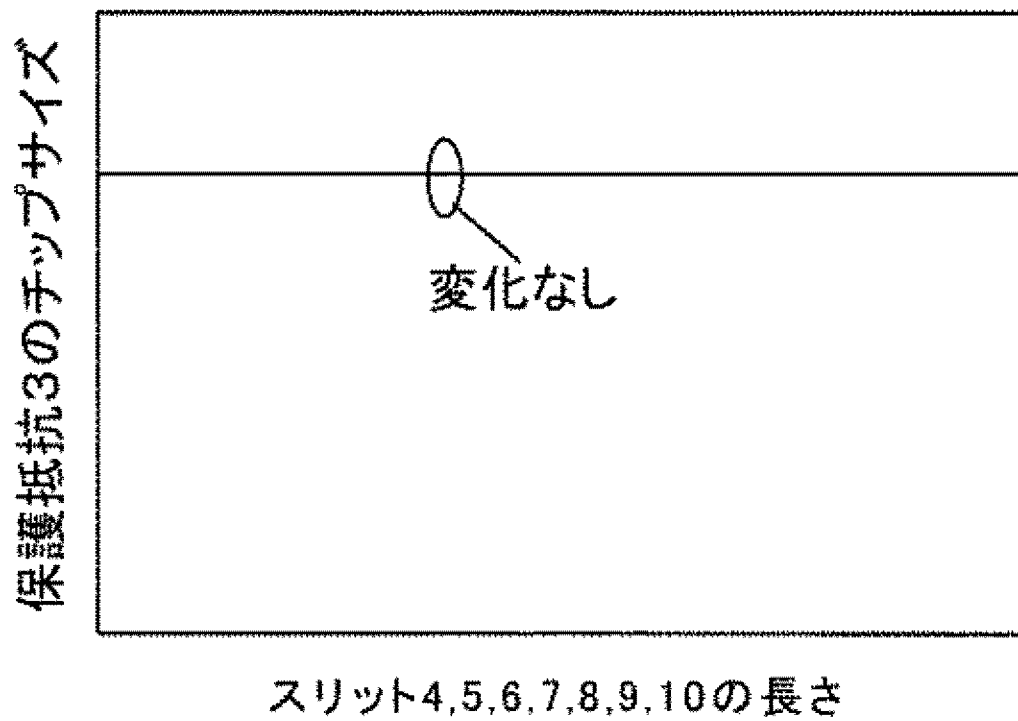


図8

[図9]

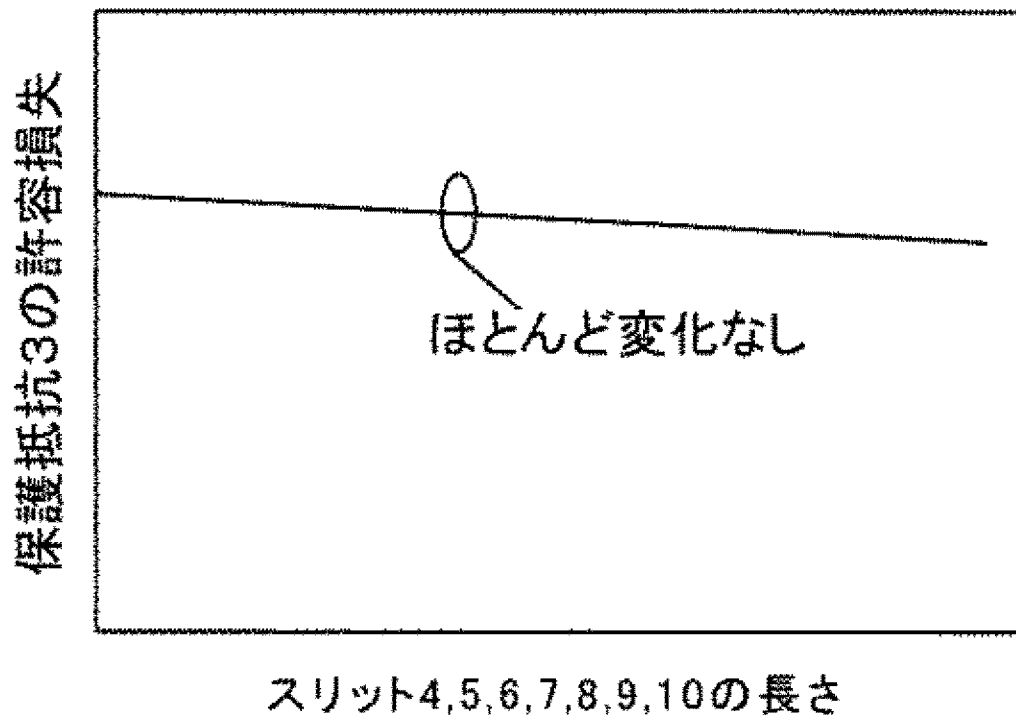


図9

[図10]

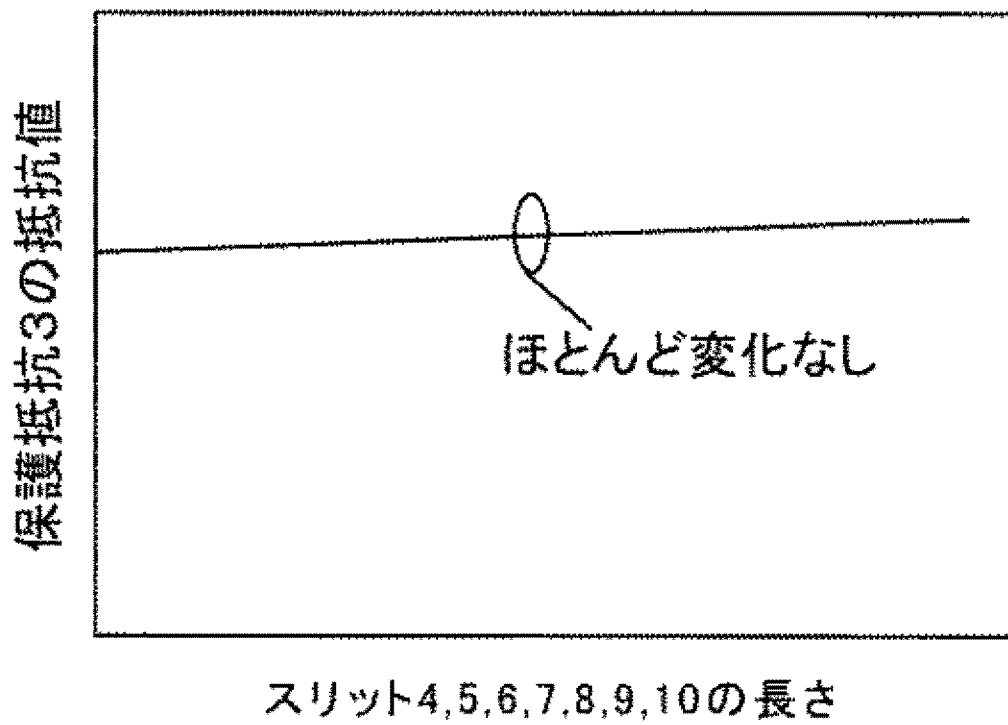


図10

[図11]

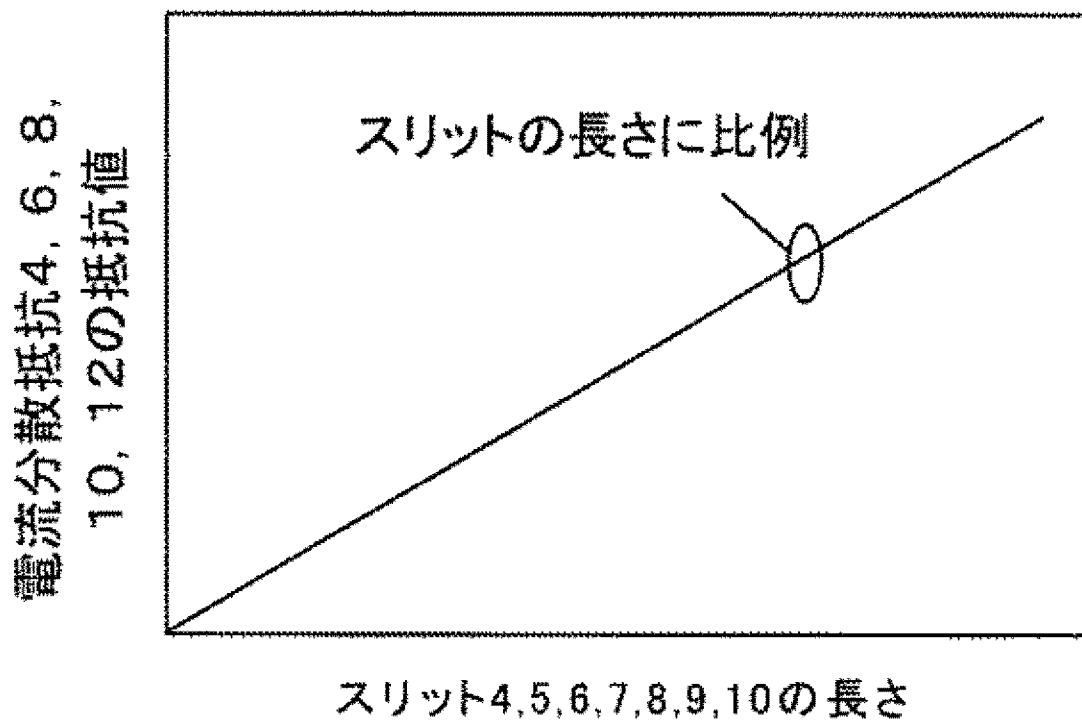


図 1 1

[図12]

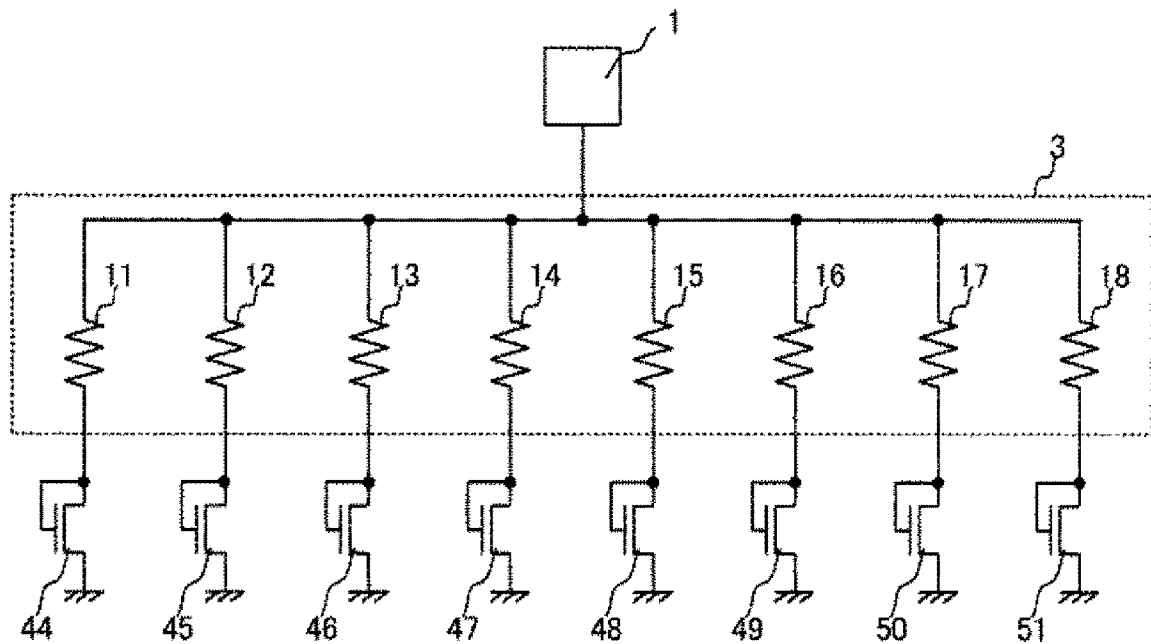


図 1 2

[図13]

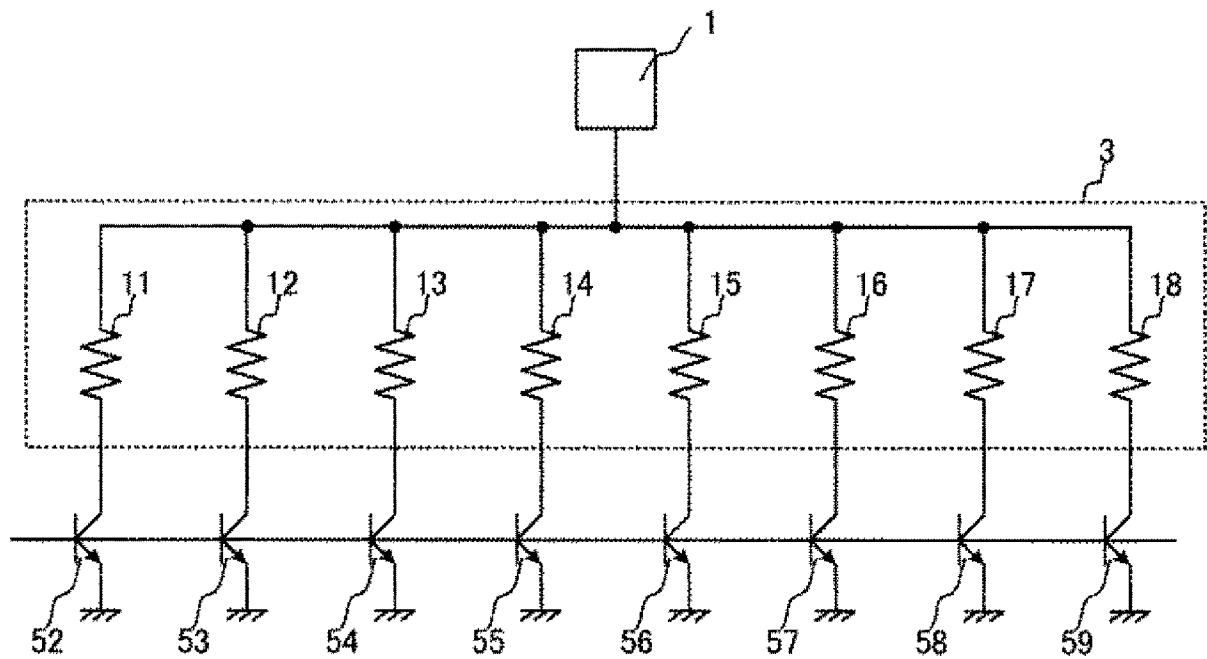


図 13

[図14]

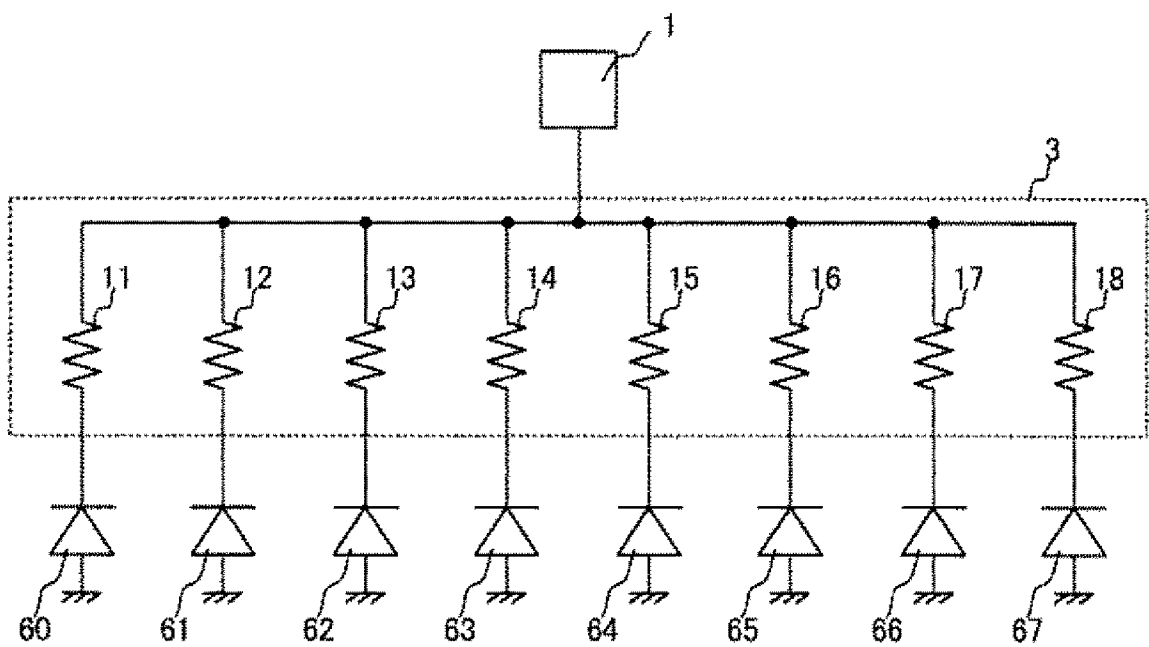


図 14

[図15]

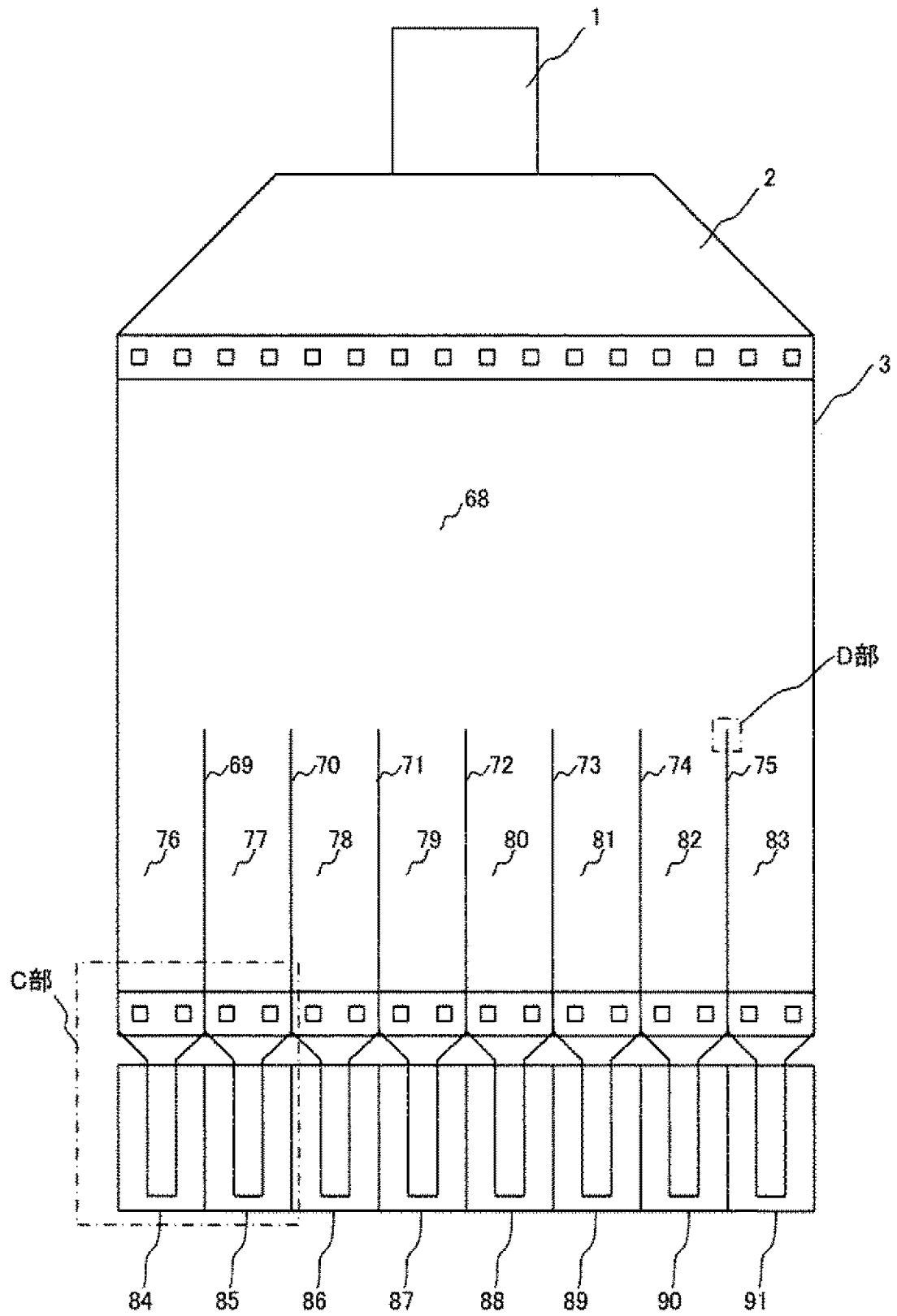


図 15

[図16]

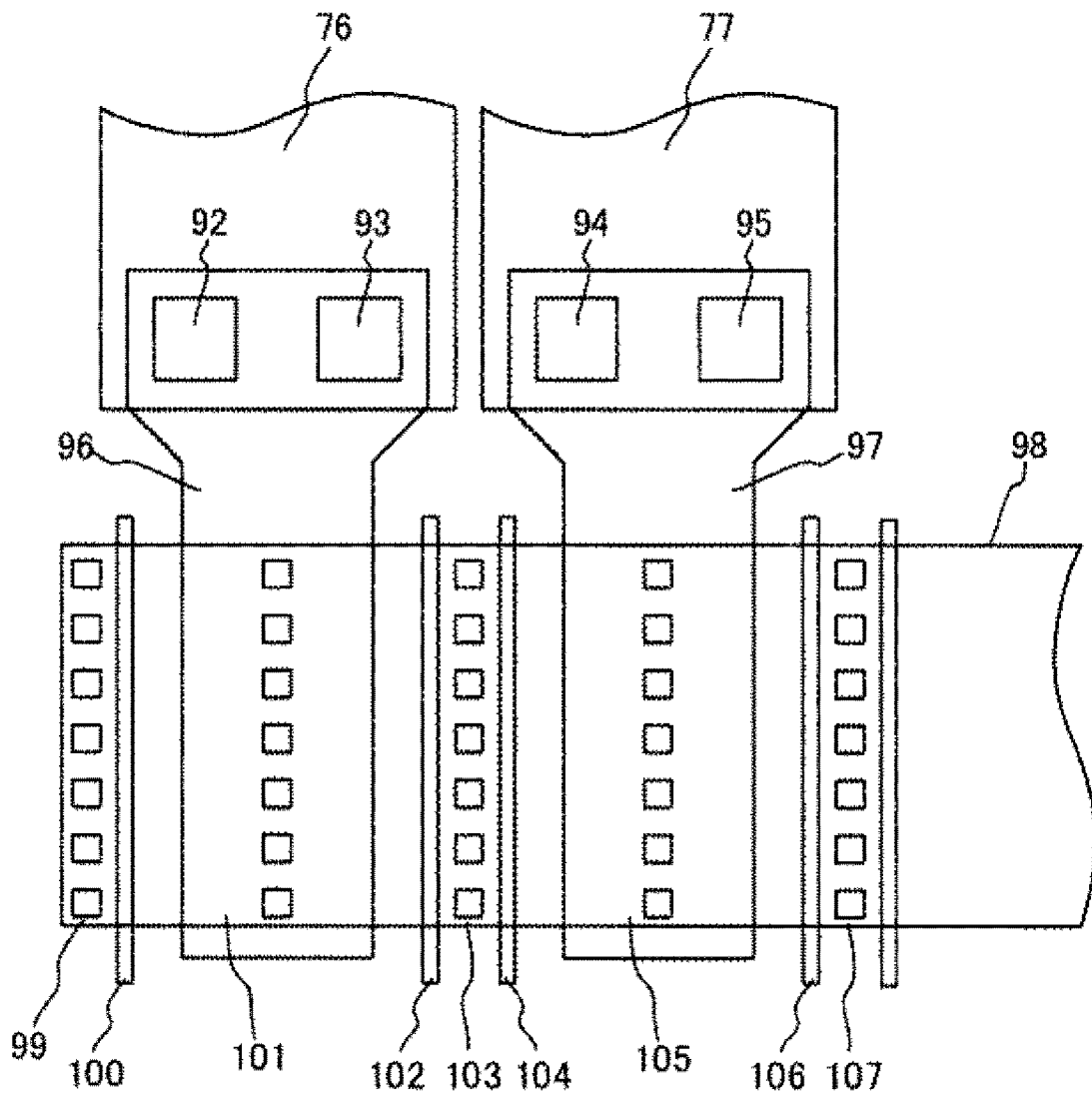


図 16

[図17]

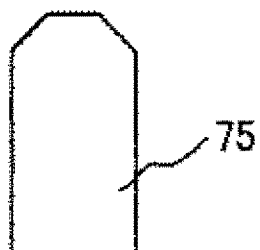


図 17

[図18]

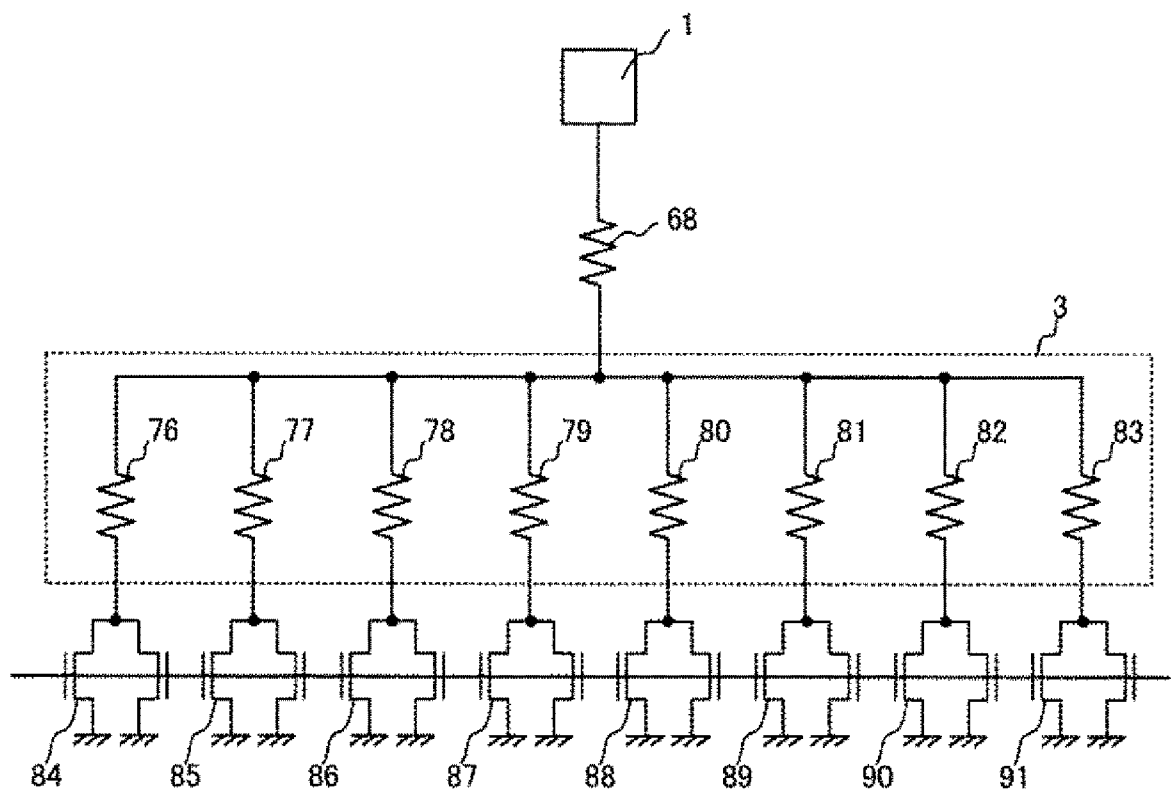


図 18

[図19]

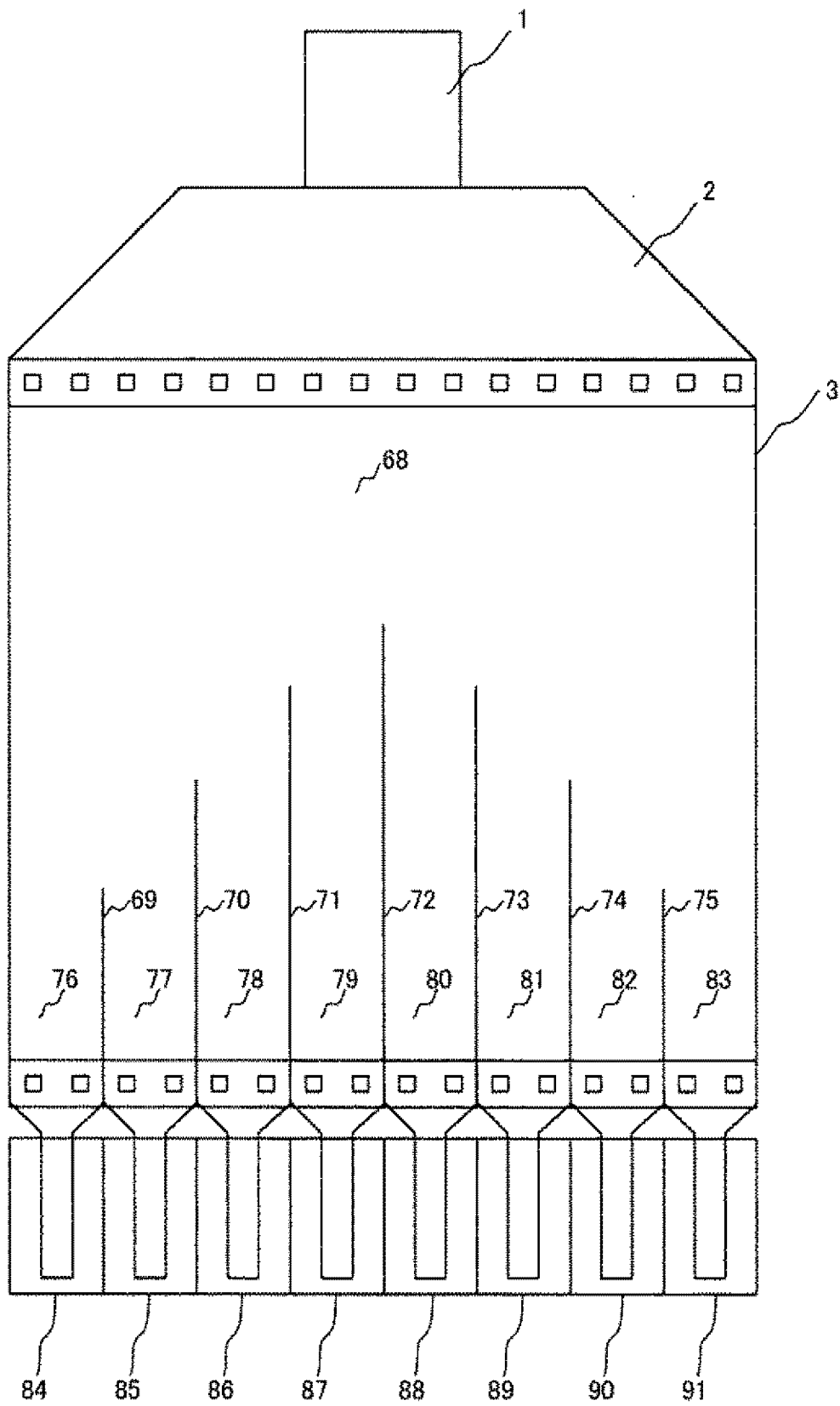


図19

[図20]

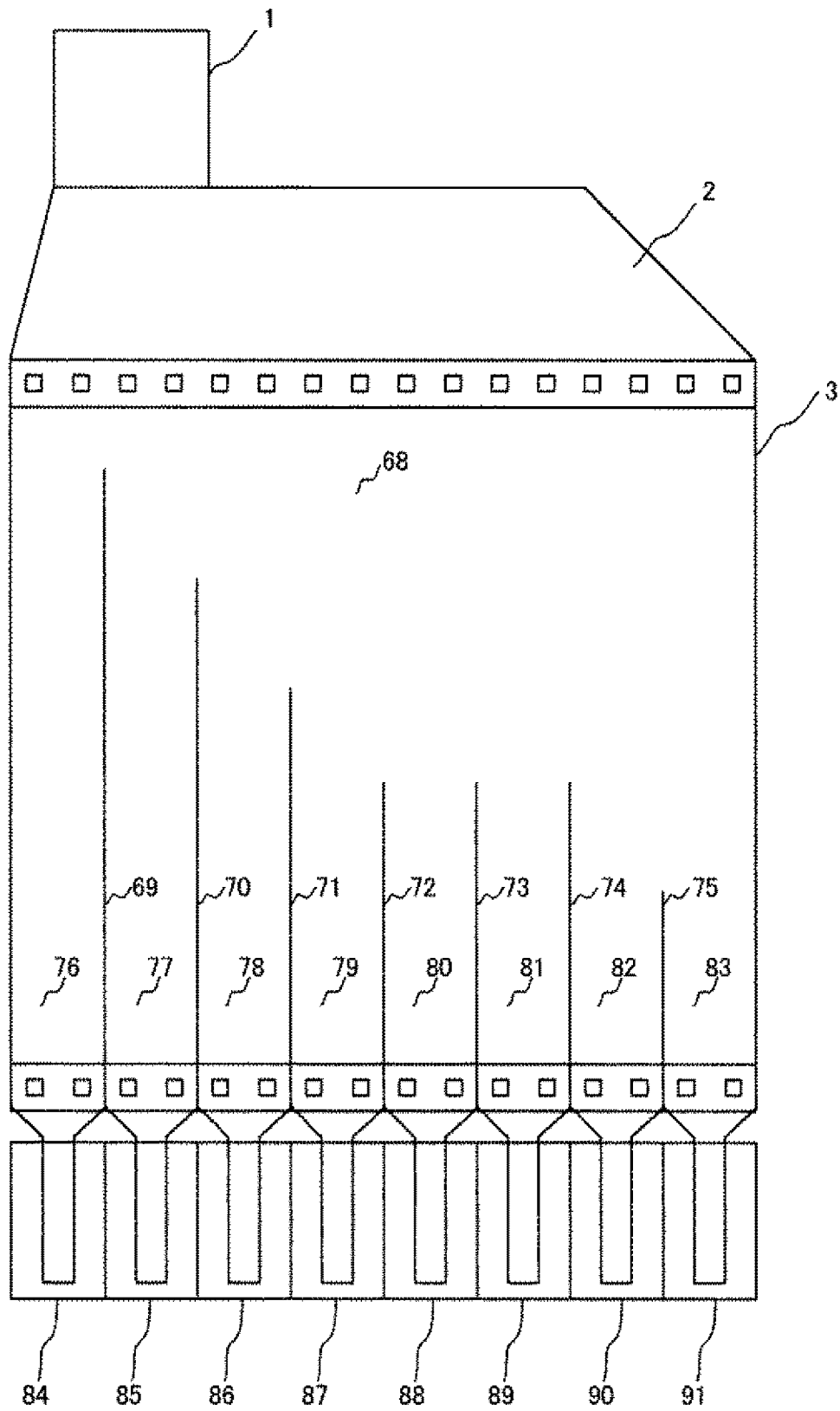


図20

[図21]

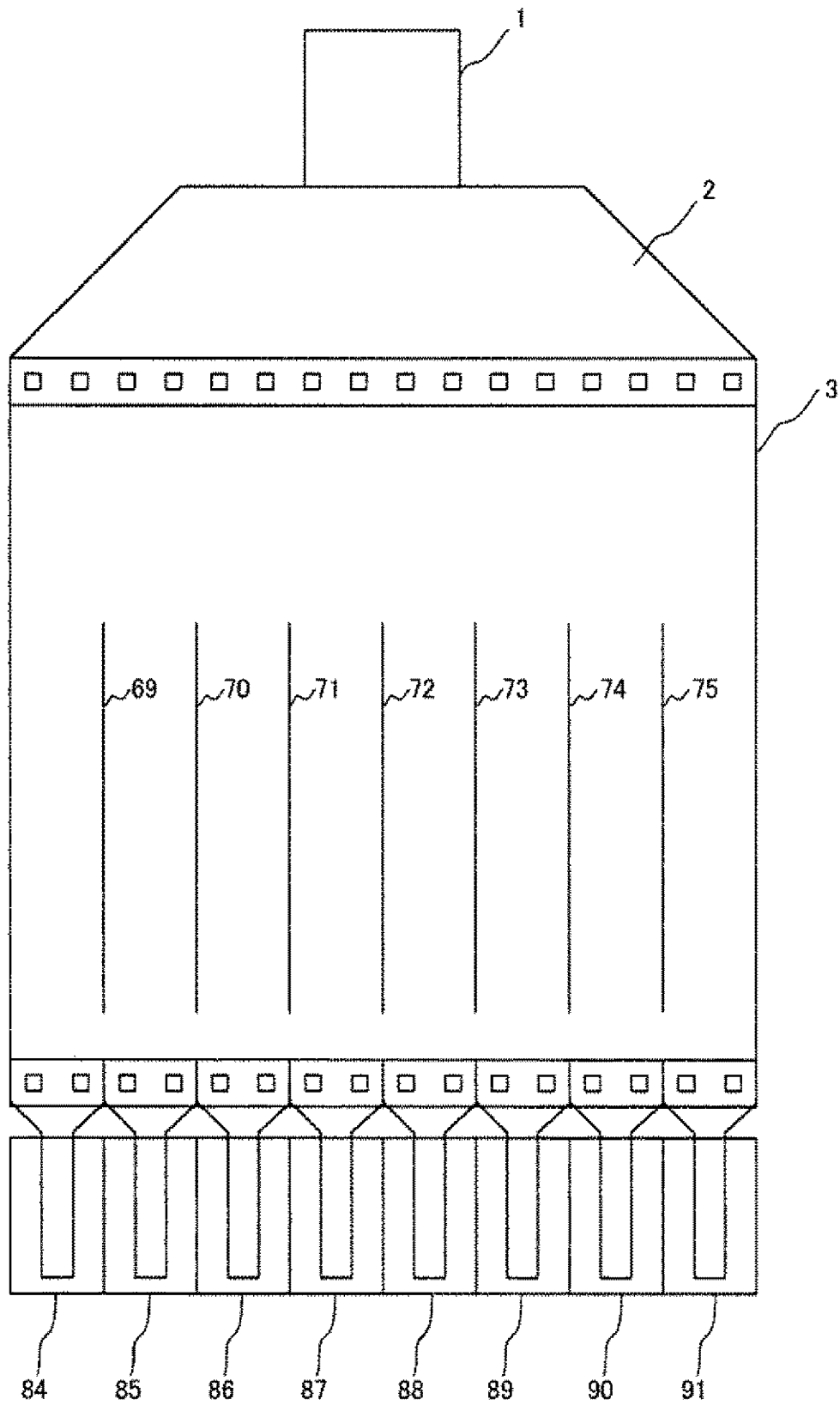


図21

[図22]

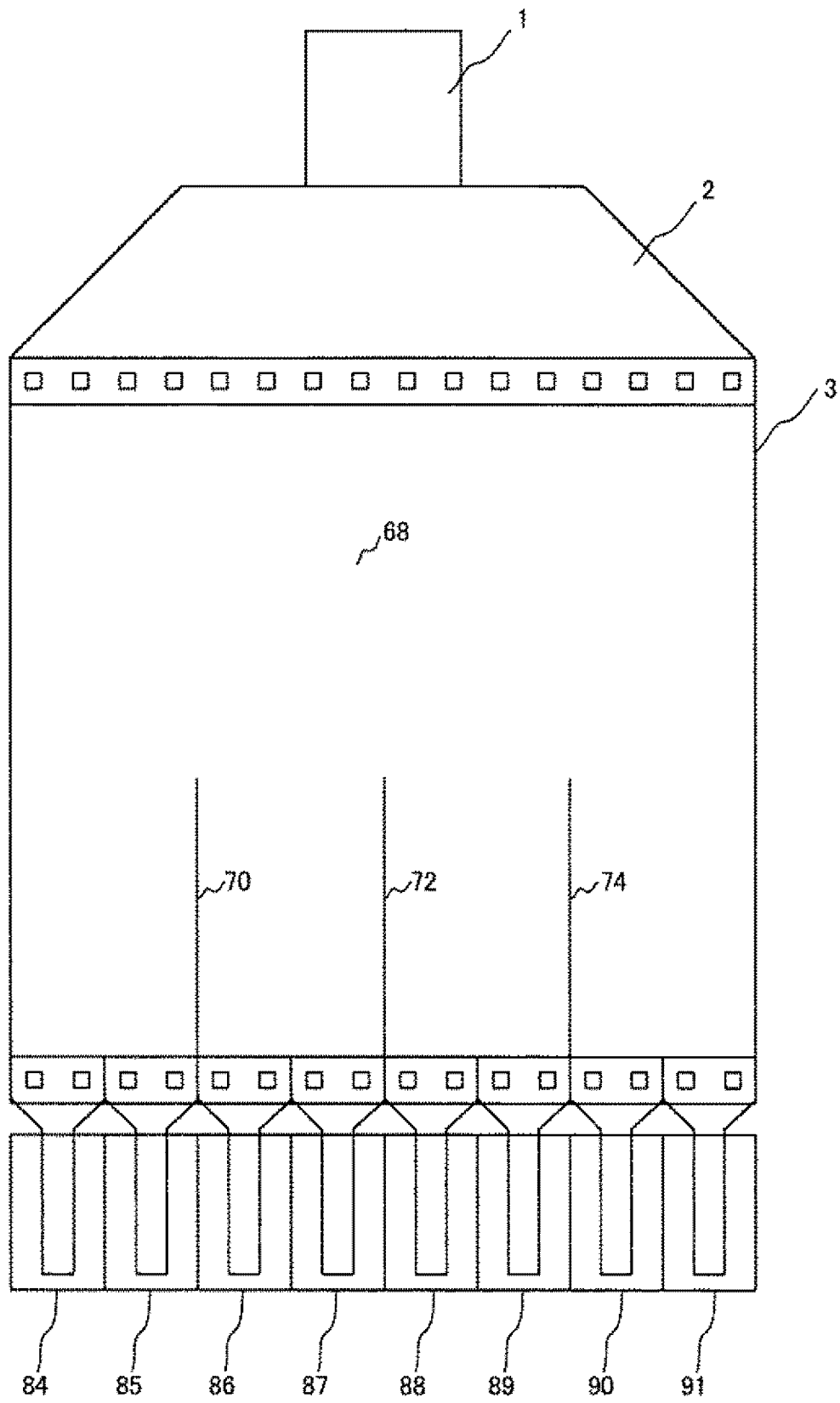
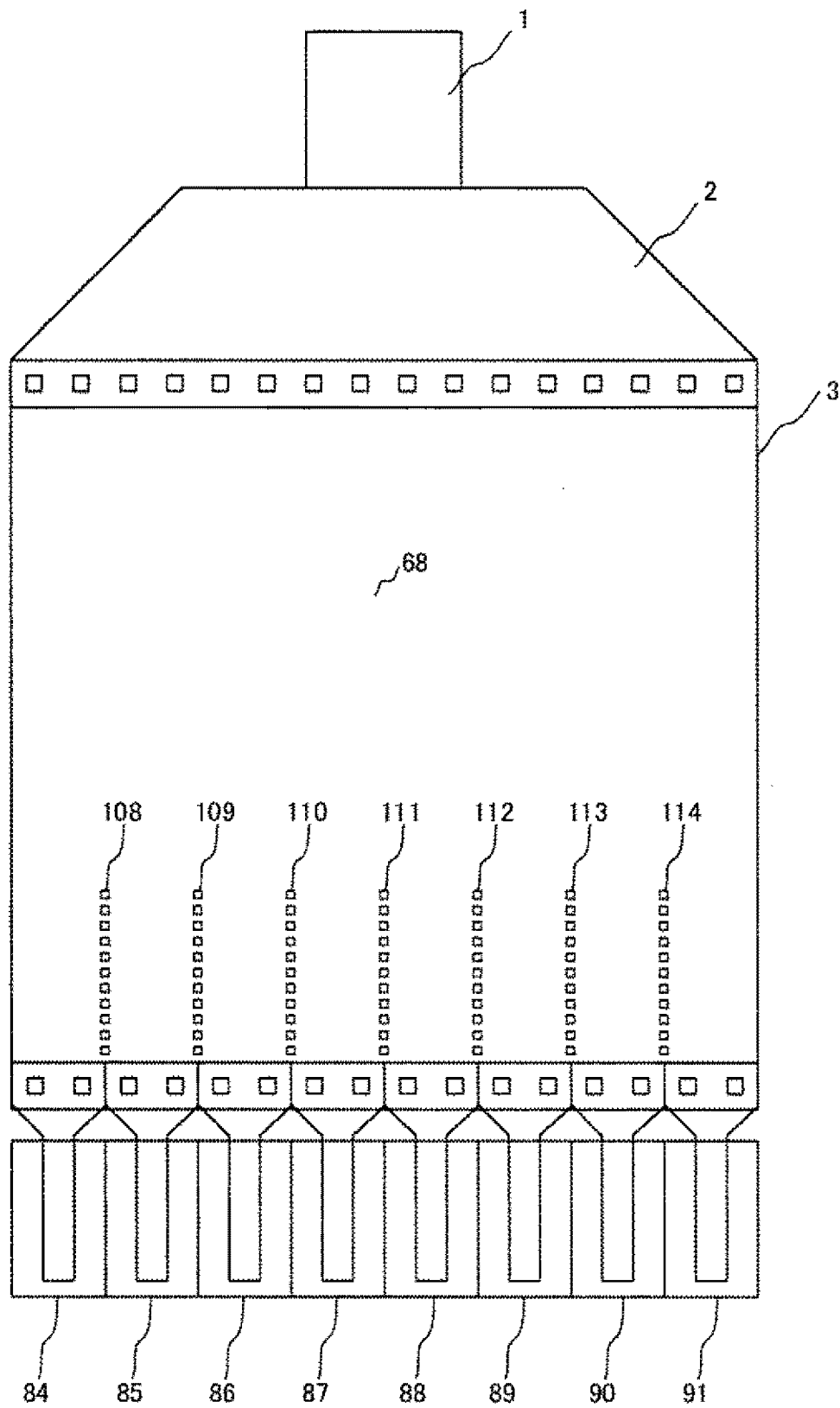


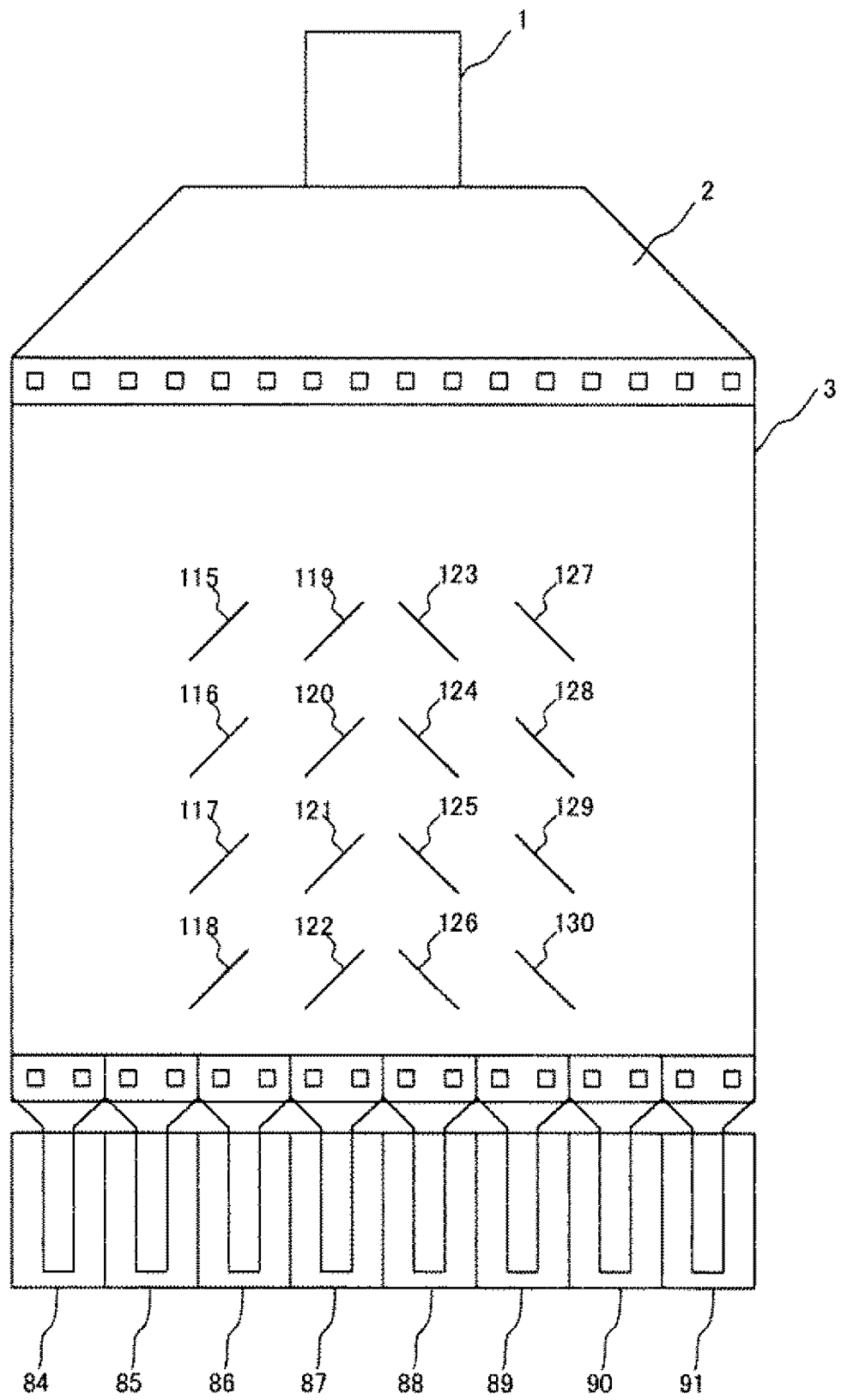
図22

[図23]



[図23]

[図24]



[図24]

[図25]

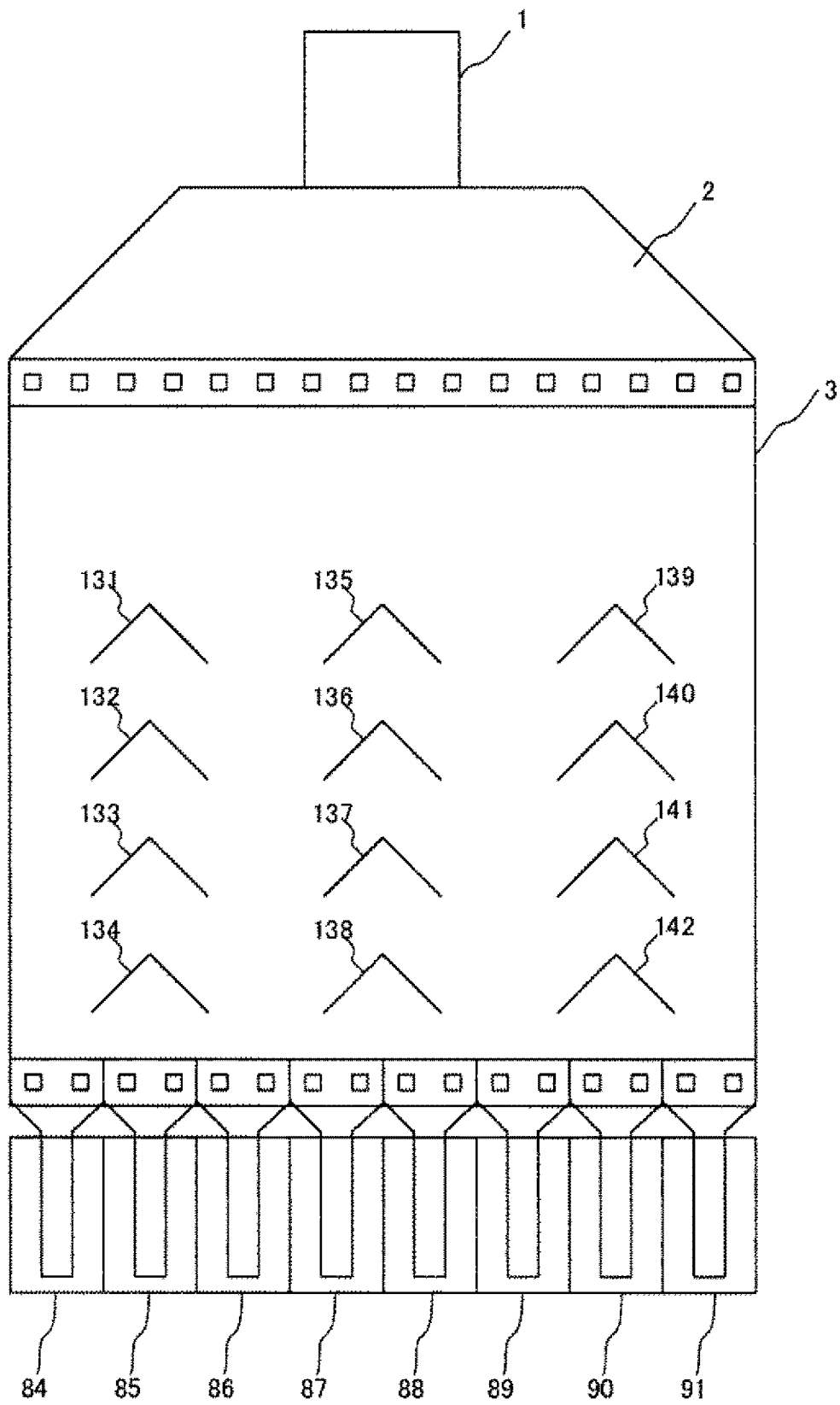


図25

[図26]

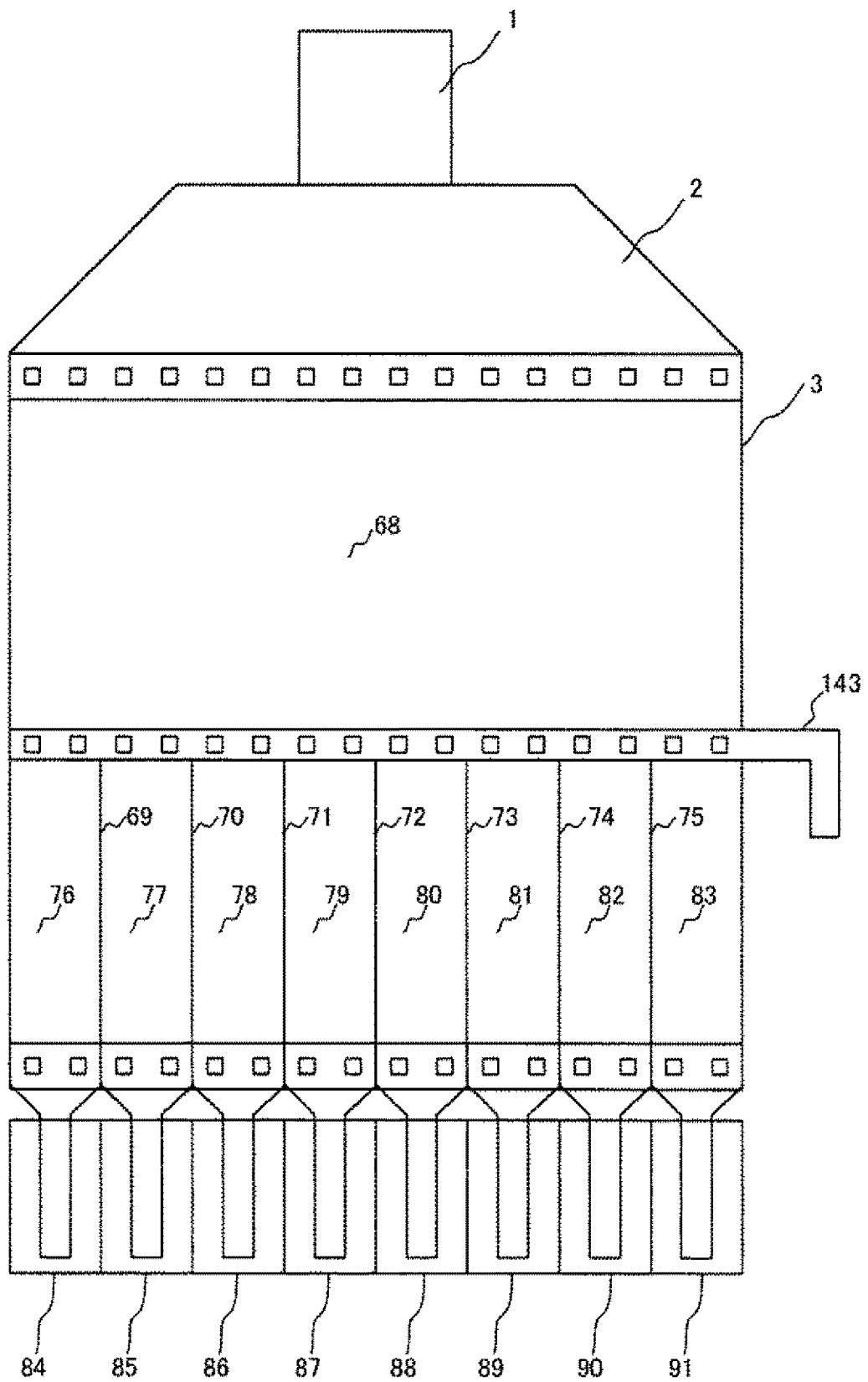


図26

[図27]

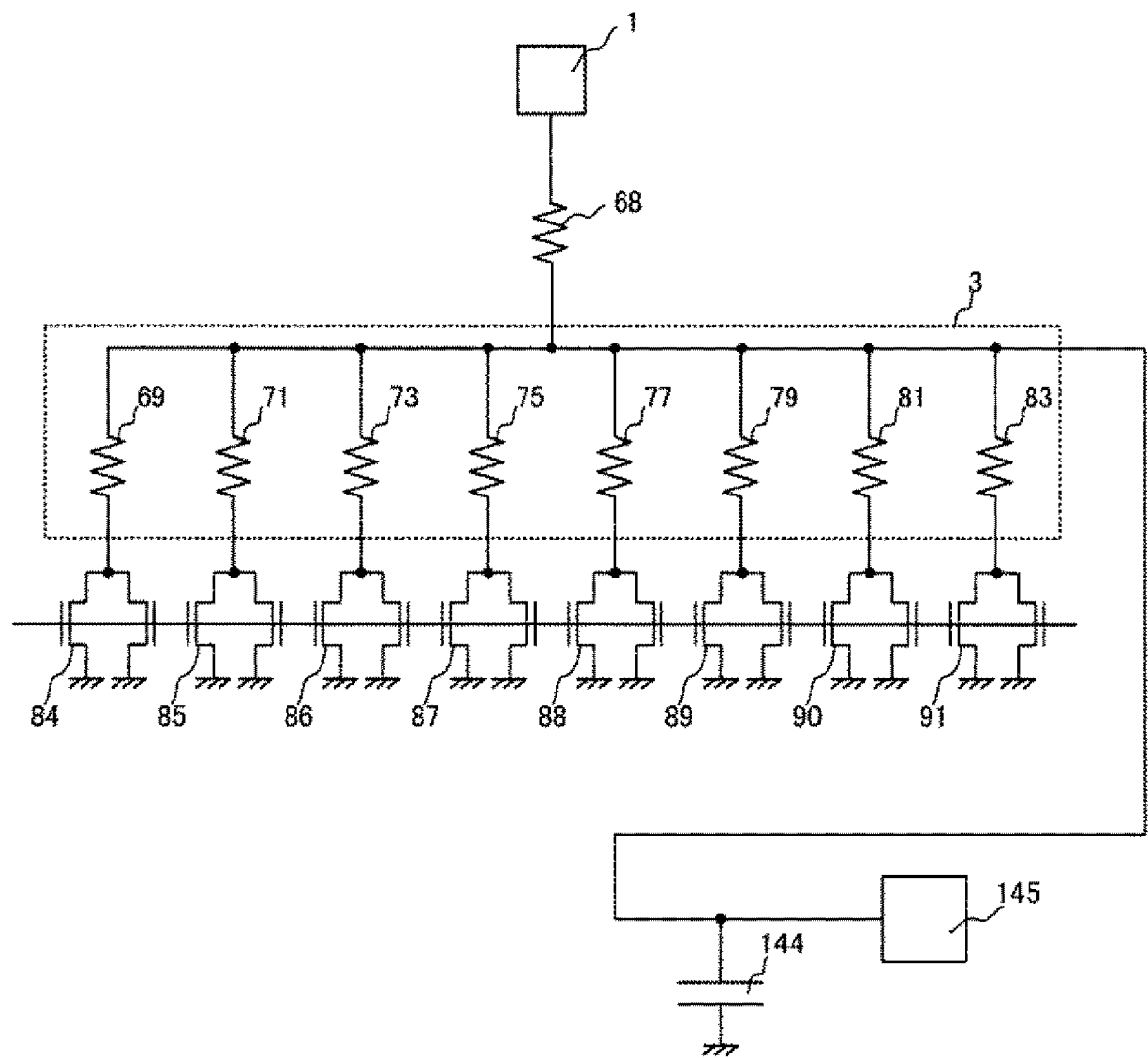


図27

[図28]

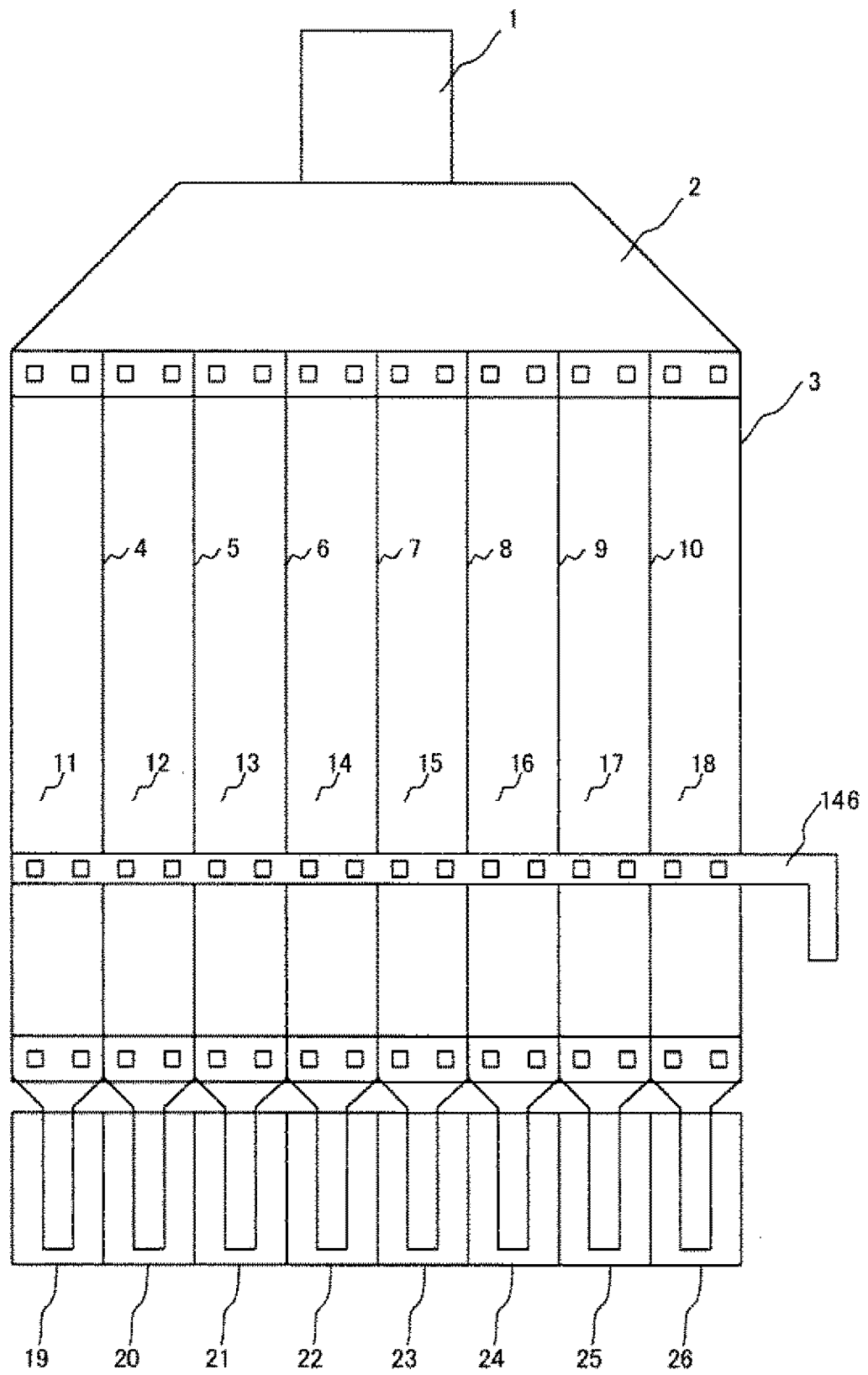


図28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/045673

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/822 (2006.01) i, H01L27/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-167049 A (NEC ELECTRONICS CORP.) 23 June 2005, paragraphs [0001], [0011]-[0030], fig. 1-6 & US 2005/0122646 A1, paragraphs [0002], [0031]-[0066], fig. 1, 3A-7 & EP 1538671 A2 & CN 1624920 A	1-11 12-14
Y	JP 60-136359 A (HITACHI LTD.) 19 July 1985, p. 2, lower right column, line 4 to p. 3, upper right column, line 3, fig. 3 (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/045673

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-273971 A (PHILIPS NV) 08 November 1990, p. 11, upper left column, line 3 to p. 12, upper left column, line 12, p. 12, lower right column, line 15 to p. 13, upper right column, line 13, fig. 14, 20 & US 5248892 A, column 13, line 13 to column 14, line 59, column 15, line 65 to column 16, line 46, fig. 14, 20 & EP 387944 A1 & NL 8900593 A & KR 10-0178980 B	1-11
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 93870/1988 (Laid-open No. 15746/1990 (MITSUBISHI ELECTRIC CORP.) 31 January 1990, p. 3, line 15 to p. 5, line 10, fig. 1, 2 (Family: none)	1-11
Y	JP 2005-303051 A (RICOH CO., LTD.) 27 October 2005, paragraphs [0035]-[0039], fig. 1 (Family: none)	1-11
Y	JP 11-312783 A (MITSUBISHI ELECTRIC CORP.) 09 November 1999, paragraph [0017], fig. 3 (Family: none)	8
Y	JP 2-17669 A (MITSUBISHI ELECTRIC CORP.) 22 January 1990, p. 2, upper left column, lines 17-20, fig. 1 (Family: none)	8
A	JP 2010-28109 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 February 2010, entire text, all drawings & US 2009/0310265 A1 & KR 10-2009-0131252 A & TW 201003895 A	1-14
A	JP 59-16364 A (HITACHI LTD.) 27 January 1984, entire text, all drawings (Family: none)	1-14
A	JP 60-42856 A (TOSHIBA CORP.) 07 March 1985, entire text, all drawings (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-167049 A (NECエレクトロニクス株式会社) 2005.06.23, 段落 [0001], [0011]-[0030], 図 1-6 & US 2005/0122646 A1, 段落 [0002], [0031]-[0066], 図 1, 3A-7 & EP 1538671 A2 & CN 1624920 A	1-11 12-14
Y	JP 60-136359 A (株式会社日立製作所) 1985.07.19, 第2頁右下欄第4行目-第3頁右上欄第3行目, 第3図 (ファミリーなし)	1-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

12.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2-273971 A (エヌ ベー フィリッパス フルーイランベンファア ブリケン) 1990. 11. 08, 第 11 頁左上欄第 3 行目-第 12 頁左上欄第 12 行目, 第 12 頁右下欄第 15 行目-第 13 頁右上欄第 13 行目, 図 14, 20 & US 5248892 A, 第 13 欄第 13 行目-第 14 欄第 59 行目. 第 15 欄第 65 行目-第 16 欄第 46 行目, 図 14, 20 & EP 387944 A1 & NL 8900593 A & KR 10-0178980 B	1-11
Y	日本国実用新案登録出願 63-93870 号(日本国実用新案登録出願公開 2-15746 号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (三菱電機株式会社) 1990. 01. 31, 第 3 頁第 15 行目- 第 5 頁第 10 行目, 第 1, 2 図 (ファミリーなし)	1-11
Y	JP 2005-303051 A (株式会社リコー) 2005. 10. 27, 段落[0035]-[0039], 図 1 (ファミリーなし)	1-11
Y	JP 11-312783 A (三菱電機株式会社) 1999. 11. 09, 段落[0017], 図 3 (ファミリーなし)	8
Y	JP 2-17669 A (三菱電機株式会社) 1990. 01. 22, 第 2 頁左上欄第 17-20 行目, 第 1 図 (ファミリーなし)	8
A	JP 2010-28109 A (株式会社半導体エネルギー研究所) 2010. 02. 04, 全文, 全図 & US 2009/0310265 A1 & KR 10-2009-0131252 A & TW 201003895 A	1-14
A	JP 59-16364 A (株式会社日立製作所) 1984. 01. 27, 全文, 全図 (ファミリーなし)	1-14
A	JP 60-42856 A (株式会社東芝) 1985. 03. 07, 全文, 全図 (ファミリーなし)	1-14