

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2011/124060 A1

(43) 国际公布日
2011 年 10 月 13 日 (13.10.2011)

(51) 国际专利分类号:
H01L 29/78 (2006.01)

(21) 国际申请号: PCT/CN2010/077311

(22) 国际申请日: 2010 年 9 月 26 日 (26.09.2010)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201010142041.6 2010 年 4 月 7 日 (07.04.2010) CN

(71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELEC-
TRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Bei-
jing 100029 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): 钟汇才 (ZHONG,
Huicai) [CN/CN]; 中国北京市朝阳区北土城西路 3
号, Beijing 100029 (CN)。梁擎擎 (LIANG,
Qingqing) [CN/CN]; 中国北京市朝阳区北土城西路
3 号, Beijing 100029 (CN)。

(74) 代理人: 北京市立方律师事务所 (LIFANG &
PARTNERS LAW FIRM); 中国北京市东四十条甲

22 号南新仓国际大厦 A1105 室, Beijing 100007
(CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB,
BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

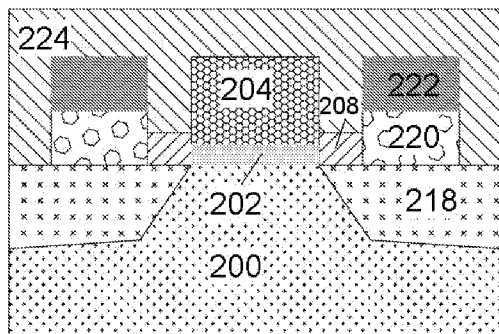
本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

[见续页]

(54) Title: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(54) 发明名称: 一种半导体器件的制造方法



(57) Abstract: A manufacturing method of semicon-
ductor device is provided. After forming the gate stack
(300) and the first side wall (208), the second side
wall (210) and the third side wall (212) is formed, then
the second side wall (210) is removed, an opening
(214) is formed between the first side wall (208) and
the third side wall (212). A forming dimension of lift-
ing active area (220) is limited by forming the opening
(214) located between the first side wall (208) and the
third side wall (212), a lifting active area (220) is
formed by self-aligned in the opening (214), the pro-
file of the lifting active area (220) can be obtained, the
short circuit of adjacent device can be made having
non limited, the equal of gate electrode (204) and lift-
ing active area (220) can easily achieved, the dual
stress nitride process can be easily achieved, the mo-
bility of the device can be increased.

[见续页]

图 21 / Fig. 21

WO 2011/124060 A1

(57) 摘要:

一种半导体器件的制造方法，在形成栅堆叠（300）及其第一侧墙（208）后，进而形成第二侧墙（210）和第三侧墙（212），而后去除第二侧墙（210），在第一侧墙（208）与第三侧墙（212）间形成开口（214）。通过第一侧墙（208）和第三侧墙（212）之间形成开口（214）来限定提升有源区（220）的形成范围，在开口（214）内自对准的形成提升有源区（220），可以获得更好的提升有源区（220）的外形，避免无限定方式下造成可能的相邻器件的短路，并且基于这种制造方法，易于实现栅电极（204）与提升有源区（220）的等高，也易于实现双应力氮化物工艺，以提高器件的迁移率。

一种半导体器件的制造方法

技术领域

本发明通常涉及半导体器件制造方法，具体来说，涉及一种自对准和
5 自限制形成提升有源区的半导体器件制造方法。

背景技术

对于传统的提升有源区的器件制造工艺，是在整个有源区上，即源极
区和漏极区上，通过外延生长形成提升有源区，这种方法可以减小延伸电
10 阻率并更易形成接触，因此在步入 32nm 及以下时代以后，仍希望能够使
用该工艺，但是，由于生长提升有源区时，是在整个有源区上通过外延生
长来形成，在隔离区一侧并没有任何限制，这样有可能导致提升有源区生
长时跨过隔离区造成相邻器件的短路，也很难使其与栅电极同高，并很难
在此工艺中实现为提高迁移率的双应力氮化物工艺（Dual stress nitride
15 process）。

因此，需要提出一种能够自对准和自限制形成提升有源区的半导体器
件的制造方法。

发明内容

20 本发明提供了一种半导体器件的制造方法，所述方法包括：提供半导
体衬底；在所述半导体衬底上形成栅堆叠，以及在栅堆叠侧壁形成第一侧
墙；在所述第一侧墙的侧壁形成第二侧墙，以及在第二侧墙的侧壁形成第
三侧墙；去除所述第二侧墙，以形成开口；利用所述开口刻蚀半导体衬底，
以形成填充区；在所述填充区内形成嵌入有源区；在所述开口内形成提升
25 有源区；硅化所述器件以形成金属硅化物层。

本发明还提供了一种半导体器件的制造方法，所述方法包括：提供半
导体衬底；在所述半导体衬底上形成栅堆叠，以及在所在栅堆叠侧壁形成
第一侧墙；刻蚀所述栅堆叠两侧的部分半导体衬底，以形成填充区；在所
述填充区中形成嵌入有源区；在所述第一侧墙的侧壁形成第二侧墙，以及

在第二侧墙的侧壁形成第三侧墙；去除所述第二侧墙，以形成开口；在所述开口内形成提升有源区；硅化所述器件以形成金属硅化物层。

通过采用本发明所述的方法，可以有效限定提升有源区的生长范围，以自对准的方式形成提升有源区。

5

附图说明

图 1 示出根据了本发明的第一实施例的半导体器件的制造方法的流程图；

图 2-11 示出了根据本发明的第一实施例的半导体器件各个制造阶段的示意图；

10 图 12 示出根据了本发明的第二实施例的半导体器件的制造方法的流程图；

图 13-21 示出了根据本发明的第二实施例的半导体器件各个制造阶段的示意图。

具体实施方式

15 本发明通常涉及制造半导体器件的方法。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施
20 例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接
25 触。

第一实施例

根据本发明的第一实施例，参考图 1，图 1 示出了根据本发明的第一实施例的半导体器件的制造方法的流程图。在步骤 S101，提供半导体衬底 200，

参考图 2。在本实施例中，衬底 200 包括位于晶体结构中的硅衬底（例如晶片），还可以包括其他基本半导体或化合物半导体，例如 Ge、GeSi、GaAs、InP、SiC 或金刚石等。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 200 可以包括各种掺杂配置。此外，衬底 200 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

在步骤 S102，在所述半导体衬底 200 上形成栅堆叠 300，以及在栅堆叠 300 侧壁形成第一侧墙 208，如图 2 所示。栅堆叠 300 通常包括栅介质层 202 和栅电极 204，优选地，栅堆叠 300 还可以进一步包括栅电极 204 之上的栅帽 206，所述栅帽 206 通常可以由氮化物材料形成，用来保护栅电极 204 不被后续工艺步骤损伤，本发明对栅堆叠 300 的结构、材料以及形成工艺、步骤等不做限定。在一个实施例中，所述栅堆叠 300 可以通过在所述半导体衬底 200 上依次形成栅介质层 202、和栅电极 204 和栅帽 206，而后利用干法或湿法蚀刻技术将所述栅介质层 202、和栅电极 204 以及栅帽 206 图形化，从而形成形成栅堆叠 300。所述栅介质层 202 可包括但不限于氮化物、氧化物、氮氧化物或者高 k 介质材料等。所述栅电极 204 可以是一层或多层结构，可包括但不限于金属、金属化合物、多晶硅和金属硅化物，及它们的组合。所述第一侧墙 208 可以为一层或多层结构，可以由氮化物或氧化物材料及其组合或其他适合的材料形成，在一个实施例中，第一侧墙 208 为氮化物形成的一层结构，在另外的实施例中第一侧墙 208 还可以为由氮化物和其他材料形成的两层结构或其他多层结构，这些仅是示例，并不限于此。所述栅堆叠 300 和第一侧墙 208 可以采用常规工艺形成，例如热氧化、溅射、PLD、MOCVD、ALD、PEALD 或其他合适的方法。

在步骤 S103，在所述第一侧墙 208 的侧壁形成第二侧墙 210，以及在第二侧墙 210 的侧壁形成第三侧墙 212，如图 3 所示。所述第二侧墙 210 可以为氧化物材料，第三侧墙 212 可以为氮化物材料，第三侧墙 212 可以为一层或多层结构，在一个实施例中第三侧墙 212 为氮化物形成的一层结构，在另外的实施例中第三侧墙 212 还可以为由氮化物和其他材料形成的

两层结构或其他多层结构，这些仅是示例，并不限于此。所述第二侧墙 210 和第三侧墙 212 可以采用常规沉积工艺形成，例如溅射、PLD、MOCVD、ALD、PEALD 或其他合适的方法。

5 在一个实施例中，所述第一侧墙 208、第三侧墙 212 和栅帽 206 由氮化物材料，所述第二侧墙 210 为氧化物材料，所述第一侧墙 208、第二侧墙 210、第三侧墙 212 以及栅帽 206 还可以根据刻蚀选择性或其他工艺要求选择合适的材料形成，本领域技术人员可以知道有多种材料组合方式来实现，这些方式均可实现本发明，因此均应包含在本发明的保护范围之内。

10 在步骤 S104，去除所述第二侧墙 210，以形成开口 214，如图 4 所示。所述第二侧墙 210 具有与第一侧墙 208、第三侧墙 212 以及栅帽 206 不同的刻蚀选择性，可以通过 RIE 的方法选择性去除所述第二侧墙 210，形成开口 214。

15 在步骤 S105，利用所述开口 214 刻蚀半导体衬底 200，以形成填充区 216，如图 5 所示。利用所述开口 214，使用干法或者湿法或两者结合的刻蚀工艺在半导体衬底 200 内形成填充区 216。在所述第三侧墙 212 下的半导体衬底 200 可以选择性的留下或去除。

20 在步骤 S106，在所述填充区 216 内形成嵌入有源区 218，如图 6 所示。所述嵌入有源区 218 通常是指嵌入源极区和嵌入漏极区。所述嵌入有源区 218 可以通过在填充区 216 内沉积 SiGe、SiC 或其他合适的材料，并同时
20 进行在内掺杂 (In situ doping) p 型或 n 型掺杂物或杂质到所述嵌入有源区 218 中形成。

25 在步骤 S107，在所述开口 214 内形成提升有源区 220，如图 7 所示。可用外延生长 (Epi) 的方式形成提升有源区 220。所述提升有源区 220 在开口 220 内以自对准、自限定的方式形成，可以获得更好的提升有源区 220 的外形，避免无限定方式造成可能的相邻器件的短路。

特别地，在形成提升有源区 220 后，可以对所述器件平坦化，例如可以使用化学机械抛光 (CMP) 或其他腐蚀方法，使栅堆叠 300 与提升有源区 220 在同一高度，在一个实施例中，需要去除全部的栅帽 206，实现器件的平坦化，如图 8 所示。在另外的实施例中，还可以只去除部分栅帽 206，

实现器件的平坦化（图中未有示出）。此处的目的是实现栅堆叠 300 与提升有源区 220 的大致同高，可以按照需要去除相应的部分，本发明对此处不做限定。

在步骤 S108，硅化所述器件以形成金属硅化物层 222，如图 9 所示，
5 可以通过自对准方式形成金属硅化物层 222，首先在所述器件上沉积金属，例如 Co、Ni、Mo、Pt 和 W 等，而后进行退火，金属和与其任一接触的硅表面反应生成金属硅化物，硅表面可以为提升有源区 220 和/或栅堆叠 300 中栅电极 204 的多晶硅层等，然后去除未反应的金属，形成自对准的金属硅化物层 222。

10 特别地，在形成金属硅化物层 222 之后，可以利用干法或湿法刻蚀技术选择性去除第三侧墙 212 和部分第一侧墙 208，如图 10 所示，而后可以通过但不限于 PECVD 的方法沉积氮化物材料，以形成应力氮化物层 224，如图 11 所示，从而起到提高器件的迁移率作用。

以上对利用第一侧墙 208 和第三侧墙 212 之间的开口 214 来限定提升
15 有源区 220 的形成范围的器件制造方法进行了描述，在此实施例中，嵌入有源区 218 在开口 214 形成之后形成。

第二实施例

下面将仅就第二实施例区别于第一实施例的方面进行阐述。未描述的
20 部分应当认为与第一实施例采用了相同的步骤、方法或者工艺来进行，因此在此不再赘述。

参考图 12，图 12 示出了根据本发明的第二实施例的制造半导体器件的方法的流程图，根据本发明的第二实施例的步骤 S201 至步骤 S202，同第一实施例中的步骤 S101 至步骤 S102 相同，视为与第一实施例采用了相同的
25 步骤、方法或者工艺来进行，在此不再赘述。

在步骤 S203，刻蚀所述栅堆叠 300 两侧的部分半导体衬底 200，以形成填充区 216，如图 13 所示。可以使用干法或者湿法或两者结合的刻蚀工艺在半导体衬底 200 内形成填充区 216。

在步骤 S204，在所述填充区 216 中形成嵌入有源区 218，如图 14 所示。

所述嵌入有源区 218 通常是指嵌入源极区和嵌入漏极区。所述嵌入有源区 218 可以通过在填充区 216 内沉积 SiGe、SiC 或其他合适的材料，并同时
5 进行在内掺杂 (In situ doping) p 型或 n 型掺杂物或杂质到所述嵌入有源区 218 中形成。

- 5 在步骤 S205，在所述第一侧墙 208 的侧壁形成第二侧墙 210，以及在第二侧墙 210 的侧壁形成第三侧墙 212，如图 15 所示。所述第二侧墙 210 可以为氧化物材料，第三侧墙 212 可以为氮化物材料。所述第二侧墙 210 和第三侧墙 212 可以采用常规沉积工艺形成，例如溅射、PLD、MOCVD、ALD、PEALD 或其他合适的方法。所述第一侧墙 208 和第三侧墙 212 可以
10 为一层或多层结构，可以由氮化物或氧化物材料及其组合或其他适合的材料形成，在一个实施例中，第一 208 和第三侧墙 212 为氮化物形成的一层结构，在另外的实施例中第一 208 和第三侧墙 212 还可以为由氮化物和其他材料形成的两层结构或其他多层结构，这些仅是示例，并不限于此。

- 15 在一个实施例中，所述第一侧墙 208、第三侧墙 212 和栅帽 206 由氮化物材料，所述第二侧墙 210 为氧化物材料，所述第一侧墙 208、第二侧墙 210、第三侧墙 212 以及栅帽 206 还可以根据刻蚀选择性或其他工艺要求选择合适的材料形成，本领域技术人员可以知道有多种材料组合方式来形成，这些方式均可实现本发明，因此均应包含在本发明的保护范围之内。

- 在步骤 S206，去除所述第二侧墙 210，以形成开口 214，如图 16 所示。
20 所述第二侧墙 210 具有与第一侧墙 208、第三侧墙 212 以及栅帽 206 不同的刻蚀选择性，可以通过 RIE 的方法选择性去除所述第二侧墙 210，形成开口 214。所述第一侧墙 208、第二侧墙 210、第三侧墙 212 以及栅帽 206 可以根据刻蚀选择性或其他工艺要求选择合适的材料形成，本领域技术人员可以知道有多种材料组合方式来形成，这些方式均可实现本发明，因此
25 均应包含在本发明的保护范围之内。

在步骤 S207，在所述开口 214 内形成提升有源区 220，如图 17 所示。可用外延生长 (Epi) 的方式形成提升有源区 220。所述提升有源区 220 在开口 220 内以自对准、自限定的方式形成，可以获得更好的提升有源区 220 的外形，避免无限定方式造成可能的相邻器件的短路。

特别地，在形成提升有源区 220 后，可以对所述器件平坦化，例如可以使用化学机械抛光（CMP）或其他腐蚀方法，使栅堆叠 300 与提升有源区 220 在同一高度。在一个实施例中，需要去除全部的栅帽 206，实现器件的平坦化，如图 18 所示。在另外的实施例中，还可以只去除部分栅帽 206，实现器件的平坦化（图中未有示出）。此处的目的是实现栅堆叠 300 与提升有源区 220 的大致同高，可以按照需要去除相应的部分，本发明对此处不做限定。

在步骤 S208，硅化所述器件以形成金属硅化物层 222，如图 19 所示，可以通过自对准方式形成金属硅化物层 222，首先在所述器件上沉积金属，例如 Co、Ni、Mo、Pt 和 W 等，而后进行退火，金属和与其任一接触的硅表面反应生成金属硅化物，硅表面可以为提升有源区 220 和/或栅堆叠 300 中栅电极 204 的多晶硅层，然后去除未反应的金属，形成自对准的金属硅化物层 222。

特别地，在形成金属硅化物层 222 之后，可以利用干法或湿法刻蚀技术选择性去除第三侧墙 212 和部分第一侧墙 208，如图 20 所示，而后可以通过但不限于 PECVD 的方法沉积氮化物材料，以形成应力氮化物层 224，如图 21 所示，从而起到提高器件的迁移率作用。

以上对利用第一侧墙 208 和第三侧墙 212 之间的开口 214 来限定提升有源区 220 的形成范围的器件制造方法进行了描述，在此实施例中，开口 214 在嵌入有源区 218 形成之后形成。

本发明对通过形成自对准、自限定的提升有源区的器件制造方法进行了描述，根据本发明，通过在第一侧墙 208 和第三侧墙 212 之间形成开口 214 来限定提升有源区 220 的形成范围，在开口 214 内自对准的形成提升有源区 220，可以获得更好的提升有源区 220 的外形，避免无限定方式下造成可能的相邻器件的短路，并且基于这种制造方法，易于实现栅电极 204 与提升有源区 220 的等高，也易于实现双应力氮化物工艺，以提高器件的迁移率。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变

化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域
5 的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1. 一种半导体器件的制造方法，所述方法包括：

A. 提供半导体衬底；

5 B. 在所述半导体衬底上形成栅堆叠，以及在栅堆叠侧壁形成第一侧墙；

C. 在所述第一侧墙的侧壁形成第二侧墙，以及在第二侧墙的侧壁形成第三侧墙；

D. 去除所述第二侧墙，以形成开口；

E. 利用所述开口刻蚀半导体衬底，以形成填充区；

10 F. 在所述填充区内形成嵌入有源区；

G. 在所述开口内形成提升有源区；

H. 硅化所述器件以形成金属硅化物层。

2. 根据权利要求 1 所述的方法，在所述步骤 G 和步骤 H 之间还包括以下步骤：平坦化所述器件使所述栅堆叠与所述提升有源区大致相平。

15 3. 根据权利要求 1 所述的方法，在所述步骤 H 之后还包括以下步骤：去除所述第三侧墙以及部分第一侧墙，并覆盖所述器件以形成应力氮化物层。

4. 根据权利要求 1 至 3 任一项所述的方法，其中所述第一侧墙、第三侧墙和栅帽由氮化物材料形成。

20 5. 根据权利要求 1 至 3 任一项所述的方法，其中所述第二侧墙由氧化物材料形成。

6. 一种半导体器件的制造方法，所述方法包括：

A. 提供半导体衬底；

25 B. 在所述半导体衬底上形成栅堆叠，以及在所在栅堆叠侧壁形成第一侧墙；

C. 刻蚀所述栅堆叠两侧的部分半导体衬底，以形成填充区；

D. 在所述填充区中形成嵌入有源区；

E. 在所述第一侧墙的侧壁形成第二侧墙，以及在第二侧墙的侧壁形成第三侧墙；

F. 去除所述第二侧墙，以形成开口；

G. 在所述开口内形成提升有源区；

H. 硅化所述器件以形成金属硅化物层。

5 7. 根据权利要求 6 所述的方法，在所述步骤 G 和步骤 H 之间还包括以下步骤：平坦化所述器件使所述栅堆叠与所述提升有源区大致相平。

8. 根据权利要求 6 所述的方法，在所述步骤 H 之后还包括以下步骤：去除所述第三侧墙以及部分第一侧墙，并覆盖所述器件以形成应力氮化物层。

10 9. 根据权利要求 6 至 8 任一项所述的方法，其中所述第一侧墙、第三侧墙和栅帽由氮化物材料形成。

10. 根据权利要求 6 至 8 任一项所述的方法，其中第二侧墙由氧化物材料形成。

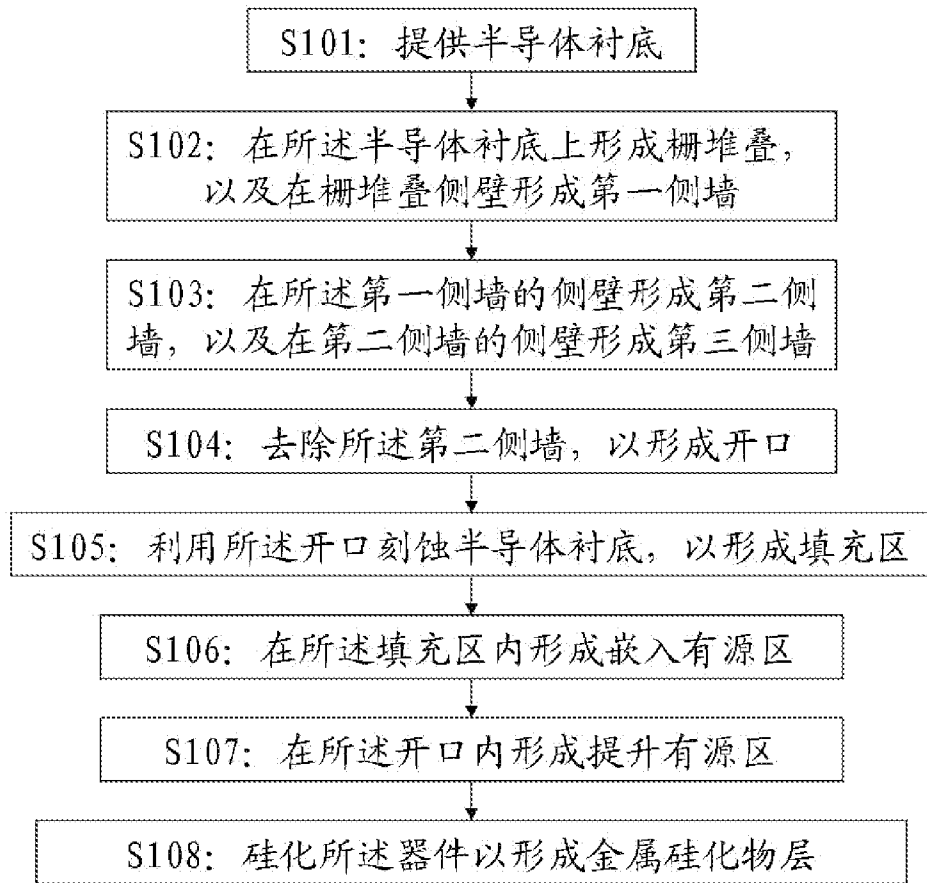


图 1

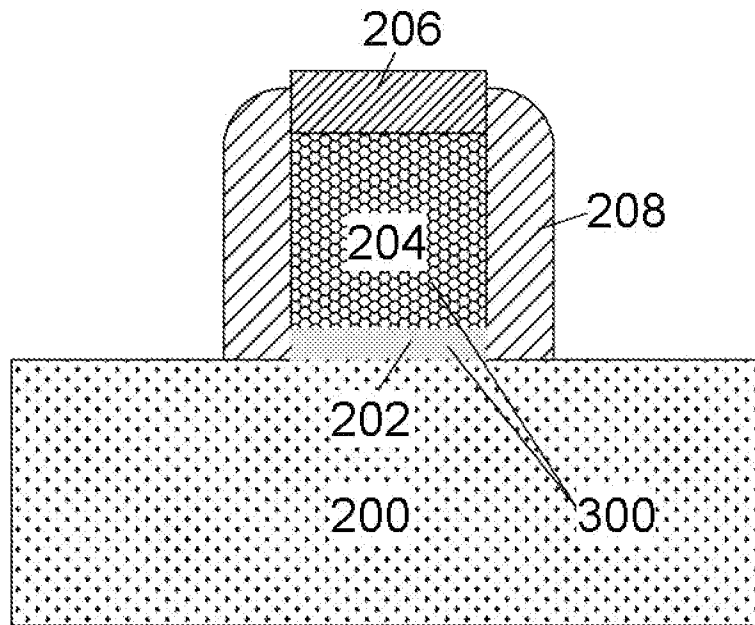


图 2

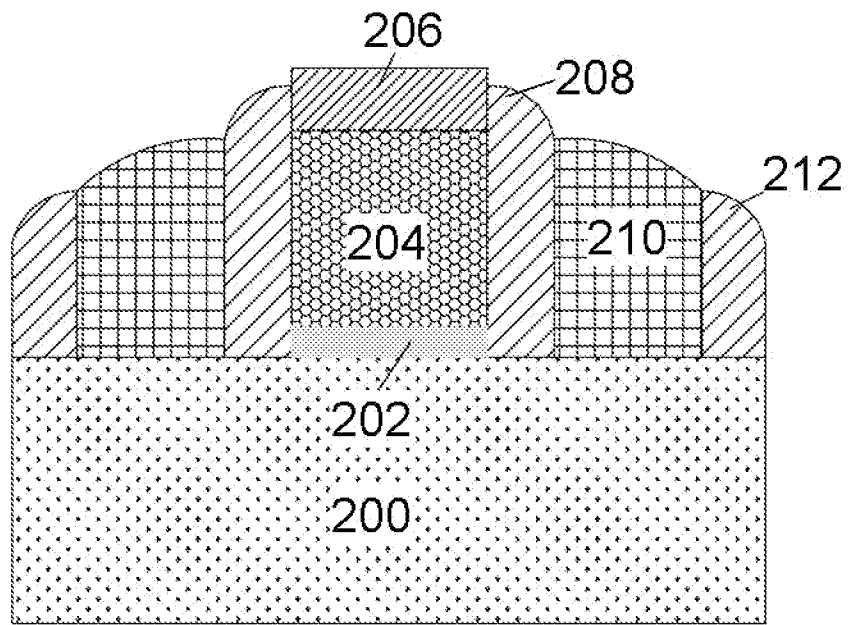


图 3

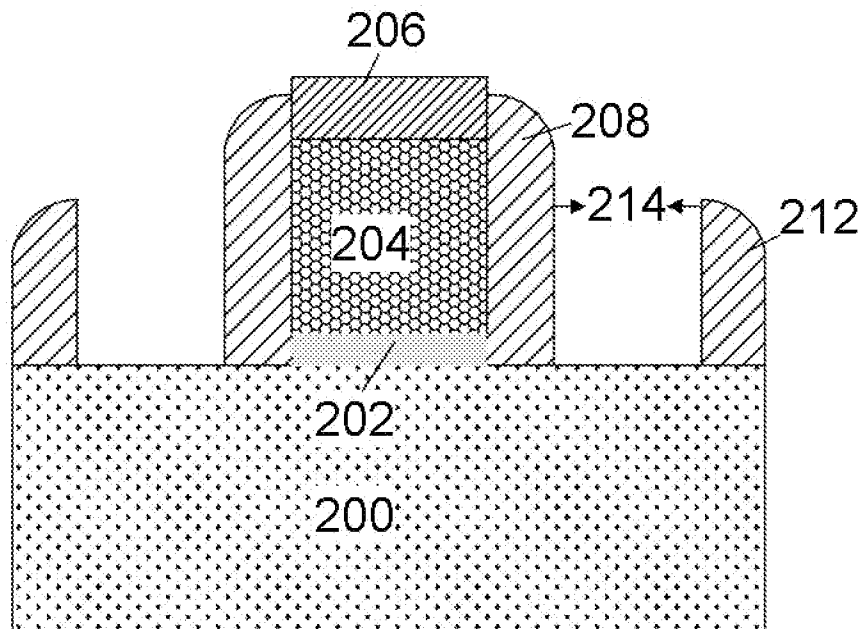


图 4

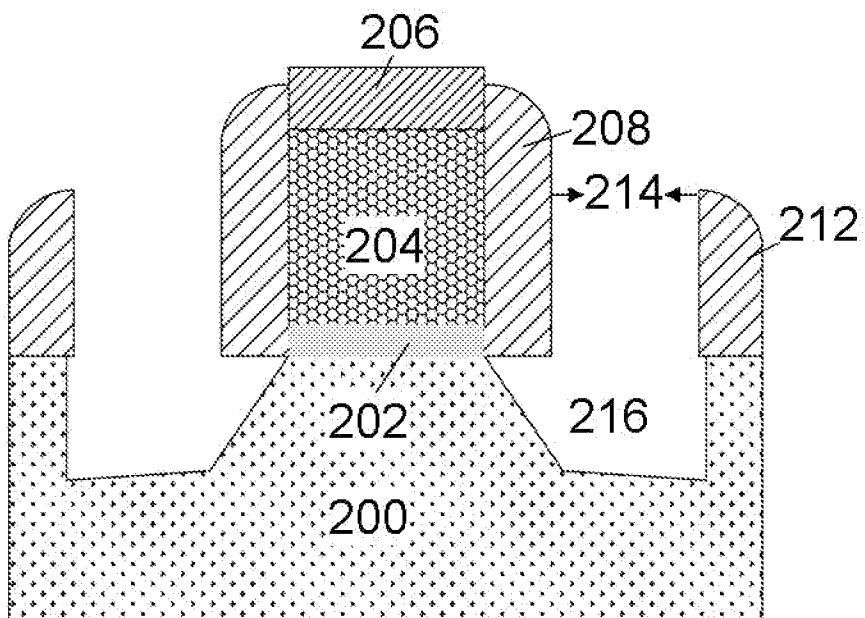


图 5

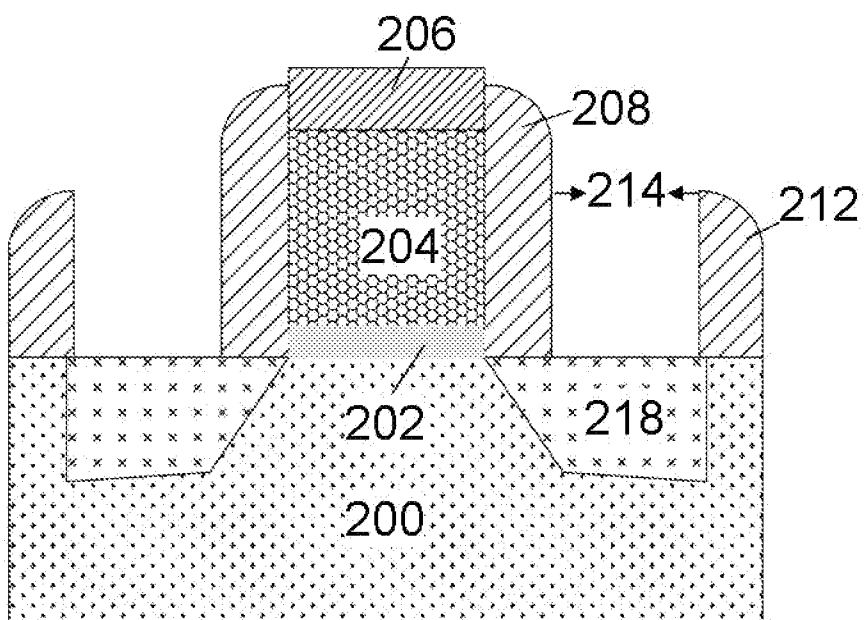


图 6

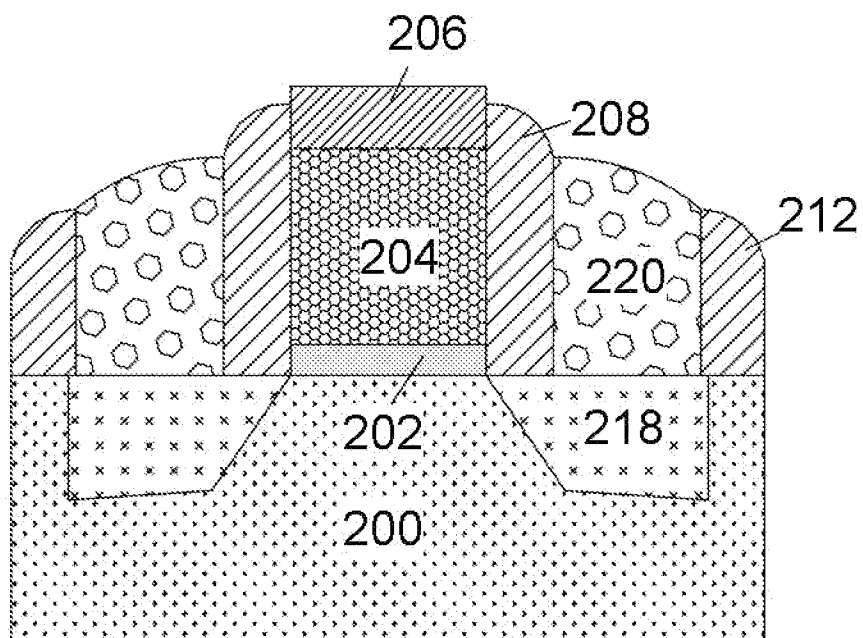


图 7

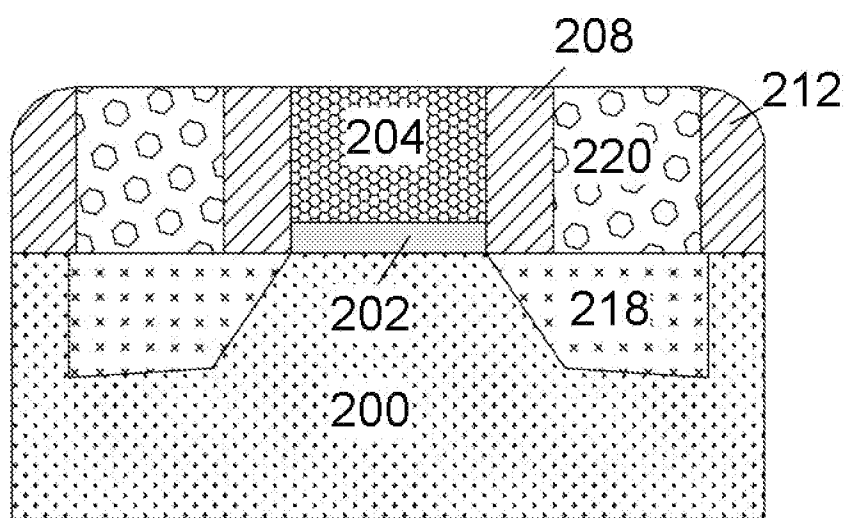


图 8

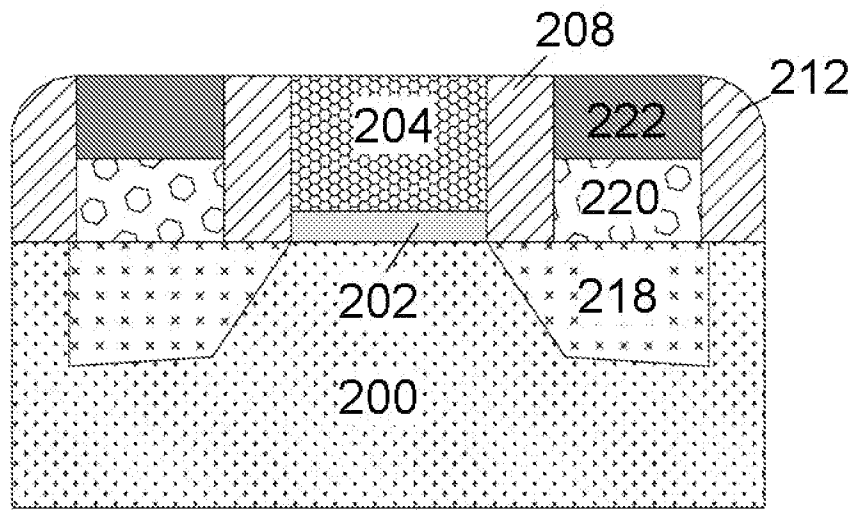


图 9

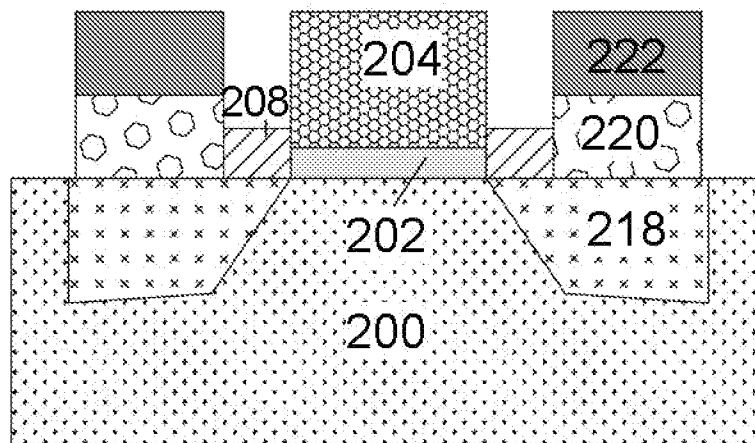


图 10

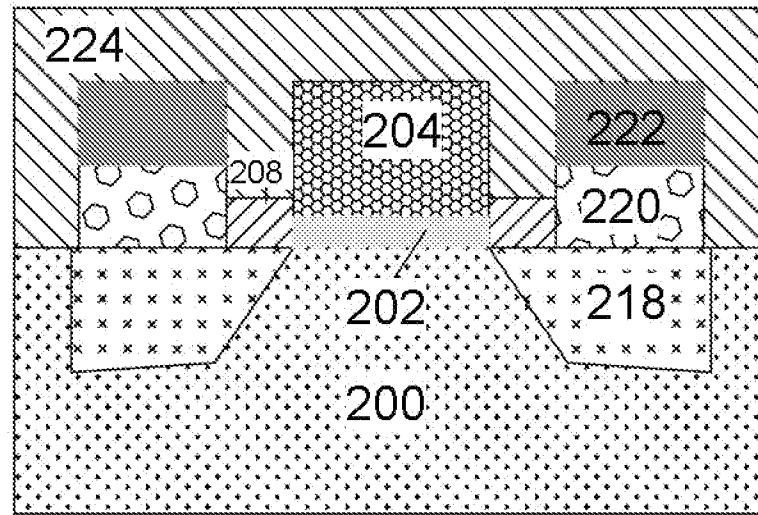


图 11

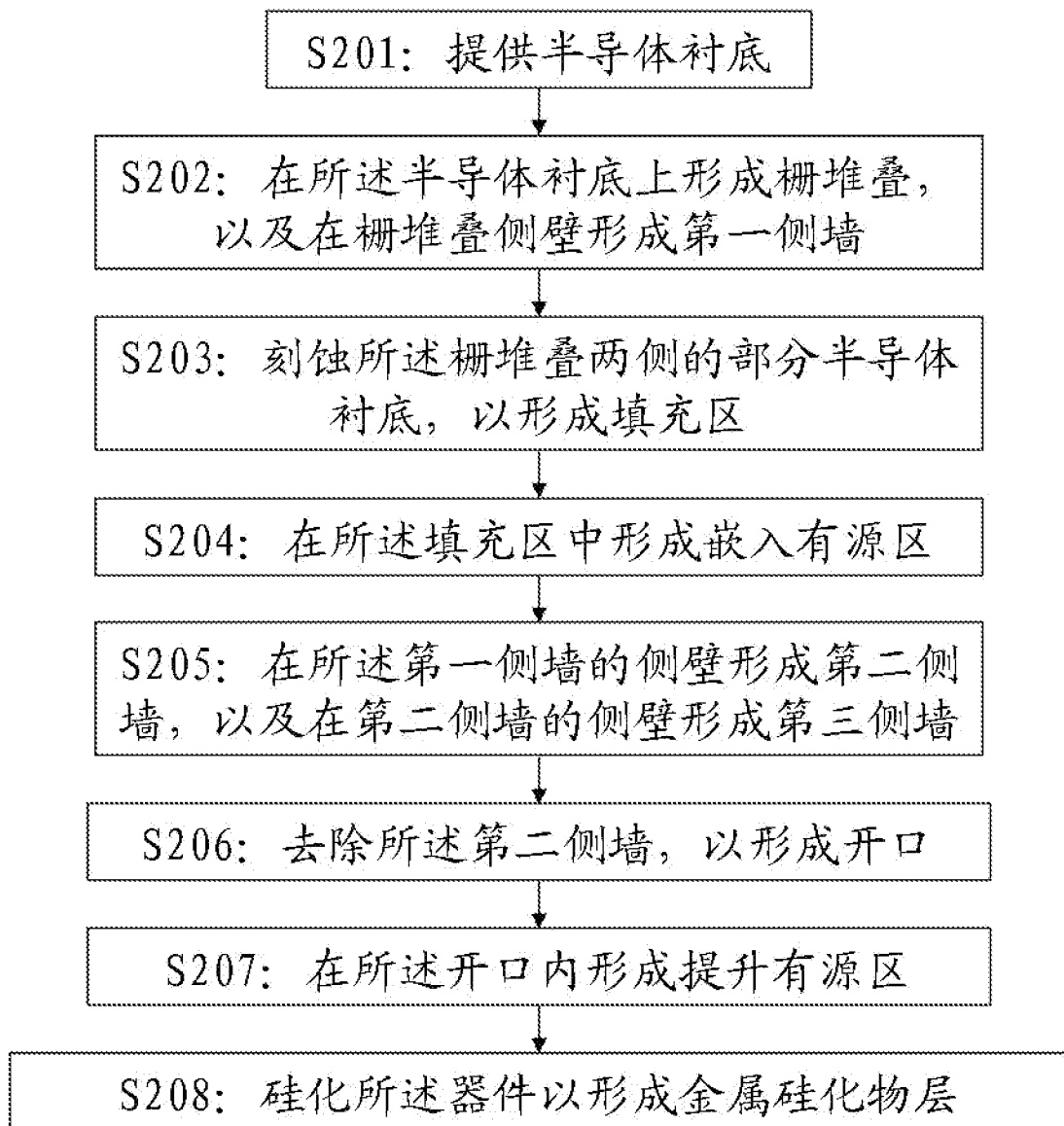


图 12

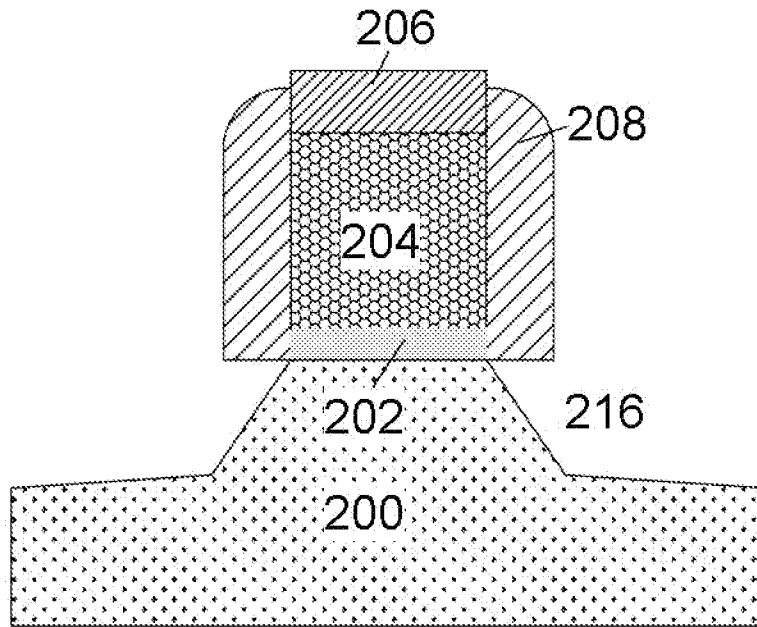


图 13

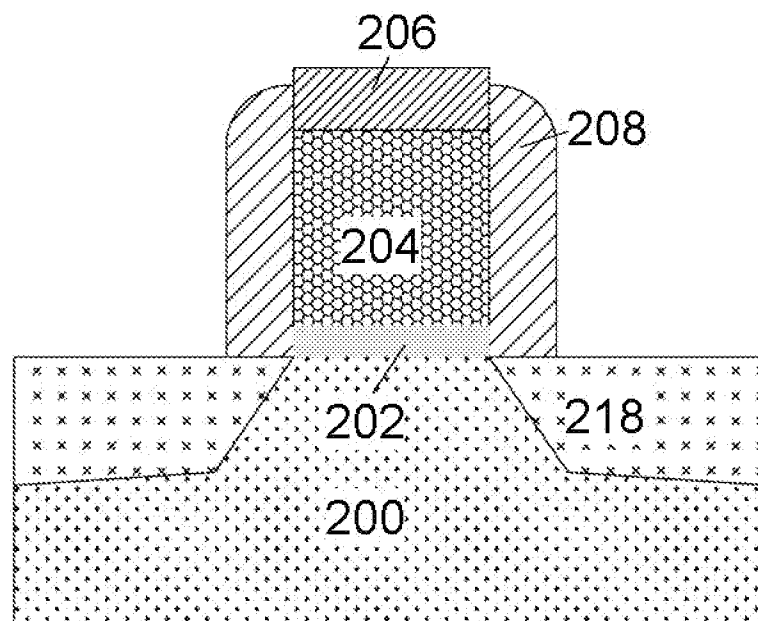


图 14

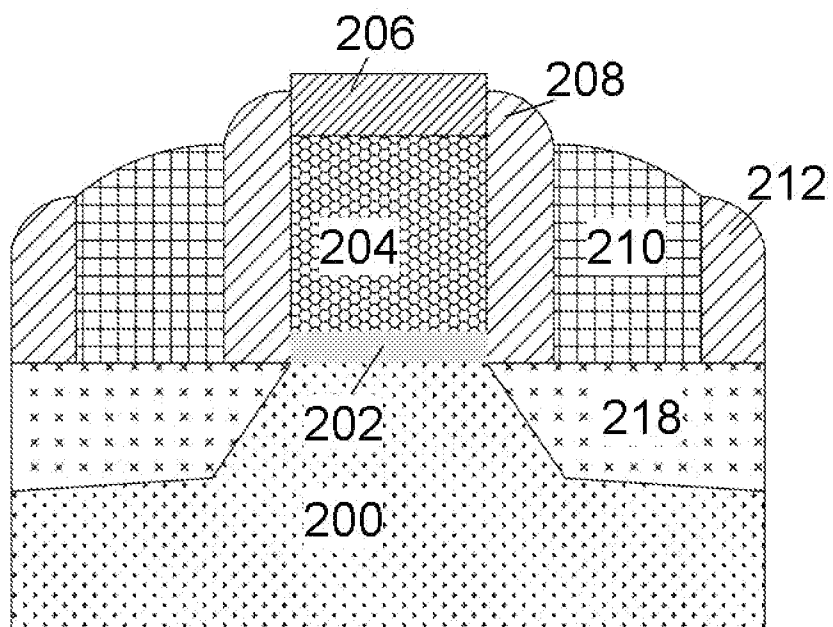


图 15

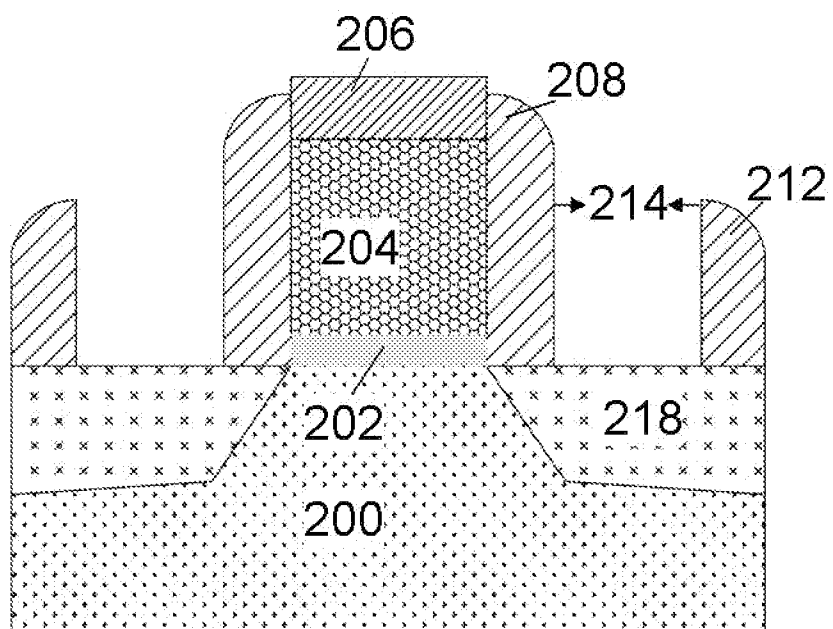


图 16

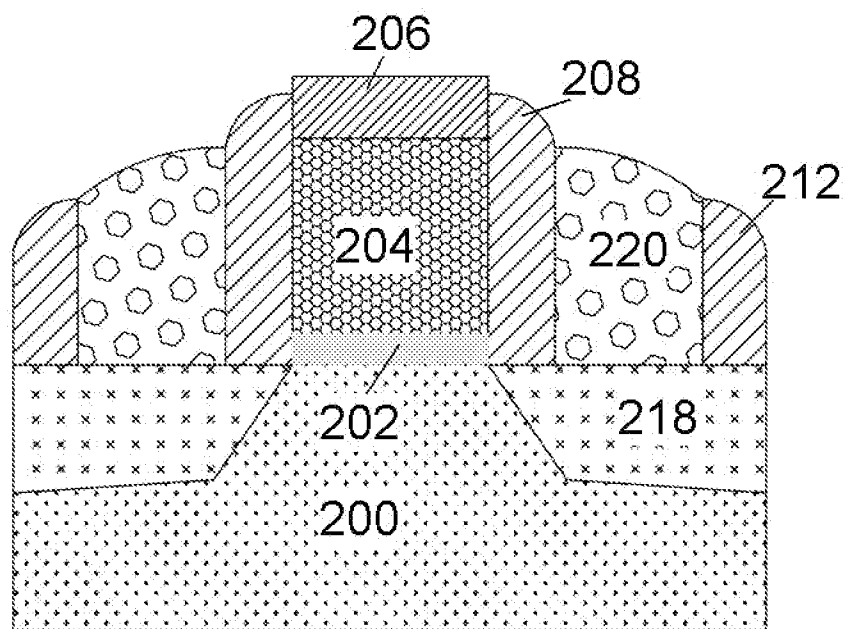


图 17

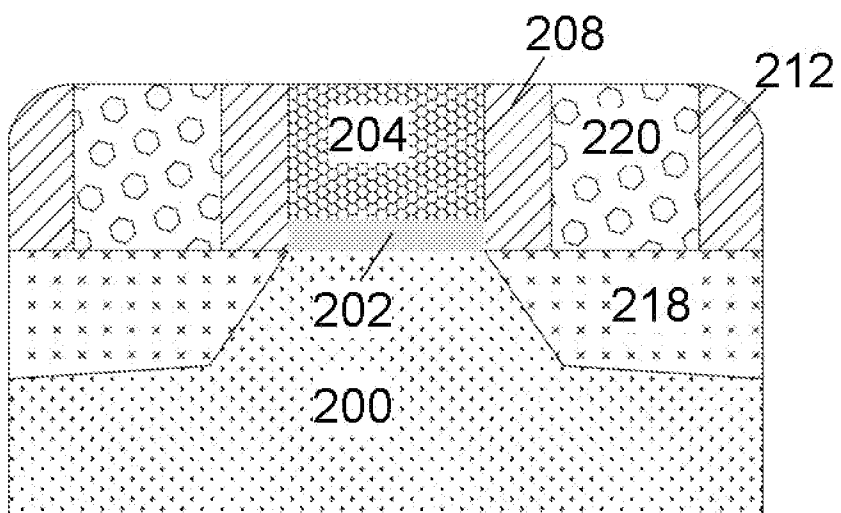


图 18

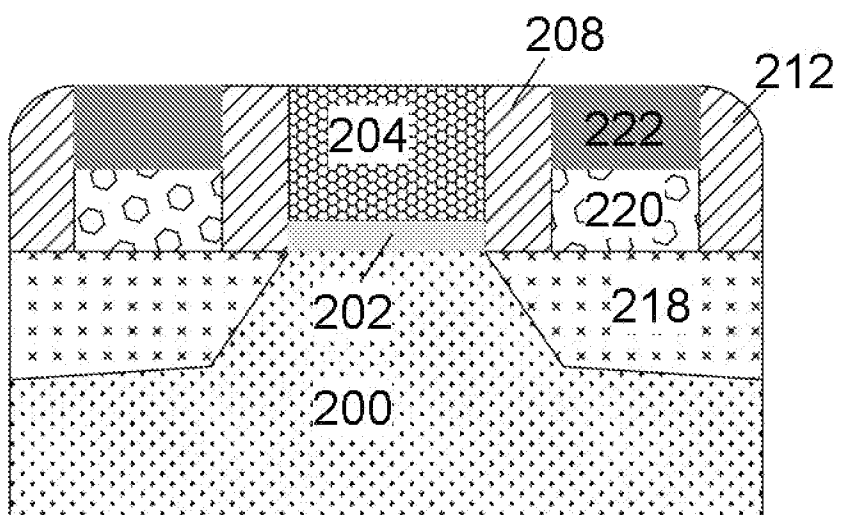


图 19

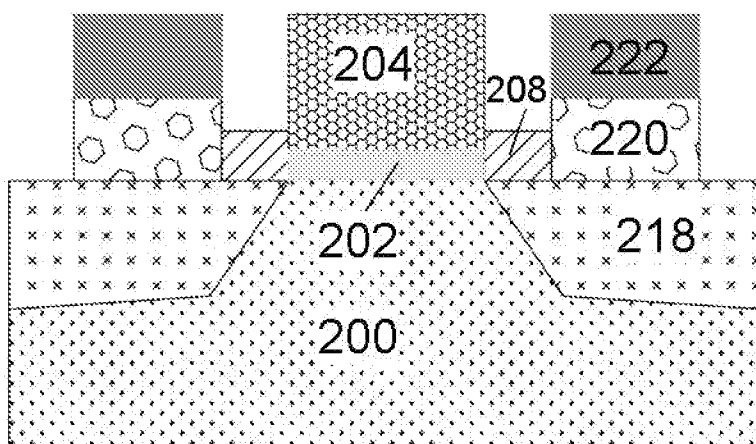


图 20

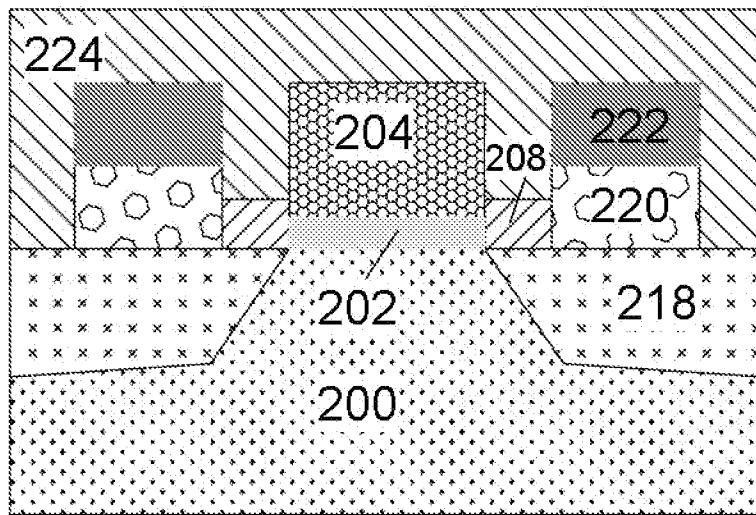


图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/077311

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CPRS,CNKI: dual, stress, nitride, active, side, wall, mobility, electrode, opening, stack, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101521229A (ALPHA & OMEGA SEMICONDUCTOR LTD (US)) 02 Sep. 2009 (02.09.2009) claims 1-17, pages 4-7 of description and figs. 2-7	1-10
A	US7615816B2 (INT BUSINESS MACHINES CORP (US)) 10 Nov. 2009 (10.11.2009) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 Dec. 2010 (14.12.2010)	Date of mailing of the international search report 20 Jan. 2011 (20.01.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer XIE, Shaojun Telephone No. (86-10)62411593

International application No.
PCT/CN2010/077311

Form PCT/ISA /210 (patent family annex) (July 2009)

国际检索报告

国际申请号
PCT/CN2010/077311

A. 主题的分类

H01L 29/78 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI,EPODOC,CPRS,CNKI: 栅, 迁移率, 侧墙, 有源, 电极, 氮化物, 开口, 应力, 堆叠, 双, dual, stress, nitride, active, side, wall, mobility, electrode, opening, stack, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101521229A (万国半导体股份会社(美国)) 02.9 月 2009 (02.09.2009)	1-10
A	权利要求 1-17, 说明书第 4-7 页, 图 2-7 US7615816B2 (国际商业机器公司(美国)) 10.11 月 2009 (10.11.2009) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
14.12 月 2010 (14.12.2010)

国际检索报告邮寄日期
20.1 月 2011 (20.01.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

谢绍俊
电话号码: (86-10) 62411593

关于同族专利的信息

国际申请号

PCT/CN2010/077311

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101521229A	02.09.2009	US2009218619A1	03.09.2009
		TW200945588A	01.11.2009
US7615816B2	10.11.2009	US2007158728A1	12.07.2007