8. 山本喜史 / YAMAMOTO, YOSHINOBU
9. 大塚龍志 / OTSUKA, TATSUSHI
10. 高橋秀長 / TAKAHASHI, HIDENAGA
11. 栗田昌德 / KURITA, MASANORI
12. 鎌田心之介 / KAMATA, SHINNOSUKE
13. 佐藤綾子 / SATO, AYAKO

國　籍：（中文/英文）

1. 日本 / JAPAN
2. 日本 / JAPAN
3. 日本 / JAPAN
4. 日本 / JAPAN
5. 日本 / JAPAN
6. 日本 / JAPAN
7. 日本 / JAPAN
8. 日本 / JAPAN
9. 日本 / JAPAN
10. 日本 / JAPAN
11. 日本 / JAPAN
12. 日本 / JAPAN
13. 日本 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本、　2007/01/19、　2007-010763

2. 日本、　2006/12/22、　2006-345415

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

參考相關申請案

此申請案是基於以及主張於2006年12月22日提出申請的先前日本專利申請案2006-345415以及於2007年1月19日提出申請的日本專利申請案2007-10763的優先權，其等整篇內容在此以參考形式被併入本文。

發明領域

本發明是關於用於記錄包括數位影像資料的二維陣列資料的一記憶體裝置、該記憶體裝置之一記憶體控制器及一記憶體系統。特別地，本發明是關於用以增加指示出每單位時間可被處理之資料項數的一有效頻寬的一記憶體裝置、記憶體控制器及記憶體系統。

【先前技術】

發明背景

用於記錄二維陣列資料(如數位影像資料)的記憶體裝置的市場大小已隨著視訊分佈在數位廣播或網際網路上的普及而逐漸增加。數位影像資料是藉由使用複數個位元(如8個位元的256個灰度層級(gradation level))來組成像素之灰度資訊(gradation information)而獲得的一組資料。例如，用於高清晰度廣播的影像資料之一圖框由1920×1040個像素組成。此影像資料的每一圖框根據一預先決定的映射方法被安排在影像記憶體內的一位址空間中。

此記憶體映射被定義，藉此在目前流行的同步DRAM

(SDRAM)的組態及操作基礎上能夠做出最有效的存取。例如，SDRAM具有複數個記憶體組，且每一記憶體組具有複數條字線及位元線、位於該等字線與位元線交叉處的複數個記憶體單元，及對應於該等位元線的感測放大器。複數個記憶體組能夠獨立執行主動操作。在該SDRAM中執行的主動操作是基於一列位址選擇一字線並啟動對應的感測放大器的一系列操作。另外，在該SDRAM中執行的讀取操作是基於一行位址將一位元線電位作為讀取資料輸出到一輸入/輸出終端的一系列操作，該位元線電位被該感測放大器放大，而寫入操作是將被選擇的寫入資料(其自輸入/輸出記憶體中被輸入)輸入到根據該行位址被選擇的一位元線的一系列操作。

該SDRAM之一記憶體內的一位址空間由複數個頁面區域(page area)組成，每一頁面區域能夠被一記憶體組位址及一列位址選擇，且每一頁面區域具有能夠被一行位址選擇的一組位元或一組位元組。由該行位址選擇的該組位元組(或該組位元)經由複數個輸入/輸出終端而被輸入/輸出。

根據一一般已知的映射方法，數位影像資料的一像素與能夠由該行位址在一頁面區域內選擇的該組位元組(或該組位元)中的每一位元組(或位元)相聯。此外，根據此映射方法，該SDRAM的每一記憶體組能夠獨立執行該主動操作以及該讀取或寫入操作，因此與該數位影像資料之像素的一安排相聯的該等頁面區域被安排，藉此該影像上彼此垂直及水平相鄰的頁面區域分別對應於不同的記憶體組位

址。例如，如果該SDRAM由四個記憶體組所組成，那麼對應於記憶體組位址BA=0、1的頁面區域被交替地安排在奇數列中，而對應於記憶體組位址BA=2、3的頁面區域被交替地安排在偶數列中。透過以此方式來安排該等頁面區域，當讀取或寫入影像資料的一圖框時，不同的記憶體組能夠交替地及在時間上重疊地執行該主動操作以及該讀取或寫入操作，且一頻寬(其為每單位時間內可處理的像素數)能夠被顯著增加。

專利文件1及2描述了存取效率藉由允許同時存取一半導體記憶體中的複數個列來儲存影像資料而被提高。

另外，專利文件3描述一種記憶體裝置，其被提供以一子陣列選擇電路，該子陣列選擇電路用於執行控制以同時啟動被分配到一輸入列位址的一子陣列以及被分配到該輸入列位址正上方的一列位址的一子陣列，是為了解決由於在影像擴展處理中使用DRAM時每隔一列中的資料都需要被讀取而導致的增加的讀取時間及功率消耗。然而，專利文件3被設計為提高在該影像之一列方向上連續進行的水平存取的效率，因此並未描述矩形存取。

此外，專利文件4描述了一種資料處理系統，其中一匯流排控制器依據自一資料處理部分被發送的一存取指令，發出一位址主動命令到一儲存區域(其不同于以一叢發模式被存取的一儲存區域)，從而使一存取位址的設定成為可能。特別地，在該記憶體控制器啟動並存取一記憶體組的同時，一主動命令被發出到其他記憶體組以在傳遞此記憶

體組之前執行主動操作，藉此讀取/寫入操作的加速能被實現。

同樣地，專利文件5揭露了一種影像處理裝置，其具有：一影像記憶體；以及一控制單元，該控制單元用於在存取一任意記憶體組的同時連續產生一行位址以連續存取相同頁面內的一任意位址，並提前列啟動隨後要被存取的一記憶體組，從而立即存取最近要被存取的該記憶體組，即便被存取的記憶體組被切換到另一記憶體組。特別地，描述了該記憶體控制器具有一位址順序預測電路以預測隨後要被存取的一記憶體組並發出一主動命令到該記憶體。

[專利文件1]日本未審查的專利公開案2001-312885

[專利文件2]日本未審查的專利公開案H08-180675

[專利文件3]日本未審查的專利公開案H09-231746

[專利文件4]日本未審查的專利公開案2002-132577

[專利文件5]日本未審查的專利公開案H10-105367

【發明內容】

發明揭示

本發明所解決的問題

用於儲存數位影像資料及類似物的一記憶體裝置需要：一水平存取，其中寫入及讀取影像資料以一像素矩陣的安排順序被執行；以及一矩形存取，其中寫入及讀取影像資料在該像素矩陣之一部分矩形區域上被執行。該水平存取對應於一光柵掃描操作，此操作用於藉由反覆執行該影像資料的水平掃描來寫入或讀取影像資料之一圖框。另

外，該矩形存取對應於某一操作，此操作用於在執行編碼，例如一MPEG檔案的一操作時讀取影像資料之一小矩形方塊來獲取一運動向量，或者對應於某一操作，此操作用於在藉由一解碼操作的方式來重現一影像時讀取及寫入影像資料之一方塊。

然而，由於該影像資料的一像素是藉由該上述的映射方式被儲存在一記憶體之一位址空間中，所以問題就在於當進行該矩形存取時一有效頻寬被減少。首先、由該等記憶體組位址及列位址所選擇的該頁面區域中的一組位元組，即複數個位元組(或複數個位元)被行位址同時存取。然而，在被使用該矩形存取來存取的一矩形區域與該等行位址所選擇的該等位元組(或該等位元)不匹配的情況下，當一行位址進行存取時，不必要的輸入/輸出資料被產生。第二、在被使用該矩形存取來存取的該矩形影像區域與該位址空間中的該頁面區域不匹配的情況下，需要存取超出頁面區域之邊界的複數個頁面區域，並相應地需要複雜的記憶體控制。

如果作為一存取目標的該矩形影像區域與該等頁面區域以及該等行位址所選擇的複數個位元組(或複數個位元)不匹配，那麼該上述的第一及第二個問題會帶來更複雜的記憶體控制及一有效頻寬的進一步減少。

因此本發明的一目的是為了提供解決了該記憶體裝置之矩形存取中所導致的該等上述問題的一記憶體裝置、該記憶體之一記憶體控制器及一記憶體系統。

用以解決該等問題的裝置

為了達到該上述目的，本發明之一第一層面是一記憶體裝置，其具有：複數個記憶體組，每一記憶體組都具有一記憶體單元陣列，而該記憶體單元陣列具有分別由列位址選擇的複數個頁面區域，且每一記憶體組由一記憶體組位址選擇；一列控制器，其依據一第一操作碼來控制每一記憶體組內的頁面區域的啟動；以及一組資料輸入/輸出終端。每一被啟動的頁面區域內的一記憶體單元區域被根據一行位址來存取，該列控制器依據與該第一操作碼一起被提供的多記憶體組資訊資料及一被提供的記憶體組位址來產生該等記憶體組的記憶體組啟動信號，以及根據該被提供的記憶體組位址及一被提供的列位址來產生每一記憶體組的一列位址。該等記憶體組依據該記憶體組啟動信號及一列位址計算器所產生的列位址來啟動該等頁面區域。

根據上述的該第一層面，該多記憶體組資訊資料所指示的該等記憶體組能夠依據一個單一的第一操作碼來被啟動，因此，在一後續的行存取中，期望的資料能從該等記憶體組中被存取。因此，提高對二維陣列資料項中橫跨該等記憶體組的一區域的資料的存取效率是可能的。

為了達到該上述目的，本發明之一第二層面是一記憶體裝置，其儲存複數個資料項並依據一記憶體組位址、一列位址及一行位址來存取該等被儲存的資料項，該記憶體裝置具有：

複數個記憶體組，每一記憶體組都具有一記憶體單元

陣列，而該記憶體單元陣列具有分別由列位址選擇的複數個頁面區域，且每一頁面區域由一記憶體組位址選擇；

一列控制器，其依據一第一操作碼來控制每一記憶體組內的頁面區域的啟動；

一組資料輸入/輸出終端；以及

一輸入/輸出單元，其被提供在該記憶體單元陣列與該等輸入/輸出終端之間，其中

每一被啟動的頁面區域內的一記憶體單元區域被根據該行位址來存取，

該列控制器具有一多記憶體組啟動控制器，其依據與該第一操作碼一起被提供的多記憶體組資訊資料及一被提供的記憶體組位址來產生每一記憶體組的一記憶體組啟動信號，以及一列位址計算器，其根據該被提供的記憶體組位址及一被提供的列位址來產生每一記憶體組的列位址，

該等記憶體組依據該等記憶體組啟動信號及該列位址計算器所產生的該等列位址來啟動該等頁面區域，

對應於該等輸入/輸出終端的資料的複數個位元組或位元被儲存在該記憶體單元區域中，以及

該記憶體單元陣列及該輸入/輸出單元依據一第三操作碼，根據關於該等位元組或位元之一組合的資訊，存取對應於該被提供的記憶體組位址之一第一記憶體組中的行位址的一第一記憶體單元區域以及在與該第一記憶體組相鄰的一第二記憶體組內的並與該第一記憶體單元區域相鄰的一第二記憶體單元區域，以及，根據該組合資訊，將來

自該等被存取的第一及第二記憶體單元區域中的該等位元組或位元的複數個位元組或位元之一組合與該等輸入/輸出終端相聯。

根據上述的該第二層面，在存取橫跨該等二維陣列資料項之記憶體組的區域，以及存取每一記憶體單元區域內之複數個位元組或位元資料項的一任意組合之情況下，該第一操作碼被發出的次數能被減少，且被輸入/輸出的無效資料能被去除，藉此該存取效率能被提高。

為了達到該上述目的，根據本發明之一第三層面，一記憶體系統具有：該第一層面的記憶體裝置；以及一記憶體控制器，其包括一命令/位址產生部分並對該記憶體裝置讀取或寫入資料，該命令/位址產生部分用於提供該多記憶體組資訊資料給該記憶體裝置、提供一次該第一操作碼連同該記憶體組位址及該列位址且之後提供多次該記憶體組位址及該行位址連同一第三操作碼給該等被啟動的記憶體組。

為了達到該上述目的，本發明之一第四層面是控制該上述記憶體裝置的一記憶體控制器，該記憶體控制器具有一命令/位址產生部分並對該記憶體裝置讀取或寫入資料，該命令/位址產生部分提供該多記憶體組資訊資料給該記憶體裝置、提供一次該第一操作碼連同該記憶體組位址及該列位址且之後提供多次該記憶體組位址及該行位址連同一第二操作碼給該等被啟動的記憶體組。

本發明的效果

根據本發明，儲存要被存取的資料的該等記憶體組可依據一個單一的第一操作碼來被啟動，因此該存取效率可被提高。

圖式簡單說明

第1圖是一顯示根據本實施例的一影像記憶體之記憶體映射的圖。

第2(A)、(B)圖是一顯示該影像記憶體中的兩個存取的圖。

第3圖是一顯示一水平存取的一問題的圖。

第4(A)、(B)圖是一顯示一矩形存取的一第一問題的圖。

第5圖是一顯示一矩形存取的一第二問題的圖。

第6圖是一顯示在本實施例中被執行的整個操作的圖。

第7圖是一顯示本實施例之整個操作的另一範例的圖。

第8圖是根據本實施例的一影像處理系統的一組態圖。

第9圖是根據本實施例的一影像記憶體的一組態圖。

第10(A)、(B)圖是一用於說明位元組邊界功能的圖。

第11圖是該等位元組邊界功能的一時序圖。

第12圖是一用於說明不同映射的該等位元組邊界功能的圖。

第13圖是一用於說明第12圖中所示之一大端位元組排列順序(big endian)及小端位元組排列順序(little endian)的圖。

第14圖是一用於說明一特殊記憶體映射中的該等位元

第28圖是一顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(3)的一操作的圖。

第29圖是一顯示具有該等位元組邊界功能的該影像記憶體之一第三範例的圖。

第30圖是一用於說明第29圖中所示之操作的圖。

第31圖是一顯示與具有該等位元組邊界功能的該影像記憶體之輸入/輸出終端有關的裝置的圖。

第32圖是一顯示第31圖中所示之操作的圖。

第33圖是一顯示與具有該等位元組邊界功能的該影像記憶體之輸入/輸出終端有關的裝置的圖。

第34圖是一顯示第33圖中所示之操作的圖。

第35(A)、(B)圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(1)。

第36(A)、(B)圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(2)。

第37圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(3)。

第38圖是第37圖中所示之一DDR記憶體的上行模式(up mode)的一操作時序圖。

第39圖是第37圖中所示之該DDR記憶體的下行模式(down mode)的一操作時序圖。

第40圖是一用於說明指定該等位元組邊界功能之一邊界的一方法的圖。

第41圖是一用於顯示一開始位元組SB及一移位值SV

的一轉換電路的圖。

第42圖是一用於說明利用了該等位元組邊界功能的一自動矩形存取的圖。

第43圖是一自動矩形存取的一時序圖。

第44圖是該自動矩形存取中所需要的一內部行位址計算器的一組態圖。

第45圖是一顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之一範例的圖。

第46圖是一顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之另一範例的圖。

第47圖是一顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之又一範例的圖。

第48圖是一用於說明該等位元組邊界功能之其他應用的圖。

第49圖是一用於說明該等位元組邊界功能之其他應用的圖。

第50圖是一用於說明該等位元組邊界功能之其他應用的圖。

第51圖是該影像處理系統的一組態圖。

第52圖是一顯示一記憶體控制部分(記憶體控制器)的輸入及輸出信號的圖。

第53圖是一用於說明一參考影像區域的圖，該參考影像區域是一圖框影像中的一讀取目標。

第54圖是該記憶體控制器的一詳細組態圖。

第55圖是一用於說明參考影像讀取控制器514中的圖框間預測部分513所執行的計算的圖。

第56圖是一顯示該參考影像讀取控制器514中的圖框間預測部分513所執行的計算之一範例的圖。

第57圖是一顯示記憶體映射之一範例的圖。

第58圖是一顯示該記憶體映射12中的該頁面區域14之一組態的圖。

第59圖是一顯示該記憶體映射上的該等參考影像區域之一安排的圖，該等參考影像區域被顯示於第56圖中。

第60圖是一顯示該記憶體映射上的該等參考影像區域之另一安排的一範例的圖。

第61圖是對於沒有該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。

第62圖是對於具有該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。

第63圖是對於不具有該等位元組邊界功能及多記憶體組存取功能的記憶體的記憶體控制器的一時序圖。

第64圖是對於具有該多記憶體組存取功能及該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。

第65圖是該記憶體控制器之控制操作的一流程圖。

第66圖是該記憶體控制器之控制操作的一流程圖。

第67圖是用於說明根據本實施例的一多記憶體組存取的一概要解說圖。

第68圖是一用於說明根據本實施例的該多記憶體組存取的圖。

第69圖是顯示該多記憶體組資訊SA'為記憶體組數目資訊(=4)之情況的一時序圖。

第70圖是顯示該多記憶體組資訊SA'為一矩形區域的大小資訊(W=8個位元組，H=8列)之情況的一時序圖。

第71圖是具有該多記憶體組存取功能的記憶體裝置之一組態圖。

第72圖是一顯示多記憶體組啟動控制器88之一第一範例的圖。

第73(A)、(B)圖是一顯示該多記憶體組啟動控制器88之第一範例的圖。

第74圖是一顯示該多記憶體組啟動控制器88之一第二範例的圖。

第75(A)、(B)圖是一顯示該多記憶體組啟動控制器88之第二範例的圖。

第76圖是一顯示該多記憶體組啟動控制器88之一第三範例的圖。

第77(A)至(C)圖是一顯示該多記憶體組啟動控制器88之第三範例的圖。

第78圖是一顯示記憶體組啟動時序之範例1的圖。

第79圖是一顯示記憶體組啟動時序之範例2的圖。

第95圖是定序器SEQ的一組態圖。

第96(A)至(C)圖是一用於說明被用以產生中間參數的計算方程式的圖。

第97圖是該命令/位址產生部分的一操作流程圖。

第98圖是該記憶體控制器與該記憶體裝置之間的一時序圖。

【實施方式】

較佳實施例之詳細說明

本發明之實施例被參考該等附圖來描述。然而，本發明之技術領域並未限制在這些實施例中，且因此涵蓋該等專利的申請專利範圍及其等效中所描述的標的。

影像記憶體的記憶體映射及該映射記憶體步驟中所包含的問題

第1圖顯示根據本實施例的一影像記憶體的記憶體映射。在第1圖中，具有一顯示器裝置10的一影像處理系統中的顯示影像資料被儲存在影像記憶體15中。該顯示影像資料由一亮度信號Y以及每一像素的色差信號Ca及Cb以及每一像素的RGB灰度信號上的資料所組成，其中每一信號由，例如8個位元(1個位元組)的資料所組成。

同時，該影像記憶體15一般由一大容量及高速的半導體記憶體裝置所組成，如SDRAM，在該半導體記憶體裝置中，一積體電路被形成於一半導體基板上。此影像記憶體由複數個記憶體組(Bank 0-3個(如第1圖中所示之四個記憶體組))所組成，其中每一記憶體組0-3都具有複數個方塊

(BLK-0)，且每一方塊具有複數個字線WL、位元線BL及位於該等字線與位元線交叉處的記憶體單元MC。每一記憶體單元由一未被顯示的MOS電晶體及一電容器所組成，該電晶體的閘極連接到一字線而該電容器連接到該電晶體。在第1圖所示之該範例中，該四個記憶體組分別與記憶體組位址BA 0-3相聯、該等字線與列位址RA 0-7相聯，而該等位元線與行位址CA 0-127相聯。一記憶體組中的一字線由一記憶體組位址BA及一列位址RA的一組合選擇，而一位元線由一行位址CA選擇。資料項的4個位元組(BY 0-3)被該記憶體位址BA、列位址RA及行位址CA存取。由於1個位元組由8個位元組成，所以一次存取有資料項的4個位元組，即資料的4×8=32個位元與該記憶體的一輸入/輸出終端相聯，接著讀取或寫入被執行。一般來說，該上述資料的1個位元組(資料的8個位元)對應於一像素的一信號。藉由一次存取輸入/輸出資料項的4個位元組，指示相對於該影像資料，每單位時間內能夠被處理的像素數的一頻寬能夠被增加。

根據該顯示影像資料的記憶體映射12，頁面區域14(每一頁面區域由該記憶體組位址BA及列位址RA指定)被置於列及行中。如一放大的區域14E所示，一頁面區域14具有128個記憶體單元區域，該等記憶體單元區域由該等行位址CA 0-127指定，且每一記憶體單元區域儲存資料項的該4個位元組(BY 0-3)。資料項的該4個位元組(BY 0-3)經由總數為一記憶體的32個輸入/輸出終端，即經由輸入/輸出終端DQ 0-7、DQ 8-15、DQ 16-23及DQ 24-31，被輸入/輸出。每一

位元組的8-位元資料對應於一像素的信號資料。

該記憶體映射12適合於高速操作由複數個記憶體組所組成的該影像記憶體15，如SDRAM。依據與該記憶體組位址BA以及該列位址RA一起被提供的一主動命令，該SDRAM執行主動操作，該主動操作驅動該被選擇的記憶體組中的被選擇字線、將儲存在一記憶體單元中的資料讀取到該位元線中、啟動與該位元線相聯的該感測放大器以放大該位元線電位且之後根據與該行位址CA一起被提供的一讀取命令，執行從該被選擇的位元線中讀取該資料的讀取操作。可選擇地，在執行完該主動操作之後，該SDRAM回應與該行位址CA及寫入資料一起被提供的一寫入命令而執行將該寫入資料寫入該被選擇的位元線的寫入命令。使用一預先充電命令的預先充電操作在該讀取操作或該寫入操作之後被執行，接著該主動操作以及該讀取或寫入操作被再次執行。以此方式，在該SDRAM中，每一記憶體組能夠獨立執行該主動操作、讀取操作及寫入操作。

根據第1圖所示之該記憶體映射12，不同的記憶體組位址BA 0-3被指定到彼此垂直及水平相鄰的該等頁面區域14。特別地，記憶體組位址BA 0-1被交替地安排在該記憶體映射12中的該等奇數列中，而記憶體組位址BA 2-3被交替地安排在該等偶數列中。另外，該等列位址RA 0-7在該記憶體映射12的光柵方向(列方向)中被重複增量為2個，且該記憶體映射12中的每一列在每四個列位址RA 0-3及RA 4-7之後被返轉。

藉由採取該記憶體映射在該影像上分配該等頁面區域而不使具有相同記憶體組的該等頁面區域在該列方向或該行方向中彼此相鄰，能夠對該影像記憶體進行水平存取(其為對該影像記憶體所作的一典型存取，即其中該等頁面區域14在該列方向中被移動且一頁面區域被選擇的一存取)，而該主動操作及該讀取/寫入操作被利用兩個記憶體組來同時執行，藉此存取效率能夠被提高。這對於該影像記憶體在一垂直方向中被存取的情況也是如此。

第2圖顯示該影像記憶體中的兩種存取。第2(A)圖中所示之水平存取是主要發生在輸入/輸出一視訊圖框影像時，並對應於用於在一水平方向20中從左上角到右下角存取該影像的光柵掃描的一存取。另一方面，第2(B)圖中所示之矩形存取是主要發生在壓縮或擴展一MPEG影像或類似物時，並對應於用於在一矩形22中在一箭頭24的方向上以一任意的長寬比從左上角到右下角存取該影像的一操作的一存取。該矩形區域22對應於一方塊或類似物，其為用於擷取該MPEG影像之一運動向量的一目標。

一般說來，在使用一影像記憶體的一影像系統中，傳送該影像記憶體(其為一圖框記憶體)的傳送率被設定快於影像顯示操作的速度，藉此，當水平存取該影像記憶體所讀取的影像資料被顯示在一螢幕上時，新的圖框資料藉由該矩形存取的方式被產生，且該圖框資料被連續地產生及輸出。因此，水平存取以及矩形存取都在一實際的影像系統中被作出。

在該水平存取中，掃描在該水平方向20中被執行，因此在啟動相鄰記憶體組的同時，能夠有效地進行記憶體存取。另一方面，在該矩形存取中，使要被存取的該矩形區域22的位置不超過一個單一的記憶體組及該記憶體組中的一頁面區域，藉此該矩形區域22中的資料藉由執行指定該記憶體組位址BA及該列位址RA的單個主動操作而能夠被存取，因此與該水平存取一樣，有效的記憶體存取能夠被執行。

第3圖顯示該水平存取的一個問題。圖中顯示了該上述的記憶體映射12中在該水平方向20上所作的該水平存取的一時序圖30。在此時序圖中，當水平存取(該圖中的20)該記憶體映射12的第四列中的頁面區域(BA 0/RA 4、BA 1/RA 4、BA 0/RA 5、BA 1/RA 5)時，一自動再新命令AREF被產生。該時序圖30顯示一命令CMD、時鐘CLK、記憶體組位址BA、列位址RA、行位址CA及輸入/輸出終端DQ。

一叢發長度BL被假定為4。當該主動操作在該頁面區域(BA 0/RA 4)上被一主動命令ACT 32執行且一指令被一讀取命令RD 33發出以讀取頁面區域(BA 0/CA 0)時，四個32-位元的資料項在一預先決定的潛時(在該圖中為四個時鐘)之後的四個時鐘週期內從該等輸入/輸出終端DQ被連續地輸出。特別地，該頁面區域BA 0/RA 4內各自的行位址CA 0-3中的該四個32-位元資料項中的每一個被連續輸出四次。該SDRAM需要此叢發操作作為一標準。該上述操作表明第1圖中所放大的該頁面區域14E內的該等行位址CA 0-3

中之每一個的4個位元組(32-位元)的資料項被連續輸出四次。

其次，該頁面區域BA 1/RA 4的資料項的4個位元組藉由一主動命令ACT 34及一讀取命令RD 35而被輸出。類似地，該頁面區域BA 0/RA 5的資料項的4個位元組藉由一主動命令ACT 36及一讀取命令RD 37而被輸出，以及該頁面區域BA 1/RA 5的資料項的4個位元組藉由一主動命令ACT 38及一讀取命令RD 39而被輸出。

在這一點上，當用於指定一列位址RA 6的一自動再新命令AREF 40被產生時，組配該影像記憶體的SDRAM記憶體在所有包含的記憶體組(即4個記憶體組BA 0-3)上平行執行一再新操作。特別地，該各自的四個記憶體組內的各自的列位址RA 6的字線被同時驅動、對應的感測放大器被啟動、重新寫入被執行，且接著該預先充電操作被執行。該再新操作在第3圖所示之該記憶體映射12內的四個頁面區域31上被執行。因此，該水平存取(箭頭20)在一再新操作週期tREF期間在時間上被停止。在該再新操作週期tREF之後，下一頁面區域BA 0/RA 6藉由一主動命令ACT 41及一讀取命令RD(未被顯示)而被再次存取，藉此該水平存取被重新開始。

由於該再新操作被該再新命令AREF同時對四個記憶體組執行，所以在進行水平存取時，當該再新命令被產生時，該水平存取在時間上被停止，因此該有效頻寬變窄。這就是在該水平存取中出現的問題。

第4圖顯示該矩形存取的一第一問題。第4(A)圖顯示該水平存取的一範例，而第4(B)圖顯示該矩形存取的一範例。兩個範例都是超過一行位址CA所選擇的一記憶體單元區域(4-位元組區域)45之邊界的存取。如上述，根據一個一般已知的記憶體映射，由一記憶體組位址BA及一列位址RA指定的該頁面區域14被分段成該等行位址CA 0-127所選擇的複數個記憶體單元區域45，且資料項的4個位元組BY 0-3被單個行位址CA同時存取。每一位元組的8-位元資料對應於一像素的一信號。

因此，儘管該水平存取被相對節約地作出，但是資料不必要的輸入/輸出會出現在該矩形存取中，所以該有效頻寬減少。

在第4(A)圖所示之該水平存取中，當存取一區域22A時，在用於指定該頁面區域BA 0/RA 0的主動命令ACT之後，四個讀取命令RD對於該等行位址CA 0-3被發出，且該等行位址CA 0-3中之每一個的資料項的4個位元組BY 0-3被連續地輸入/輸出。在此情況下，該區域22A含有從該行位址CA 0的位元組BY 2與3到該行位址CA 3的位元組BY 0與1的一區段。因此，在對應於該行位址CA 0的資料的4個位元組的輸入/輸出DQ中，該位元組BY 0與1的資料項是不需要的，且在對應於該行位址CA 3的資料的4個位元組的輸入/輸出DQ中，該位元組BY 2與3的資料項也是不需要的。因此，有效的輸出資料的容量是12個位元組/16個位元組。

另一方面，在第4(B)圖所示之該矩形存取中，當存取

一矩形區域22B時，在用於指定該頁面區域BA 0/RA 0的主動命令ACT之後，六個讀取命令RD對於該等行位址CA 0、1、4、5、8及9被發出，且該等行位址CA 0、1、4、5、8及9中之每一個的資料項的4個位元組BY 0-3被連續地輸入/輸出。然而，該矩形區域22B與該等行位址所選擇的該記憶體單元區域(4-位元組區域)45之邊界不匹配並超過了該4-位元組區域的邊界，因此該等4-位元組的資料項BY 0-3中每一個的一半是不需要的資料。特別地，該有效的輸出資料的容量是12個位元組/24個位元組。第4(B)圖顯示了最糟糕的情況。

如上所述，即便要被存取的資料具有相同的位元組數，在該矩形存取中，資料的24個位元組需要透過發送該讀取命令6次而被輸入/輸出，但在該水平存取中，資料的16個位元組需要透過發送該讀取命令4次而被輸入/輸出。因此，在超過單個行位址所選擇的該4-位元組區域(記憶體單元區域)45的邊界的矩形存取中，該有效頻寬減少。這是該矩形存取的第一問題。

第5圖顯示該矩形存取的第二問題。該矩形存取是對一任意矩形區域作出的一存取且有時會超過相鄰頁面區域14的一邊界14BOU。第5圖顯示一矩形區域22(A)為該相同頁面區域BA 1/RA 6中的一16-位元組區域的一情況以及一矩形區域22(B)為覆蓋了四個相鄰頁面區域BA3/RA2、BA 2/RA 3、BA 1/RA 6及BA 0/RA 7的一16-位元組區域的一情況。

在該矩形區域22(A)的情況中，16個位元組的資料藉由對該頁面區域BA 1/RA 6發出一次主動命令ACT(該圖中的50)及對該等行位址CA 6、7、10及11發出四次讀取命令RD(該圖中的52)而能夠被輸入/輸出，如該時序圖所示。

另一方面，在該矩形區域22(B)的情況中，除非對該等頁面區域BA3/RA2、BA 2/RA 3、BA 1/RA 6及BA 0/RA 7發出四次主動命令ACT(該圖中的54)以及除非對該等行位址CA 127(BA 3)、CA 124(BA 2)、CA 3(BA 1)及CA 0(BA 0)發出四次讀取命令RD(該圖中的56)，16個位元組的資料才能被輸入/輸出，如該時序圖所示。特別地，在該矩形區域22包括相鄰頁面區域的情況下，該等主動命令ACT被發出數次以便在不同的記憶體組上執行該主動操作，且該等讀取命令RD或寫入命令WR必須被在該等各自的記憶體組中對該等行位址發出。因此，每單位時間內能夠被存取的資料量被減少，且該有效頻寬變窄。

在第5圖所示之該矩形區域22(B)在一行位址所選擇的記憶體單元區域(4-位元組區域)的中間被分段的情況中，第4圖中所說明的該第一問題會同時出現，因此複數個主動命令被需要(第二問題)，且不必要的資料被含有在對應於該等讀取命令的輸入/輸出資料DQ中(第一問題)，從而導致該有效頻寬的減少。

如上所述，在採取利用了該SDRAM之結構特性的該記憶體映射之情況下，在該影像記憶體中，會有該水平存取由於在被執行時出現該再新命令而被停止之該第一問題、

在該矩形存取區域超過一行位址所選擇的記憶體單元區域(4-位元組區域)的邊界時不必要的輸入/輸出資料被產生之該第二問題以及當該矩形存取區域超過該等記憶體組位址所指定的該等頁面區域的邊界時複數個記憶體組的主動命令被需要發出之一第三問題。

本實施例的一般說明

在下文中，用於解決這些問題的組態及操作被簡述。

本實施例是為了解決由該再新操作導致的存取的不連續、該矩形存取所引起的該存取效率的減少以及其他問題，其中，首先、該再新操作能夠在該水平存取時在背後與一存取操作一起被執行，第二、在該矩形存取時，使有效存取偏離或超過一行位址所選擇的記憶體單元(4-位元組區域)的一區域之一功能成為可能，以及第三、使有效存取超過該等頁面區域之邊界並含有複數個頁面區域的一矩形區域之一功能成為可能。

第6圖顯示在本實施例中被執行的整個操作。如上所述，在使用一影像記憶體的一影像系統中，該水平存取及該矩形存取都被產生。第6圖所示之範例是對該記憶體映射12之第一列中該等記憶體組位址為BA 0與BA 1的頁面區域的一水平存取20-1、對第二列中的一頁面區域BA 2/RA 2的一矩形存取22以及對該第二列中該等記憶體組位址為BA 2與BA 3的頁面區域的一水平存取20-2在其中被按順序產生的一範例。在該矩形存取22中，對超過一頁面區域BA 2/RA 2中的記憶體單元區域(4-位元組區域)的一矩形區域進行存

取。

在此情況下，在該矩形存取中，存取在該記憶體之一任意記憶體組中被產生，而在該水平存取中，存取只在一預先決定的記憶體組中被產生某一段時間。例如，在該記憶體映射12的第一列的水平存取中，存取只在該等記憶體組BA 0與1中被產生，且在該第二列的該等記憶體組BA 2與3中沒有任何存取被產生。另一方面，在該第二列的水平存取中，存取只在該等記憶體組BA 2與3中被產生，且在該第一列的該等記憶體組BA 0與1中沒有任何存取被產生。

因此，在該水平存取20-1中，用於指定在未來一段時間內沒有任何存取在其中被產生的一記憶體組的一背後的再新命令BREN在進行記憶體存取之前被發出，且該記憶體組(其中沒有任何存取被產生)的資訊SA=2/3被通知給該記憶體。特別地，後續的自動再新操作在該背後的再新命令BREN所指定的該記憶體組BA中被允許。因此，對被施加該再新操作的該記憶體組BA的正常存取不被允許。

在第6圖所示之該水平存取20-1中，允許後續的再新操作被執行的再新記憶體組資訊SA(該圖中的61)與該背後的再新命令BREN(該圖中的60)一起被發出，然後該主動操作由該主動命令ACT在該頁面區域BA 0/RA 0上執行，接著該行位址CA 0的4個位元組的資料項BY 0-3被該讀取命令RD(BA 0，CA 0)輸出到該輸入/輸出終端DQ。類似地，該主動操作由該主動命令ACT在該頁面區域BA 1/RA 0上執行，接著該行位址CA 0的4個位元組的資料項BY 0-3被該讀

取命令RD(BA 1，CA 0)輸出到該輸入/輸出終端DQ。儘管如此，第6圖省略了對應於BL=4的四個4-位元組的資料項的輸出的說明。

在此水平存取的20-1，當一自動再新請求(未被顯示)(其由該影像記憶體中的該背後的再新命令BREN啟動)被發出時，該再新操作在該等記憶體組BA 2與3上被啟動。然而，在該水平存取中，存取只在該等記憶體組BA 0與1中被產生且不同的記憶體組能夠在該SDRAM中獨立執行該主動操作，因此能夠防止該水平存取被該等記憶體組BA 2與3上所執行的該再新操作干擾及停止。

其次，在第6圖所示之該矩形存取中，該矩形區域22是在該相同的頁面區域BA 2/RA 2中並含有2個位元組BY 2與BY 3(即該行位址CA 0的後半部分)與2個位元組BY 0與BY 1(即該行位址CA 1的後半部分)。在此情況中，根據該SDRAM的一個一般讀取命令，一讀取命令RD需要被發送兩次給該等行位址CA 0與CA 1。

然而，在本實施例中，一讀取命令RD(該圖中的62)被發出給該行位址CA 0(該圖中的63)，且該存取中的位元組組合資訊SB(該圖中的64)被提供，藉此對應於該位元組組合資訊SB的4個位元組能夠被自動與該輸入/輸出DQ相聯。在上述該範例中，位元移位資訊SB=2，這意味著接在2個位元組之後的該等位元組被指定為該位元組組合資訊SB，藉此，出自該行位址CA 0的資料項的4個位元組的，在該2個位元組之後的該等位元組BY 2與BY 3的資料項與

該相鄰行位址CA 1的資料項的4個位元組中之前面兩個位元組BY 0與BY 1的資料項一起被自動輸出。

在第6圖所示之該矩形存取中，該頁面區域BA 2/RA 2的主動命令ACT被發出之後，用於指定BA 2/CA 0(該圖中的63)的該讀取命令RD 62與該位元組組合資訊SB=2(該圖中的64)一起被發出。此位元組組合資訊SB=2指示包括了位元組BY 2的資料項的4個位元組的一組合，該位元組BY 2接在該4-位元組區域內的前2個位元組之後。換言之，此位元組組合資訊SB=2指示該4-位元組區域的第一位元組位置(開始位元組)是該BY 2。據此，該影像記憶體將接在該行位址CA 0的資料項之該4個位元組的前2個位元組之後(或始於該開始位元組BY 2)的該等位元組BY 2與BY 3的資料項以及該行位址CA 1的該等位元組BY 0與BY 1的資料項和輸入/輸出終端DQ的4個位元組相聯以從此處輸出。該記憶體控制器不需要發出兩次讀取命令RD到該等行位址CA 0與CA 1。另外，只有需要的資料被輸出到輸入/輸出終端DQ的所有4個位元組，因此，不必要的資料不被輸出而該存取效率提高。

此外，當指定BA 2/CA 4的讀取命令RD與該組合資訊SB=2一起被發出時，該影像記憶體輸出由行位址CA 4與CA 5的資料的2個位元組所組成的資料的4個位元組。當指定BA 2/CA 8的讀取命令RD與該組合資訊SB=2一起被發出時，該影像記憶體輸出由行位址CA 8與CA 9的資料的2個位元組所組成的資料的4個位元組。當指定BA 2/CA 12的讀取

命令RD與該組合資訊SB=2一起被發出時，該影像記憶體輸出由行位址CA 12與CA 13的資料的2個位元組所組成的資料的4個位元組。

因此，即便該矩形存取區域22包括該8個行位址CA 0、CA 1、CA 4、CA 5、CA 8、CA 9、CA 12與CA 13的記憶體單元區域(4-位元組的區域)，也只需要發出四次讀取命令RD到該等行位址CA 0、CA 4、CA 8與CA 12，且不必要的資料不會被輸出到該等輸入/輸出終端，因此該存取效率能夠被提高一倍。

在該矩形存取之後的水平存取20-2中，由於該記憶體映射12的第二列中的該等頁面區域被存取，所以正常的存取在該等記憶體組BA 0與BA 1中暫時不被產生。因此，與上述說明一樣，SA=1作為該再新操作能夠在其中被執行的一記憶體組(該圖中的66)上的記憶體組資訊SA與該背後的再新命令BREN(該圖中的65)一起被指定，且該等記憶體組BA 0與BA 1中的自動再新操作與對該等隨後的記憶體組BA 2與BA 3的正常存取被同時允許。

如上所述，當進行正常存取時，該等水平存取20-1及20-2允許在背後的該自動再新操作，但是該矩形存取不允許在背後的該自動再新操作。因此，在該水平存取20-1中，該正常的存取操作能夠在該等記憶體組BA 0與BA 1中被執行，同時該再新操作在該等記憶體組BA 2與BA 3中被執行，而在該水平存取20-2中，該正常的存取操作能夠在該等記憶體組BA 2與BA 3中被執行，同時該再新操作在該等

記憶體組BA 0與BA 1中被執行。因此，該等水平存取能夠被防止受該再新操作的干擾，且該有效頻寬能夠被防止減少。

另外，在該矩形存取中，該背後的再新操作被禁止。因此，能夠防止對一任意區域進行的矩形存取被該再新操作停止。因而，該有效頻寬能夠完全被防止減少。

同樣地，在該矩形存取中，該位元組組合資訊SB與該讀取命令一起被指定，藉此組合位元組資料能夠被輸出到輸入/輸出終端DQ的該4個位元組，其中該組合位元組資料是藉由將任意位元組與該讀取命令的一行位址CA組合成一開始區域而被獲得的。該位元組組合資訊SB也能夠與用於在該主動命令之前設定一模式暫存器的一命令一起被指定。

第7圖顯示本實施例之整個操作的另一範例。此範例是對該記憶體映射之第一列中的頁面區域的該水平存取20-1、該矩形存取22以及對該記憶體映射之第二列中的頁面區域的該水平存取20-2在其中被按順序產生的一範例。在該矩形存取22中，該矩形區域22超過該等頁面區域的邊界14BOU並含有四個頁面區域BA 3/RA 2、BA 2/RA 3、BA 1/RA 6與BA 0/RA 7。

與第6圖一樣，在該等水平存取20-1與20-2中，該再新記憶體組資訊SA與該背後的再新命令BREN一起被發出，藉此後續的自動再新操作在該等主題記憶體組中被允許，且該等水平存取被防止受到該再新操作干擾。在對具有複

數個區域(即複數個記憶體組)的該矩形區域22的矩形存取中，多記憶體組資訊SA'與該主動命令一起被發出，如同時進行該主動操作的記憶體組上的記憶體資訊。據此，該影像記憶體在該等記憶體組的頁面區域上同時執行該主動操作，該等記憶體組由該多記憶體組資訊SA'指定並具有與該主動命令ACT一起被發出的位址資訊BA、RA的左上角的記憶體組。因此，根據一主動命令ACT，該主動操作能夠同時在該等記憶體組上被執行。然後，每一記憶體組的讀取命令RD與該記憶體組位址BA及行位址CA一起被發出，藉此每一記憶體組的行位址CA所選擇的一記憶體單元區域(4-位元組區域)的4-位元組的資料項能夠被輸出到該等輸入/輸出終端DQ。

在第7圖所示之該矩形存取的範例中，用於指定該左上角區段中的頁面區域的位址資訊項BA 3與RA 2(該圖中的71)與一主動命令ACT(該圖中的70)一起被發出，同時該多記憶體組資訊SA'=0-3(該圖中的72)被發出。據此，該影像記憶體在四個記憶體組BA 3、BA 2、BA 1與BA 0(其等由該多記憶體組資訊SA'指定)上同時執行該主動操作、將該左上角的頁面區域的一記憶體組BA 3放在前面並按順序輸出由後續的四個讀取命令RD所指定的該等記憶體組BA/行CA的資料項的4個位元組。同樣的情況也適用於該寫入命令。在該圖中，BA 3/CA 127、BA 2/CA 124、BA 1/CA 3與BA 0/CA 0被提供以回應該四個讀取命令，且這些記憶體區域的資料項的4個位元組被輸出。

如果該多記憶體組資訊SA'指示"橫向方向中的兩個記憶體組"，那麼一左上角的記憶體組(其對應於該主動命令ACT所提供的記憶體組位址BA)右側的一記憶體組也同時進行該主動操作。如果該多記憶體組資訊SA'指示"垂直方向中的兩個記憶體組"，那麼位在該左上角的記憶體組下方的一記憶體組也同時進行該主動操作。類似地，該多記憶體組資訊SA'指示"橫向及垂直方向中的四個記憶體組"，那麼位在該右側、下方以及位在該左上角的記憶體組之右下方的三個記憶體組也都同時進行該主動操作。因此，為了在多個記憶體組上自動執行該主動操作，最好在該暫存器或類似物上事先設定，指示該記憶體映射的各自列中的列位址RA如何被配置，或特別地，指示該等列位址RA在哪個單元中被返轉的資訊(列位址步階資訊)。

在第7圖所示之該矩形存取方法中，當除了該主動命令ACT處的該多記憶體組資訊SA'以外，第6圖中所描述的該位元組組合資訊SB與該讀取命令RD一起也被發出時，超過一頁面區域14的邊界14BOU並由一行位址CA選擇的記憶體單元區域(4-位元組區域)的一個部份位元組組合能夠自動與該等輸入/輸出終端DQ相聯。

第8圖是根據本實施例的一影像處理系統的一組態圖。該影像處理系統由對應於該記憶體控制器的一影像處理晶片80以及用於儲存為影像處理之一目標的影像資料的一影像記憶體晶片86所組成。該影像處理晶片80以及該記憶體晶片86每一個都是一半導體晶片，其中一積體電路被

形成於單個半導體基板上。

該影像處理晶片80具有：一影像處理控制器81，用於執行影像處理，如回應，例如MPEG的影像壓縮及擴展的一編碼器或解碼器；以及一記憶體控制器82，用於根據一記憶體存取請求來控制到該影像記憶體晶片86的一存取，該記憶體存取請求包括自該影像處理控制器81發出的影像區域規格。該記憶體控制器82具有：一背後的再新控制器84，用於控制該水平存取中的背後的再新操作；一位元組邊界控制器85，用於在該矩形存取中控制該記憶體單元區域(4-位元組區域)中的位元組的一任意組合；以及一多記憶體組啟動控制器83，用於在該矩形區域中控制到複數個區域的存取。藉由執行這些控制操作，每一操作中所需要的命令、記憶體組位址、列位址、行位址、位元組組合資訊SB、再新記憶體組資訊SA、多記憶體組資訊SA'以及類似物被發到該影像記憶體86。

該影像記憶體86具有記憶體核心92中的複數個記憶體組Bank 0-3，以及進一步具有主要用於控制該主動操作的一列控制器87、用於控制該讀取或寫入操作的一行控制器90以及一背後的再新控制器89，這些控制器執行關於該記憶體核心92的控制。該列控制器87具有一多記憶體組啟動控制器88，而該行控制器90具有一位元組邊界控制器91。一列解碼器RowDec、行解碼器ColDec、記憶體陣列MA、感測放大器組SA以及用於將該記憶體陣列MA與該等輸入/輸出終端DQ相聯的輸入/輸出單元93被提供在該等記憶體組

Bank 0-3中之每一個中。

第9圖是根據本實施例的該影像記憶體的一組態圖。在該記憶體晶片86中，該輸入/輸出終端組93不僅具有時鐘CLK，還有命令終端(其由RAS、CAS、WE及CS組成)、記憶體組位址終端BA 0與BA 1、再新記憶體組資訊終端SA 0與SA 1、複數個位址終端Add、一位元組組合資訊終端SB(其具有一預先決定數目之位元)、一資料輸入/輸出終端DQ(其具有一預先決定數目之位元)以及未被顯示的一多記憶體組資訊終端SA'。應該注意的是在該上述的位元組邊界功能、一多記憶體組存取功能以及該背後的再新功能中所需要的該等終端SB、SA'及SA能夠利用一常見的特殊接腳來被實現。這些資訊項與不同的命令一起被提供，因此特殊接腳處的輸入資料可以根據該等所提供的命令來被設定為一對應的暫存器。

同樣地，這些終端SB、SA'及SA能夠利用未被使用的終端來被實現。例如，在列位址在位址終端Add 0-12處被輸入而行位址在該等位址終端Add 0-9處被輸入的情況下，該等位址終端Add 10-12在該等行位址被輸入時不被使用。因此，控制資料SB、SA'及SA能夠從在輸入該等行位址時不被使用的該等位址終端Add 10-12處被輸入。

該組外部終端93經由緩衝器94被分別連接到內部電路。上述該組命令被輸入到一命令控制器95，而對應於該等命令的控制信號被提供給該等內部電路。同樣地，根據一模式暫存器設定命令，該命令控制器95基於被提供給一

位址接腳Add的一設定資料來設定一預先決定的設定值到一模式暫存器96中。由該模式暫存器96設定的設定資訊被提供給該等內部電路。該列控制器87具有該多記憶體組啟動控制器88及多記憶體組啟動所需要的一列位址計算器97。一主動脈沖自該多記憶體啟動控制器88被提供到要被啟動的一記憶體組。另外，要被啟動的一列位址自該列位址計算器97中被提供給每一記憶體組。該記憶體組Bank被提供以一再新列位址指定器98，其指定該記憶體組中要被再新的一列位址。該再新列位址指定器98具有，例如一再新計數器，該再新計數器用於在自動產生一再新命令時產生所需要的一列位址。該記憶體組的內部組態如上面所說明的。

在下文中，影像記憶體及記憶體控制器是按順序參考第6及第7圖所說明的該位元組邊界功能、多記憶體組存取功能、背後的再新功能來被詳細描述。

《位元組邊界》

第10圖是一用於說明該等位元組邊界功能的圖。此圖顯示某一記憶體組內一列位址RA與一行位址CA所選擇的一組位元組(或一組位元)。如上所述，也是在此範例中，一資料區域(記憶體單元區域)的4個位元組由一列位址RA與一行位址CA選擇並與輸入/輸出終端DQ 0-31的32個位元相聯。因此，該列位址RA與該行位址CA的一交叉點中的數字，即"0123"分別指示位元組BY 0、BY 1、BY 2與BY 3。同樣地，該資料區域的容量可以是4個位元，而不是4個位

元組。在此情況中，一資料區域(記憶體單元區域)的4個位元由一列位址RA與一行位址CA選擇並與輸入/輸出終端DQ 0-3的4個位元相聯。為了簡便，下列是該4-位元組資料區域的一範例。

第10(A)圖是一資料區域的4個位元組由一列位址RA與一行位址CA唯一地決定，且4-位元組資料區域(記憶體單元區域)100及101中之每一個的32個位元總是與該等輸入/輸出終端DQ 0-31相聯的一習知的範例。

另一方面，第10(B)圖顯示一列位址RA與一行位址CA所指定的一個4-位元組的區域被放在前面，且使位元組的任何組合與該等輸入/輸出終端DQ 0-31相聯的本實施例。在該圖中，由RA=0及CA=0所選擇的4-位元組的區域100全部與該等輸入/輸出終端DQ 0-31相聯。另一方面，始於由RA=2及CA=1所選擇的4-位元組的區域之兩個位元組移位之後的第三個位元組的一個4-位元組的區域102全部與該等輸入/輸出終端DQ 0-31相聯。在此情況中，第一資訊(開始位元組)以及關於一位元組順序(大端位元組排列順序或小端位元組排列順序)的第二資訊與一讀取命令或一寫入命令一起被提供，該第一資訊用於決定RA=2及CA=1所選擇的該4-位元組區域的哪個位元組被放在前面，而在該第二資訊中，4個位元組從第一位元組開始在一增量方向或減量方向中被連續安排，或者在該增量方向或減量方向中被每隔一位元組而安排。

然後，該影像記憶體的輸入/輸出單元根據該第一及第

二資訊所組成的位元組組合資訊來擷取來自對應於一頁面中一不同行位址CA的位元組資料的總共4個位元組，並將該4個位元組與該等輸入/輸出終端DQ 0-31相聯。接著，所需要的4-位元組的資料自32-位元的輸入/輸出終端DQ被一次輸入/輸出。

第11圖是該等位元組邊界功能的一時序圖。此範例顯示存取該記憶體映射12中的該4-位元組區域102的一範例。首先，一主動命令ACT(該圖中的110)與一記憶體組位址BA=0及一列位址RA=2一起被提供，接著對應的頁面區域進行該主動操作，一讀取命令RD(該圖中的111)與該記憶體組位址BA=0及一行位址CA=1(該圖中的112)一起被提供，以及指示位元組移位量或開始位元組的第一資訊SB=2(該圖中的114)與指示組合圖型的第二資訊BMR=UP(該圖中的115)一起作為位元組組合資訊113被提供。

該影像記憶體根據該位元組組合資訊SB=2及BMR=UP，以DQ 16-23、DQ 24-31、DA 0-7及DQ 8-15所示之一方式將一行位址CA=1所選擇的4-位元組區域的後半部分的2-位元組資料(BY 2、BY 3)與一行位址CA=2所選擇的4-位元組區域的前半部分的2-位元組資料(BY 2、BY 3)相聯。此相聯被第9圖所示之該位元組邊界控制器91在該輸入/輸出單元中執行。因此，即便在資料具有一不同的行位址之情況下，任何組合中的4-位元組資料也能夠藉由提供一次該讀取命令RD而與該等輸入/輸出終端DQ相聯。這對於該寫入操作也是如此。

在第11圖中，該等相同的位元組邊界功能能夠被應用，儘管該列位址RA及行位址CA所選擇的4-位元組區域是4-位元區域。在此情況中，該4-位元區域的4-位元資料與該等輸入/輸出終端DQ 0-3相聯。

第12圖是一用於說明不同映射的該等位元組邊界功能的圖。在第12圖中，為了簡便，由一列位址RA與一行位址CA選擇的一記憶體單元區域由4個位元組成。第12圖的左邊顯示記憶體映射12-1及12-2(顯示該影像的像素與一記憶體空間之間的關係)，第12圖的中央顯示該記憶體的邏輯空間15-1及15-2，以及第12圖的右邊顯示對應於第12圖的左邊及中央的一時序圖。

指示由一列位址RA與一行位址CA選擇的一個4-位元區域中的4個位元的"0-3"被顯示在該等記憶體邏輯空間15-1與15-2中的每一個中並分別對應於該等輸入/輸出終端DQ 0-3。同樣地，指示對應於該影像之像素的每一記憶體邏輯空間中的4個位元的"0-3"被顯示在左邊的該等記憶體映射12-1與12-2中的每一個中。特別地，該記憶體映射顯示該影像的每一像素如何與該記憶體之該等輸入/輸出終端DQ 0-3中的每一個相聯。

在該影像系統中，一系統設計者能夠自由地將一影像像素與該4-位元的輸入/輸出終端DQ 0-3中的任何一個相聯，該等輸入/輸出終端DQ 0-3被利用某些位址BA、RA及CA來同時存取。該映射12-1是將該圖中被從左到右安排的4個像素映射到在與該等位址之增量方向(從左到右)相同的

方向中被安排的該等輸入/輸出終端DQ 0-3的一範例，且此映射被稱為“大端位元組排列順序”。另一方面，該映射12-2是將4個像素映射到在與該等位址之增量方向相反的方向中被安排的該等輸入/輸出終端DQ 0-3的一範例，且此映射被稱為“小端位元組排列順序”。

在映射12-1與映射12-2中，該矩形存取被產生在該影像之左上角上的第6個像素到第9個像素之間的四個像素123與127中，此映射在與該記憶體內的4個位元的方向相反的方向中被執行，因此不同的存取被需要。特別地，在該映射12-1之情況下，需要相對於該影像中被從左到右安排的該等像素，按照如箭頭120所示的CA=1中的DQ 1、CA=1中的DQ 2、CA=1中的DQ 3及CA=2中的DQ 0的順序來輸入/輸出資料。另一方面，在該映射12-2之情況下，需要相對於該影像中被從左到右安排的該等像素，按照如箭頭124所示的CA=1中的DQ 2、CA=1中的DQ 1、CA=1中的DQ 0及CA=2中的DQ 3的順序來輸入/輸出資料。

該等位元組合資訊項SB、BMR被設定以便對應於這些不同的映射類型。特別地，在該映射12-1之情況下，如該圖中的121所示，由BA=0及CA=1所組成的一開始位址與由SB=1及BMR=UP所組成的位元組合資訊與一讀取命令RD一起被發出，且依據此發送，CA=1的3個位元，即DQ 1、DQ 2及DQ 3以及CA=2的DQ 0被同時輸出，如該圖中的122所示。

另一方面，在該映射12-2之情況下，如該圖中的125所

示，由BA=0及CA=1所組成的一開始位址與由SB=1及BMR=DOWN所組成的位元組合資訊與一讀取命令RD一起被發出，且依據此發送，CA=1的3個位元，即DQ 0、DQ 1及DQ 2以及CA=2的DQ 3被同時輸出，如該圖中的126所示。

以此方式，該位元組合資訊SB及BMR根據該等不同的記憶體映射(大端位元組排列順序及小端位元組排列順序)被指定，藉此該影像記憶體能夠根據該系統端的記憶體映射來同時輸入/輸出4個位元。藉由增加此位元組合資訊的類型，一彈性的4-位元存取能夠在各種映射類型上被實現。

第13圖是一用於說明第12圖中所示之該大端位元組排列順序及小端位元組排列順序的圖。第13圖在右邊及左邊顯示使用了輸入/輸出位元寬度由4個位元組成的一記憶體的影像處理系統，其中該左邊是將該記憶體之輸入/輸出終端DQ，即DQ 0-3的方向用作為一正向的一大端位元組排列順序系統，而右邊是將該記憶體之DQ，即DQ 3-0的方向用作為該正向的一小端位元組排列順序系統。

螢幕中的像素位置(X 0-X 11)指示該相同螢幕上的實體位置。每一像素位置具有的“每一像素上的資訊”在兩個系統中都被指定為“A”-“L”，這意味著兩個系統都顯示相同的影像。

在該大端位元組排列順序系統中，該等像素位置X 0-3與該記憶體的位址CA 0的DQ 0-3相聯，該等像素位置X 4-7與該記憶體的位址CA 1的DQ 0-3相聯，而該等像素位置X

8-11與該記憶體的位址CA 2的DQ 0-3相聯。

另一方面，在該小端位元組排列順序系統中，該等像素位置X 0-3與該記憶體的位址CA 0的DQ 3-0相聯，該等像素位置X 4-7與該記憶體的位址CA 1的DQ 3-0相聯，而該等像素位置X 8-11與該記憶體的位址CA 2的DQ 3-0相聯。

特別地，當比較該兩個系統時，在該大端位元組排列順序中，該影像處理系統中的該等像素X 0-3中之每一個與該等輸入/輸出終端T 0-3中之每一個之間的關係都與該小端位元組排列順序中的相反。所以，該像素位置X 0的像素資訊"A"被儲存在該大端位元組排列順序系統與該小端位元組排列順序系統中的不同記憶體單元的實體位置(CA 0的DQ 0與CA 0的DQ 3)中。

在此，在該影像處理系統產生對該等像素位置X 5-8的像素資訊"F-G-H-I"的一矩形存取(該圖中的130)之情況下，該記憶體必須存取該大端位元組排列順序系統與該小端位元組排列順序系統中的不同記憶體單元的實體位置132與134。因此，被需要提供給該記憶體的資訊項的最小量是3個資訊項，即關於該系統是否是該大端位元組排列順序(Up)或該小端位元組排列順序(Down)的資訊BMR、具有作為一起點的一位元的位址CA以及作為一位址中的起點的位元之位置資訊SB。

該大端位元組排列順序及該小端位元組排列順序在被用該等位址RA、CA存取的記憶體單元區域是一個4-位元組的區域(位元組群組)時是相同的。第14圖是一用於說明一特

殊記憶體映射中的該等位元組邊界功能的圖。如第12圖，第14圖在左邊顯示記憶體映射12、在中央顯示記憶體邏輯空間15以及在右邊顯示對應的時序圖。

在該圖中，左邊的該等記憶體映射12每一個都顯示該記憶體的哪個位元被分配給一圖框影像內的每一像素。在此範例中，一像素由2個位元的資訊組成。例如，一偶數位元持有關於亮度的資料，而一奇數位元持有關於一色差的資料。

群組-1意指僅收集從第二像素到第五像素的像素亮度資訊(偶數位元)的一矩形存取，而群組-2意指僅收集左上角從第二像素到第五像素的像素色差資訊(奇數位元)的一矩形存取。在此情況中，儘管群組-1/2都是對該影像的左上角處的第二像素到第五像素所作的矩形存取，但是由於箭頭140所示的亮度(偶數位元)之間的差以及箭頭144所示的該色差(奇數位元)，在該等時序圖中被顯示的從該影像處理系統到該記憶體及該等輸入/輸出終端DQ的存取如下所示。群組-1：CA=1的DQ 0、CA=2的DQ 0、CA=0的DQ 2及CA=1的DQ 2分別與該等輸入/輸出終端DQ 0-3相聯(該圖中的142)，對於以CA=0/SB=2、BMR=AL進行的存取(指定收集每隔一位元的4個位元)(該圖中的141)。群組-2：CA=2的DQ 1、CA=1的DQ 1，DQ 3及CA=0的DQ 3分別與該等輸入/輸出終端DQ 0-3相聯(該圖中的146)，對於以CA=0/SB=3、BMR=AL進行的存取(指定收集每隔一位元的4個位元)(該圖中的145)。

以此方式，該等相同的DQ(例如群組-1中的DQ 0與DQ 2)在不同行位址的4-位元區域中被同時存取，因此用於傳送資料到該等輸入/輸出終端DQ的該等輸入/輸出單元需要執行對一些資料切換該等終端的處理，即使用一不同DQ的一資料匯流排的處理。

第15圖是一用於說明第14圖中所示之該特殊的記憶體映射的圖。第15圖顯示使用輸入/輸出位元寬度由4個位元組成的一記憶體的一影像處理系統，特別顯示將該記憶體的一偶數DQ用作為每一像素上的亮度資訊而將一奇數DQ作為每一像素上的色差資訊的影像處理系統。第15(A)圖顯示只有該亮度資訊被存取的一情況，而第15(B)圖顯示只有該色差資訊被存取的一情況。

該螢幕上的該等像素位置(X 0-5)指示右邊與左邊螢幕上的相同實體位置。該等像素位置分別持有作為“亮度資訊”的“A、C、E、G、I、K”，以及分別持有作為“色差資訊”的“B、D、F、H、J、L”。

在此，在該影像處理系統產生對該等像素位置X 1-4的亮度資訊“C-E-G-I”的一矩形存取151之情況下，該記憶體必須只存取如第15(A)圖所示之偶數DQ(該圖中的153)。在該影像處理系統產生對色差資訊“D-F-H-J”的一矩形存取152之情況下，該記憶體必須只存取如第15(B)圖所示之奇數DQ(該圖中的154)。

該記憶體需要接收以便進行這類存取的最小資訊項是三個資訊項，即指示該系統是否採取在該等偶數DQ中持有

該亮度資訊而在該等奇數DQ中持有該色差資訊(存取是否需要每隔一個DQ被作出)(BMR=AL)之一方法的資訊、具有作為一起點的一位元的位址(CA)以及為該位址的4-位元區域中的起點的該位元之位置資訊(SB)。該行位址CA及位元組合資訊SB與BMR已在第14圖中被說明。

在此情況中，由於該等相同的DQ(例如群組-1中的DQ 0與DQ 2)被以不同的位址存取，所以用於將該資料傳送到該等輸入/輸出終端的該輸入/輸出單元需要執行切換該等終端的處理以便使用一不同DQ的資料匯流排。因此，由白圓圈與黑圓圈所示的複數個開關被提供在該記憶體中，且這些開關根據該上述資訊SB及BMR來被控制。

第16圖顯示展現了該矩形存取中的該等位元組邊界功能的時序圖。此矩形存取是存取第6圖所示之該矩形區域22的一範例。如上所述，在該矩形存取中，為了讀取來自由一行位址CA所選擇的一記憶體單元區域(4-位元組區域或4-位元區域)內一任意位元組位置(或位元位置)的位元組資料(或位元資料)的一任意組合，該開始行位址CA以及該第一資訊SB與該第二資訊BMR、位元組組合資訊166被需要。

第16(A)圖是該等位元組組合資訊項SB與BMR與一讀取命令RD一起被提供的一範例。一記憶體組位址BA=2及一列位址RA=2與一主動命令ACT(該圖中的161)一起被提供，而指示開始位元組(或開始位元)之位置的該第一資訊SB=2(該圖中的164)及指示位元組(或位元)之一組合的該第二資訊BMR=V(該圖中的165)與該記憶體組位址BA=2及該

行位址CA=0以及一後面的讀取命令RD(該圖中的162)一起被提供。因此，第6圖中所示之該矩形區域22的前4個位元組(或位元)被輸出到該等輸入/輸出終端DQ。該矩形區域22之剩餘的4個位元組(或位元)的3個組合也由該相同的記憶體組位址BA、行位址CA及該等位元組組合資訊項SB與BMR指定。

在第16(B)圖中，來自該等位元組組合資訊項SB與BMR的，該第二資訊BMR(該圖中的165)與一暫存器存取模式中的模式暫存器設定命令EMRS(該圖中的167)在該主動命令ACT被發出之前一起被同時提供，且此第二資訊BMR被記錄在該模式暫存器中。在一後續的矩形存取中，行存取根據此第二資訊BMR被作出。除了該第二資訊BMR以外，此矩形存取中的該主動命令ACT(該圖中的161)及一讀取命令RD(該圖中的162)與第16(A)圖中所示的都相同。

該上述的第二資訊BMR=V能夠具有關於該大端位元組排列順序(V=UP)、小端位元組排列順序(V=DOWN)以及該亮度資訊被儲存在該等偶數DQ中而該色差資訊被儲存在該等奇數DQ(V=AL)中的情況的各種資訊。

該影像系統能夠實現第16圖的(A)與(B)之任何方法中的該矩形存取中的該等位元組邊界功能。

第17圖是用於實現該等位元組邊界功能的該影像處理系統的一組態圖。和第8圖一樣，用於控制該影像記憶體86的該記憶體控制器82被提供在該影像記憶體86中。該位址資訊BA、RA及CA，由指示被該位址資訊選擇的一個4-位

元組區域(或一個4-位元區域)中的開始位元組(或開始位元)的該第一資訊SB與指示一位元組組合的該第二資訊BMR所組成的該位元組組合資訊(位元組合資訊)166，以及該等操作命令ACT、RD及EMRS自該記憶體控制器82中被提供到該影像記憶體86。

如上所述，在時序圖(A)中，未被顯示的一讀取命令RD或一寫入命令WR與該位元組組合資訊SB及BMR(該圖中的166)一起被同時提供。同樣地，在時序圖(B)中，一模式暫存器設定命令EMRS(該圖中的167)與該第二資訊BMR一起被同時提供，而未被顯示的該讀取命令RD或寫入命令WR與該第一資訊SB一起被同時提供。

第18圖顯示該等位元組邊界功能。此圖顯示與第6圖的矩形存取相同的矩形存取。第10圖之後的該等附圖說明由該行位址CA所選擇的一個4-位元記憶體單元區域的範例。然而，在上述的該記憶體單元區域由4個位元組組成的情況中，該矩形存取也能夠由該等位元組邊界功能進行。第18圖顯示這樣一個情況。

在第18圖所示之範例中，一記憶體組位址BA、行位址CA以及由該第一資訊SB與第二資訊BMR所組成的該位元組組合資訊166與該讀取命令RD(該圖中的162)一起被發出以便有效存取該頁面區域14(BA=0，RA=0)中的該矩形區域22。依據此發送，該矩形區域22內的資料項的4個位元組BY 0-3被同時輸出到該等輸入/輸出終端DQ。相同的操作在一寫入命令WR之情況下被執行。特別地，CA 1、CA 1、CA 0

與CA 0中的位元組資料項依據第一讀取命令RD分別與該等輸入/輸出終端DQ的該4個4-位元組的終端BY 0-3相聯，而CA 5、CA 5、CA 4與CA 4中的位元組資料項依據下一讀取命令RD分別與該等輸入/輸出終端DQ的該4個4-位元組的終端BY 0-3相聯。依據剩餘的讀取命令RD的每一行位址與每一輸入/輸出終端之間的關係如該圖所示。

以此方式，即便在該等輸入/輸出終端DQ的寬度是4個位元或32個位元(4個位元組)的情況下，該等位元邊界或位元組邊界功能也能夠被實現。

第19圖是實現簡化的位元組邊界功能的影像處理系統的一組態圖。如上所述，在該系統設計中，該兩個記憶體映射類型，即該大端位元組排列順序與該小端位元組排列順序中的任何一個都能夠被選擇。因此，在該上述實施例中，BMR=UP作為該位元組組合資訊的第二資訊BMR被指定用於該大端位元組排列順序而BMR=DOWN作為該位元組組合資訊的第二資訊BMR被指定用於小端位元組排列順序，藉此即便在該矩形存取被進行位元組移位時，該影像的每一像素也能夠與該記憶體空間內的一位元組位置相聯。

在第19圖所示的範例中，在該記憶體映射12中的系統被設計成具有對應於該小端位元組排列順序的一組態之情況下，即便用於該大端位元組排列順序的該等位元組邊界功能只能夠被對該記憶體空間15中的系統執行，該整個系統也能夠藉由在該影像記憶體86與該記憶體控制器82之間

提供用於切換該等輸入/輸出終端的切換裝置190而為該小端位元組排列順序實現該等位元組邊界功能。

特別地，在該系統端的記憶體映射被設計用於該小端位元組排列順序之情況下，該切換裝置190被提供以將該影像記憶體86中的該等輸入/輸出終端0-3切換到該記憶體控制器82中的3-0。因此，對於該影像記憶體，該系統端似乎在回應該大端位元組排列順序。因此，即便該系統被組配成具有只用於該第二資訊BMR=UP的一記憶體，該小端位元組排列順序的該等位元組邊界功能也能夠被實現。

第20圖是一用於說明實現第19圖中所示之該等簡化的位元組邊界功能的影像處理系統的圖。第20(1)圖顯示該影像處理系統80與該影像記憶體86經由一連接單元200而彼此連接的一範例，該連接單元200連接輸入/輸出終端T 0-3而不切換它們。第20(2)圖顯示該影像處理系統80與該影像記憶體86經由一連接單元190而彼此連接的一範例，該連接單元190切換該等輸入/輸出終端。在每一個情況中，該影像記憶體86都具有只用於該大端位元組排列順序的位元邊界功能，而該影像處理系統80是一小端位元組排列順序類型，其為了聯接該4-位元資料(一輸入/輸出位元寬度)而將該等像素位置X 0-3與該等輸入/輸出終端T 3-0相聯。

在第20(1)圖中，在以位址(A)為單位進行一存取之情況下，螢幕上的像素位置(X 0-7)與該記憶體端的位址(CA)一對一地相聯(X 0-3與CA=0、X 4-7與CA=1)，因此沒有任何問題。然而，在一信號SB被指定為以位元(B)為單位進行一

存取之情況下，該等像素位置中的一移位(X 1-4(BCDE)，該圖中的200)與只有對應於該大端位元組排列順序的位元邊界功能(僅為BMR=UP)存在的記憶體中的記憶體單元之實體位置(CBAH，該圖中的201)的一移位不匹配，因此錯誤資料被傳送。在此情況下，該等記憶體單元上的BCDE能夠藉由對應於該小端位元組排列順序的位元邊界功能(BMR=DOWN)而被輸出。然而，如果能夠回應該大端位元組排列順序以及該小端位元組排列順序的位元邊界功能被提供在該記憶體中，則會導致成本的增加。

因此，如第20(2)圖所示，用於交叉連接該系統端與該記憶體端的輸入/輸出終端的該連接單元190被提供，藉此該影像上的像素X 0-3對應於該等記憶體單元上的DQ 0-3，藉此用於小端位元組排列順序的該影像處理系統80對於該記憶體86看起來像用於大端位元組排列順序的系統。因此，該等像素位置的移位200與該等記憶體單元之實體位置的移位202匹配，藉此即便在移位位元以便回應該大端位元組排列順序時進行一存取，正常資料BCDE也能夠被傳送。

如上所述，藉由使用能夠執行交叉轉換以切換連接該系統與該記憶體的終端的該連接單元190，即便在該記憶體具有用於大端位元組排列順序的位元邊界(或位元組邊界)功能之情況下，該等位元邊界(或位元組邊界)功能也能夠在用於小端位元組排列順序的影像處理系統中被實現。另外，在該記憶體具有用於大端位元組排列順序以及小端位

元組排列順序的位元邊界(或位元組邊界)功能之情況下，該記憶體與該系統可以經由進行連接而不切換該等終端的連接單元200而彼此連接。

第21圖是一顯示具有該等位元組邊界功能的記憶體之一概要組態的圖。此記憶體將一位元群組與至少一個或一任意數目個位元(Nb)進行組配，並具有輸入/輸出終端(Nb×N個)，其為倍數(N)，是該任意個位元(Nb)中的二個或多個。複數個位元群組(Ng)(其數目高於該預先決定的倍數(N))組配整個儲存區域(Nb×Ng)。能夠選擇該等位元群組(Ng)中之任何一個的位址資訊與一第一操作碼一起被同步接收。由該位址資訊選擇的該一位元群組被作為一起點，而數目與該倍數(N)相同的位元群組根據一預先決定的規則被選擇。對應於該等被選擇的位元群組的複數個位元(Nb×N個)經由輸入/輸出終端(Nb×N個)同時傳遞及接收所儲存的資訊。

上述該任意數目個位元(Nb)意指包括位元單元以及位元組單元的概念，且Nb=8(1個位元組)根據該上述實施例被設定。同樣地，該倍數(N)說明該任意數目個位元(Nb)的數倍的資料項被存取自一位址，且Nb×N對應於輸入/輸出終端的數目。N=4根據該上述實施例被設定，因此該倍數對應於數目等於4個位元組的輸入/輸出終端。更具體地，輸入/輸出終端的數目是Nb×N，因此輸入/輸出終端的數目=32(=8×4)。

同樣地，指示該等位元群組(Ng)的Ng是該記憶體所具

有的所有位元或位元組的群組(Nb個位元的群組)之數目，且等於藉由該整個儲存區域的容量除以Nb而獲得的數目。正常情況下，Ng的數目遠遠大於該倍數(N)，該倍數為一次被輸入/輸出的位元群組的數目。例如，在一個64M-位元的記憶體之情況下，如果Nb=1，則Ng=64M，而如果Nb=8，則Ng=8M。根據該等先前範例，當考慮該64M-位元的記憶體時，如果Nb=8，則Ng=8M。根據該等先前範例，能夠選擇任何一個位元群組的位址資訊是指示作為一位址(BA、RA、CA)的一起點的一位元的資訊(SB)，其中被該位址(BA、RA、CA)變窄為4個位元組的資料被指示作為一起點的一位元組的資訊(SB)限制為作為一起點的一個位元組。

根據一規則選擇數目與該倍數(N)相同的位元群組意味著，根據該等先前範例，複數個位元組根據資訊被選擇，該資訊是關於與一開始位元組一起被同時選擇的位元組的一組合(BMR)。由於N=4，當BMR=UP時，在該上行方向中繼續的4個位元組能夠自一任意位元組中被同時存取。

該影像處理系統經由32-位元(=Nb×N)的輸入/輸出終端存取4個位元組，該4個位元組由能夠選擇任何一個位元群組(根據該等先前範例為1個位元組)(BA、RA、CA)的資訊、關於作為一起點的一位元組(SB)的資訊以及關於被同時存取的位元組之一組合(BMR)的資訊所選擇。

第21圖中所示之一記憶體裝置的記憶量是64個位元。因此，存在Nb=8個位元的8個位元群組(Ng=8)。該位址(BA、RA、CA)及該開始位元組(SB)總共由3個位元組成，

因此一個位元群組自該Ng=8個位元群組中被選擇。另外，被同時存取的該等位元群組(N=4)由該組合資訊(BMR)決定。因此，在第21圖所示之該範例中，一第二群組由該位址(BA、RA、CA)及該開始位元組(SB)選擇，而接在該第二群組後面的4個群組(群組2-群組5)藉由該組合資訊BMR=UP而從該等輸入/輸出終端中被同時存取。

如該位址在該相同的64-位元的記憶體中被增量一個位元，則位元單位為4(Nb=4)的位元群組之數目為16(Ng=16)，而如果該等輸入/輸出終端仍然是Nb×N=32，則該預先決定的倍數變為8(N=8)，因此其他7個位元群組被該組合資訊BMR選擇。

具有位元組邊界功能的記憶體

具有該等位元組邊界功能的影像記憶體的組態在下面被詳細描述。根據該等位元組邊界功能，超出一記憶體單元區域(4-位元組的區域)的資料的4個位元組可被選擇，該記憶體單元區域由該行位址選擇。因此，用於輸入/輸出所需要的4-位元組資料的功能被添加到該記憶體中。然後，為了簡便，描述了只有該第一資訊SB(被稱為“開始位元組”或“開始位元”)被提供作為該位元組組合資訊的一範例。該第二資訊BMR只是上行情況下的一範例。

內部行控制之範例

首先，被執行於該記憶體內部的行控制的數個特定範例被描述。

第22圖顯示具有該等位元組邊界功能的影像記憶體之

一第一範例。第23圖是一用於說明第22圖中的操作的圖。

如第22圖所示，與第9圖所示之該影像記憶體相同的元件配有相同的參考符號。一位址信號A由一個多系統輸入。一列位址RA被鎖入一列位址緩衝器94R中，而一行位址CA被鎖入一行位址緩衝器94C中。該列控制器87提供該列位址RA給一被選擇的記憶體組92的一列解碼器223。該行緩衝器94C中的行位址CA也被提供給該被選擇的記憶體組的一行解碼器222。

該記憶體組92被分成位元組區域0-3，其等為4個記憶體方塊。每一位元組區域具有一記憶體單元陣列224、一第二放大器225、一對資料閂鎖器226與227以及一資料匯流排開關228，且一次存取就輸入/輸出一個位元組(8個位元)的資料。總計為32個位元(4個位元組)的資料被輸入/輸出到來自4-位元組區域的一I/O匯流排。該I/O匯流排經由緩衝器被連接到32個位元的輸入/輸出終端DQ 0-31。應該注意的是第22圖只顯示了一個記憶體組92，剩餘的三個記憶體組被省略。

該行控制器90具有用以控制用於操作該行解碼器222的時序的一行時序控制器220、用於控制該等資料閂鎖器電路226與227的一資料閂鎖選擇器221以及該資料匯流排開關228。該資料閂鎖選擇器221根據一行位址CA及一開始位元組SB來控制該等位元組區域0-3中之每一個中的該等資料閂鎖器電路226與227以及資料匯流排開關228。

如第23圖所示，假定一列位址RA 0的一頁面區域內從

一行位址CA 0的第二位元組到一行位址CA 1的第一位元組的4個位元組的資料被存取。因此，開始位元組SB=1被建立。

第23圖中所示之記憶體晶片86顯示記憶體空間與輸入輸出終端DQ之間的關係。在第23圖中，由一行位址CA一次選擇的一記憶體單元區域的一個4-位元組的資料項由Q 00-15指示。特別地，4-位元組的資料項Q 00-03由一行位址CA 0選擇，而4-位元組的資料項Q 04-07由一行位址CA 1選擇。

第23圖的右邊顯示一時序圖。首先，一記憶體組位址(未被顯示)及一列位址RA 0與一主動命令ACT一起被提供，藉此一對應記憶體組內的一字線被驅動，接著一感測放大器被啟動。然後，該行位址CA 0以及作為記憶體組組合資訊的一開始位元組信號SB=1與一讀取命令RD一起被提供。據此，該被選擇的記憶體組92內的行解碼器222輸出對應於該行位址CA 0的一內部解碼信號222D以及對應於CA 1的一內部解碼信號222D，CA 1藉由以一時間共享方式將CA 0增量1到四個位元組區域0-3中而被獲得。分別對應於CA 0與CA 1的兩個1-位元組的資料項被快取到每一位元組區域中的該等資料閂鎖器電路226與227。接著，該資料匯流排開關228自該等資料閂鎖器電路226與227將該等1-位元組的資料項中之任何一個輸出到該I/O匯流排，該等1-位元組的資料項根據每一位元組區域中的CA 0與SB 1之一組合被選擇。特別地，CA 0的該等資料項Q 01、Q 02及Q 03

與CA 1的該資料項Q 04被輸出到該I/O匯流排。當該寫入操作被執行時，該1-位元組的資料自該I/O匯流排被輸入到該等資料閂鎖器電路中之任何一個。

特別地，該行解碼器在一次存取時選擇等於每一位元組區域中的一個位元組的行線(位元線)。當該讀取操作被執行時，等於1個位元組的資料自每一位元組區域的記憶體單元陣列224中被選擇，接著被該第二放大器225放大並被快取到該等資料閂鎖器電路226與227。此刻，被該相同行位址CA映射的記憶體單元在每一位元組區域中被存取。為了實現橫越可由該行位址選擇的記憶體單元區域(4個位元組區域)之邊界的一位元組邊界存取，該行解碼器222在結束該第一存取之後再次選擇一行位址。此行線的位址是CA 1，其為先前位址CA 0之後的一位址。自該記憶體單元陣列224中被讀取的一個位元組的資料被該第二放大器放大，接著被快取到與該第一存取不同的資料閂鎖器電路227。

因此，8個位元組的資料項(一次存取中該等輸入/輸出終端所需的4-位元組資料的兩倍)出現在該等資料閂鎖器電路226與227中，所以該資料匯流排開關228從被快取到每一位元組區域的該等資料閂鎖器電路的2-位元組資料中選擇1個位元組的資料(即一半資料)，並將此資料傳送到該I/O匯流排。該資料閂鎖選擇器221根據該行位址CA 0及該開始位元組信號SB=1來控制每一位元組區域內的該等資料閂鎖器電路上的快取操作及該資料匯流排開關228上的切換操作。因此，對應於不同行位址CA 0與CA 1的位元組資料能

夠從每一位元組區域被傳送到該I/O匯流排。

所以，如第23圖所示，4-位元組的資料項Q 04、Q 01、Q 02及Q 03經由該I/O匯流排被分別傳送到該等輸入/輸出終端DQ。以此方式，該輸入/輸出單元93由該第二放大器225、資料閂鎖器電路226與227以及資料匯流排開關228組配。

第24圖顯示具有該等位元組邊界功能的該影像記憶體之一第二範例。第25圖是一用於說明第24圖中所示之操作的圖。

第24圖中所示的組態(其不同於第22圖的組態)為：在該記憶體組92內的該等位元組區域0-3中的每一個中，該記憶體單元陣列被分成2個陣列224-0與224-1，且該第二放大器225及該等資料閂鎖器電路226與227被提供在每一陣列中。一對記憶體單元陣列224-0與224-1對應於一偶數行位址CA(CA[0]=0)與一奇數行位址CA(CA[0]=1)。該行解碼器222不以一時間共享方式自該給定的行位址CA 0輸出CA 0與CA 1的解碼信號，而是將兩個解碼信號222D0與222D1同時輸出到該對記憶體單元陣列224-0與224-1。據此，該對記憶體單元陣列每一個輸出1-位元組的資料到該等資料閂鎖器電路226與227。因此，位元組區域同時快取一被提供的行位址CA的2-位元組的資料，該行位址藉由將該行位址CA增量1而被獲得。接著，該資料閂鎖選擇器221依據該行位址CA及該開始位元組信號SB來控制該資料匯流排開關228的切換，並將所需的1-位元組的資料傳送到該輸入/輸出匯

流排。該4個位元組區域中的每一個都輸出1-位元組的資料，因此總計為4個位元組的資料自該等輸入/輸出終端DQ被輸出。

在一寫入命令之情況下，被提供給該等輸入/輸出終端DQ的該4-位元組的資料經由該資料匯流排開關228(其依據該行位址CA及該開始位元組信號SB被切換及被控制)被儲存到該兩個資料閂鎖器電路226或227中，且接著被寫入該兩個記憶體單元陣列224-0或224-1。

第25圖顯示當開始位元組信號SB=1及叢發長度BL=4時所執行的一操作。該行位址CA 0及該開始位元組信號SB=1與一讀取命令RD一起被提供，且當該叢發長度BL=4被該模式暫存器設定時，該行解碼器222將對應於該等行位址CA 0與CA 1的解碼信號222D0、222D1同時提供給該等位元組區域0-3中的每一個，該行位址CA 1藉由將該行位址CA 0增量1而被獲得。據此，每一位元組區域的該對記憶體單元陣列224-0與224-1每一個都經由該第二放大器225將1-位元組的資料輸出到該等資料閂鎖器電路226與227。因此，2個位元組的資料自每一位元組區域中被快取。接著，根據該行位址CA及該開始位元組信號SB，該資料閂鎖選擇器221將一控制信號S221提供給該資料匯流排開關228，該控制信號S221用於選擇每一位元組區域中的該等資料閂鎖器電路之任何一個的資料(4個位元組區域中的1個位元，即總計4個位元)，接著控制該資料匯流排開關中的切換操作。因此，在第一週期中，4個位元組的資料項Q 04與Q 01-03

被傳送到該I/O匯流排。

在第25圖中，由於該叢發長度BL=4，所以該行解碼器222根據該行時序控制器220所執行的控制來發出對應於行位址CA 2、CA 3的解碼信號222D0與222D1，以便進一步快取8個位元組的資料到該等資料閂鎖器電路226與227。由於該等資料閂鎖器電路226與227也需要持有CA 0與CA 1的8-位元組的資料，所以每一資料閂鎖器電路被組配以便能夠持有2個位元組的資料。因此，新的8-位元組的資料Q 08-15被鎖入該等資料閂鎖器電路。接著，該資料匯流排開關228將先前的時鐘週期內所含有的該8-位元組的資料Q 00-07與目前的時鐘週期內所含有的該8-位元組的資料Q 08-15中的4-位元組的資料Q 05-08傳送到該輸入/輸出匯流排。因而，在此情況中的該資料閂鎖選擇器221之被選擇的信號S221由8個位元組成(每一位元組區域中有2個位元)。

在下一時鐘週期內，該行解碼器222發出對應於行位址CA 4與CA 5的解碼信號222D0與222D1，以及進一步快取8個位元組的資料Q 16-Q 23到該等資料閂鎖器電路。接著，該資料匯流排開關228傳送4個位元組的資料Q 09-12。在下一時鐘週期內，該資料匯流排開關228傳送4個位元組的資料Q 13-16到該輸入/輸出匯流排。此刻，不必從該等記憶體單元陣列中快取新的8-位元組的資料。

與該上述說明一樣，該寫入操作被執行，藉此如果該叢發長度為4，則4個位元組的資料在4個週期內被提供到該等輸入/輸出終端DQ，接著經由該資料匯流排開關228被儲

存在該等資料閂鎖器電路226與227中。然後，依據來自該行解碼器222的行位址CA 0、1，CA 2、3及CA 4、5的解碼信號，總計為16個位元組的資料在3個週期內被寫入該等記憶體單元陣列中。

第26圖顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(1)的一操作。在第25圖所示之該範例中，該等位元組區域0-3中的每一個將2-位元組的資料快取到該對資料閂鎖器電路226與227中。然而，在第26圖所示之該修正範例中，在一讀取命令RD之後的一第一行控制中，該行解碼器222同時發出該等行位址CA 0與CA 1的內部解碼信號222D0與222D1且每一位元組區域將2-位元組的資料同時快取到該對資料閂鎖器電路中。接著，在後續的快取操作中，該行解碼器222交替發出該等偶數(CA 2、CA 4)的內部解碼信號222D0以及該奇數(CA 3)的內部解碼信號222D1，且每一位元組區域將1-位元組的資料交替快取到該對資料閂鎖器電路226與227中。

特別地，8個位元組的資料Q 00-07被首先快取，之後4個位元組的資料Q 08-11、Q 12-15及Q 16-19被快取到該等資料閂鎖器電路。接著，該資料匯流排開關228按順序將要被傳送的該4個位元組的資料Q 01-04、Q 05-08、Q 09-12及Q 13-16傳送到該輸入/輸出匯流排。同樣在此情況中，該資料閂鎖選擇器221之被選擇的信號S221由8個位元組出(每一位元組區域中有2個位元)。如上所述，在該讀取操作中，該等記憶體單元陣列藉由該等行位址的解碼信號在4個週

期內將該資料快取到該等資料閂鎖器電路，且對於來自該等資料閂鎖器電路的輸入/輸出匯流排的資料傳送操作也在4個週期內被執行。

同樣在寫入操作中，4個位元組的資料在4個週期內被提供給該等輸入/輸出終端DQ，並經由該資料匯流排開關228在4個週期內被儲存在該等資料閂鎖器電路226與227中。之後，依據來自該行解碼器222的行位址CA 0/1、CA 2、CA 3及CA 4的解碼信號，總計為16個位元組的資料在4個週期內被寫入該等記憶體單元陣列中。

第27圖顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(2)的一操作。此範例適用於一個DDR(雙倍資料速率)。一個具有DDR的SDRAM在一時鐘CLK的一上邊緣以及一下邊緣執行自終端DQ的資料之輸入/輸出。特別地，4個位元組的資料Q 05-08在該上邊緣被輸入/輸出，而4個位元組的資料Q 09-12在該下邊緣被輸入/輸出。

由於在此方式中，該輸入/輸出速率被加倍，所以必須加倍該記憶體中需要被快取的資料量。在第27圖所示之該範例中，16個位元組的資料Q 00-03、Q 04-07、Q 08-11及Q 12-15在一讀取命令RD之後的一第一快取週期中被同時快取到該等資料閂鎖器電路，來自該16個位元組資料的4個位元組(即Q 05-08)在一時鐘的上邊緣被傳送到該I/O匯流排，而下一4個位元組的資料Q 09-12在該時鐘的下邊緣被傳送到該I/O匯流排。

為了致能如第27圖所示之該16-位元組資料的此類共同快取，該記憶體被分成第24圖所示之該等位元區域0-3中之每一個中的4個記憶體單元陣列，且該第二放大器及該等資料閂鎖器電路被提供在每一陣列中。接著，在每一位元組區域中，該行解碼器222依據開始行位址CA 1將該等各自的行位址CA 0-3的內部解碼信號提供給該4個記憶體單元陣列，然後4個位元組的資料被快取到4個資料閂鎖器電路中。之後，由該資料匯流排開關228選擇的資料閂鎖器電路的1-位元組的資料被該資料閂鎖器選擇信號S221自該4個資料閂鎖器電路傳送到該輸入/輸出匯流排。在該圖中，一核心匯流排對應於該等記憶體單元陣列的輸入/輸出匯流排，而該核心匯流排的資料被快取到該等資料閂鎖器電路。

應該注意的是第27圖中所顯示的範例在不考慮一輸入行位址CA之一LSB(CA[0])的情況下被組配，且對應於行位址CA 0-3的資料項總是在輸入行位址CA 0或CA 1的情況下被存取。特別地，被配對的行位址是固定的，不管該等輸入行位址是否被指定為奇數或偶數。

另外，在下一時鐘週期中，該行解碼器222將行位址CA 4-7的內部解碼信號發送到該4個記憶體單元陣列，並進一步快取4個位元組的資料到該4個資料閂鎖器電路。因此16個位元組的資料Q 16-31被鎖入該等資料閂鎖器電路，且被選自該16個位元組資料的4個位元組的資料(即Q 13-16)與4個位元組的資料Q 17-20分別在該時鐘的上邊緣與下邊緣被輸出。

在該寫入操作中，寫入資料在與該上述方向相反的方向中經由該等資料閂鎖器電路自該等輸入/輸出終端DQ被寫入該等記憶體單元陣列中。

同樣在第27圖的情況下，該資料閂鎖器選擇信號S221是由每一位元組區域中的2個位元(即總計8個位元)組成的一控制信號。此資料閂鎖器選擇信號由該資料閂鎖選擇器221依據一行位址CA與開始位元組信號SB在該行控制器90中產生。

第28圖顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(3)的一操作。與第27圖一樣，第28圖是對應於該DDR的一操作範例，與第27圖的差異就是在一行方向中要被同時存取的行位址之一組合根據一輸入行位址CA是否被指定為一奇數或偶數而不同。特別地，對應於藉由將該輸入行位址CA增量1、2及3而被獲得的CA的資料項被同時存取。換言之，在一輸入行位址為CA 1的情況下，CA 1、CA 2、CA 3及CA 4的資料項被存取。特別地，該行解碼器監測該輸入行位址CA的LSB(CA[0])以決定要被同時存取的行位址。

如第28圖所示，該行解碼器對於該輸入行位址CA 1產生CA 1-4的內部解碼信號222D 0-3，接著每一位元組區域的4個位元組的資料(即總計16個位元組的資料)被快取到該等資料閂鎖電路。接著，CA 5-8的內部解碼信號222D 0-3在下一時鐘週期被產生，且6個位元組的資料被快取。因此，要被快取的該16-位元組的資料藉由移位第27圖中的4個位元

組而被獲得。

因此，第28圖中所示之該讀取操作及寫入操作能夠在與第27圖中所示之該記憶體組態相同的記憶體組態中被實現。

第29圖顯示具有該等位元組邊界功能的該影像記憶體之一第三範例。同樣地，第30圖是一用於說明第29圖中所示之操作的圖。在該第三範例中，將由該等位元組邊界功能輸入/輸出的4個位元組的資料Q 01-04藉由在一行存取中存取該等位元組區域0-3中的每一個而被傳送到/自該輸入/輸出匯流排。特別地，與上述該第一及第二範例不同，為了存取對應於相鄰行位址之記憶體單元區域的4個位元組的資料，8個位元組的資料或16個位元組的資料不會自該等相鄰行位址之複數個記憶體單元區域中被快取。

如第29圖所示，該行控制器90具有一行位址控制器290，並將指示是否將一行位址CA移一位的一移位控制信號S290提供給該記憶體組92內的該等位元組區域0-3中的每一個中的一行移位器電路291。每一位元組區域具有該行移位器291、用於解碼該行移位器之一輸出的行解碼器222、用於藉由該內部解碼信號222D而輸入/輸出一位元組的資料的記憶體單元陣列224、該第二放大器、該資料閂鎖器電路226以及該資料匯流排開關228。依據該移位控制信號S290，每一位元組區域內的該行移位器291藉由將該行位址CA移一位或不移位而輸出一行位址到該行解碼器222。該資料閂鎖器電路226只是被需要來持有僅僅1個位元組的

資料。因此，該資料匯流排開關228總是選擇該資料閂鎖器電路226內的1-位元組的資料並將該資料傳送到該I/O匯流排。

根據顯示操作的第30圖，該行位址控制器290執行控制以便將該行位址CA 0移一位到該位元組區域0的行移位器291來依據該輸入行位址CA 0及開始位元組信號SB產生CA 1，以及進一步執行控制以便不將該行位址CA 0移一位到其他位元組區域1-3的行移位器。因此，在該位元組區域0中，1-位元組的資料Q 04根據對應於該行位址CA 1的內部解碼信號222D來被存取以及被鎖入該資料閂鎖器電路226中。同樣地，在該等其他位元組區域1-3中，1-位元組的資料Q 01、Q 02與Q 03根據對應於該行位址CA 0的內部解碼信號222D被分別存取並被鎖入該資料閂鎖器電路226中。

如上所述，在第29圖及第30圖所示之該第三範例中，該行位址具有一複雜的組態，因為該等行位址被產生於與要被存取的該4-位元組的資料相聯的記憶體內部，但大於該4-位元組資料的位元組資料的快取操作能夠被去除。因此，該輸入/輸出單元93中的組態能夠被簡化且該記憶體組內的功率消耗能夠被減少。

在該讀取操作中，對應於自每一位元組區域中的行解碼器222中被提供的一行位址的1-位元組的資料被輸出到該資料閂鎖器電路226，接著經由該資料匯流排開關228被傳送到該等輸入/輸出終端DQ。在該寫入操作中，被輸入到該等輸入/輸出終端DQ的該4-位元組的資料經由每一位元

組區域中的資料匯流排開關228被鎖入該資料閂鎖器電路226。之後，該被鎖入的資料被寫入對應於來自每一位元組區域中的行解碼器222的行位址的一記憶體中。

在一行位址所選擇的記憶體單元區域是由4個位元組成的情況下，第22圖到第30圖中所示之記憶體組內的該4個位元組區域被組配為4-位元的區域，且資料的複數個組合或者一組合以1為位元單位自每一位元區域中被存取。

控制與輸入/輸出終端的關係

下面描述了控制該影像記憶體內的輸入/輸出終端DQ與該記憶體單元陣列內的一匯流排或資料閂鎖器電路之間的關係的一範例。

第31圖顯示與具有該等位元組邊界功能的該影像記憶體之輸入/輸出終端有關的裝置。第32圖顯示第31圖的操作。在如第32圖中所示的與該等輸入/輸出終端有關的裝置中，對應於該記憶體空間內一行位址CA的4個位元組的資料總是與一組輸入/輸出終端DQ[7:0]-DQ[31:24]相聯，且那之間的關係不會被動態切換。特別地，該等輸入/輸出終端DQ與該記憶體內的匯流排(該記憶體單元陣列224的輸入/輸出匯流排)之間的每個關係(分配關係)總是固定的而不受該開始位元組信號SB的影響。因此，即便該開始位元組信號SB在寫入時及讀取時是不同的，在寫入時被輸入的該等輸入/輸出終端DQ與在讀取時被輸入的該等輸入/輸出終端DQ相同。

第31圖顯示在存取橫越過一行位址CA所選擇的一個4-

位元組的區域的4-位元組的資料時連接該等終端DQ的一種方法。此圖假定該讀取操作(SB=1)自一行位址CA 0的4-位元組區域中的位元組1(Q 01)起被執行。

在該等輸入/輸出終端DQ不被切換的情況下，作為位元組1的資料被儲存的資料被輸出到對應於位元組1的終端DQ，而不取決於該開始位元組信號SB。因此，該記憶體單元陣列224與輸入/輸出緩衝器94I/O之間的連接總是固定分配的。因此，該開始位元組信號SB的指定被執行只是為了決定該記憶體單元陣列224中的行位址CA的哪個匯流排應該被連接到該輸入/輸出緩衝器94I/O。

第31圖所示之範例是對應於第22圖所示之該第一範例與第24圖所示之該第二範例的一組態範例，其中該等位元組區域0-3中的每一個被分配到一對區域(奇數行位址CA[0]=0與偶數行位址CA[0]=1)。特別地，和第24圖一樣，存在著對應於兩個行位址CA(即奇數行位址與偶數行位址)的一記憶體單元區域，此記憶體單元區域被進一步分成4個位元組區域。該等位元組區域(位元組0的區域-位元組3的區域)包括經過資料閂鎖器電路的行解碼器。在該讀取操作情況下，為一次存取所需資料的兩倍的資料自該等位元組區域被輸出，且該資料的一半(即4-位元組的資料)被連接到位於該資料匯流排開關228的一組開關(該圖中的8個方塊)中的每一個之處的輸入/輸出緩衝器94I/O。

以此方式，如果該等輸入/輸出終端DQ不被切換，則自該記憶體單元之位元組1的區域被輸出的資料Q 01被明確

地連接到對應於該輸入/輸出緩衝器94I/O的位元組1的輸入/輸出終端[15:8]。因此，利用該開始位元組信號SB來控制該資料匯流排開關228意味著控制將該等輸入/輸出緩衝器94I/O連接到對應於該兩個行位址CA的一區域的資料閂鎖器電路中的任何一個。

第24圖所示之該等各自的4個位元組區域0-3內的資料匯流排開關228被共同顯示為第31圖的該資料匯流排開關228。因此，每一位元組區域的資料匯流排開關228由對應於第31圖中該相同的輸入/輸出終端DQ的一對開關組成。

第33圖顯示與具有該等位元組邊界功能的該影像記憶體之輸入/輸出終端有關的裝置。第34圖顯示第33圖中所示之操作。在如第34圖所示之與該等輸入/輸出終端有關的裝置中，對應於該記憶體空間內一行位址CA的4個位元組的資料根據該開始位元組資料SB並自該開始位元組起按順序與該組輸入/輸出終端DQ[7:0]-DQ[31:24]相聯,該記憶體單元陣列224與每組輸入/輸出終端DQ之間的關係被動態切換。特別地，該輸入/輸出終端DQ與該記憶體內的匯流排之間的關係受該開始位元組信號SB的影響且因此被改變。因此，如果開始位元組信號SB在寫入時與讀取時是不同的，則在寫入時被輸入的輸入/輸出終端DQ不同於在讀取時被輸出的輸入/輸出終端DQ。

如從第34圖中易懂的，在該開始位元組SB=1的情況下，該記憶體內的資料項Q 01-04與該等輸入/輸出終端群組DQ[7:0]-DQ[31:24]相聯。特別地，該記憶體單元陣列內的

匯流排或資料閂鎖器電路與該輸入/輸出終端群組之間的關係被組配，藉此該開始位元組資料與該輸入/輸出終端DQ[7:0]相聯而該剩餘的3-位元組的資料根據該開始位元組信號SB按順序與該等剩餘的輸入/輸出終端DQ相聯。因此，第33圖所示之該資料匯流排開關228被提供以一組輸入/輸出匯流排(I/O匯流排)、該記憶體單元陣列224的匯流排或資料閂鎖器電路，且在所有交叉位置處被切換。該組開關易於被該資料閂鎖選擇器利用該資料閂鎖器選擇信號S211控制為導通/不導通，藉此該上述的動態結合能夠被實現。

以此方式，根據該開始位元組信號SB，該等輸入/輸出終端DQ相對於該記憶體單元陣列內的匯流排或資料閂鎖器電路被切換。特別地，當SB="1"時，自該記憶體單元陣列內的位元組區域-位元組1被輸出的位元組資料Q 01被連接到對應於該輸入/輸出緩衝器94I/O之位元組0的DQ[7:0]，而如果SB="0"也被連接到DQ[15:8]。當SB="3"時，該位元組區域-位元組的位元組資料Q 05被連接到DQ[23:16]，而當SB="2"也被連接到DQ[31:24]。特別地，在如第33圖所示之導通狀態中的該4個開關的位置根據該開始位元組信號SB被向右移位。

下面，該大端位元組排列順序與小端位元組排列順序之間的一關係的控制被參考與該等輸入/輸出終端有關的控制來進行描述。

第35圖是具有該等位元組邊界功能並能夠對應於該等

位元組排列順序的影像記憶體之一組態圖(1)。在此範例中，與參考第19圖與第20圖所描述的該影像記憶體一樣，一記憶體核心350中的組態只對應於該大端位元組排列順序(上行模式)。特別地，只有從對應於位元組邊界操作中的該開始位元組信號SB的位元組位置起以該上行模式存取4個位元組的資料的一功能被描述。即便在此情況中，該資料匯流排開關228的該組開關也被控制，藉此用於該大端位元組排列順序的影像系統與用於該小端位元組排列順序的影像系統都能夠實現適當資料的輸入與輸出。

在該圖中，該模式暫存器96被提供以作為位元組組合資訊並指示該上行模式或下行模式的第二資訊BMR，該模式被設定為該等模式中的任何一個。然而，具有第29圖所示之該行解碼器、記憶體單元陣列及第二放大器以及類似物的記憶體核心350只回應上行模式控制。特別地，一行控制電路只具有一上行模式控制器351而沒有一下行模式控制器。

第35(A)圖顯示對於該上行模式的資料匯流排開關228。特別地，在該上行模式(大端位元組排列順序)之情況下，該記憶體核心350被該上行模式控制器351控制為上行模式。因此，該資料匯流排開關228將該資料閂鎖器電路226的資料的4個位元組(即位元組0-3)直接連接到該等輸入/輸出緩衝器94I/O。特別地，該記憶體核心350的核心資料匯流排 cdb00z-cdb31z 被直接連接到I/O資料匯流排 pdb00z-pdb31z。

另一方面，第35(B)圖顯示該下行模式情況下的資料匯流排開關228。特別地，在該下行模式(該小端位元組排列順序)之情況下，該記憶體核心350被該上行模式控制器351控制為上行模式，但是該資料匯流排開關228將該資料閂鎖器電路226的資料的4個位元組(即位元組0、1、2及3)與該等輸入/輸出緩衝器94I/O的資料的4個位元組(即位元組3、2、1及0)相聯。在此情況中，一核心匯流排cdbxxz與一I/O匯流排pdbxxz被以位元組為單位進行交換。

在顯示該資料匯流排開關228的第35(B)圖的範例中，與第19圖及第20圖所示之該等輸入/輸出終端的切換裝置190相同的裝置被提供在該影像記憶體86中。以此方式，該記憶體核心被組配以便能夠回應該大端位元組排列順序或該小端位元組排列順序，且該上述資料匯流排開關228被提供以根據該下行模式或該上行模式交換其開關，藉此該影像記憶體能夠回應兩個位元組排列順序。

第36圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(2)。和第35圖一樣，此影像記憶體具有能夠只對應於該上行模式控制的一記憶體核心組態，且該資料匯流排開關228根據被設定在該模式暫存器96中的第二資訊BMR=UP/DOWN被切換，藉此該影像記憶體能夠回應兩個位元組排列順序。與第35圖的差異在於由該資料匯流排開關228執行的資料的切換被實現，藉此MSB(DQ 31)與LSB(DQ 00)被交換。特別地，除了4個位元組以外，每一位元組中的資料的8個位元也被改

變。

第37圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(3)。此影像記憶體對應於第29圖所示之該影像記憶體，其中該等各自的記憶體核心350內的各自的4個位元組區域的行位址之一組合依據該操作模式被控制而發生變化，且自對應於該開始位元組信號SB的位元組起在該上行方向或下行方向中延伸的資料的4個位元組自該4個記憶體陣列被輸入/輸出。

例如，當如第30圖所示，該行位址為CA 0且開始位元組SB=1時，該4個位元組區域-位元組0-3的內部行位址在該上行模式情況下分別變成CA 1、CA 0、CA 0及CA 0，而資料項Q 04、Q 01、Q 02與Q 03自輸入/輸出終端DQ的4個位元組被輸入/輸出。另一方面，在該下行模式情況下，該等行位址分別變成CA 0、CA 0、CA 1及CA 1，而資料項Q 00、Q 01、Q 06與Q 07自輸入/輸出終端DQ的4個位元組被輸入/輸出。

以此方式，要被提供給該等各自的記憶體核心內的4個位元組區域-位元組0-3的行位址被該行移位器291根據該上行模式或下行模式來切換。接著，行位址之一組合經由該行移位器291被提供給每一記憶體核心350的每一位元組區域，該組合由該開始位元組信號SB及該模式信號BMR唯一地決定。此行移位器291根據該上行模式/下行模式(上行/下行)來選擇需要被切換的該兩個行位址中的一個，該兩個行位址自來自一行位址控制器90A的4個行位址

caby0z-caby3z中被選擇。特別地，在該位元組區域-位元組0中，caby0z或caby3z被選擇。在該位元組區域-位元組1中，caby1z或caby2z被選擇。在該位元組區域-位元組2中，caby1z或caby2z被選擇。同樣在該位元組區域-位元組3中，caby0z或caby3z被選擇。

在一單一資料速率(SDR)之情況下，4個位元組的資料只能夠在一次存取中被存取，因此，如參考第29圖所描述的，被持有在對應於每一位元組區域的資料閂鎖器電路中的1-位元組的資料可以被直接傳送到該輸入/輸出匯流排。

另一方面，在一雙倍資料速率(DDR)之情況下，8-位元組資料的4個位元組需要在一次存取中被輸入/輸出。因此，在第29圖所示之組態中，該等位元組區域-位元組0-3中的每一個都被提供以偶數行位址(CA[0]=0)之一方塊及奇數行位址(CA[0]=1)之一方塊，接著行位址之一組合(由該開始位元組信號SB及該模式信號BMR唯一地決定)自該行移位器291被提供到該對方塊，且所需的4個位元組的資料被該資料匯流排開關228選擇並被傳送到該輸入/輸出匯流排-I/O匯流排。在此情況中，該資料匯流排開關228中的每一開關依據發送自該資料閂鎖選擇器221的控制信號dabyaz-dabydz來選擇該偶數方塊或奇數方塊的資料，並將該被選擇的資料傳送到該輸入/輸出匯流排-I/O匯流排。為此，該資料匯流排的行位址daby0z-daby3z自一行位址控制器90B中被提供給該資料閂鎖選擇器221，且該資料閂鎖選擇器221根據該上行模式/下行模式(上行/下行)來選擇需要

被切換的兩個位元組或該4個位元組區域中的一個。用於切換的候選者的組合與上述該行移位器291相同。

如第37圖所示，藉由控制行位址的組合，該資料匯流排開關228中的開關數目能夠被減少。特別地，在第35圖與第36圖所示的該資料匯流排開關中，當輸入/輸出終端DQ的數目是N個位元組時，需要2N*8個開關。然而，藉由控制行位址的組合，如第37圖所示，該行移位器291與該資料匯流排開關228中分別需要2N個開關，因此總計4N個開關被需要。因而，該開關數目能夠從第35圖與第36圖所示之開關數目減少為1/4。

第38圖是第37圖中所示之該DDR記憶體的上行模式的一操作時序圖。在此範例中，該行位址是CA 1及該開始位元組信號SB為1，而以該大端位元組排列順序被儲存在該記憶體86中的資料項Q 05-08被讀取。特別地，該等資料項Q 00-19與對應於該記憶體86內的該等行位址的輸入/輸出終端DQ之間的關係如該圖所示。

如上所述，在該DDR記憶體之情況下，該記憶體單元陣列內的每一位元組區域具有偶數行位址(CA[0]=0)之一方塊及奇數行位址(CA[0]=1)，接著行位址caby之一被控制的組合被提供給這些方塊，以及用於切換該等資料匯流排的行位址daby之一被控制的組合被提供給該資料匯流排開關228。

特別地，CA 1作為一基本行位址CA被輸入。與此輸入一起，被提供給該等位元組區域-位元組0-3中的每一個中的

該偶數方塊(CA[0]="0")與奇數方塊(CA[0]="1")的行位址CA被控制。該行位址CA 2的一行線在該偶數方塊(CA[0]="0")的區域中被啟動。該行位址CA 3的一行線在該位元組區域-位元組0中被啟動，而該等行位址CA 1的行線在該奇數方塊(CA[0]="1")的區域中的該等位元組區域-位元組1、2及3中被啟動。

因此，該等資料項Q 05-12被輸出到該等記憶體核心的核心匯流排。特別地，該等資料項Q 08-11被輸出到該偶數方塊的核心匯流排，而該等資料項Q 05-07以及Q 12被輸出到該奇數方塊的核心匯流排。

在該DDR記憶體中，需要將來自此8-位元組資料的4個位元組的資料傳送到該I/O匯流排。在此，根據該開始位元組信號SB及該行位址CA，該資料匯流排開關只選擇該位元組區域-位元組0中的偶數方塊(CA[0]="0")的資料。因此，該等資料項Q 05-08能夠被輸出到該等輸入/輸出終端DQ。

在此，在偶數方塊區域及奇數方塊區域(CA[0]="0"/"1")中之每一個中，該等內部的行位址cabyaz選擇caby0z，一內部行位址cabybz選擇caby1z，cabycz選擇caby2z而cabydz選擇caby3z。類似地，在偶數方塊區域及奇數方塊區域(CA[0]="0"/"1")中之每一個中，資料匯流排的行位址dabyaz選擇daby0z。類似地，dabybz選擇daby1z、dabycz選擇daby2z而dabydz選擇daby3z。

第39圖是第37圖中所示之該DDR記憶體的下行模式的一操作時序圖。在此範例中，該行位址是CA 1及該開始位

元組信號SB為2，而以該小端位元組排列順序被儲存在該記憶體86中的資料項Q 05-08被讀取。特別地，該等資料項Q 00-19與對應於該記憶體86內的該等行位址的輸入/輸出終端DQ之間的關係如該圖所示。與第38圖的差異在於資料的4個位元組與該等輸入/輸出終端DQ之間的關係與第38圖所示之關係相反。

在此情況中，CA 1作為該基本行位址CA被輸入。與此輸入一起，被提供給該等位元組區域-位元組0-3中的每一個中的該偶數方塊(CA[0]="0")與奇數方塊(CA[0]="1")的行位址CA被控制。該行位址CA 2的一行線在該偶數方塊(CA[0]="0")中被啟動。該行位址CA 3的一行線在該位元組區域-位元組3中被啟動，而該等行位址CA 1的行線在該奇數方塊(CA[0]="1")中的該等位元組區域-位元組2、1及0中被啟動。

因此，該等資料項Q 05-12被輸出到該等記憶體核心的核心匯流排。特別地，該等資料項Q 08-11被輸出到該偶數方塊的核心匯流排，而該等資料項Q 05-07以及Q 12被輸出到該奇數方塊的核心匯流排。

在該DDR記憶體中，需要將來自此8-位元組資料的4個位元組的資料傳送到該I/O匯流排。在此，根據該開始位元組信號SB及該行位址CA，該資料匯流排開關只選擇該位元組區域-位元組3中的偶數方塊(CA[0]="0")的資料Q 08，以及為剩餘的該等位元組區域選擇來自該奇數方塊的該等資料項Q 05-07。因此，資料項Q 05-08的4個位元組能夠被輸

出到該等輸入/輸出終端DQ。

在此，在偶數方塊區域及奇數方塊區域(CA[0]="0"/"1")中之每一個中，該等內部的行位址cabyaz選擇caby3z，一內部行位址cabybz選擇caby2z，cabycz選擇caby1z而cabydz選擇caby0z。類似地，在偶數方塊區域及奇數方塊區域(CA[0]="0"/"1")中之每一個中，資料匯流排的行位址dabyaz選擇daby3z。類似地，dabybz選擇daby2z、dabycz選擇daby1z而dabydz選擇daby0z。

如上所述，當比較第39圖所示之該下行模式與第38圖所示之該上行模式時，cabyz及dabyz在該等位元組區域-位元組0與位元組3之間以及在該等位元組區域-位元組1與位元組2之間被切換，藉此該模式能夠對應於兩種位元組排列順序類型(該大端位元組排列順序及小端位元組排列順序)中的位元組資料項的安排。第40圖是一用於說明指定該等位元組邊界功能之一邊界的一方法的圖。在該圖中，在其中一存取橫越該行位址CA[7:0]=#n及#n+1的相鄰4個位元組區域的邊界被作出的位元組邊界功能中，邊界指定方法根據該開始位元組SB被執行之情況與該邊界指定方法根據一移位值SV被執行之情況被考慮。該開始位元組SB=N意指一存取自一位元組N起橫越4個位元組被作出，而該移位值SV=N意指一存取自一位置起橫越4個位元組被作出，該位置是從行位址的4-位元組區域之一邊界被移位N個位元組而來。

在此情況中，該開始位元組SB與該移位值SV之間的關

係根據該位元組排列順序的兩種模式在該上行模式及該下行模式中變化。特別地，在該上行模式之情況下，由於該等位元組資料項是以位元組0-3的方式被安排，所以SB與SV相同。然而，在該下行模式之情況下，由於該等位元組資料項是以位元組3-0的方式被安排，所以SB與SV不同且處於一相反關係。

因此，在該影像記憶體只具有一開始位元組信號SB終端且內部結構被根據該移位值SV來控制的情況下，依據該模式是否是該上行模式或下行模式，需要正向或反向該開始位元組信號SB以便獲得該移位值SV。這對於該影像記憶體只具有一移位值SV終端且該內部結構被根據該開始位元組信號SB來控制的情況也是如此。

第41圖顯示該開始位元組SB與該移位值SV的一轉換電路。一轉換電路410由2個位元410[0]、410[1]組成，並由CMOS轉換閘(transfer gate)412與413及反向器414與415構成。根據指示該上行模式或該下行模式的一計數型信號，一輸入開始位元組SB被正向或反向以便獲得該移位值SV。如該轉換電路410的一真值表411所示，該SB在該上行模式之情況下不會被反向變成SV，但是SB在該下行模式之情況下被反向變成SV。

矩形存取中的行位址控制

如第1圖所示，在該記憶體映射12與用於將該影像記憶體之記憶體空間與該影像之像素相聯的14E中，在由一記憶體組位址BA及一列位址RA所選擇的頁面區域14中，該映射

被執行以便根據該影像中的像素矩陣的安排以一預先決定的返轉寬度CAWrap返轉由行位址CA選擇的一記憶體單元區域(4-位元組的區域)。在第1圖所示之該範例中，該行位址CA在該頁面區域14內以4為單位被返轉。也就是說，該行位址的返轉寬度CAWrap為4。該行位址的返轉寬度也被稱為該行位址的“步階”。

藉由以一預先決定的返轉寬度來返轉該行位址所選擇的該記憶體單元區域的此映射，在該影像記憶體中被頻繁進行的一矩形存取的效率能夠被提高。特別地，在一頁面區域被一主動命令進行主動操作時，一讀取命令及一寫入命令根據要被存取的一矩形區域被反覆發出，藉此能夠對該相同頁面區域內的矩形區域進行一存取。由於執行一次該主動命令就能夠對該相同頁面區域內的矩形區域進行一存取，所以一有效存取能夠被進行。

如第16圖所示，在此矩形存取中，需要反覆發出該讀取命令RD、記憶體組位址BA、行位址CA及開始位元組信號SB。然而，如果該記憶體的映射資訊，或特別是該頁面區域的行位址CA的返轉寬度CAWrap是已知的，那麼該矩形區域的開始行位址CA、矩形寬度及該矩形大小能夠被提供，藉此該影像記憶體能夠在內部自動發出要被存取的行位址，藉此該矩形區域的影像資料能夠被存取。在此情況中，該讀取命令與該行位址可以被發出一次，因此不需要如第16圖一樣發出它們多次。

第42圖是一用於說明利用了該等位元組邊界功能的一

自動矩形存取的圖。在此範例中，要被存取的資料區域由一記憶體映射421中的箭頭顯示。在此記憶體映射中，行位址CA在一頁面區域14內被以8進行返轉。因此，該行位址返轉寬度CAWrap是8。因而，該頁面區域14一右端上的行位址CA是#07、#0F、#17及#1F(十六進制的)，且該返轉寬度CAWrap是8。同樣地，要被存取的該矩形區域的開始位址CA為CA=#B、該開始位元組SB=2、該矩形區域的寬度Rwidth=2個時鐘(4個位元組×2個時鐘=8個位元組)，以及該矩形區域的大小為叢發長度BL=8(4×8=32)。因此，該矩形區域的高度為BL/Rwidth=4。

第43圖是一自動矩形存取的一時序圖。第44圖是該自動矩形存取中所需要的一內部行位址計算器的一組態圖。為了執行第42圖所示之該矩形存取，行位址CA=#0B/#0C、#0C/#0D、#13/#14、#14/#15、#1B/#1C、#1C/#1D、#23/#24、及#24/#25可以依據所提供的行位址CA=#0B及SB=2在該記憶體內被發出。特別地，該第一存取中，位元組2與3存取CA=#0B而位元組0與1存取CA=#0C。在第二存取中，該行位址CA增加1，因此位元組2與3存取CA=#0C而位元組0與1存取CA=#0D。在此範例中，由於該矩形區域的寬度Rwidth=2，所以對已返轉的行位址CA=#13及#14進行第三存取而不是該行位址CA被移一位之後的位置。因此，需要從該行位址返轉寬度CAWrap及該矩形寬度Rwidth中計算出第三行位址。當以位元組2及3來考慮此第三位址時，要被存取的第三CA根據目前的行位址CA=#C(=12(十進制

的))、CAWrap=8及Rwidth=2由第43圖所示之一方程式(CA+CAWrap-Rwidth+1)得出為CA=12+8-2+1=19(十進制的)=#13(十六進制的)。第44圖顯示該行控制器90內的行位址計算器。此計算器具有一行位址計數器440、一計算器441、一開關442、一矩形寬度計數器444以及一比較器445，該行位址計數器440與一內部時鐘pclenz(其與一時鐘的時序同步)同步地將外部提供的一行位址CA以及一已返轉的行位址CA(返轉)增量1，該計算器441將CAWrap加到該行位址計數器的一計數值上並減去Rwidth，該開關442用於在該矩形區域被返轉時選擇該計算器441的一輸出，該矩形寬度計數器444計算該同步時鐘pclenz以及在一存取期間計算水平方向中的計數值而一比較器445檢測該矩形寬度計數器444的水平計數值widthz與該矩形寬度Rwidth匹配並為該開關442產生一切換信號wrapz。

說明被參考第43圖所示之該時序圖來提供。首先，假定該矩形區域大小在該模式暫存器中被設定為叢發長度BL=8，且一頁面區域內的一行位址的返轉寬度CAWrap=8也在該模式暫存器中被設定。接著，該開始行位址CA=#0B、開始位元組SB=2以及要被存取的矩形區域的矩形寬度Rwidth=2與一主動命令之後的一讀取命令430一起被提供。據此，該時序時鐘pclenz被與一時鐘同步產生，然後該矩形寬度計數器444在該存取期間計算該水平方向中的計數值widthz，該行位址計數器440從該開始行位址CA=#0B開始計算。

對該第一存取發出的一內部行位址caz[7:0]是CA=#0B/#0C，如第43圖所示。在該第二存取中，#0C/#0D依據該行位址caz[7:0]=#0C被輸出，該行位址藉由該行位址計數器440使caz=#0B增量1而被獲得。在該第三存取中，該矩形區域需要被以一矩形寬度返轉，因此該計算器441的一計算出的值被該開關442選擇，行位址caz[7:0]=#03被輸出，以及在返轉依據此輸出被執行之後，行位址CA=#13/#14被產生。在第四存取中，#14/#15被產生。在第五存取中，該矩形區域被返轉且#1B/#1C被產生。之後，#1C/#1D、#23/#24及#24/#25被類似地產生。

對應於此自動矩形存取的影像記憶體的組態如，例如第29圖所示，其中對應於該等位元組邊界功能的4個行位址的一組合被提供給4個位元組區域-位元組0-3。特別地，第43圖所示之該等內部行位址caz的一組合被提供給每一位元組區域中的行解碼器。因此，這些行位址的資料項分別自該4個位元組區域被輸出。

在該上述範例中，矩形存取時的矩形寬度Rwidth與該讀取命令一起被提供，但是該矩形寬度Rwidth可以藉由該模式暫存器設定命令而在該模式暫存器中被預先設定。可選擇地，該矩形長度BL及矩形寬度Rwidth可以與該讀取命令一起被提供。該行位址的返轉寬度CAWrap被該影像系統預先設定，因此較佳的是該返轉寬度CAWrap藉由該模式暫存器設定命令被設定。

以此方式，在該矩形存取之情況下，如果作為一起點

的該行位址CA、該矩形寬度Rwidth以及該矩形大小(BL)被提供，那麼要被存取的一內部行位址能夠根據被預先設定的該行位址的返轉寬度CAWrap被自動產生。因此，該矩形存取藉由發出一次讀取命令就能夠被作出。

頁面區域邊界的位元組邊界功能

該等位元組邊界功能能夠有效地存取橫越一行位址所選擇的一記憶體單元區域(4-位元組的區域)之邊界的資料的預先決定的位元組(4個位元組)。然而，在橫越一頁面區域邊界執行一矩形存取之情況下，相鄰頁面區域需要藉由另一主動命令再次進行該主動操作。

第45圖顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之一範例。此圖顯示該頁面區域由行位址CA[7:0]=#00-#FF組成且CA=#FF位於一右端的一範例。在此情況中，當該圖中箭頭所示的資料項的4個位元組被利用該等位元組邊界功能來存取時，在該上行模式中，當SB=0時，資料的該4個位元組能夠被輸出，但當SB=1、2及3時，位於一左端的位元組資料在於該頁面區域的右端處轉向之後被存取。特別地，在此範例中，該存取在該相同的頁面區域內被再次執行而不執行新的主動命令。另一方面，在該下行模式之情況下，當SB=0、1及2時，需要在該左端轉向移到該右端(返轉)，只有但SB=3時轉向才不需要被執行。

如果該上述存取被作出，則不必要的資料被輸出。為了對自該上一頁面區域之末端起的一相鄰頁面區域進行存

取，需要發出一新的主動命令以在該相鄰頁面區域上執行主動操作。

第46圖顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之另一範例。在此範例中，該叢發長度BL被設定為8。當BL=8被確定時，每一記憶體組內的一叢發計數器藉由該計數器寬度BL=8反覆計數內部行位址。特別地，在第46圖所示之該範例中，該叢發計數器所產生的該等內部行位址由寬度為8的CA=#k8-#kF(16-位元表示法)組成。即便在存取區域被此計數器分成將該叢發長度BL作為基礎的矩形區域的一記憶體之情況下，與第45圖一樣，當該等位元組邊界功能在該右端被使用時(其中該叢發長度區域CA=#k8-#kF)，和第45圖相同的問題也會產生。在第46圖所示之該範例中，在該上行模式時返轉出現在SB=1、2及3時，而在該下行模式時返轉出現在SB=0、1及2時。因此，不必要的資料被輸出。

第47圖顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之又一範例。在此範例中，該等位元組邊界功能被利用參考第7圖所描述的該矩形存取中的多記憶體組存取功能來實現。特別地，列位置RA=#n由主動命令ACT指定。如果當讀取命令RD被發出時，作為基點的行位址CA是位於該頁面區域之右端的CA=#FF，那麼如箭頭所示超越該頁面區域之一邊界PB的一存取被作出。

特別地，在該上行模式中，當SB=1、2及3時，對RA=#n

的頁面區域內的CA=#FF的位元組資料以及對RA=#n+1的頁面區域內的CA=#00的位元組資料進行一存取。在該下行模式中，當SB=0、1及2時，對RA=#n的頁面區域內的CA=#FF的位元組資料以及對RA=#n+1的頁面區域內的CA=#00的位元組資料進行一存取。在此情況中，需要對相鄰的頁面區域進行一存取，因此具有與該主動命令ACT一起被提供的該列位址RA=#n的頁面區域被啟動，且依據與該讀取命令RD一起被提供的該行位址CA=#FF及開始位元組信號SB=2，具有該相鄰列位址RA=#n+1的頁面區域被啟動。因此，複數個記憶體組內的字線依據一主動命令ACT被啟動。

當控制被執行藉此該等記憶體組被同時啟動時，所需要的區域的資料能夠被節約地輸入/輸出，即便該等位元組邊界功能在該頁面區域之末端處被請求。

位元組邊界功能的其他應用

當儲存影像資料到該記憶體並存取對應於一任意像素的資料時，該等位元組邊界功能能夠有效地輸入/輸出資料。該等位元組邊界功能在除了該影像記憶體以外的一應用中也具有相同的利處。

第48圖到第50圖是用於說明該等位元組邊界功能之其他應用的圖。第48及49圖對應於一習知的範例，而第50圖對應於本實施例。根據該記憶體的組態，複數個位元組區域被分配到相同的行位址CA，且一次存取對被分配到該相同行位址CA的複數個位元組資料進行存取。在此結構中，

當處理被分配到該相同行位址CA的固定位元組長度(字元組態)的資料時，該記憶體能夠被有效地存取。

然而，有一種情況為要被該系統處理的資料的長度小於該記憶體的字元組態的長度。作為此情況的對策，有一種方法-填充，藉此字元組態大小或更小的資料不會橫越過複數個行位址CA區域。在第48圖所示之該範例中，該記憶體的字元組態被設定為4個位元組(參見該圖中的483)，且要被處理的資料的大小的單位可以是1個位元(該圖中480的格式A)、2個位元(480的格式B)或4個位元(480的格式C)。因此，4個位元組的資料藉由將其儲存在位元組0為基點的位置中而被防止橫越過該等行位址CA。2個位元組的資料被儲存在位元組0及位元組2為基點的位置中。1個位元組的資料能夠被儲存在位元組0、位元組1、位元組2及位元組3中之任何一個為基點的位置中。

假定有以下一種情況：大小為2個位元組、4個位元組、1個位元組、2個位元組、2個位元組及1個位元組的資料0-5被連續儲存在該記憶體中，與該圖所示之寫入資料482一樣。在此情況中，藉由執行如該圖中的481中的寫入操作，填充在該圖中的483所示之記憶體內的數個位元組區域中被執行，且總計為4個位元組的區域未被有效地用於儲存該資料。在此情況中，記憶量未被有效使用。然而，藉由該行位址CA以4個位元組為單位輸出資料，每一資料項在一行位址存取時能夠被讀取，因此讀取速度增加。

然而，為了去除該上述冗餘的儲存容量，該等資料項

可以被連續儲存到該記憶體的位元組區域中而不執行填充。例如，該資料藉由第49圖中的491所示之一寫入命令WR在3個週期內被寫入，接著該資料能夠被儲存在如該圖中的493所示之記憶體內的該等位元組區域中。

藉由以第49圖所示之該方式來寫入該資料，該記憶體的儲存容量能夠被有效地利用。然而，在該資料橫越不同的行位址區域被儲存之情況下，如資料3中的2-位元組的資料項B03與B13或資料1中的4-位元組的資料項C 01-31，讀取及寫入在一習知的記憶體中不能夠在一次存取中被執行，因此需要進行兩次存取。如該圖中的491所示，該讀取命令RD需要被發送兩次以讀取資料4，這使該存取效率下降。

因此，如第50圖中的500所示，藉由該等位元組邊界功能發出一次讀取命令RD並指定該開始位元組信號SB=3，橫越過該等不同行位址的資料3(B03與B13)能夠被存取。因此，具有該等位元組邊界功能的記憶體能夠實現記憶體可利用性的提高而不降低該存取效能。

用於位元組邊界功能的記憶體控制器

下面，用於該等位元組邊界功能的記憶體控制器被描述。該影像處理系統被參考第8圖來進行描述，其中該影像處理控制器81及該記憶體控制部分(記憶體控制器)82被包括在該影像處理系統內的影像處理晶片80中。

第51圖是該影像處理系統的一組態圖。與第8圖一樣，該影像處理系統由該影像處理控制器81、記憶體控制器82

及影像記憶體86組成。該影像處理控制器81被組配以便執行，例如MPEG解碼處理。該影像處理81具有一已編碼及被壓縮的串流資料STM被輸入到此的一熵解碼處理器510、用於根據一DCT係數DCT-F來執行資料處理的一反量化及反DCT處理器511、一圖框內預測部分512、用於使該記憶體控制器82根據一運動相量MV及一宏塊劃分資訊(macro-block division information)MBdiv來讀取一參考影像的一圖框間預測部分513，以及一程序選擇部分515。該記憶體控制器82執行記憶體控制，包括該影像處理控制器81與該影像記憶體86之間的命令與位址的發出。自該程序選擇部分515被輸出的已解碼的影像資料D-IMG被該記憶體控制器82儲存在該影像記憶體86中。同樣地，該圖框間預測部分513的一參考影像讀取控制器514經由該記憶體控制器82自該影像記憶體86中擷取一參考影像R-IMG的資料，並將該參考影像的資料發送到該程序選擇部分515。

一MPEG解碼器根據基於該運動向量自該記憶體中讀取的一過去影像或未來影像內的參考影像R-IMG並根據該參考影像與目前影像資料間的差別資料來解碼目前的影像資料。因此，一操作被頻繁執行，其中位在該運動向量的位置中的一矩形參考影像被讀取自在時間上被儲存於該影像記憶體86中的影像。在此矩形存取控制中，該存取效率藉由利用具有該等位元組邊界功能的影像記憶體86以及對應於該等位元組邊界功能的記憶體控制器82而能夠被提高。

第52圖顯示該記憶體控制部分(記憶體控制器)的輸入及輸出信號。第53圖是一用於說明一參考影像區域的圖，該參考影像區域是一圖框影像內的一讀取目標。在一圖框影像FM-IMG中，左上角指示一像素座標的原點(0,0)。為了為該矩形參考影像RIMG指定一區域，位於該矩形左上角處的一座標(POSX,POSY)以及長度與寬度的長短(即SIZEY與SIZEX)被需要。因此，該影像處理部分內的參考影像讀取控制器514將指定該參考影像RIMG的區域的該等上述資訊項(POSX,POSY)、SIZEY與SIZEX提供給該記憶體控制器82。另外，一直接記憶體存取控制信號DMA-CON在該參考影像讀取控制器514與該記憶體控制器82之間被輸入/輸出。

另一方面，該記憶體控制器82根據指定該參考影像區域的該等資訊項(POSX,POSY)、SIZEY與SIZEX來計算該記憶體空間內的位址Add(記憶體組位址、列位址、行位址)，以及將命令CMD、位址Add、多記憶體組存取資訊SA'、開始位元組信號SB、寫入資料Data及類似物提供給該記憶體86。同樣地，該記憶體控制器82接收自該記憶體86讀取的讀取資料Data。

第54圖是該記憶體控制器的一詳細組態圖。該記憶體控制器82具有介面控制器541-1到541-N以及位址/命令產生部分542-1到542-N，該等介面控制器接收來自存取請求來源方塊81-1到81-N(其等向如該上述的影像處理控制器中的記憶體請求一存取)的要被存取的一影像區域的該等資訊

項POSX、POSY、SIZEY及SIZEX，以及該寫入資料Data，該等位址/命令產生部分542-1到542-N經由這些介面部分接收該等上述的參考影像資料項並產生位址與命令。這些介面控制器及該等位址/命令產生部分應該被一仲裁電路540啟動或仲裁。由該仲裁電路540選擇及啟動的該等位址/命令產生部分542經由一選擇器SEL將該命令CMD、位址Add(記憶體組位址、列位址、行位址)、多記憶體組存取資訊SA'、開始位元組信號SB及類似物發出到該記憶體86。因此，對於透過仲裁選擇的該等存取請求來源方塊，該記憶體控制器82控制對該記憶體86的一存取並寫入或讀取該資料。同樣地，該記憶體控制器82以所需頻率對該記憶體發出一再新請求。

由該記憶體控制器82發出的命令CMD包括，例如，該模式暫存器設定命令、主動命令、讀取命令、寫入命令、預先充電命令、再新命令以及正常的SDRAM中所需要的其他命令。另外，在該記憶體控制器82內的一設定暫存器543中，該記憶體86中所提供的該圖框影像FM-IMG之一左上角的像素的位址、該記憶體映射資訊以及關於該等功能的資訊被設定。該記憶體中所提供的功能為多記憶體組存取功能、切換對應於該等位元組排列順序的資料的安排之功能以及其他功能。該記憶體中所提供的功能的存在、控制的目標在該設定暫存器543中被設定。

第55圖是一用於說明該參考影像讀取控制器514中的圖框間預測部分513所執行的計算的圖。在一MPEG影像之

情況下，宏塊MB是處理單位。該宏塊MB由16×16個像素的亮度資料及8×8個像素的一色差(Cb,Cr)資料(Y:U:V=4:2:0)組成。由該宏塊MB除以4而獲得的1/4宏塊QMB是處理該運動向量MV及該參考影像RIMG的單位，其包括8×8個像素的亮度資料。當目前正被處理的宏塊MB的一左上角座標是(MBaddrx,MBaddry)，其宏塊劃分資訊是Mbdivx,Mbdivy而該運動向量是MV=(MVx,MVy)時，一計算處理器515利用該圖中所示的一計算方程式來獲取該左上角座標(POSX,POSY)、該參考影像RIMG的寬度SIZEX及高度SIZEY。此寬度SIZEX被設定為存取該記憶體一次所輸入/輸出的位元組數的一倍數，而該高度SIZEY被設定為該垂直方向中的像素數。

指定了以上述方式被計算出的資訊(POSX,POSY)、SIZEX及SIZEY的參考影像自該參考影像控制器514被輸出到該記憶體控制器82，且，根據指定資訊的該參考影像、記憶體映射資訊以及在該設定暫存器543中被設定的該圖框區域中的左上角位址，記憶體控制器82的該等命令/位址產生部分524產生矩形存取中所需的該記憶體空間的一位址。

第56圖顯示該參考影像讀取控制器514中的圖框間預測部分513所執行的計算之一範例。這是第55圖的一特定範例。首先，該宏塊MB的左上角座標為(MBaddrx,MBaddry)=(0與0)，宏塊劃分資訊為Mbdivx,Mbdivy=8而運動向量為MV=(MVx,MVy)=(13與4)，因此該參考影像RIMG的左上角

座標(POSX,POSY)、寬度SIZEX及高度SIZEY在下列計算中被獲得：

POSX=0+8+13=21

POSY=0+8+4=12

SIZEX=8，SIZEY=8

該參考影像RIMG的矩形區域與一行位址所選擇一個4-位元組的區域的單元不一致。為了使該矩形區域與該4-位元組的區域的單元一致，需要對左上角座標為(20與12)、寬度為12及高度為8的區域(如第56圖中一放大的區域E-RIMG)進行存取。然而，藉由利用該等位元組邊界功能，以位元組為單位的一存取能夠橫越該4-位元組單元之邊界被作出。以此方式，當對諸如一MPEG影像的參考影像資料進行一存取時，該等位元組邊界功能有助於提高該存取效率。

第57圖顯示記憶體映射之一範例。與第1圖所示之該記憶體映射12一樣，該影像之一像素與該記憶體空間內的頁面區域14如該記憶體映射12中的彼此相聯，相鄰頁面區域被配置以便具有不同的記憶體組位址BA。該頁面區域14是由一記憶體組位址BA及一列位址RA選擇的一區域，且每一頁面區域14由分別被行位址選擇的複數個記憶體單元區域(4-位元組的區域)組成。在第57圖所示之該範例中，每一頁面區域14是用於儲存64個像素×16個像素的影像資料的一單元。

第58圖顯示該記憶體映射12中的該頁面區域14之一組

態。由一記憶體組BANK 0內的一列位址RA 0指定的頁面區域14具有行位址CA 0-255所指示的記憶體單元區域。4個位元組由每一行位址選擇，且每一行位址CA的一返轉寬度(步階寬度)是16。因此，該頁面區域14的寬度為64(=4×16)個位元組且高度為16(=256/16)個位元組。

第59圖顯示在該記憶體映射上第56圖所示之該參考影像區域的一安排。如第59圖所示，該參考影像區域RIMG的左上角座標為(21與12)、寬度為8及高度為8，且因此對應於寬度為8個位元組及高度為8個位元組的一記憶體區域，該記憶體區域是從一行位址CA 5這一前導位址中的一位元組BY 1開始被形成。特別地，一矩形存取區域中的一左端591是自一邊界590起被移位1個位元組(該圖中的592)而來，該邊界590是獲取自一行位址CA。因此，一記憶體組位址BA 0及一列位址RA 0與該主動命令ACT一起被發送到具有該等上述位元組邊界功能的記憶體，且該開始行位址CA 5、CA 6-117及CA 118以及該開始位元組信號SB=1與該讀取命令RD(或寫入命令WR)一起被連續發出。同樣地，對於具有如第42-44圖中所示之該等自動的內部行位址產生功能的記憶體，該行位址返轉寬度CAWrap=16被設定，且該開始行位址CA 5、開始位元組信號SB=1、矩形寬度Rwidth=2以及叢發長度BL=16與該讀取命令RD(或寫入命令WR)一起被發出。

第60圖顯示該記憶體映射上的該等參考影像區域之另一安排的一範例。在此圖中，該參考影像區域RIMG橫越相

鄰的頁面區域14-0與14-1。特別地，該參考影像區域RIMG超過該頁面區域之一邊界600。在此情況中，如果該記憶體具有第7圖中所描述的該多記憶體組存取功能，藉由發出該多記憶體組存取資訊SA'，一存取能夠使用該主動命令一次而被作出。在該記憶體不具有該多記憶體組存取功能之情況下，該主動命令需要被發出多次到該等記憶體組BANK 0與1以進行一存取。因此，該記憶體控制器事先需要在該暫存器中設定要被控制的影像記憶體是否具有該多記憶體組存取功能，接著對該影像記憶體的存取控制需要依據此設定資訊而被改變。

第61圖是對於沒有該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。這是對第59圖所示之該參考影像RIMG的存取的一範例。一習知的SDRAM未被提供以該等位元組邊界功能。在此情況中，該記憶體控制器必須執行第61圖所示之控制。

在第61圖中顯示了在該參考影像讀取控制器與該記憶體控制器之間被交換的信號610以及在該記憶體控制器與該影像記憶體之間被交換的信號611。如上所述，該參考影像讀取控制器514將關於左上角座標(POSX,POSY)、寬度SIZEX及高度SIZEY的資訊與對該記憶體的一存取請求REQ一起發送到該記憶體控制器，接著該記憶體控制器依據該被發送的資訊返回一確認信號ACK。假定該記憶體映射資訊及該圖框影像之左上角原點的位址預先在該設定暫存器中被設定。

依據此存取請求REQ，該記憶體控制器發出一主動命令ACT、記憶體組位址BA=0及列位址RA=0到該影像記憶體，並使該記憶體執行主動操作。之後，該記憶體控制器與一時鐘CLK同步地發出一讀取命令RD、記憶體組位址BA=0及行位址CA=5、6、7-117、118、119(24次)並接收4-位元組的資料24次。接著，該記憶體控制器將一選通信號STB的位準變成H位準，以及發送該已接收的資料到該讀取控制器。

第62圖是對於具有該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。此圖顯示對第59圖所示之該參考影像RIMG的存取的一範例，以及是在該記憶體具有該等位元組邊界功能時所執行的一控制。在該圖中顯示了在該參考影像讀取控制器與該記憶體控制器之間被交換的信號620以及在該記憶體控制器與該影像記憶體之間被交換的信號621。

在此情況中，與第61圖所示之該信號相同的信號自該參考影像讀取控制器被發送到該記憶體控制器。該記憶體控制器發出一主動命令ACT、記憶體組位址BA=0及列位址RA=0到該影像記憶體，並使該記憶體執行主動操作。之後，該記憶體控制器發出一讀取命令RD、記憶體組位址BA=0及行位址CA=5、6、7-117、118、119(16次)以及開始位元組信號SB=01並接收4-位元組的資料16次。另外，該記憶體控制器將一選通信號STB的位準變成H位準，以及發送該已接收的64-位元組的資料到該讀取控制器。由於該記憶

體具有該等位元組邊界功能，所以該讀取命令可以只被發出16次，這提高了該存取效率。

同樣地，儘管未被顯示，但在具有如第42-44圖中所示之該等自動的內部行位址產生功能的記憶體中，該行位址返轉寬度CAWrap=16可以被預先設定，且該開始行位址CA 5、開始位元組信號SB=01、矩形寬度Rwidth=2以及叢發長度BL=16可以與一讀取命令RD一起被發出。依據此發送，該影像記憶體在內部自動產生行位址並在16個週期內輸出該矩形區域的4-位元組的資料。該記憶體控制器連續地接收該4-位元組的資料16次。

第63圖是對於不具有該等位元組邊界功能及多記憶體組存取功能的記憶體的記憶體控制器的一時序圖。此範例是第60圖所示之該參考影像RIMG被存取的一範例，以及顯示了在不具有該多記憶體組存取功能的影像記憶體上所執行的一控制。在該圖中顯示了在該參考影像讀取控制器與該記憶體控制器之間被交換的信號630以及在該記憶體控制器與該影像記憶體之間被交換的信號631。

如第45圖所示，不具有該多記憶體組存取功能的記憶體不能存取越過一記憶體組邊界的一區域。因此，在此情況中，該記憶體控制器發出一主動命令ACT、BA=0及RA=0以使該頁面區域14-0執行主動操作，進一步發出一讀取命令RD、記憶體組位址BA=0及行位址CA=15-127，以及接收8個位元組的資料。另外，該記憶體控制器發出一主動命令ACT、BA=1及RA=0以使該頁面區域14-1執行主動操作，進

一步發出一讀取命令RD、記憶體組位址BA=1及行位址CA=0、1-112及113，以及接收16個位元組的資料。接著該記憶體控制器發送該已接收的24-位元組的資料給該參考影像讀取控制器。

第64圖是對於具有該多記憶體組存取功能及該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。此圖也是第60圖所示之該參考影像RIMG被存取的一範例。在該圖中顯示了在該參考影像讀取控制器與該記憶體控制器之間被交換的信號640以及在該記憶體控制器與該影像記憶體之間被交換的信號641。

該記憶體控制器將一記憶體組位址BA=0、列位址RA=0及多記憶體組存取資訊SA'=10(顯示對一橫向方向中的兩個相鄰記憶體組的一存取)與一主動命令ACT一起發出。依據此發送，該影像記憶體在該記憶體組BA=0上執行主動操作。接著該記憶體控制器按順序將開始位元組信號SB=01、記憶體組位址BA及行位址CA與一讀取命令RD一起發出。依據此行位址CA=15，該影像記憶體在BA=1的記憶體組上執行主動操作。該記憶體控制器依據被發出16次的讀取命令RD接收16個位元組的資料。另外，該記憶體控制器發送該已接收的16-位元組的資料給該參考影像讀取控制器。

以此方式，即便在資料橫越一不同的記憶體組邊界，該記憶體控制器也可以發出一次主動命令給具有該多記憶體組存取功能的記憶體。

第65圖是該記憶體控制器之控制操作的一流程圖。首先，一主機CPU在該記憶體控制器內的設定暫存器中設定該多記憶體組存取功能的開啟/關閉(S1)。該參考影像讀取控制器根據該運動向量資訊、宏塊劃分資訊及目標宏塊資訊來計算一參考影像方塊的座標(POSX,POSY)以及大小(SIZEX,SIZEY)(S2)，以及將對該記憶體控制器的一矩形存取請求與該矩形存取的矩形存取參數一起發出(S3)。

當進行矩形存取時，該記憶體控制器根據這些矩形參數(POSX,POSY)、(SIZEX,SIZEY)及該記憶體映射資訊及關於在該設定暫存器中被設定的圖框影像位址的資訊來計算要被發出的BA、RA、CA、SB及SA'。當該多記憶體組存取功能是開啟的(S5中的是)時候，該記憶體控制器在將該BA、RA及SA'與一主動命令ACT一起發送以及進一步將該BA、CA及SB與一讀取命令RD一起發出的同時還接收讀取資料(S6、S7及S8)。在該寫入操作之情況下，該記憶體控制器在按順序將該BA、CA及SB與一寫入命令WR而非一讀取命令一起發出的同時還輸出寫入資料。

另外，當該多記憶體組存取功能是關閉的(S5中的否)時候，該記憶體控制器檢查該被請求的矩形是否橫越過該頁面區域(即記憶體組)(S9)。如果該矩形沒有橫越過該記憶體組(S9中的否)，則該記憶體控制器在將BA及RA與該主動命令ACT一起發送以及進一步按順序將BA、CA及SB與該讀取命令RD一起發出的同時還接收該讀取資料(S10、S11及S12)。在該寫入操作之情況下，該記憶體控制器在按順

序將該BA、CA及SB與一寫入命令WR而非一讀取命令一起發出的同時還輸出寫入資料。

此外，如果該矩形橫越過該記憶體組(S9中的是)，則該等位元組邊界功能不能被使用，因此該記憶體控制器計算第56圖所示之該放大的矩形區域E-RIMG的座標POSX及寬度SIZEX，以及計算對應於該被計算出的座標及寬度的左上角座標的位址BA、RA及CA。接著，該記憶體控制器在將BA及RA與該主動命令ACT一起發送以及進一步將BA及CA與該讀取命令RD一起發出到該放大的矩形區域的同時還接收該讀取資料(S15、S16及S17)。接著，該記憶體組內的左上角座標的一次讀取被完成(S17中的是及S14中的是)，一預先充電命令被產生一次。之後一主動命令被產生給下一記憶體組，在按順序將BA及CA與該讀取命令RD一起發出的同時該讀取資料被接收(S19、S16及S17)。一旦該記憶體組內的所有資料項都被接收(S17中的是)及所有資料項的讀取都被完成(S18)，該記憶體控制被結束。

應該注意的是當該等位元組邊界功能在該記憶體控制器的設定暫存器中被設定為關閉時，該記憶體控制器藉由執行第65圖之該等組態S13-S18而發出如第61圖中的該主動命令、讀取命令及所需的位址。

以此方式，根據要被控制的影像記憶體的功能，該記憶體控制器能夠將該等位元組邊界功能的開啟與關閉及該等多記憶體組存取功能的開啟與關閉設定到內建的設定暫存器中，以及適當地發出所需的命令及位址，以及該多記

憶體組資訊、開始位元組資訊及位元組組合資訊(如該上行模式、下行模式及可選擇的模式)。

第66圖是該記憶體控制器之控制操作的一流程圖。在此範例中，該記憶體控制器能夠設定要被控制的影像記憶體是否具有根據第35及第36圖所示之該等位元組排列順序來切換輸入/輸出資料的一功能。首先，該主機CPU將該影像記憶體內的一輸出資料重安排功能的存在設定到該記憶體控制器之設定暫存器中(S20)。接著該參考影像讀取控制器根據該運動向量資訊、宏塊劃分資訊及目標宏塊資訊來計算該參考影像方塊的座標(POSX與POSY)及大小(SIZEX與SIZEY)(S21)，以及將對該記憶體控制器的一矩形存取請求與該矩形存取的矩形存取參數一起發出(S22)。

其次，當進行該矩形存取時，該記憶體控制器根據這些矩形參數(POSX與POSY)、(SIZEX與SIZEY)及該記憶體映射資訊及關於在該設定暫存器中被設定的圖框影像位址的資訊來計算要被發出的BA、RA、CA、SB及SA'(S23)。接著，當該輸出資料重安排功能被設定為開啟(S24中的是)時，該記憶體控制器將該記憶體組位址BA、列位址RA及多記憶體組資訊SA'與該主動命令一起發送，以及進一步將該記憶體組位址BA、行位址CA及開始位元組資訊SB與該讀取命令一起發出(S25)。之後，該記憶體控制器反覆發出該讀取命令、BA、CA及SB，直到所有資料項的讀取都被完成(S26及S27)。

另一方面，當該輸出資料重安排功能被設定為關閉

(S24中的否)時，該記憶體控制器將該記憶體組位址BA、列位址RA及多記憶體組資訊SA'與該主動命令一起發送，以及進一步將該記憶體組位址BA、行位址CA及開始位元組資訊SB與該讀取命令一起發出(S25)。之後，該記憶體控制器反覆發出該讀取命令、BA、CA及SB直到所有資料項的讀取都被完成，且重安排該等資料項，藉此該等已接收的資料項以原始影像資料項的順序被安排(S28、S29及S30)。

上述的第65及第66圖能夠根據該設定暫存器中的設定項被適當地組合。

應該注意的是本實施例說明儲存數位影像資料的影像記憶體的一範例，在該數位影像資料中複數個像素的影像資料項是以二維形式被安排。然而，本發明不僅能被用於用以儲存影像資料的影像記憶體，而且還適用於用以儲存除了影像資料以外的根據一預先決定的映射規則來以二維形式被安排的資料的一記憶體裝置。當該被儲存的資料被以二維形式安排時，在該以二維形式被安排的資料中的一任意矩形區域被存取之情況下，橫越過複數個記憶體單元區域的資料有時需要被存取。本發明在此情況下也能夠被應用。

《多記憶體組存取》

接下來描述了用於防止在存取具有複數個頁面區域的一矩形區域時所導致的存取效率的降低(這是該矩形存取的一個問題)的多記憶體組存取功能。矩形存取中所包含的該多記憶體組存取功能已被參考第7圖來進行描述。

第67圖是根據本實施例的多記憶體組存取的一概要解

說圖。對相對於該影像記憶體的一矩形區域所進行的一存取在一任意地方被產生。因此，在一些情況中，該矩形存取區域22橫跨該記憶體映射12中的頁面區域的邊界，如第67圖所示。在第67圖所示之範例中，該矩形存取區域22包括4個頁面區域(頁面區域BA 3與RA 0、頁面區域BA 2與RA 1、頁面區域BA 1與RA 4、頁面區域BA 0與RA 5)。

根據該記憶體映射12，彼此水平及垂直相鄰的頁面區域被分配到不同的記憶體組。因此，為了存取第67圖所示之該矩形區域22，該記憶體裝置86中的該4個記憶體組Bank 0-Bank 3必須以Bank 3、Bank 2、Bank 1及Bank 0的順序被存取。在一SDRAM中，一旦該記憶體組位址BA及列位址RA被指定以及一主動命令被提供，該SDRAM之一記憶體組內的字線(頁面區域)被啟動。之後該等被啟動的頁面區域內的記憶體單元區域依據指定一記憶體組位址BA及行位址CA的一讀取命令或寫入命令被存取。為此，為了存取該矩形存取區域22，該記憶體控制器必須為該4個記憶體組發出四次主動命令到該記憶體裝置。這類記憶體控制導致該存取效率的降低。

因此，在本實施例中，該記憶體裝置依據一擴充的模式暫存器設定命令EMRS(該圖中的一參考符號670)被設定到其中包括與一命令一起被提供的列位址步階資訊RS=4(該圖中的一參考符號671)的一模式暫存器中，如第67圖中的時序圖所示。該列位址步階資訊RS指示該等列位址RA在該記憶體映射12中的一列方向中以此被返轉(wrap)的

數目。在第67圖所示的範例中，由於該等列位址RA 0-RA 3、RA 4-RA 7被返轉，所以RS為4。由於該記憶體映射12在一正常的影像系統中不會被頻繁地改變，所以當該影像系統被啟動時，該列位址步階資訊RS較佳地被設定到該記憶體裝置內的模式暫存器中。

一旦一矩形存取被產生，該記憶體裝置被提供以一記憶體組位址BA=3、列位址RA=0及多記憶體組資訊SA'=4(該圖中的一參考符號673)連同一主動命令ACT(該圖中的一參考符號672)。更特別地，一旦該記憶體控制器檢測到要被存取的該矩形區域橫跨該記憶體映射上的該4個頁面區域，即該存取需要對該4個記憶體組進行，則該記憶體控制器依據自該影像處理單元被發送的一矩形存取請求，將存取目標記憶體組的數目(也就是"4")作為該多記憶體組資訊SA'提供給該影像記憶體裝置。

依據此主動命令ACT與該多記憶體組資訊SA'，該記憶體裝置啟動記憶體組BA 3、在該列方向中與其相鄰的BA 2、在該行方向中與其相鄰的BA 1及在右下角的記憶體組BA 0。在此情況中，該影像記憶體內的列控制器根據與該主動命令ACT一起被提供的該記憶體組位址BA=3、列位址RA=0及多記憶體組資訊SA'=4以及被儲存在該模式暫存器中的該列位址步階資訊RS=4來產生每一記憶體組的一記憶體組啟動信號以及進一步產生作為每一記憶體組內的主動操作之一目標的一列位址。根據該圖所示之記憶體映射12，相對於該被提供的列位址RA，作為主動操作之目標的

4個列位址分別為RA、RA+1、RA+RS、RA+RS+1。這4個列位址依據該被提供的記憶體組位址BA被提供給對應的4個記憶體組。接著，該記憶體裝置內的記憶體組根據該影像記憶體中所產生的該等記憶體組啟動信號及列位址來執行主動操作。

因此，在第67圖所示之範例中，總計有4個頁面區域，即頁面區域BA 3與RA 0、頁面區域BA 2與RA 1、頁面區域BA 1與RA 4及頁面區域BA 0與RA 5依據該單個主動命令ACT被啟動。在啟動的特定操作中，字線WL被啟動、感測放大器被啟動以及分別對應於該等記憶體單元內的資料項的位元線的電位被放大。

接著，該記憶體裝置反覆將讀取命令(該圖中的一參考符號674)與該記憶體組位址BA及該行位址CA一起提供，並依據每一讀取命令來讀取由一記憶體組位址BA及一行位址CA所指定的對應的記憶體單元區域之資料項。在一寫入命令之情況下，該記憶體裝置將該資料項寫入對應於與一寫入命令一起被提供的一記憶體組位址BA及一行位址CA的一記憶體單元區域。在第67圖所示之範例中，該等記憶體組位址BA=3、2、1及0與該4個讀取命令RD一起被提供，以及行存取被按順序對該4個記憶體組作出。

以此方式，根據本實施例的多記憶體組存取功能，該記憶體裝置依據要被提供的記憶體組位址BA及列位址RA、該多記憶體組資訊SA'以及被預先設定的該列位址步階資訊RS來響應一個單一的主動命令(第一操作命令)以提

前在複數個存取目標記憶體組的頁面區域上執行主動操作。因此，在一後續的行存取中，一記憶體組位址BA及一行位址CA與一讀取命令或一寫入命令一起被適當地提供，藉此該矩形存取被執行。

應該注意的是在第67圖所示之範例中，該記憶體裝置基於該記憶體映射12中的列位址步階資訊RS=4來計算複數個記憶體組的列位址。因此，如果該記憶體映射12不同，那麼用於獲取列位址的數學式也相應地不同。因而，記憶體映射資訊也能夠藉由該擴充的模式暫存器設定命令EMRS而與該等列位址一起被設定。可選擇地，記憶體組位址位元可以根據該記憶體映射資訊被混洗以計算對應於該記憶體裝置中預先決定的記憶體映射的列位址。

同樣地，在第67圖所示之範例中，儘管該多記憶體組資訊SA'指示4，但是在表示一橫向方向中的2個記憶體組的SA'=2、表示一垂直方向中的3個記憶體組的SA'=3或表示每單位記憶體組的SA'=1被提供之情況下，有關的記憶體組被分別啟動。指示4種類型的該上述多記憶體組資訊SA'由2個位元組成。

第68圖是一用於說明根據本實施例的該多記憶體組存取的圖。在第68圖中，該矩形區域22是存取目標區域。此矩形區域22具有4個頁面區域(即4個位元組14-0、14-1、14-2及14-3)且是橫向方向中2個時鐘的寬(8個位元組)乘以垂直方向中8列的高，且具有位於頂部的記憶體單元區域BA 3、RA 2、CA 127。因此，用於指定該矩形存取區域22的多記

憶體組資訊SA'可以是a)該矩形區域的大小資訊(=寬度W、高度H)或者是b)關於記憶體數目的資訊(=4)，其等被顯示於該圖中。

對應於該等上述兩種多記憶體組資訊SA'類型的記憶體裝置的操作在下文中被參考第69圖及第70圖來進行描述。

第69圖是該多記憶體組資訊SA'為關於記憶體組數目的資訊(=4)之情況下的一時序圖。第69圖顯示第67圖的時序圖，包括該等輸入/輸出終端DQ的4個位元組BY 0-3的輸出資料的行位址(該圖中的一參考符號691)，以及該等記憶體組Bank 0-3(該圖中的一參考符號690)中的每一個的一存取狀態(啟動狀態)。

首先，該記憶體裝置藉由該擴充的模式暫存器設定命令EMRS將該記憶體映射中的列位址之步階數資料RS=4設定到該模式暫存器中。接著，依據用於指定前導頁面區域的記憶體組位址BA 3與列位址RA 2，以及該多記憶體組資訊SA'=4(該圖中的一參考符號673)、該記憶體組位址BA 3、列位址RA 2及與該主動命令ACT一起被提供的多記憶體組資訊SA'，該記憶體裝置產生該3個記憶體組Bank 0-2內的列位址RA 7、6及3，並在對應於包括所提供的列位址RA 2的該4個列位址(該圖中的一參考符號690)的頁面區域上執行主動操作。因此，該4個記憶體組進入一主動狀態且對該4個記憶體組的記憶體存取現在在該記憶體裝置內是可能的。

之後，位址BA 3/CA 127、BA 2/CA 124、BA 1/CA 3、BA 0/CA 0及類似物與16個讀取命令RD(該圖中的一參考符號674)一起被提供，據此，該記憶體裝置在一預先決定的潛時之後將來自該等對應的記憶體組的資料的4個位元組分別輸出到該等輸入/輸出終端DQ。

將SA'作為該多記憶體組資訊SA'來提供證明一存取被對一個2×2的頁面區域作出，藉此該記憶體裝置能依據該主動命令ACT在該4個記憶體組上執行主動操作。另外，一旦該前導記憶體組的列位址RA被提供，那麼剩餘記憶體組的列位址能夠根據該列位址步階資訊RS被計算出。

第70圖是該多記憶體組資訊SA'為該矩形區域的大小資訊(W=8個位元組，H=8列)之情況下的一時序圖。此時序圖也顯示該等輸入/輸出終端DQ以及該4個記憶體組Bank 0-3中的每一個的一存取狀態。

列位址步階數資料RS=4(該圖中的一個參考符號671)及該頁面區域中行位址的步階數資料CST=128(該圖中的一個參考符號671)藉由擴充的模式暫存器設定命令EMRS被設定到模式暫存器中。另外，該等記憶體組位址BA 3及列位址RA 2與該主動命令ACT(該圖中的一個參考符號672)一起被提供，而該矩形存取區域的大小資訊8×8(該圖中的一個參考符號676)被提供作為該多記憶體組資訊SA'(該圖中的一個參考符號675)。根據此主動命令，該記憶體裝置在具有被提供的位址BA 3及RA 2(該圖中的一個參考符號700)的頁面區域上執行主動操作。接著該記憶體裝置獲得要被

存取的剩餘記憶體組Bank 0、1及2，以及其等列位址RA 7、6及3(基於該步階數資料CST=128)，與該第一讀取命令RD一起被提供的行位址CA 127以及該矩形大小資訊8×8，並在這些記憶體組(該圖中的一個參考符號701)中的每一個的頁面區域上執行主動操作。

之後，該記憶體裝置依據該16個讀取命令(該圖中的一個參考符號674)將來自每一對應的記憶體組的資料的4個位元組輸出到該等輸入/輸出終端DQ(該圖中的一個參考符號702)。

以此方式，當該矩形大小被提供作為該多記憶體組資訊SA'時，該記憶體裝置根據該等被提供的行位址及記憶體映射(行位址步階數CST)來決定存取是否被橫越複數個記憶體組作出、產生作為主動操作之一目標的每一記憶體組的一啟動信號以及每一記憶體組的一列位址並按順序執行主動操作。因此，在該前導行位址CA=127被提供之後，啟動操作在該等記憶體組Bank 0、1及2上被操作。

第71圖是具有該多記憶體組存取功能的記憶體裝置之一組態圖。此圖與第9圖中所示之該記憶體裝置的組態圖相同。在該記憶體裝置86中，為了實現該多記憶體組存取功能，該列控制器87具有：一多記憶體組啟動控制器88，其產生被提供給要被啟動的記憶體組的脈衝式記憶體組啟動信號actpz 0-3；以及一列位址計算器97，其產生要被啟動的每一記憶體組的列位址RA。同樣地，該記憶體裝置具有用於提供該多記憶體組資訊SA'的特殊終端SP 0及SP 1。

一命令控制器95解碼一命令，該命令被提供自指定命令的信號RAS、CAS、WE及CS之一組合。該記憶體映射的列位址步階數資料RS與來自位址終端Add的擴充的模式暫存器設定命令EMRS一起被提供，且該列位址步階數資料RS被設定到一模式暫存器96中。在此情況下，被設定的資料類型由一記憶體組位址BA指定，且該步階數資料RS被設定到對應於此記憶體組位址BA的一暫存器區域中。

該命令控制器95依據該主動命令ACT產生指示該列端上操作的開始的一主動脈沖。該多記憶體組啟動控制器88將此主動脈沖actpz分配到要被啟動的記憶體組，其等由所提供的記憶體組位址BA及該多記憶體組數目資料SA'決定。要被分配的此脈衝信號是該等記憶體組啟動信號actpz 0-3。當該主動命令ACT被發出時，該多記憶體組資訊SA自該等特殊的終端SP及SP 1被輸入。同樣地，該等列位址RA自該等位址終端Add被輸入。

另外，該列位址計算器97根據要被提供的該記憶體組位址BA及列位址RA、被設定在該模式暫存器96中的步階數資料RS以及該記憶體映射來產生4個列位址RA、RA+1、RA+RS及RA+RS+1。接著，這4個列位址被提供給具有某一記憶體組的一組2×2的記憶體組，該記憶體組具有被提供的記憶體組位址BA並位於左上角部分。

每一記憶體組具有一記憶體核心及一核心控制器(未被顯示)，該記憶體核心具有一記憶體陣列MA及一解碼器Dec而該核心控制器控制該記憶體核心。 該核心控制器依

據上述的該等記憶體組啟動信號actpz 0-3來執行對每一記憶體組內的記憶體核心的啟動控制。在此情況下，該上述的記憶體組BA被提供給每一列解碼器、對應的字線被啟動以及接著一組感測放大器被啟動。這是該等記憶體組中所執行的啟動操作(主動操作)。

之後，選擇該記憶體裝置中要被啟動的記憶體組的操作、記憶體組啟動的時序控制、列位址產生操作以及該記憶體映射中的記憶體組分配設定操作作為該多記憶體組存取中所需的功能而被特別描述。

選擇記憶體組

第72圖及第73圖是顯示該多記憶體組啟動控制器88之一第一範例的圖。第72圖顯示該多記憶體組啟動控制器88之一組態及一時序圖。在該第一範例中，記憶體組數目資料的2個位元被提供作為該多記憶體組資訊SA'。

該時序圖與該上述範例相同，其中，與該擴充的模式暫存器設定命令EMRS一起，一暫存器設定資料V及該步階數資料RS被分別輸入到一記憶體組位址終端BA及一位址終端ADD，接著被設定到該模式暫存器中。另外，一記憶體組位址BA、一列位址RA及該多記憶體組資訊SA'與該主動命令ACT一起被輸入。

該記憶體裝置將被輸入每一輸入緩衝器94的該等多記憶體組資訊項SA'0、1及記憶體組位址BA 0、1與一時鐘CLK同步地鎖入一閂鎖器電路720。該多記憶體組啟動控制器88具有一記憶體組解碼器88A及一記憶體組主動脈沖輸出

電路88B，該記憶體組解碼器88A解碼該等記憶體組位址BA 0及1以產生4個記憶體組選擇信號bnkz<3:0>而該記憶體組主動脈沖輸出電路88B依據該等記憶體組選擇信號來產生被分配以該等主動脈沖actpz的記憶體組啟動信號actpz<3:0>。

第73圖顯示對應於要被存取的一矩形區域的該記憶體組解碼器88A的一邏輯狀態。第73(A)圖顯示4種類型的矩形區域以及對應於那裡的多記憶體組資訊項SA'(00、01、10、11)。第73(B)圖是顯示該記憶體組解碼器所執行的邏輯處理的一個表格。如圖所示，SA'=00之情況下，被啟動的記憶體組的數目是1且該記憶體組解碼器88A解碼出記憶體組位址BA 0及BA 1。因此，該記憶體組解碼器88A使該等被提供的記憶體組位址BA 0及BA 1所選擇的唯一一個記憶體組的記憶體組選擇信號bnkz<3:0>到達H位準。與此操作一起，該記憶體組啟動信號actpz<3:0>只在該被選擇的記憶體組中被產生。

在SA'=01之情況下，在該水平方向中有2個要被啟動的記憶體組，因此該記憶體組解碼器88A退化(忽略)該記憶體組位址BA 0並使只由該記憶體組位址BA 1選擇的兩個記憶體組的記憶體組選擇信號bnkz<3:0>到達H位準。與此操作一起，在該列方向中，產生了由該被提供的記憶體組位址所選擇的記憶體組及相鄰記憶體組的一記憶體組啟動 信號actpz<3:0>。

在SA'=10之情況下，在該水平方向中有2個要被啟動的

記憶體組，因此該記憶體組解碼器88A退化(忽略)該記憶體組位址BA 1並使只由該記憶體組位址BA 0選擇的兩個記憶體組的記憶體組選擇信號bnkz<3:0>到達H位準。與此操作一起，在該行方向中，產生了由該被提供的記憶體組位址所選擇的記憶體組及相鄰記憶體組的一記憶體組啟動 信號actpz<3:0>。

在SA'=11之情況下，在該水平方向及垂直方向中總計有4個要被啟動的記憶體組，因此該記憶體組解碼器88A退化(忽略)該記憶體組位址BA 0及BA 1並使所有4個記憶體組的記憶體組選擇信號bnkz<3:0>到達H位準。與此操作一起，在該列方向及行方向中，產生了與該被提供的記憶體組位址所選擇的4個記憶體組相鄰的4個記憶體組的記憶體組啟動信號actpz<3:0>。

該記憶體組解碼器所執行的該等記憶體組位址的退化是使該等對應的記憶體組位址BA及其逆信號/BA到達H位準的一控制。因此，該記憶體組解碼器88A忽略這些記憶體組位址並藉由該等剩餘的記憶體組位址選擇一記憶體組。

第74圖及第75圖顯示該多記憶體組啟動控制器88的一第二範例。第74圖顯示該多記憶體組啟動控制器88的一組態及一時序圖。在該第二範例中，被同步啟動的記憶體組的資料項SA'0-2的3個位元被提供作為該多記憶體組資訊SA'。

第75(A)圖顯示該記憶體映射12到該等記憶體組位址BA 0及BA 1的一關係。更特別地，對於該等被提供的記憶

體組位址BA 0及BA 1，位於右端的一記憶體組藉由反向該記憶體組位址BA 0並將其解碼而能夠被選擇、位於下端的一記憶體組藉由反向該記憶體組位址BA 1並將其解碼而能夠被選擇以及位於右下端的一記憶體組藉由反向該兩個記憶體組位址BA 0及BA 1並將其等解碼而能夠被選擇。

第75(B)圖顯示該等被同步啟動的記憶體組的資料項SA'0-2、要被選擇的記憶體組以及該記憶體組解碼器所執行的邏輯處理。更特別地，在SA'0=H之情況下，除了該被提供的位址所選擇的記憶體組以外，為了選擇該右端的記憶體組，該記憶體組解碼器還反向並輸入BA 0。在SA'1=H之情況下，除了該被提供的位址所選擇的記憶體組以外，為了選擇該下端的記憶體組，該記憶體組解碼器還反向並輸入BA 1。另外，在SA'2 = H之情況下，除了該被提供的位址所選擇的記憶體組以外，為了選擇該右下端的記憶體組，該記憶體組解碼器還反向並輸入BA 0與BA 1。

回顧第74圖，該多記憶體組啟動控制器88具有4個記憶體組解碼器88A 0-3、使該等記憶體組解碼器之4個解碼信號進行一邏輯加總處理的一或電路88C以及一記憶體組主動脈沖輸出電路88B。該主動脈沖輸出電路88B與第72圖所示的該電路相同。從底部開始，該4個記憶體組解碼器88A 0-3是解碼該等被提供的記憶體組位址BA 0及BA 1以選擇一左上角記憶體組的一解碼器、反向BA 0以選擇右邊的一記憶體組的一解碼器、反向BA 1以選擇下邊的一記憶體組的一解碼器以及反向BA 0與BA 1以選擇一右下角記憶體組

的一解碼器。因此，上面3個解碼器根據該等被同步啟動的記憶體組的資料項SA'0-2被啟動且輸出該等對應的記憶體組選擇信號bnkz<3:0>。

根據上述的該第二範例，該左上角的前導記憶體組由該被提供的記憶體組位址選擇而該右邊、下邊及右下角的記憶體組相應地由被同時啟動的記憶體組的資料項SA'0-2的3個位元選擇。因此，一斜角方向中的2個位元組可被同時啟動，或3個記憶體組可被同時啟動，而被同時啟動的記憶體組的一組合可以被彈性地變化。因此，該第二範例可被適應對特殊區域進行一存取。

第76圖及第77圖是顯示該多記憶體組啟動控制器88之一第三範例的圖。第76圖顯示該多記憶體組啟動控制器88的一組態及一時序圖。在該第三範例中，該矩形大小資訊W與H作為多記憶體組資訊自該特殊的輸入終端SP被輸入。因此，該多記憶體組啟動控制器88被提供以一啟動記憶體組決定電路88D。該啟動記憶體組決定電路88D根據該頁面區域內的行位址的步階數資料CST、該矩形大小資訊W與H以及該行位址CA來決定要被同時啟動的記憶體組。

如第76圖的時序圖所示，該記憶體裝置將該記憶體映射中一列位址的步階數RS及一頁面區域內一行位址的步階數資料CST與該擴充的模式暫存器設定命令EMRS一起輸入，並將這些步階數RS及步階數資料CST設定到該模式暫存器中。其次，該記憶體裝置將一記憶體組位址BA、一列位元址RA以及矩形區域大小資料W、H與該主動命令ACT

一起輸入。此時，當該記憶體裝置的位址以一個非多路(non-multiple)方式被輸入時，行位址CA也被與該主動命令ACT一起輸入。由於一般的SDRAM是以一個多路方式輸入位址，所以該行位址CA與該讀取命令或寫入命令一起被輸入，如第70圖所示。

該多記憶體組啟動控制器88的啟動記憶體組決定電路88D根據該步階數資料CST、該矩形大小資訊W與H以及該行位址CA來決定要被同時啟動的記憶體組。此決定演算法被顯示於第77圖中。

第77(A)圖顯示關於記憶體映射之一頁面區域內部的資訊。特別地，根據一般化記憶體映射，當該行位址由M個位元CA[M-1:0]組成以及該步階數CST=2^S時，在該頁面區域14中，水平方向由一較低的行位址CA[S-1:0]映射而垂直方向由一較高的行位址CA[M-1:S]映射。特別地，該等頁面區域14在該水平方向中的位置可由來自要被輸入的行位址CA的較低的S個位元決定，而其等在該垂直方向中的位置可由較高的M-S個位元決定。因此，如果一頁面區域內水平方向的位置與該行位址的步階數之間的差小於該矩形區域的寬度W，則這意味著該矩形區域在該水平方向中橫跨該等記憶體組，而如果垂直方向的位置與該頁面區域的高度2^{M-S}之間的差小於該矩形區域的高度H，則這意味著該矩形區域在該垂直方向中橫跨該等記憶體組。

如第77(B)圖的啟動記憶體組決定演算法所示，對於被輸入的行位址CA，(1)在該水平方向中橫跨該等記憶體組

(頁面區域)的條件是：2^S - CA[S - 1:0] < W，以及(2)在該垂直方向中橫跨該等記憶體組(頁面區域)的條件是：2^{M-S} - CA[M - 1:S] < H。

為了說明第77(C)圖所示範例，一頁面區域14X具有由行位址CA[6:0]的7個位元所選擇的128個記憶體單元區域，其中在列方向中的步階數CST為16。如果對於此頁面區域14X而言，輸入行位址CA=77(十進制的)，矩形大小W=8(8個時鐘，32個位元組)而H=8，則較低位址CA[3:0]為13而較高位址[6:4]為4，因此根據該上述條件決定出該等記憶體組在水平方向及垂直方向中被橫跨。

該啟動記憶體組決定電路88D利用該上述的決定演算法來決定要被同時啟動的記憶體組。因此，該啟動記憶體組決定電路88D輸出一記憶體組位址退化信號88E到該記憶體組解碼器88A。特別地，在該等記憶體組在該水平方向中被橫跨之情況下，記憶體組位址BA 0被退化，而在該等記憶體組在該垂直方向中被橫跨之情況下，記憶體組位址BA 1被退化。此退化信號88E與第72圖所示之該多記憶體組資訊SA' 0、1相同。

更特別地，在該第三範例中，該記憶體控制器在該第一及第二範例中執行的啟動記憶體組決定功能被提供在該記憶體裝置中。如果上述該啟動記憶體組決定演算法被提供在該記憶體控制器內，那麼第72圖所示之該多記憶體組資訊SA' 0、1可以自該記憶體控制器被提供到該記憶體裝置。

如上所述，為了實現該多記憶體組啟動功能，該多記憶體組啟動控制器88根據輸入資料產生要被啟動的一記憶體組的記憶體組選擇信號bnkz<3:0>、根據該被產生的記憶體組選擇信號bnkz<3:0>進一步產生記憶體組啟動信號actpz<3:0>以及控制要被啟動的記憶體組的啟動操作。

記憶體組啟動時序

該多記憶體組啟動控制器88提供該記憶體組啟動信號actpz<3:0>給要被啟動的記憶體組，每一記憶體組依據此記憶體組啟動信號在一頁面區域上開始啟動操作。在此情況下，較佳的是控制用於啟動複數個記憶體組的時序。例如，對在該等記憶體組上同時執行啟動控制的一控制以及對在該等記憶體組上在不同的時間裏執行啟動控制的一控制可被考量。在前一種情況下，對輸入一後續的讀取命令或寫入命令的時序沒有限制。另一方面，在後一種情況下，該等記憶體組不同時執行該啟動操作，所以消耗的電流的一暫態增加可被避免。

第78圖顯示該記憶體組啟動時序之範例1。在此範例中，複數個記憶體組同時進行該啟動操作。如上所述，該多記憶體組啟動控制器88具有該記憶體組解碼器88A以及該記憶體組主動脈沖輸出電路88B，該記憶體組解碼器88A用於選擇要被啟動的記憶體組而該記憶體組主動脈沖輸出電路88B用於根據一啟動記憶體組選擇信號bnk<3:0>將自該命令控制器95被獲取的一主動脈沖actpz分配到該等被選擇的記憶體組。如該圖的時序圖所示，該記憶體組主動脈

沖輸出電路88B由4個及閘組成，並以相同的時序輸出該等記憶體組啟動信號actpz<3:0>。

記憶體組bank 0-3中的每一個都具有包括一記憶體單元陣列的一記憶體核心781以及用於控制該記憶體核心的一核心控制電路780。依據該等記憶體組啟動信號actpz<3:0>，每一核心控制器電路780啟動該記憶體核心780內的一列解碼器、驅動對應於該等列位址的字線以及啟動一列感測放大器。

在第78圖所示之範例1中，要被啟動的複數個記憶體組依據該主動命令ACT同時進行主動操作，因此後續的讀取命令或寫入命令能夠按順序被輸入以存取該等記憶體組。

第79圖是一顯示記憶體組啟動時序之範例2的圖。在此範例中，該等記憶體組以不同的時序按順序進行該啟動操作。除了一命令解碼器95A及一脈衝形成電路95B以外，該命令控制器95還具有3個延遲電路791、792、793。這3個延遲電路依據一已啟動的記憶體組數信號被啟動，且延遲由該脈衝形成電路95B經過一預先決定的時期所產生的主動脈沖actpz 0以產生3個延遲的主動脈沖actpz 1-3。該主動脈沖actpz 0及該等延遲的主動脈沖actpz 1-3被提供給該記憶體組主動脈沖輸出電路88B之4個選擇器SEL中的每一個。

該多記憶體組啟動控制器88由一啟動記憶體組控制電路88C及該記憶體組主動脈沖輸出電路88B組成。該啟動記憶體組控制電路88C在其中包括了上述的該記憶體組解碼器的功能、根據該被提供的記憶體組位址BA[1:0]與該多記

憶體組資料SA'[1:0]決定在要被啟動的記憶體組上執行啟動的一順序以及提供一選擇信號795給該等選擇器SEL。此選擇信號795由8個位元組成。該選擇信號的2個位元被提供給每一選擇器，且每一選擇器依據該選擇信號795將該等記憶體組啟動信號actpz<3:0>輸出到要被啟動的記憶體組。

應該注意的是該等延遲電路791-793根據該已啟動的記憶體組數資料790來產生必需的延遲主動脈沖actpz 1-3，藉此能夠節省功率。

第80圖是一用於說明該啟動記憶體組控制電路88C所執行的記憶體組啟動時序控制之邏輯的圖。第80圖顯示在該多記憶體組資料SA'[1:0]=11、01、10之情況下關於啟動該4個記憶體組的順序(在二進制顯示中是2個位元)的資料的表格800、801及802。

在該多記憶體組資料SA'[1:0]=11之情況下，所有該4個記憶體組都被啟動，且該啟動順序(00、01、10、11)根據該等被提供的記憶體組位址BA[1:0]而不同，如該啟動順序資料表800所示。例如，在該被提供的記憶體組位址BA[1:0]=00之情況下，啟動控制以該等記憶體組Bank 0、1、2及3的順序被執行。該表格800中所示的啟動順序資料(00、01、10、11的8個位元)對應於第79圖所示之啟動記憶體組控制電路88C所產生的該8-位元選擇信號795。特別地，該4個選擇器SEL中的每一個選擇該主動脈沖actpz 0及該3個延遲的主動脈沖actpz 1、actpz 2及actpz 3。因此，該等記憶體組啟動信號actpz <0>-<3>按順序被產生。

另外，在該被提供的記憶體組位址BA[1:0]=01之情況下，啟動控制以該等記憶體組Bank 1、0、3及2的順序被執行。在此情況中該等記憶體組啟動信號actpz <0>-<3>被顯示於第79圖的時序圖中。該表格800中所示之啟動順序資料(00、01、10、11的8個位元)作為該選擇信號795被提供給該等選擇器，且從最高的選擇器開始，該4個選擇器SEL中的每一個選擇該延遲的主動脈沖actpz 1、主動脈沖actpz 0及延遲的主動脈沖actpz 3與actpz 2。因此，如該時序圖中所示，該等記憶體組啟動信號actpz <1>、<0>、<3>及<2>以此順序被產生。

類似地，在該多記憶體組資料SA'[1:0]=01之情況下，該水平方向中的2個記憶體組被啟動，且如啟動順序資料表格801中所示，2個啟動順序資料項(00、01)依據該等被提供的記憶體組位址BA[1:0]被產生。

類似地，在該多記憶體組資料SA'[1:0]=10之情況下，該垂直方向中的2個記憶體組被啟動，且如啟動順序資料表格802中所示，2個啟動順序資料項(00、10)依據該等被提供的記憶體組位址BA[1:0]被產生。根據此表格802，由於該表格802及該表格800有相同之處，所以為了啟動該2個記憶體組，該主動脈沖actpz 0及該延遲的主動脈沖actpz 2被用以產生一記憶體組啟動信號。特別地，如該表格802下面的一時序圖803所示，內部的主動命令ACT依據一被提供的主動命令ACT以該主動脈沖actpz 0的時序及該延遲的主動脈沖actpz 2的時序被產生。

因此，在該多記憶體組資料SA'[1:0]=10之情況下，一表格804中所示之啟動順序資料(00、01)可被產生以替代該表格802中所示之啟動順序資料。在此情況中，如該表格804下面的一時序圖805所示，內部的主動命令ACT依據該被提供的主動命令ACT以該主動脈沖actpz 0的時序及該延遲的主動脈沖actpz 1的時序被產生。特別地，要被同時啟動的該2個記憶體組以不同的時序被連續啟動。

第81圖是一顯示該記憶體組啟動時序之範例3的圖。在此範例中，複數個記憶體組以不同的時序進行啟動操作。在第81圖中，取代第79圖中所示之該等延遲電路791-793的是，提供了與該時鐘CLK同步地被操作的正反器電路810-812。其他組態與第79圖中所示的那些相同。該啟動記憶體組控制電路88C也如同第79圖及第80圖中所描述的一樣。

根據此範例3，由於該等延遲電路是與該時鐘CLK同步的正反器電路810-812，所以3個延遲的主動脈沖actpz 1-3以與該時鐘CLK同步的延遲時序自該主動脈沖actpz 0中被產生。特別地，如第81圖中所示之時序圖，該等記憶體組啟動信號actpz <0>-<3>按順序與該時鐘CLK同步地被輸出。因此，當該時鐘CLK被加速時，該等記憶體組啟動信號actpz <0>-<3>跟隨該加速並按順序被高速產生，而當該時鐘CLK被減速時，該等記憶體組啟動信號actpz <0>-<3>相應地按順序被低速產生。因此時鐘同步可被操作。

產生列位址

本實施例的多記憶體組存取功能依據被輸入一次的主動命令ACT、一記憶體組位址及一列位址在需要被存取的該等記憶體組之所有頁面區域上執行啟動控制。因此，根據該被提供的記憶體組位址及列位址，需要被啟動的記憶體組需要被決定，且列位址需要被產生用於指定需要被啟動的頁面區域。

第82圖是一用於說明本實施例之多記憶體組存取中列位址的產生的圖。此圖顯示記憶體映射12、一邏輯值表820，該邏輯值表820顯示對應於矩形存取區域RC 0-3的被提供的記憶體組位址BA 0、1以及作為啟動每一記憶體組之一目標的一列位址RA。該記憶體映射12與該上述的記憶體映射相同，其中在以列及行方向被安排的頁面區域中，彼此垂直及水平相鄰的頁面區域的記憶體組相互不同，且列位址對於彼此垂直及水平相鄰的每4個記憶體組Bank 0-3被增量1。

根據此記憶體映射12，在一矩形區域RC 0被存取的情況下，顯然從該被提供的記憶體組位址BA=BA 0(=00)及該被提供的列位址RA=RA 0中可知要被同時啟動的頁面區域的位址是BA 0/RA 0、BA 1/RA 0、BA 2/RA 0、BA 3/RA 0。在一矩形區域RC 1之情況下，顯然從該被提供的記憶體組位址BA=BA 1(=01)及該被提供的列位址RA=RA 0中可知要被同時啟動的頁面區域的位址是BA 1/RA 0、BA 0/RA 1、BA 3/RA 0、BA 2/RA 1。在一矩形區域RC 2之情況下，顯然從該被提供的記憶體組位址BA=BA 2(=10)及該被提供的

列位址RA=RA 0中可知要被同時啟動的頁面區域的位址是BA 2/RA 0、BA 3/RA 0、BA 0/RA (0+RS)、BA 2/RA (0+RS)。在一矩形區域RC 3之情況下，顯然從該被提供的記憶體組位址BA=BA 3(=11)及該被提供的列位址RA=RA 0中可知要被同時啟動的頁面區域的位址是BA 3/RA 0、BA 2/RA (0+1)、BA 1/RA (0+RS)、BA 2/RA (0+RS+1)。

為了使該等上面的位址一般化，在該被提供的列位址為RA及該記憶體映射12的列位址的步階數為RS的情況下，依據該等被提供的記憶體組位址BA 0、BA 1，該等記憶體組Bank 0-3中之每一個中所產生的一列位址如該邏輯值表820所示。特別地，要被產生的列位址如下所示：

BA = 00: RA、RA、RA、RA

BA = 01: RA + 1、RA、RA + 1、RA

BA = 10: RA + RS、RA + RS、RA、RA

BA = 11: RA + RS + 1、RA + RS、RA + 1、RA

因此，依據該等被提供的記憶體組位址BA及列位址RA，第79圖所示之列位址計算器97產生該等記憶體組Bank 0-3之每一個中的該邏輯值表820所示的列位址。

第83圖是一顯示根據本實施例的列位址計算器之範例1的圖。該列位址計算器97具有：位址加法器831-834，用於將0、1、RS、RS+1加到該等被提供的列位址上；選擇器SEL，每一選擇器選擇該等位址加法器的輸出中的任何一個並提供該等被選擇的輸出給每一記憶體組的一位址解碼器836；以及一列位址控制電路830，其提供一選擇信號835給

該等選擇器SEL。該列位址控制電路830依據要被提供的記憶體組位址BA產生第82圖之該邏輯值表821中所示的選擇信號(每一個為2個位元，總計有8個位元)。另外，該列位址的步階數資料RS及RS+1自該模式暫存器96被分別提供給該位址加法器833及834，以及固定值“0”與“1”被分別提供給該位址加法器831及832。因此，該加法器831將該被提供的列位址RA按原樣輸出。

例如，在該被提供的記憶體組位址BA=01之情況下，該列位址控制電路830產生“01、00、01、00”作為該選擇信號835，據此，從最高的選擇器開始，每一選擇器SEL選擇RA+1、RA、RA+1、RA並分別將該等被選擇的列位址提供給該等記憶體組的位址解碼器836。在該等記憶體組中，被選擇的記憶體組的位址解碼器836依據該上述的記憶體組啟動信號actpz<3:0>被啟動，接著該等被啟動的位址解碼器解碼該等上述的列位址RA+1、RA、RA+1、RA，且對應的字線被啟動。

第84圖是一顯示根據本實施例的列位址計算器之範例2的圖。在此範例中，該列位址計算器具有4個位址加法器841-844及該列位址控制電路830，該4個位址加法器841-844將該等選擇器SEL所選擇的常數0、1、RS、RS+1加到要被提供的列位址RA上而該列位址控制電路830提供該選擇信號835給該等選擇器SEL。該列位址控制電路830與第83圖中所示的相同。接著，依據該列位址控制電路830的選擇信號，每一選擇器SEL選擇該4個常數0、1、RS、RS+1中的任

何一個並將該被選擇的常數輸出到該等位址加法器。特別地，該列位址計算器97使用該等選擇器以選擇該等要被加到該等被提供的列位址RA上的常數0、1、RS、RS+1中的任何一個並將該被選擇的常數發送到該等位址加法器。第83圖中所示的列位址計算器97使用該等選擇器以選擇該4個位址加法器中之任何一個的一輸出，而第84圖中所示的列位址計算器97使用該等選擇器以選擇該4個常數中之任何一個。這是這些位址計算器之間唯一的區別。

如上所述，該列位址計算器97自要被提供的該等列位址RA中產生必需的列位址。因此，該記憶體裝置透過由一個單一的主動命令輸入該等列位址可以在內部產生該4個必需的列位址，藉此複數個記憶體組可被啟動。

記憶體映射設定

為了實現該多記憶體組啟動功能，必須在該記憶體裝置中設定記憶體映射資訊。例如，如參考第82圖所描述的，在4個矩形存取區域RC 0-3中要被啟動的記憶體組根據該記憶體映射12被選擇，且要被產生的列位址被計算。因此，如果上層系統的記憶體映射不同，那麼該記憶體裝置需要被改變用於決定要被啟動的頁面區域之處理。

第85圖是一顯示記憶體映射之兩個範例的圖。一記憶體映射12A與前述的該記憶體映射相同，其中記憶體組Bank 0、1被安排在奇數列，記憶體組Bank 2、3被安排在偶數列而列位址RA被安排如示。另外，如一記憶體映射12B中所示，偶數記憶體組Bank 0、2被安排在該等奇數列，奇

數記憶體組Bank 1、3被安排在該等偶數列而列位址RA以與12A的那些列位址相同的方式被安排。

第86圖是一顯示上述兩種記憶體映射類型的一記憶體組位址切換電路861的圖。在第86(B)圖之組態圖中，該輸入緩衝器被提供在一時鐘終端CLK、一特殊的輸入終端SP 0以及記憶體組位址終端BA 0、BA 1中，用於與該時鐘CLK同步地閂鎖信號的一閂鎖器電路860也被提供。

如第86(A)圖之該時序圖所示，設定資料V自一記憶體組位址終端BA被輸入、記憶體映射資訊AR自該特殊的終端SP 0被輸入而一列位址的步階數資料RS自位址終端ADD被輸入，這些輸入中的每一個都與該擴充的模式暫存器設定命令一起被輸入。接著，該設定資料V、記憶體映射資訊AR及步階數資料RS被設定到該模式暫存器96中。

依據被設定到該模式暫存器96中的記憶體映射資訊AR，該記憶體組位址切換電路861的選擇器SEL選擇2-位元的記憶體組位址BA 0或BA 1以分別產生一內部的記憶體組位址ba 0z及ba 1z。如該圖所示，在記憶體映射資訊AR=L之情況下，該等內部的記憶體組位址被設定為ba 0z=BA 0及bz 1z=BA 1，而在記憶體映射資訊AR=H之情況下，該等內部的記憶體組位址被設定為ba 0z=BA 1及bz 1z=BA 0。

以此方式，藉由根據該記憶體映射資訊AR，由該輸入部分切換該等記憶體組位址BA 0、BA 1，該記憶體裝置中所包括的記憶體組選擇功能及列位址產生功能可根據該一般的記憶體映射12A被組配。

應該注意的是在該上述實施例中，雖然該多記憶體組資訊(SA')、該同時被啟動的記憶體組資料(SA'0-2)、該矩形區域大小資料(W、H)以及類似物自該特殊的輸入終端SP中被輸入，但是這類輸入可以由未被使用的終端來實現。例如，在一讀取操作中，如果列位址由位址終端Add 0-12輸入而行位址由位址終端Add 0-9輸入，那麼當該等行位址被輸入時，該等位址終端Add 10-12未被使用。因此，當輸入該等行位址時，這些控制資料項SA'、W、H及類似物可以自這些未被使用的位址終端Add 10-12被輸入。本發明可適用於此種情況。

另外，被該擴充的模式暫存器設定命令EMRS設定到該模式暫存器中的各種資訊項並未被限制於該上述實施例的描述，因此本發明之可應用的範圍包含自該等位址終端輸入這各種資訊項。

<<多記憶體組存取及邊界功能>>

已描述了該記憶體裝置具有該位元組邊界功能是為了回應橫越由記憶體組位址及行位址所選擇的記憶體單元區域之邊界的一矩形存取。也描述了該記憶體裝置具有該多記憶體組存取功能是為了回應一矩形存取被橫越由記憶體組位址及列位址所選擇的頁面區域之邊界而作出的情況。在此，在一矩形存取區域橫越頁面區域以及記憶體單元區域之邊界的情況下，該兩種功能都可以允許存取藉由輸入一個單一的主動命令被作出且可以去除不必要的資料輸出。此情況的特定範例在下文中被描述。

第87圖顯示一展現了多記憶體組存取及位元組邊界被產生之情況的時序圖。該圖顯示了一範例，其中該矩形存取區域22超越頁面區域以橫跨複數個記憶體組BA 3、BA 2、BA 1及BA 0，以及超越記憶體單元區域的進一步的行存取需要被作出。在此範例中，多記憶體組資訊SA'=4(=11)及開始位元組信號SB=2被設定。

第88圖是具有該多記憶體組存取功能及位元組邊界功能的記憶體裝置之一組態圖。儘管為了簡便只有2個記憶體組Bank 2、3被顯示於此記憶體裝置86中，但實際上該記憶體裝置86還被提供以未被顯示的2個記憶體組Bank 0、1。用於記憶體映射的一列位址之步階數資料RS以及一行位址的步階數資料CST被預先設定在該模式暫存器96中。

作為列控制器，提供有該多記憶體組啟動控制器88及列位址計算器97-2、97-3，該多記憶體組啟動控制器88自一記憶體組位址BA與多記憶體組資訊SA'中產生要被啟動的記憶體組的記憶體組啟動信號actpz<3:0>而該等列位址計算器97-2、97-3自一記憶體組位址BA、列位址RA及該列位址的步階數資料RS中計算出每一記憶體組的一列位址RA。這些列位址計算器97-2、97-3每一個都是參考第83圖及第84圖所描述的組態的一部分。同樣地，如參考第78圖所描述的，該等記憶體組啟動信號actpz被提供給每一記憶體組的核心控制器。然而，該等核心控制器的說明在第88圖中被省略。

該行控制器90具有行位址控制器290-2、290-3，其等自

要被提供的一行位址CA與記憶體組位址BA以及自該開始位元組信號SB與該行位址的步階數資料CST中產生每一記憶體組中的內部行位址I-CA-2、3。這些行位址控制器290與第44圖中所示之該行位址產生部分相同，且藉由將一記憶體組位址BA添加到那裡，當該等記憶體組的邊界被橫跨時位元組邊界處的行位址被需要。應該注意的是該步階數資料CST與第44圖所示之該行位址返轉資料CAWrap相同。

另外，該行控制器90根據要被提供的記憶體組位址BA與行位址CA以及該開始位元組信號SB產生一控制信號S221用於選擇每一記憶體組內的位元組區域Byte 0-3的資料。每一記憶體組內的這4個位元組區域Byte 0-3中的資料閂鎖器電路由該控制信號S221選擇，且該等被選擇的資料閂鎖器電路被連接到一輸入/輸出I/O匯流排。每一記憶體組內的該等位元組區域Byte 0-3的組態及操作與參考第22、24及29圖所描述的那些相同。由於每一記憶體組具有4個位元組區域，所以該上述的控制信號S221是由4×4=16個位元組成的一選擇信號。

第87圖所示之該矩形區域22被存取時所執行的操作在下面被描述。如第87圖的該時序圖所示，行位址的步階數資料CST=4(該圖中的一參考符號871)及列位址的步階數資料RS=4(該圖中的一參考符號872)與該擴充的模式暫存器設定命令EMRS一起被輸入，且被設定到該模式暫存器96中。

其次，具有該矩形存取之左上角部分中的像素的頁面

區域的記憶體組位址BA及列位址RA以及多記憶體組資訊SA'=4(該圖中的一參考符號873)與一主動命令ACT(該圖中的一參考符號876)一起被輸入。當SA'=4時，2×2=4個記憶體組的同時啟動。據此，該多記憶體組啟動控制器88將該等記憶體組啟動信號actpz<3:0>輸出到這4個記憶體組。另外，該等列位址計算器97-2、97-3計算每一記憶體組的一列位址。接著，該4個記憶體組的列解碼器解碼該被計算出的列位址以驅動對應的字線，然後該等記憶體組被啟動。

之後，一記憶體組位址BA=3、一行位址CA 126、一開始位元組信號SB=2(該圖中的一參考符號874)及該位元組組合資訊的第二資訊BMR=UP(該圖中的一參考符號875)與一讀取命令RD(該圖中的一參考符號877)一起被輸入。對應於此記憶體組位址BA的Bank 3的行位址控制器290-3根據該被提供的行位址CA=126及該開始位元組信號SB=2產生一行位址CA=126、127，且輸出該行位址CA=127作為內部行位址I-CA-3。因此，Bank 3使得該等位元組區域Byte 0-3中的每一個輸出該等行位址126、127上的資料。然後，依據自一資料閂鎖選擇器221被輸入的控制信號S221，該等位元組區域Byte 2、3及該等位元組區域Byte 0、1分別將該行位址CA=126上的資料及該行位址CA=127上的資料輸出到該I/O匯流排。

接下來，該記憶體組位址BA=3、行位址CA=127、SB=2及BMR=UP與該讀取命令RD一起被輸入。據此，該行位址控制器290-3產生該內部行位址I-CA-3=127，且Bank 3輸出

該行位址127的4-位元組的資料。另一方面，該行位址控制器290-2自該記憶體組位址BA=2、行位址CA=127及開始位元組信號SB=2中檢測出資料需要從Bank 2中被讀取，並參照該行位址的步階數資料CST以輸出Bank 2的一行位址CA=124作為內部行位址I-CA-2。因此，Bank 2讀取該行位址CA=124的4-位元組的資料。然後，該資料閂鎖選擇器221根據該記憶體組位址BA=3、行位址CA=127及開始位元組信號SB=2產生該控制信號S221，且該等位元組區域Byte 2、3上的資料及該等位元組區域Byte 0、1上的資料分別自Bank 3及Bank 2被輸出到該I/O匯流排。

隨後，對應於該記憶體組位址BA=1的行位址CA=2、3、6、7...與該讀取命令RD一起被輸入，該等行位址控制器290類似地產生所需的行位址，該資料閂鎖選擇器221產生該所需的控制信號S221以及對應於該開始位元組信號SB=2的位址的4-位元組的資料自該相同記憶體組或一相鄰記憶體組被輸出。

儘管該上面的描述是關於該讀取命令的操作，但是在一寫入操作之情況下，該相同的行存取控制也被執行。

根據本實施例，對於橫越頁面區域被作出且橫跨複數個記憶體組的矩形存取，可以根據該開始位元組信號SB及該位元組組合資訊BMR自一記憶體單元區域內的任意位元組(或位元)起對4-位元組的資料(或4-位元的資料)進行存取。

回應多記憶體組存取的記憶體控制器

用於控制具有該多記憶體組存取功能的記憶體裝置的記憶體控制器在下文中被描述。如參考第69圖及第70圖所描述的，該記憶體控制器預先將列位址的步階數資料RS、該記憶體映射資訊AR及類似物設定到該記憶體裝置內的模式暫存器中，依據自該記憶體存取來源發送的一矩形存取請求將該主動命令ACT、記憶體組位址BA、列位址RA及多記憶體組資訊SA'發出到該記憶體裝置，並進一步將該記憶體組位址BA及該行位址CA與該讀取命令RD或寫入命令WR一起發出。因此，該記憶體控制器需要依據一記憶體存取請求產生該多記憶體組存取功能所需的上述位址或資料。此記憶體控制器的組態及操作將被描述。

第89圖是一顯示記憶體映射之一範例的圖。該記憶體映射12對應於一圖框影像。如上所述，在此記憶體映射12中，記憶體組位址BA 0、1被分配到以一矩陣形式被安排的該等頁面區域14的奇數列，而記憶體組位址BA 2、3被分配到該等偶數列。每一列中的列位址RA被按順序增量1，且該列位址步階數RS為RS=4。每一頁面區域14由16個像素×32列組成，其中由具有4個像素的資料(4-位元組的資料)所組成的一記憶體單元區域由一行位址指定。因此，一頁面區域14具有512/4=128個行位址區域(記憶體單元區域)。

在此記憶體映射12中，8個頁面區域被安排在該水平方向中而4個頁面區域被安排在該垂直方向中。因此，在此記憶體映射12中，該水平方向中的像素數為128(=16個像素×8個頁面區域)，而該垂直方向中的像素數也為128(=32列×4

個頁面區域)。各種計算過程根據此記憶體映射在下文中被描述。

第90圖是根據本實施例的記憶體控制器之一組態圖。與第54圖一樣，該記憶體控制器82接收來自複數個存取來源方塊81-1到81-n的記憶體存取請求，以及依據該仲裁電路540所允許的記憶體存取請求在該記憶體裝置86上執行存取控制。特別地，該記憶體控制器82具有對應於該等存取來源方塊81-1到81-n的介面IF_1-IF_n，以及進一步具有依據該等存取請求產生位址及命令的定序器SEQ_1-SEQ_n。

因此，該等介面IF_1-IF_n將資料與該等存取請求來源方塊81進行交換。有兩種自該等存取來源方塊被作出的存取類型：水平存取及垂直存取。該仲裁電路540仲裁自該等介面被發送的存取請求並將一存取指令輸出到已獲得存取權的定序器SEQ_n。接著該選擇器SEL依據自該仲裁電路540被發送的一選擇信號S540選擇來自該等定序器SEQ_1-SEQ_n的一命令及位址，以及將該被選擇的命令及位址輸出到該記憶體裝置86。該選擇器SEL依據該選擇信號S540進一步選擇來自該等介面IF_1-IF_n的一資料線Data。

在一暫存器543中，來自該主機CPU的各種參數被輸定。該等參數包括關於該記憶體裝置86是否具有該位元組邊界功能及該多記憶體組存取功能的功能資料。此外，組態參數包括該圖框影像上一左上角像素的一列位址ROW_BASE_ADR、該圖框影像之水平方向中的像素數PICTURE_MAX_XSIZE及類似物。

該記憶體裝置86是具有該上述的位元組邊界功能及多記憶體組存取功能的一影像記憶體。第90圖所示之該記憶體控制器82及該記憶體裝置86組配該影像處理系統。

第91圖是一顯示介於該等存取來源方塊與該等介面之間的信號的圖。第91(A)圖顯示進行該矩形存取時所發送的信號，而第91(B)圖顯示進行該水平存取時所發送的信號。該存取來源方塊81-n輸出一存取請求信號REQ及一存取目標區域上的資料。進行兩種存取時所執行的信號的傳輸在下文中被描述。

第92圖是一用於說明該存取目標區域上的資料的圖。該圖框影像FM-IMG上的資料被儲存在該記憶體裝置之一邏輯位址空間S86中。如上所述，此圖框影像FM-IMG之左上角像素的列位址ROW_BASE_ADR及該圖框影像之水平方向中的像素數PICTURE_MAX_XSIZE被設定在該暫存器543中。在此圖框影像內的一矩形區域RIMG是該存取目標區域之情況下，此圖框內的左上角像素之一圖框像素座標(X_POS,Y_POS)、該矩形區域在水平方向中的大小X_SIZE及該矩形區域在垂直方向中的大小Y_SIZE自該存取來源方塊81-n被提供給該記憶體控制器內的介面IF_n。

應該注意的是該圖框影像FM-IMG對應於第89圖中的記憶體映射12。特別地，該圖框影像FM-IMG的左上角像素對應於具有記憶體組位址BA=0及局部列位址RA=0的一頁面區域之左上角像素。因此，該記憶體之邏輯位址空間的一列位址可以自該圖框影像FM-IMG之左上角像素的列位

址ROW_BASE_ADR及該圖框內的局部列位址被獲得。

第93圖是介於該等存取來源方塊與該等介面之間的信號的一時序圖。在第93(A)圖所示之該矩形存取(讀取時)中，該存取來源方塊81-n使一讀取/寫入指令信號RXW達到H位準(讀取)，且在確認該存取請求REQ的同時輸出存取目標區域資料X/Y_POS、X/Y_SIZE。據此，該記憶體控制器發送回一確認信號ACK、在一預先決定的仲裁處理被執行之後在該記憶體裝置86上執行存取控制以及擷取讀取資料。然後，該記憶體控制器之介面IF_n在確認一致能信號EN的同時輸出該讀取資料RDATA(Data(A0-A7))。此致能信號EN被提前一時鐘週期確認且被提前一個時鐘週期否認。

另一方面，在第93(B)圖所示之該矩形存取(寫入時)中，該存取來源方塊81-n使一讀取/寫入指令信號RXW達到L位準(寫入)，且在確認該存取請求REQ的同時輸出存取目標區域資料X/Y_POS、X/Y_SIZE。據此，該記憶體控制器發送回一確認信號ACK、在一預先決定的仲裁處理被執行之後在該記憶體裝置86上執行存取控制，以及在確認一致能信號EN的同時接收寫入資料WDATA(Data(A0-A7))。此致能信號EN也被提前一時鐘週期確認且被提前一個時鐘週期否認。

同樣在該水平存取之情況下，該等存取來源方塊提供該水平存取的前導位址ADR及水平存取大小SIZE、接收讀取情況下的讀取資料RDATA，以及輸出寫入情況下的寫入資料WDATA。特別地，如第91圖所示，該等存取來源方塊

在確認該等存取請求REQ的同時提供該水平存取前導位址ADR、水平存取大小SIZE及讀取/寫入指令信號RXW。據此，該等介面發送回該確認信號ACK。然後，該記憶體控制器執行記憶體存取，且在確認該致能信號的同時輸出該讀取資料RDATA。另外，在寫入時，該記憶體控制器在執行該記憶體存取之前，在確認該致能信號EN的同時接收該寫入資料WDATA。

第94圖是一顯示該記憶體控制器之概要操作的圖。操作步驟以參考符號1-4的順序被執行。首先，該存取請求來源方塊81-n發出一存取請求REQ，接著依據此存取請求REQ，該介面IF_n將該存取請求傳送到該仲裁電路540。其次，如果該記憶體裝置86可被存取，且該存取請求來源的優先順序較高，則該仲裁電路540發送一確認信號ACK給該介面IF_n，以及輸出一命令發送開始指令START給該定序器SEQ_n。依據此命令發送開始指令START，該定序器SEQ_n自該介面IF_n接收命令發送所需的各種參數，如X/Y_POS及X/Y_SIZE。

該定序器SEQ_n根據該等上述的參數及被設定在該暫存器中的參數發出一命令，並且開始存取該記憶體裝置86。根據該命令的發送狀態，該定序器SEQ_n發出對應於資料量的致能信號EN，且此致能信號EN經由該介面IF_n被傳輸到該存取請求來源81-n。在讀取被執行之情況下，依據上述該致能信號EN，該讀取資料自該記憶體裝置86經由該介面IF_n被傳輸到該存取請求來源81-n。在寫入被執行之

情況下，依據上述該致能信號EN，該寫入資料自該存取請求來源81-n經由該介面IF_n被傳送到該記憶體裝置86。

以此方式，在該命令被發出給該記憶體裝置86的存取控制處理期間，該定序器SEQ_n向該仲裁電路540確認指示該資料正被存取的一主動信號ACTIVE。一旦對該記憶體的存取被結束，該主動信號ACTIVE被否認。

第95圖是一定序器SEQ的一組態圖。該定序器SEQ具有：一控制器940，用於控制該整個定序器；一中間參數產生部分941，其自被傳送自該介面IF_n的存取目標區域資料X/Y_POS、X/Y_SIZE，被設定在該暫存器543中的該圖框影像FM-IMG之左上角像素的列位址ROW_BASE_ADR及該圖框影像之水平方向中的像素數PICTURE_MAX_XSIZE中產生一中間參數；以及一命令/位址產生部分942，其根據該中間參數產生命令及位址並將該等命令及位址輸出到該記憶體裝置86。

第96圖是一用於說明被用以產生該等中間參數的一計算方程式的圖。在此範例中，該圖框影像FM-IMG內的矩形區域RIMG被存取，如第96(A)圖所示，且其資料項如下所示：

PICTURE_MAX_XSIZE=128

ROW_BASE_ADR=0

(X_POS, Y_POS)=(28,94)

(X_SIZE, Y_SIZE)=(8,4)

另外，第96(B)圖顯示在鄰近該矩形區域RIMG的4個頁

面區域BA 1/RA 4、BA 0/RA 5、BA 3/RA 4及BA 2/RA 5中該水平方向中的像素數及該垂直方向中的像素數(列數)。這些資訊以下述方式被產生作為該中間參數。

該中間參數產生部分941藉由下列計算產生該中間參數。

(1)在該矩形區域RIMG橫跨該4個頁面區域之情況下，左上角的記憶體組位址BA可以以下述方式被獲得。以下列方式，首先，該圖框影像FM-IMG內的矩形區域RIMG之左上角像素的圖框像素座標(X_POS, Y_POS)被獲得，且這些座標被分別除以該頁面區域的水平像素數16及垂直像素數32，藉此一記憶體組的X位址BA_X_ADR及一記憶體組的Y位址BA_Y_ADR被獲得。此除法中所獲得的每一餘數被舍入。

BA_X_ADR = X_POS/16

BA_Y_ADR = Y_POS/32

該記憶體組的X位址BA_X_ADR及該記憶體組的Y位址BA_Y_ADR每一個指示該矩形區域之左上角像素對應於該記憶體映射12中在水平方向或垂直方向中的哪個頁面區域。應該注意的是該記憶體映射12的左上角部分位在該水平方向中的第0個頁面區域及該垂直方向中的第0個頁面區域。

下列的記憶體組位址BA[1:0]依據該所獲得的記憶體組的X位址BA_X_ADR及該記憶體組的Y位址BA_Y_ADR是否是奇數或偶數而被獲得。

如果該BA_X_ADR是一偶數及該BA_Y_ADR是一偶數，則左上角BA=0

如果該BA_X_ADR是一奇數而該BA_Y_ADR是一偶數，則左上角BA=1

如果該BA_X_ADR是一偶數而該BA_Y_ADR是一奇數，則左上角BA=2

如果該BA_X_ADR是一奇數及該BA_Y_ADR是一奇數，則左上角BA=3

(2)右側的記憶體組位址BA、下方的記憶體組位址BA及右下角的記憶體組位址BA被獲得，如下所示。特別地，根據該記憶體映射12，該右側的BA、下方的BA及右下角的BA自上述(1)中所獲得的該左上角的BA[1:0]中被獲得，如下所示。應該注意的是"~"意指一反向的記憶體組位址。

右側的BA=[左上角的BA[1],~ 左上角的BA[0]]

下方的BA=[~左上角的BA[1],BA左上角的[0]]

右下角的BA=[~左上角的BA[1],~ 左上角的BA[0]]

根據第96圖所示之該等範例，(X_POS, Y_POS)=(28,94)被確立，因此，對於該左上角的記憶體組位址BA，

BA_X_ADR = X_POS/16=28/16=1

BA_Y_ADR = Y_POS/32=94/32=2

被確立。同樣地，由於BA_X_ADR=1是奇數而BA_Y_ADR=2是偶數，所以該左上角的記憶體組位址BA[1:0]=01被確立。也就是說，BA 1可被獲得。

另外，該右側的BA、下方的BA及右下角的BA(BA 0、

BA 3、BA 2)可以自該左上角的BA=2'b01中被獲得，如下所示。

右側的BA=[左上角的BA[1], ~左上角的BA[0]]=[00]=0

下方的BA=[~左上角的BA[1], BA左上角的[0]]=[11]=3

右下角的BA=[~左上角的BA[1], ~左上角的BA[0]]=[10]=2

(3)該記憶體之邏輯位址空間S86內的一存取開始列位址ROW_ADR如下所示。

ROW_ADR=ROW_BASE_ADR+[PICTURE_MAX_XSIZE/(16*2)][Y_POS/(32*2)]+X_POS/(16*2)

特別地，ROW_BASE_ADR是該圖框影像之一左上角像素的一列位址、PICTURE_MAX_XSIZE/(16*2)是該圖框內水平方向中的列位址步階數、Y_POS/(32*2)指示該矩形區域RIMG之左上角像素在該圖框內的垂直方向中以什麼數目被放置(第96圖中的一參考符號961)而X_POS/(16*2)指示該矩形區域RIMG之左上角像素在該圖框內的垂直方向中以什麼數目被放置(第96圖中的一參考符號962)。

根據第96圖所示之該等範例，PICTURE_MAX_XSIZE=128、ROW_BASE_ADR=0且(X_POS, Y_POS)=(28,94)被設定，因此ROW_ADR=ROW_BASE_ADR+[PICTURE_MAX_XSIZE/(16*2)][Y_POS/(32*2)]+X_POS/(16*2)=0+(128/32)*(94/(32*1))+28/(16*2)=4被確立。

(4)該記憶體之邏輯位址空間S86中的一存取開始行位

址COL_ADR是一頁面區域內的一行位址，且被獲得，如下所示：

COL_ADR=4*Y_POS%32+(X_POS/4)%4

在此[%]是一個餘數。特別地，該頁面區域內的行位址的步階數是4、該頁面區域中的水平方向中行數是4以及該垂直方向中的列數是32，如第89圖所示，因此Y_POS%32指示BA 1、RA 4之頁面區域內的列數而(X_POS/4)%4指示該頁面區域內的行數。

根據第96圖所示之該等範例，該存取開始行位址可被獲得，如下所示：

COL_ADR=4*Y_POS%32+(X_POS/4)%4

=4*94%32+(28/4)%4=120+3

=123

(5)接下來，由於一頁面區域之水平方向中的像素數是16且一頁面區域之垂直軸線內的像素數是32，所以該頁面區域內的X座標(BA_X_POS)及Y座標(BA_Y_POS)被獲得，如下所示：

BA_X_POS= X_POS%16

BA_Y_POS= Y_POS%32

該等結果對應於第96(C)圖所示之該左上角的記憶體組(BA 1/RA 4)內的矩形區域RIMG之左上角像素的座標(BA_X_POS, BA_Y_POS)。

(6)指示該矩形區域RIMG是否橫跨一記憶體組(頁面區域)的X-方向BANK橫跨旗標及Y-方向BANK橫跨旗標自該

記憶體組內的X及Y座標(即BA_X_POS、BA_Y_POS，其等在(5)中被獲得)以及該矩形區域RIMG在該水平方向及垂直方向中的大小(即X/Y_SIZE)中被獲得，如下所示：

如果BA_X_POS+X_SIZE>15，則X-方向BANK橫跨旗標=1

如果BA_Y_POS+Y_SIZE>31，則Y-方向BANK橫跨旗標=1

特別地，如第96(C)圖所示，如果藉由將該矩形區域大小X/Y_SIZE加到該矩形區域RIMG之左上角像素的座標(BA_X_POS, BA_Y_POS)上所獲得的值超過該頁面區域的水平方向大小15及垂直方向大小31，這意味著該記憶體組被橫跨。

為了由第96圖所示之該等範例描述該上面的(5)及(6)，該記憶體組內的X座標及Y座標如下所示：

BA_X_POS= X_POS%16=28%16=12

BA_Y_POS= Y_POS%32+94%32=30

X-方向BANK橫跨旗標及Y-方向BANK橫跨旗標如下所示：

BA_X_POS+X_SIZE=12+8=20，其高於15，因此X-方向BANK橫跨旗標=1，以及

BA_Y_POS+Y_SIZE+30+4=34，其高於31，因此Y-方向BANK橫跨旗標=1

因此該記憶體組在X及Y方向中都被RIMG橫跨。

(7)接下來，橫跨4個記憶體組的一矩形區域之X、Y方

向中的大小，即1ST_X_SIZE、2ND_X_SIZE、1ST_Y_SIZE、2ND_Y_SIZE被計算，如下所示：

如第96(C)圖所示，如果BANK在X方向中被橫跨，則該BANK左側的X_SIZE是1ST_X_SIZE而右側的是2ND_X_SIZE。如果該BANK在Y方向中被橫跨，則該BANK上方的Y_SIZE是1ST_Y_SIZE而下方的是2ND_Y_SIZE。如果該BANK未被橫跨，則只有1ST_X_SIZE及1ST_Y_SIZE是有效的。因此，

如果X-方向BANK橫跨旗標=1，

1ST_X_SIZE=16-BA_X_POS

2ND_X_SIZE=X_SIZE-1ST_X_SIZE

如果X-方向BANK橫跨旗標=0，

1ST_X_SIZE=X_SIZE

如果Y-方向BANK橫跨旗標=1，

1ST_Y_SIZE=32- BA_Y_POS

2ND_Y_SIZE=Y_SIZE-1ST_Y_SIZE

如果Y-方向BANK橫跨旗標=0，

1ST_Y_SIZE=Y_SIZE

當第96圖所示之該等範例被應用時，由於X-方向BANK橫跨旗標=1，

所以1ST_X_SIZE=16-BA_X_POS=16-12=4

2ND_X_SIZE=X_SIZE-1ST_X_SIZE=8-4=4

以及由於Y-方向BANK橫跨旗標=1，

1ST_Y_SIZE=32-BA_Y_POS=32-30=2

2ND_Y_SIZE=Y_SIZE-1ST_Y_SIZE4-2=2

(8)最後，該列位址步階資訊RS是指示當在該水平方向中從左端到右端掃描該圖框影像12(FM-IMG)時有多少列位址增加的數目，且由下列方程式獲得：

RS=PICTURE_MAX_XSIZE/(16*2)

在第96圖所示之該等範例中，RS被獲得，如下所示：

RS=PICTURE_MAX_XSIZE/(16*2)=128/32=4

如上所述，該中間參數產生部分941藉由該等上面的方程式計算該等中間參數(1)-(8)，且輸出該等結果到該命令/位址產生部分942。然後，該命令/位址產生部分942根據該等中間參數產生要被提供給該記憶體86的一命令、記憶體組位址BA、列位址RA、行位址CA、列位址步階資訊RS及多記憶體組資訊SA'。

第97圖是該命令/位址產生部分的一操作流程圖。該圖以一橢圓形顯示所產生的命令。首先，該記憶體控制器發出一正常的模式暫存器設定命令MRS以在該記憶體裝置內的模式暫存器上執行各種初始設定(S40)。這些初始設定在一正常的SDRAM中被執行。接著，該記憶體控制器進入一待命狀態(S41)。然後，當一存取請求自該存取來源方塊81被接收時，該中間參數產生部分941從被接收自該存取來源方塊的存取目標區域資料X/Y_POS及X/Y_SIZE、被設定在該暫存器543內的該圖框影像內左上角像素的列位址ROW_BASE_ADR及該水平方向中的像素數PICTURE_MAX_XSIZE中產生該等上述的中間參數(S42)。

由於要被控制的該記憶體裝置是否具有該多記憶體組存取功能被設定在該暫存器543中，所以此事被檢查(S43)。如果該多記憶體組存取功能未被設定，則該正常的控制操作被執行以根據記憶體組的數目反覆發出該主動命令ACT及讀取命令RD(或寫入命令)(S44)。

在該多記憶體組存取功能被設定之情況下，該命令/位址產生部分942根據一記憶體組橫跨旗標Flag[X:Y]來決定記憶體組的數目(S46)。因此，該命令/位址產生部分942自該記憶體組橫跨旗標Flag[X:Y]產生該多記憶體組資訊SA'[1:0]。它們之間的關係如下所示：

Flag[X:Y]=00 SA'[1:0]=00(1個記憶體組被啟動)

Flag[X:Y]=10 SA'[1:0]=01(該X方向中的2個記憶體組被啟動)

Flag[X:Y]=01 SA'[1:0]=10(該Y方向中的2個記憶體組被啟動)

Flag[X:Y]=11 SA'[1:0]=11(4個記憶體組被啟動)

因此，該命令/位址產生部分942將該多記憶體組資訊SA'與該主動命令ACT、前導記憶體組位址BA及前導列位址RA一起發出(S80、S70、S60、S50)。

在該4個記憶體組被同時啟動之情況下，該記憶體控制器內的命令/位址產生部分942將該多記憶體組資訊SA'=11與該主動命令ACT及列位址RA一起發出(S50)。接著，該命令/位址產生部分942將一讀取命令或寫入命令與該左上角記憶體組內的行位址CA一起發出(S51)。在增量行位址數次

(即1ST_X_SIZE=N次)的同時，此讀取或寫入命令被反覆發出，該次數對應於該左上角記憶體組內X方向中的存取大小。另外，一讀取命令或寫入命令與該右側記憶體組內的行位址CA一起被發出(S52)。在增量行位址數次(即2ND_X_SIZE=N次)的同時，此讀取或寫入命令被反覆發出，該次數對應於該左上角記憶體組內X方向中的存取大小。接著，行數被增量1(S53)，且該等步驟S51、S52及S53被重複直到行數超過該1ST_Y_SIZE，該1ST_Y_SIZE是該左上角記憶體組內Y方向中的存取大小(S54)。

接下來，該命令/位址產生部分942將一讀取命令或寫入命令與該下方記憶體組的行位址CA一起發出(S55)。在增量行位址數次(即1ST_X_SIZE=N次)的同時，此讀取或寫入命令被反覆發出，該次數對應於該下方記憶體組內X方向中的存取大小。另外，一讀取命令或寫入命令與該右下角記憶體組內的行位址CA一起被發出(S56)。在增量行位址數次(即2ND_X_SIZE=N次)的同時，此讀取或寫入命令被反覆發出，該次數對應於該右側記憶體組之X方向中的存取大小。接著，行數被增量1(S57)，且步驟S55、S56及S57被重複直到該行數超過該2ND_X_SIZE，該2ND_X_SIZE是該下方記憶體組內Y方向中的存取大小(S58)。

該命令/位址產生部分942根據該記憶體映射，自該前導行位址COL_ADR=123及該行位址步階數資料CST=4(其等為該等中間參數)中獲得要與上述讀取或寫入命令一起被發出的行位址。

在X方向中的2個記憶體組被同時啟動之情況下，該記憶體控制器內的命令/位址產生部分942將該多記憶體組資訊SA'=01與該主動命令ACT及列位址RA一起發出(S60)。接著，一讀取或寫入命令與一行位址CA被發出N次到該左上角記憶體組(S61)，以及一讀取或寫入命令與一行位址CA被發出N次到該右側記憶體組(S62)。接著，行數被增量1(S63)。這些步驟S61、S62及S63被重複直到該行數超過該1ST_Y_SIZE(S64)。

在Y方向中的2個記憶體組被同時啟動之情況下，該記憶體控制器內的命令/位址產生部分942將該多記憶體組資訊SA'=10與該主動命令ACT及列位址RA一起發出(S70)。接著，一讀取或寫入命令與一行位址CA被發出N次到該左上角記憶體組(S71)，行數被增量1(S72)，這些步驟S71及S72被重複直到該行數超過該1ST_Y_SIZE(S73)。類似地，一讀取或寫入命令與一行位址CA被發出N次到該下方記憶體組(S74、S75、S76)。

最後，在只有1個記憶體組被啟動之情況下，該記憶體控制器內的命令/位址產生部分942發出該主動命令ACT、列位址RA及多記憶體組資訊SA'=00(S80)。接著，一讀取或寫入命令與一行位址CA被發出N次到該左上角記憶體組(S81)，行數被增量1(S82)，這些步驟S81及S82被重複直到該行數超過該1ST_Y_SIZE(S83)。

如上所述，一旦該存取請求REQ及存取目標區域資料X/Y_POS、X/Y_SIZE自該存取來源方塊被接收，該記憶體

控制器82自被設定在該暫存器543中的圖框區域之列位址ROW_BASE_ADR及水平方向中的像素數PICTURE_MAX_XSIZE產生該中間參數，然後決定要被同時啟動的記憶體組數目，發出對應於該決定結果的多記憶體組資訊SA'，接著同時啟動該記憶體裝置內的記憶體組。因此，複數個記憶體組可以藉由發出該主動命令一次而被啟動，藉此記憶體存取可被有效地執行。

第98圖是該記憶體控制器與該記憶體裝置之間的一時序圖。這是顯示對如第96圖所示之橫跨4個記憶體組的矩形區域RIMG進行存取之情況下的一時序圖。首先，該記憶體控制器發出該擴充的模式暫存器設定命令EMRS及列位址步階資訊RS 4，並將列位址步階資訊RS設定到該記憶體裝置內的暫存器。其次，該記憶體控制器發出該主動命令ACT、左上角記憶體組位址BA 1、前導列位址RA 4及多記憶體組資訊SA'(1,1)。據此，該記憶體裝置中的4個記憶體組被同時啟動。

在第98圖所示之該範例中，該多記憶體組資訊SA'自該行位址終端CA被輸入。然而，在該記憶體裝置採用一種位址多工組態從一個一般位址終端輸入該列位址RA及行位址CA之情況下，該多記憶體組資訊SA'需要從如第72圖所示之該等特殊終端SP被輸入。

另外，該記憶體控制器反覆發出一讀取命令RD、一記憶體組位址BA及一行位址CA。如第96(B)圖所示，該記憶體組位址BA及該行位址CA如下所示：(BA,CA)=(1,123)、

(0,120)、(1,127)、(0,124)、(3,3)、(2,0)、(3,7)、(2,4)。據此，第98圖所示之該等像素座標(X_POS,Y_POS)的4-位元組的資料自該記憶體之4-位元組的輸入/輸出終端BY 0-3被輸出，且該記憶體控制器接收這4-位元組的資料項。以此方式，該主動命令ACT只被發出一次。

在複數個記憶體組藉由該多記憶體組存取功能的方式由一個單一的主動命令啟動之情況下，當該位元組邊界功能被用以存取一個4-位元組的區域中間的影像資料時，該記憶體控制器發出一讀取或寫入命令、一記憶體組位址BA、一行位址CA、開始位元組資訊SB及記憶體映射資訊，如第87圖所示。因此，該記憶體控制器可以減少該讀取或寫入命令被發出的次數，以及可以進一步以單次存取來接收或輸出對所有資料匯流排有效的資料。

應該注意的是該上述實施例已描述了儲存該數位影像資料的一影像記憶體的一範例，在該數位影像資料中複數個像素的影像資料項是以二維形式被安排。然而，本發明不僅能被用於用以儲存影像資料的影像記憶體，而且還適用於也可以根據一預先決定的映射規則儲存除了影像資料以外的二維陣列資料項的一記憶體裝置。如果該等被儲存的資料項被以二維形式安排，那麼當存取該二維陣列資料中的任意矩形區域時，複數個頁面區域的資料項有時需要被存取。本發明在此情況下也能夠被應用。

【圖式簡單說明】

第1圖是一顯示根據本實施例的一影像記憶體之記憶

體映射的圖。

第2(A)、(B)圖是一顯示該影像記憶體中的兩個存取的圖。

第3圖是一顯示一水平存取的一問題的圖。

第4(A)、(B)圖是一顯示一矩形存取的一第一問題的圖。

第5圖是一顯示一矩形存取的一第二問題的圖。

第6圖是一顯示在本實施例中被執行的整個操作的圖。

第7圖是一顯示本實施例之整個操作的另一範例的圖。

第8圖是根據本實施例的一影像處理系統的一組態圖。

第9圖是根據本實施例的一影像記憶體的一組態圖。

第10(A)、(B)圖是一用於說明位元組邊界功能的圖。

第11圖是該等位元組邊界功能的一時序圖。

第12圖是一用於說明不同映射的該等位元組邊界功能的圖。

第13圖是一用於說明第12圖中所示之一大端位元組排列順序(big endian)及小端位元組排列順序(little endian)的圖。

第14圖是一用於說明一特殊記憶體映射中的該等位元組邊界功能的圖。

第15(A)、(B)圖是一用於說明第14圖中所示之該特殊的記憶體映射的圖。

第16(A)、(B)圖是顯示一矩形存取中的該等位元組邊界功能的一時序圖。

第31圖是一顯示與具有該等位元組邊界功能的該影像記憶體之輸入/輸出終端有關的裝置的圖。

第32圖是一顯示第31圖中所示之操作的圖。

第33圖是一顯示與具有該等位元組邊界功能的該影像記憶體之輸入/輸出終端有關的裝置的圖。

第34圖是一顯示第33圖中所示之操作的圖。

第35(A)、(B)圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(1)。

第36(A)、(B)圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(2)。

第37圖是具有該等位元組邊界功能並能夠對應於該等位元組排列順序的該影像記憶體之一組態圖(3)。

第38圖是第37圖中所示之一DDR記憶體的上行模式(up mode)的一操作時序圖。

第39圖是第37圖中所示之該DDR記憶體的下行模式(down mode)的一操作時序圖。

第40圖是一用於說明指定該等位元組邊界功能之一邊界的一方法的圖。

第41圖是一用於顯示一開始位元組SB及一移位值SV的一轉換電路的圖。

第42圖是一用於說明利用了該等位元組邊界功能的一自動矩形存取的圖。

第43圖是一自動矩形存取的一時序圖。

第44圖是該自動矩形存取中所需要的一內部行位址計

算器的一組態圖。

第45圖是一顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之一範例的圖。

第46圖是一顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之另一範例的圖。

第47圖是一顯示在該等位元組邊界功能進行的一存取達到一頁面區域的末端時所執行的記憶體操作之又一範例的圖。

第48圖是一用於說明該等位元組邊界功能之其他應用的圖。

第49圖是一用於說明該等位元組邊界功能之其他應用的圖。

第50圖是一用於說明該等位元組邊界功能之其他應用的圖。

第51圖是該影像處理系統的一組態圖。

第52圖是一顯示一記憶體控制部分(記憶體控制器)的輸入及輸出信號的圖。

第53圖是一用於說明一參考影像區域的圖，該參考影像區域是一圖框影像中的一讀取目標。

第54圖是該記憶體控制器的一詳細組態圖。

第55圖是一用於說明參考影像讀取控制器514中的圖框間預測部分513所執行的計算的圖。

第56圖是一顯示該參考影像讀取控制器514中的圖框間預測部分513所執行的計算之一範例的圖。

第57圖是一顯示記憶體映射之一範例的圖。

第58圖是一顯示該記憶體映射12中的該頁面區域14之一組態的圖。

第59圖是一顯示該記憶體映射上的該等參考影像區域之一安排的圖，該等參考影像區域被顯示於第56圖中。

第60圖是一顯示該記憶體映射上的該等參考影像區域之另一安排的一範例的圖。

第61圖是對於沒有該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。

第62圖是對於具有該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。

第63圖是對於不具有該等位元組邊界功能及多記憶體組存取功能的記憶體的記憶體控制器的一時序圖。

第64圖是對於具有該多記憶體組存取功能及該等位元組邊界功能的記憶體的記憶體控制器的一時序圖。

第65圖是該記憶體控制器之控制操作的一流程圖。

第66圖是該記憶體控制器之控制操作的一流程圖。

第67圖是用於說明根據本實施例的一多記憶體組存取的一概要解說圖。

第68圖是一用於說明根據本實施例的該多記憶體組存取的圖。

第69圖是顯示該多記憶體組資訊SA'為記憶體組數目

資訊(=4)之情況的一時序圖。

第70圖是顯示該多記憶體組資訊SA'為一矩形區域的大小資訊(W=8個位元組，H=8列)之情況的一時序圖。

第71圖是具有該多記憶體組存取功能的記憶體裝置之一組態圖。

第72圖是一顯示多記憶體組啟動控制器88之一第一範例的圖。

第73(A)、(B)圖是一顯示該多記憶體組啟動控制器88之第一範例的圖。

第74圖是一顯示該多記憶體組啟動控制器88之一第二範例的圖。

第75(A)、(B)圖是一顯示該多記憶體組啟動控制器88之第二範例的圖。

第76圖是一顯示該多記憶體組啟動控制器88之一第三範例的圖。

第77(A)至(C)圖是一顯示該多記憶體組啟動控制器88之第三範例的圖。

第78圖是一顯示記憶體組啟動時序之範例1的圖。

第79圖是一顯示記憶體組啟動時序之範例2的圖。

第80圖是一用於說明啟動記憶體組控制電路88C所執行的記憶體組啟動時序控制之邏輯的圖。

第81圖是一顯示記憶體組啟動時序之範例3的圖。

第82圖是一用於說明根據本實施例在該多記憶體組存取中列位址的產生的圖。

序圖。

【主要元件符號說明】

10...顯示器裝置

12...記憶體映射

12A、12B...記憶體映射

12-1、12-2...記憶體映射

14...頁面區域

14-0、14-1...頁面區域

14E...放大的區域

14BOU...邊界

15...影像記憶體

15-1、15-2...記憶體邏輯空間

20...水平方向

20-1、20-2...水平存取

22...矩形區域/矩形存取區域/矩形存取

22A...矩形區域

22B...矩形區域

24...箭頭

30...時序圖

31...頁面區域

32、34、36、38、41、50、54、70、110...主動命令

33、35、37、39、52、56、62、111...讀取命令

40...自動再新命令

45...記憶體單元區域/4-位元組的區域

60、65...背後的再新命令

61...再新記憶體組資訊

63...行位址

64...位元組組合資訊

66...記憶體組

71...位址資訊項

72...多記憶體組資訊

80...影像處理晶片/影像處理系統

81...影像處理控制器

81-1到81-N...存取請求來源方塊

82...記憶體控制器

83...多記憶體組啟動控制器

84...背後的再新控制器

85...位元組邊界控制器

86...影像記憶體晶片/記憶體裝置

87...列控制器

88...多記憶體組啟動控制器

88A...記憶體組解碼器

88B...主動脈沖輸出電路

88C...或電路

88D...啟動記憶體組決定電路
88E...退化信號
89...背後的再新控制器
90...行控制器
91...位元組邊界控制器
92...記憶體核心/記憶體組
93...輸入/輸出單元或輸入/輸出終端組或外部終端
94...緩衝器或輸入/輸出緩衝器
94C...行位址緩衝器
94R...列位址緩衝器
95...命令控制器
95A...命令解碼器
95B...脈衝形成電路
96...模式暫存器
97...列位址計算器
97-2、97-3...列位址計算器
98...再新列位址指定器
100-102...4-位元組資料的區域/記憶體單元區域
112...行位址
113...位元組組合資訊
114...第一資訊
115...第二資訊
120、124...箭頭
123、127...四個像素
130...矩形存取
132、134...實體位置
140、144...箭頭
141-142、145-146、151、152...矩形存取
153-154、161...主動命令
162...讀取命令
164...第一資訊
165...第二資訊
166...位元組組合資訊
167...模式暫存器設定命令
190...切換裝置/連接單元
200...連接單元/移位
201...移位
220...行時序控制器
221...資料閂鎖選擇器
222...行解碼器
222D...內部解碼信號
223...列解碼器
224...記憶體單元陣列
224-0、224-1...記憶體單元陣列
225...第二放大器
226、227...資料閂鎖器
228...資料匯流排開關

290...行位址控制器

290-2、290-3...行位址控制器

291...行移位器電路

350...記憶體核心

351...上行模式控制器

410...轉換電路

411...真值表

412、413...CMOS轉換閘

414、415...反向器

421...記憶體映射

430...讀取命令

440...行位址計數器

441...計算器

442...開關

444...矩形寬度計數器

445...比較器

482...寫入資料

510...熵解碼處理器

511...反量化及反DCT處理器

512...圖框內預測部分

513...圖框間預測部分

514...參考影像讀取控制器

515...程序選擇部分/計算處理器

540...仲裁電路

541-1到541-N...介面控制器

542-1到542-N...位址/命令產生部分

543...設定暫存器

590...邊界

591...左端

592...1個位元組

600...邊界

610-611...信號

620-621...信號

630-631...信號

640-641...信號

670...擴充的模式暫存器設定命令

671...列位址步階資訊/列位址步階數資料

672...主動命令

673...多記憶體組資訊

674...讀取命令

675...多記憶體組資訊

676...大小資訊

690...記憶體組/列位址

691...行位址

700...位址

701...記憶體組

702...輸入/輸出終端

780...核心控制器電路
781...記憶體核心
790...記憶體組數資料
791-793...延遲電路
795...選擇信號
800-802...啟動順序資料表
803...時序圖
804...啟動順序資料表
810-812...正反器電路
820...邏輯值表
830...列位址控制電路
831-834...位址加法器
835...選擇信號
836...位址解碼器
841-844...位址加法器
860...閂鎖器電路
861...記憶體組位址切換電路
873...多記憶體組資訊
874...開始位元組信號
875...位元組組合資訊
876...主動命令
877...讀取命令
940...控制器
941...中間參數產生部分
942...命令/位址產生部分
S1-S30...步驟
S40-S46...步驟
S50-S58...步驟
S60-S64...步驟
S70-S76...步驟
S80-S83...步驟
S86...邏輯位址空間
S221...控制信號/資料閂鎖器選擇信號
S290...移位控制信號
S540...選擇信號

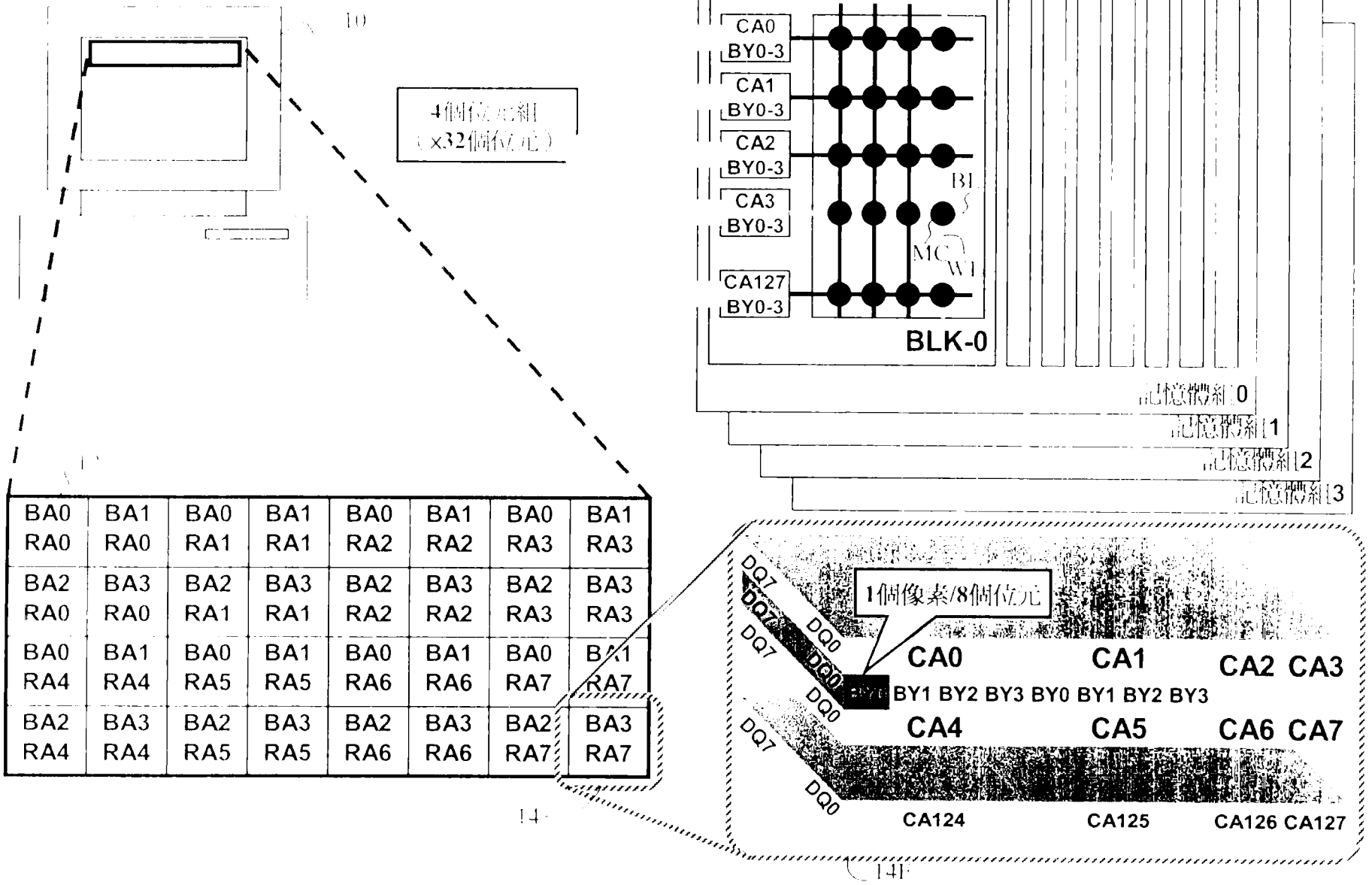
五、中文發明摘要：

該記憶體裝置具有：複數個記憶體組，每個都有具有分別由列位址選擇的複數個頁面區域的一記憶體單元陣列，且每個都由一記憶體組位址選擇；一列控制器，其依據一第一操作碼來控制每一記憶體組內的頁面區域的啟動；以及一組資料輸入/輸出終端。每一被啟動的頁面區域內的一記憶體單元區域根據該行位址被存取。該列控制器依據與該第一命令一起被提供的多記憶體組資訊及一被提供的記憶體組位址來產生該等記憶體組的記憶體組啟動信號，以及依據該被提供的記憶體組位址及一被提供的列位址來產生每一記憶體組的列位址。該等記憶體組依據該等記憶體組啟動信號及該列位址計算器所產生的列位址來啟動該等頁面區域。

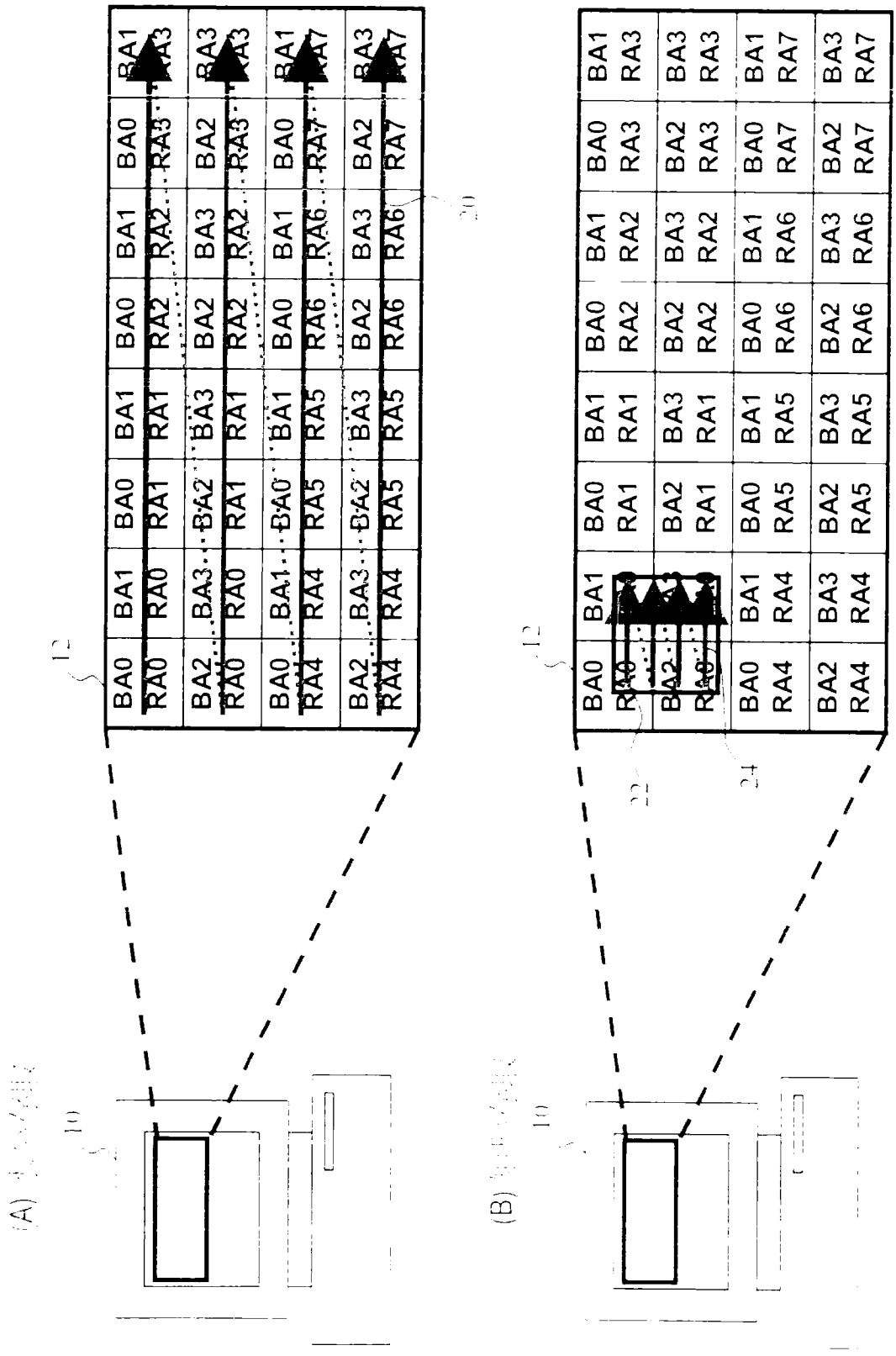
六、英文發明摘要：

The memory device has: a plurality of banks, each of which has a memory cell array having a plurality of page areas that are selected by row addresses respectively, and each of which is selected by a bank address; a row controller that controls activation of the page areas within each of the banks in response to a first operation code; and a group of data input/output terminals. A memory unit area within each of the activated page areas is accessed based on the column address. The row controller generates bank activation signals for the plurality of banks in response to multi-bank information data and a supplied bank address that are supplied along with the first command, and generates the row address of each of the plurality of banks in response to the supplied bank address and a supplied row address. The plurality of banks activate the page areas in response to the bank activation signals and the row addresses generated by the row address calculator.

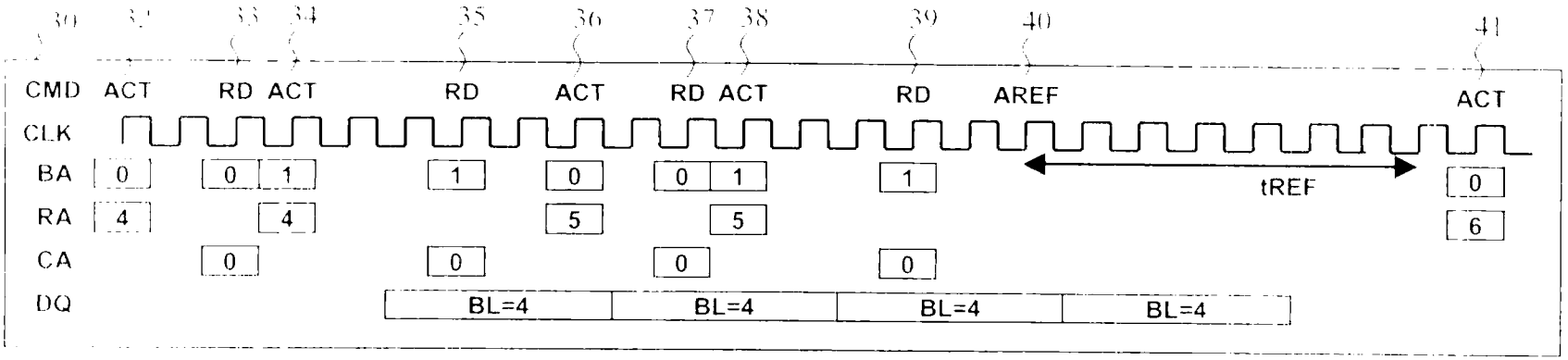
第1圖 記憶體映射

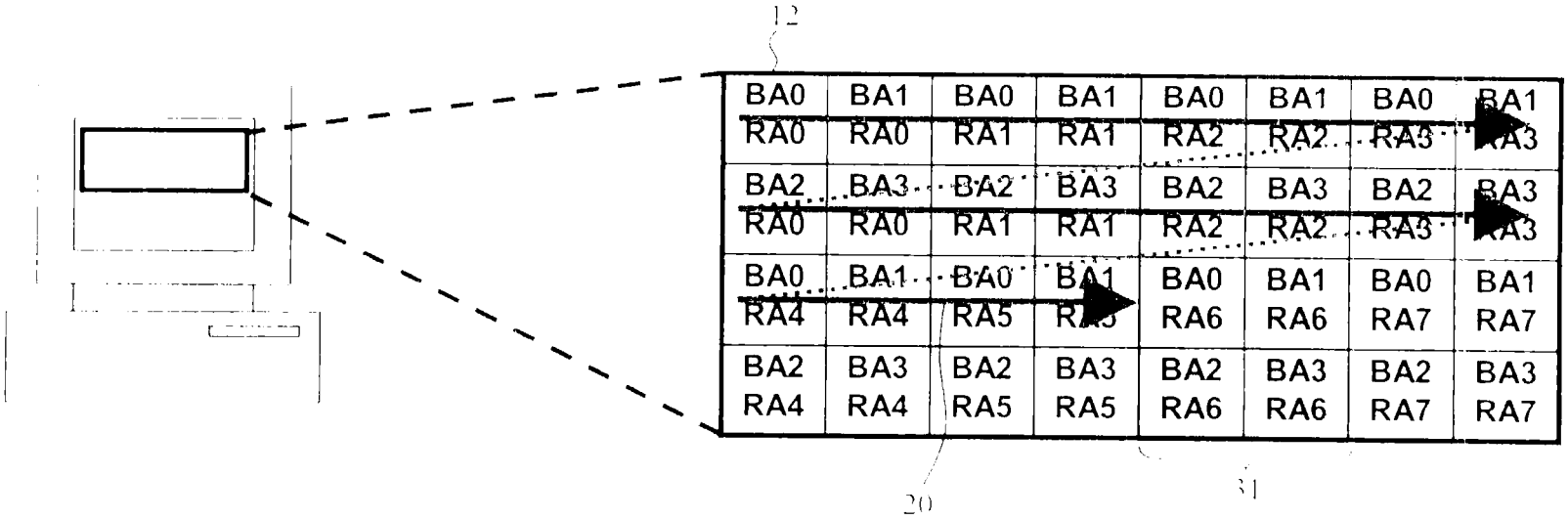

10
4個位元組
(×32個位元)
15
RA RA RA RA
0 1 2 3
CA0
BY0-3
CA1
BY0-3
CA2
BY0-3
CA3
BY0-3
CA127
BY0-3
BLK-0
記憶體組0
記憶體組1
記憶體組2
記憶體組3
12
BA0 RA0 | BA1 RA0 | BA0 RA1 | BA1 RA1 | BA0 RA2 | BA1 RA2 | BA0 RA3 | BA1 RA3
BA2 RA0 | BA3 RA0 | BA2 RA1 | BA3 RA1 | BA2 RA2 | BA3 RA2 | BA2 RA3 | BA3 RA3
BA0 RA4 | BA1 RA4 | BA0 RA5 | BA1 RA5 | BA0 RA6 | BA1 RA6 | BA0 RA7 | BA1 RA7
BA2 RA4 | BA3 RA4 | BA2 RA5 | BA3 RA5 | BA2 RA6 | BA3 RA6 | BA2 RA7 | BA3 RA7
14
1個像素/8個位元
DQ7
DQ0
CA0 CA1 CA2 CA3
BY0 BY1 BY2 BY3 BY0 BY1 BY2 BY3
CA4 CA5 CA6 CA7
CA124 CA125 CA126 CA127
141

第2圖


(A)
(B)
10
12
20
22
24
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7

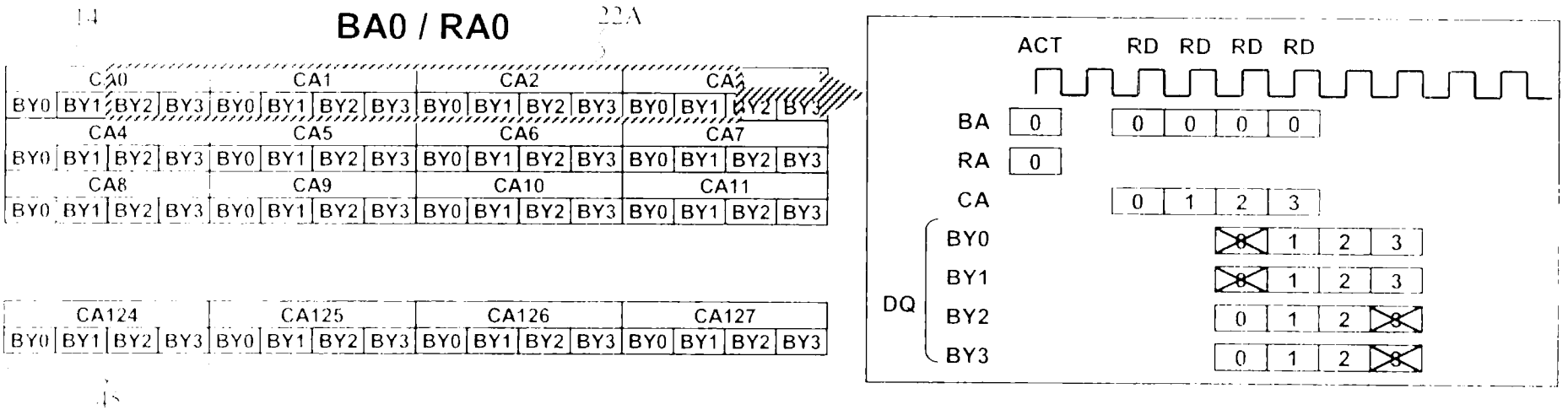
第3圖


30
32
33
34
35
36
37
38
39
40
41
CMD ACT RD ACT RD ACT RD ACT RD AREF ACT
CLK
BA 0 0 1 1 0 0 1 1 1 0
RA 4 4 5 5 6
CA 0 0 0 0
DQ BL=4 BL=4 BL=4 BL=4
tREF

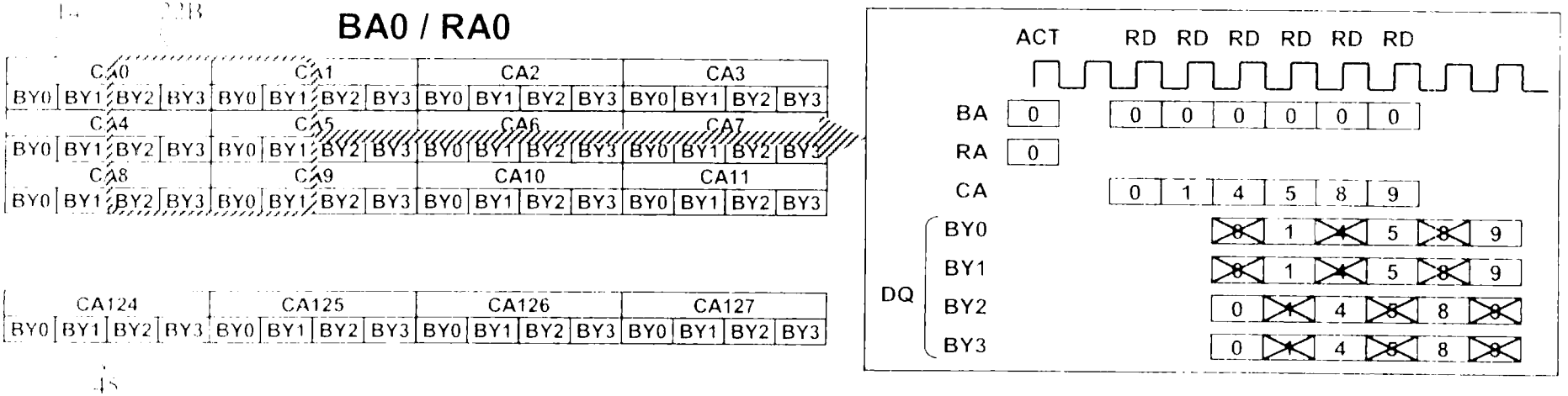

12
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
20
31

第4圖

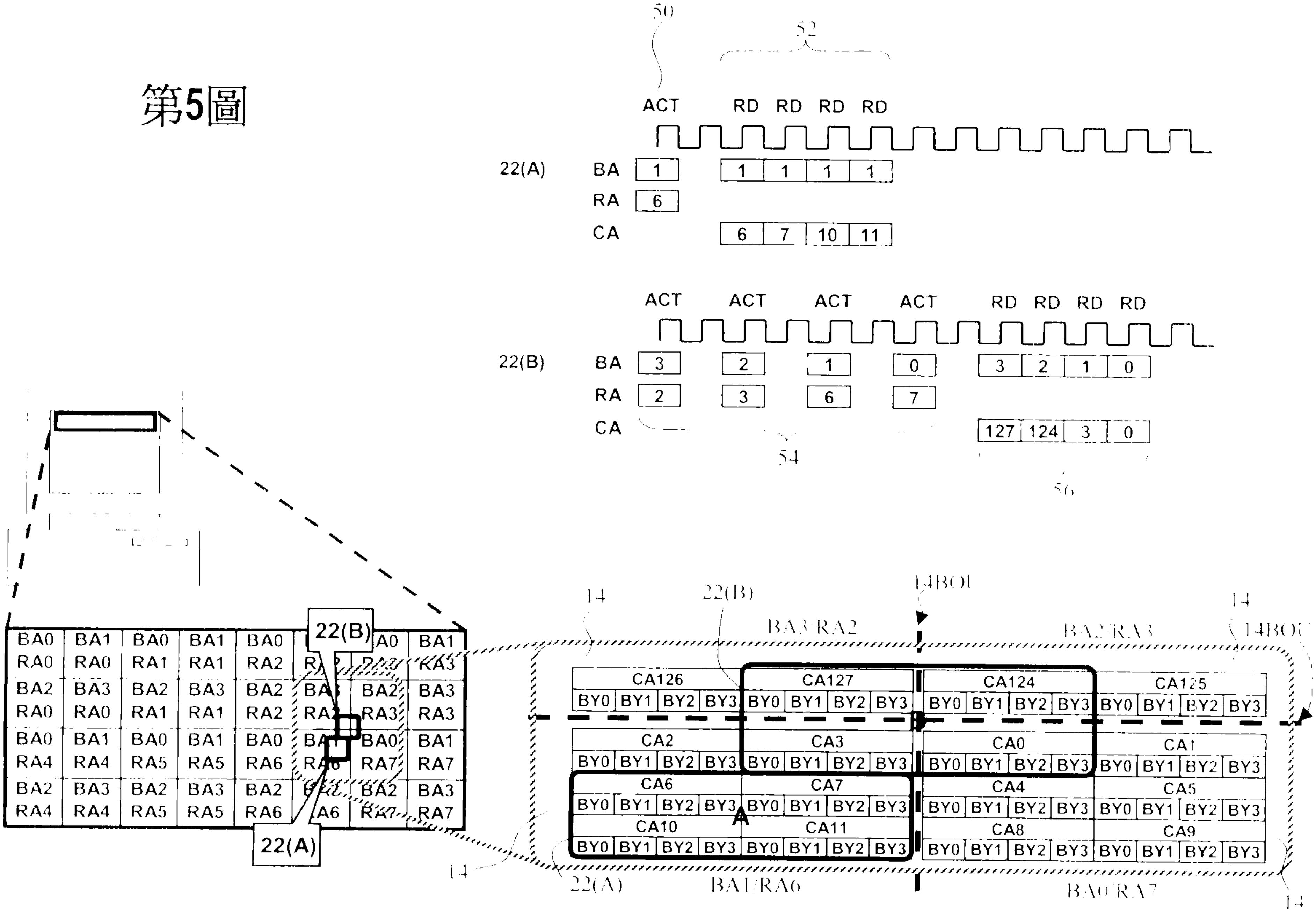
(A)


BA0 / RA0
CA0
CA1
CA2
CA3
CA4
CA5
CA6
CA7
CA8
CA9
CA10
CA11
CA124
CA125
CA126
CA127
BY0
BY1
BY2
BY3
ACT
RD RD RD RD
BA
RA
CA
DQ
0 0 0 0 0
0 1 2 3
0 1 2 3

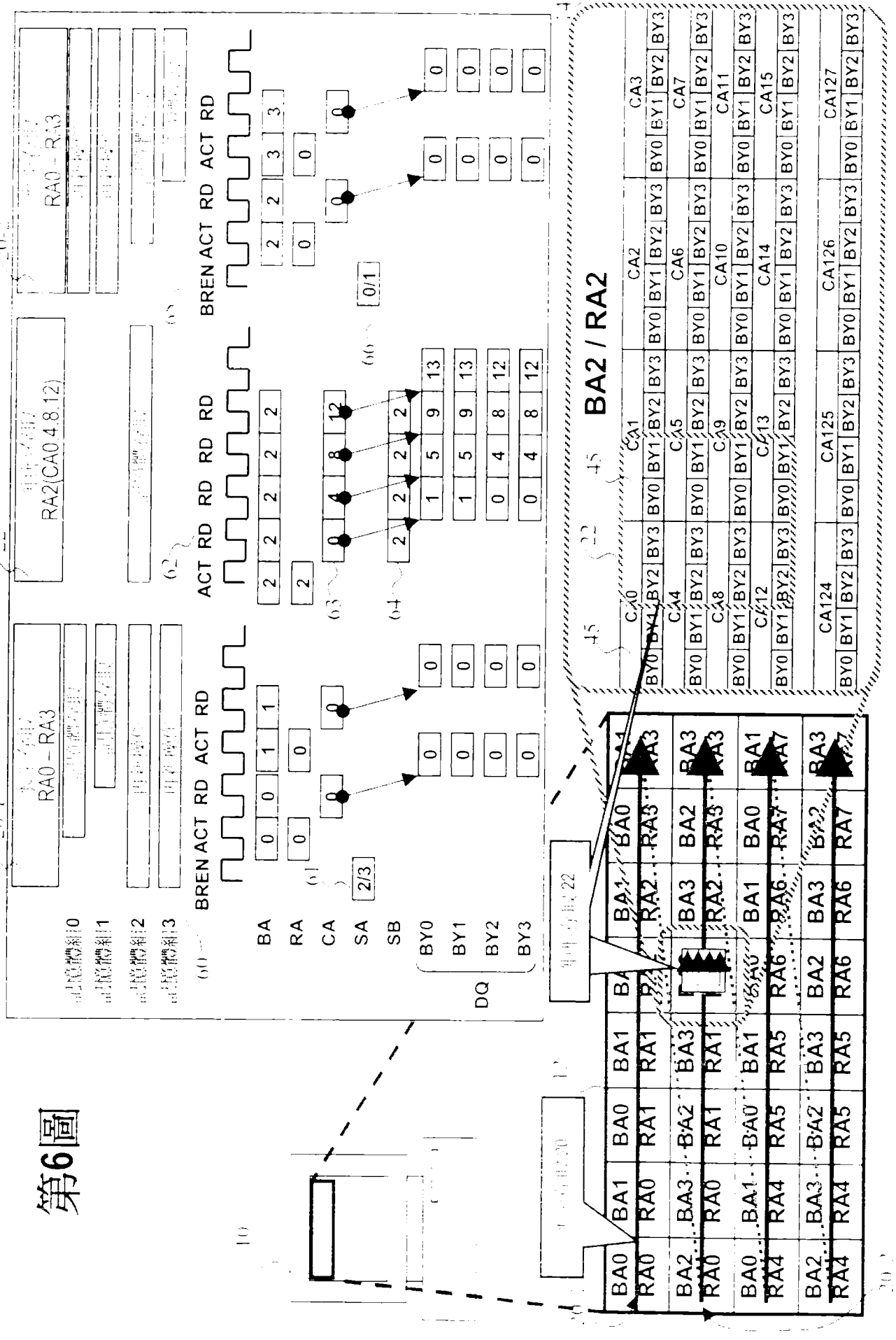
(B)


BA0 / RA0
CA0
CA1
CA2
CA3
CA4
CA5
CA6
CA7
CA8
CA9
CA10
CA11
CA124
CA125
CA126
CA127
BY0
BY1
BY2
BY3
ACT
RD RD RD RD RD RD
BA
RA
CA
DQ
0 0 0 0 0 0 0
0 1 4 5 8 9
0 1 4 5 8 9

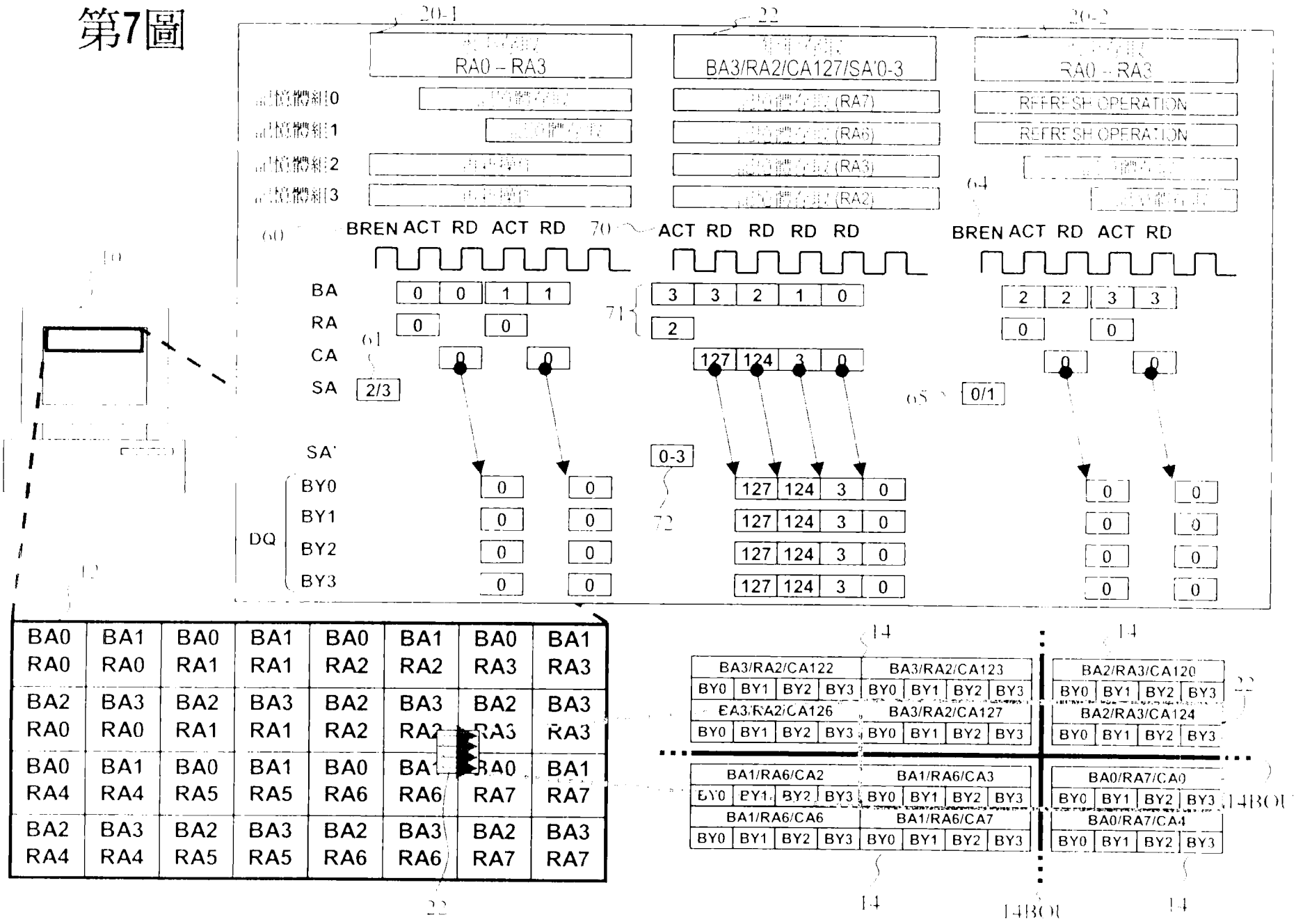
第5圖


50
52
ACT
RD RD RD RD
22(A)
BA 1 1 1 1 1
RA 6
CA 6 7 10 11
ACT ACT ACT ACT
RD RD RD RD
22(B)
BA 3 2 1 0 3 2 1 0
RA 2 3 6 7
CA 127 124 3 0
54
56
BA0 RA0
BA1 RA0
BA0 RA1
BA1 RA1
BA0 RA2
BA2 RA0
BA3 RA0
BA2 RA1
BA3 RA1
BA2 RA2
BA3 RA3
BA0 RA4
BA1 RA4
BA0 RA5
BA1 RA5
BA0 RA6
BA1 RA7
BA2 RA4
BA3 RA4
BA2 RA5
BA3 RA5
BA2 RA6
BA3 RA7
22(B)
22(A)
14
14BOI
BA3/RA2
BA2/RA3
BA1/RA6
BA0/RA7
CA126
CA127
CA124
CA125
CA2
CA3
CA0
CA1
CA6
CA7
CA4
CA5
CA10
CA11
CA8
CA9
BY0 BY1 BY2 BY3
A

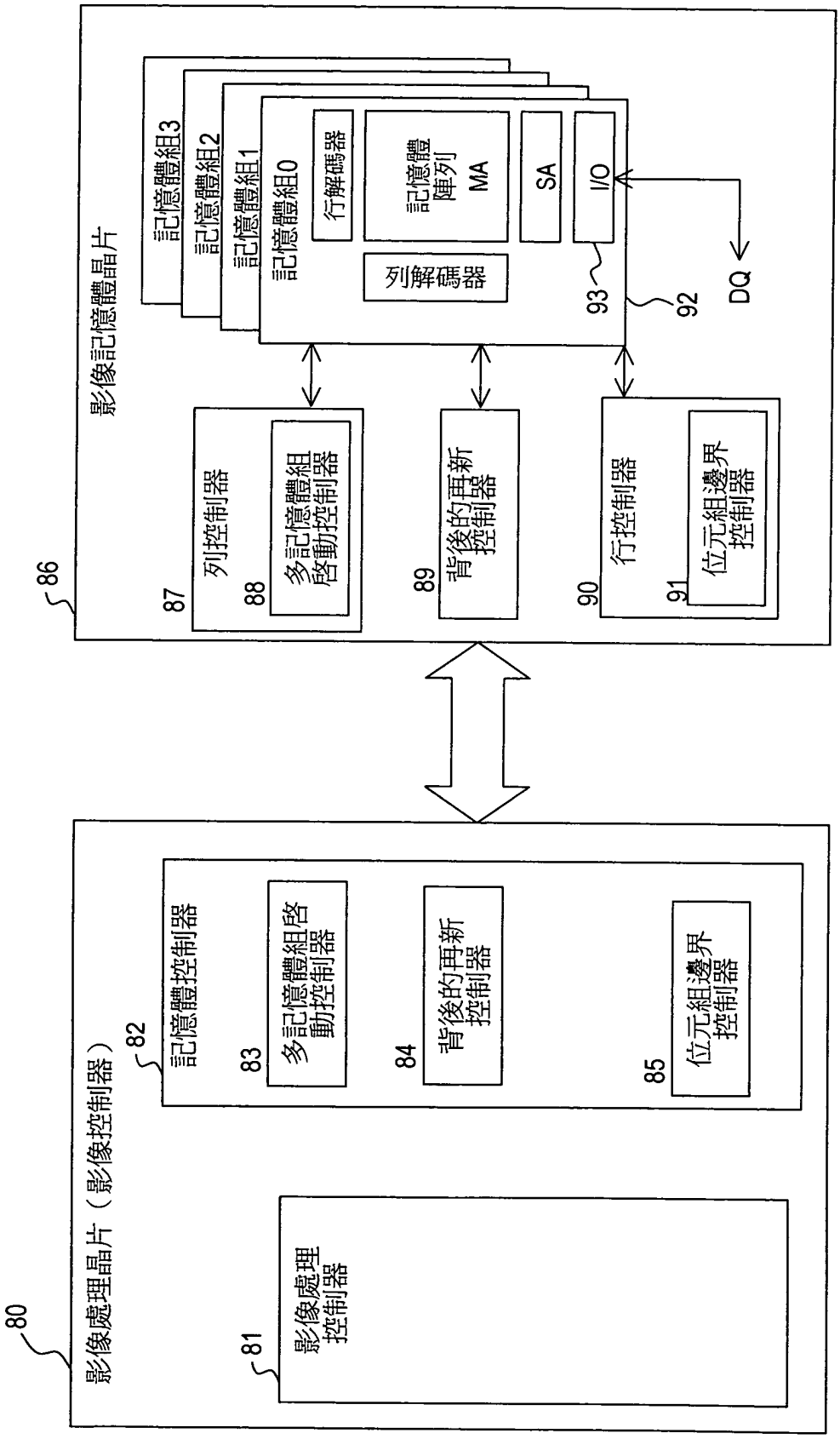
第6圖

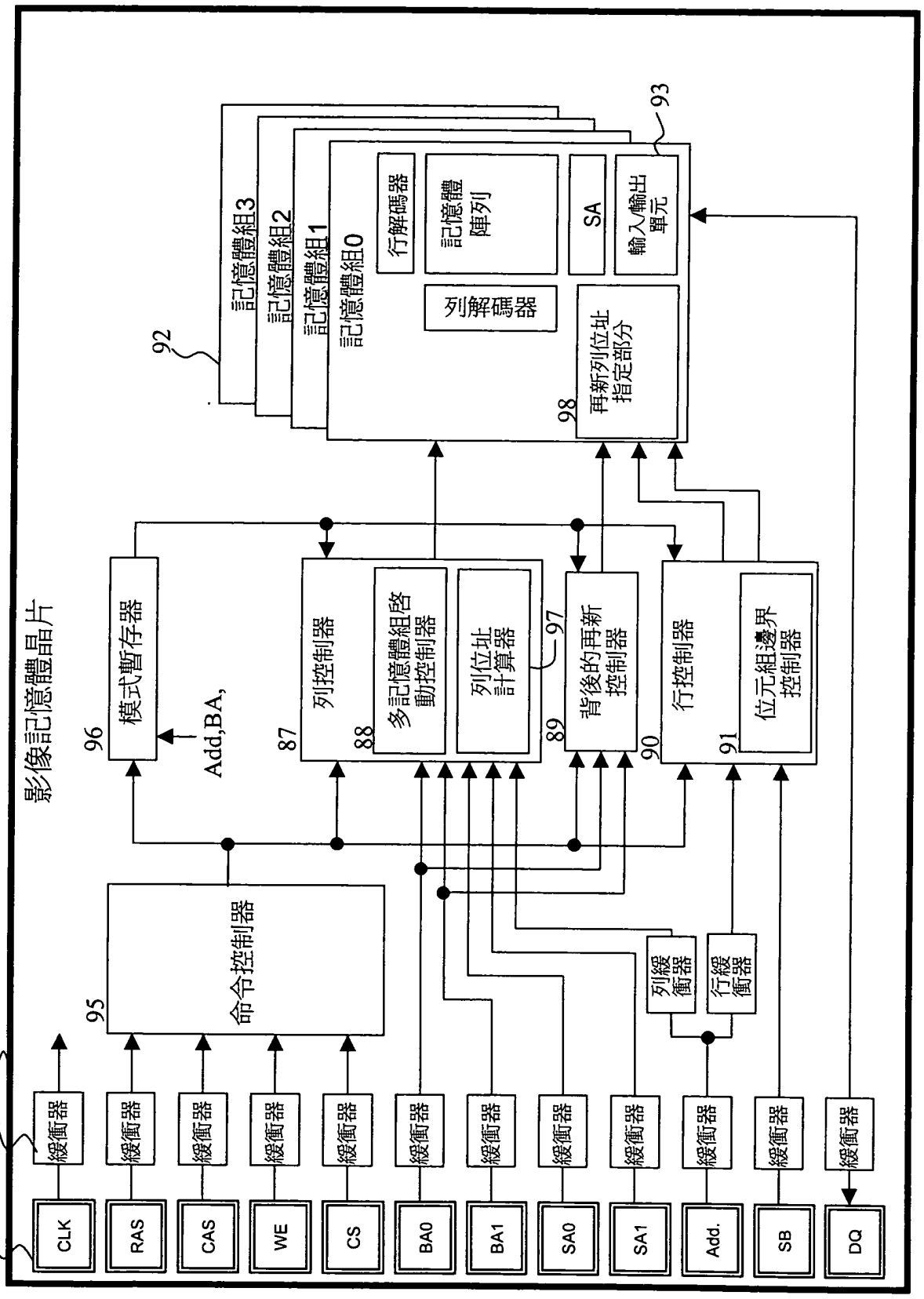

RA0 – RA3
RA2(CA0 4 8 12)
BREN ACT RD ACT RD
BREN ACT RD RD RD RD
BA
RA
CA
SA
SB
BY0
BY1
BY2
BY3
DQ
BA2 / RA2
CA0
CA1
CA2
CA3
CA4
CA5
CA6
CA7
CA8
CA9
CA10
CA11
CA12
CA13
CA14
CA15
CA124
CA125
CA126
CA127

第7圖


20-1
22
20-2
RA0 – RA3
BA3/RA2/CA127/SA'0-3
RA0 – RA3
記憶體組0
記憶體組1
記憶體組2
記憶體組3
(RA7)
(RA6)
(RA3)
(RA2)
REFRESH OPERATION
REFRESH OPERATION
64
60
BREN ACT RD ACT RD
70
ACT RD RD RD RD
BREN ACT RD ACT RD
10
BA
RA
CA
SA
SA'
DQ
BY0
BY1
BY2
BY3
2/3
0-3
0/1
61
71
72
65
12
22
14
14
14
14
14B01
14B01
BA0 RA0
BA1 RA0
BA0 RA1
BA1 RA1
BA0 RA2
BA1 RA2
BA0 RA3
BA1 RA3
BA2 RA0
BA3 RA0
BA2 RA1
BA3 RA1
BA2 RA2
BA3 RA2
BA2 RA3
BA3 RA3
BA0 RA4
BA1 RA4
BA0 RA5
BA1 RA5
BA0 RA6
BA1 RA6
BA0 RA7
BA1 RA7
BA2 RA4
BA3 RA4
BA2 RA5
BA3 RA5
BA2 RA6
BA3 RA6
BA2 RA7
BA3 RA7
BA3/RA2/CA122
BA3/RA2/CA123
BA3/RA2/CA126
BA3/RA2/CA127
BA2/RA3/CA120
BA2/RA3/CA124
BA1/RA6/CA2
BA1/RA6/CA3
BA1/RA6/CA6
BA1/RA6/CA7
BA0/RA7/CA0
BA0/RA7/CA4
BY0 BY1 BY2 BY3

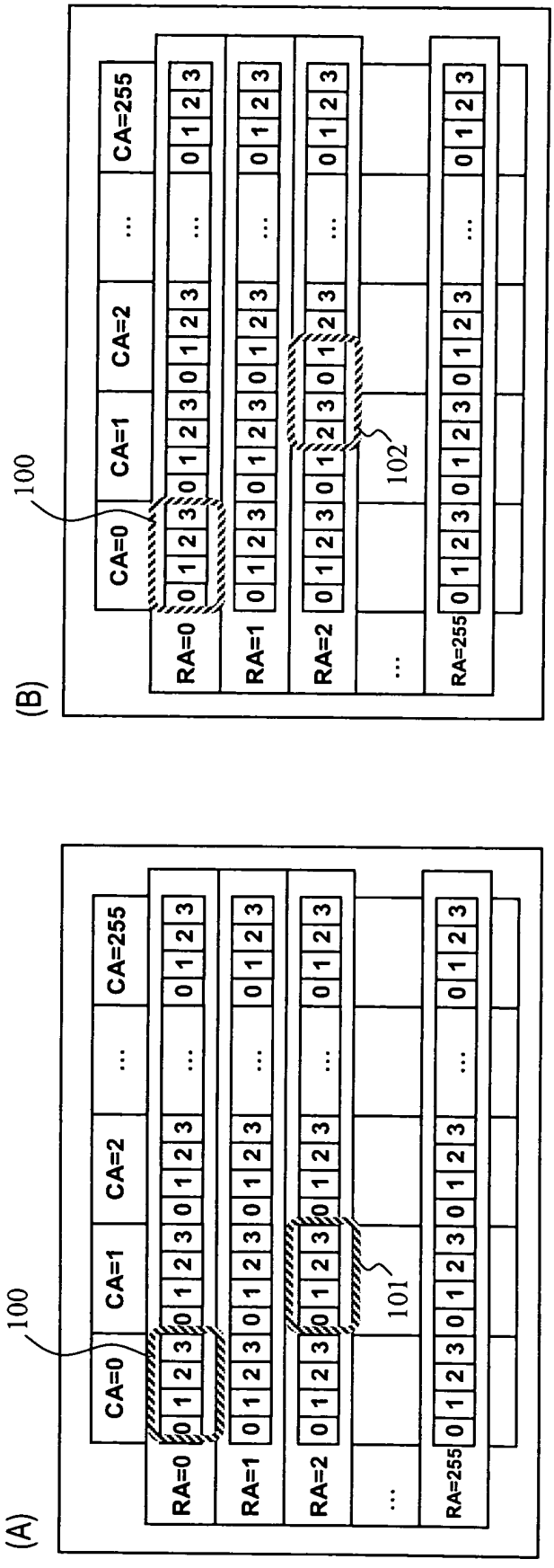
第8圖


影像處理系統
影像處理晶片（影像控制器）
80
影像處理控制器
81
記憶體控制器
82
多記憶體組啓動控制器
83
背後的再新控制器
84
位元組邊界控制器
85
影像記憶體晶片
86
列控制器
87
多記憶體組啓動控制器
88
背後的再新控制器
89
行控制器
90
位元組邊界控制器
91
記憶體組3
記憶體組2
記憶體組1
記憶體組0
行解碼器
列解碼器
記憶體陣列 MA
SA
I/O
93
92
DQ

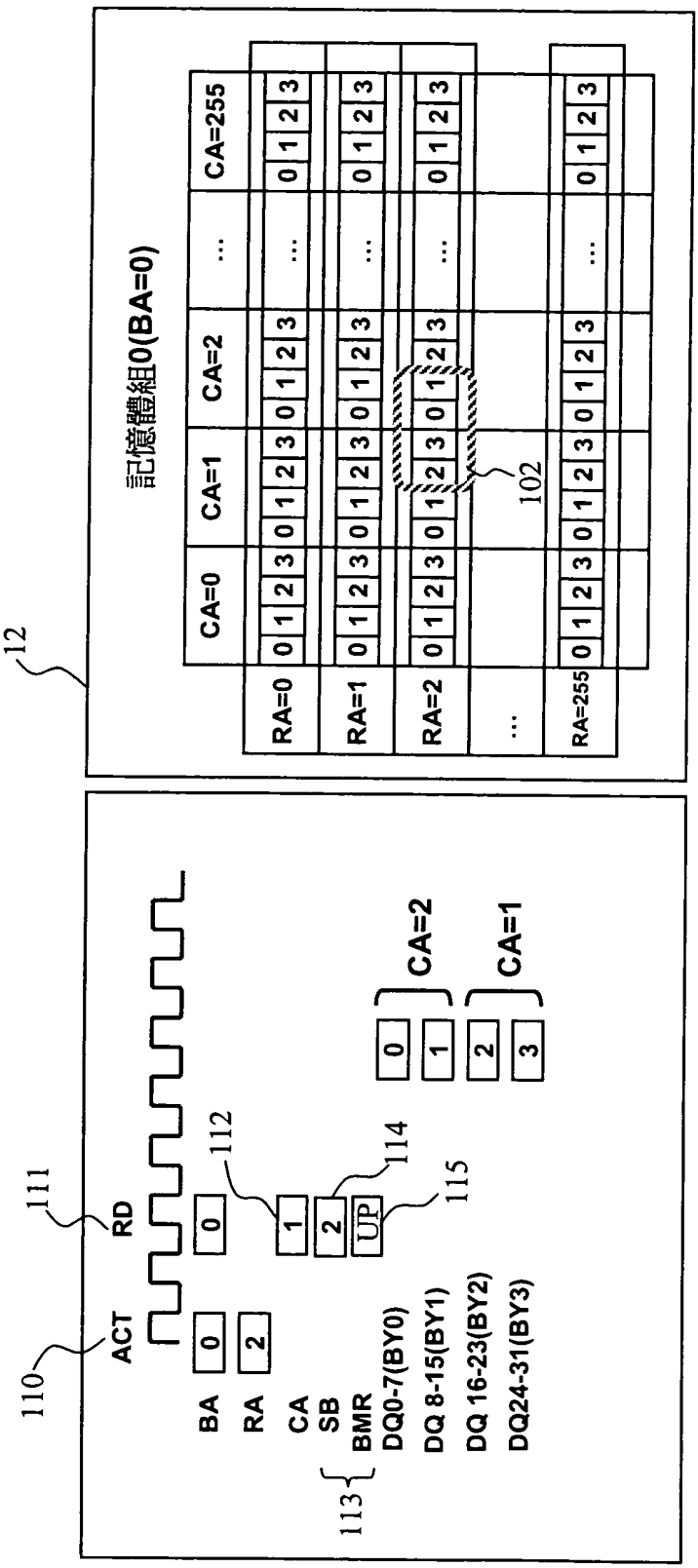

影像記憶體晶片
86
93
94
95
96
87
88
89
90
91
92
97
98
CLK
RAS
CAS
WE
CS
BA0
BA1
SA0
SA1
Add.
SB
DQ
緩衝器
命令控制器
模式暫存器
Add,BA,
列控制器
多記憶體組啓動控制器
列位址計算器
背後的再新控制器
行控制器
位元組邊界控制器
列緩衝器
行緩衝器
記憶體組3
記憶體組2
記憶體組1
記憶體組0
行解碼器
記憶體陣列
SA
輸入輸出單元
列解碼器
再新列位址指定部分

第9圖

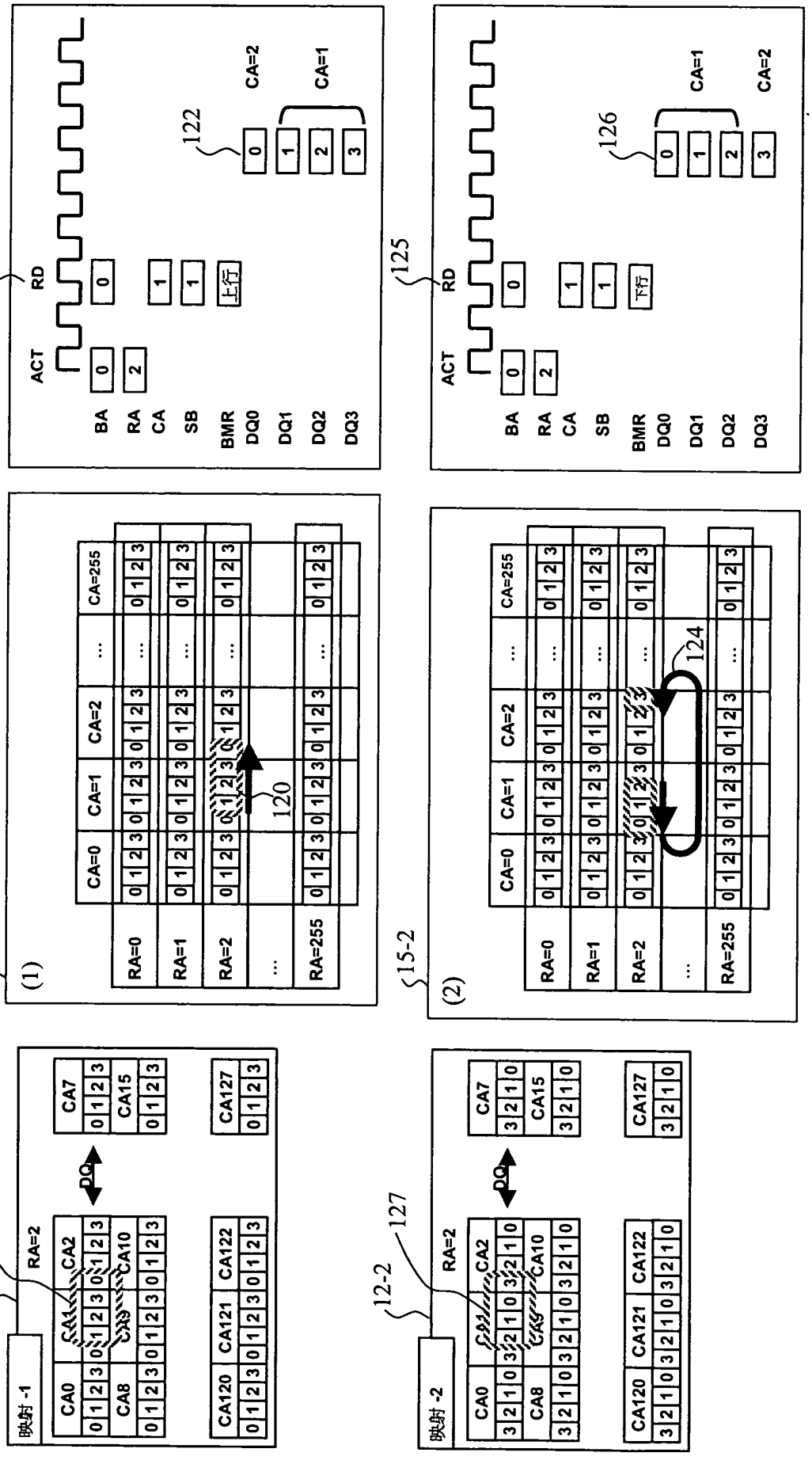
第10圖

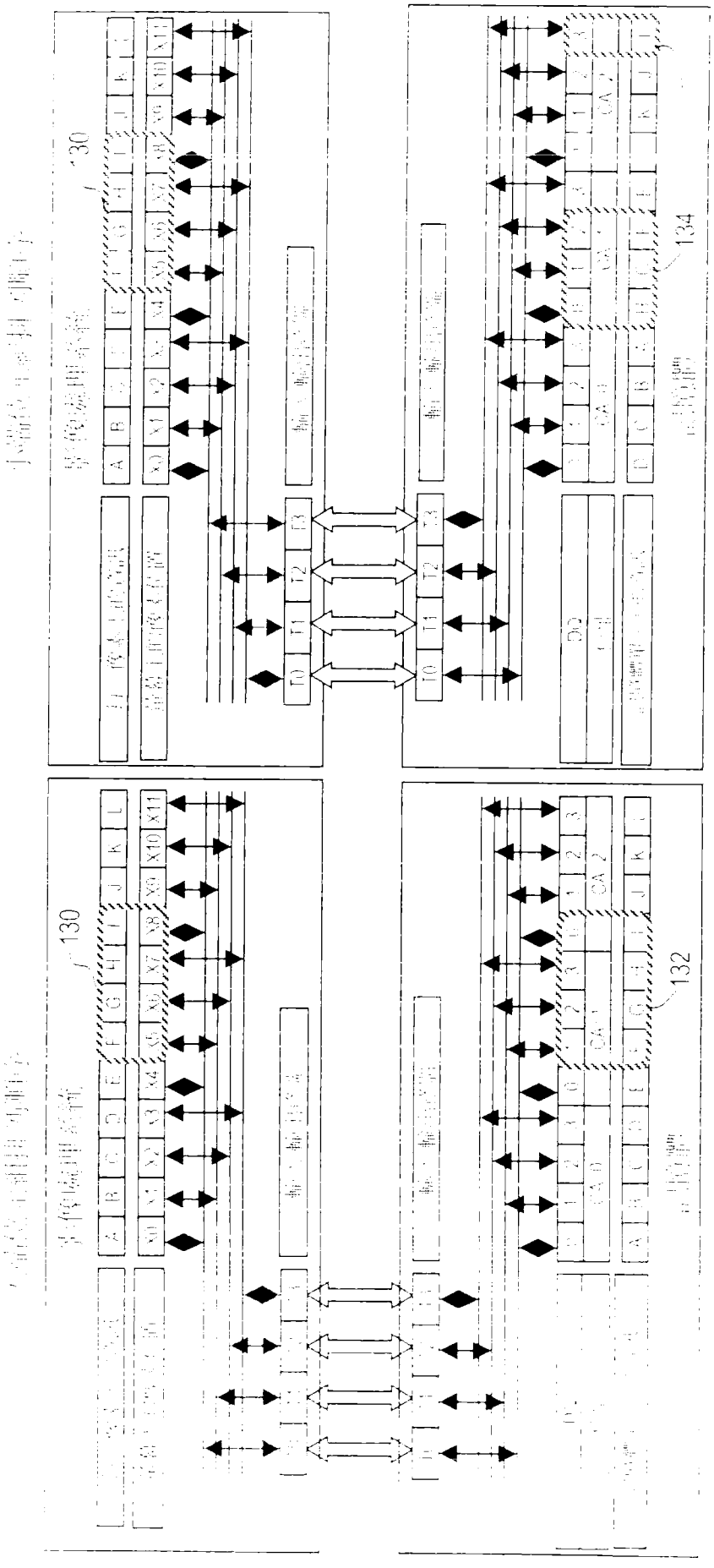


第11圖


110
ACT
RD
111
BA
RA
CA
SB
BMR
113
DQ0-7(BY0)
DQ 8-15(BY1)
DQ 16-23(BY2)
DQ24-31(BY3)
0
2
112
1
2
UP
114
115
CA=2
CA=1
12
記憶體組0(BA=0)
CA=0
CA=1
CA=2
...
CA=255
RA=0
RA=1
RA=2
...
RA=255
0 1 2 3
102

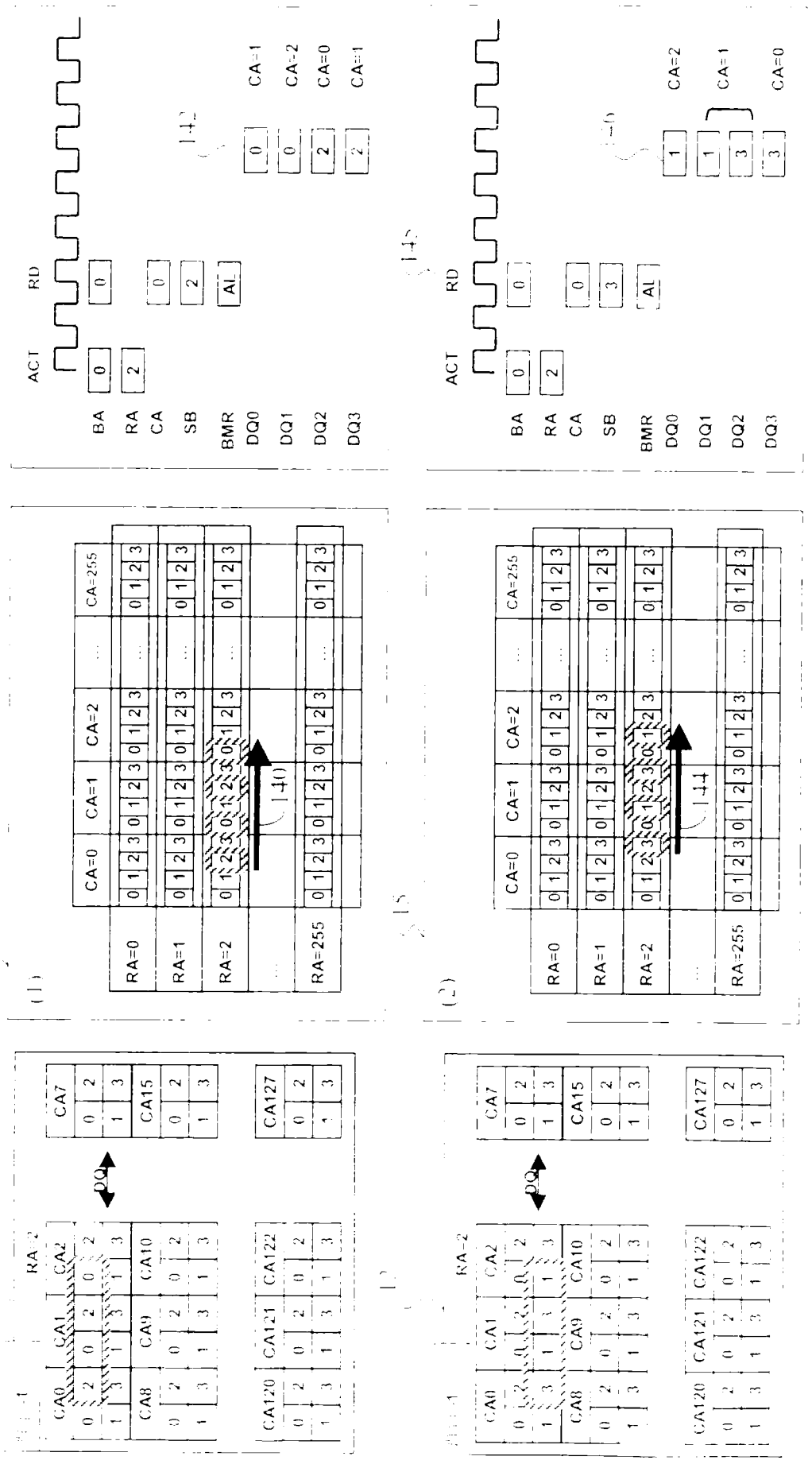
第12圖


121
ACT
RD
BA
RA
CA
SB
BMR
DQ0
DQ1
DQ2
DQ3
122
CA=2
CA=1
125
126
15-1
(1)
15-2
(2)
RA=0
RA=1
RA=2
RA=255
CA=0
CA=1
CA=2
CA=255
120
124
12-1
123
RA=2
映射 -1
CA0
CA2
CA8
CA10
CA120
CA121
CA122
CA7
CA15
CA127
DQ
12-2
127
映射 -2

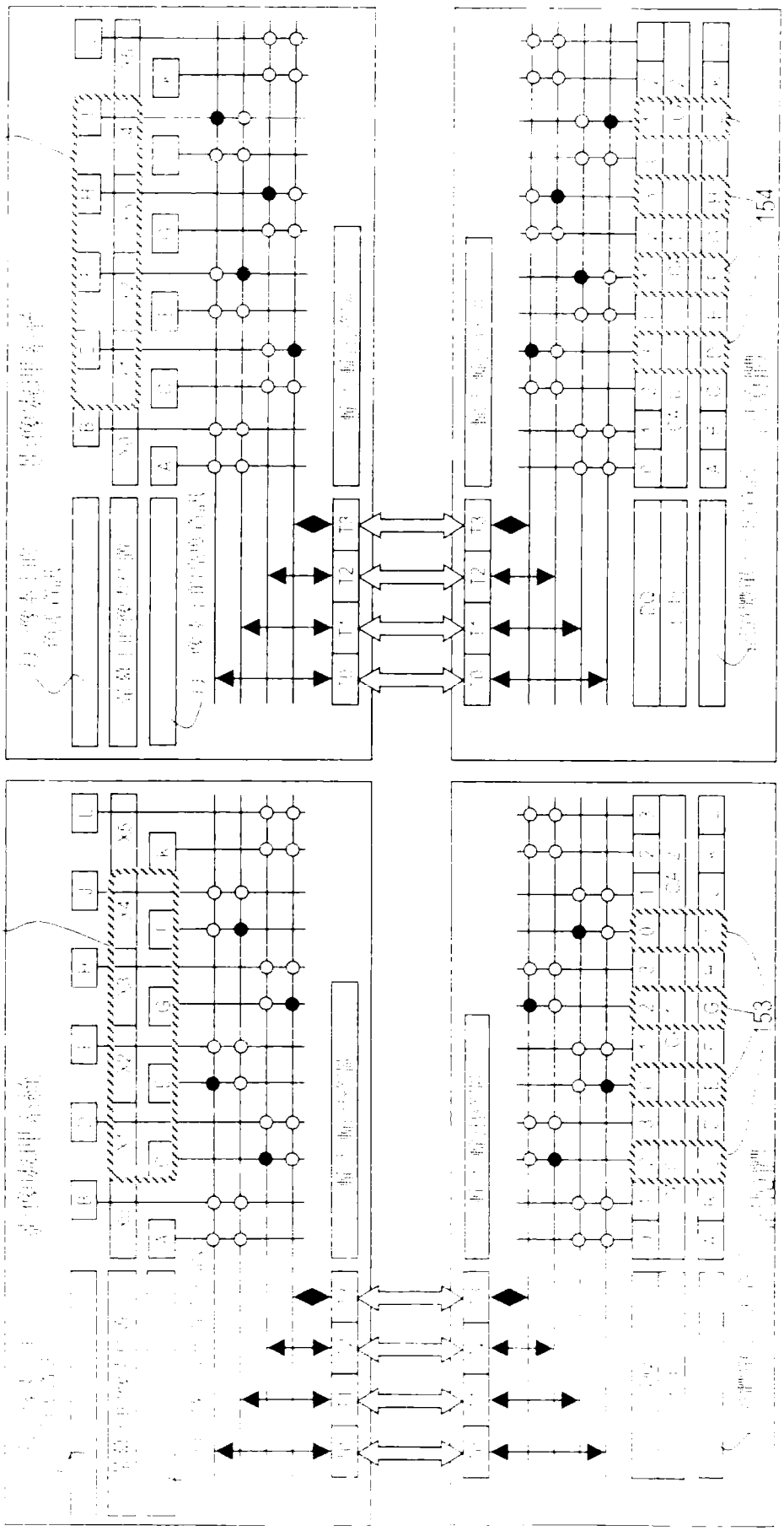


第13圖

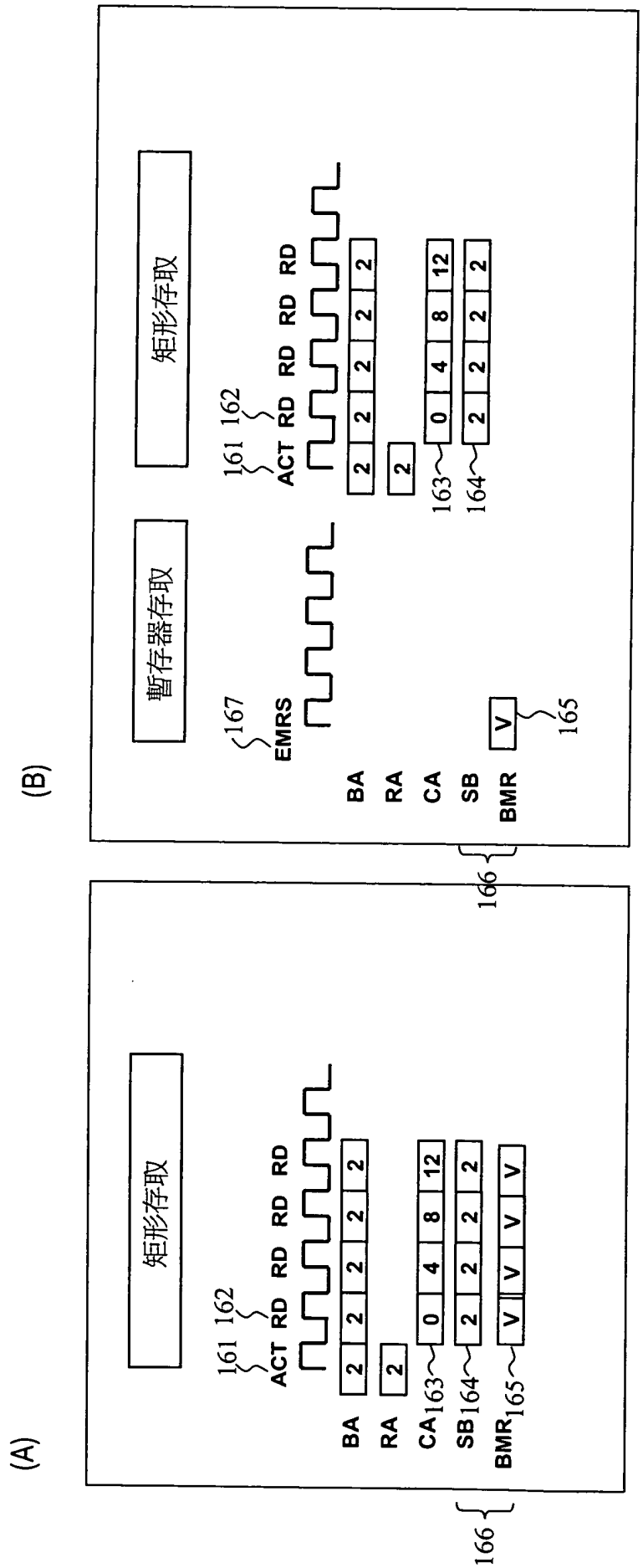
第14圖


14
ACT
RD
BA
RA
CA
SB
BMR
DQ0
DQ1
DQ2
DQ3
142
CA=1
CA=2
CA=0
CA=1
15
(1)
RA=0
RA=1
RA=2
RA=255
CA=0
CA=1
CA=2
CA=255
140
16
(2)
144
145
CA=2
CA=1
CA=0
17
DQ
CA0
CA1
CA2
CA7
CA8
CA9
CA10
CA15
CA120
CA121
CA122
CA127

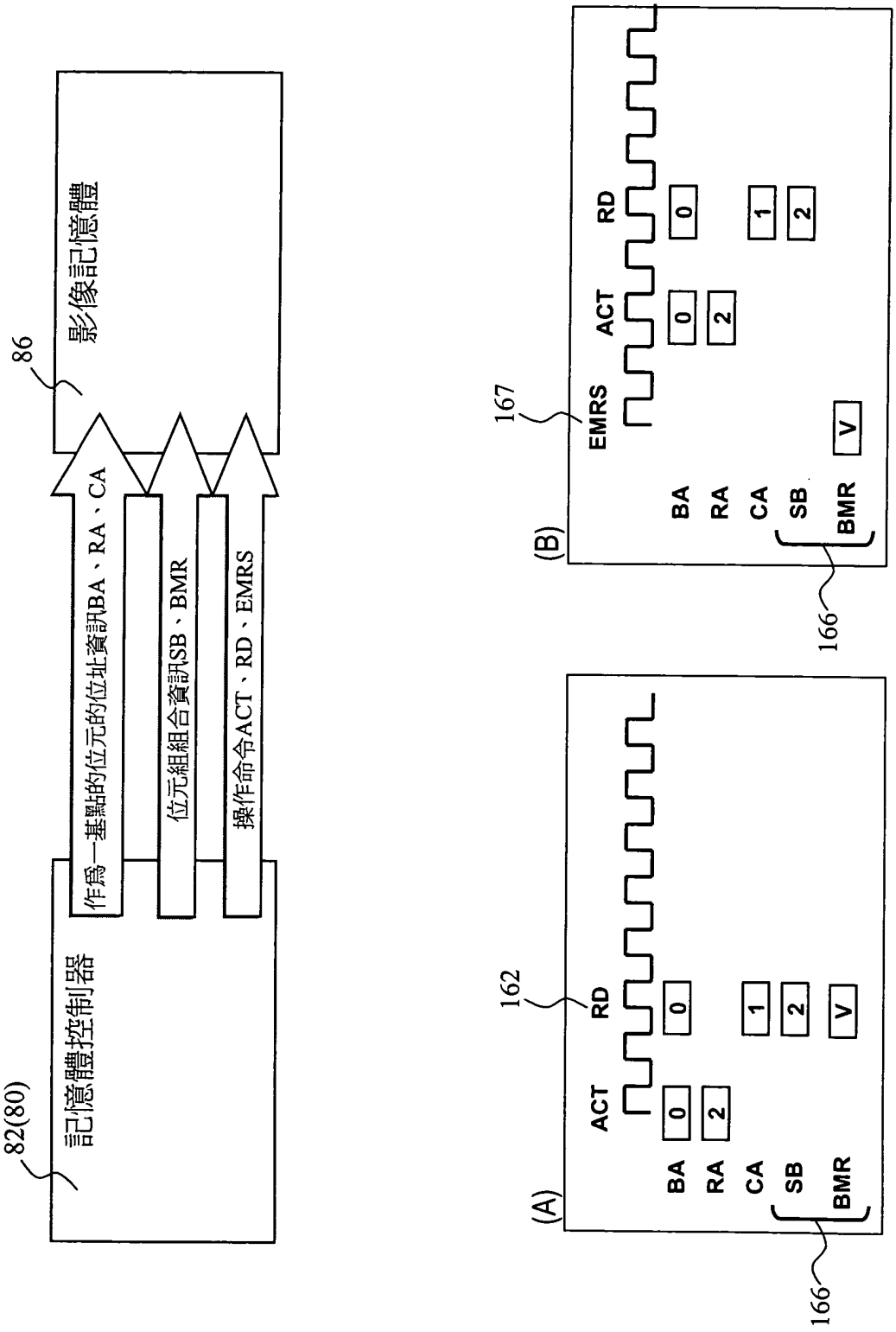
第15圖



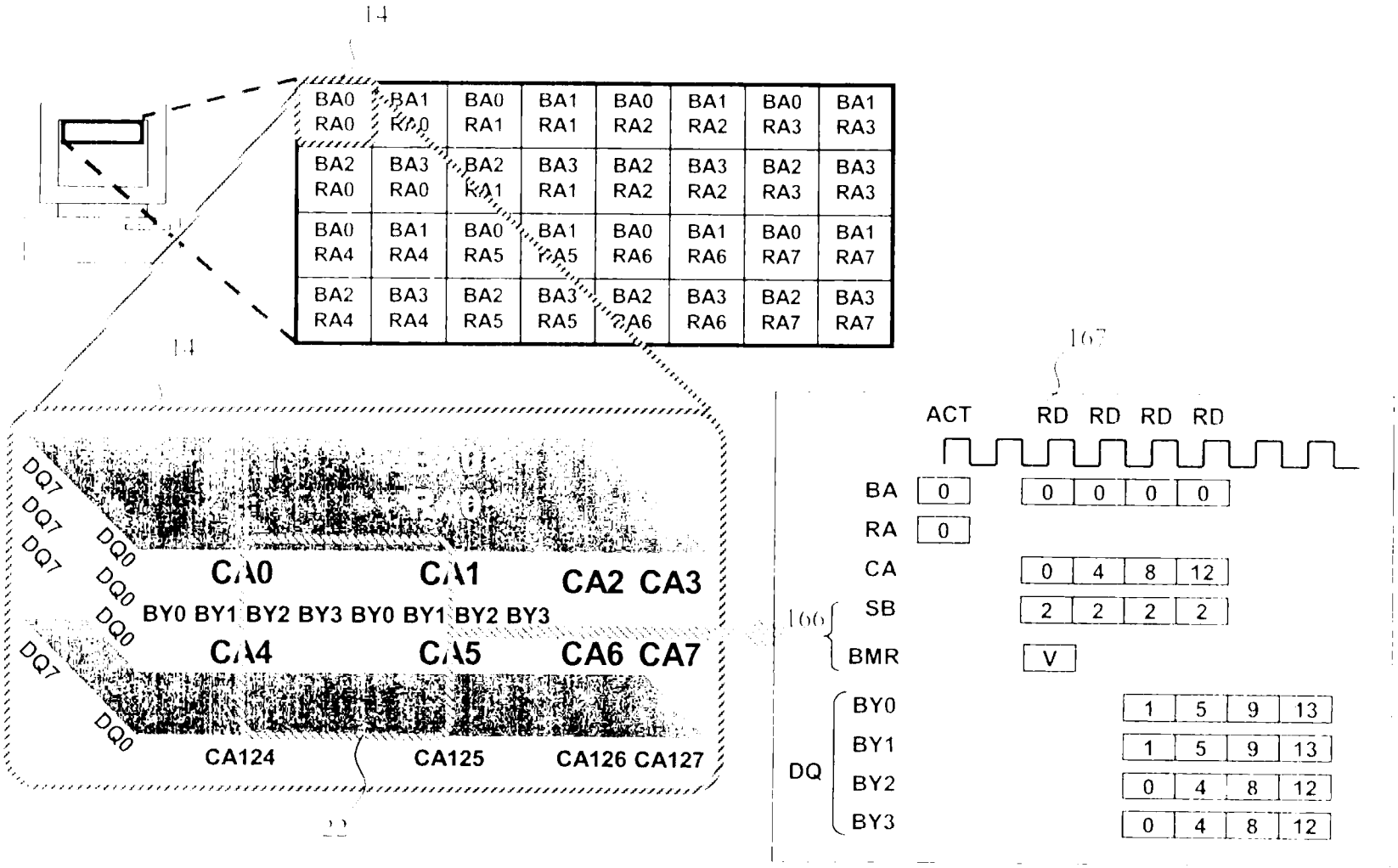
第16圖


(A)
矩形存取
161 162
ACT RD RD RD
BA 2 2 2 2 2
RA 2
CA163 0 4 8 12
SB164 2 2 2 2
BMR165 V V V V
166
(B)
矩形存取
暫存器存取
161 162
ACT RD RD RD
BA 2 2 2 2 2
RA 2
CA163 0 4 8 12
SB164 2 2 2 2
BMR V 165
167
EMRS
166

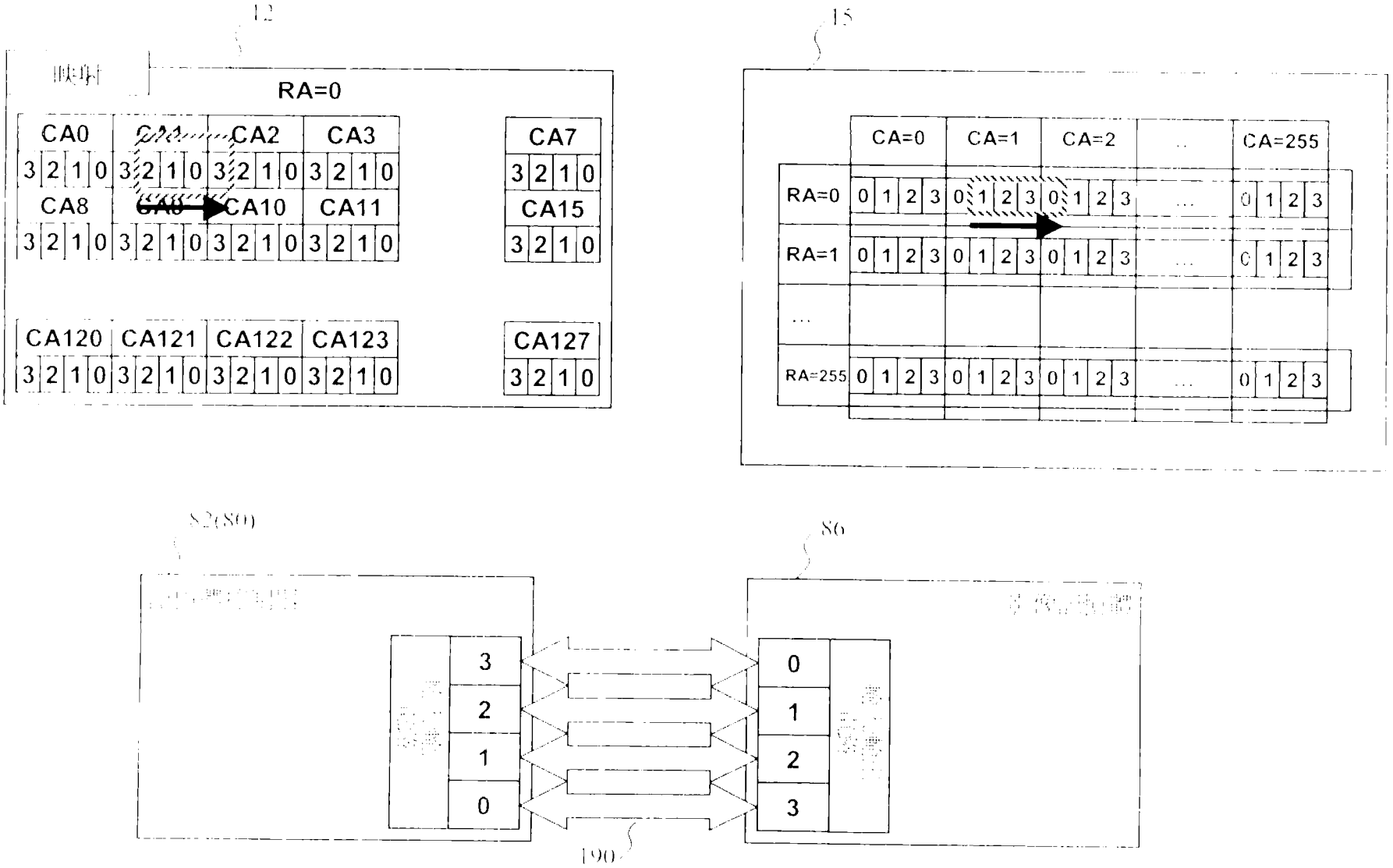
第17圖


82(80)
記憶體控制器
作爲一基點的位元的位址資訊BA、RA、CA
位元組組合資訊SB、BMR
操作命令ACT、RD、EMRS
86
影像記憶體
(A)
162
ACT
RD
BA
RA
CA
SB
BMR
0
2
1
2
V
166
(B)
167
EMRS
ACT
RD
BA
RA
CA
SB
BMR
0
2
0
2
1
2
V
166

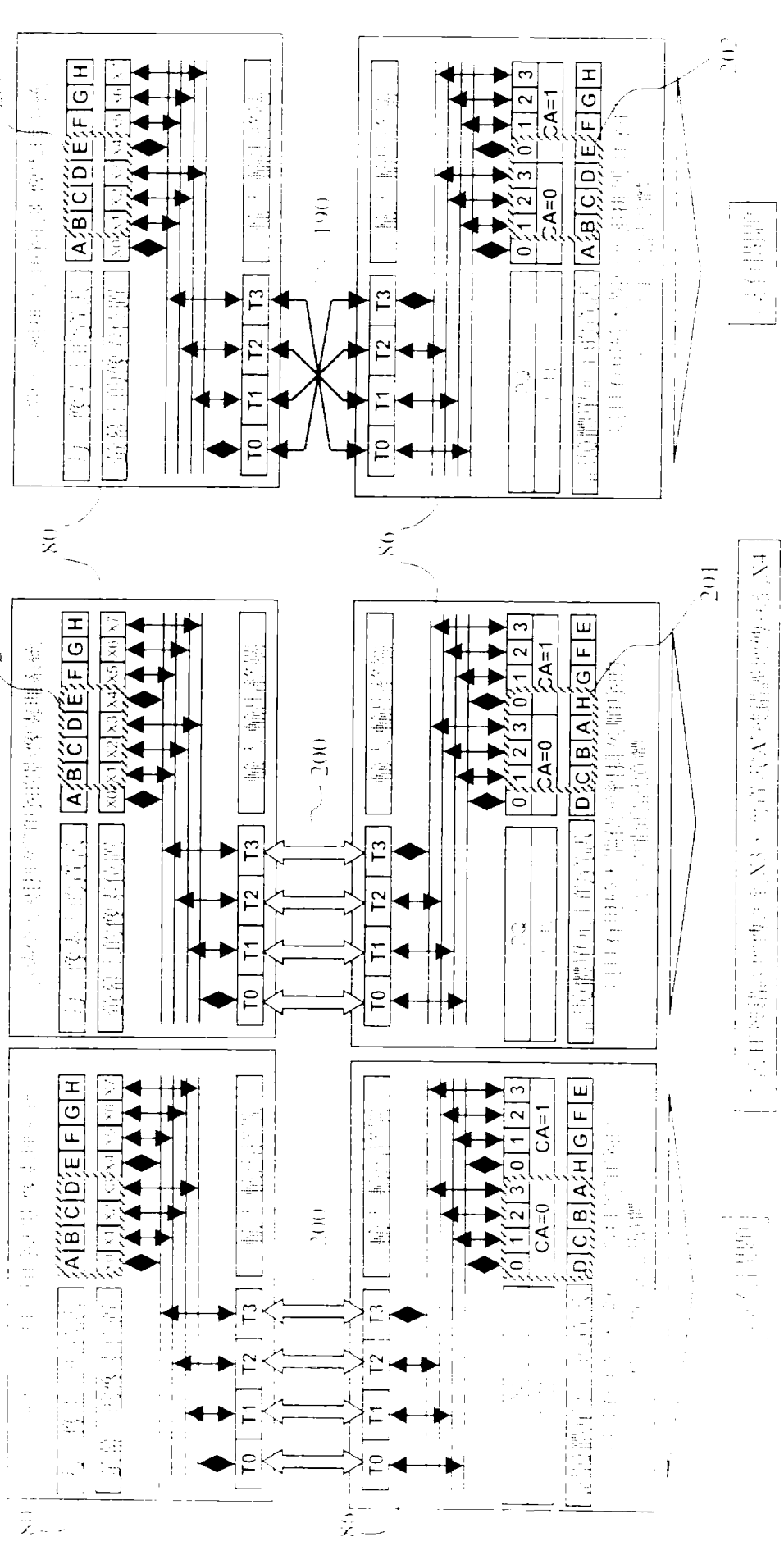
第18圖


14
BA0 RA0
BA1 RA0
BA0 RA1
BA1 RA1
BA0 RA2
BA1 RA2
BA0 RA3
BA1 RA3
BA2 RA0
BA3 RA0
BA2 RA1
BA3 RA1
BA2 RA2
BA3 RA2
BA2 RA3
BA3 RA3
BA0 RA4
BA1 RA4
BA0 RA5
BA1 RA5
BA0 RA6
BA1 RA6
BA0 RA7
BA1 RA7
BA2 RA4
BA3 RA4
BA2 RA5
BA3 RA5
BA2 RA6
BA3 RA6
BA2 RA7
BA3 RA7
14
DQ7
DQ7
DQ7
DQ0
DQ0
DQ0
DQ7
DQ0
CA0
CA1
CA2 CA3
BY0 BY1 BY2 BY3 BY0 BY1 BY2 BY3
CA4
CA5
CA6 CA7
CA124
CA125
CA126 CA127
22
167
ACT
RD RD RD RD
BA
RA
CA
SB
BMR
166
DQ
BY0
BY1
BY2
BY3
0 0 0 0 0
0
0 4 8 12
2 2 2 2
V
1 5 9 13
1 5 9 13
0 4 8 12
0 4 8 12

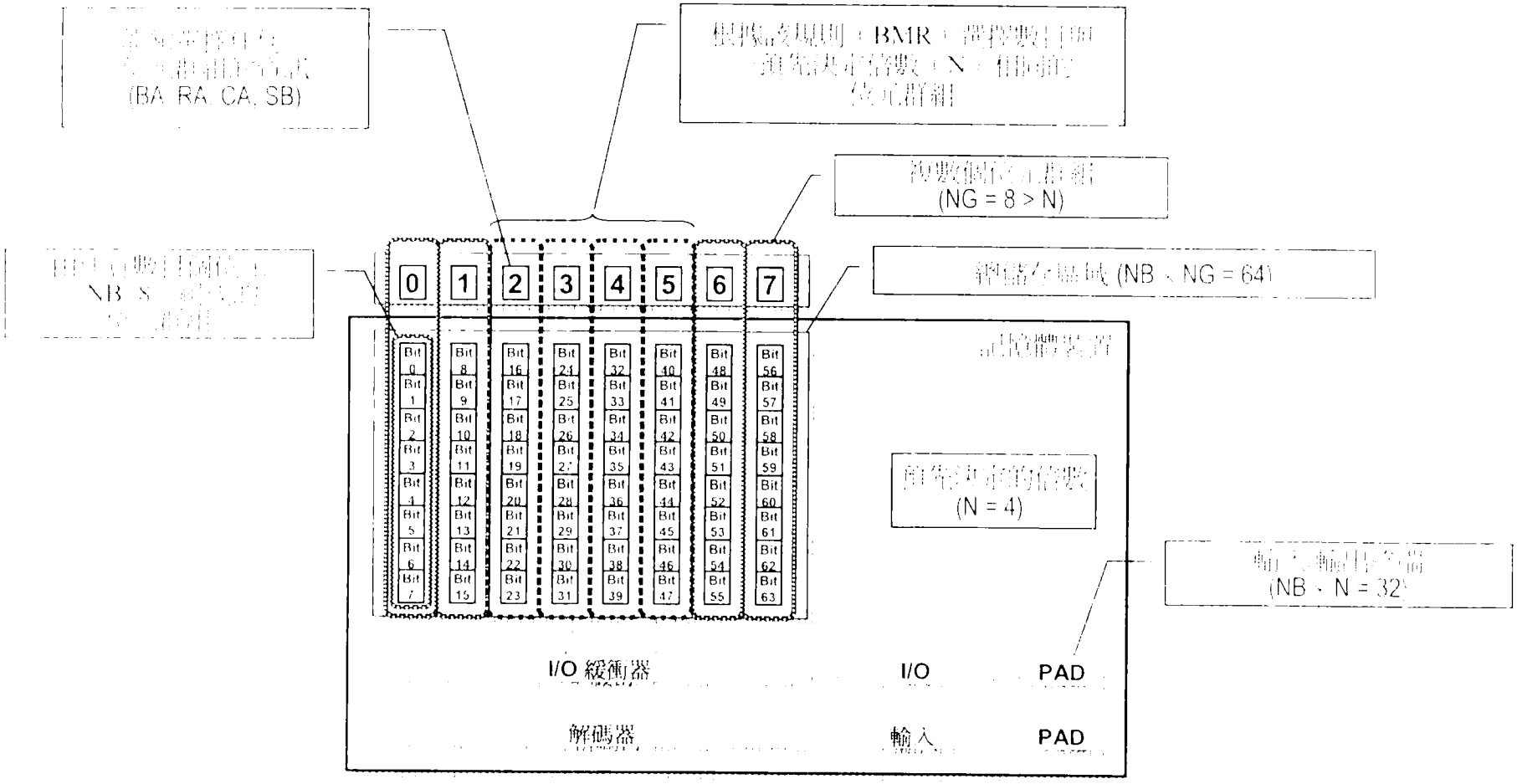
第19圖

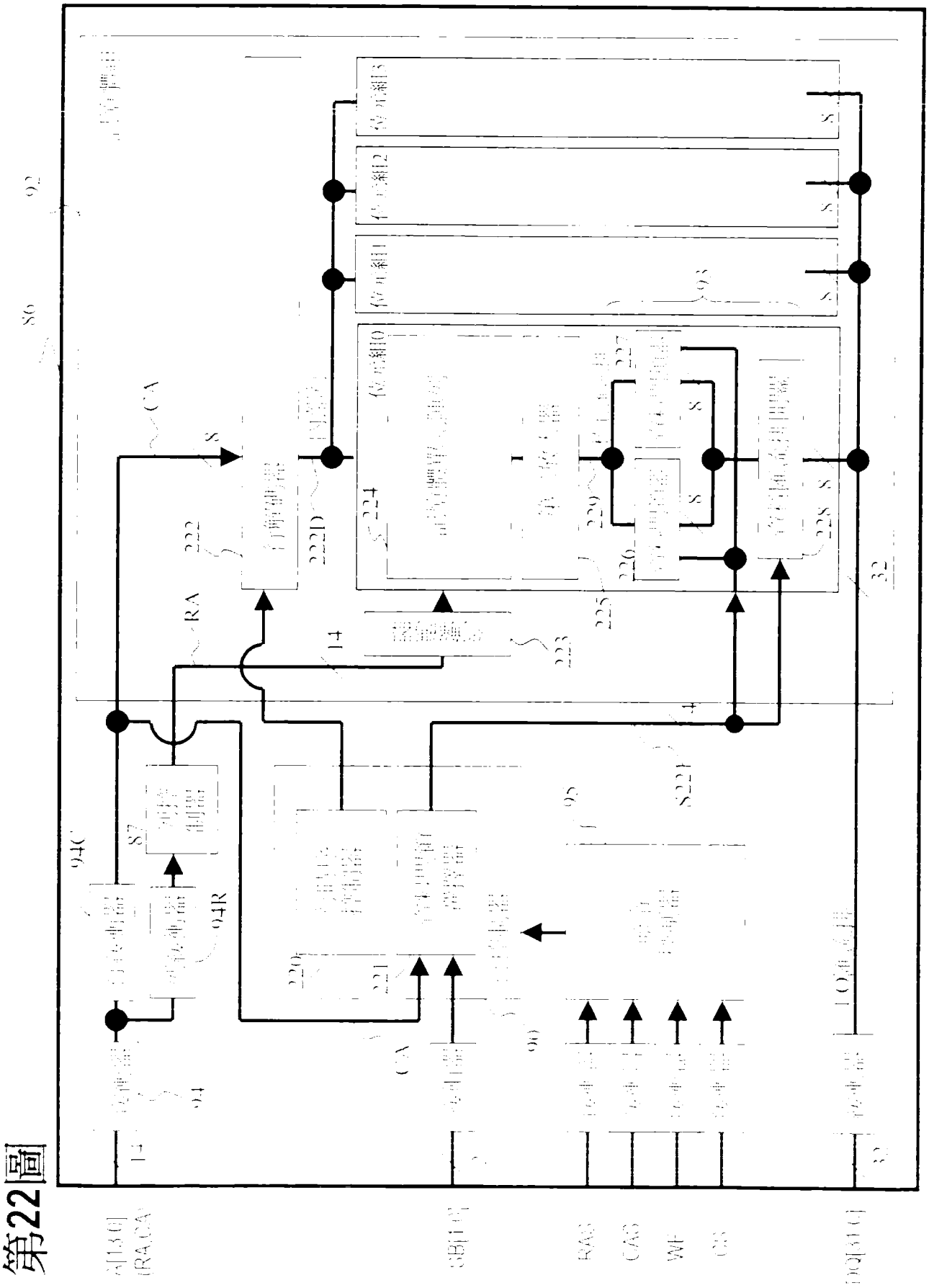

12
RA=0
CA0
CA1
CA2
CA3
CA7
CA8
CA9
CA10
CA11
CA15
CA120
CA121
CA122
CA123
CA127
15
CA=0
CA=1
CA=2
CA=255
RA=0
RA=1
RA=255
82(80)
86
3
2
1
0
0
1
2
3
190

第20圖



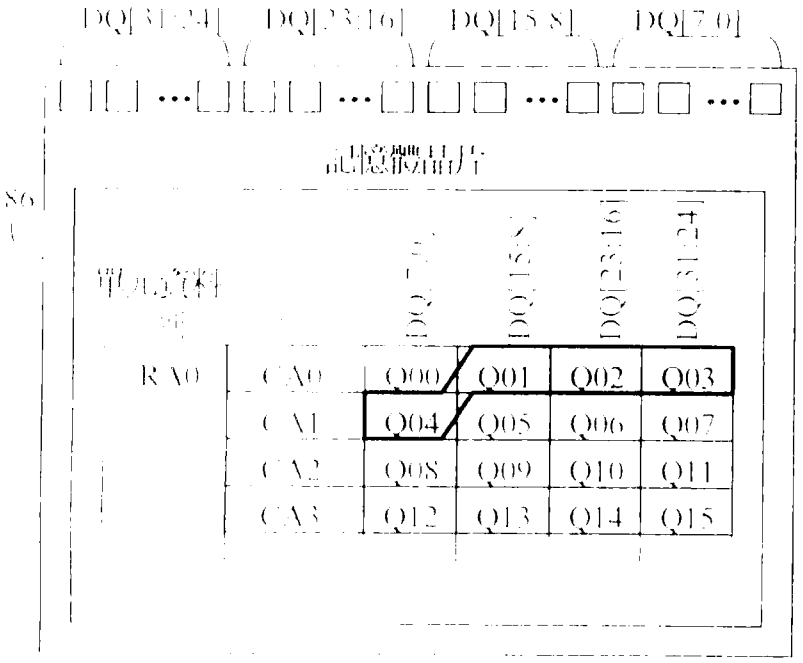
第21圖



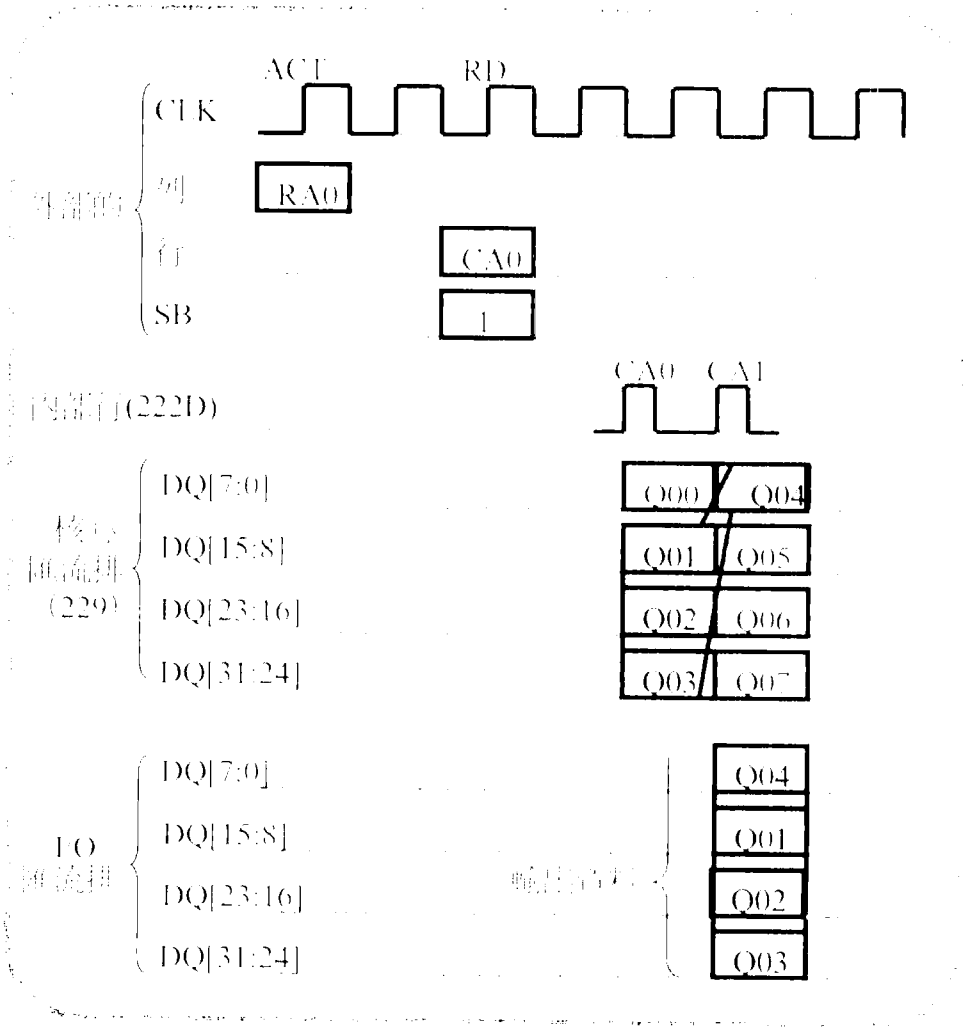


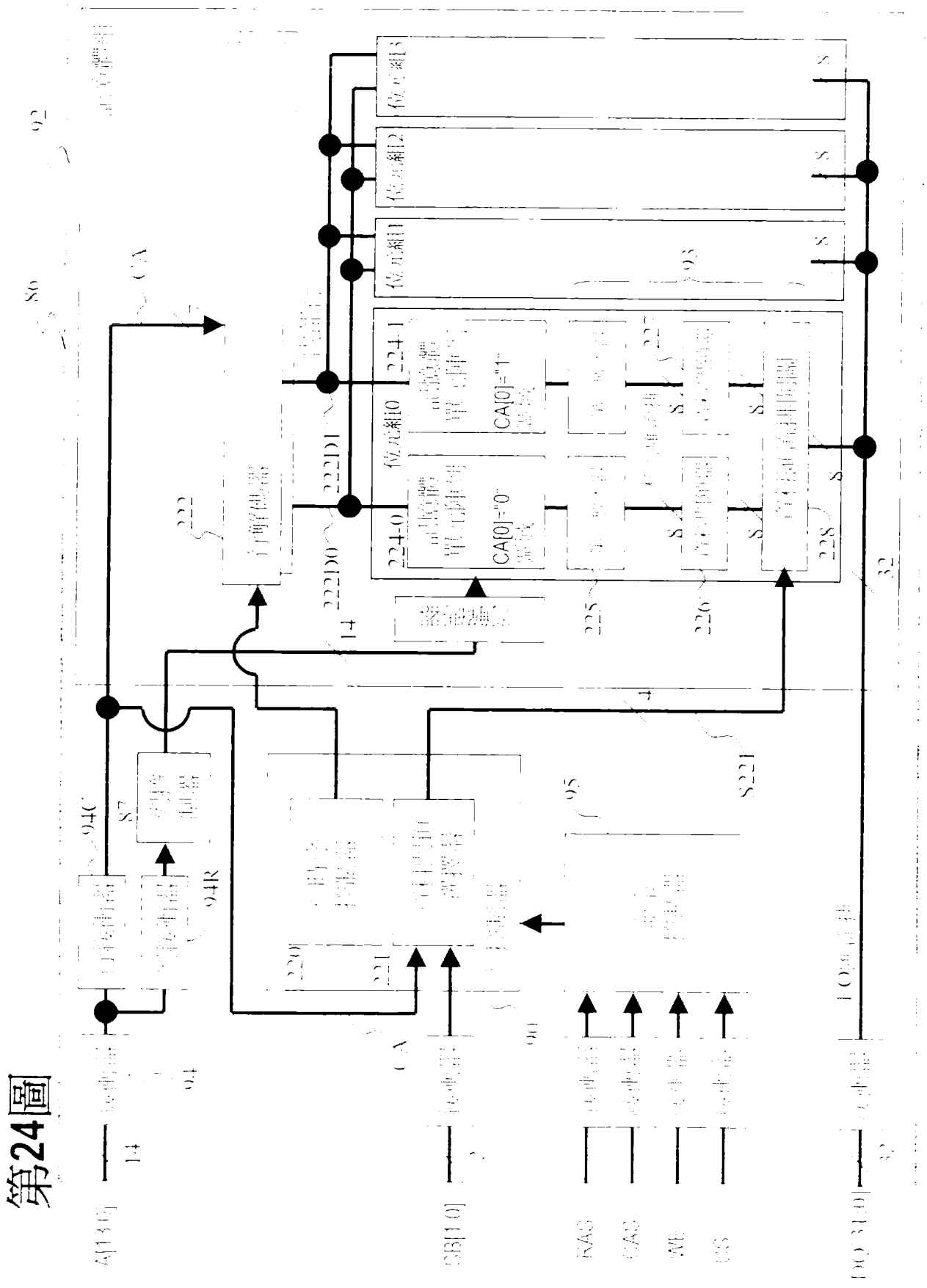
第22圖

第23圖



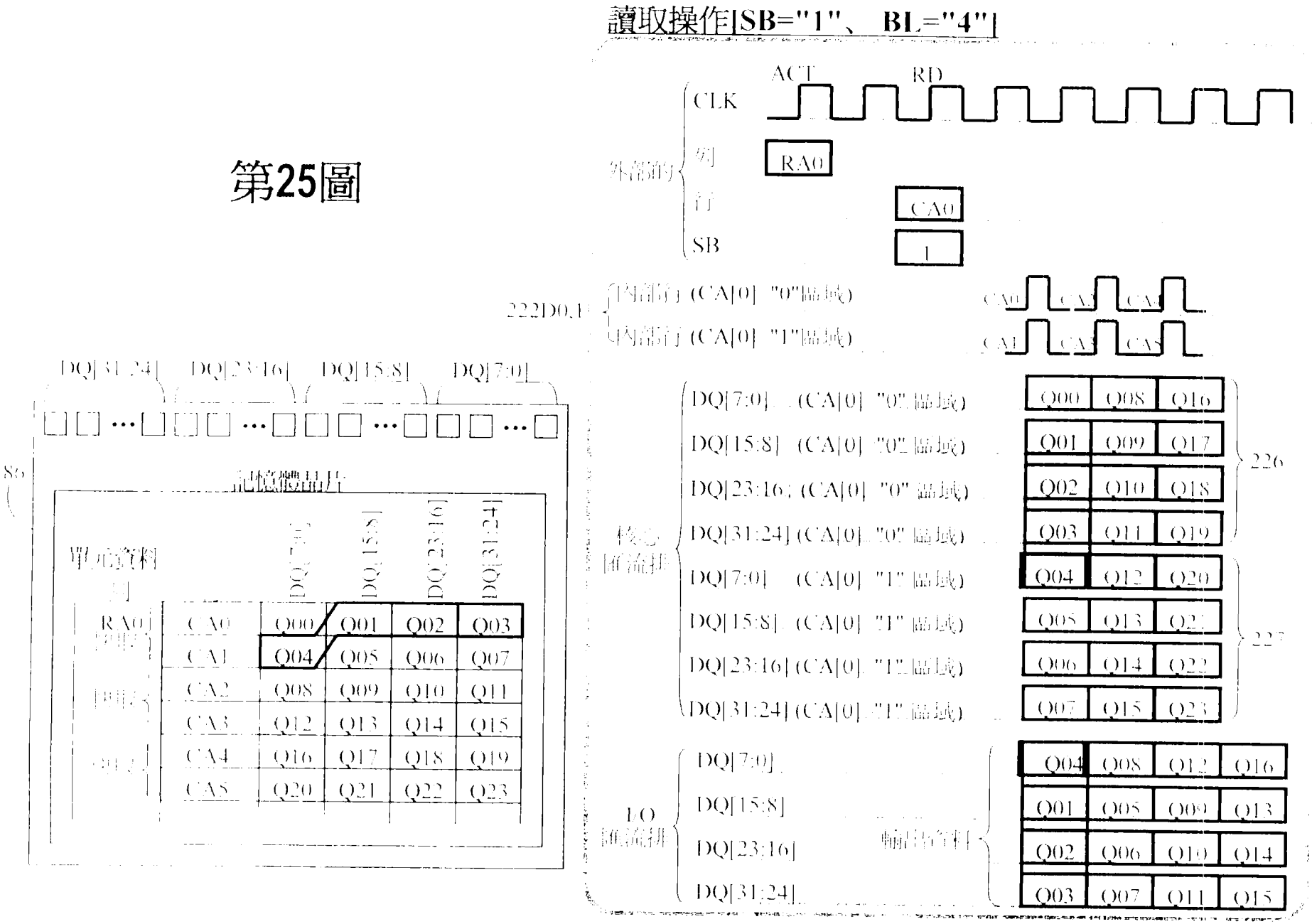
讀取操作[SB="1"]



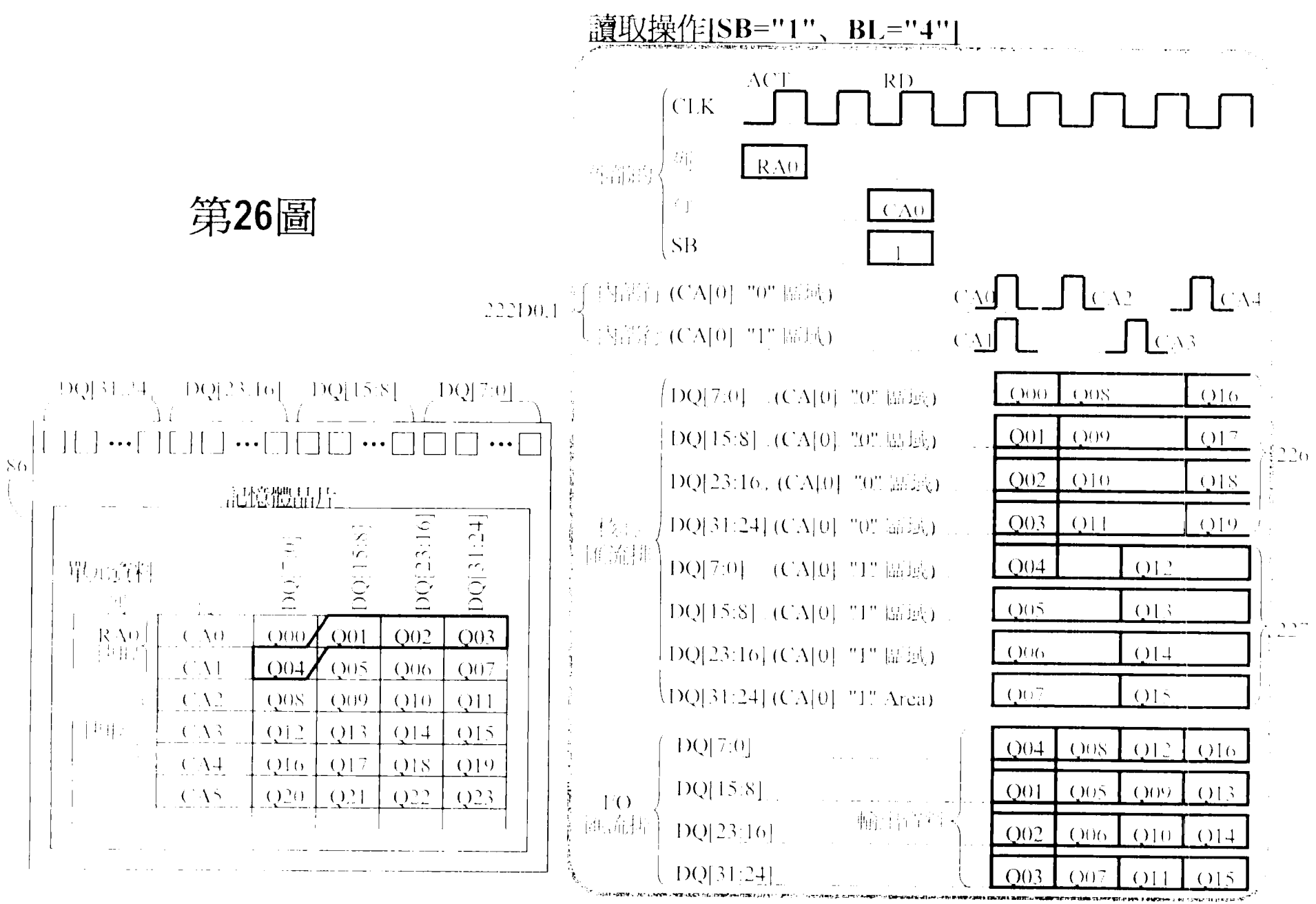


第24圖

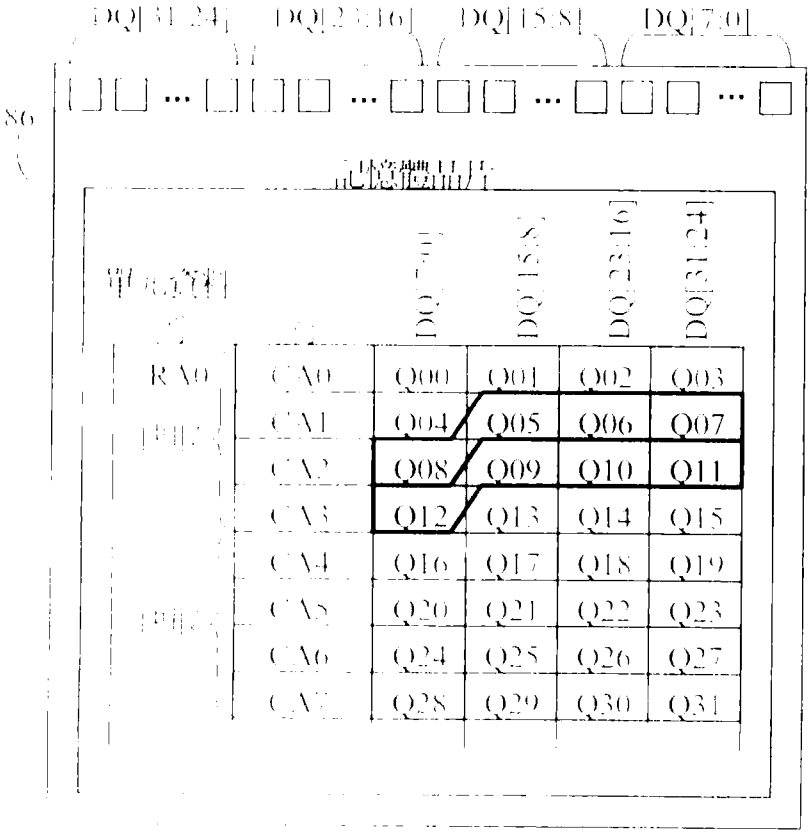
第25圖


讀取操作[SB="1"、 BL="4"]
ACT
RD
CLK
外部的
列
RA0
行
CA0
SB
1
222[0,1]
內部行 (CA[0] "0"區域)
內部行 (CA[0] "1"區域)
CA0
CA2
CA4
CA1
CA3
CA5
DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
86
記憶體晶片
單元資料
列
RA0
CA0
CA1
CA2
CA3
CA4
CA5
Q00
Q01
Q02
Q03
Q04
Q05
Q06
Q07
Q08
Q09
Q10
Q11
Q12
Q13
Q14
Q15
Q16
Q17
Q18
Q19
Q20
Q21
Q22
Q23
核心陣流排
DQ[7:0] (CA[0] "0"區域)
DQ[15:8] (CA[0] "0"區域)
DQ[23:16] (CA[0] "0"區域)
DQ[31:24] (CA[0] "0"區域)
DQ[7:0] (CA[0] "1"區域)
DQ[15:8] (CA[0] "1"區域)
DQ[23:16] (CA[0] "1"區域)
DQ[31:24] (CA[0] "1"區域)
Q00
Q08
Q16
Q01
Q09
Q17
Q02
Q10
Q18
Q03
Q11
Q19
Q04
Q12
Q20
Q05
Q13
Q21
Q06
Q14
Q22
Q07
Q15
Q23
226
227
I/O
陣流排
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
輸出的資料
Q04
Q08
Q12
Q16
Q01
Q05
Q09
Q13
Q02
Q06
Q10
Q14
Q03
Q07
Q11
Q15

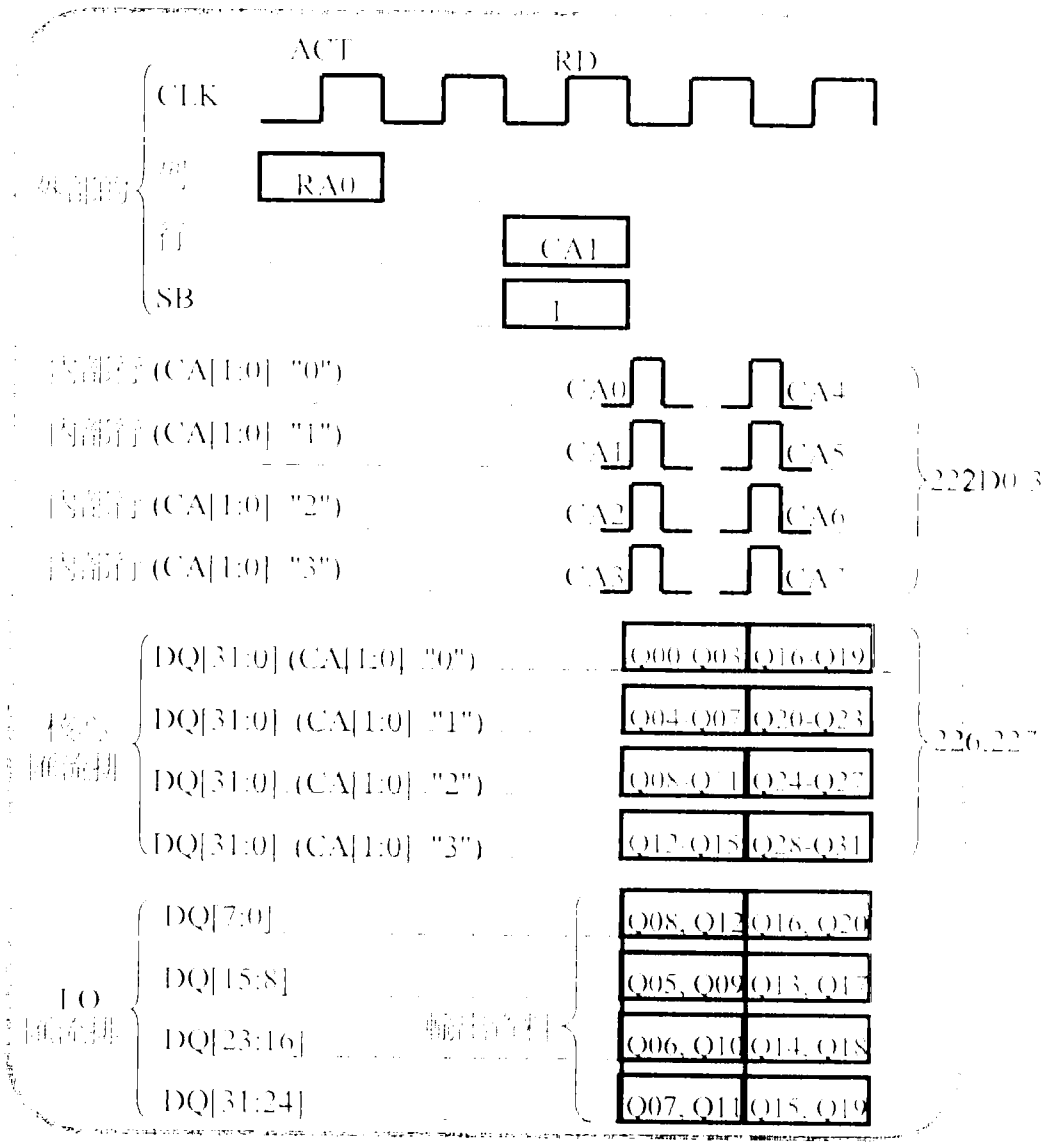
第26圖


讀取操作[SB="1"、BL="4"]
ACT
RD
CLK
列
RA0
行
CA0
SB
1
(CA[0] "0" 區域)
(CA[0] "1" 區域)
CA0
CA2
CA4
CA1
CA3
222D0.1
DQ[7:0] (CA[0] "0" 區域)
DQ[15:8] (CA[0] "0" 區域)
DQ[23:16] (CA[0] "0" 區域)
DQ[31:24] (CA[0] "0" 區域)
DQ[7:0] (CA[0] "1" 區域)
DQ[15:8] (CA[0] "1" 區域)
DQ[23:16] (CA[0] "1" 區域)
DQ[31:24] (CA[0] "1" Area)
Q00 Q08 Q16
Q01 Q09 Q17
Q02 Q10 Q18
Q03 Q11 Q19
Q04 Q12
Q05 Q13
Q06 Q14
Q07 Q15
220
227
I/O
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
Q04 Q08 Q12 Q16
Q01 Q05 Q09 Q13
Q02 Q06 Q10 Q14
Q03 Q07 Q11 Q15
DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
記憶體晶片
CA0 Q00 Q01 Q02 Q03
CA1 Q04 Q05 Q06 Q07
CA2 Q08 Q09 Q10 Q11
CA3 Q12 Q13 Q14 Q15
CA4 Q16 Q17 Q18 Q19
CA5 Q20 Q21 Q22 Q23
86

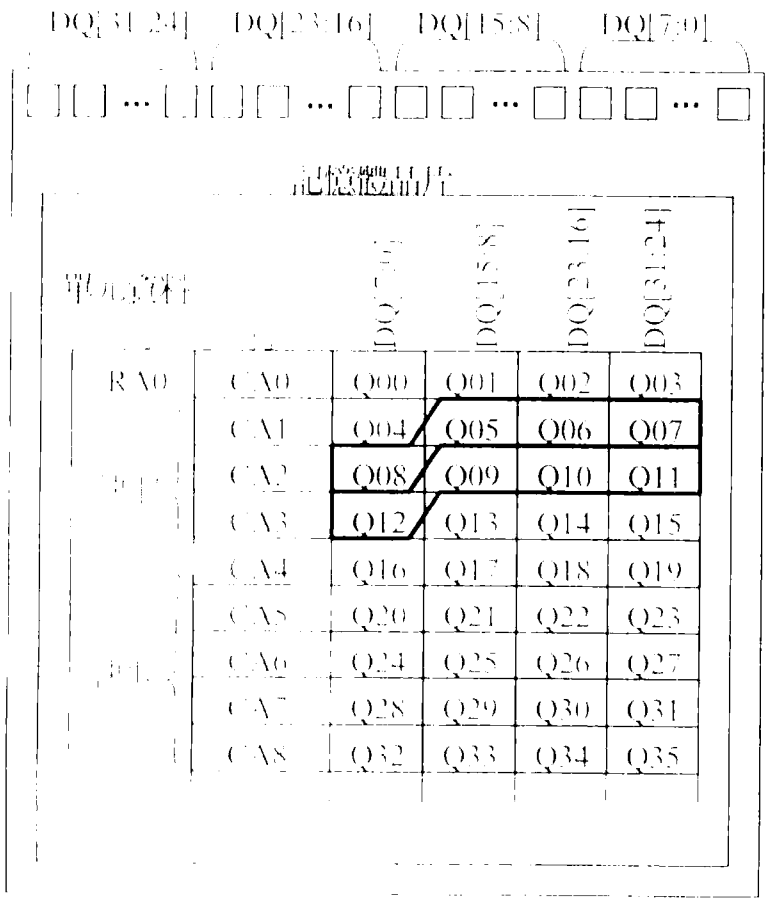
第27圖



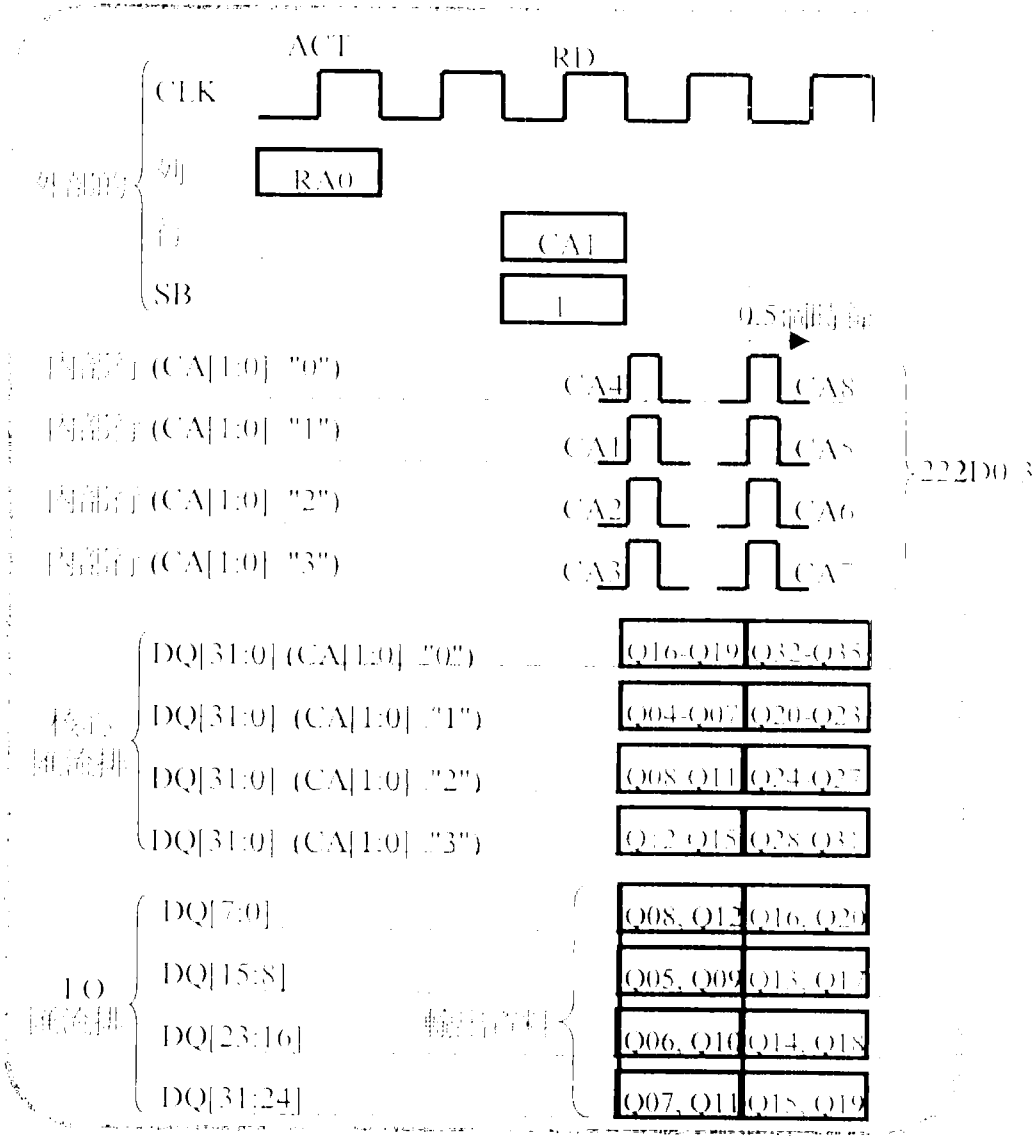
讀取操作[SB="1"、BL="4"]



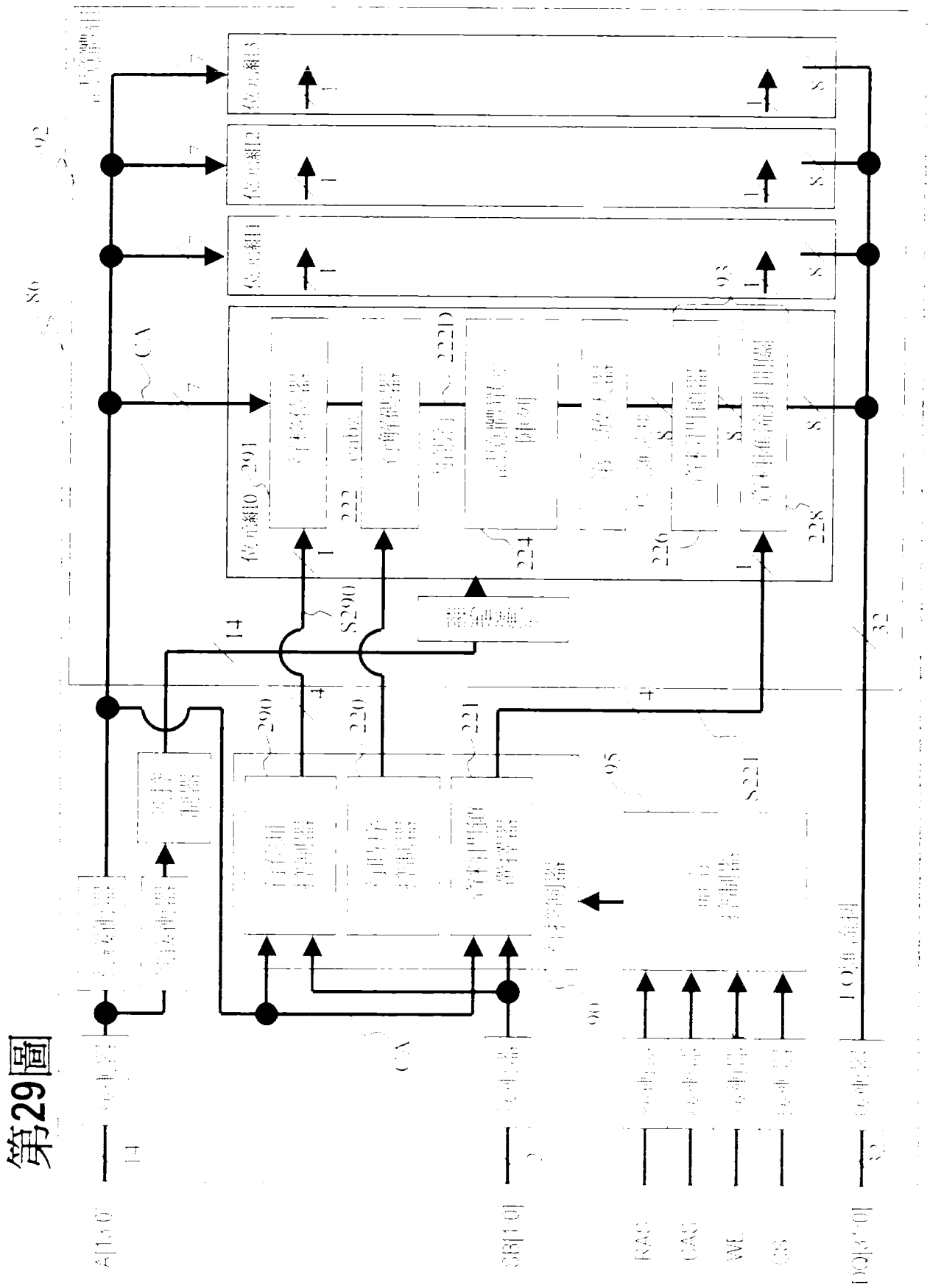
第28圖



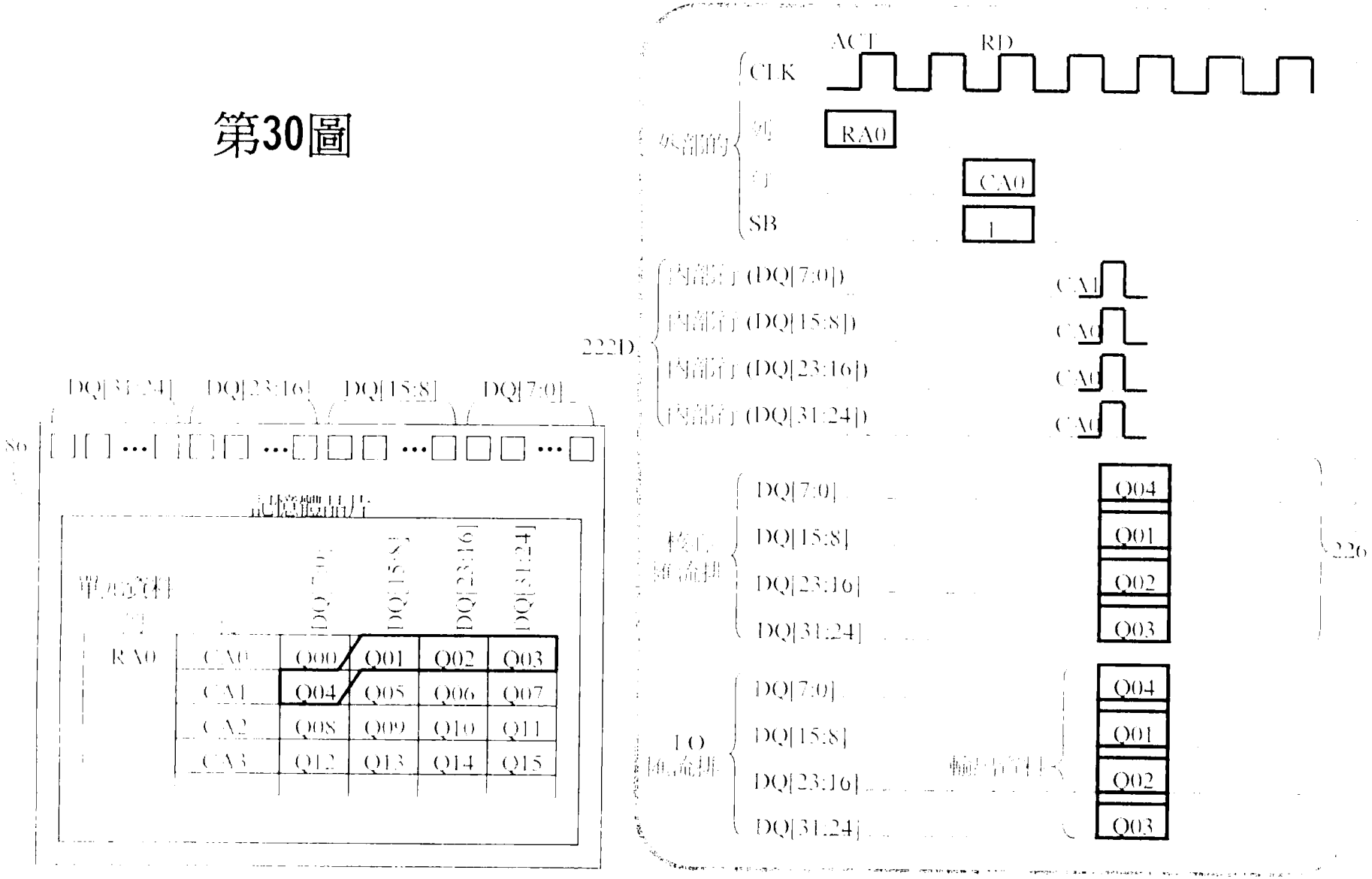
讀取操作[SB="1"、BL="4"]



第29圖

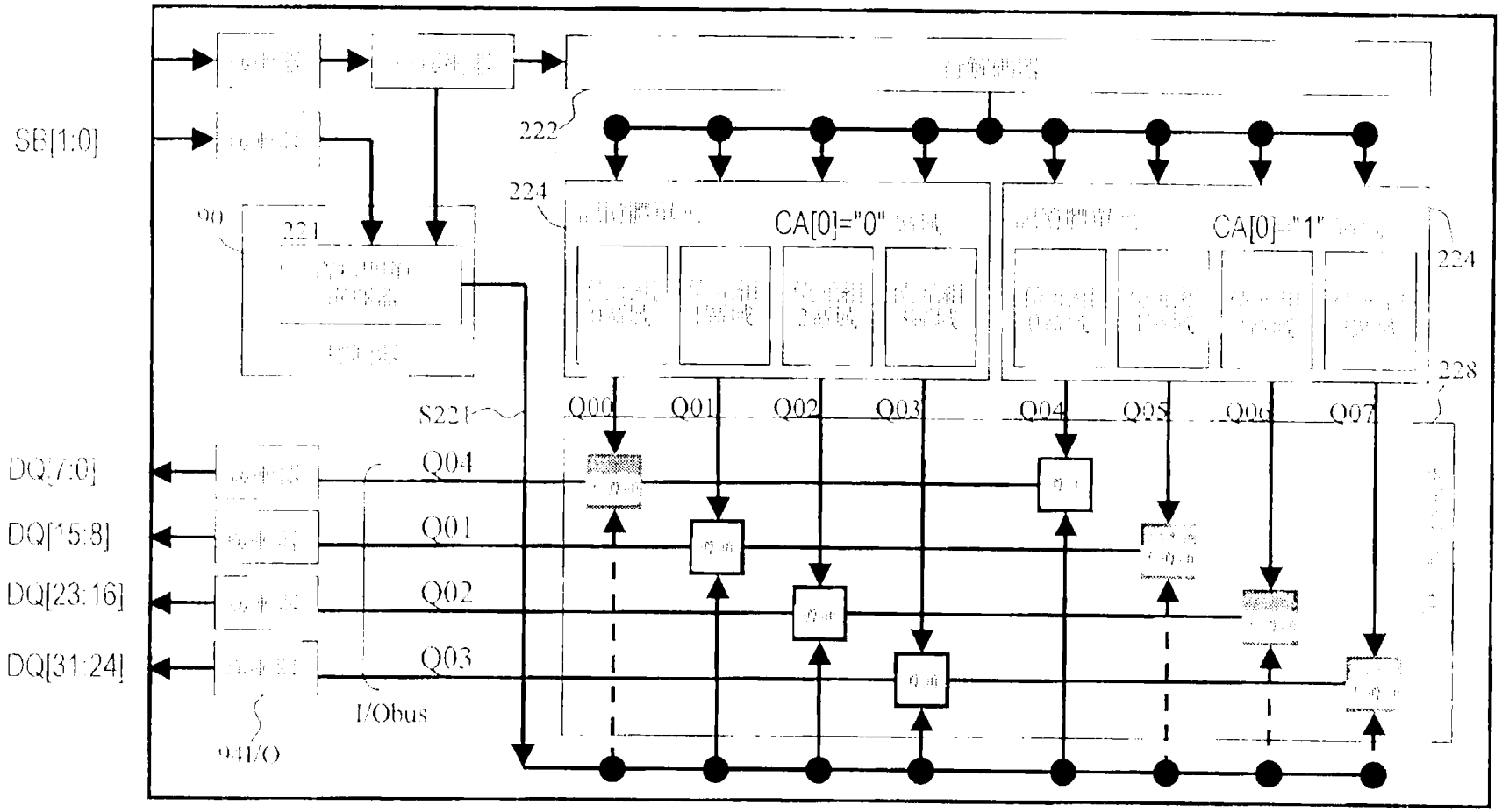


第30圖

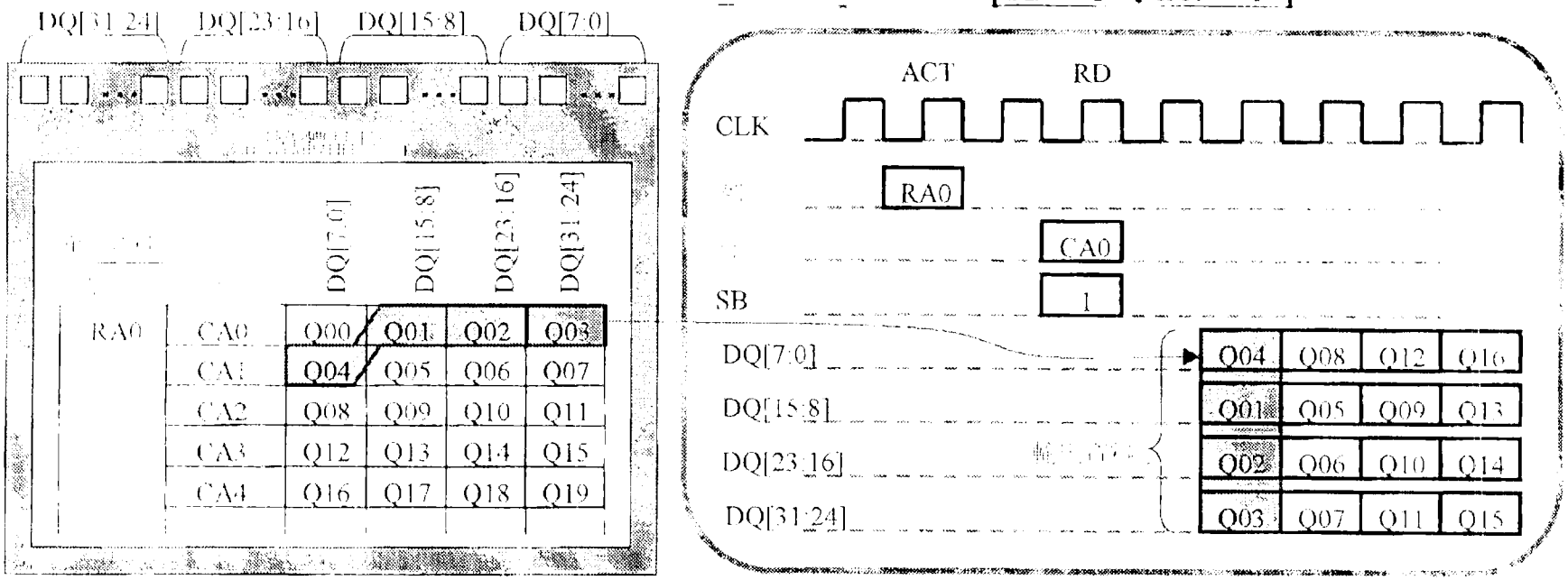

讀取操作[SB="1"]
ACT
RD
CLK
外部的
列
行
SB
RA0
CA0
1
內部行 (DQ[7:0])
內部行 (DQ[15:8])
內部行 (DQ[23:16])
內部行 (DQ[31:24])
CA1
CA0
CA0
CA0
222D
DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
80
記憶體晶片
單元陣列
列
RA0
CA0
CA1
CA2
CA3
Q00
Q01
Q02
Q03
Q04
Q05
Q06
Q07
Q08
Q09
Q10
Q11
Q12
Q13
Q14
Q15
移位暫存器
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
Q04
Q01
Q02
Q03
226
IO 緩衝器
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
輸出緩衝器
Q04
Q01
Q02
Q03

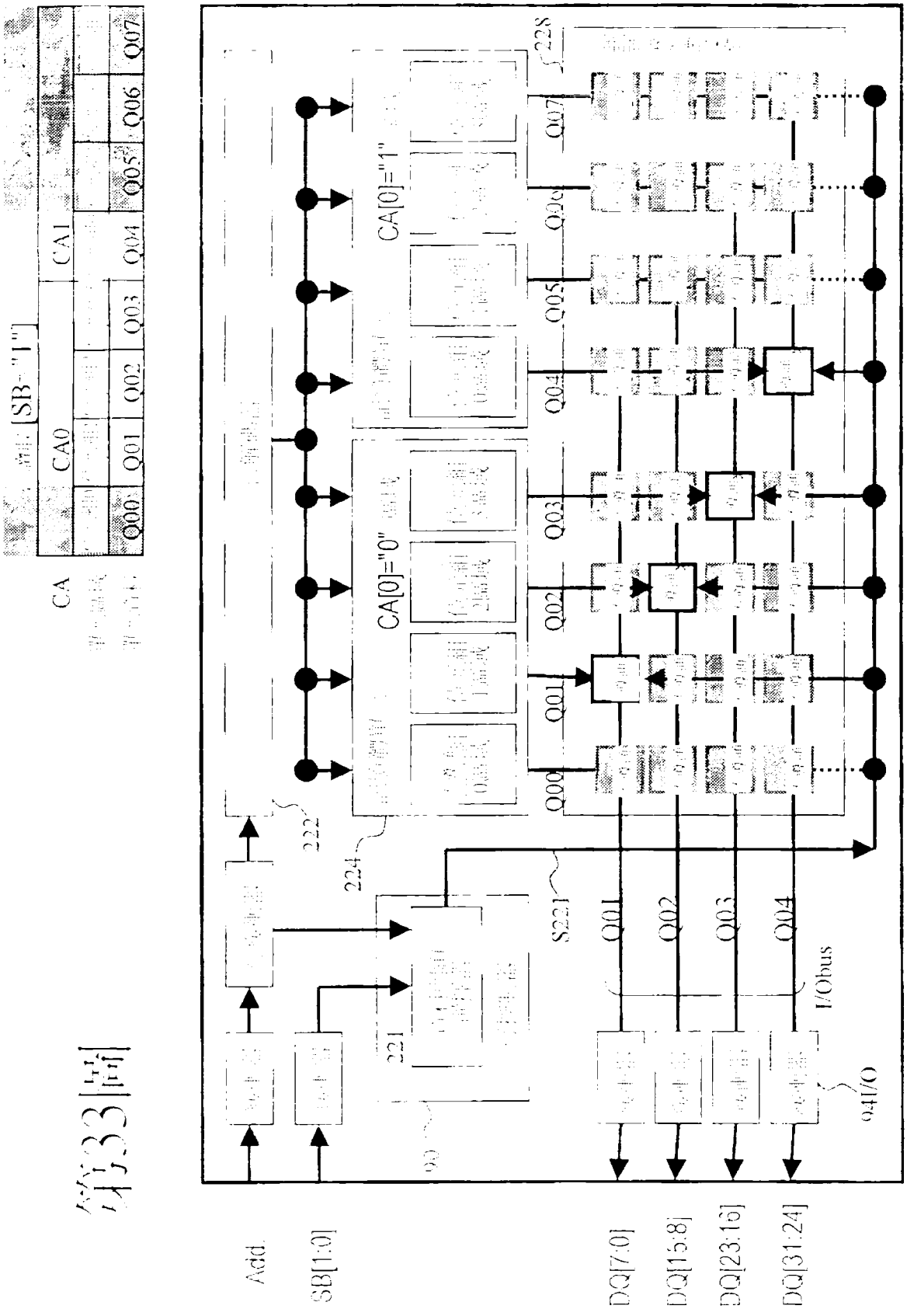
第31圖

	[SB "1"]							
CA	CA0				CA1			
	Q00	Q01	Q02	Q03	Q04	Q05	Q06	Q07

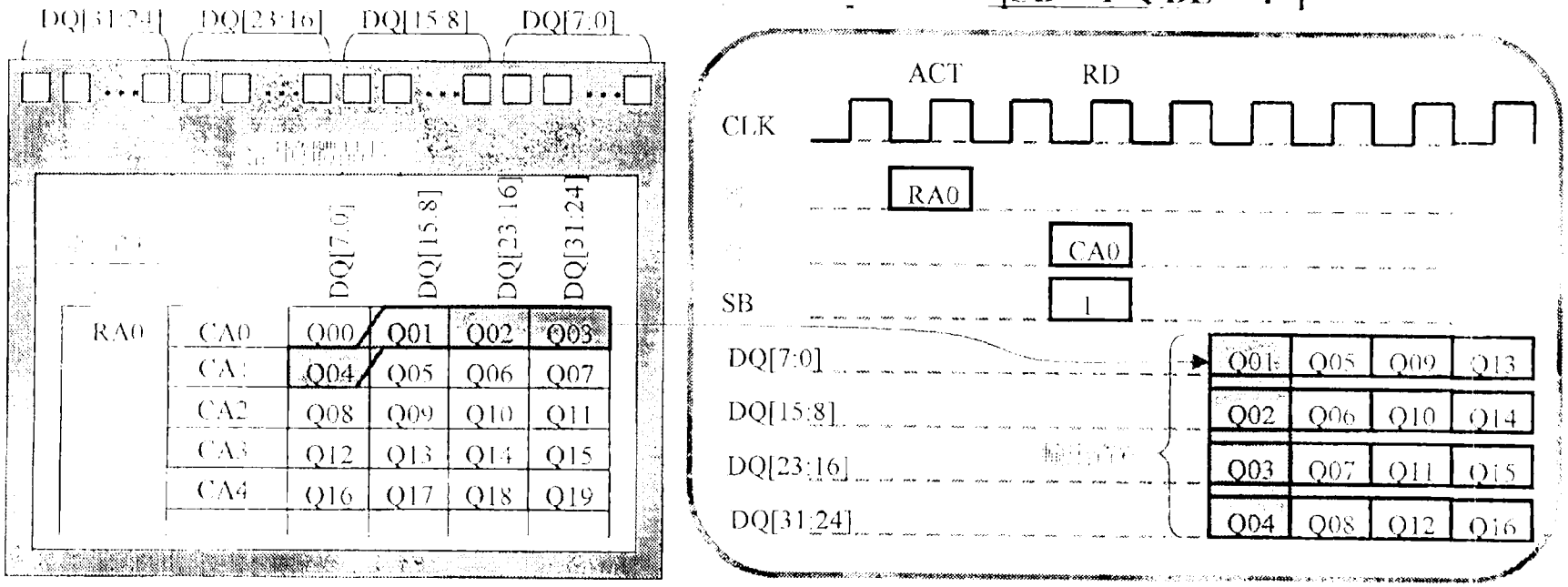


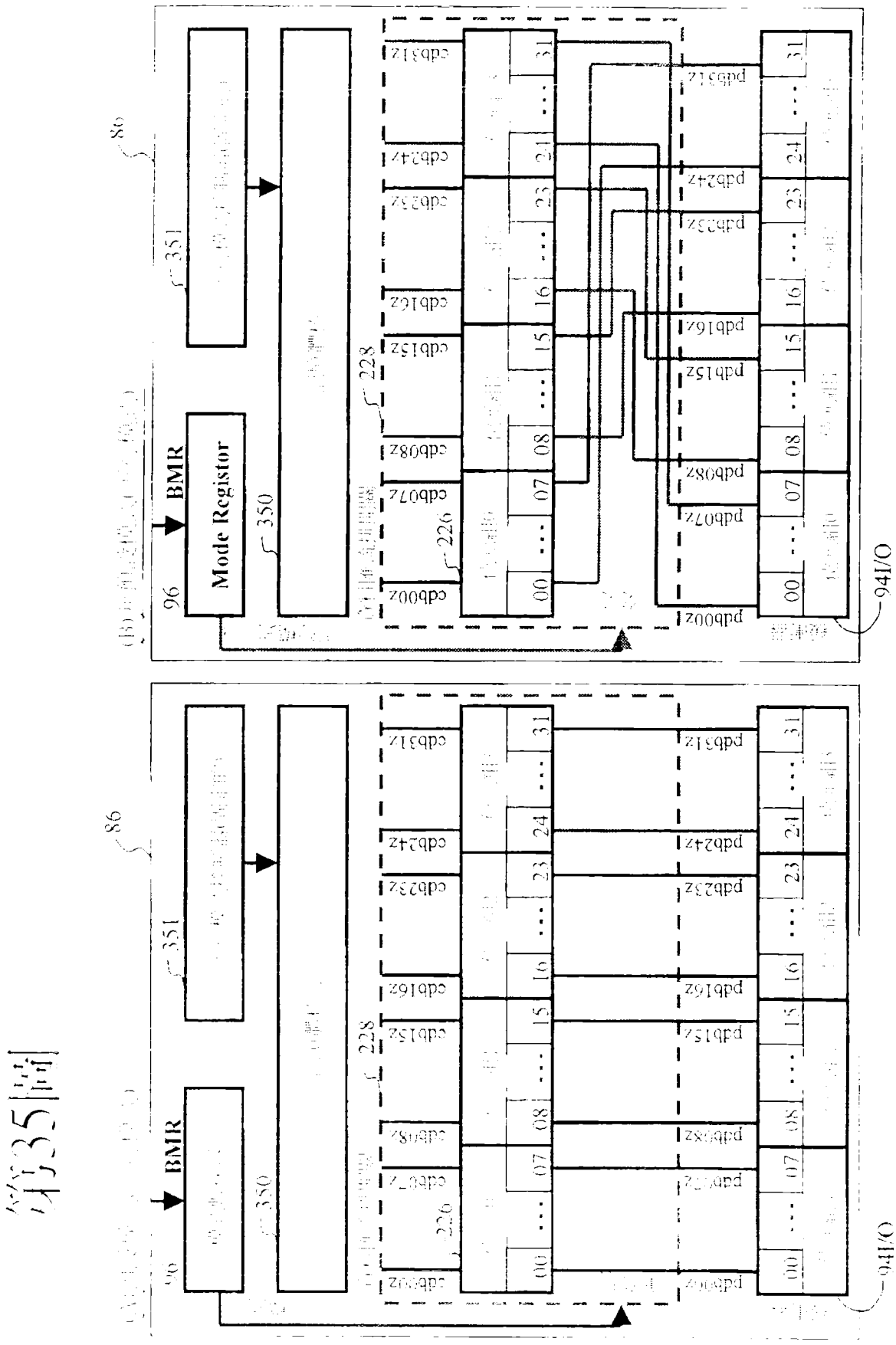
第32圖

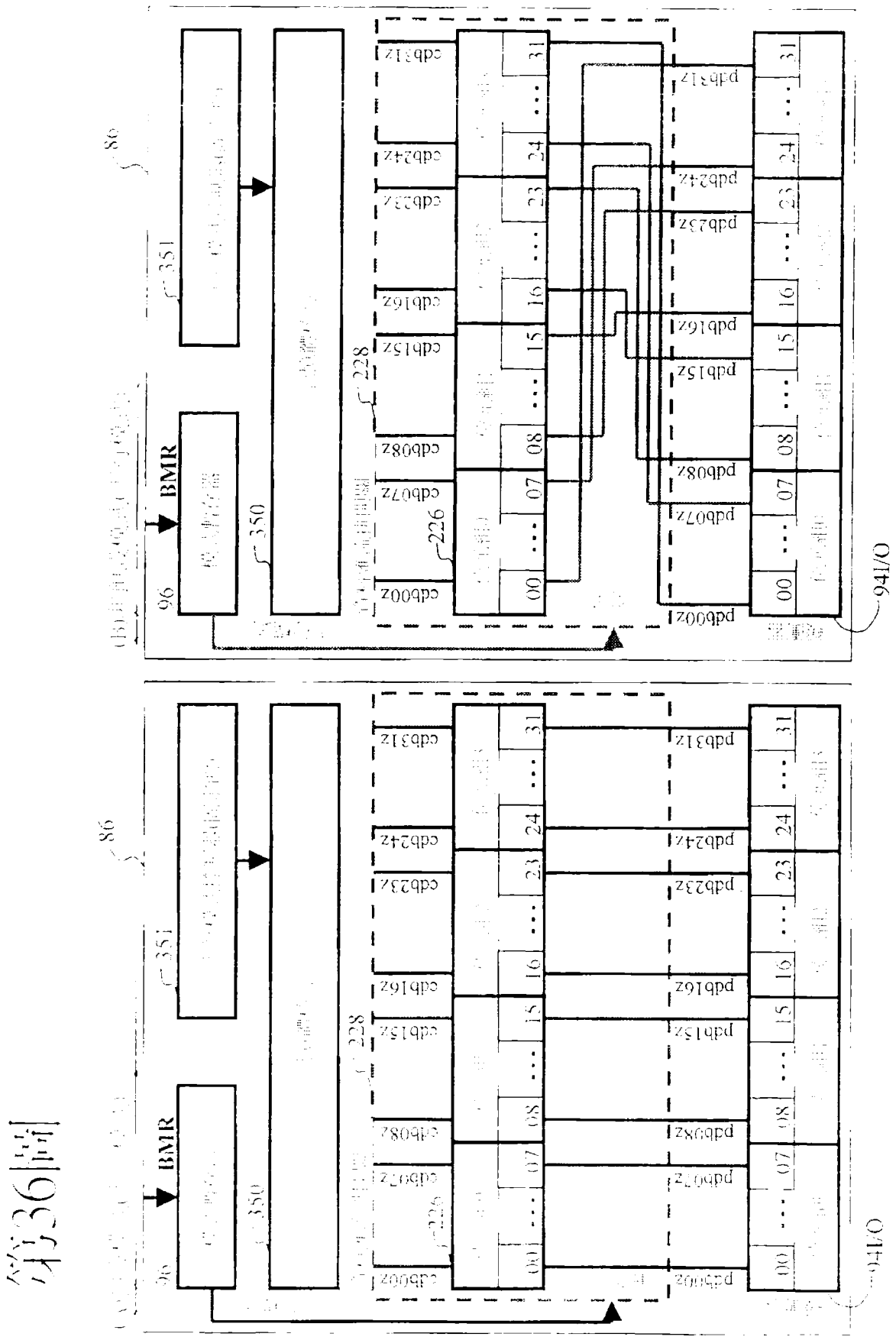

DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
[SB="1"、BL="4"]
ACT
RD
CLK
RA0
CA0
SB
1
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
RA0
CA0 Q00 Q01 Q02 Q03
CA1 Q04 Q05 Q06 Q07
CA2 Q08 Q09 Q10 Q11
CA3 Q12 Q13 Q14 Q15
CA4 Q16 Q17 Q18 Q19
Q04 Q08 Q12 Q16
Q01 Q05 Q09 Q13
Q02 Q06 Q10 Q14
Q03 Q07 Q11 Q15

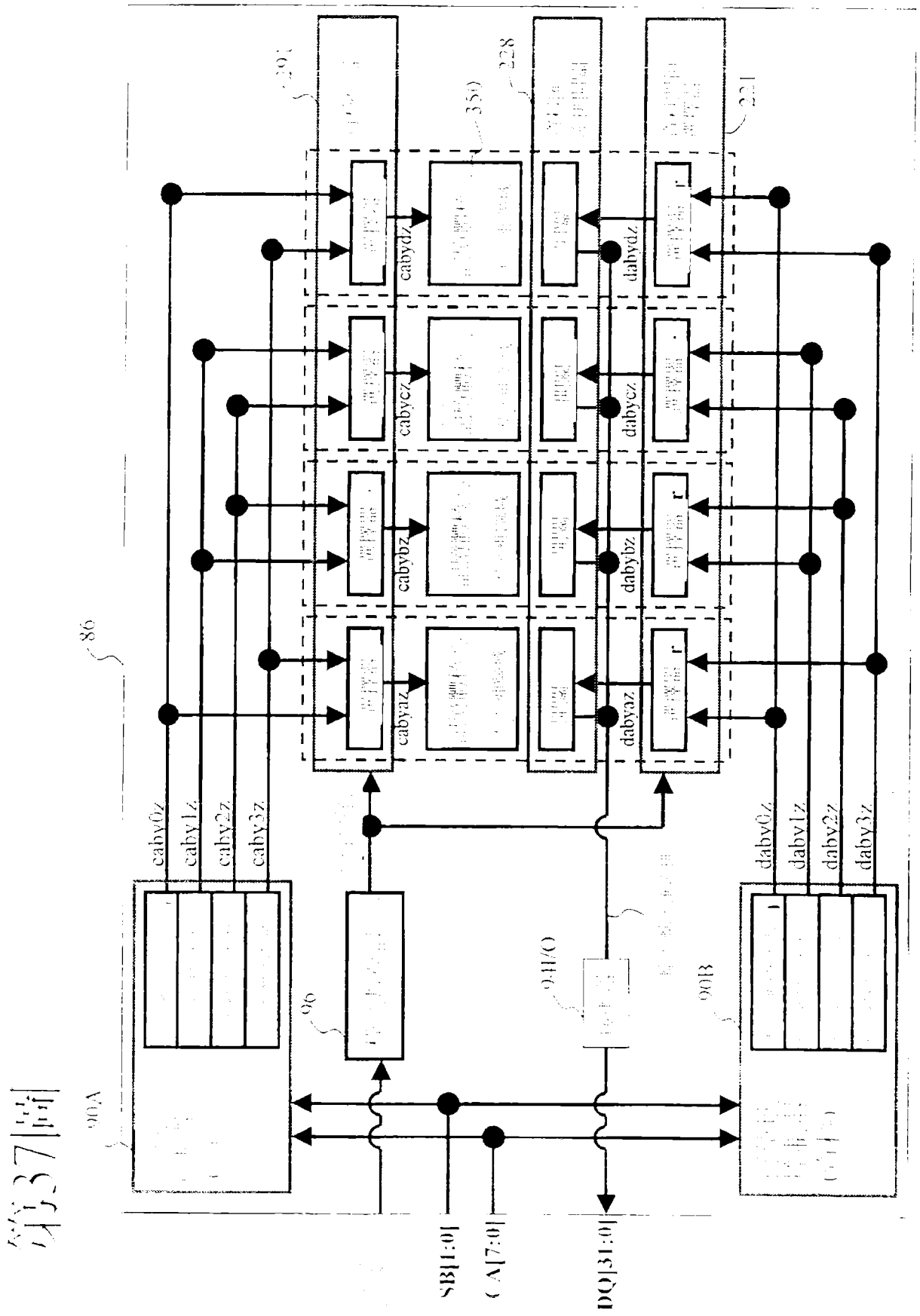

CA
CA0
CA1
[SB="1"]
Q00
Q01
Q02
Q03
Q04
Q05
Q06
Q07
Add.
SB[1:0]
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
CA[0]="0"
CA[0]="1"
222
224
221
228
S221
I/Obus
Q41/O

第34圖

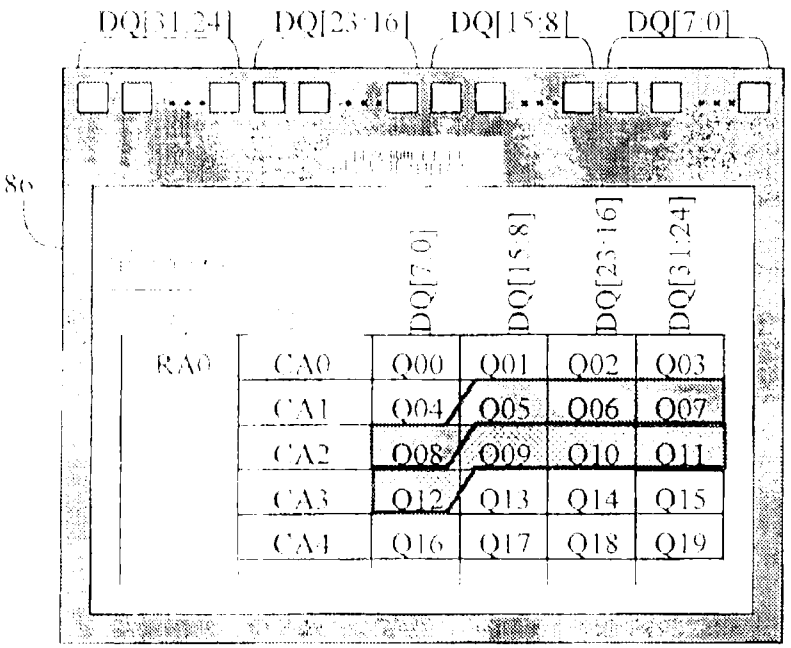

DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
RA0
CA0 Q00 Q01 Q02 Q03
CA1 Q04 Q05 Q06 Q07
CA2 Q08 Q09 Q10 Q11
CA3 Q12 Q13 Q14 Q15
CA4 Q16 Q17 Q18 Q19
[SB="1"、BL="4"]
ACT
RD
CLK
RA0
CA0
SB
1
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
Q01 Q05 Q09 Q13
Q02 Q06 Q10 Q14
Q03 Q07 Q11 Q15
Q04 Q08 Q12 Q16

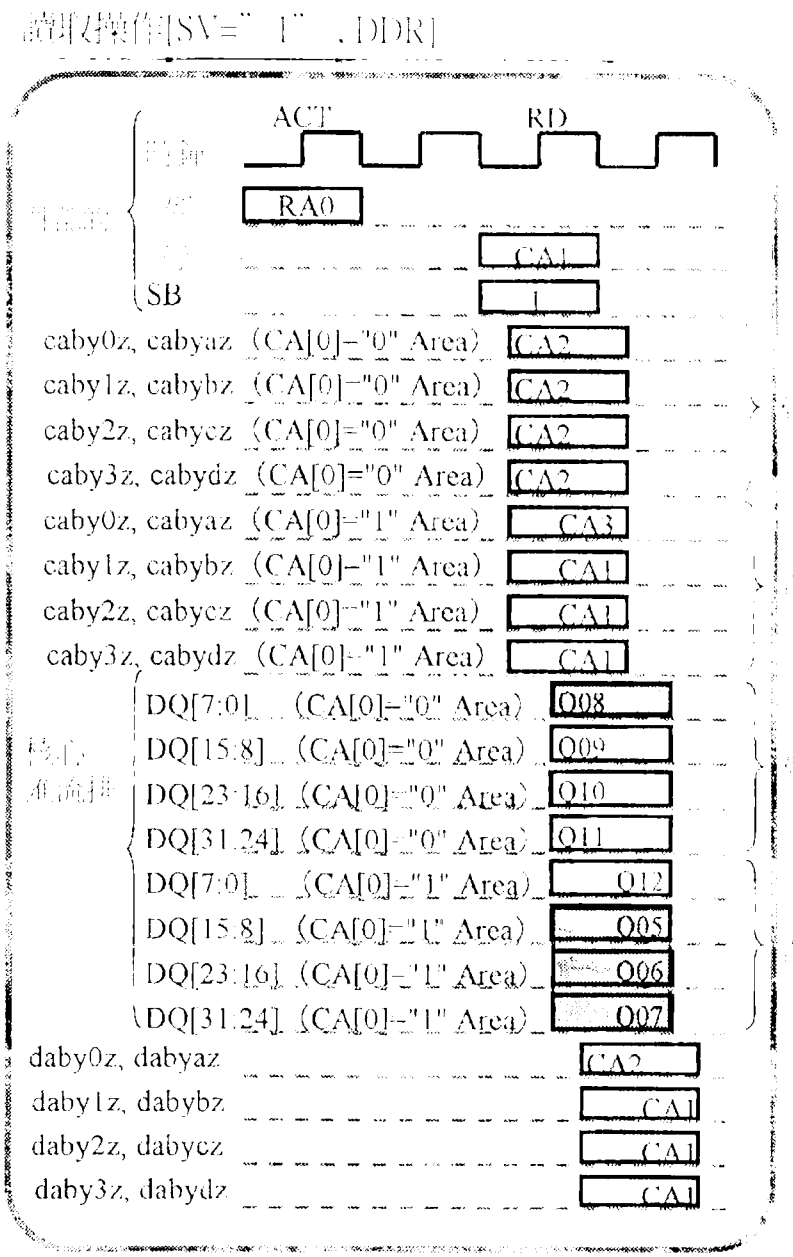

86
351
BMR
Mode Register
350
96
228
226
cdb00z
cdb07z
cdb08z
cdb15z
cdb16z
cdb23z
cdb24z
cdb31z
pdb00z
pdb07z
pdb08z
pdb15z
pdb16z
pdb23z
pdb24z
pdb31z
00
07
08
15
16
23
24
31
94I/O


86
BMR
350
351
228
226
941/O
cdb00z
cdb07z
cdb08z
cdb15z
cdb16z
cdb23z
cdb24z
cdb31z
pdb00z
pdb07z
pdb08z
pdb15z
pdb16z
pdb23z
pdb24z
pdb31z

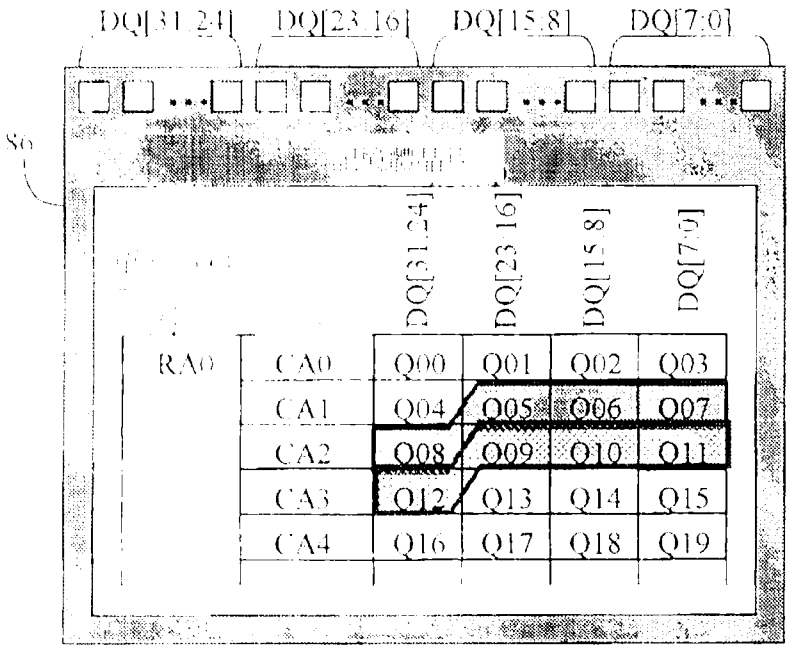

86
90A
96
94B0
90B
cabyaz
cabybz
cabycz
cabydz
dabyaz
dabybz
dabycz
dabydz
caby0z
caby1z
caby2z
caby3z
daby0z
daby1z
daby2z
daby3z
SB[1:0]
CA[7:0]
DQ[31:0]

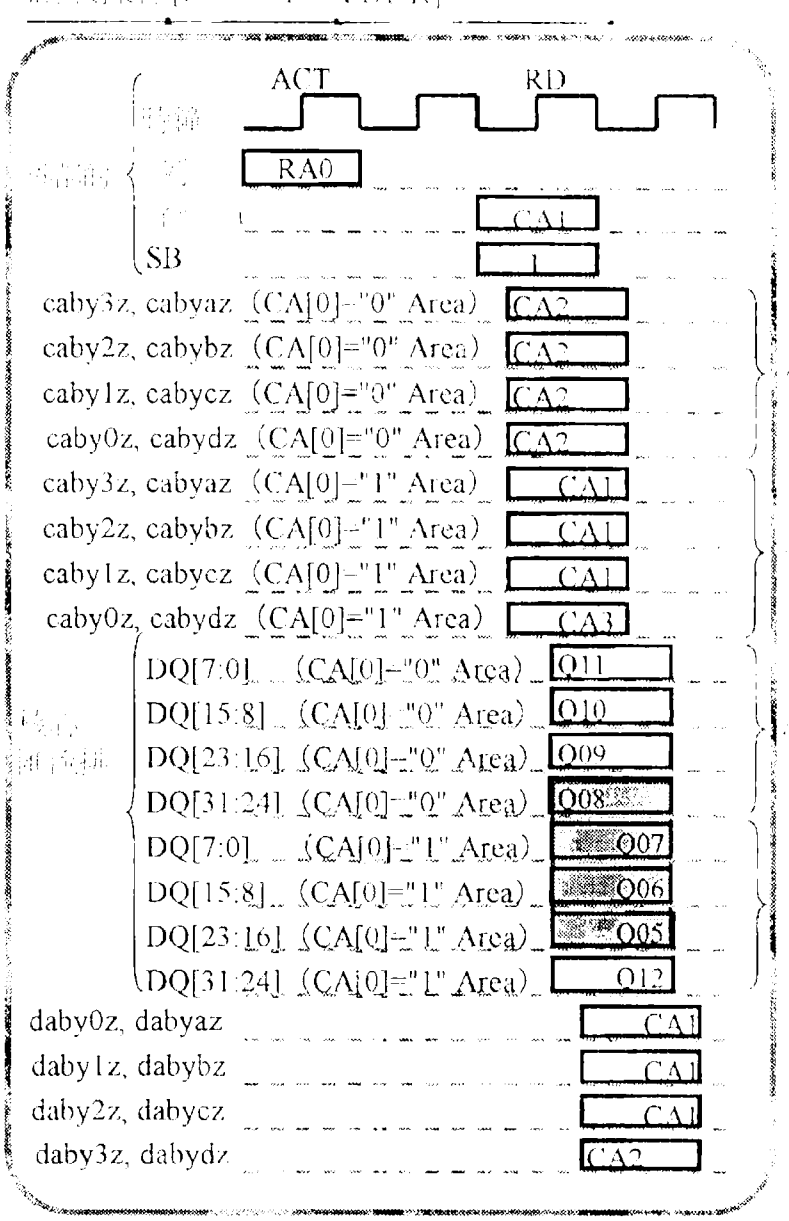
第38圖


DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
86
DQ[7:0]
DQ[15:8]
DQ[23:16]
DQ[31:24]
RA0
CA0 Q00 Q01 Q02 Q03
CA1 Q04 Q05 Q06 Q07
CA2 Q08 Q09 Q10 Q11
CA3 Q12 Q13 Q14 Q15
CA4 Q16 Q17 Q18 Q19

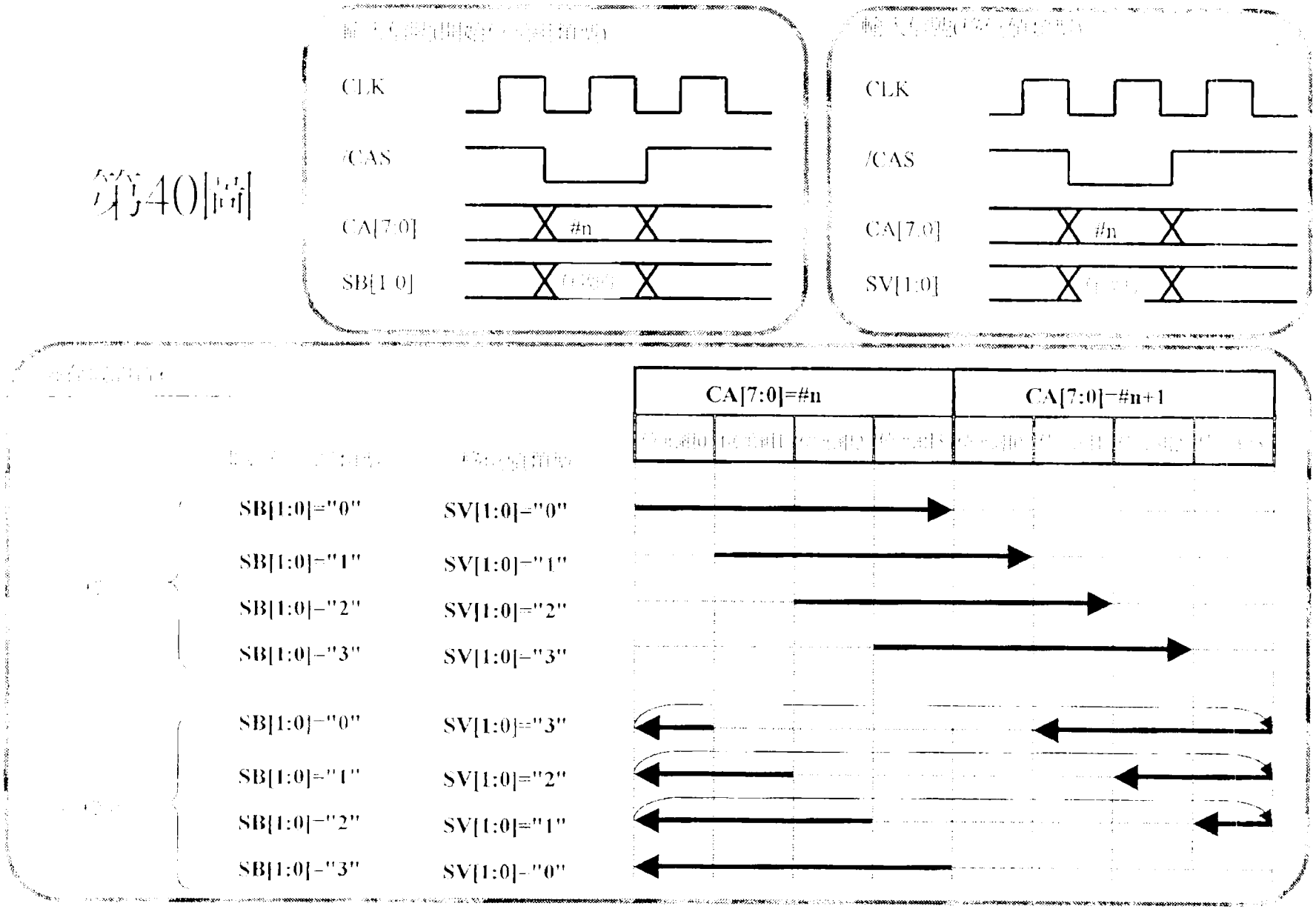

ACT
RD
RA0
CA1
SB
1
caby0z, cabyaz (CA[0]="0" Area) CA2
caby1z, cabybz (CA[0]="0" Area) CA2
caby2z, cabycz (CA[0]="0" Area) CA2
caby3z, cabydz (CA[0]="0" Area) CA2
caby0z, cabyaz (CA[0]="1" Area) CA3
caby1z, cabybz (CA[0]="1" Area) CA1
caby2z, cabycz (CA[0]="1" Area) CA1
caby3z, cabydz (CA[0]="1" Area) CA1
DQ[7:0] (CA[0]="0" Area) Q08
DQ[15:8] (CA[0]="0" Area) Q09
DQ[23:16] (CA[0]="0" Area) Q10
DQ[31:24] (CA[0]="0" Area) Q11
DQ[7:0] (CA[0]="1" Area) Q12
DQ[15:8] (CA[0]="1" Area) Q05
DQ[23:16] (CA[0]="1" Area) Q06
DQ[31:24] (CA[0]="1" Area) Q07
daby0z, dabyaz CA2
daby1z, dabybz CA1
daby2z, dabycz CA1
daby3z, dabydz CA1

第39圖

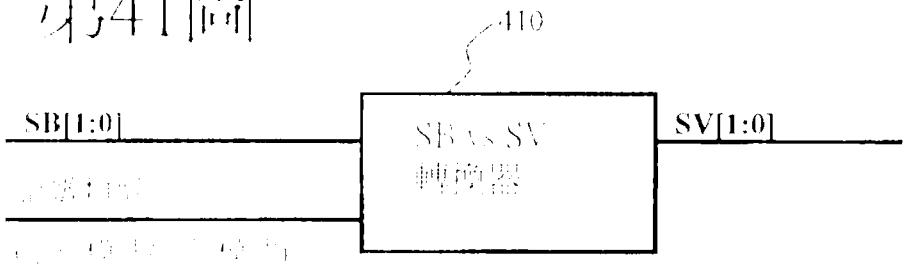

DQ[31:24]
DQ[23:16]
DQ[15:8]
DQ[7:0]
RA0
CA0 Q00 Q01 Q02 Q03
CA1 Q04 Q05 Q06 Q07
CA2 Q08 Q09 Q10 Q11
CA3 Q12 Q13 Q14 Q15
CA4 Q16 Q17 Q18 Q19

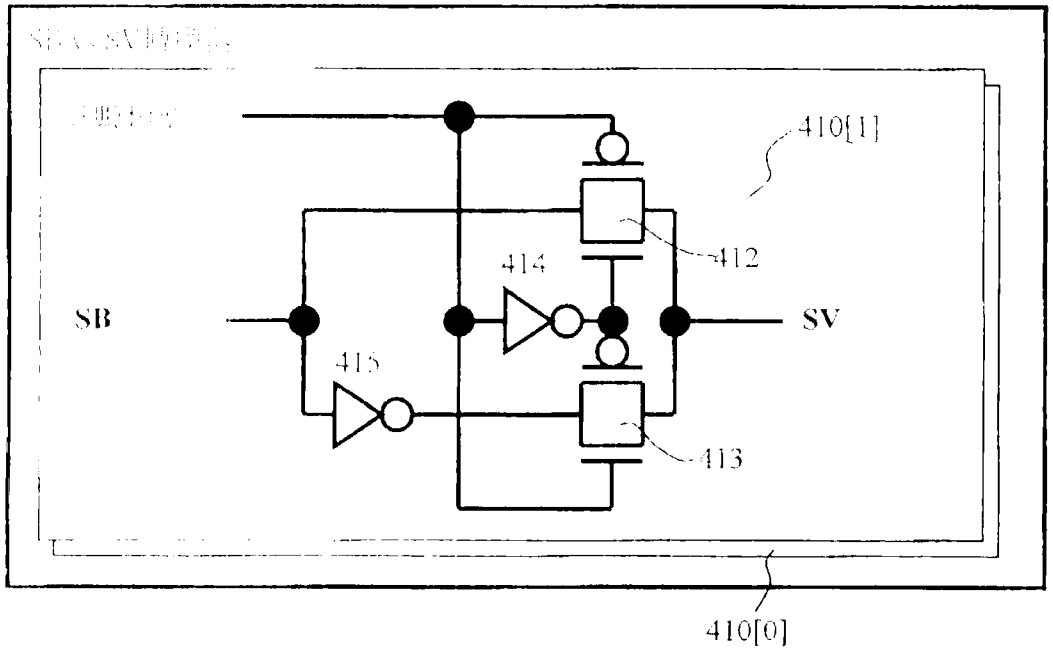

ACT
RD
RA0
CA1
1
caby3z, cabyaz (CA[0]="0" Area) CA2
caby2z, cabybz (CA[0]="0" Area) CA2
caby1z, cabycz (CA[0]="0" Area) CA2
caby0z, cabydz (CA[0]="0" Area) CA2
caby3z, cabyaz (CA[0]="1" Area) CA1
caby2z, cabybz (CA[0]="1" Area) CA1
caby1z, cabycz (CA[0]="1" Area) CA1
caby0z, cabydz (CA[0]="1" Area) CA3
DQ[7:0] (CA[0]="0" Area) Q11
DQ[15:8] (CA[0]="0" Area) Q10
DQ[23:16] (CA[0]="0" Area) Q09
DQ[31:24] (CA[0]="0" Area) Q08
DQ[7:0] (CA[0]="1" Area) Q07
DQ[15:8] (CA[0]="1" Area) Q06
DQ[23:16] (CA[0]="1" Area) Q05
DQ[31:24] (CA[0]="1" Area) Q12
daby0z, dabyaz CA1
daby1z, dabybz CA1
daby2z, dabycz CA1
daby3z, dabydz CA2

第40圖


CLK
/CAS
CA[7:0]
#n
SB[1:0]
CLK
/CAS
CA[7:0]
#n
SV[1:0]
CA[7:0]=#n
CA[7:0]=#n+1
SB[1:0]="0"
SV[1:0]="0"
SB[1:0]="1"
SV[1:0]="1"
SB[1:0]="2"
SV[1:0]="2"
SB[1:0]="3"
SV[1:0]="3"
SB[1:0]="0"
SV[1:0]="3"
SB[1:0]="1"
SV[1:0]="2"
SB[1:0]="2"
SV[1:0]="1"
SB[1:0]="3"
SV[1:0]="0"

第41圖

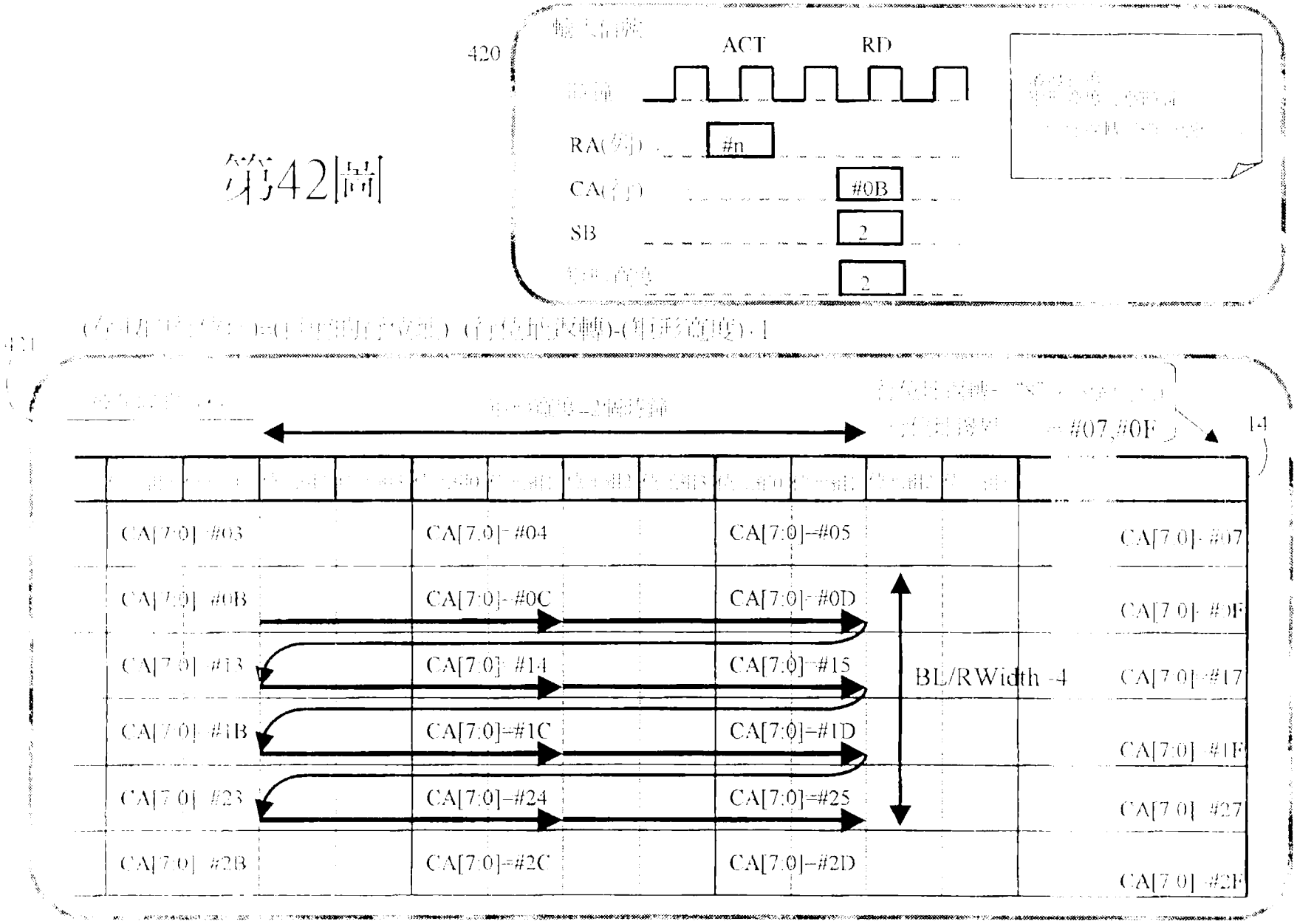


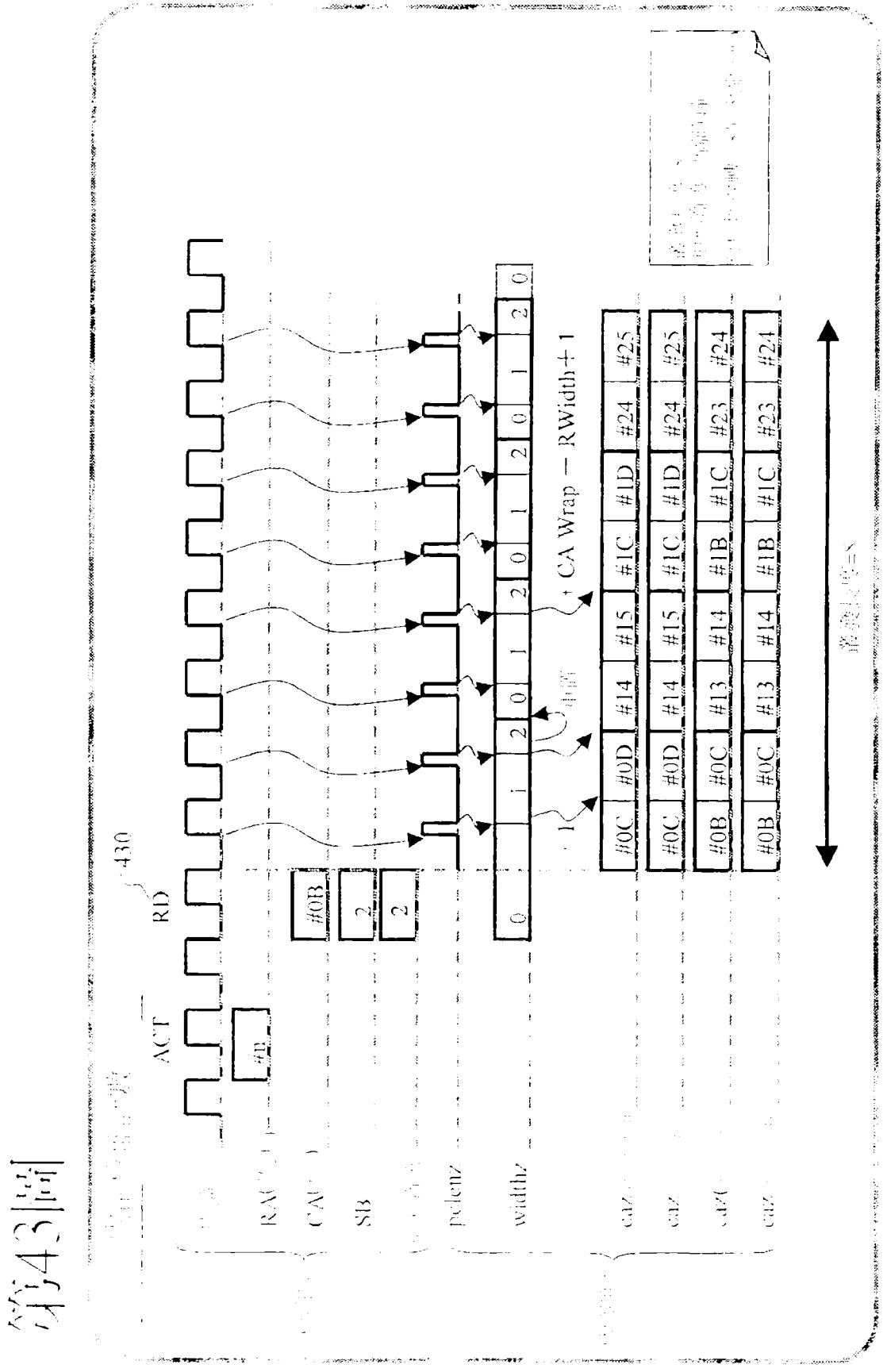


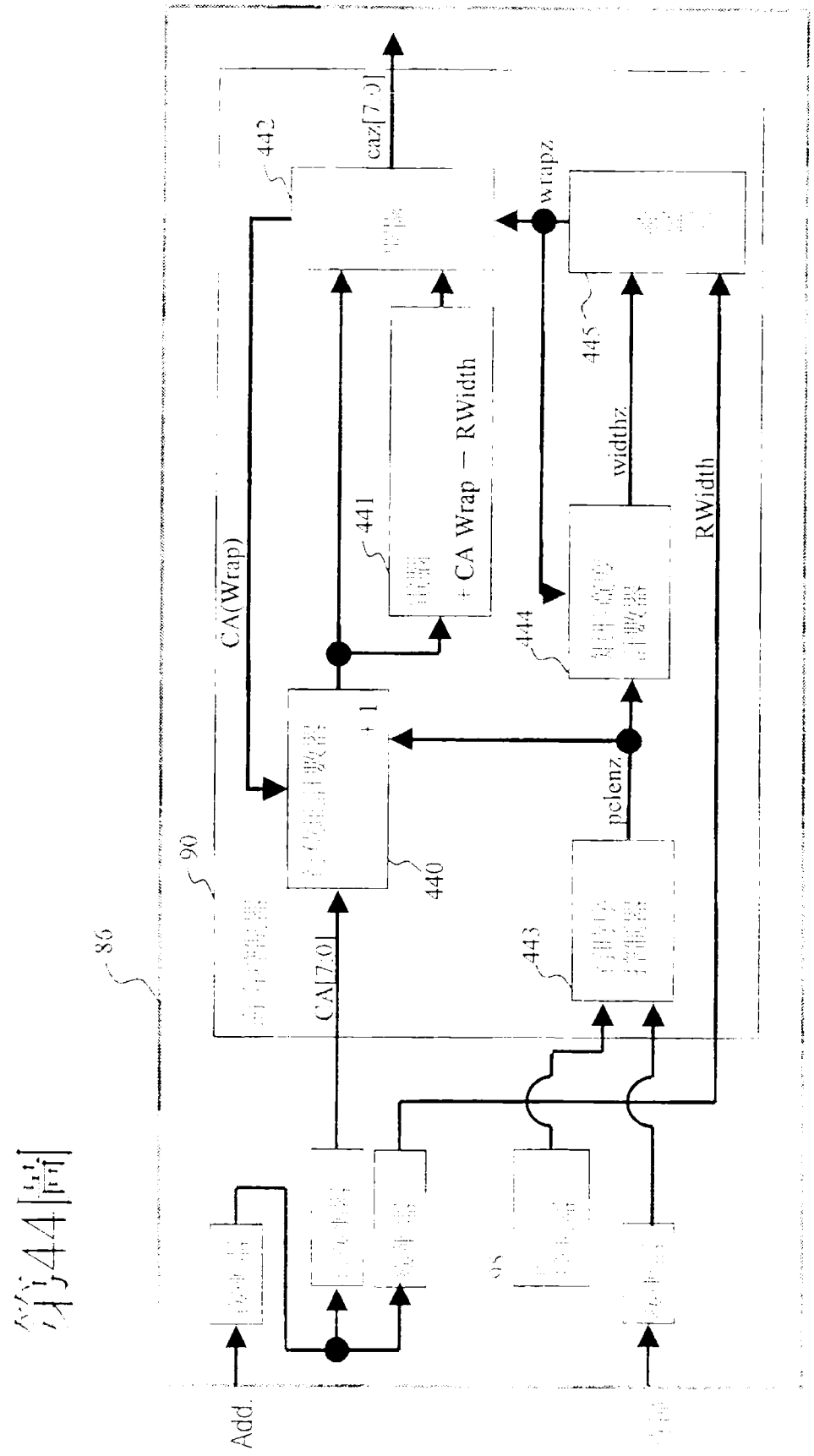
411

輸入		輸出
計數類型	SB[1:0]	SV[1:0]
0	00	00
	01	01
	10	10
	11	11
1	00	11
	01	10
	10	01
	11	00

第42圖

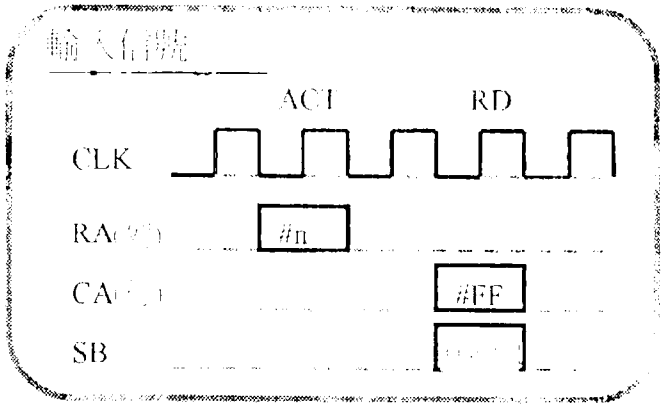

420
ACT
RD
RA(列)
#n
CA(行)
#0B
SB
2
2
421
#07,#0F
14
CA[7:0]-#03
CA[7:0]-#04
CA[7:0]-#05
CA[7:0]-#07
CA[7:0]-#0B
CA[7:0]-#0C
CA[7:0]-#0D
CA[7:0]-#0F
CA[7:0]-#13
CA[7:0]-#14
CA[7:0]-#15
CA[7:0]-#17
CA[7:0]-#1B
CA[7:0]=#1C
CA[7:0]=#1D
CA[7:0]-#1F
CA[7:0]-#23
CA[7:0]-#24
CA[7:0]=#25
CA[7:0]-#27
CA[7:0]-#2B
CA[7:0]=#2C
CA[7:0]-#2D
CA[7:0]-#2F
BL/RWidth -4

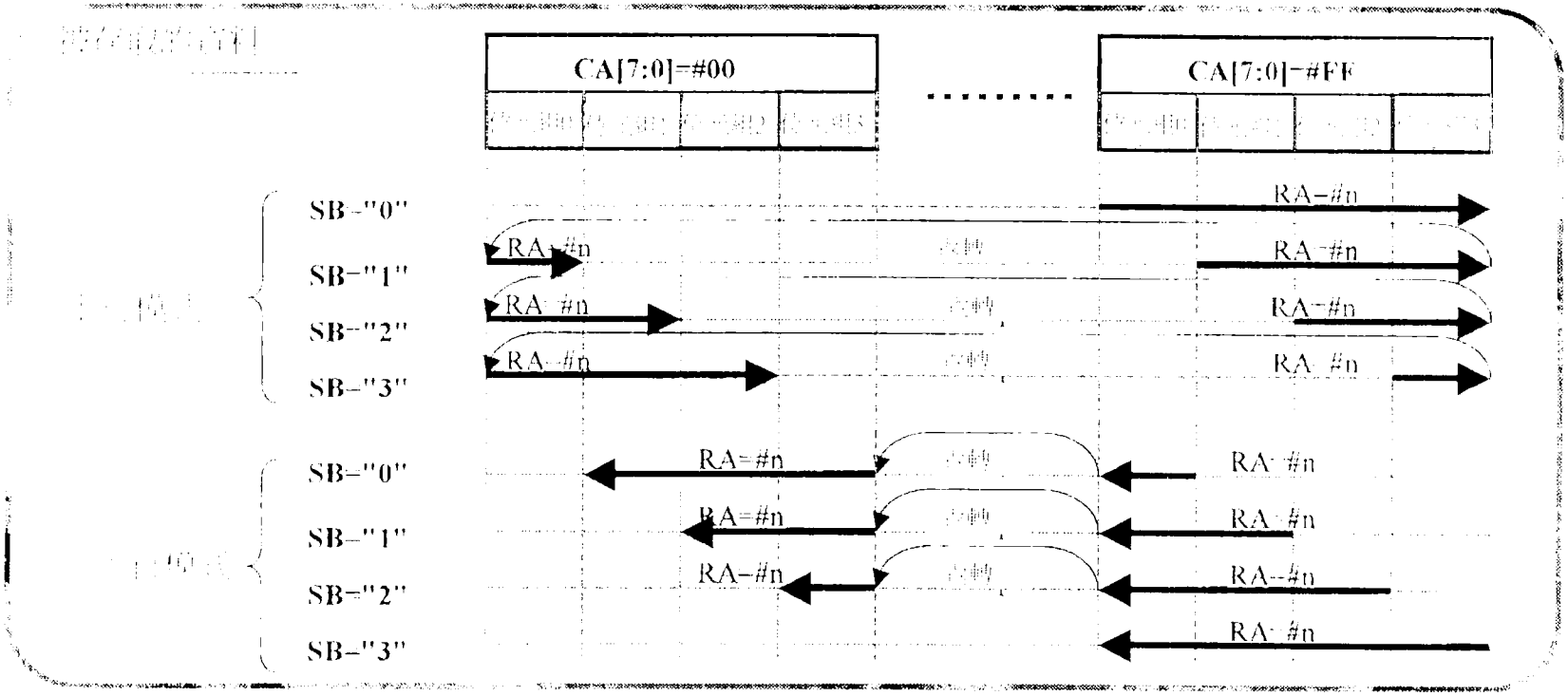

430
ACT
RD
#0B
2
2
0
1
2
0
1
2
0
1
2
0
1
2
CA Wrap — RWidth+1
#0C
#0D
#14
#15
#1C
#1D
#24
#25
#0B
#0C
#13
#14
#1B
#1C
#23
#24


86
90
CA[7:0]
CA(Wrap)
+ 1
440
441
+ CA Wrap − RWidth
442
caz[7:0]
443
444
pclenz
445
wrapz
widthz
RWidth
Add

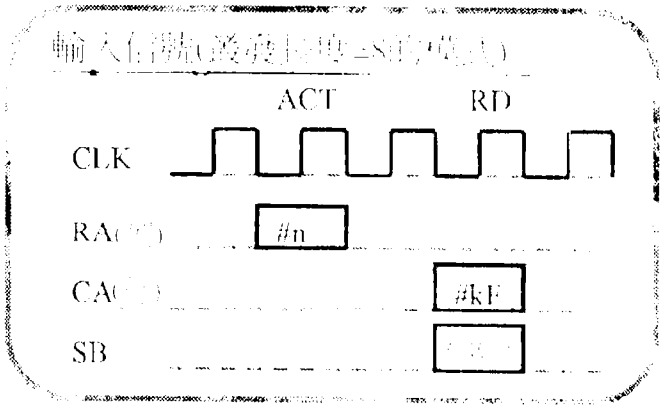
第44圖

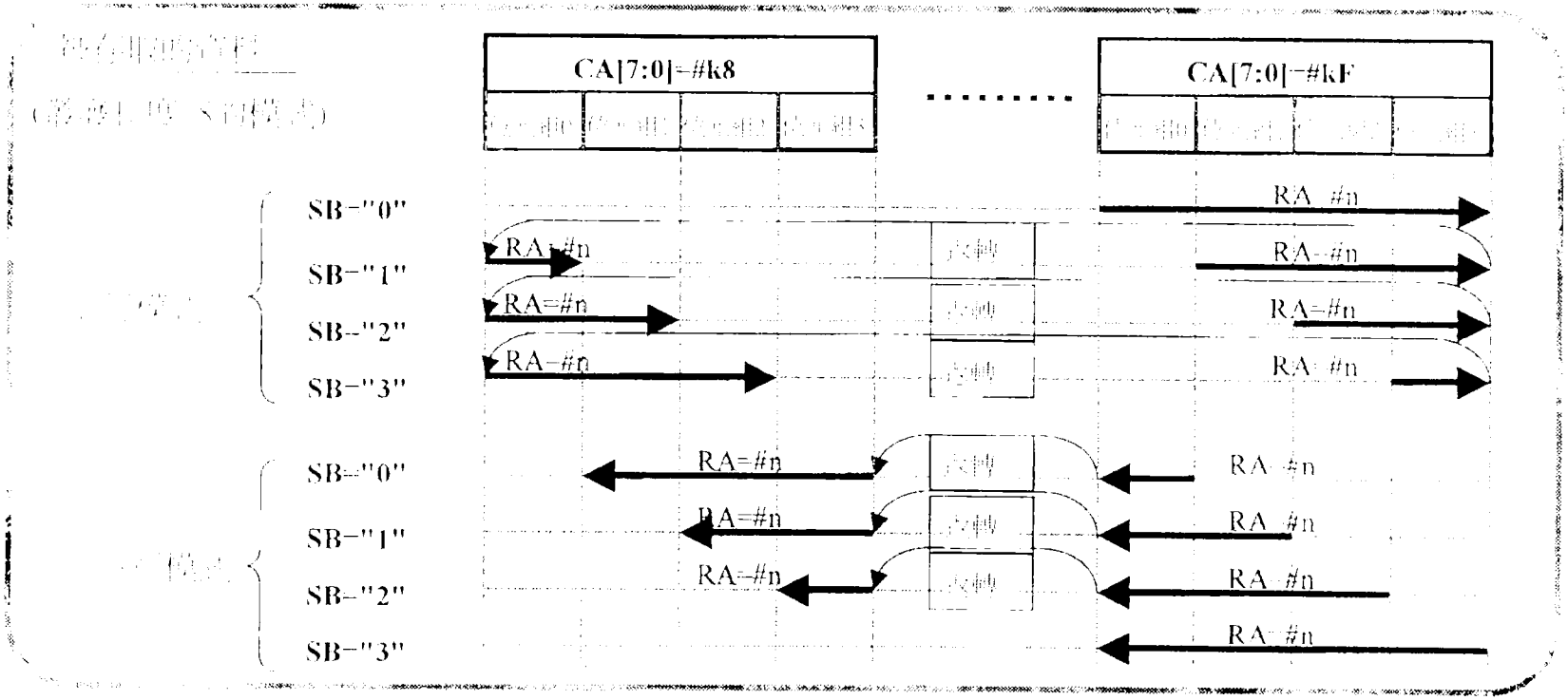
第45圖


ACT
RD
CLK
#n
#FF
SB

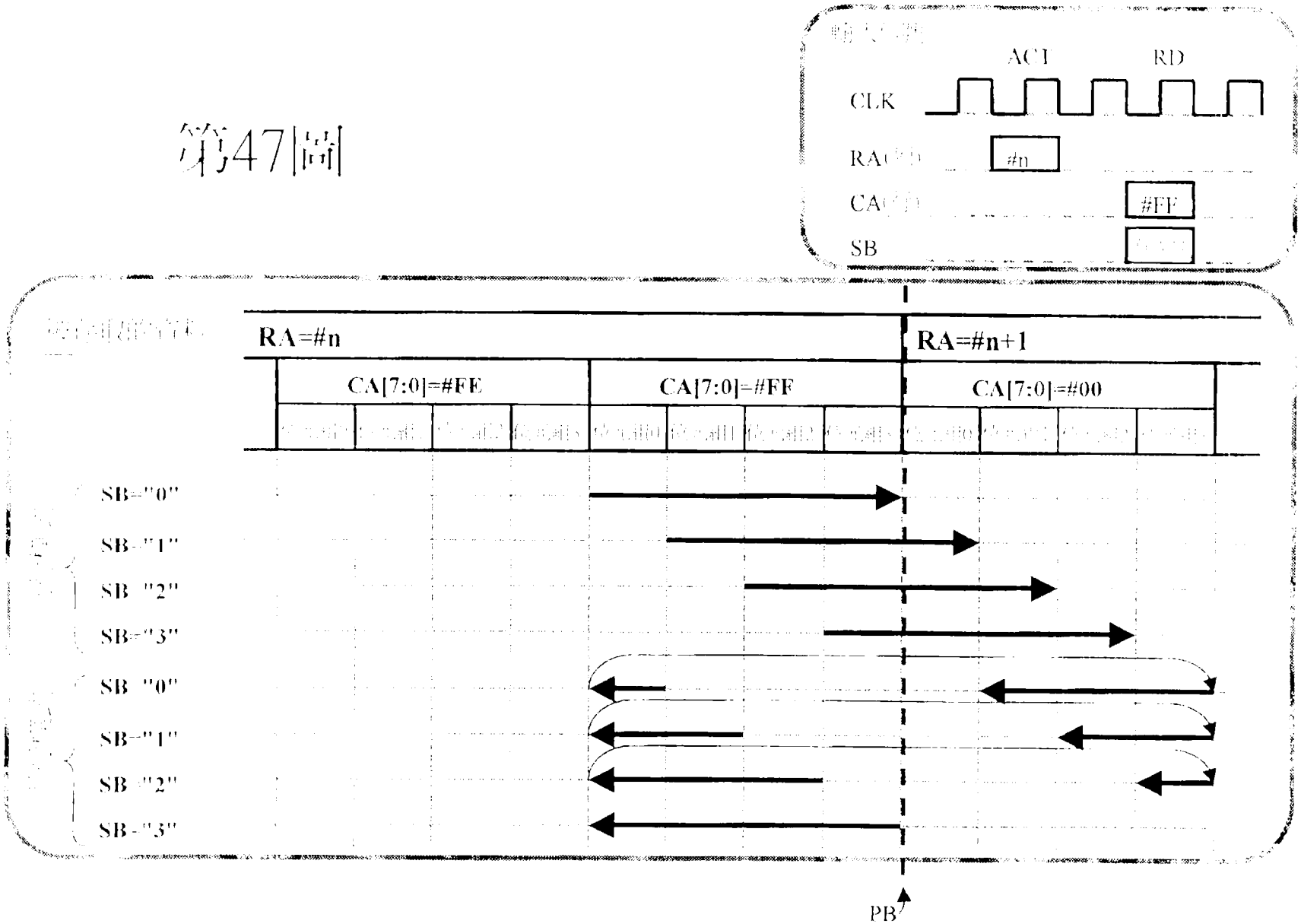

CA[7:0]=#00
CA[7:0]=#FF
SB="0"
SB="1"
SB="2"
SB="3"
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n

第46圖

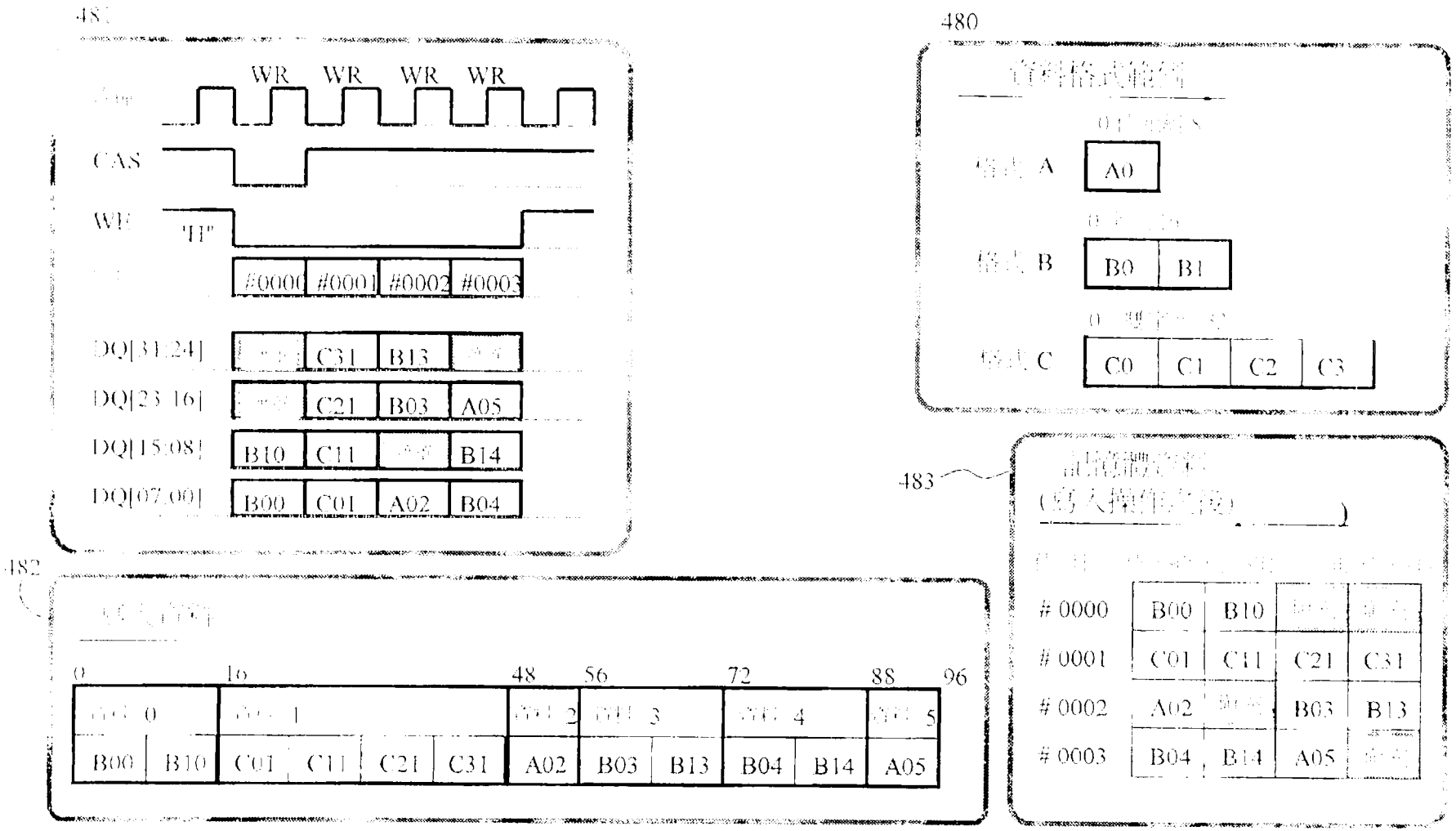

ACT
RD
CLK
#n
#kF
SB


CA[7:0]=#k8
CA[7:0]=#kF
SB="0"
SB="1"
SB="2"
SB="3"
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n
RA=#n

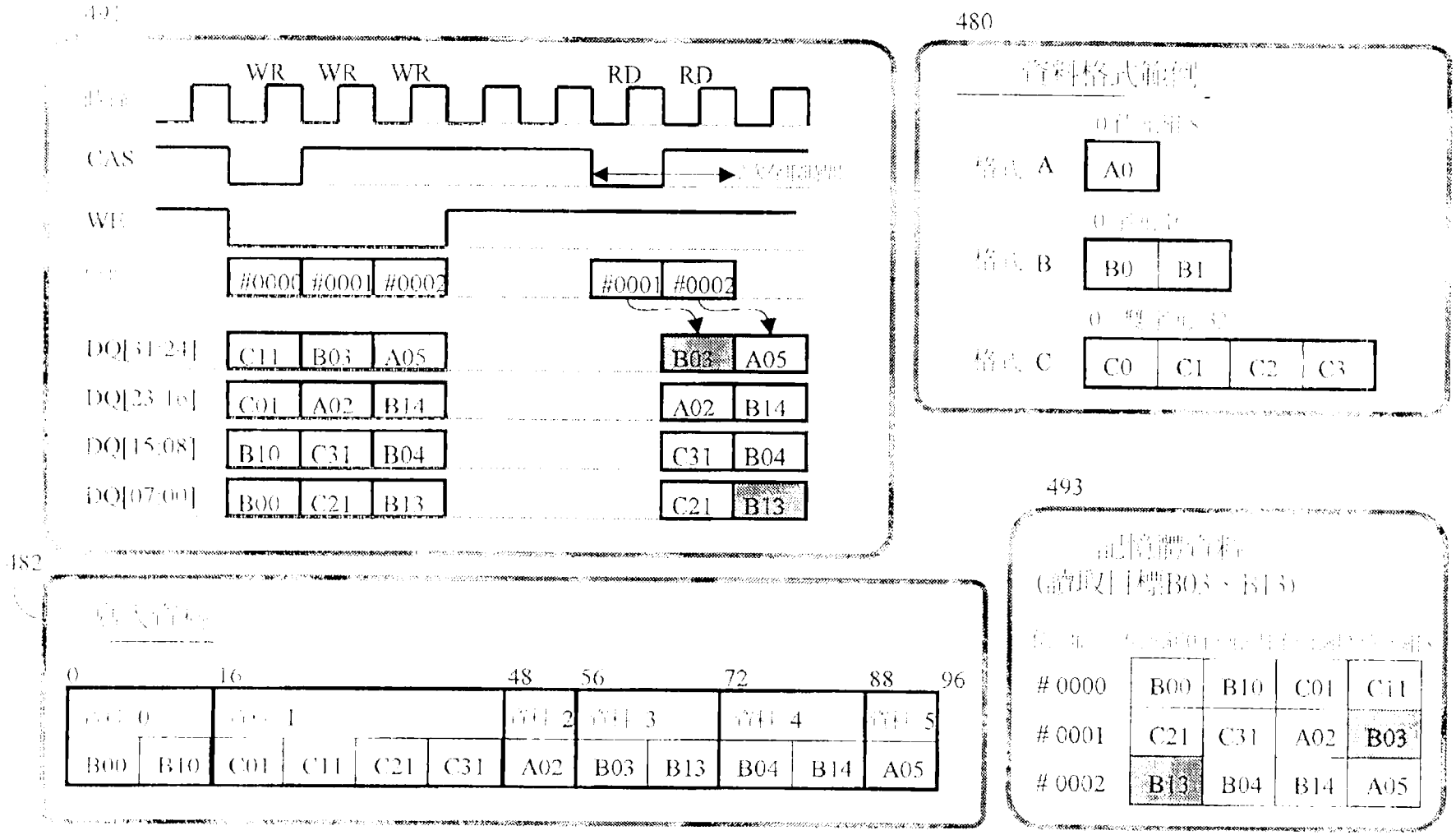
第47圖


ACT
RD
CLK
#n
#FF
SB
RA=#n
RA=#n+1
CA[7:0]=#FE
CA[7:0]=#FF
CA[7:0]=#00
SB="0"
SB="1"
SB "2"
SB="3"
SB "0"
SB="1"
SB "2"
SB "3"
PB

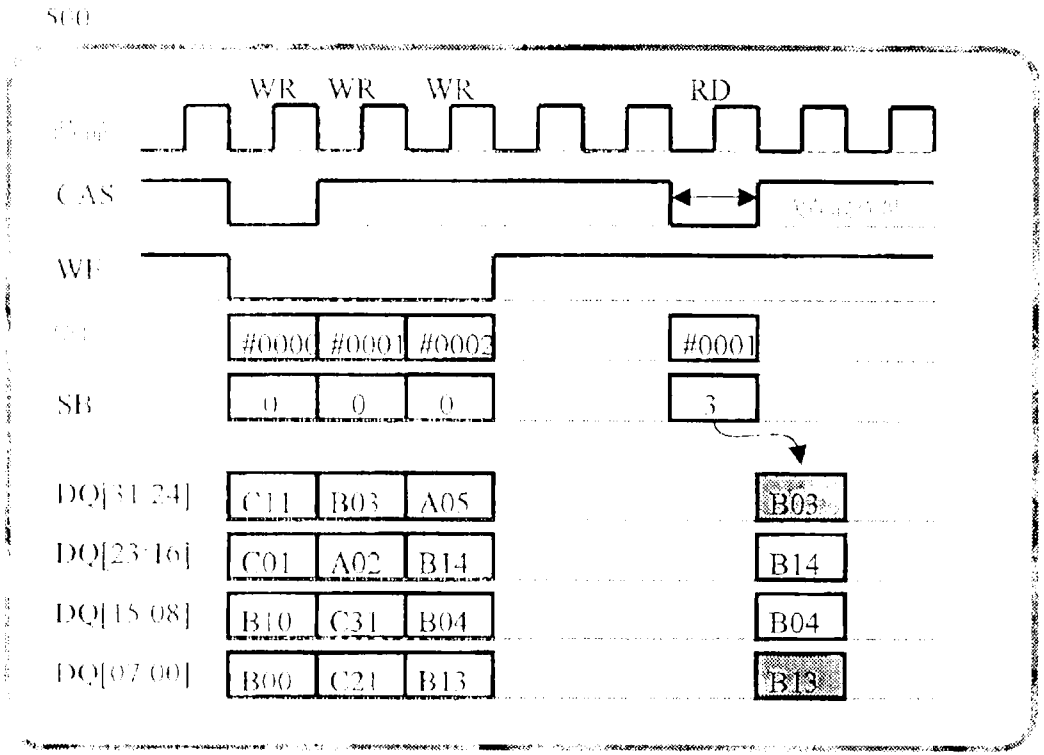
第48圖

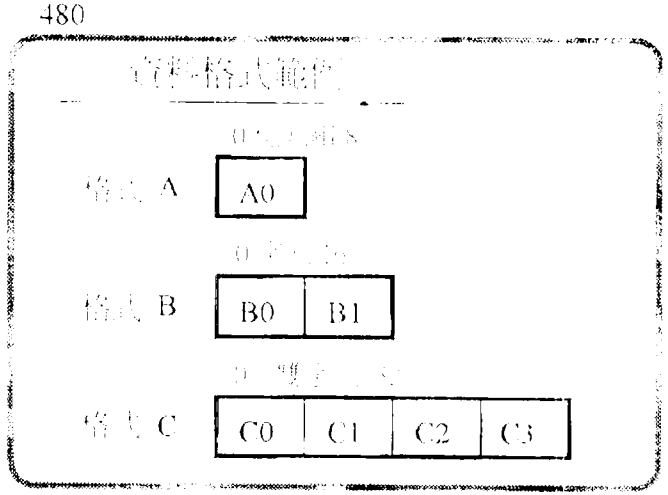

481
WR WR WR WR
CAS
WE
"H"
#0000 #0001 #0002 #0003
DQ[31:24]
DQ[23:16]
DQ[15:08]
DQ[07:00]
C31 B13
C21 B03 A05
B10 C11 B14
B00 C01 A02 B04
480
A0
B0 B1
C0 C1 C2 C3
482
0 16 48 56 72 88 96
B00 B10 C01 C11 C21 C31 A02 B03 B13 B04 B14 A05
483
0000 B00 B10
0001 C01 C11 C21 C31
0002 A02 B03 B13
0003 B04 B14 A05

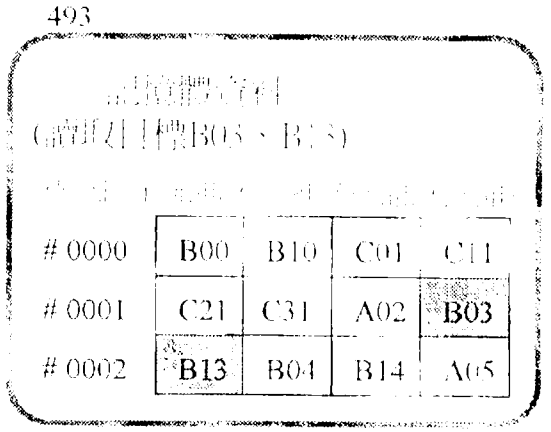
第49圖


WR WR WR RD RD
CAS
WE
#0000 #0001 #0002
#0001 #0002
DQ[31:24] C11 B03 A05 B03 A05
DQ[23:16] C01 A02 B14 A02 B14
DQ[15:08] B10 C31 B04 C31 B04
DQ[07:00] B00 C21 B13 C21 B13
480
A0
B0 B1
C0 C1 C2 C3
493
0000 B00 B10 C01 C11
0001 C21 C31 A02 B03
0002 B13 B04 B14 A05
182
0 16 48 56 72 88 96
B00 B10 C01 C11 C21 C31 A02 B03 B13 B04 B14 A05

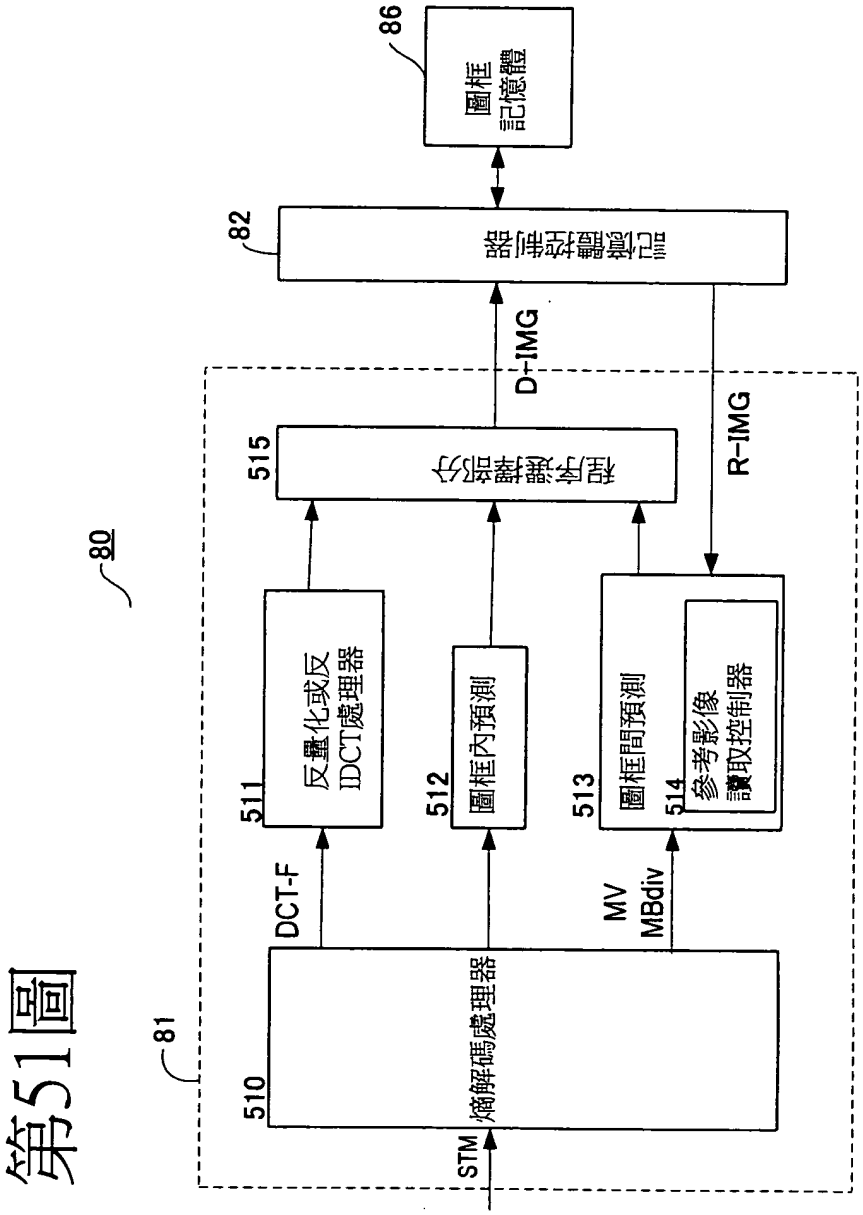
第50圖


500
WR
WR
WR
RD
CAS
WE
#0000
#0001
#0003
#0001
SB
0
0
0
3
DQ[31:24]
C11
B03
A05
B03
DQ[23:16]
C01
A02
B14
B14
DQ[15:08]
B10
C31
B04
B04
DQ[07:00]
B00
C21
B13
B13

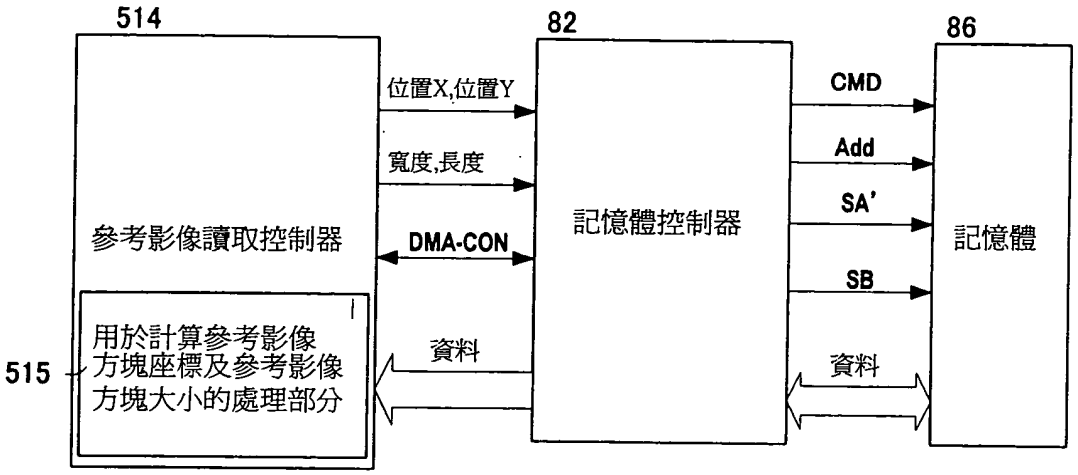

480
A0
B0
B1
C0
C1
C2
C3


493
0000
B00
B10
C01
C11
0001
C21
C31
A02
B03
0002
B13
B04
B14
A05

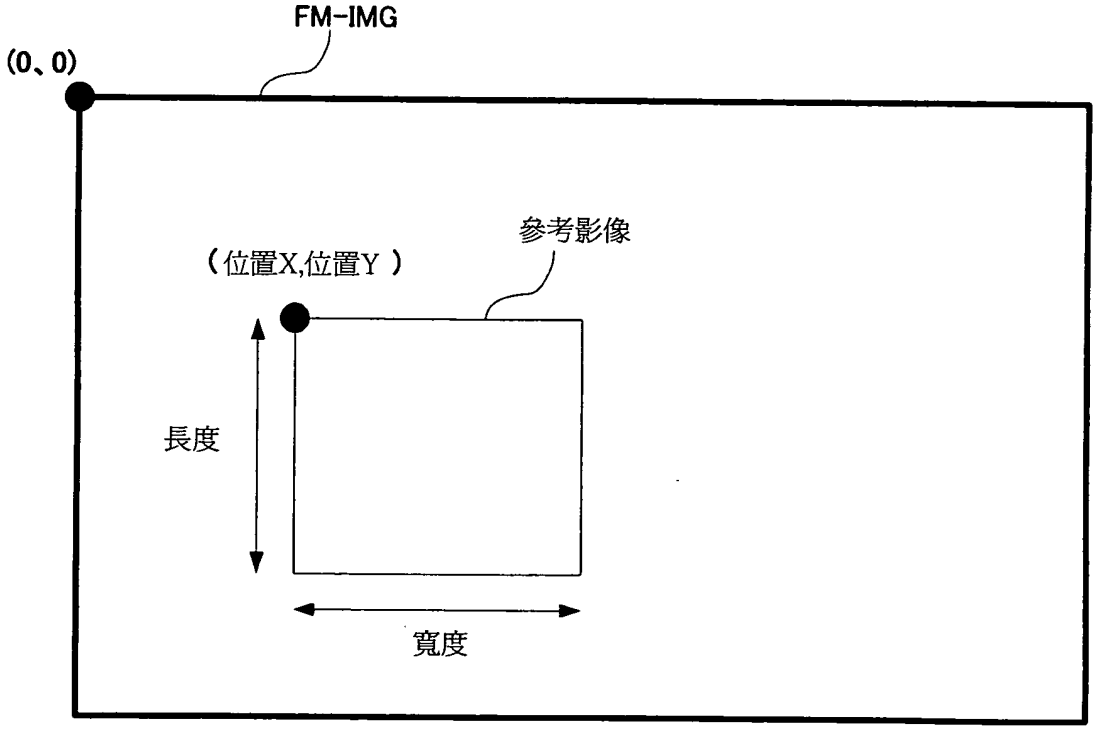
第51圖


80
81
86
圖框
記憶體
82
記憶體控制器
D-IMG
R-IMG
515
程序選擇部分
511
反量化或反
IDCT處理器
512
圖框內預測
513
圖框間預測
514
參考影像
讀取控制器
DCT-F
MV
MBdiv
510
熵解碼處理器
STM

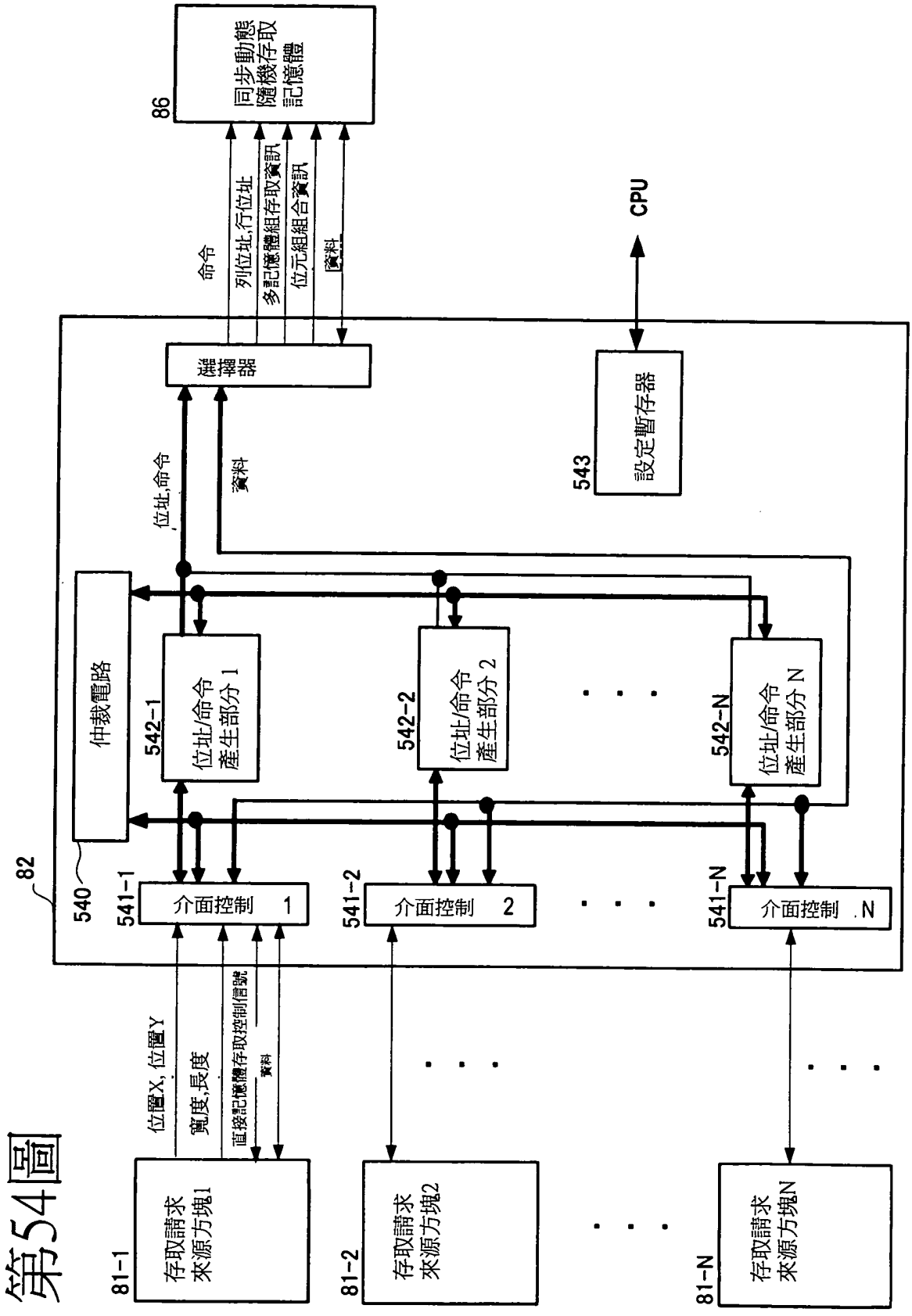
第52圖


514
82
86
位置X,位置Y
寬度,長度
DMA-CON
資料
CMD
Add
SA'
SB
資料
參考影像讀取控制器
記憶體控制器
記憶體
用於計算參考影像
方塊座標及參考影像
方塊大小的處理部分
515

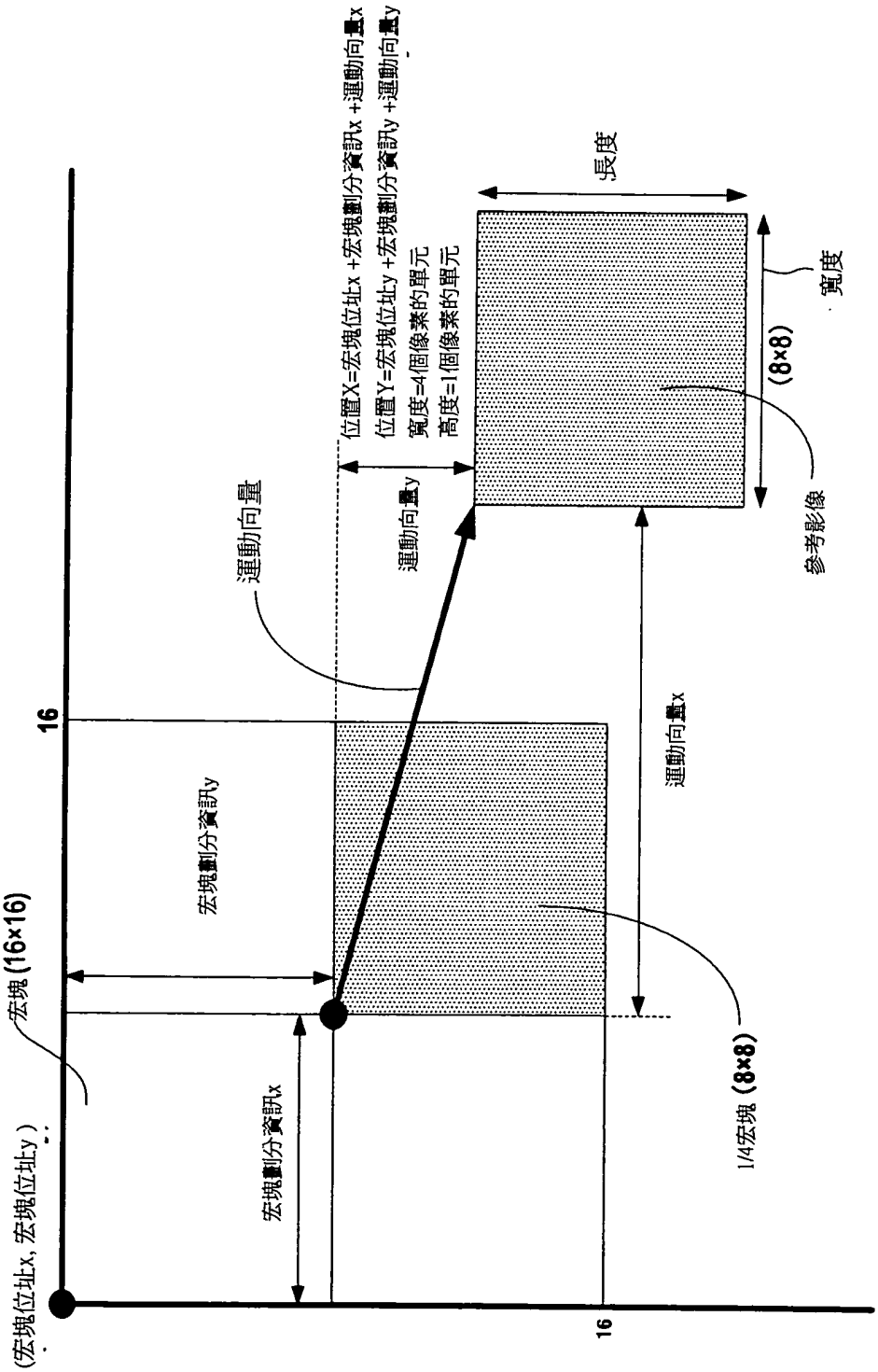
第53圖


FM-IMG
(0、0)
參考影像
(位置X,位置Y)
長度
寬度

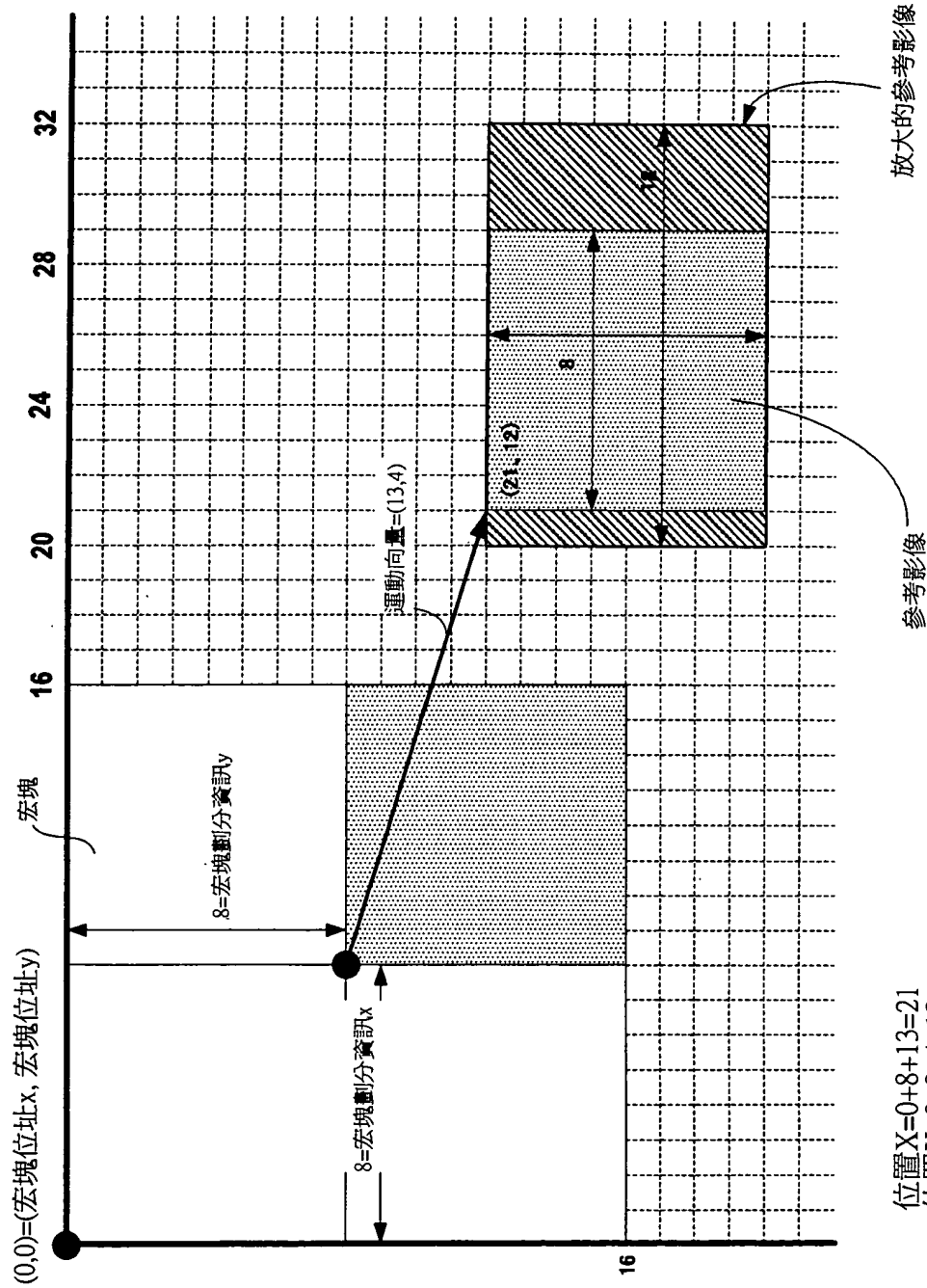
第54圖


86
同步動態隨機存取記憶體
命令
列位址,行位址
多記憶體組存取資訊
位元組組合資訊
資料
CPU
選擇器
位址,命令
資料
543
設定暫存器
82
540
仲裁電路
542-1
位址/命令產生部分 1
542-2
位址/命令產生部分 2
542-N
位址/命令產生部分 N
541-1
介面控制 1
541-2
介面控制 2
541-N
介面控制 N
位置X, 位置Y
寬度,長度
直接記憶體存取控制信號
資料
81-1
存取請求來源方塊1
81-2
存取請求來源方塊2
81-N
存取請求來源方塊N

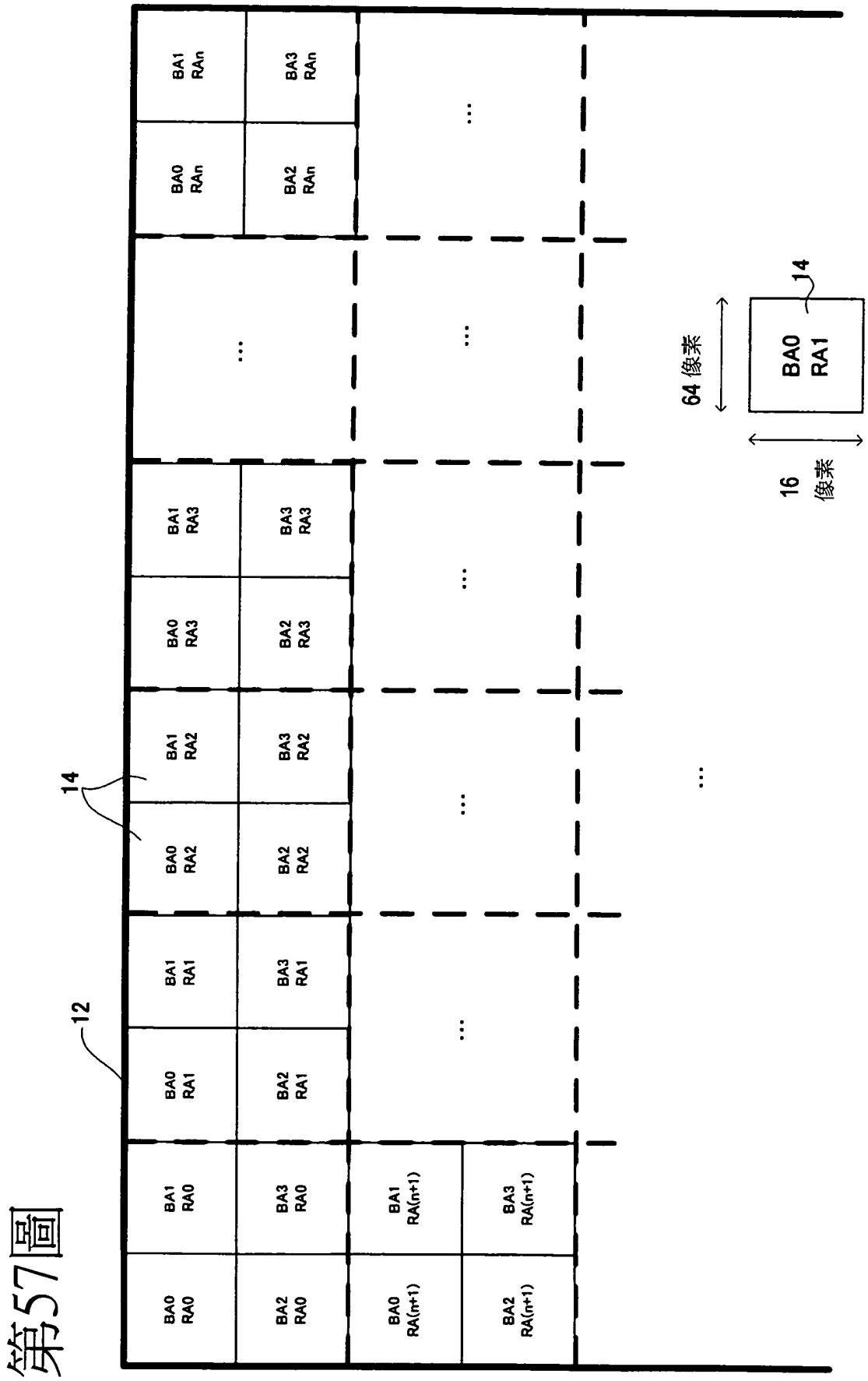
第55圖


(宏塊位址x, 宏塊位址y)
宏塊 (16×16)
16
宏塊劃分資訊y
宏塊劃分資訊x
運動向量
位置X=宏塊位址x +宏塊劃分資訊x +運動向量x
位置Y=宏塊位址y +宏塊劃分資訊y +運動向量y
寬度=4個像素的單元
高度=1個像素的單元
運動向量y
運動向量x
長度
寬度
(8×8)
參考影像
1/4宏塊 (8×8)
16

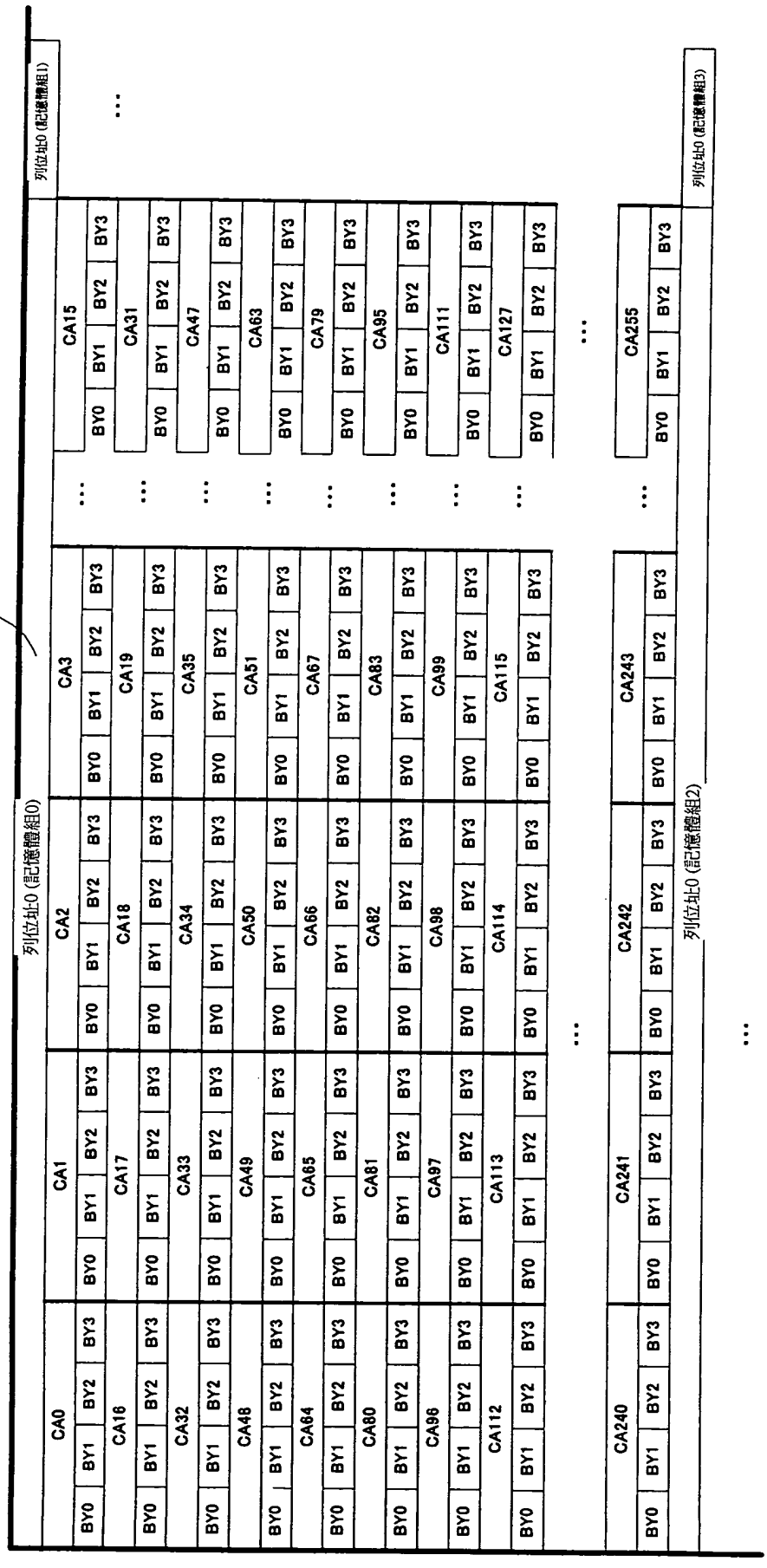
第56圖


(0,0)=(宏塊位址x, 宏塊位址y)
宏塊
8=宏塊劃分資訊y
8=宏塊劃分資訊x
運動向量=(13,4)
(21, 12)
8
8
16
20
24
28
32
16
參考影像
放大的參考影像
位置X=0+8+13=21
位置X=0+8+4=12
寬度=8
高度=8
校正之後位置X=20
校正之後寬度=12

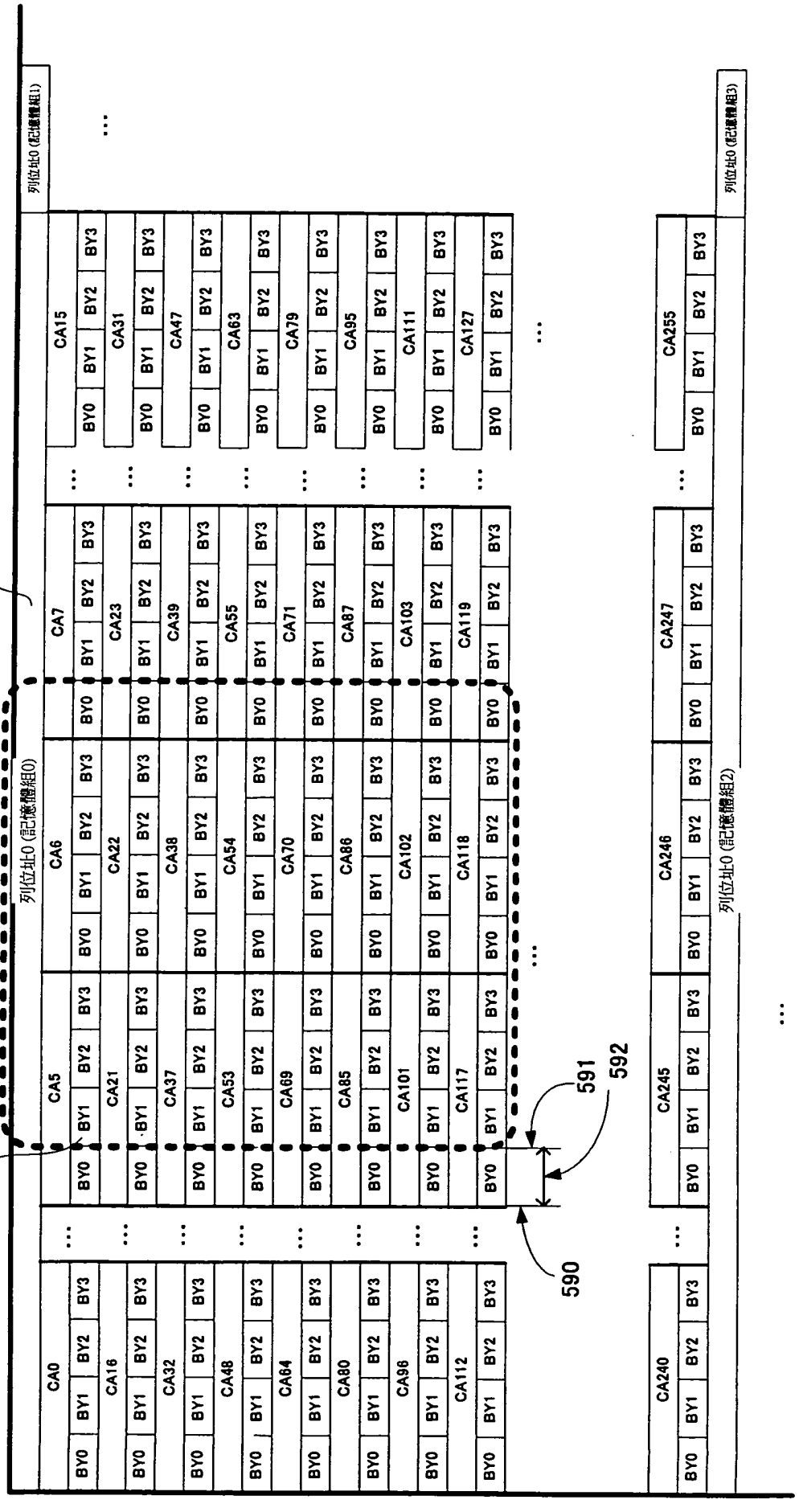
第57圖


12
14
BA0 RA0
BA2 RA0
BA1 RA0
BA3 RA0
BA0 RA1
BA2 RA1
BA1 RA1
BA3 RA1
BA0 RA2
BA2 RA2
BA1 RA2
BA3 RA2
BA0 RA3
BA2 RA3
BA1 RA3
BA3 RA3
BA0 RA(n+1)
BA2 RA(n+1)
BA1 RA(n+1)
BA3 RA(n+1)
BA0 RAn
BA2 RAn
BA1 RAn
BA3 RAn
64 像素
16 像素
14
BA0 RA1

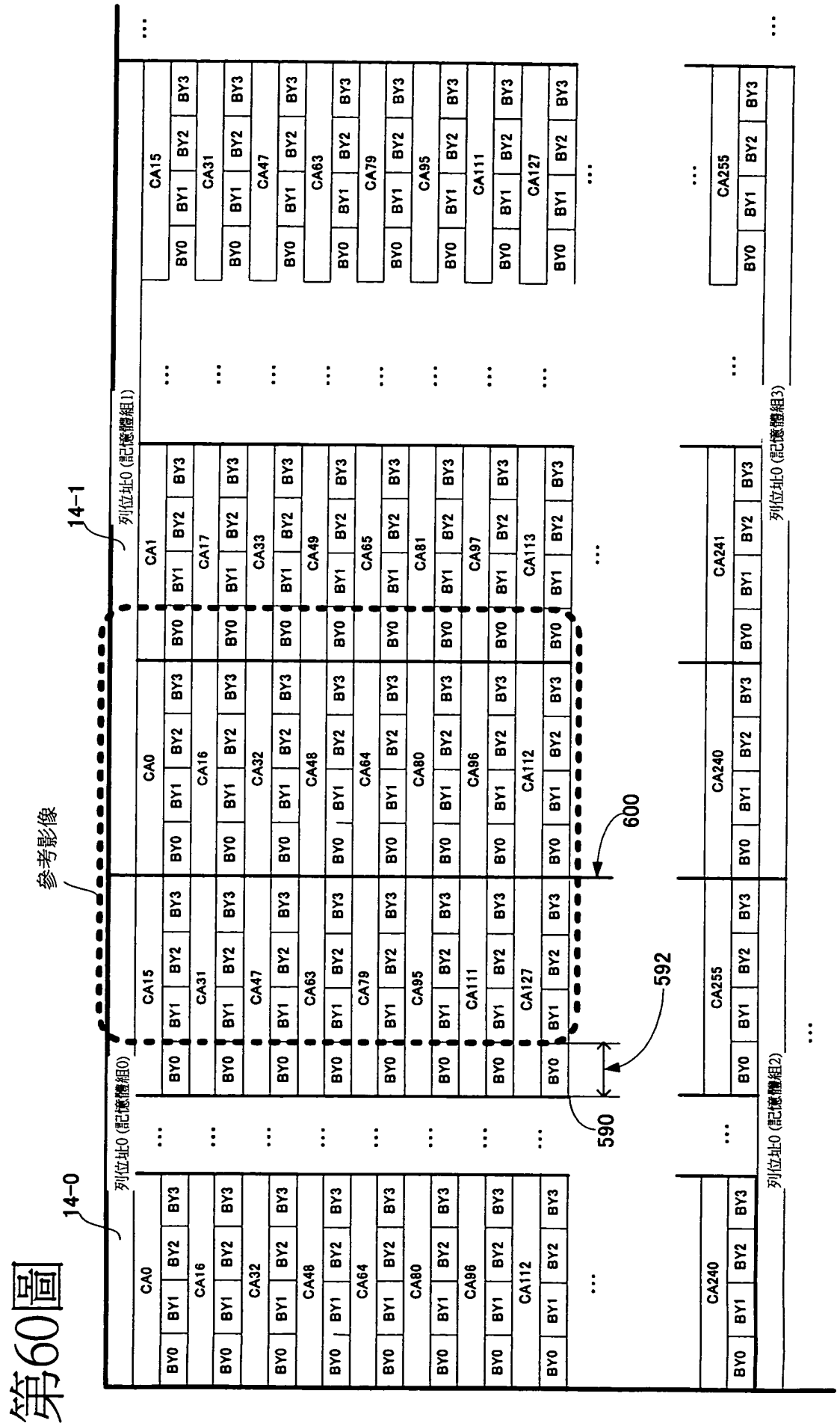
第58圖


12
14
列位址0 (記憶體組0)
列位址0 (記憶體組1)
列位址0 (記憶體組2)
列位址0 (記憶體組3)
CA0 CA1 CA2 CA3 ... CA15
CA16 CA17 CA18 CA19 ... CA31
CA32 CA33 CA34 CA35 ... CA47
CA48 CA49 CA50 CA51 ... CA63
CA64 CA65 CA66 CA67 ... CA79
CA80 CA81 CA82 CA83 ... CA95
CA96 CA97 CA98 CA99 ... CA111
CA112 CA113 CA114 CA115 ... CA127
CA240 CA241 CA242 CA243 ... CA255
BY0 BY1 BY2 BY3

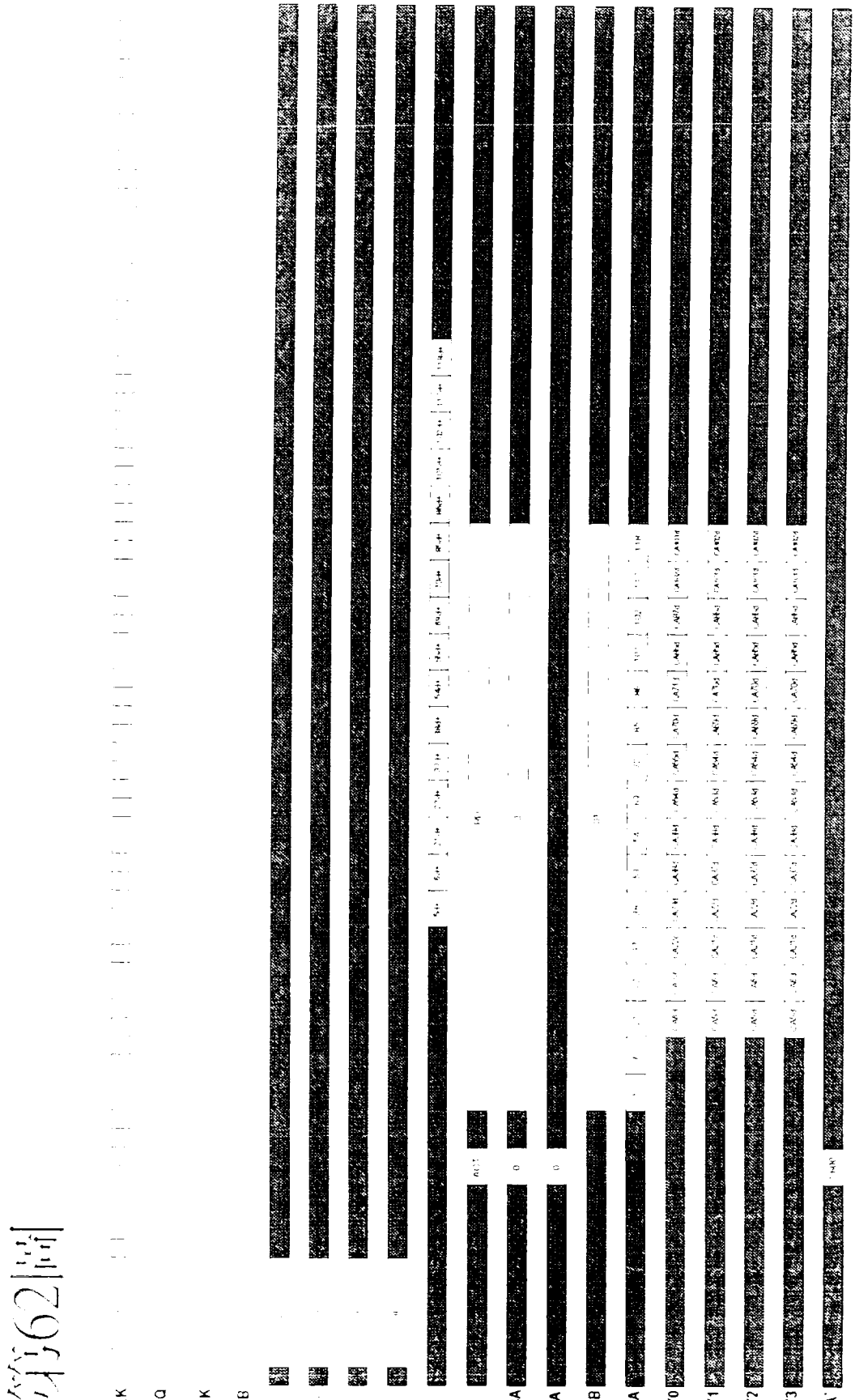
第59圖

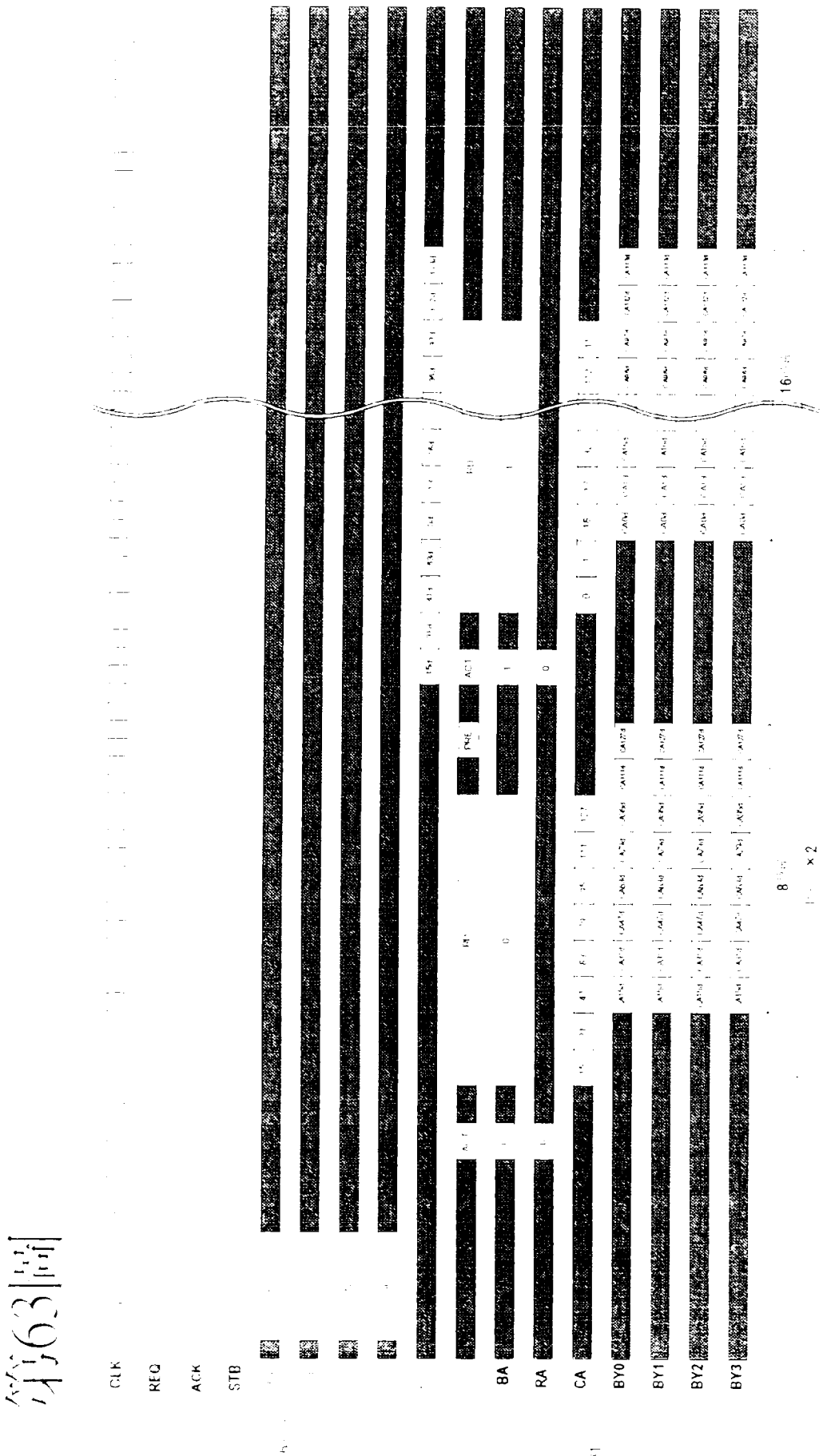

參考影像
(21,12)
14
590
591
592
列位址0 (記憶體組0)
列位址0 (記憶體組1)
列位址0 (記憶體組2)
列位址0 (記憶體組3)
CA0
CA5
CA6
CA7
CA15
CA16
CA21
CA22
CA23
CA31
CA32
CA37
CA38
CA39
CA47
CA48
CA53
CA54
CA55
CA63
CA64
CA69
CA70
CA71
CA79
CA80
CA85
CA86
CA87
CA95
CA96
CA101
CA102
CA103
CA111
CA112
CA117
CA118
CA119
CA127
CA240
CA245
CA246
CA247
CA255
BY0
BY1
BY2
BY3

第60圖

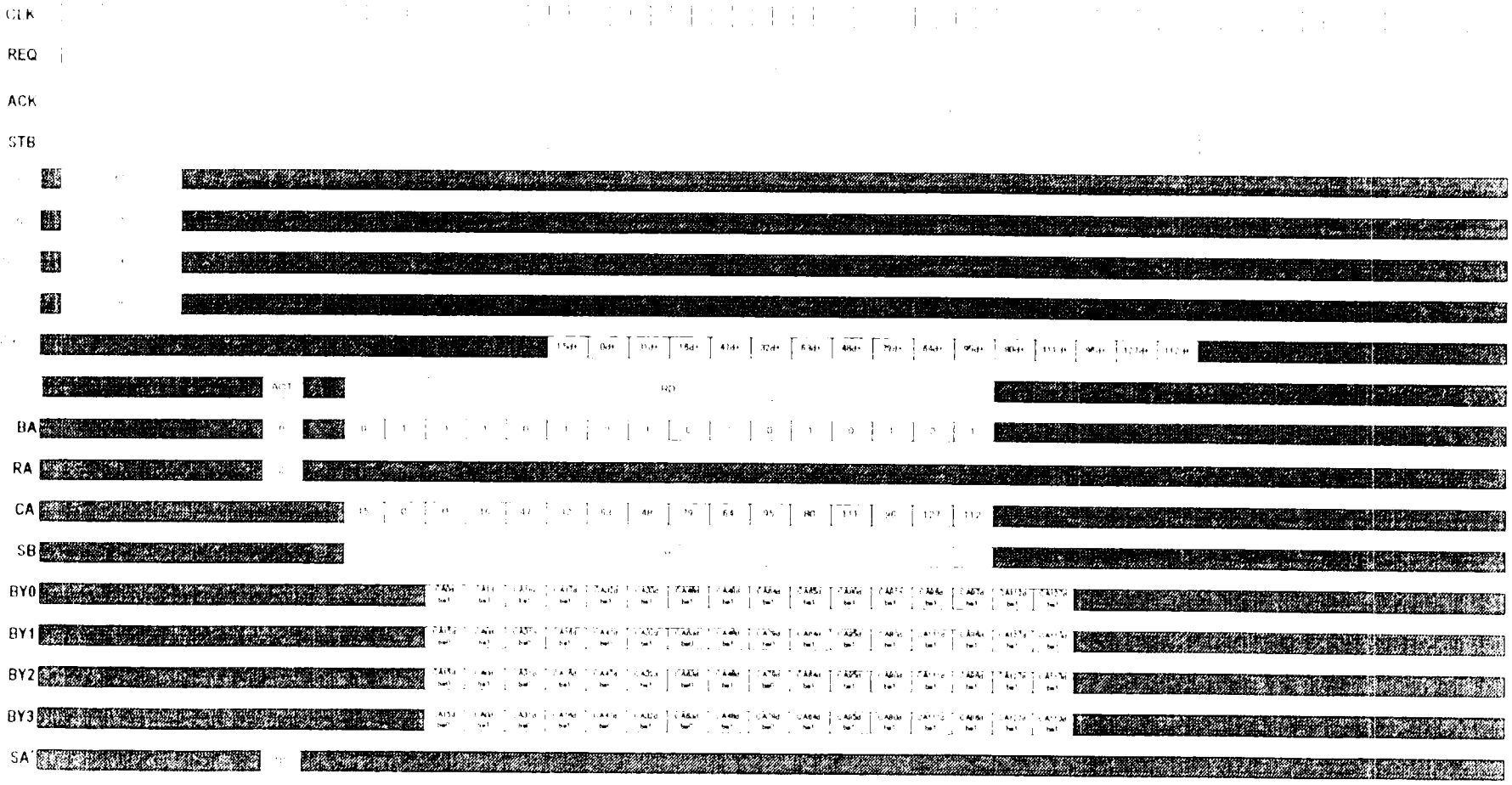

14-0
14-1
參考影像
列位址0 (記憶體組0)
列位址0 (記憶體組1)
列位址0 (記憶體組2)
列位址0 (記憶體組3)
590
592
600
CA0
CA1
CA15
CA16
CA17
CA31
CA32
CA33
CA47
CA48
CA49
CA63
CA64
CA65
CA79
CA80
CA81
CA95
CA96
CA97
CA111
CA112
CA113
CA127
CA240
CA241
CA255
BY0
BY1
BY2
BY3

CLK
REQ
ACK
STB
BA
RA
CA
BY0
BY1
BY2
BY3

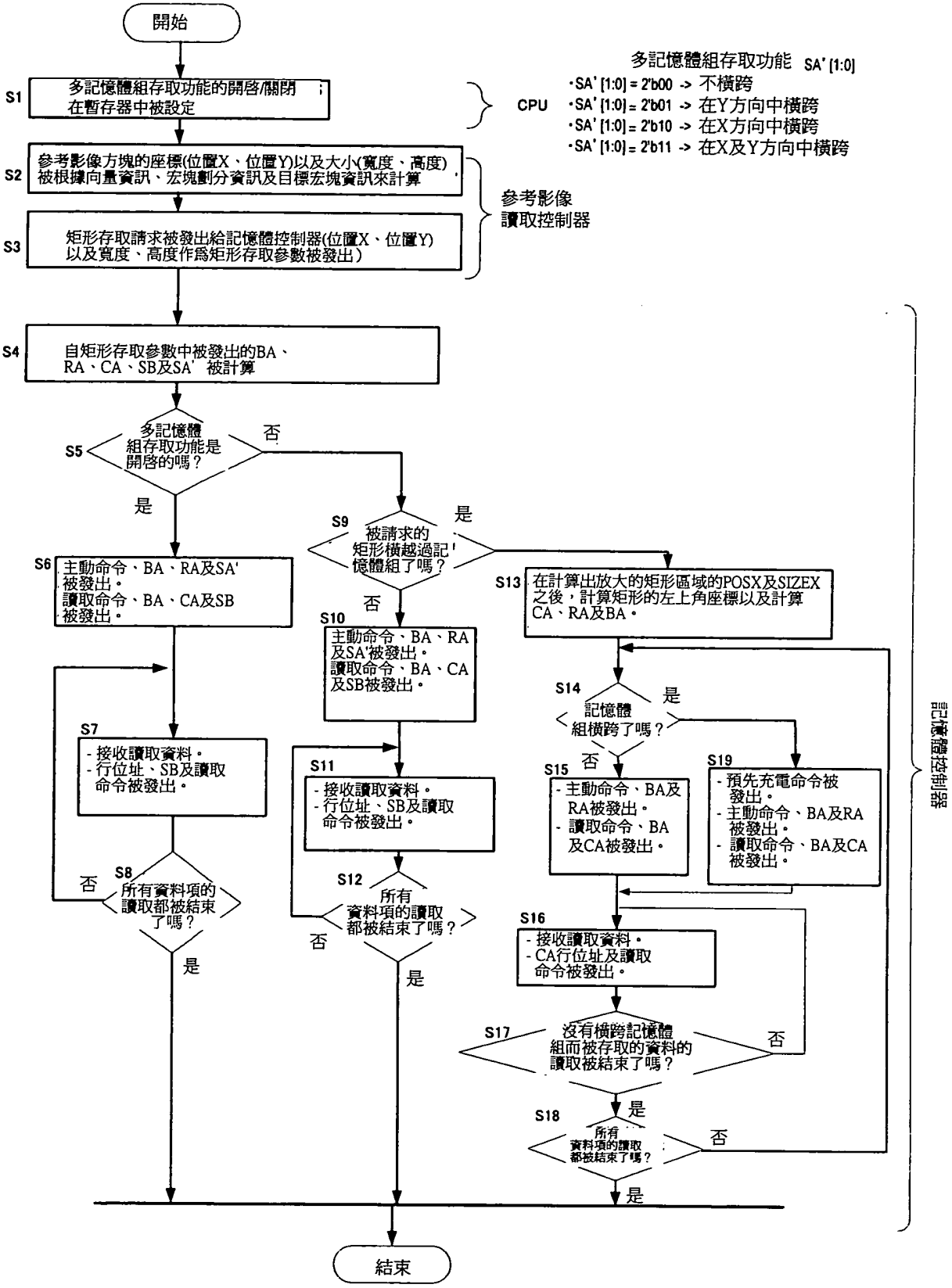

CLK
REQ
ACK
STB
BA
RA
SB
CA
BY0
BY1
BY2
BY3
SA


CLK
REQ
ACK
STB
BA
RA
CA
BY0
BY1
BY2
BY3

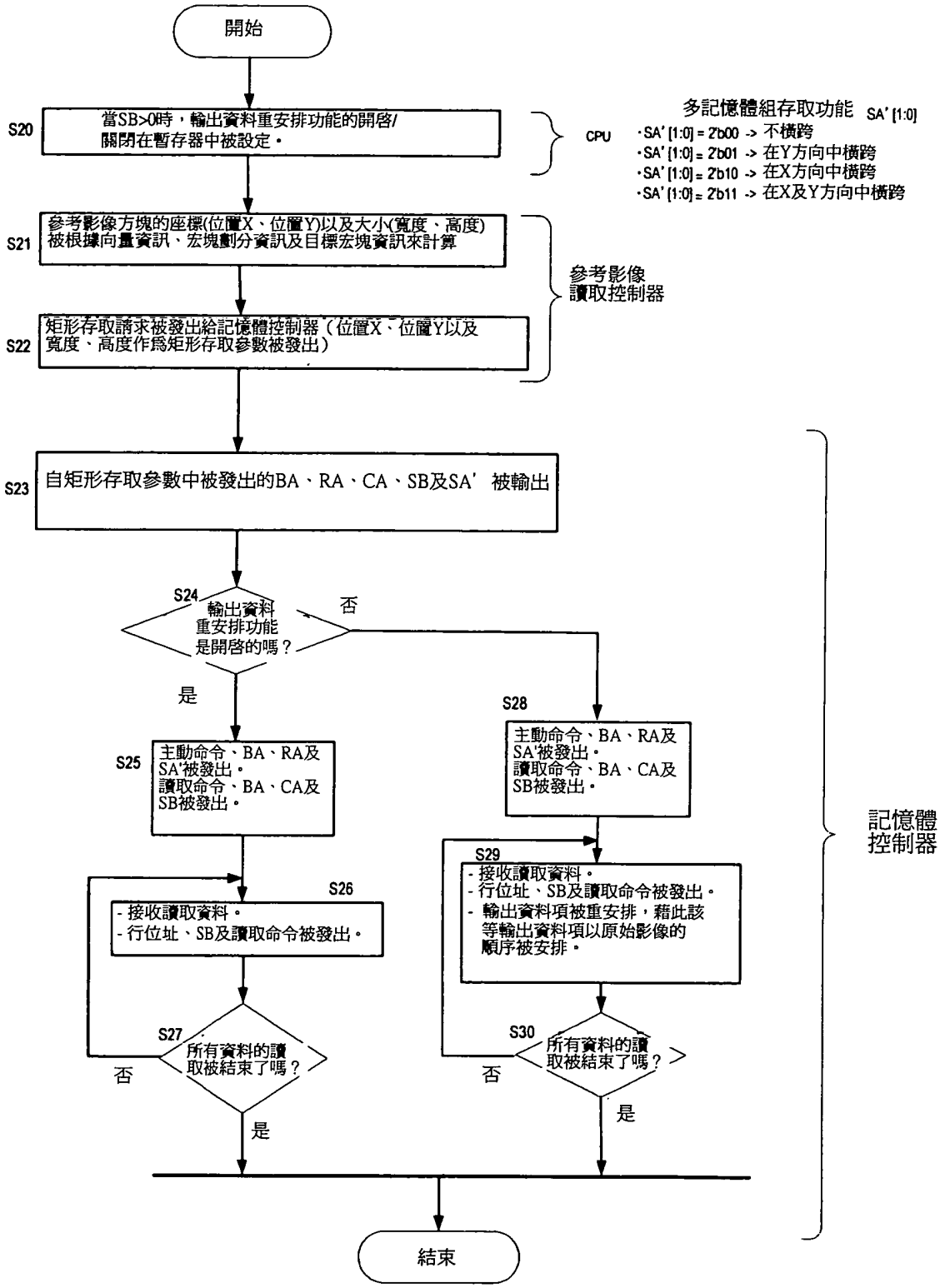
第64圖



第65圖

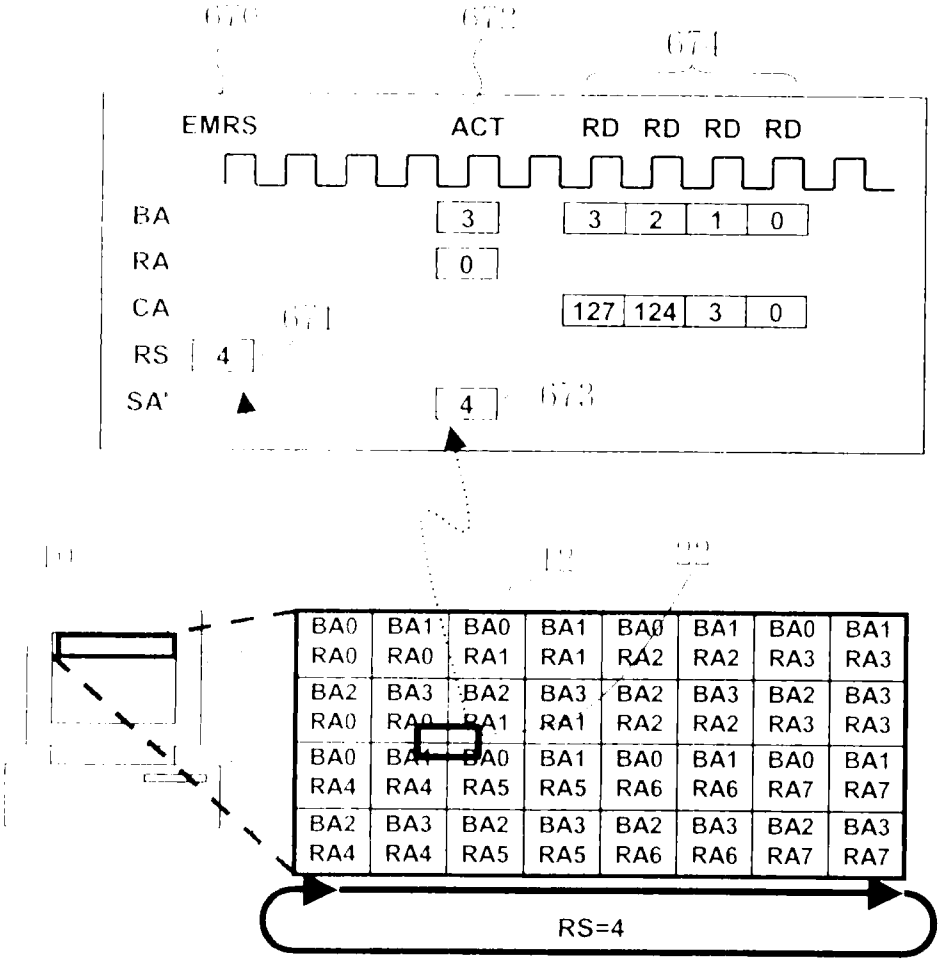

開始
S1
多記憶體組存取功能的開啓/關閉在暫存器中被設定
CPU
多記憶體組存取功能 SA'[1:0]
·SA'[1:0] = 2'b00 -> 不橫跨
·SA'[1:0] = 2'b01 -> 在Y方向中橫跨
·SA'[1:0] = 2'b10 -> 在X方向中橫跨
·SA'[1:0] = 2'b11 -> 在X及Y方向中橫跨
S2
參考影像方塊的座標(位置X、位置Y)以及大小(寬度、高度)被根據向量資訊、宏塊劃分資訊及目標宏塊資訊來計算
S3
矩形存取請求被發出給記憶體控制器(位置X、位置Y)以及寬度、高度作爲矩形存取參數被發出)
參考影像讀取控制器
S4
自矩形存取參數中被發出的BA、RA、CA、SB及SA' 被計算
S5
多記憶體組存取功能是開啓的嗎?
否
是
S6
主動命令、BA、RA及SA'被發出。
讀取命令、BA、CA及SB被發出。
S7
- 接收讀取資料。
- 行位址、SB及讀取命令被發出。
S8
所有資料項的讀取都被結束了嗎?
否
是
S9
被請求的矩形橫越過記憶體組了嗎?
是
否
S10
主動命令、BA、RA及SA'被發出。
讀取命令、BA、CA及SB被發出。
S11
- 接收讀取資料。
- 行位址、SB及讀取命令被發出。
S12
所有資料項的讀取都被結束了嗎?
否
是
S13
在計算出放大的矩形區域的POSX及SIZEX之後,計算矩形的左上角座標以及計算CA、RA及BA。
S14
記憶體組橫跨了嗎?
是
否
S15
- 主動命令、BA及RA被發出。
- 讀取命令、BA及CA被發出。
S19
- 預先充電命令被發出。
- 主動命令、BA及RA被發出。
- 讀取命令、BA及CA被發出。
S16
- 接收讀取資料。
- CA行位址及讀取命令被發出。
S17
沒有橫跨記憶體組而被存取的資料的讀取被結束了嗎?
否
是
S18
所有資料項的讀取都被結束了嗎?
否
是
結束
記憶體控制器

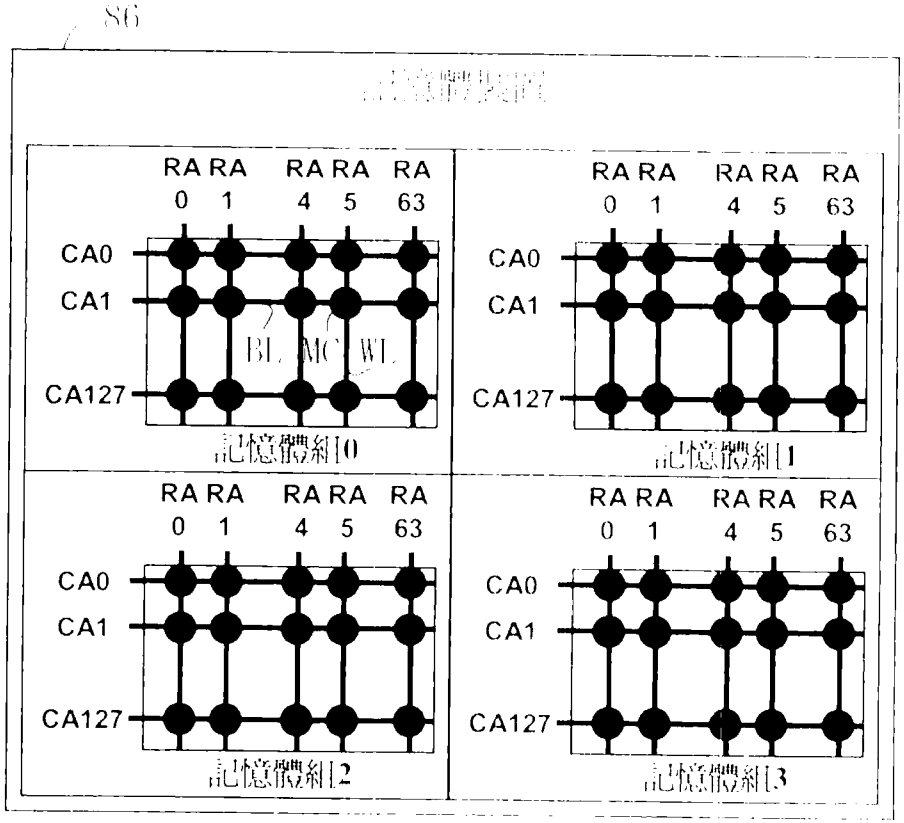
第66圖


開始
S20
當SB>0時，輸出資料重安排功能的開啓/關閉在暫存器中被設定。
CPU
多記憶體組存取功能 SA'[1:0]
·SA'[1:0] = 2'b00 -> 不橫跨
·SA'[1:0] = 2'b01 -> 在Y方向中橫跨
·SA'[1:0] = 2'b10 -> 在X方向中橫跨
·SA'[1:0] = 2'b11 -> 在X及Y方向中橫跨
S21
參考影像方塊的座標(位置X、位置Y)以及大小(寬度、高度)被根據向量資訊、宏塊劃分資訊及目標宏塊資訊來計算
S22
矩形存取請求被發出給記憶體控制器（位置X、位置Y以及寬度、高度作爲矩形存取參數被發出）
參考影像讀取控制器
S23
自矩形存取參數中被發出的BA、RA、CA、SB及SA' 被輸出
S24
輸出資料重安排功能是開啓的嗎？
否
是
S25
主動命令、BA、RA及SA'被發出。
讀取命令、BA、CA及SB被發出。
S26
- 接收讀取資料。
- 行位址、SB及讀取命令被發出。
S27
所有資料的讀取被結束了嗎？
否
是
S28
主動命令、BA、RA及SA'被發出。
讀取命令、BA、CA及SB被發出。
S29
- 接收讀取資料。
- 行位址、SB及讀取命令被發出。
- 輸出資料項被重安排，藉此該等輸出資料項以原始影像的順序被安排。
S30
所有資料的讀取被結束了嗎？
否
是
結束
記憶體控制器

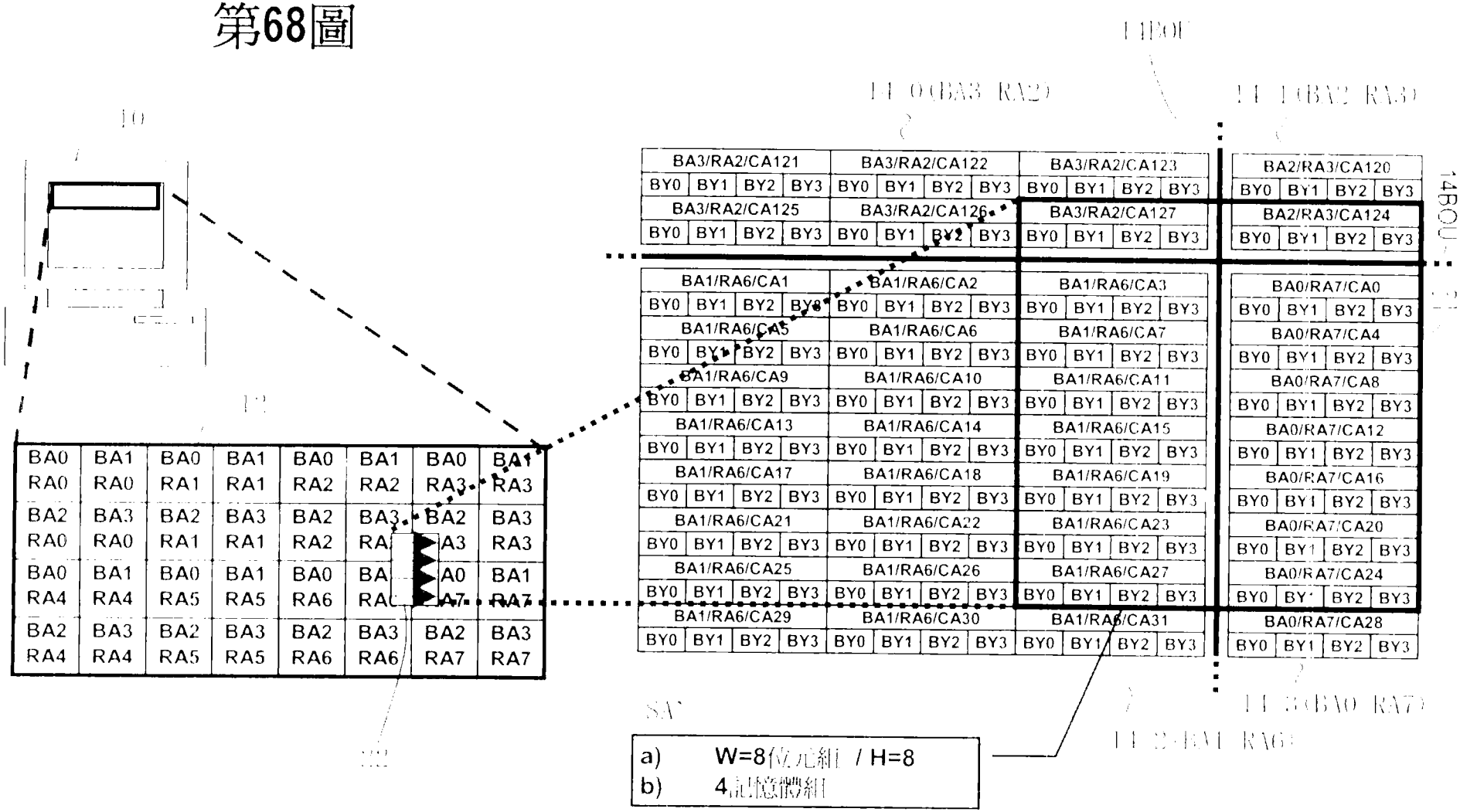
第67圖

多記憶體組存取

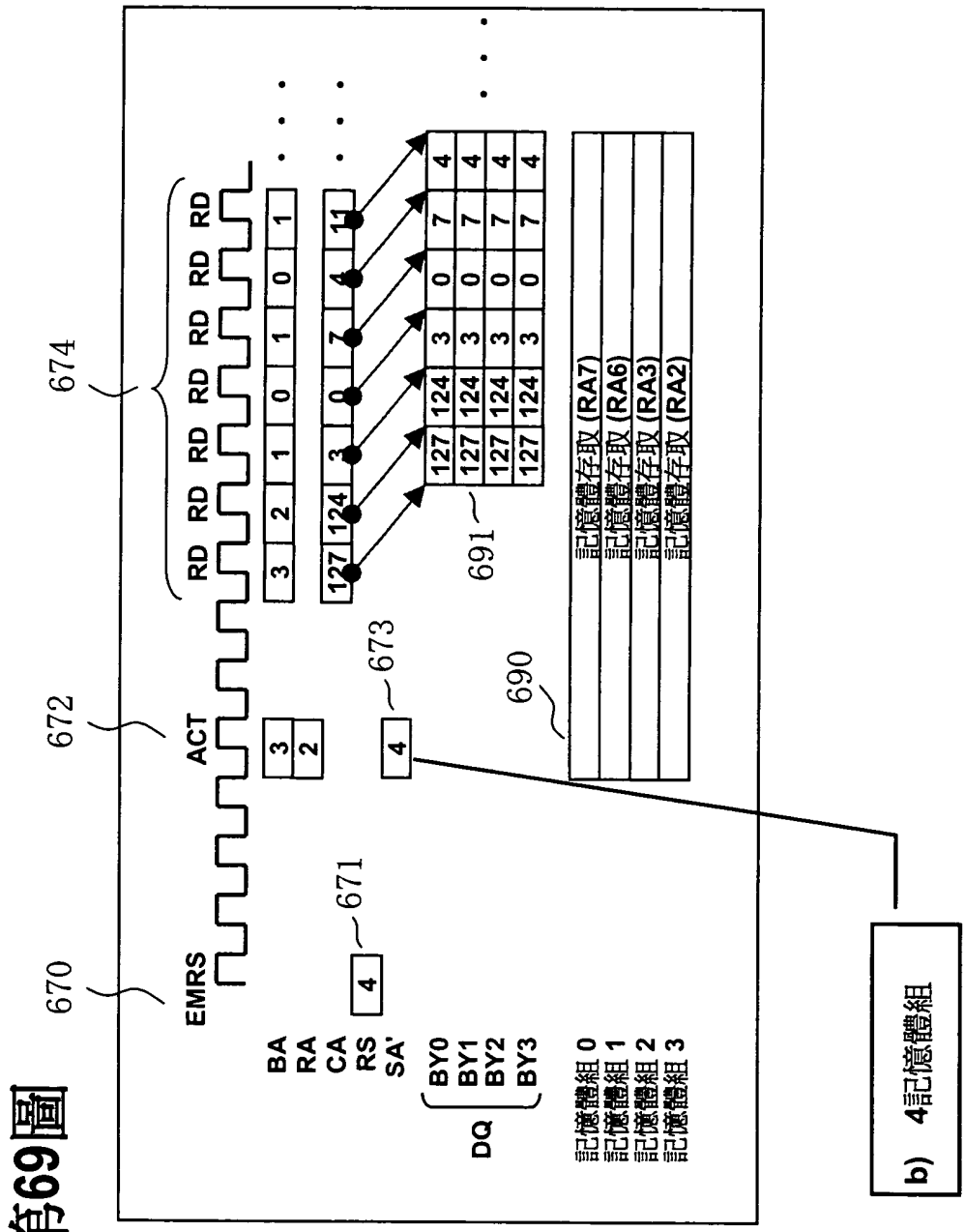




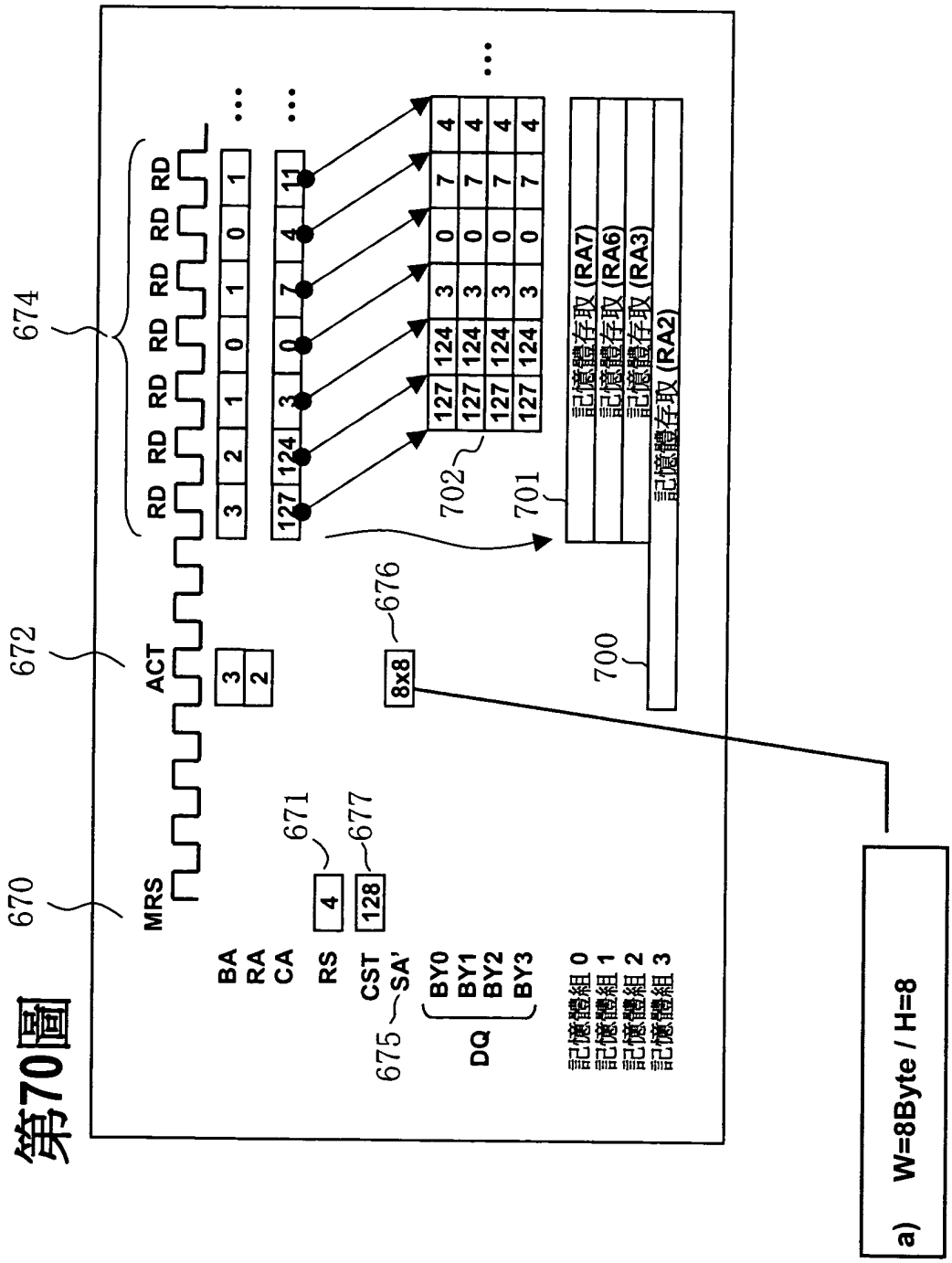
第68圖

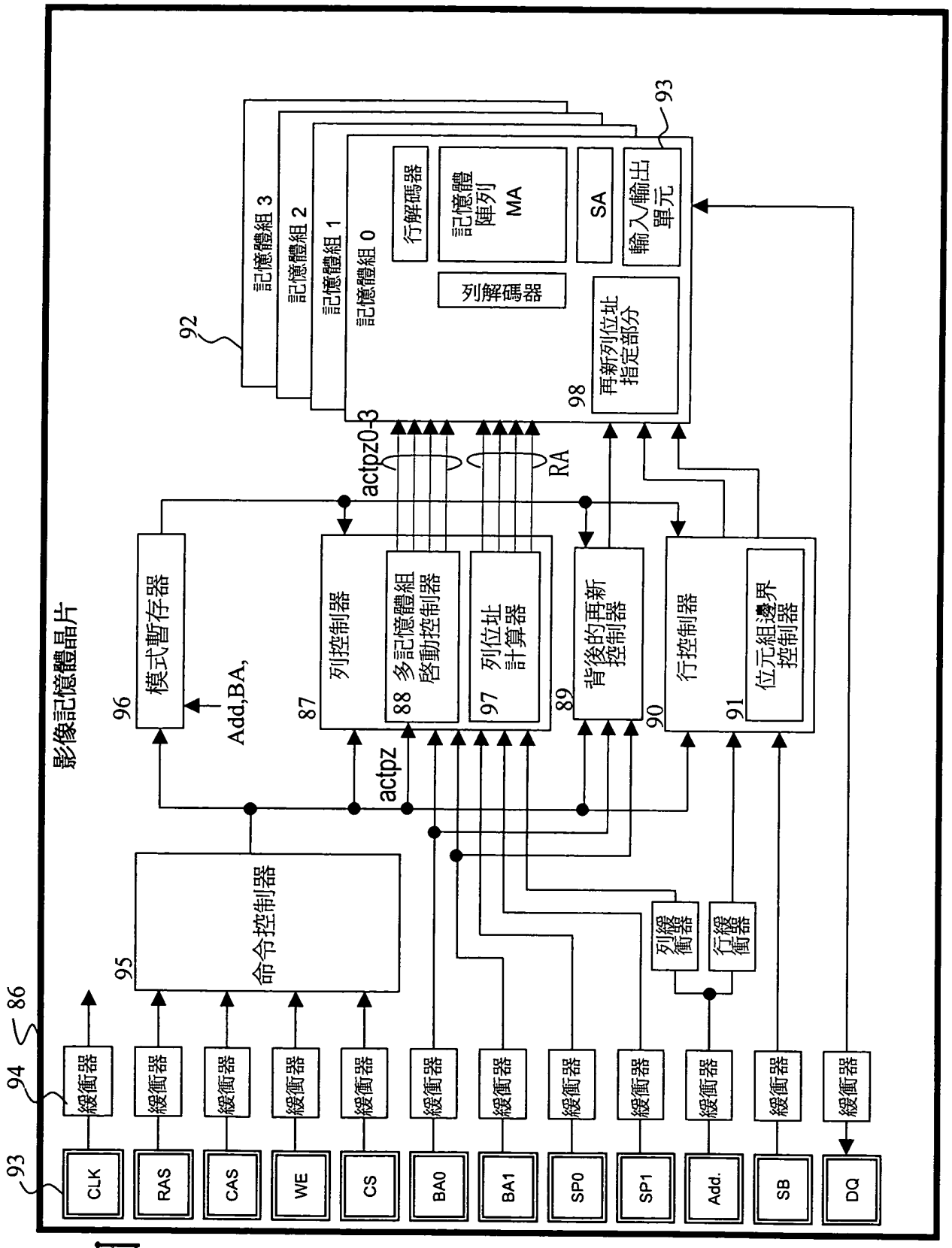

BA3/RA2/CA121
BA3/RA2/CA122
BA3/RA2/CA123
BA2/RA3/CA120
BA3/RA2/CA125
BA3/RA2/CA126
BA3/RA2/CA127
BA2/RA3/CA124
BA1/RA6/CA1
BA1/RA6/CA2
BA1/RA6/CA3
BA0/RA7/CA0
BA1/RA6/CA5
BA1/RA6/CA6
BA1/RA6/CA7
BA0/RA7/CA4
BA1/RA6/CA9
BA1/RA6/CA10
BA1/RA6/CA11
BA0/RA7/CA8
BA1/RA6/CA13
BA1/RA6/CA14
BA1/RA6/CA15
BA0/RA7/CA12
BA1/RA6/CA17
BA1/RA6/CA18
BA1/RA6/CA19
BA0/RA7/CA16
BA1/RA6/CA21
BA1/RA6/CA22
BA1/RA6/CA23
BA0/RA7/CA20
BA1/RA6/CA25
BA1/RA6/CA26
BA1/RA6/CA27
BA0/RA7/CA24
BA1/RA6/CA29
BA1/RA6/CA30
BA1/RA6/CA31
BA0/RA7/CA28
BY0 BY1 BY2 BY3
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
a) W=8位元組 / H=8
b) 4記憶體組

第69圖

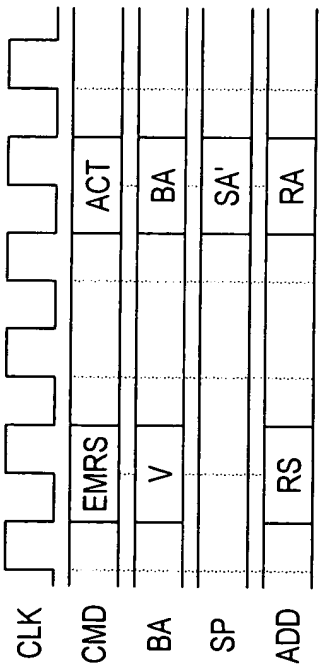

670
672
674
671
673
690
691
EMRS
ACT
RD
BA
RA
CA
RS
SA'
DQ
BY0
BY1
BY2
BY3
記憶體組 0
記憶體組 1
記憶體組 2
記憶體組 3
記憶體存取 (RA7)
記憶體存取 (RA6)
記憶體存取 (RA3)
記憶體存取 (RA2)
b) 4記憶體組

第70圖

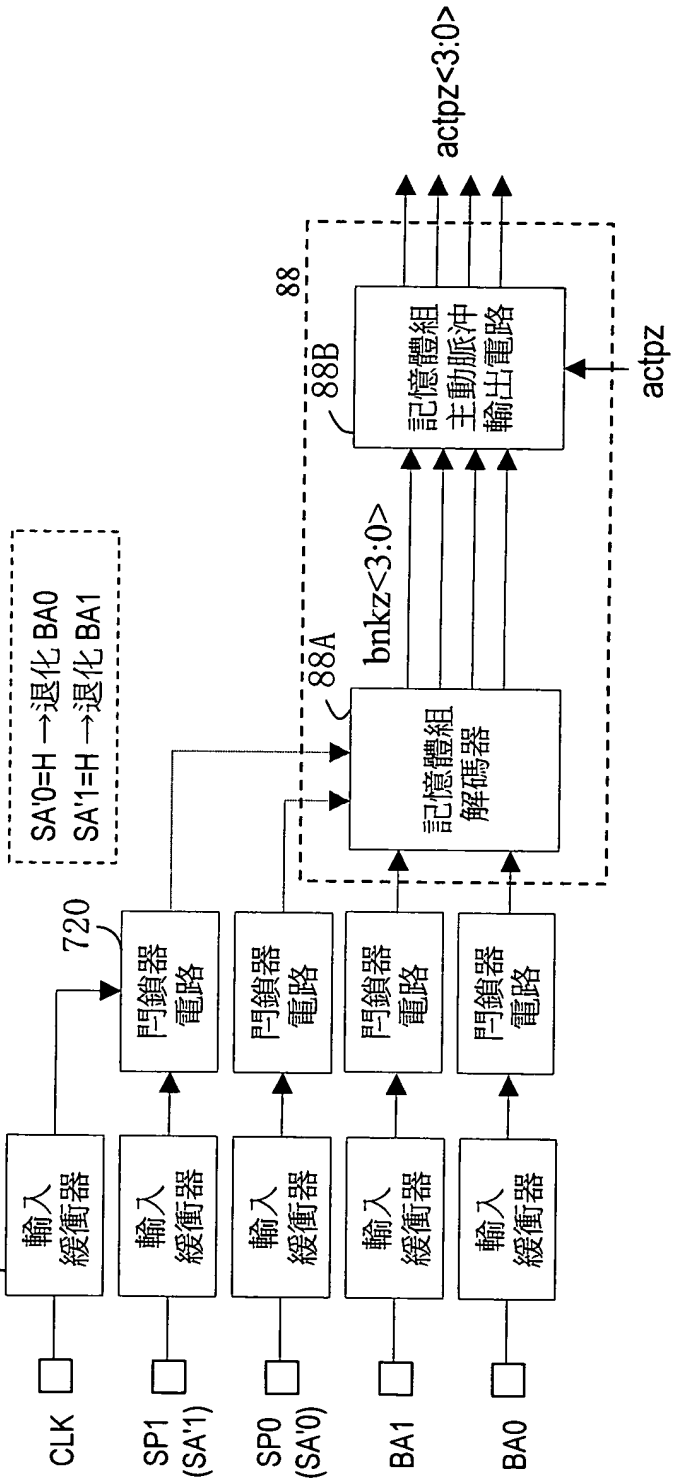

670
672
674
MRS
ACT
RD RD RD RD RD RD RD RD
BA
RA
CA
RS
CST
SA'
671
677
675
DQ
BY0
BY1
BY2
BY3
記憶體組 0
記憶體組 1
記憶體組 2
記憶體組 3
676
8x8
700
701
702
記憶體存取 (RA7)
記憶體存取 (RA6)
記憶體存取 (RA3)
記憶體存取 (RA2)
a) W=8Byte / H=8


影像記憶體晶片
93
94
86
95
命令控制器
96
模式暫存器
Add,BA,
87
列控制器
88
多記憶體組
啓動控制器
97
列位址
計算器
89
背後的再新
控制器
90
行控制器
91
位元組邊界
控制器
92
記憶體組 3
記憶體組 2
記憶體組 1
記憶體組 0
行解碼器
記憶體
陣列
MA
列解碼器
SA
輸入/輸出
單元
93
98
再新列位址
指定部分
actpz0-3
RA
actpz
緩衝器
CLK
RAS
CAS
WE
CS
BA0
BA1
SP0
SP1
Add.
SB
DQ
列緩
衝器
行緩
衝器

第71圖

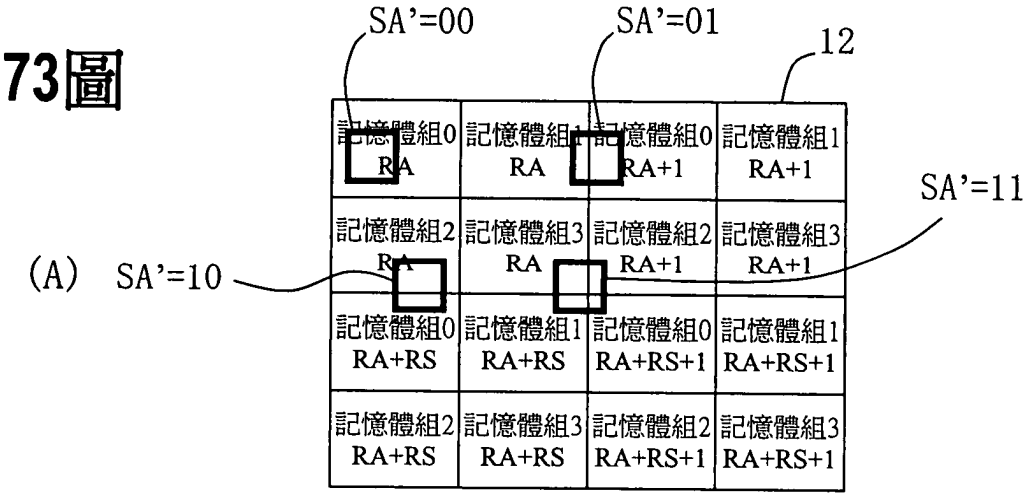

CLK
CMD
BA
SP
ADD
EMRS
V
BA
SA'
RA
RS
ACT

第72圖


CLK
SP1 (SA'1)
SP0 (SA'0)
BA1
BA0
94
輸入緩衝器
720
閂鎖器電路
SA'0=H →退化 BA0
SA'1=H →退化 BA1
88
88A
記憶體組解碼器
bnkz<3:0>
88B
記憶體組主動脈沖輸出電路
actpz<3:0>
actpz

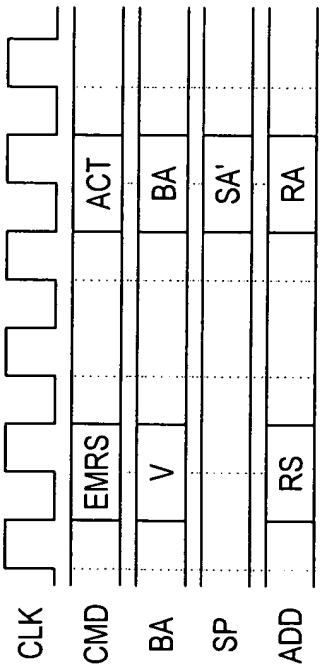
第73圖

(A)

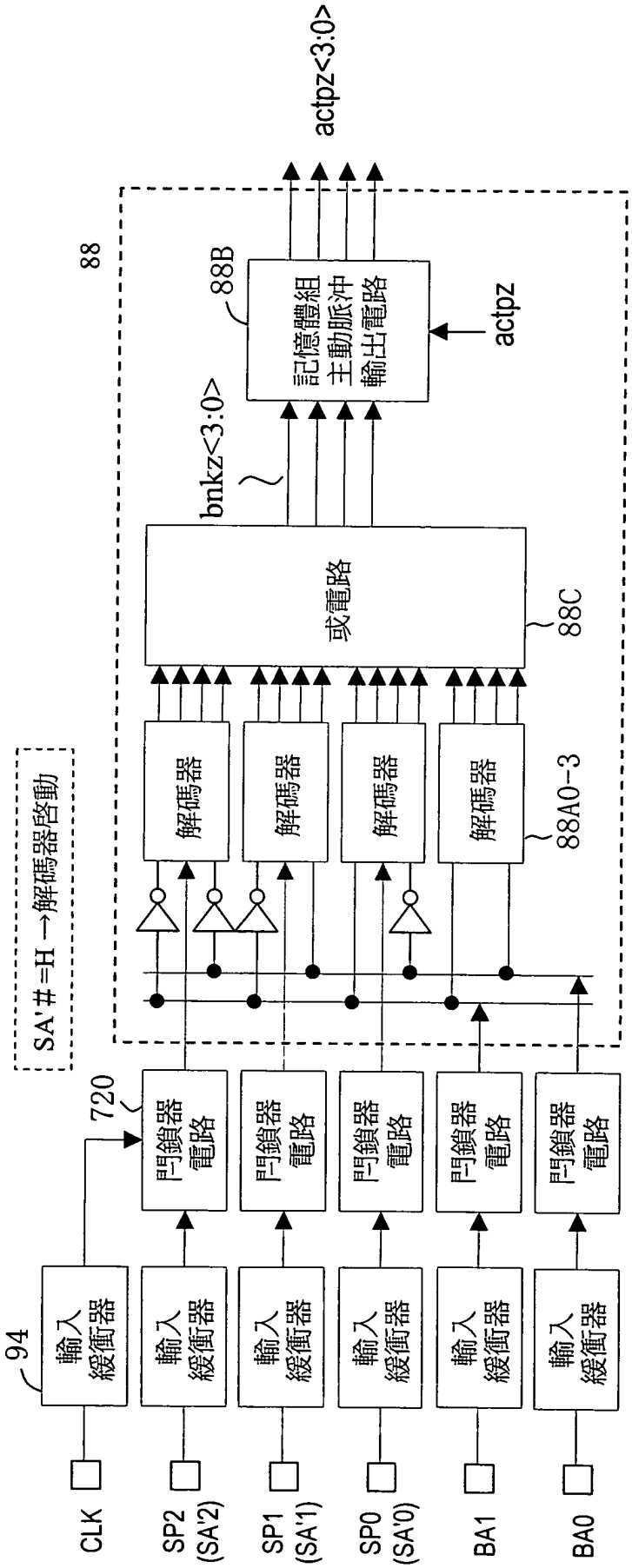


(B)

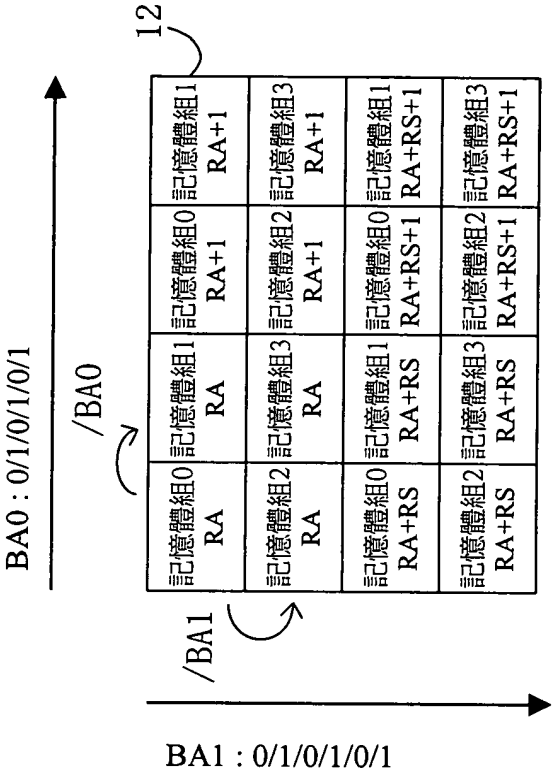
SA'1	SA'0	被啓動的記憶體組數	啓動邏輯
L	L	1	
L	H	2(水平的)	退化 BA0
H	L	2(垂直的)	退化 BA1
H	H	4	退化 BA0, 1


CLK
CMD
BA
SP
ADD
EMRS
V
ACT
BA
SA'
RS
RA

第74圖

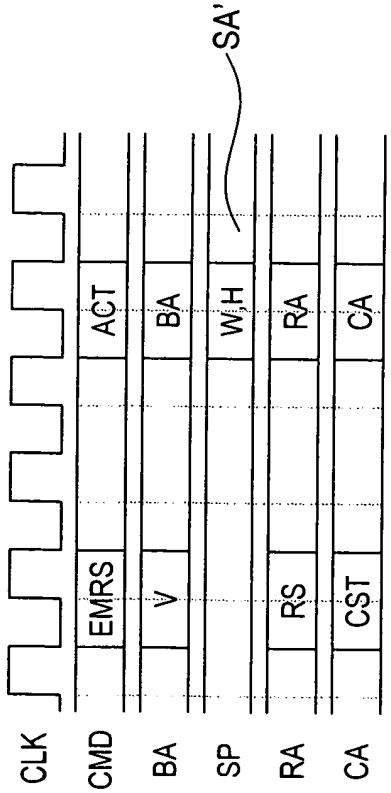

94
輸入緩衝器
720
閂鎖器電路
SA'#=H →解碼器啓動
88
解碼器
88A0-3
或電路
88C
bnkz<3:0>
88B
記憶體組主動脈沖輸出電路
actpz
actpz<3:0>
CLK
SP2 (SA'2)
SP1 (SA'1)
SP0 (SA'0)
BA1
BA0

第75圖 (A)

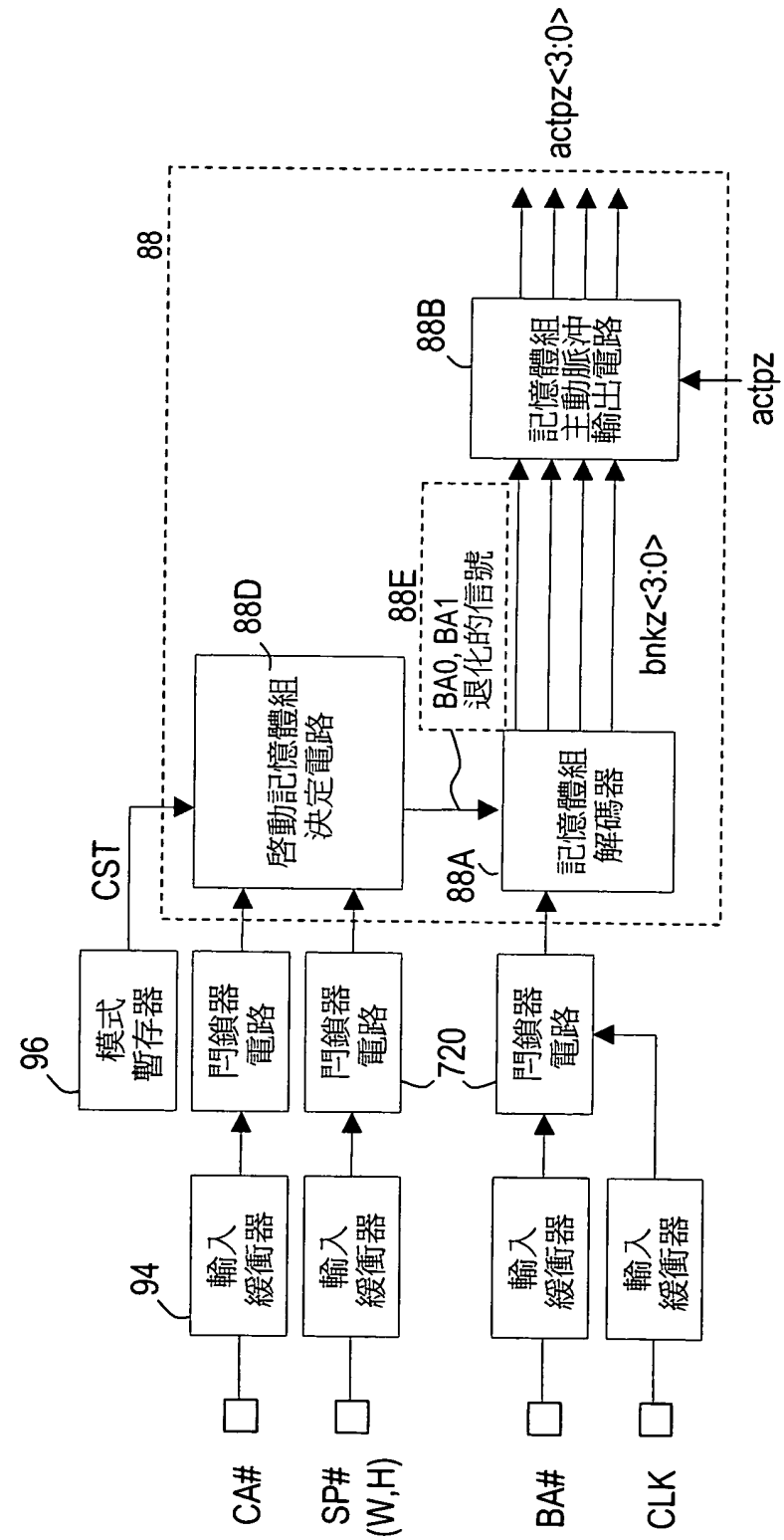


(B)

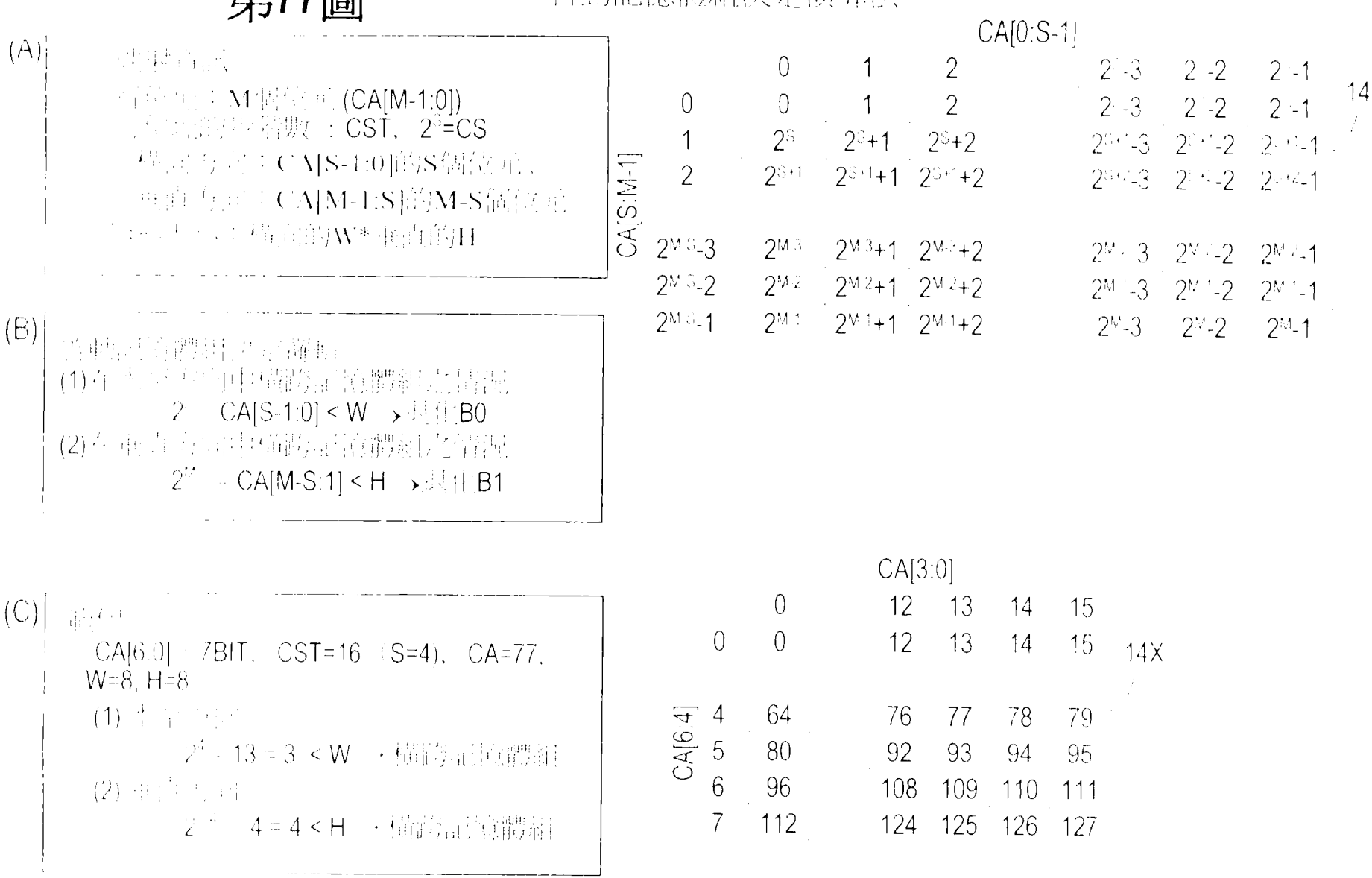
	被選擇的記憶體組	啓動邏輯
SA'0	右側的記憶體組	反向的 BA0
SA'1	下方的記憶體組	反向的 BA1
SA'2	右下角的記憶體組	反向的 BA0, 1


CLK
CMD
BA
SP
RA
CA
EMRS
V
RS
CST
ACT
BA
W,H
RA
CA
SA'

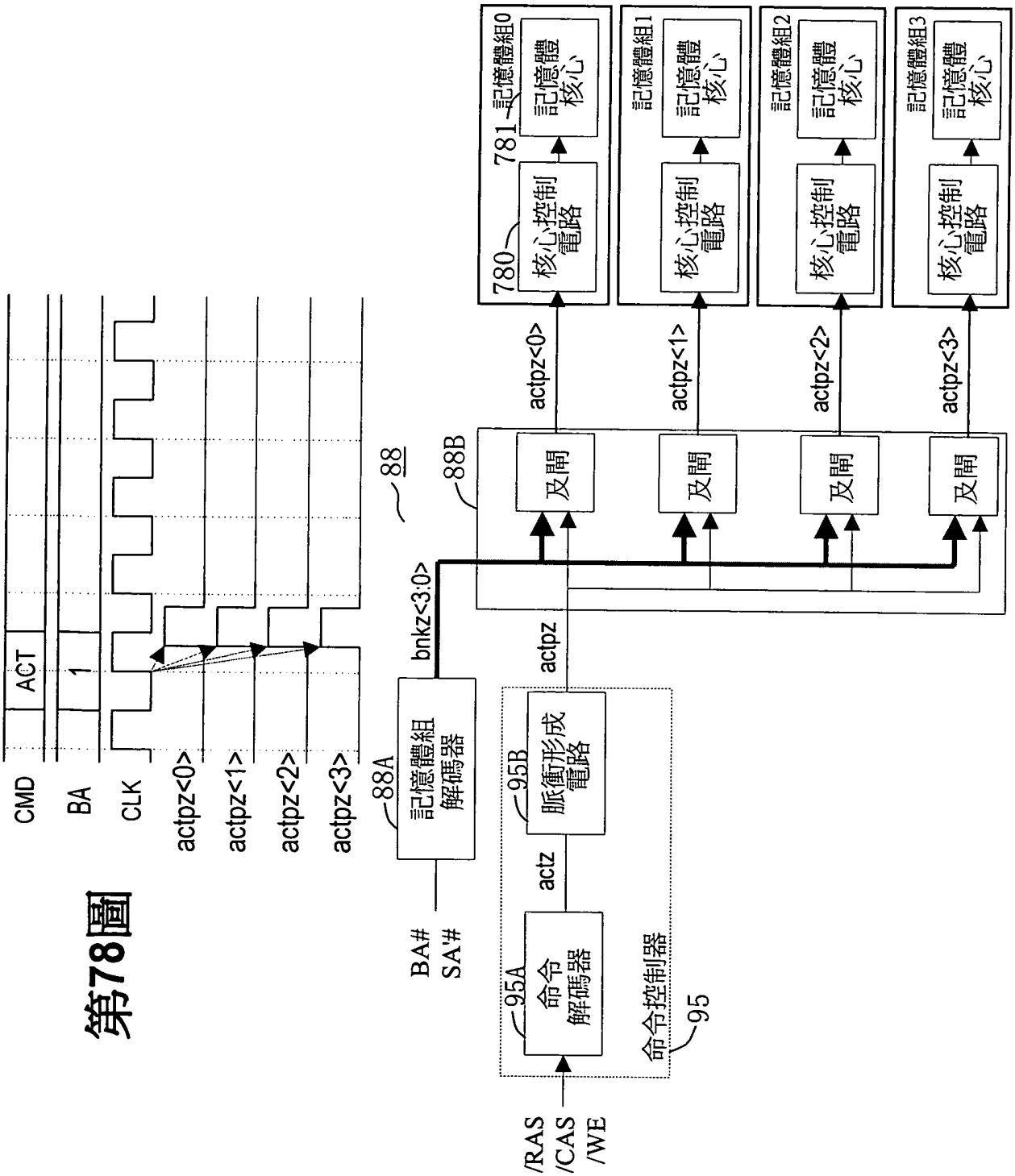
第76圖


88
actpz<3:0>
88B
記憶體組
主動脈沖
輸出電路
actpz
bnkz<3:0>
88D
啓動記憶體組
決定電路
88E
BA0, BA1
退化的信號
CST
88A
記憶體組
解碼器
96
模式
暫存器
門鎖器
電路
720
門鎖器
電路
94
輸入
緩衝器
輸入
緩衝器
輸入
緩衝器
輸入
緩衝器
CA#
SP#
(W,H)
BA#
CLK

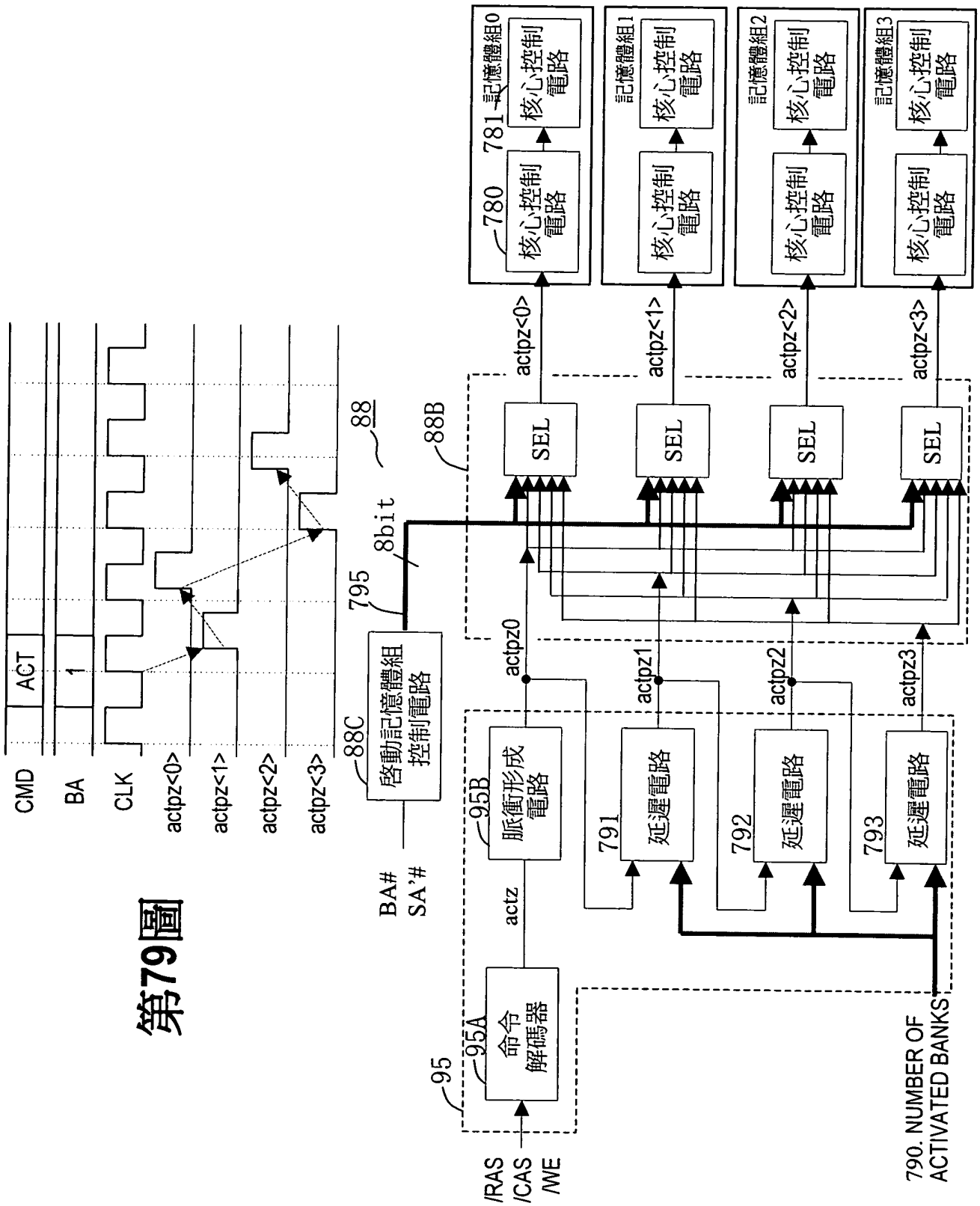
第77圖


(A)
M
(CA[M-1:0])
CST, 2^S=CS
CA[S-1:0]S
CA[M-1:S]M-S
W*H
CA[0:S-1]
CA[S:M-1]
0 1 2 2^S-3 2^S-2 2^S-1
0 0 1 2 2^S-3 2^S-2 2^S-1
1 2^S 2^S+1 2^S+2 2^(S+1)-3 2^(S+1)-2 2^(S+1)-1
2 2^(S+1) 2^(S+1)+1 2^(S+1)+2 2^(S+2)-3 2^(S+2)-2 2^(S+2)-1
2^M-S-3 2^M-3 2^M-3+1 2^M-3+2 2^M-2 2^M-2 2^M-2
2^M-S-2 2^M-2 2^M-2+1 2^M-2+2 2^M-1 2^M-1 2^M-1
2^M-S-1 2^M-1 2^M-1+1 2^M-1+2 2^M-3 2^M-2 2^M-1
14
(B)
(1)
2 CA[S-1:0] < W B0
(2)
2^M-S CA[M-S:1] < H B1
(C)
CA[6:0] 7BIT, CST=16 (S=4), CA=77, W=8, H=8
(1)
2^4 13 = 3 < W
(2)
2^3 4 = 4 < H
CA[3:0]
CA[6:4]
0 1 2 3 4 5 6 7
0 0 64 80 96 112
12 13 14 15 76 77 78 79 92 93 94 95 108 109 110 111 124 125 126 127
14X

第78圖


CMD
ACT
BA
1
CLK
actpz<0>
actpz<1>
actpz<2>
actpz<3>
88
88A
記憶體組解碼器
BA#
SA'#
bnkz<3:0>
88B
及閘
actpz
95B
脈衝形成電路
actz
95A
命令解碼器
命令控制器
95
/RAS
/CAS
/WE
actpz<0>
actpz<1>
actpz<2>
actpz<3>
780
核心控制電路
781
記憶體核心
記憶體組0
記憶體組1
記憶體組2
記憶體組3

第79圖


CMD
ACT
BA
1
CLK
actpz<0>
actpz<1>
actpz<2>
actpz<3>
88
88B
8bit
795
88C
啓動記憶體組控制電路
BA#
SA'#
95
95A
命令解碼器
/RAS
/CAS
/WE
actz
95B
脈衝形成電路
actpz0
actpz1
actpz2
actpz3
791
延遲電路
792
延遲電路
793
延遲電路
790. NUMBER OF ACTIVATED BANKS
SEL
SEL
SEL
SEL
actpz<0>
actpz<1>
actpz<2>
actpz<3>
780
核心控制電路
781
記憶體組0
核心控制電路
記憶體組1
核心控制電路
記憶體組2
核心控制電路
記憶體組3
核心控制電路

[啓動4個記憶體組]
SA'[1:0]=11

	BA1,BA0			
	0,0	0,1	1,0	1,1
記憶體組0	00	01	10	11
記憶體組1	01	00	11	10
記憶體組2	10	11	00	01
記憶體組3	11	10	01	00

800

[水平啓動2個
記憶體組]
SA'[1:0]=01

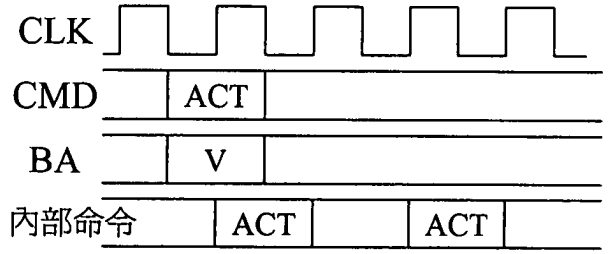
	BA1,BA0			
	0,0	0,1	1,0	1,1
記憶體組0	00	01		
記憶體組1	01	00		
記憶體組2			00	01
記憶體組3			01	00

801

[垂直啓動2個
記憶體組]
SA'[1:0]=10

	BA1,BA0			
	0,0	0,1	1,0	1,1
記憶體組0	00		10	
記憶體組1		00		10
記憶體組2	10		00	
記憶體組3		10		00

802

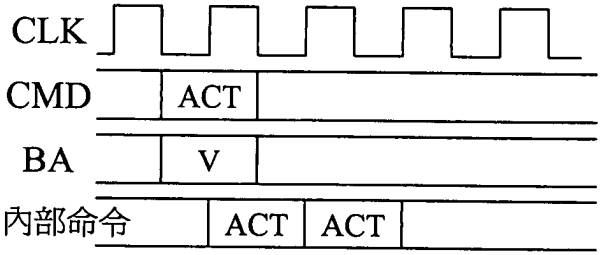


803

[垂直啓動2個
記憶體組]

	BA1,BA0			
	0,0	0,1	1,0	1,1
記憶體組0	00		01	
記憶體組1		00		01
記憶體組2	01		00	
記憶體組3		01		00

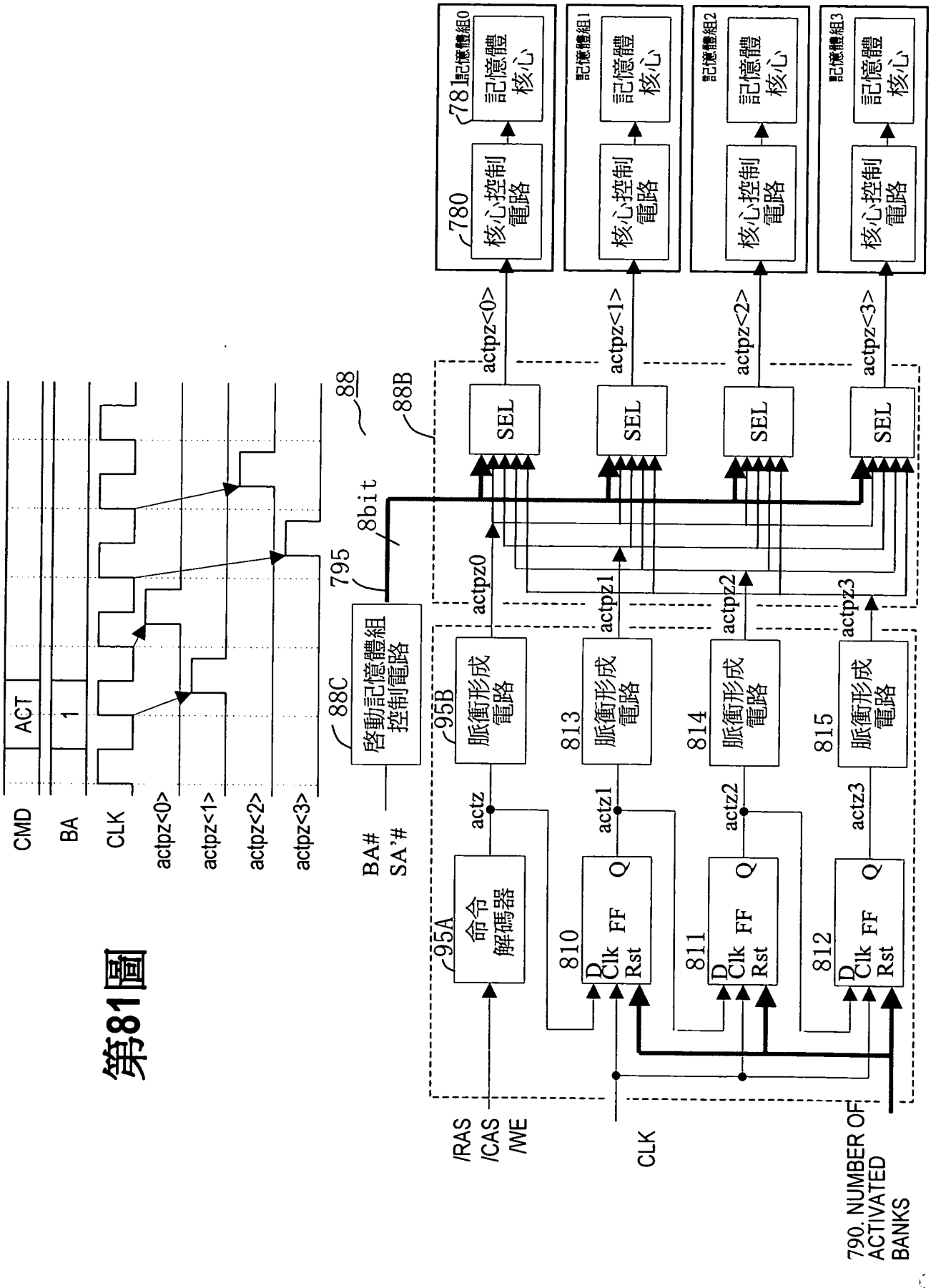
804



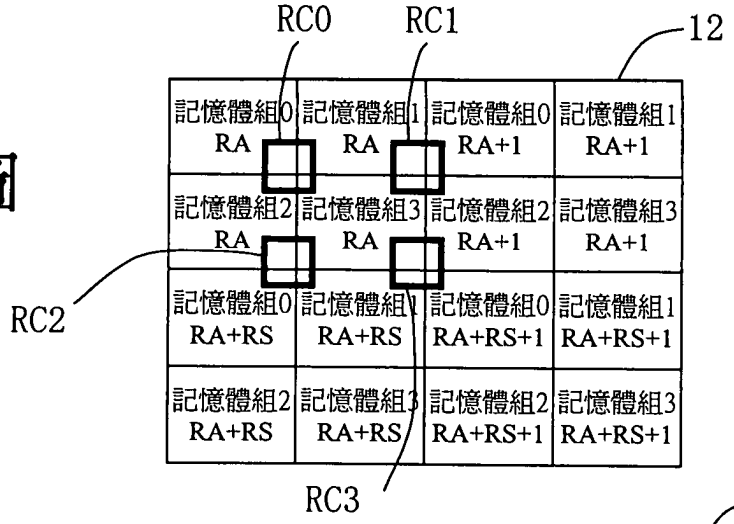
805

第80圖

第81圖


CMD
ACT
BA
1
CLK
actpz<0>
actpz<1>
actpz<2>
actpz<3>
BA#
SA'#
88
88B
88C
795
8bit
啓動記憶體組控制電路
95A
命令解碼器
95B
脈衝形成電路
813
脈衝形成電路
814
脈衝形成電路
815
脈衝形成電路
actz
actz1
actz2
actz3
actpz0
actpz1
actpz2
actpz3
810
811
812
D
Clk
FF
Rst
Q
SEL
780
核心控制電路
781
記憶體核心
記憶體組0
記憶體組1
記憶體組2
記憶體組3
/RAS
/CAS
/WE
CLK
790. NUMBER OF ACTIVATED BANKS

第82圖



820

		要被啓動的字線			
		記憶體組0	記憶體組1	記憶體組2	記憶體組3
BA1,BA0	0,0	RA	RA	RA	RA
	0,1	RA+1	RA	RA+1	RA
	1,0	RA+RS	RA+RS	RA	RA
	1,1	RA+RS+1	RA+RS	RA+1	RA

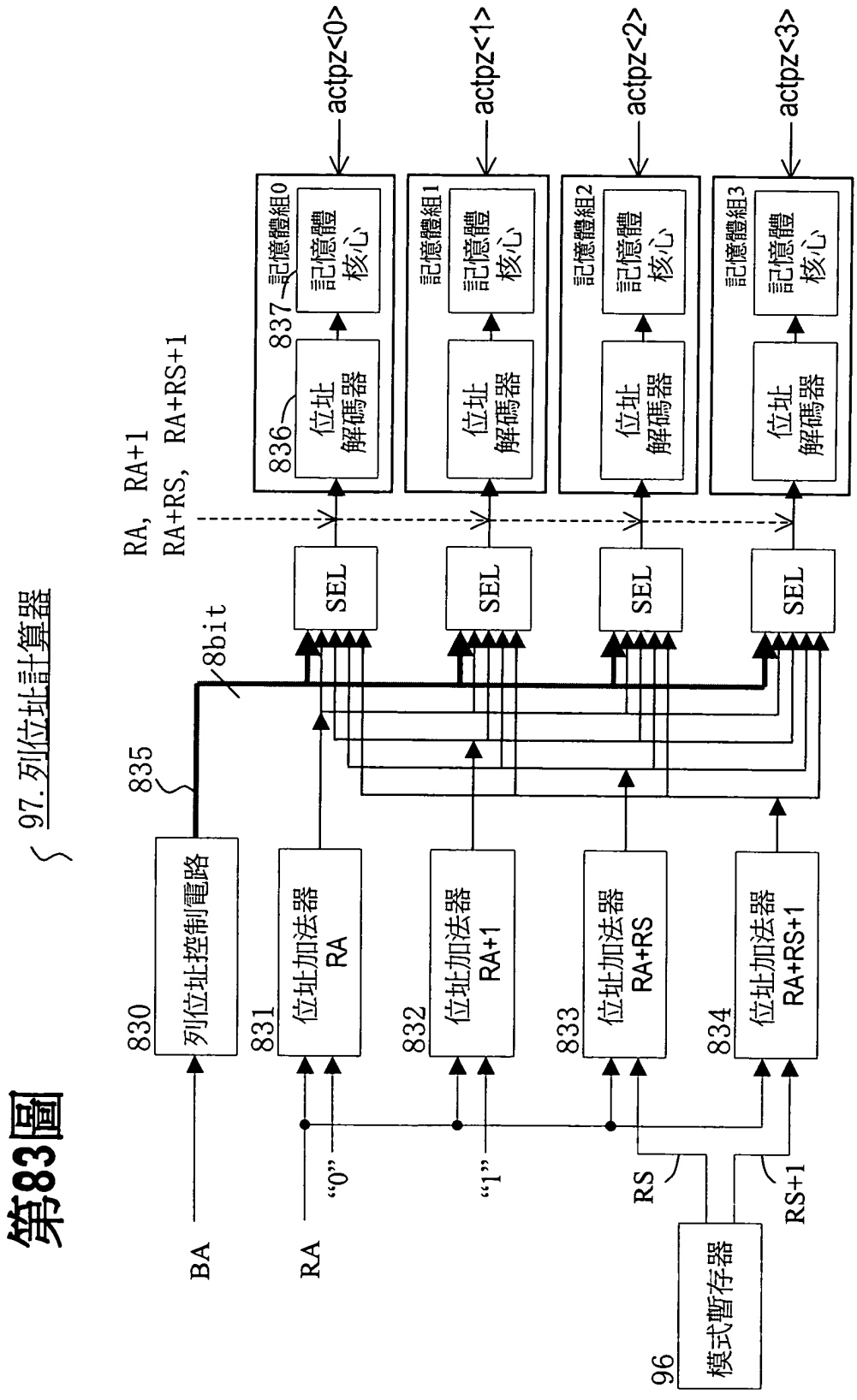
RC0 RC1 RC2 RC3

821

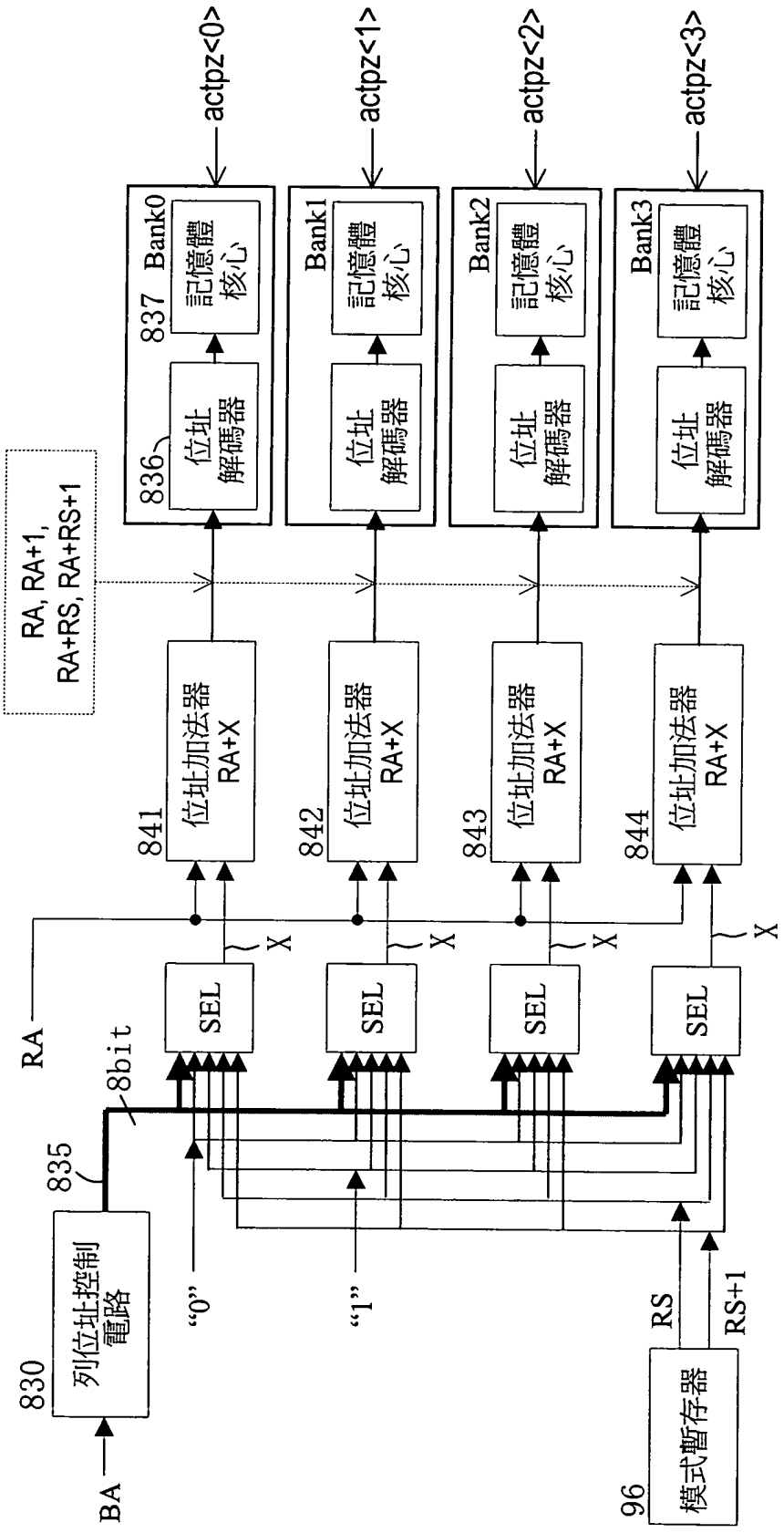
		835			
		記憶體組0	記憶體組1	記憶體組2	記憶體組3
BA1,BA0	0,0	00	00	00	00
	0,1	01	00	01	00
	1,0	10	10	00	00
	1,1	11	10	01	00

RC0 RC1 RC2 RC3

第83圖


97.列位址計算器
BA
RA
"0"
"1"
RS
RS+1
96
模式暫存器
830
列位址控制電路
831
位址加法器 RA
832
位址加法器 RA+1
833
位址加法器 RA+RS
834
位址加法器 RA+RS+1
835
8bit
RA, RA+1
RA+RS, RA+RS+1
SEL
836
位址解碼器
837
記憶體組0
記憶體組1
記憶體組2
記憶體組3
記憶體核心
actpz<0>
actpz<1>
actpz<2>
actpz<3>

第84圖


97.列位址計算器
RA, RA+1,
RA+RS, RA+RS+1
actpz<0>
actpz<1>
actpz<2>
actpz<3>
Bank0
Bank1
Bank2
Bank3
記憶體核心
位址解碼器
836
837
841
842
843
844
位址加法器
RA+X
SEL
X
RA
8bit
835
830
列位址控制電路
BA
"0"
"1"
RS
RS+1
96
模式暫存器

第85圖

12A

記憶體組0 RA	記憶體組1 RA	記憶體組0 RA+1	記憶體組1 RA+1
記憶體組2 RA	記憶體組3 RA	記憶體組2 RA+1	記憶體組3 RA+1
記憶體組 0 RA+RS	記憶體組1 RA+RS	記憶體組0 RA+RS+1	記憶體組1 RA+RS+1
記憶體組2 RA+RS	記憶體組3 RA+RS	記憶體組2 RA+RS+1	記憶體組3 RA+RS+1

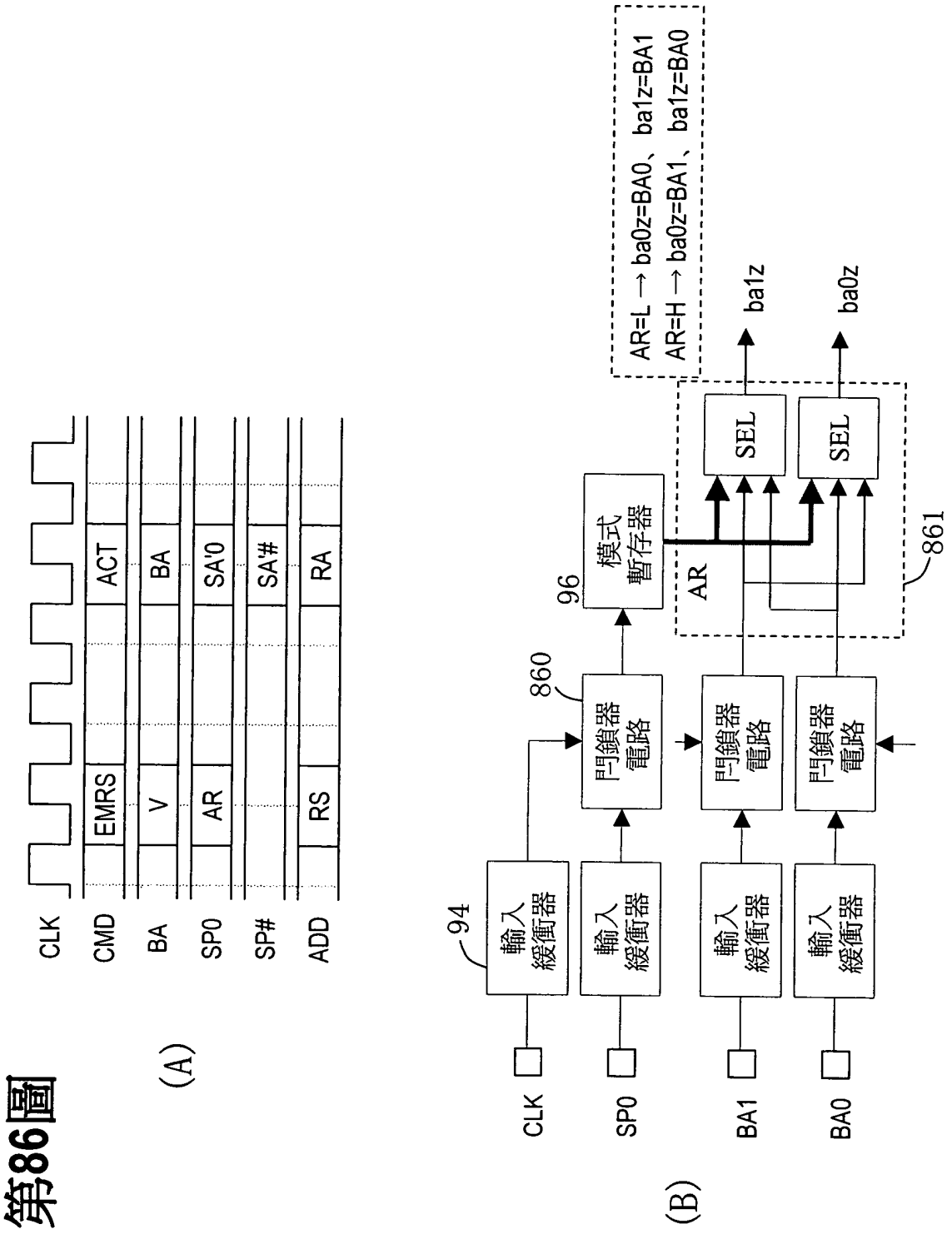
AR=L

12B

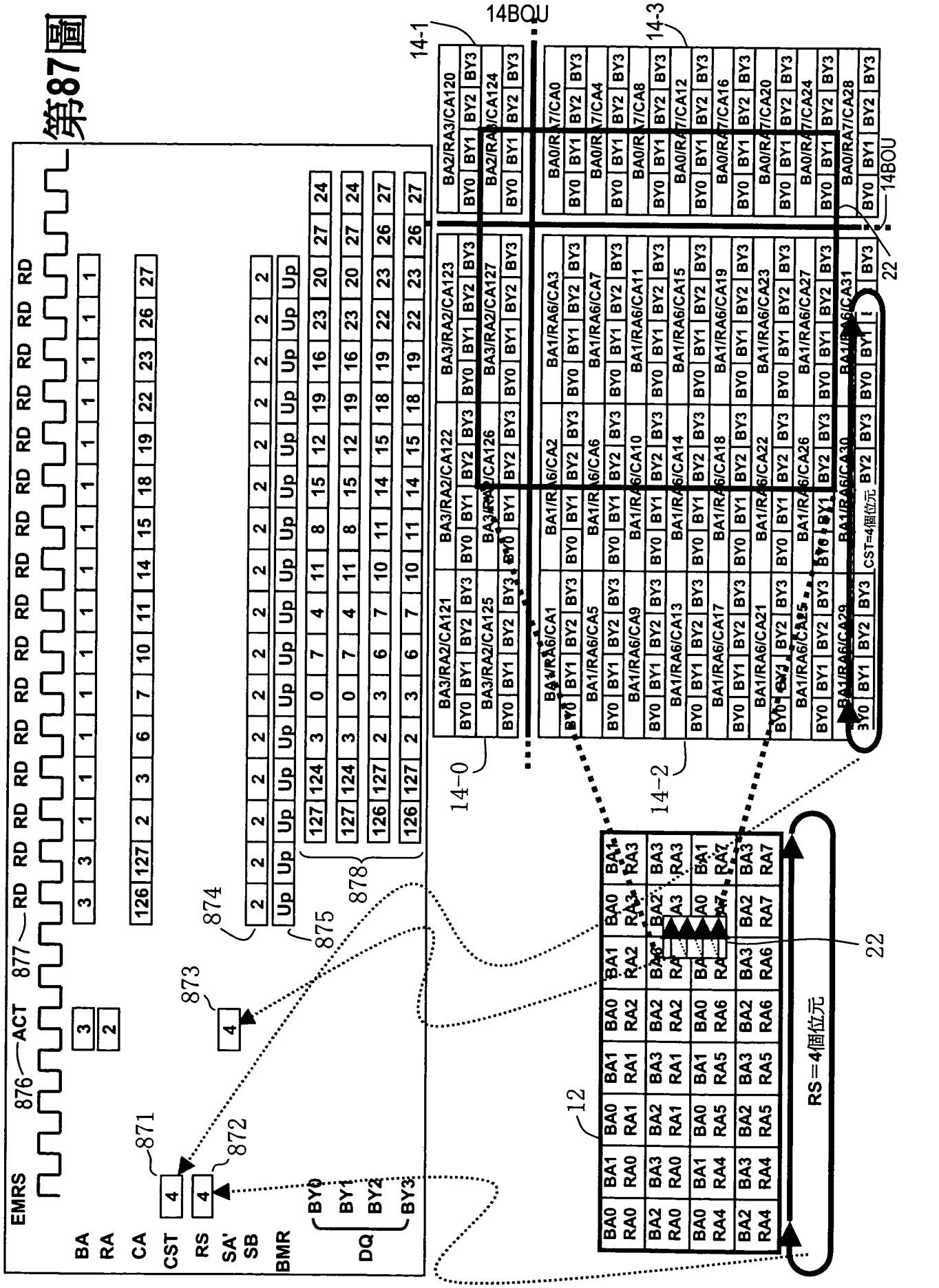
記憶體組0 RA	記憶體組2 RA	記憶體組0 RA+1	記憶體組2 RA+1
記憶體組1 RA	記憶體組3 RA	記憶體組1 RA+1	記憶體組3 RA+1
記憶體組0 RA+RS	記憶體組2 RA+RS	記憶體組0 RA+RS+1	記憶體組2 RA+RS+1
記憶體組1 RA+RS	記憶體組3 RA+RS	記憶體組1 RA+RS+1	記憶體組3 RA+RS+1

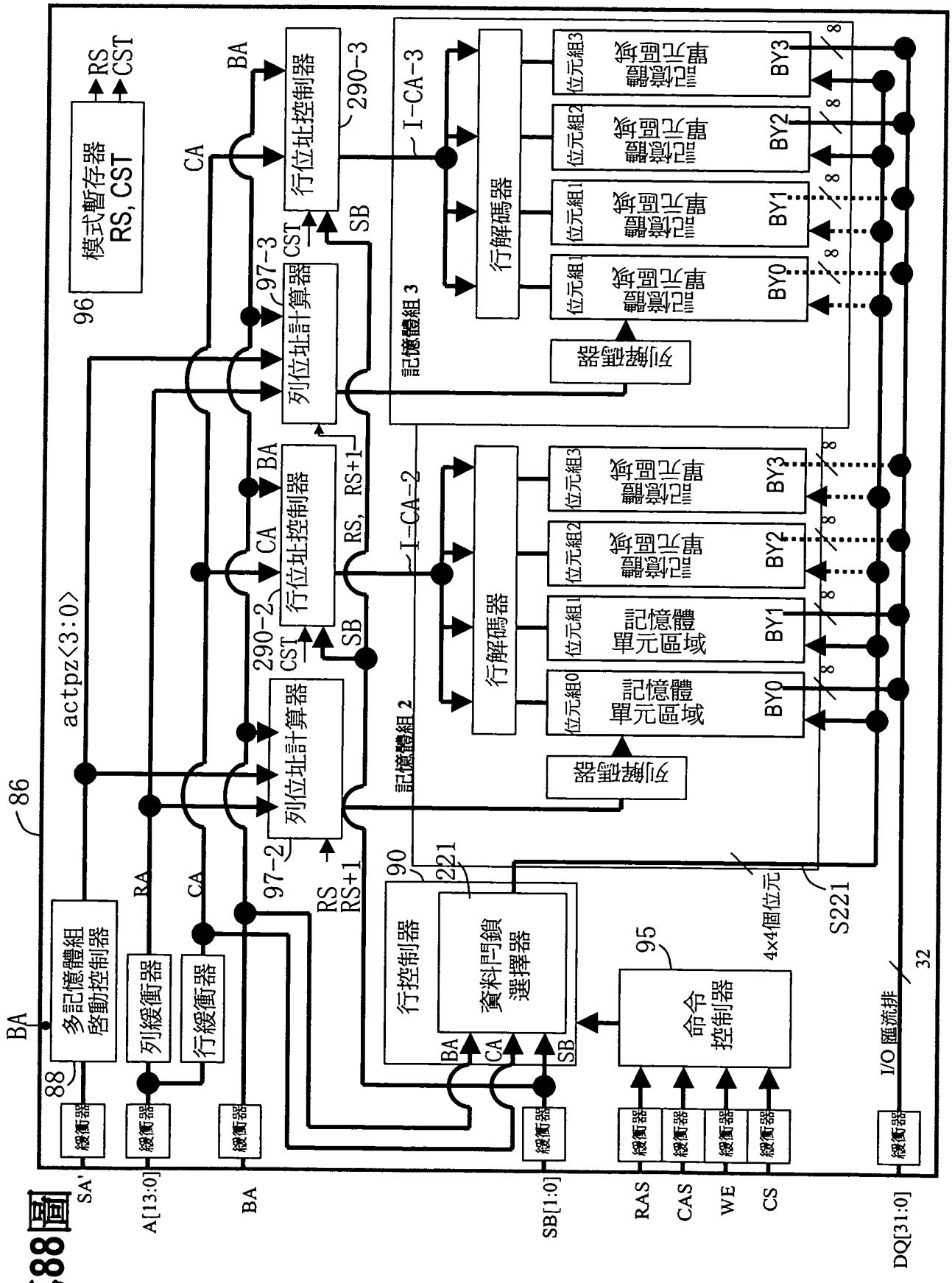
AR=H

第86圖


(A)
CLK
CMD
BA
SP0
SP#
ADD
EMRS
ACT
V
BA
AR
SA'0
SA'#
RS
RA
(B)
CLK
SP0
BA1
BA0
輸入緩衝器
輸入緩衝器
輸入緩衝器
輸入緩衝器
94
門鎖器電路
門鎖器電路
門鎖器電路
860
模式暫存器
96
AR
SEL
SEL
861
AR=L → ba0z=BA0、ba1z=BA1
AR=H → ba0z=BA1、ba1z=BA0
ba1z
ba0z

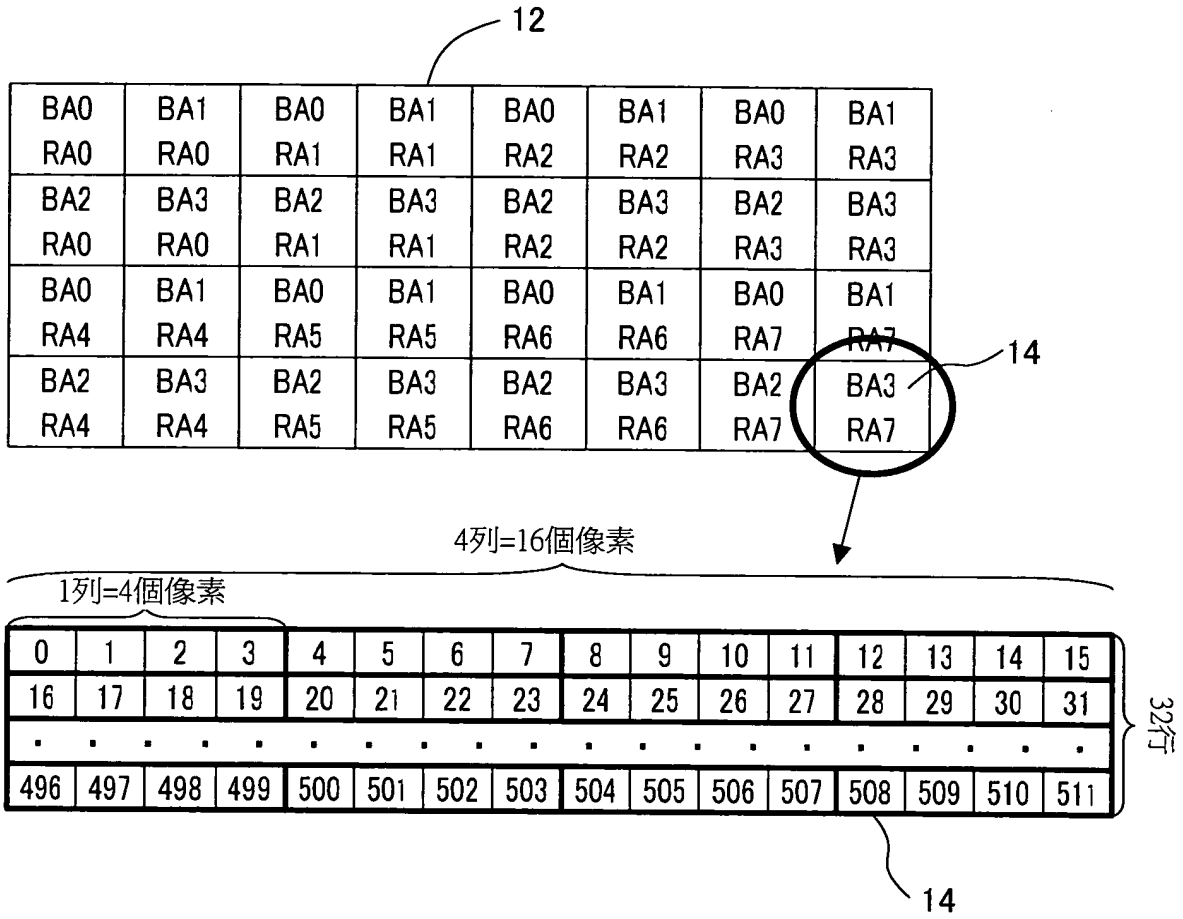
第87圖


EMRS
ACT
RD
BA
RA
CA
CST
RS
SA'
SB
BMR
DQ
BY0
BY1
BY2
BY3
876
877
871
872
873
874
875
878
14BQU
14BOU
14-0
14-1
14-2
14-3
12
22
RS=4個位元
CST=4個位元

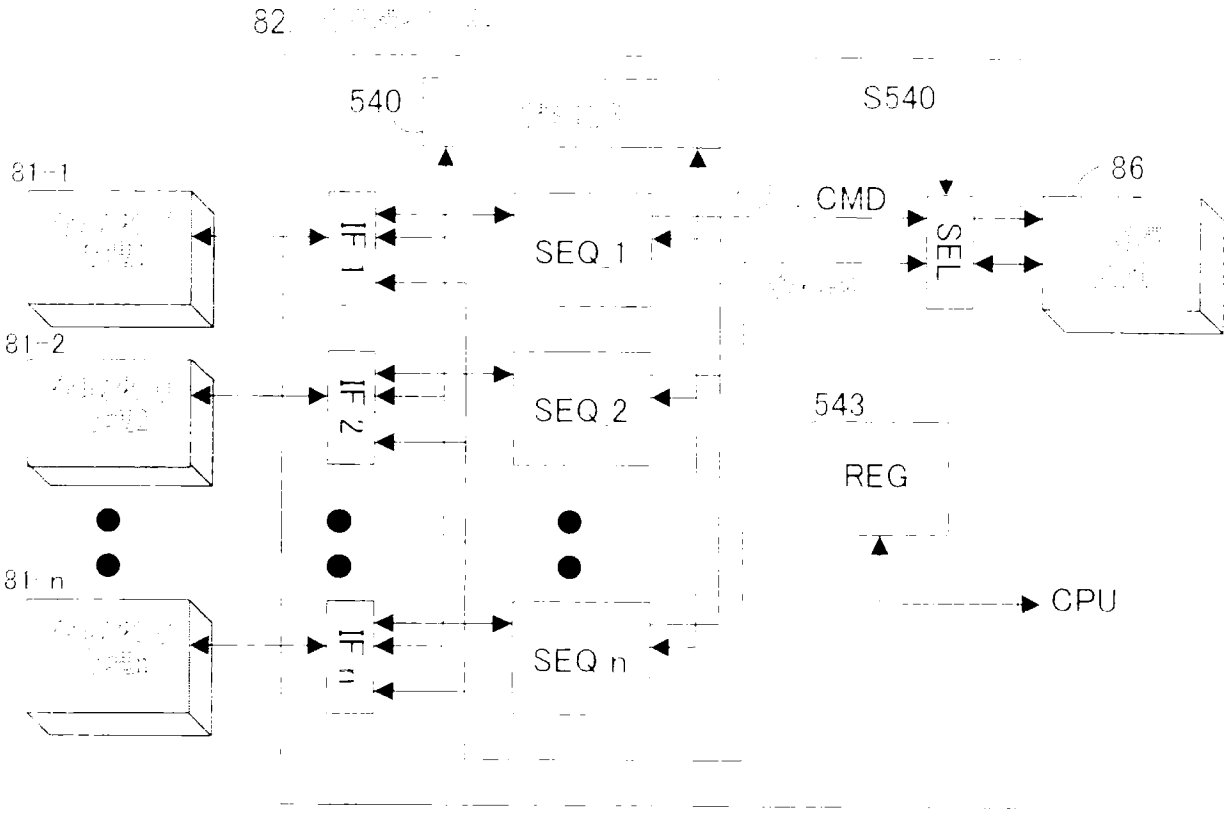

86
actpz<3:0>
多記憶體組啓動控制器
88
BA
SA'
緩衝器
列緩衝器
RA
A[13:0]
行緩衝器
CA
BA
96
模式暫存器
RS, CST
RS
CST
列位址計算器
97-2
290-2
行位址控制器
CST
SB
RS
RS+1
BA
CA
RS, RS+1
I-CA-2
記憶體組 2
列位址計算器
97-3
290-3
行位址控制器
CST
SB
BA
CA
I-CA-3
記憶體組 3
行解碼器
列解碼器
位元組0
位元組1
位元組2
位元組3
記憶體單元區域
BY0
BY1
BY2
BY3
8
90
行控制器
221
資料閂鎖選擇器
BA
CA
SB
95
命令控制器
4x4個位元
S221
32
I/O 匯流排
SB[1:0]
RAS
CAS
WE
CS
DQ[31:0]

第88圖

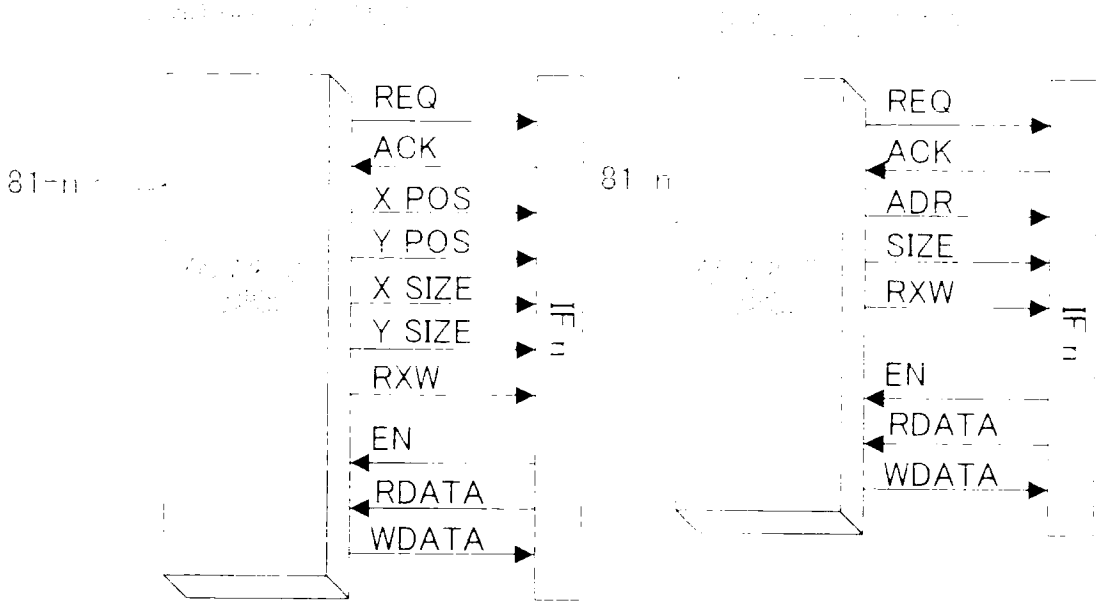
第89圖


12
BA0 RA0
BA1 RA0
BA0 RA1
BA1 RA1
BA0 RA2
BA1 RA2
BA0 RA3
BA1 RA3
BA2 RA0
BA3 RA0
BA2 RA1
BA3 RA1
BA2 RA2
BA3 RA2
BA2 RA3
BA3 RA3
BA0 RA4
BA1 RA4
BA0 RA5
BA1 RA5
BA0 RA6
BA1 RA6
BA0 RA7
BA1 RA7
BA2 RA4
BA3 RA4
BA2 RA5
BA3 RA5
BA2 RA6
BA3 RA6
BA2 RA7
BA3 RA7
14
4列=16個像素
1列=4個像素
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31
496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511
32行
14

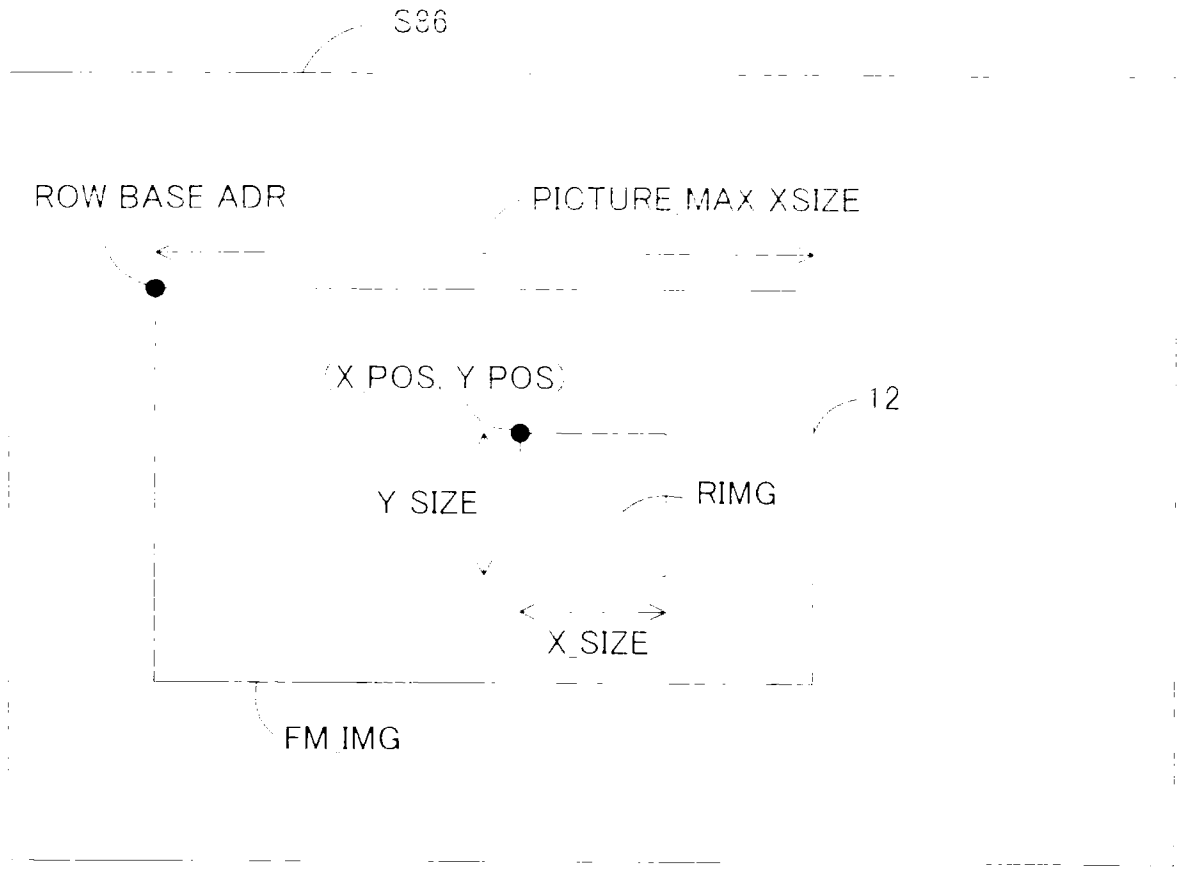
第90圖


82
540
S540
81-1
81-2
81-n
IF 1
IF 2
IF n
SEQ 1
SEQ 2
SEQ n
CMD
SEL
86
543
REG
CPU

第91圖

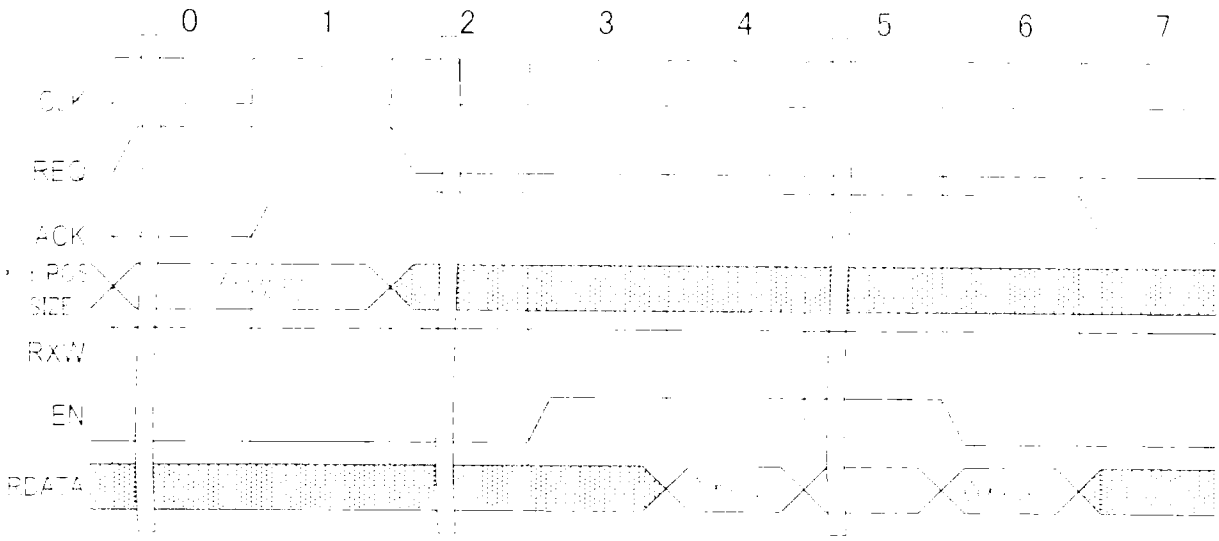

81-n
REQ
ACK
X POS
Y POS
X SIZE
Y SIZE
RXW
EN
RDATA
WDATA
IF n
81 n
REQ
ACK
ADR
SIZE
RXW
EN
RDATA
WDATA
IF n

第92圖

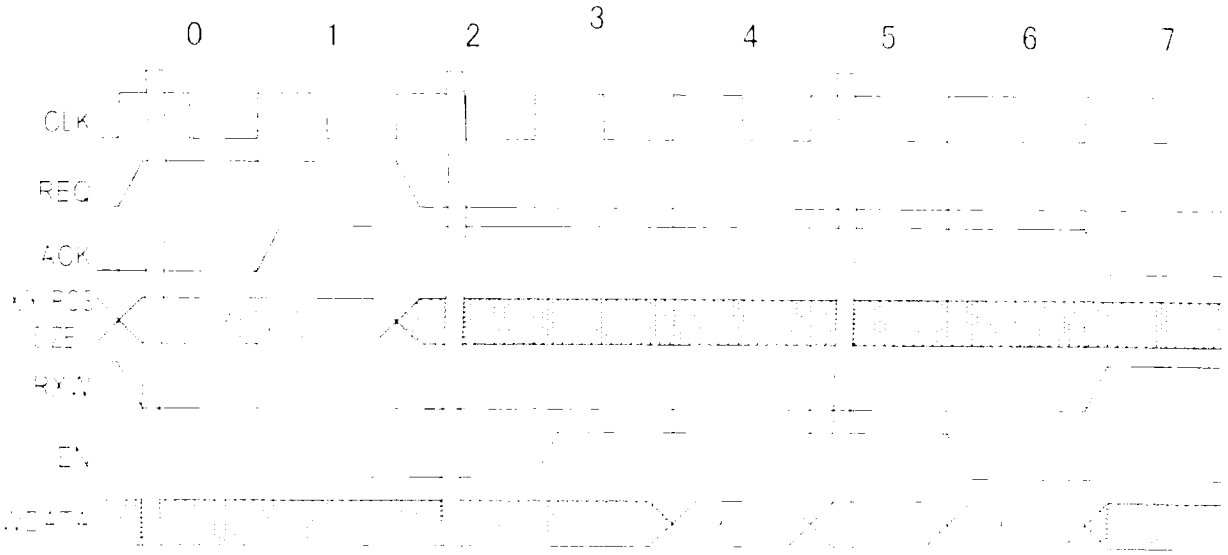

S86
ROW BASE ADR
PICTURE MAX XSIZE
(X POS, Y POS)
12
Y SIZE
RIMG
X_SIZE
FM IMG

第93圖

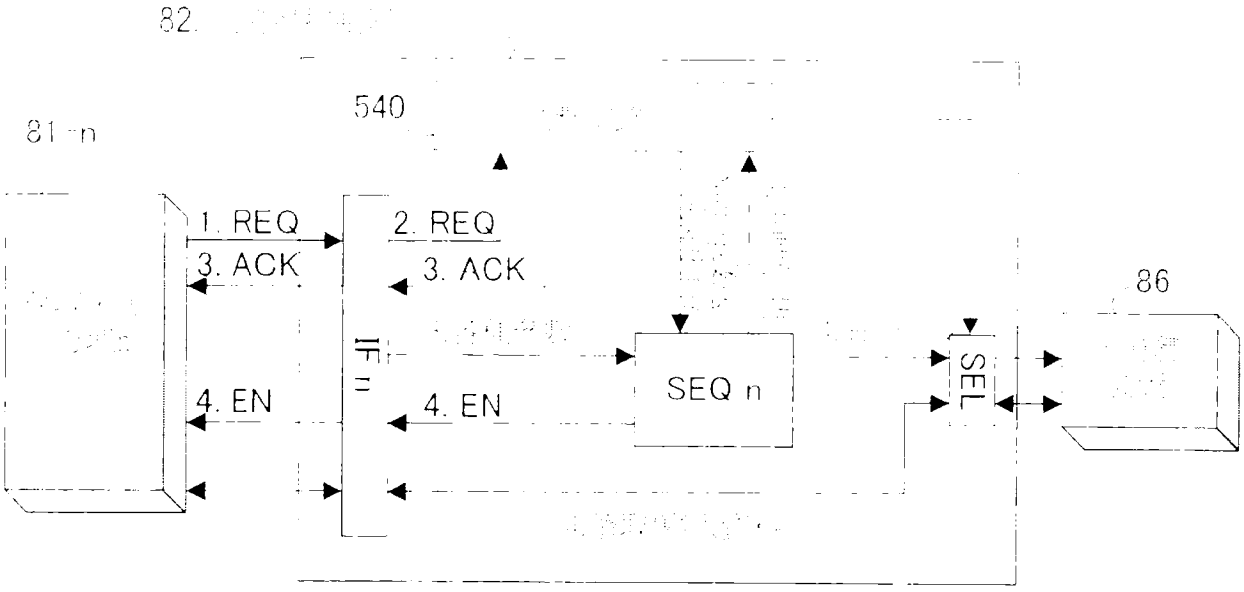
(A)


0
1
2
3
4
5
6
7
CLK
REQ
ACK
POS
SIZE
RXW
EN
PDATA

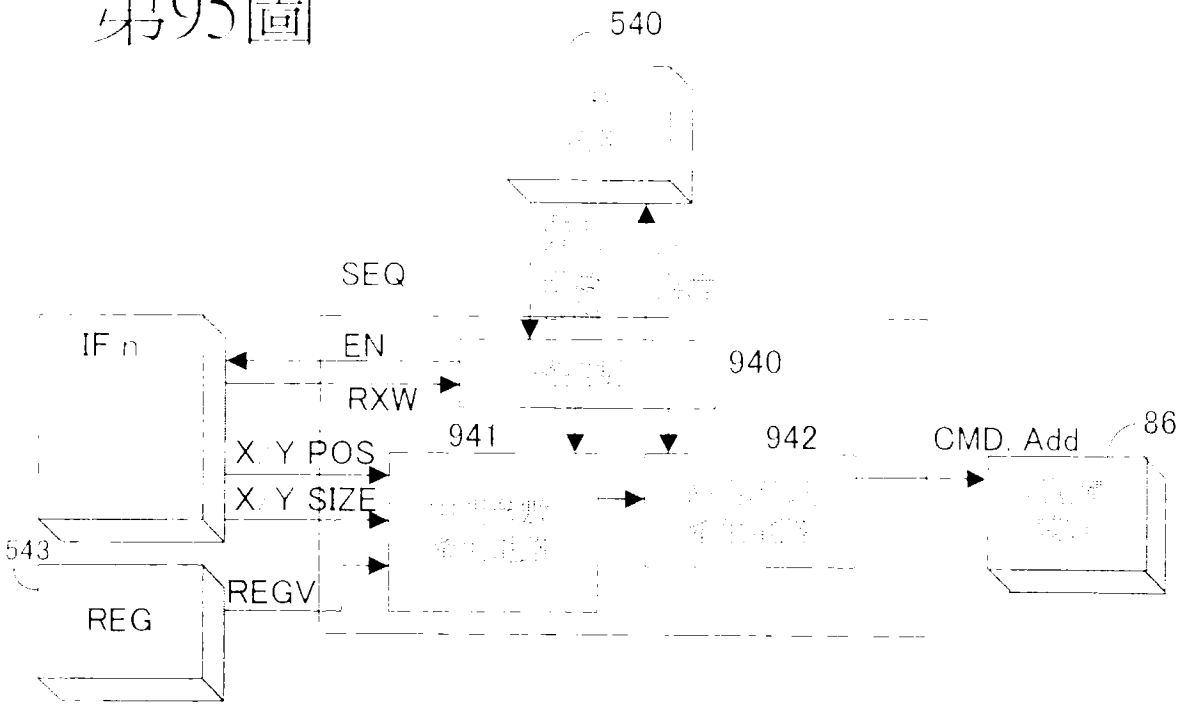
(B)


0
1
2
3
4
5
6
7
CLK
REQ
ACK
EN

第94圖

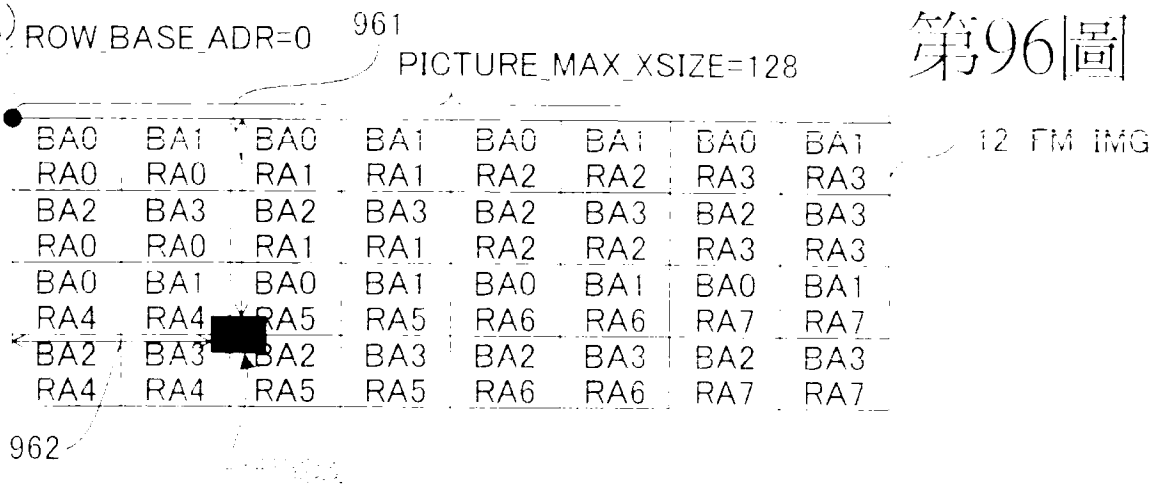


第95圖

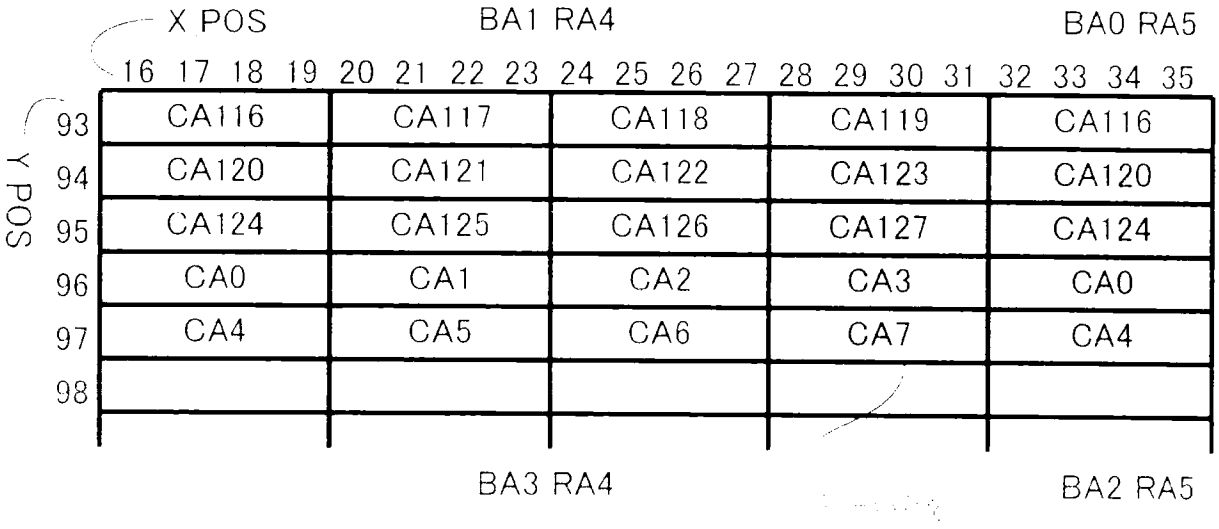

540
SEQ
IF n
EN
RXW
940
941
942
CMD. Add
86
X. Y POS
X. Y SIZE
543
REGV
REG

第96圖

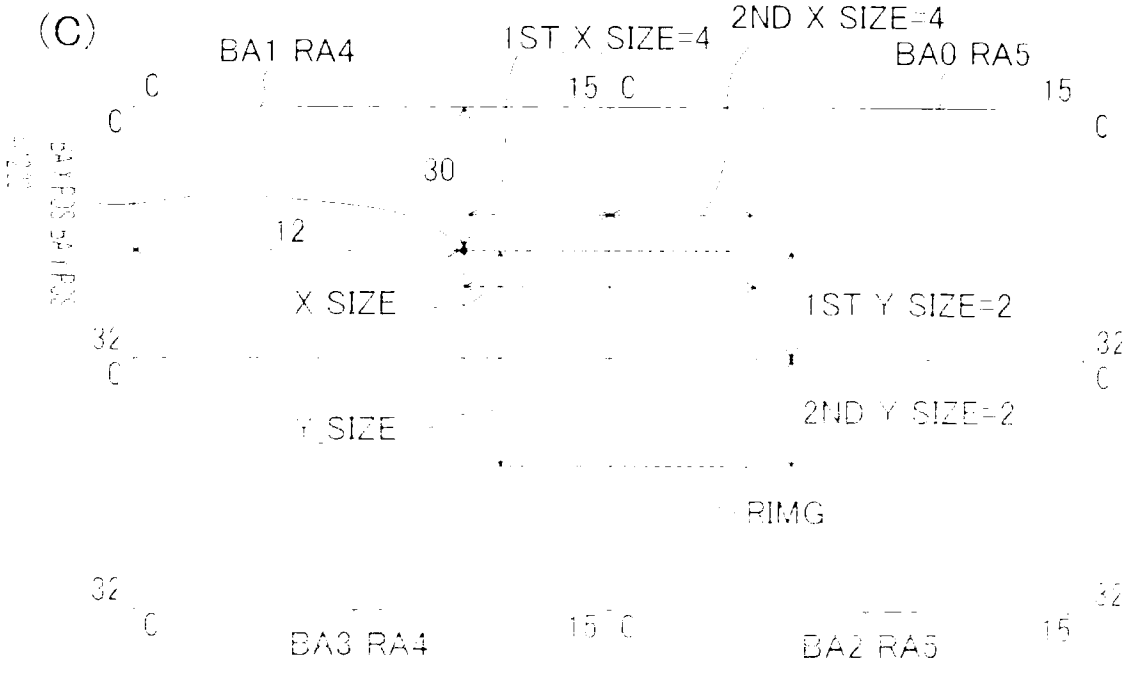
(A)


ROW_BASE_ADR=0
961
PICTURE_MAX_XSIZE=128
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA0 RA0 RA1 RA1 RA2 RA2 RA3 RA3
BA0 BA1 BA0 BA1 BA0 BA1 BA0 BA1
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
BA2 BA3 BA2 BA3 BA2 BA3 BA2 BA3
RA4 RA4 RA5 RA5 RA6 RA6 RA7 RA7
12 FM IMG
962
X_POS, Y_POS)=(28,94)
X_SIZE, Y_SIZE)=(8,4)

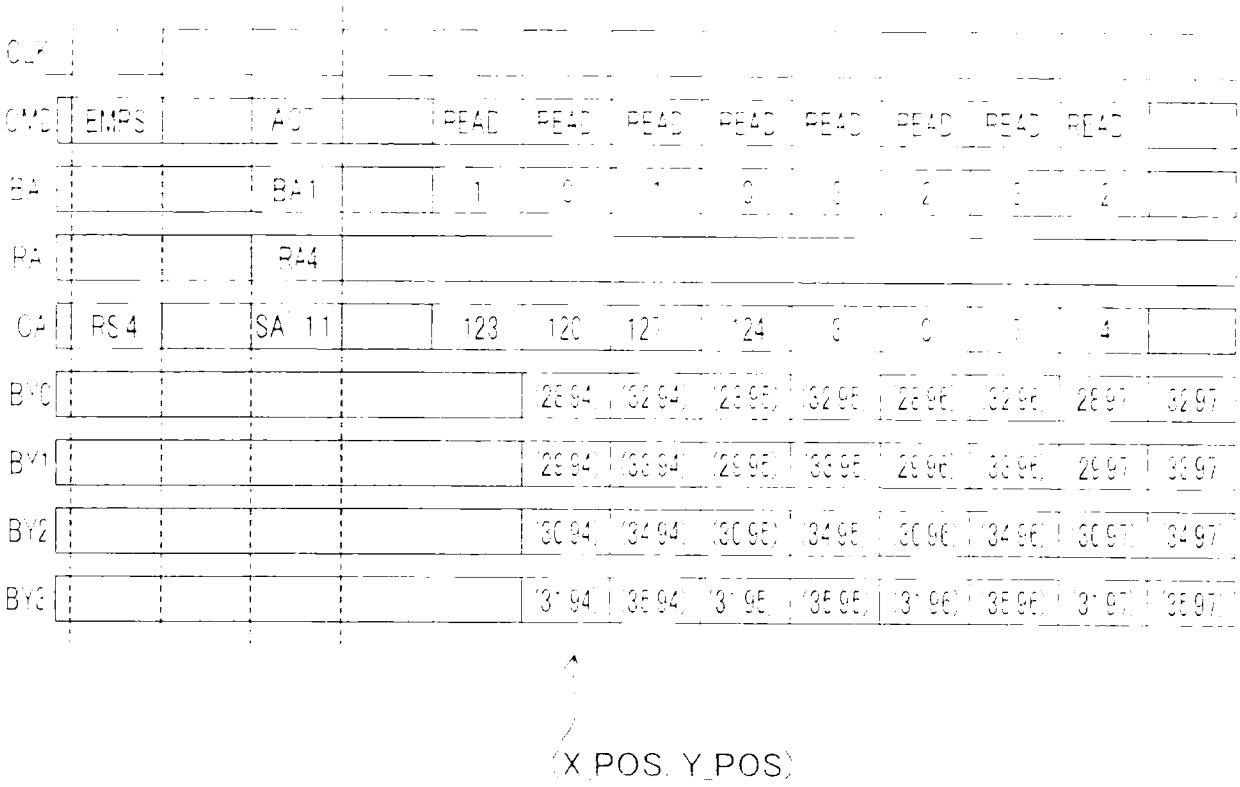
(B)


X POS
BA1 RA4
BA0 RA5
16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35
Y POS
93 CA116 CA117 CA118 CA119 CA116
94 CA120 CA121 CA122 CA123 CA120
95 CA124 CA125 CA126 CA127 CA124
96 CA0 CA1 CA2 CA3 CA0
97 CA4 CA5 CA6 CA7 CA4
98
BA3 RA4
BA2 RA5

(C)


BA1 RA4
1ST X SIZE=4
2ND X SIZE=4
BA0 RA5
15 C
15
C
30
12
X SIZE
1ST Y SIZE=2
32
C
2ND Y SIZE=2
Y SIZE
RIMG
BA3 RA4
BA2 RA5

第98圖


CLK
CMD
EMRS
ACT
READ
BA
BA1
PA
RA4
CA
RS4
SA 11
BY0
BY1
BY2
BY3
(X_POS, Y_POS)

七、指定代表圖：

(一)本案指定代表圖為：第（ 67 ）圖。

(二)本代表圖之元件符號簡單說明：

12...記憶體映射
22...矩形存取區域
86...記憶體裝置
670...擴充的模式暫存器設定命令
671...列位址步階資訊/列位址步階數資料
672...主動命令
673...多記憶體組資訊
674...讀取命令

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

年 月 日修正替換頁
99.7.8.

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96121516

※ 申請日期：96.6.14. ※IPC 分類：G11C 8/18

一、發明名稱：（中文/英文）

記憶體裝置、記憶體控制器及記憶體系統(二)

MEMORY DEVICE, MEMORY CONTROLLER AND MEMORY SYSTEM

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

富士通半導體股份有限公司 / FUJITSU SEMICONDUCTOR LIMITED

代表人：（中文/英文）

岡田晴基 / OKADA, HARUKI

住居所或營業所地址：（中文/英文）

日本國神奈川縣橫濱市港北區新橫濱二丁目 10 番 23

2-10-23 SHIN-YOKOHAMA, KOHOKU-KU, YOKOHAMA-SHI, KANAGAWA 222-0033 JAPAN

國　籍：（中文/英文）

日本 / JAPAN

三、發明人：（共 13 人）

姓　名：（中文/英文）

1. 池田仁史 / IKEDA, HITOSHI
2. 佐藤貴彥 / SATO, TAKAHIKO
3. 神田達哉 / KANDA, TATSUYA
4. 內田敏也 / UCHIDA, TOSHIYA
5. 小林廣之 / KOBAYASHI, HIROYUKI
6. 白川曉 / SHIRAKAWA, SATORU
7. 宮本哲生 / MIYAMOTO, TETSUO

99.10.18 修正替換頁

組邊界功能的圖。

第15(A)、(B)圖是一用於說明第14圖中所示之該特殊的記憶體映射的圖。

第16(A)、(B)圖是顯示一矩形存取中的該等位元組邊界功能的一時序圖。

第17(A)、(B)圖是用於實現該等位元組邊界功能的一影像處理系統的一組態圖。

第18圖是一顯示該等位元組邊界功能的圖。

第19圖是實現簡化的位元組邊界功能的影像處理系統的一組態圖。

第20(1)、(2)圖是一用於說明實現第19圖中所示之該等簡化的位元組邊界功能的該影像處理系統的圖。

第21圖是一顯示具有該等位元組邊界功能的一記憶體之概要組態的圖。

第22圖是一顯示具有該等位元組邊界功能的該影像記憶體之一第一範例的圖。

第23圖是一用於說明第22圖中所示之操作的圖。

第24圖是一顯示具有該等位元組邊界功能的該影像記憶體之一第二範例的圖。

第25圖是一用於說明第24圖中所示之操作的圖。

第26圖是一顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(1)的一操作的圖。

第27圖是一顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(2)的一操作的圖。

第80圖是一用於說明啟動記憶體組控制電路88C所執行的記憶體組啟動時序控制之邏輯的圖。

第81圖是一顯示記憶體組啟動時序之範例3的圖。

第82圖是一用於說明根據本實施例在該多記憶體組存取中列位址的產生的圖。

第83圖是一顯示根據本實施例的列位址計算器之範例1的圖。

第84圖是一顯示根據本實施例的列位址計算器之範例2的圖。

第85圖是一顯示記憶體映射之兩個範例的圖。

第86(A)、(B)圖是一顯示上述兩種記憶體映射類型的記憶體組位址切換電路的圖。

第87圖是一顯示展現了多記憶體組存取及位元組邊界被產生之情況的一時序圖的圖。

第88圖是具有該多記憶體組存取功能及位元組邊界功能的記憶體裝置之一組態圖。

第89圖是一顯示記憶體映射之一範例的圖。

第90圖是根據本實施例的記憶體控制器之一組態圖。

第91(A)、(B)圖是一顯示介於存取來源方塊與介面之間的信號的圖。

第92圖是一用於說明存取目標區域上的資料的圖。

第93(A)、(B)圖是介於該等存取來源方塊與該等介面之間的信號的一時序圖。

第94圖是一顯示該記憶體控制器之概要操作的圖。

第17(A)、(B)圖是用於實現該等位元組邊界功能的一影像處理系統的一組態圖。

第18圖是一顯示該等位元組邊界功能的圖。

第19圖是實現簡化的位元組邊界功能的影像處理系統的一組態圖。

第20(1)、(2)圖是一用於說明實現第19圖中所示之該等簡化的位元組邊界功能的該影像處理系統的圖。

第21圖是一顯示具有該等位元組邊界功能的一記憶體之概要組態的圖。

第22圖是一顯示具有該等位元組邊界功能的該影像記憶體之一第一範例的圖。

第23圖是一用於說明第22圖中所示之操作的圖。

第24圖是一顯示具有該等位元組邊界功能的該影像記憶體之一第二範例的圖。

第25圖是一用於說明第24圖中所示之操作的圖。

第26圖是一顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(1)的一操作的圖。

第27圖是一顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(2)的一操作的圖。

第28圖是一顯示具有該等位元組邊界功能的該影像記憶體之第二範例的一修正範例(3)的一操作的圖。

第29圖是一顯示具有該等位元組邊界功能的該影像記憶體之一第三範例的圖。

第30圖是一用於說明第29圖中所示之操作的圖。

第83圖是一顯示根據本實施例的列位址計算器之範例1的圖。

第84圖是一顯示根據本實施例的列位址計算器之範例2的圖。

第85圖是一顯示記憶體映射之兩個範例的圖。

第86(A)、(B)圖是一顯示上述兩種記憶體映射類型的記憶體組位址切換電路的圖。

第87圖是一顯示展現了多記憶體組存取及位元組邊界被產生之情況的一時序圖的圖。

第88圖是具有該多記憶體組存取功能及位元組邊界功能的記憶體裝置之一組態圖。

第89圖是一顯示記憶體映射之一範例的圖。

第90圖是根據本實施例的記憶體控制器之一組態圖。

第91(A)、(B)圖是一顯示介於存取來源方塊與介面之間的信號的圖。

第92圖是一用於說明存取目標區域上的資料的圖。

第93(A)、(B)圖是介於該等存取來源方塊與該等介面之間的信號的一時序圖。

第94圖是一顯示該記憶體控制器之概要操作的圖。

第95圖是定序器SEQ的一組態圖。

第96(A)至(C)圖是一用於說明被用以產生中間參數的計算方程式的圖。

第97圖是該命令/位址產生部分的一操作流程圖。

第98圖是該記憶體控制器與該記憶體裝置之間的一時

年 月 日修正本
99.10.18

十、申請專利範圍：

1. 一種記憶體裝置，儲存複數個資料項以及依據一記憶體組位址、一列位址及一行位址來存取該等被儲存的資料項，

該記憶體裝置包含：

複數個記憶體組，每一記憶體組都具有一記憶體單元陣列，而該記憶體單元陣列具有分別由列位址選擇的複數個頁面區域，且每一記憶體組由一記憶體組位址選擇；

一列控制器，其依據一第一操作碼來控制每一記憶體組內的頁面區域的啟動；以及

一組資料輸入/輸出終端，其中

每一被啟動的頁面區域內的一記憶體單元區域被根據該行位址來存取，

該列控制器具有：

一多記憶體組啟動控制器，其依據與該第一操作碼一起被提供的多記憶體組資訊資料及一被提供的記憶體組位址來產生每一記憶體組的一記憶體組啟動信號；以及

一列位址計算器，其根據該被提供的記憶體組位址及一被提供的列位址來產生每一記憶體組的列位址，

以及該等記憶體組依據該等記憶體組啟動信號及該列位址計算器所產生的該等列位址來啟動該等頁面區域。

2. 如申請專利範圍第1項所述之記憶體裝置，其中該等被儲存的資料項是被劃分成以列和行排列的複數個矩形方塊的二維陣列資料項，

該等矩形方塊根據一映射規則被分配到一記憶體之邏輯位址空間，該映射規則用於將相鄰的矩形方塊與具有不同記憶體組位址的頁面區域相聯且根據該映射規則，對應於該等頁面區域的列位址以一預先決定數目個步階返轉該等列，

關於該映射規則中的該等列位址之步階數的資料與一第二操作碼一起被提供，

以及其中該列位址計算器依據該等被提供的記憶體組位址、被提供的列位址及關於該步階數的資料來產生該等記憶體組的列位址。

3. 如申請專利範圍第2項所述之記憶體裝置，進一步包含用於儲存關於該步階數的資料的一模式暫存器，其中關於該步階數的資料依據該第二操作碼被儲存在該模式暫存器中。

4. 如申請專利範圍第2項所述之記憶體裝置，其中該多記憶體組資訊資料是以下任何一個：關於該等記憶體組之數目的資料、關於列與行方向中的複數個記憶體組之一組合的資料以及關於該等記憶體組之安排的資料。

5. 如申請專利範圍第2項所述之記憶體裝置，其中

該多記憶體組啟動控制器包含一記憶體組解碼器，其解碼記憶體組位址的複數個位元以產生一記憶體

組選擇信號，

該記憶體組解碼器依據該多記憶體組資訊資料退化一預先決定的記憶體組位址並解碼該記憶體組位址，

以及其中該多記憶體組啟動控制器依據該記憶體組選擇信號產生每一記憶體組的記憶體組啟動信號。

6. 如申請專利範圍第2項所述之記憶體裝置，其中

該多記憶體組啟動控制器包含複數個記憶體組解碼器，其等輸入該等被提供的記憶體組位址之一預先決定的組合或其反向記憶體組位址並解碼該組合，以及

該等記憶體組解碼器中的一些或全部依據該多記憶體組資訊資料被啟動，從而產生該記憶體組選擇信號。

7. 如申請專利範圍第2項所述之記憶體裝置，其中

該多記憶體組資訊資料包含關於作為一存取目標的一資料矩形區域的大小資訊，

該多記憶體組啟動控制器包含：一啟動記憶體組決定電路，其根據該映射規則從該大小資訊中產生關於要被啟動的複數個記憶體組之一組合的資訊；以及該記憶體組解碼器，其解碼記憶體組位址的複數個位元以產生該記憶體組選擇信號，

該記憶體組解碼器依據該記憶體組組合資訊退化一預先決定的記憶體組位址並解碼該記憶體組位址，

以及其中該多記憶體組啟動控制器依據該記憶體組選擇信號產生每一記憶體組的記憶體組啟動信號。

8. 如申請專利範圍第2項所述之記憶體裝置，其中

該多記憶體組啟動控制器依據該第一操作碼同時產生該等記憶體組的記憶體組啟動信號，以及

該等記憶體組依據該等記憶體組啟動信號啟動該等頁面區域。

9. 如申請專利範圍第2項所述之記憶體裝置，其中

該多記憶體組啟動控制器依據該等被提供的記憶體組位址以按序排列的不同時間按順序產生該等記憶體組的記憶體組啟動信號，其中使對應於該等被提供的記憶體組位址的記憶體組處於前端，以及

該等記憶體組依據該等記憶體組啟動信號啟動該等頁面區域。

10. 如申請專利範圍第9項所述之記憶體裝置，其中該多記憶體組啟動控制器分別以預先決定的延遲時間按順序產生該等記憶體組的記憶體組啟動信號。

11. 如申請專利範圍第9項所述之記憶體裝置，其中該多記憶體組啟動控制器以與同步時鐘同步的延遲時序按順序產生該等記憶體組的記憶體組啟動信號。

12. 如申請專利範圍第2項所述之記憶體裝置，其中該列位址計算器包含用於將0、1、一列位址之步階數資料(RS)及該列位址步階數資料(RS)加1分別加到該等被提供的列位址(RA)上的複數個位址加法器，以及

要被該等位址加法器輸出的列位址依據該等被提供的記憶體組位址被提供給該等記憶體組。

13. 如申請專利範圍第2項所述之記憶體裝置，進一步包含一記憶體組位址切換電路，其可以選擇以下兩者中之任一個：

一第一映射規則，其中與該等相鄰矩形方塊相聯的頁面區域被分配到與一下方記憶體組位址相聯的一第一列及與一上方記憶體組位址相聯的一第二列；以及

一第二映射規則，其中與該等相鄰矩形方塊相聯的頁面區域被分配到與一偶數記憶體組位址相聯的一第一列及與一奇數記憶體組位址相聯的一第二列，

以及其根據該第一或第二映射規則切換一輸入記憶體組位址以輸出一內部記憶體組位址。

14. 如申請專利範圍第2項所述之記憶體裝置，其中

該記憶體單元陣列包含：

由該等行位址選擇的複數個記憶體單元區域；

複數個輸入/輸出終端；以及

被提供在該記憶體單元陣列與該等輸入/輸出終端之間的一輸入/輸出單元，

以及其中對應於該等輸入/輸出終端的資料的複數個位元組或位元被儲存在每一記憶體單元區域中，

以及其中該記憶體單元陣列及該輸入/輸出單元依據一第三操作碼，根據該行位址及關於該等位元組或位元之一組合的資訊，存取對應於該被提供的記憶體組位址之一第一記憶體組的行位址的一第一記憶體單元區域以及在與該第一記憶體組相鄰的一第二記憶體組內

的並與該第一記憶體單元區域相鄰的一第二記憶體單元區域，以及，根據該組合資訊，將來自該等被存取的第一及第二記憶體單元區域中的該等位元組或位元的複數個位元組或位元之一組合與該等輸入/輸出終端相聯。

15. 一種記憶體裝置，儲存複數個資料項以及依據一記憶體組位址、一列位址及一行位址來存取該等被儲存的資料項，

該記憶體裝置包含：

複數個記憶體組，每一記憶體組都具有一記憶體單元陣列，而該記憶體單元陣列具有分別由列位址選擇的複數個頁面區域，且每一頁面區域由一記憶體組位址選擇；

一列控制器，其依據一第一操作碼來控制每一記憶體組內的頁面區域的啟動；

一組資料輸入/輸出終端，以及

一輸入/輸出單元，其被提供在該記憶體單元陣列與該等輸入/輸出終端之間，其中

每一被啟動的頁面區域內的一記憶體單元區域被根據該行位址來存取，

該列控制器具有：

一多記憶體組啟動控制器，其依據與該第一操作碼一起被提供的多記憶體組資訊資料及一被提供的記憶體組位址來產生每一記憶體組的一記憶體組啟動信

號；以及

一列位址計算器，其根據該被提供的記憶體組位址及一被提供的列位址來產生每一記憶體組的列位址，

該等記憶體組依據該等記憶體組啟動信號及該列位址計算器所產生的該等列位址來啟動該等頁面區域，

對應於該等輸入/輸出終端的資料的複數個位元組或位元被儲存在該記憶體單元區域中，以及

該記憶體單元陣列及該輸入/輸出單元依據一第三操作碼，根據關於該等位元組或位元之一組合的資訊，存取對應於該被提供的記憶體組位址之一第一記憶體組的行位址的一第一記憶體單元區域以及在與該第一記憶體組相鄰的一第二記憶體組內的並與該第一記憶體單元區域相鄰的一第二記憶體單元區域，以及，根據該組合資訊，將來自該等被存取的第一及第二記憶體單元區域中的該等位元組或位元的複數個位元組或位元之一組合與該等輸入/輸出終端相聯。

16. 一種記憶體系統，包含：

申請專利範圍第1項或第2項中所描述的該記憶體裝置；以及

一記憶體控制器，其具有一命令/位址產生部分，該命令/位址產生部分提供該多記憶體組資訊資料，進一步提供一次該第一操作碼連同該記憶體組位址及該列位址，以及之後根據該等被啟動的記憶體組提供多次該記憶體組位址及該行位址連同一第三操作碼，給該記

憶體裝置，其中該記憶體控制器讀取資料自或寫入資料到該記憶體裝置。

17. 如申請專利範圍第16項所述之記憶體系統，其中該記憶體控制器輸入關於該等二維陣列資料項內任何矩形區域之位置及大小的資料、根據關於該矩形區域之位置及大小的資料決定該矩形區域是否橫跨對應於不同記憶體組位址的複數個頁面區域，以及根據該決定結果產生該多記憶體組資訊資料。

18. 如申請專利範圍第17項所述之記憶體系統，其中該記憶體控制器根據關於該矩形區域之位置及大小的資料產生被該矩形區域橫跨的每一頁面區域的存取大小，以及將該第二操作碼、該記憶體組位址及該行位址反覆輸出複數次到該記憶體裝置，該次數對應於該存取大小。

19. 如申請專利範圍第16項所述之記憶體系統，其中該第一操作碼是一主動命令，而該第三操作碼是一讀取命令或一寫入命令。

20. 一種記憶體控制器，控制申請專利範圍第1項或第2項中所描述的該記憶體裝置，包含一命令/位址產生部分，該命令/位址產生部分提供該多記憶體組資訊資料，進一步提供一次該第一操作碼連同該記憶體組位址及該列位址，以及之後依據該等被啟動的記憶體組提供多次該記憶體組位址及該行位址連同一第三操作碼，給該記憶體裝置，

其中該記憶體控制器讀取資料自或寫入資料到該

記憶體裝置。

21. 如申請專利範圍第20項所述之記憶體控制器，輸入關於該等二維陣列資料項內任何矩形區域之位置及大小的資料、根據關於該矩形區域之位置及大小的資料決定該矩形區域是否橫跨對應於不同記憶體組位址的複數個頁面區域，以及根據該決定結果產生該多記憶體組資訊資料。

22. 如申請專利範圍第21項所述之記憶體控制器，根據關於該矩形區域之位置及大小的資料產生被該矩形區域橫跨的每一頁面區域的存取大小，以及將該第三操作碼、該記憶體組位址及該行位址反覆輸出複數次到該記憶體裝置，該次數對應於該存取大小。

23. 一種記憶體控制器，控制申請專利範圍第1項或第2項中所描述的該記憶體裝置，包含

一暫存器，其設定指示該記憶體裝置是否具有一多記憶體組功能的資料；以及

一命令/位址產生部分，其在指示該記憶體裝置具有該多記憶體組功能的資料被設定到該暫存器中之情況下，提供該多記憶體組資訊資料、進一步提供一次該第一操作碼連同該記憶體組位址及該列位址，以及之後根據該等被啟動的記憶體組提供多次一第三操作碼、該記憶體組位址及該行位址，給該記憶體裝置，

其中在指示該記憶體裝置不具有該多記憶體組功能的資料被設定到該暫存器中之情況下，該命令/位址

產生部分根據作為一存取目標的一記憶體組，按順序提供作為該等存取目標的第一操作碼、一記憶體組位址及一列位址，以及之後根據該等被啟動的記憶體組提供該第二操作碼、該記憶體組位址及該行位址，給該記憶體裝置，

其中該記憶體控制器讀取資料自或寫入資料到該記憶體裝置。

24. 一種記憶體裝置，包含：

N(N>1)個記憶體組，其中每個都包括具有被分別指定到不同列位址的複數個字線的一記憶體單元陣列且都被指定到不同的記憶體組位址；以及

一列控制部分，其依據一第一操作碼來控制該記憶體組中的字線的一啟動；

其中該列控制部分具有，

一多記憶體組啟動控制部分，其根據與該第一操作碼一起被提供的多記憶體組資訊資料及該被提供的記憶體組位址來產生M(N>=M>1)個記憶體組的記憶體組啟動信號，

一列位址計算部分，其根據該被提供的記憶體組位址及被提供的列位址來產生該M個被啟動的記憶體組的列位址，

其中該M個被啟動的記憶體組中的每一個根據該記憶體組啟動信號及該列位址計算部分所產生的列位址來啟動至少一字線。

25. 一種半導體積體電路，將電路整合在一個單一的半導體基板上，包含：

複數個記憶體組，其等被指定到彼此不同的記憶體組位址，每一記憶體組具有被連接到複數個記憶體單元的複數條字線，該等字線被指定到彼此不同的列位址；

一多記憶體組啟動控制部分，其依據與一第一操作碼一起被輸入的記憶體位址來啟動被指定到與該輸入記憶體組位址相同的記憶體組位址的一記憶體組，及根據多記憶體組資訊來啟動被指定到不同於該輸入記憶體組位址的記憶體組位址的至少一其他記憶體組；以及

一列位址計算部分，其依據輸入列位址來產生每一被啟動的記憶體組的列位址。

26. 如申請專利範圍第25項所述之半導體積體電路，其中該列位址計算部分為該等被啟動的記憶體組產生彼此不同的列位址。

27. 如申請專利範圍第25項或第26項所述之半導體積體電路，

其中該等記憶體組包含被指定到一第一記憶體組位址的一第一記憶體組、被指定到一第二記憶體組位址的一第二記憶體組、被指定到一第三記憶體組位址的一第三記憶體組及被指定到一第四記憶體組位址的一第四記憶體組，

其中當該輸入記憶體組位址是第一記憶體組位址時，該多記憶體組啟動控制部分在該多記憶體組資訊為

一第一值之情況下啟動該第一及第二記憶體組，及在該多記憶體組資訊為一第二值之情況下只啟動該第一記憶體組。

28. 如申請專利範圍第27項所述之半導體積體電路，

其中當該輸入記憶體組位址是該第一記憶體組位址時，該多記憶體組啟動控制部分在該多記憶體組資訊為一第三值之情況下啟動所有該第一、第二、第三及第四記憶體組。

29. 如申請專利範圍第27項所述之半導體積體電路，

其中該第一、第二、第三及第四記憶體組中的每一個分別具有被指定到一第一列位址的一第一字線、被指定到一第二列位址的一第二字線、被指定到一第三列位址的一第三字線及被指定到一第四列位址的一第四字線，

其中當該輸入記憶體組位址是第一記憶體組位址時，該列位址計算部分產生用於啟動該第一記憶體組中的第一字線的一第一列位址及用於啟動該第二記憶體組中的第二字線的一第二列位址，當該多記憶體組資訊是該第一值時。

30. 如申請專利範圍第25或26項所述之半導體積體電路，

其中該列位址計算部分根據步階資訊產生被指定到不同於該輸入記憶體組位址的一記憶體組位址的一記憶體組中的列位址。

31. 如申請專利範圍第27項所述之半導體積體電路，

其中當該多記憶體組資訊是該第一值時，該列位址計算部分根據步階資訊產生用於啟動對應於該第一記憶體組之輸入列位址的字線的一列位址，以及產生用於啟動對應於與該第一記憶體組之輸入列位址不同列位址的字線的一列位址。

32. 如申請專利範圍第29項所述之半導體積體電路，

其中當該多記憶體組資訊是該第一值時，該列位址計算部分根據步階資訊產生用於啟動該第一記憶體組中的第一字線的一列位址以及用於啟動該第二記憶體組中的第二字線的一列位址。

33. 如申請專利範圍第30項所述之半導體積體電路，

其中該步階資訊根據一模式暫存器設定命令被儲存在被設置於該半導體積體電路中的一模式暫存器中。

34. 如申請專利範圍第30項所述之半導體積體電路，

其中當該步階資訊是RS及該輸入列位址是RA時，該列位址計算部分產生列位址RA、RA+1、RA+RS及RA+RS+1並將來自該等被產生的列位址且彼此不同的列位址提供給每一被啟動的記憶體組。

35. 一種半導體積體電路，將電路整合在一個單一的半導體基板上，包含：

複數個資料輸出終端；

複數個記憶體組，其等被指定到彼此不同的記憶體組位址，每一記憶體組具有被指定到彼此不同的列位址的複數條字線，其中被連接到每一字線的複數個記憶體

單元包括複數個記憶體單元區域，該等記憶體單元區域被指定到彼此不同的行位址；

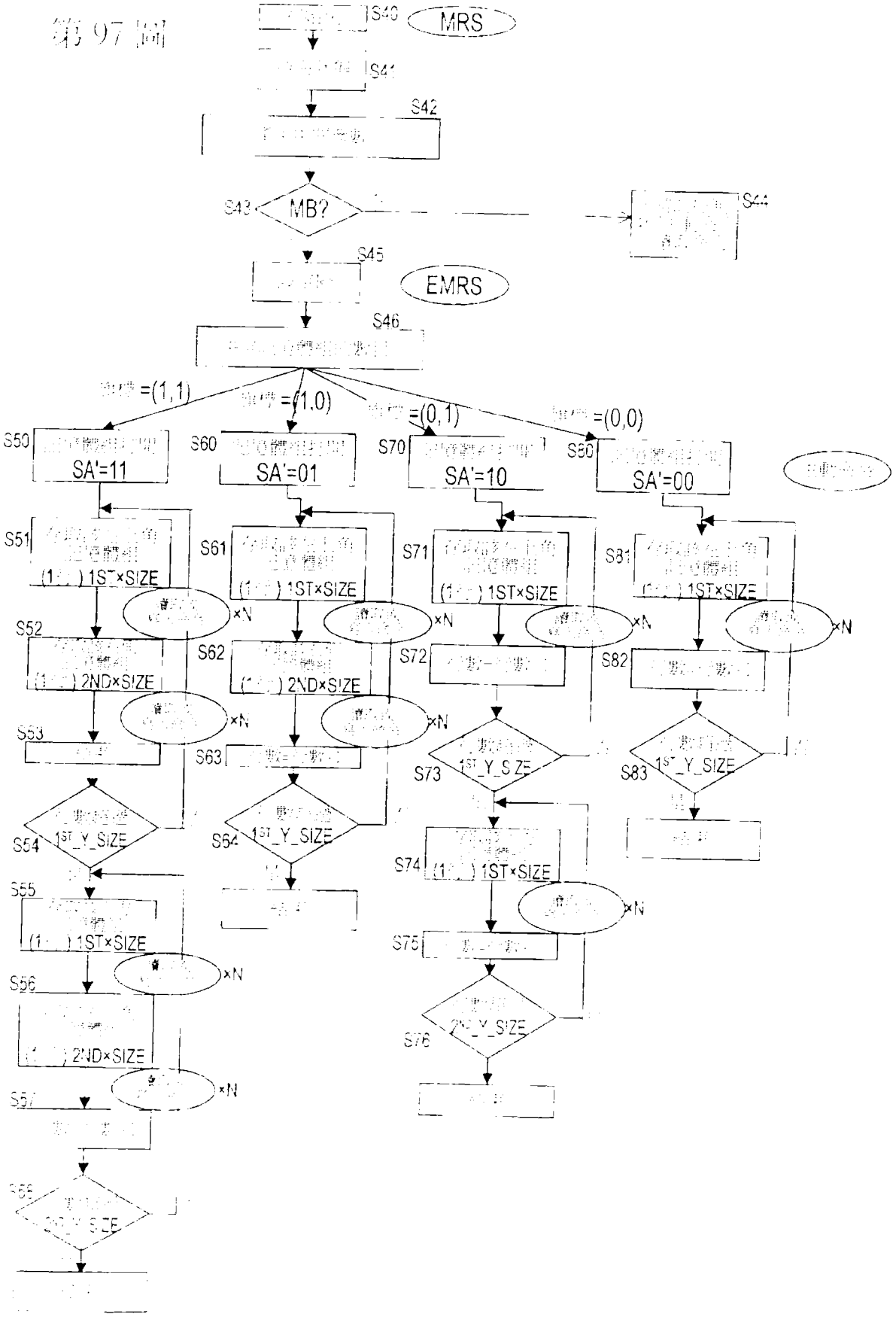
一多記憶體組啟動控制部分，其依據與一第一操作碼一起被輸入的記憶體位址來啟動被指定到與該輸入記憶體組位址相同的記憶體組位址的一記憶體組，及根據多記憶體組資訊來啟動被指定到不同於該輸入記憶體組位址的記憶體組位址的至少一其他記憶體組；

一列位址計算部分，其依據輸入列位址來產生每一被啟動的記憶體組的列位址；

一列解碼器，其根據該列位址計算部分所產生的列位址來啟動一字線；以及

一控制部分，其根據輸入行位址及組合資訊，將被連接到該被啟動的字線的資料自複數個記憶體單元區域平行輸出到該等資料輸出終端。

第97圖


S40
MRS
S41
S42
S43
MB?
S44
S45
EMRS
S46
=(1,1)
=(1,0)
=(0,1)
=(0,0)
S50
SA'=11
S60
SA'=01
S70
SA'=10
S80
SA'=00
S51
S61
S71
S81
1ST×SIZE
×N
S52
S62
S72
S82
2ND×SIZE
S53
S63
S73
S83
1ST_Y_SIZE
S54
S64
S74
1ST×SIZE
S55
×N
S75
S56
2ND×SIZE
S76
S57