



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 199 26 588 B4** 2010.06.10

(12)

## Patentschrift

(21) Aktenzeichen: **199 26 588.7**  
 (22) Anmeldetag: **11.06.1999**  
 (43) Offenlegungstag: **20.01.2000**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **10.06.2010**

(51) Int Cl.<sup>8</sup>: **G11C 7/22** (2006.01)  
**H03K 5/00** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**1998-28165 13.07.1998 KR**

(73) Patentinhaber:  
**Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR**

(74) Vertreter:  
**Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart**

(72) Erfinder:  
**Chu, Yong-gyu, Yongin, KR; Lee, Jung-bae, Gunpo, KR**

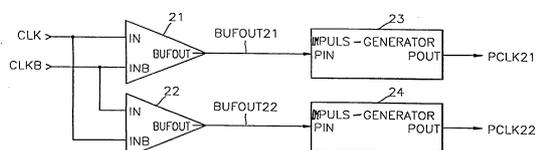
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

**US 57 64 086 A**  
**US 57 01 331 A**  
**US 56 84 421 A**

(54) Bezeichnung: **Integriertes Schaltkreisbauelement**

(57) Hauptanspruch: Integriertes Schaltkreisbauelement mit folgenden Elementen:

- einem ersten Signalgenerator (11; 21), der ein erstes Eingangssignal (CLK) und das Komplement (CLKB) des ersten Eingangssignals an einem ersten, normalen Eingang (IN) bzw. einem zweiten, komplementären Eingang (INB) empfängt und ein erstes Ausgangssignal (BUFOUT11; BUFOUT21) erzeugt, das eine führende Flanke synchron mit einer führenden Flanke des ersten Eingangssignals aufweist, relativ zu diesem jedoch um ein zugehöriges Zeitintervall (T11, T21) verzögert ist,
- einem zweiten Signalgenerator (11, 12; 22), der das erste Eingangssignal (CLK) und das Komplement (CLKB) des ersten Eingangssignals an einem komplementären Eingang bzw. einem normalen Eingang empfängt und ein zweites Ausgangssignal (BUFOUT12; BUFOUT22) erzeugt, das eine führende Flanke synchron zu einer führenden Flanke des Komplements (CLKB) des ersten Eingangssignals aufweist, jedoch relativ zu diesem um ein zugehöriges Zeitintervall (T14 + T15, T24) verzögert ist,
- einem auf das erste Ausgangssignal (BUFOUT11; BUFOUT21) ansprechenden, ersten Impulsgenerator (13; 23),...



## Beschreibung

**[0001]** Die Erfindung bezieht sich auf ein integriertes Schaltkreisbauelement, insbesondere zur Verwendung bei SDRAM-Bauelementen.

**[0002]** Integrierte Schaltkreisbauelemente beispielsweise in Form von synchronen Speicherbauelementen mit wahlfreiem Zugriff (SDRAM) benutzen einen Synchronbetrieb zur Erhöhung des Bauelementleistungsvermögens. So verwenden z. B. SDRAM mit doppelter Datenrate (DDR) die ansteigenden und fallenden Flanken von Taktsignalen, um einen Betrieb mit höherer Datenrate zu fördern. Wenn SDRAM-Bauelemente im DDR-Modus betrieben werden, werden wichtige Referenzsignale typischerweise synchron mit ansteigenden und fallenden Flanken eines Taktsignals erzeugt, um die Betriebsweise solcher Bauelemente als Eingabe- und Ausgabepuffer effektiv zu steuern. Herkömmliche Vorgehensweisen zum Detektieren ansteigender und fallender Flanken eines Taktsignals oder anderer Steuersignale können ungünstigerweise Fehlern unterliegen, wenn Signalrauschen oder Änderungen in den Bauelementherstellungstechniken oder den Prozeßbedingungen signifikant werden. Daher besteht trotz Versuchen, integrierte Schaltkreise bereitzustellen, die in einer synchronen Weise arbeiten, weiterhin ein Bedarf an integrierten Schaltkreisen mit verbesserten Synchronisierungseigenschaften.

**[0003]** Die Patentschrift US 5.764.086 offenbart eine Komparatorschaltungsanordnung mit weitem Dynamikbereich, die zwei parallele, aus komplementären Feldeffekttransistoren aufgebaute Komparatorschaltungen mit jeweiligem Differenzverstärkerteil, je eine ausgangsseitig anschließende Verzögerungsschaltung sowie ein Logikgatter zur vergleichenden Verknüpfung der beiden Ausgangssignale der Verzögerungsschaltungen umfasst. Der Aufbau der beiden Komparatorschaltungen ist so gewählt, dass sie parallel ein Differenzeingangssignalpaar empfangen und eine der beiden Komparatorschaltungen daraus ein Impulsausgangssignal liefert, dessen Flanken ohne Versatz synchron zu den Flanken des Eingangssignals sind, während die andere Komparatorschaltung ein Ausgangssignal liefert, das demgegenüber einen bestimmten Versatz von z. B. einer viertel Periodendauer aufweist. Die Verzögerungsschaltungen stabilisieren den Versatz gegen Schwankungen aufgrund variierender Signalfrequenz und variierendem Signalpegel des differentiellen Eingangssignals. Das ausgangsseitige Logikgatter erzeugt ein Ausgangssignal mit gegenüber dem differentiellen Eingangssignal und den Ausgangssignalen der Komparatorschaltungen geringerem Tastverhältnis und mit ansteigenden Flanken, die ohne Versatz synchron zu den ansteigenden Flanken desjenigen Komparatorschaltungsausgangssignals sind, das gegenüber dem differentiellen Eingangssignal versetzt ist.

**[0004]** Weitere ähnliche Signalgeneratorschaltungen sind in Verwendung bei einem Differenzsignalempfänger bzw. einem Phasen- oder Verzögerungsregelkreis in den Patentschriften US 5.701.331 bzw. US 5.684.421 offenbart.

**[0005]** Der Erfindung liegt als technisches Problem die Bereitstellung eines integrierten Schaltkreisbauelementes der eingangs genannten Art mit verbesserten Synchronisierungseigenschaften zugrunde.

**[0006]** Die Erfindung löst dieses Problem durch die Bereitstellung eines integrierten Schaltkreisbauelementes mit den Merkmalen des Anspruchs 1. Dieses integrierte Schaltkreisbauelement ist in der Lage, Referenzsignale mit verbesserten Synchronisierungseigenschaften zu erzeugen.

**[0007]** Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

**[0008]** Vorteilhafte Ausführungsformen der Erfindung sind in den Zeichnungen dargestellt und werden nachfolgend beschrieben. Hierbei zeigen:

**[0009]** [Fig. 1](#) ein Blockschaltbild eines ersten erfindungsgemäßen integrierten Schaltkreisbauelementes,

**[0010]** [Fig. 2](#) ein Blockschaltbild eines zweiten erfindungsgemäßen integrierten Schaltkreisbauelementes,

**[0011]** [Fig. 3](#) ein Schaltbild eines in den Bauelementen der [Fig. 1](#) und [Fig. 2](#) verwendbaren Differenzverstärkers,

**[0012]** [Fig. 4](#) ein Schaltbild eines in den Bauelementen der [Fig. 1](#) und [Fig. 2](#) verwendbaren Impulsgenerators,

**[0013]** [Fig. 5](#) ein Zeitsteuerungsdiagramm zur Veranschaulichung der Betriebsweise des Bauelementes von [Fig. 1](#) und

**[0014]** [Fig. 6](#) ein Zeitsteuerungsdiagramm zur Veranschaulichung der Betriebsweise des Bauelementes von [Fig. 2](#).

**[0015]** In den beispielhaft gezeigten Ausführungsformen der Erfindung sind funktionell gleiche Elemente jeweils mit denselben Bezugszeichen bezeichnet.

**[0016]** Das in [Fig. 1](#) gezeigte erste erfindungsgemäße integrierte Schaltkreisbauelement beinhaltet einen Abtastschaltkreis **11** mit einem ersten, normalen Eingang IN und einem zweiten, komplementären Eingang INB, die ein Taktsignal CLK bzw. dessen Inverses CLKB, siehe beispielsweise [Fig. 5](#) und [Fig. 6](#),

empfangen. Der Abtastschaltkreis erzeugt ein Ausgangssignal BUFOUT11. Dieses Ausgangssignal wird direkt einem Impulsgenerator **13** und einem Inverter **12** zugeführt. Vom Inverter **12** wird ein Ausgangssignal BUFOUT12 erzeugt und einem Impuls-generator **14** zugeführt. Die Impulsgeneratoren **13** und **14** erzeugen, wie gezeigt, Signale PCLK11 und PCLK12.

**[0017]** [Fig. 3](#) zeigt eine bevorzugte Realisierung für den Abtastschaltkreis **11**. Der dort gezeigte Abtastschaltkreis **11** umfaßt einen Differenzverstärker **31** und einen Inverter **33**, dessen Eingang elektrisch an einen Ausgang DET des Differenzverstärkers **31** angeschlossen ist. Der Differenzverstärker **31** beinhaltet eine zwischen eine Signalleitung **31b** und ein Massepotential oder negatives Referenzpotential Vss eingeschleifte Stromquelle S1. Des weiteren sind NMOS-Transistoren N1 und N2 zusammen mit PMOS-Transistoren P1 und P2 vorgesehen. Wie für den Fachmann verständlich, haben die NMOS-Transistoren N1 und N2 vorzugsweise gleichartige Charakteristika, und analog haben die PMOS-Transistoren P1 und P2 vorzugsweise gleiche Charakteristika. Der Differenzverstärker **31** fungiert dahingehend, daß er eine Potentialdifferenz zwischen dem normalen Eingang IN und dem komplementären Eingang INB verstärkt. Speziell wird, wenn das Potential des normalen Eingangs IN größer als das Potential des komplementären Eingangs INB ist, die Potentialdifferenz verstärkt, und das Ausgangssignal DET wird auf einen logischen 0-Pegel gesteuert, während das Ausgangssignal BUFOUT des Inverters **33** auf einen logischen 1-Pegel gesteuert wird. Alternativ wird, wenn das Potential des komplementären Eingangs INB größer als das Potential des normalen Eingangs IN ist, das Ausgangssignal DET auf einen logischen 1-Pegel gesteuert, und das Ausgangssignal BUFOUT des Inverters **33** wird dann auf einen logischen 0-Pegel gesteuert.

**[0018]** Wie aus den [Fig. 1](#) und [Fig. 5](#) ersichtlich, wird das Ausgangssignal BUFOUT11 des Abtastschaltkreises **11** direkt dem Impulsgenerator **13** und dem Inverter **12** zugeführt, wegen der mit dem Differenzverstärker **31** und dem Inverter **33** verknüpften Verzögerung wird jedoch eine ansteigende Flanke des Ausgangssignals BUFOUT11 um einen Betrag T11 relativ zu einer ansteigenden Flanke des Taktsignals CLK verzögert, und eine fallende Flanke des Ausgangssignals BUFOUT11 wird um einen Betrag T14 relativ zu einer fallenden Flanke des Taktsignals CLK verzögert. Das Ausgangssignal BUFOUT12 des Inverters **12** repräsentiert außerdem eine invertierte und verzögerte Version des Ausgangssignals BUFOUT11, wobei die zusätzliche Inverterverzögerung durch ein Zeitintervall T15 repräsentiert wird.

**[0019]** [Fig. 4](#) zeigt eine bevorzugte Realisierung für die Impulsgeneratoren **13**, **14** von [Fig. 1](#). Diese Im-

pulsgeneratorrealisierung umfaßt ein Paar von NMOS-Transistoren N3 und N4, die elektrisch in Reihe zwischen einen intermediären Ausgangsknoten PRES und ein Massepotential oder negatives Referenzpotential Vss eingeschleift sind. Außerdem ist ein PMOS-Pull-up-Transistor P3 vorgesehen. Diese Transistoren bilden einen Antwortteil **41**. Der PMOS-Pull-up-Transistor P3 ist elektrisch in Reihe zwischen den intermediären Ausgangsknoten PRES und ein Spannungsversorgungspotential Vcc eingeschleift. Die Gate-Elektroden des PMOS-Transistors P3 und des NMOS-Transistors N4 sind elektrisch miteinander und mit dem Ausgang PFED einer Rückkopplungsverzögerungsschaltung **45** verbunden. Die Rückkopplungsverzögerungsschaltung umfaßt ein Paar von Invertern **45a** und **45b**, die eine vorgegebene Verzögerung für Signale am intermediären Ausgangsknoten PRES bereitstellen. Der intermediäre Ausgangsknoten PRES bilden zudem einen Eingang für einen Inverter **43a**. Das Ausgangssignal des Inverters **43a** wird einer Gate-Elektrode eines PMOS-Pull-up-Transistors P4 zugeführt. Der Inverter **43a** und der PMOS-Transistor P4 bilden zusammen einen Zwischenspeicher **43**. Ein Ausgangsinverter **47** erzeugt ein Ausgangssignal POUT.

**[0020]** Nachstehend wird die Betriebsweise des Impulsgenerators von [Fig. 4](#) erläutert. Speziell wird, wenn das Eingangssignal PIN auf einem logischen 0-Pegel liegt, der intermediäre Ausgangsknoten PRES auf einem logischen 1-Pegel gehalten. Dem intermediären Ausgangsknoten PRES wird nicht erlaubt, auf einem logischen 0-Pegel zu verbleiben, da ein solcher logischer 0-Pegel durch die Rückkopplungsverzögerungsschaltung **45** zum PMOS-Pull-up-Transistor P3 geleitet wird, der dann dahingehend wirkt, den Knoten PRES hochzuziehen. Außerdem geht das Ausgangssignal des Inverters **43a** in einen logischen 0-Zustand über und schaltet den PMOS-Pull-up-Transistor P4 leitend, sobald der Knoten PRES einen minimalen logischen 1-Pegel erreicht. Daher wird während des Ruhebetriebs der intermediäre Ausgangsknoten PRES auf einem logischen 1-Pegel gehalten, und der NMOS-Pull-down-Transistor N4 wird leitend geschaltet. Wenn dann das Eingangssignal PIN auf einen logischen 1-Pegel gesteuert wird, wird der NMOS-Transistor N3 leitend geschaltet und zieht den intermediären Ausgangsknoten PRES auf einen logischen 0-Pegel, da der NMOS-Transistor N4 ebenfalls angeschaltet ist. Dieser logische 0-Pegel wird am Ausgang des Inverters **47** als ein logisches 1-Signal abgegeben, d. h. POUT geht von "0" nach "1" über. Zudem wird nach einem vorgegebenen Zeitintervall, das durch die mit den Invertern **45a** und **45b** in der Rückkopplungsverzögerungsschaltung **45** verknüpften Verzögerungen bestimmt ist, der logische 0-Pegel am intermediären Ausgangsknoten PRES zum Knoten PFED transferiert. Dies bewirkt, daß der NMOS-Transistor N4 sperrend und der PMOS-Transistor

sistor P3 leitend geschaltet werden, was den intermediären Ausgangsknoten PRES wieder auf einen logischen 1-Pegel zieht. Das Ausgangssignal POUT des Inverters 47 geht dann wieder in einen logischen 0-Pegel zurück.

**[0021]** Demgemäß wird, wie in [Fig. 5](#) illustriert, das Signal PCLK11 am Ausgang des Impulsgenerators 13 als ein Impuls bereitgestellt, und eine ansteigende Flanke dieses Impulses wird relativ zu einer ansteigenden Flanke des Signals BUFOUT11 um ein Zeitintervall T12 verzögert (und relativ zu einer ansteigenden Flanke des Taktsignals CLK um ein Zeitintervall T13 verzögert). Analog wird das Signal PCLK12 am Ausgang des Impulsgenerators 14 als ein Impuls bereitgestellt, und eine ansteigende Flanke dieses Impulses wird relativ zu einer ansteigenden Flanke des Signals BUFOUT12 um ein Zeitintervall T16 verzögert (und relativ zu einer fallenden Flanke des Taktsignals CLK um ein Zeitintervall  $T17 = T14 + T15 + T16$  verzögert). Da die Dauer des Zeitintervalls T17 größer als die Dauer des Zeitintervalls T13 ist, und zwar um einen Betrag der gleich der mit dem Inverter 12 verknüpften Verzögerung ist, liegt eine Zeitversetzung zwischen der Synchronisation des Impulssignals PCLK11 relativ zur ansteigenden Flanke des Taktsignals CLK sowie zwischen der Synchronisation des Impulssignals PCLK11 relativ zu einer fallenden Flanke des Taktsignals CLK vor. Ein solcher Zeitversatz kann zur Fehlfunktion des integrierten Schaltkreises führen, was eine verbesserte Synchronisation erstrebenswert macht.

**[0022]** Um diese Eigenschaft beim Bauelement von [Fig. 1](#) zu berücksichtigen, wird eine bevorzugtere Ausführungsform der Erfindung gemäß [Fig. 2](#) bereitgestellt. Das Bauelement von [Fig. 2](#) ähnelt demjenigen von [Fig. 1](#), jedoch werden zwei Abtastschaltungen 21 und 22 statt der einzigen Abtastschaltung 11 und des Inverters 12 gemäß [Fig. 1](#) verwendet. Diese beiden Abtastschaltungen 21 und 22 besitzen "Matching"-Eigenschaften. Auf der Basis dieser bevorzugteren Konfiguration kann die Synchronisation eines Signals BUFOUT21 auf eine ansteigende Flanke des Taktsignals CLK mit der Synchronisation eines Signals BUFOUT22 auf eine fallende Flanke des Taktsignals CLK in Übereinstimmung gebracht werden, d. h.  $T21 = T24$ , wie in [Fig. 6](#) illustriert. In gleicher Weise kann die Synchronisation des Impulses PCLK21 mit einer ansteigenden Flanke des Taktsignals CLK in Übereinstimmung mit der Synchronisation des Impulses PCLK22 mit einer fallenden Flanke des Taktsignals CLK gebracht werden, d. h.  $(T21 + T22) = T23 = T26 = (T24 + T25)$ .

**[0023]** Es versteht sich, daß der Fachmann neben den oben beschriebenen weitere Realisierungen der Erfindung erkennt und ausführen kann, wie sie durch die beigefügten Patentansprüche festgelegt sind.

## Patentansprüche

1. Integriertes Schaltkreiselement mit folgenden Elementen:

- einem ersten Signalgenerator (11; 21), der ein erstes Eingangssignal (CLK) und das Komplement (CLKB) des ersten Eingangssignals an einem ersten, normalen Eingang (IN) bzw. einem zweiten, komplementären Eingang (INB) empfängt und ein erstes Ausgangssignal (BUFOUT11; BUFOUT21) erzeugt, das eine führende Flanke synchron mit einer führenden Flanke des ersten Eingangssignals aufweist, relativ zu diesem jedoch um ein zugehöriges Zeitintervall (T11, T21) verzögert ist,
- einem zweiten Signalgenerator (11, 12; 22), der das erste Eingangssignal (CLK) und das Komplement (CLKB) des ersten Eingangssignals an einem komplementären Eingang bzw. einem normalen Eingang empfängt und ein zweites Ausgangssignal (BUFOUT12; BUFOUT22) erzeugt, das eine führende Flanke synchron zu einer führenden Flanke des Komplements (CLKB) des ersten Eingangssignals aufweist, jedoch relativ zu diesem um ein zugehöriges Zeitintervall ( $T14 + T15, T24$ ) verzögert ist,
- einem auf das erste Ausgangssignal (BUFOUT11; BUFOUT21) ansprechenden, ersten Impulsgenerator (13; 23), der ein mit dem ersten Ausgangssignal synchrones erstes Impulssignal (PCLK11, PCLK21) mit gegenüber dem ersten Ausgangssignal geringem Tastverhältnis erzeugt, und
- einem auf das zweite Ausgangssignal (BUFOUT12; BUFOUT22) ansprechenden, zweiten Impulsgenerator (14; 24), der ein mit dem zweiten Ausgangssignal synchrones zweites Impulssignal (PCLK12, PCLK22) mit gegenüber dem zweiten Ausgangssignal geringem Tastverhältnis erzeugt,
- wobei ein Zeitabstand (T23) von einer führenden Flanke des ersten Eingangssignals (CLK) zu einer führenden Flanke des ersten Impulssignals (PCLK21) im Wesentlichen gleich einem Zeitabstand (T26) von einer führenden Flanke des Komplements (CLKB) des ersten Eingangssignals zu einer führenden Flanke des zweiten Impulssignals (PCLK12, PCLK22) ist.

2. Integriertes Schaltkreiselement nach Anspruch 1, weiter dadurch gekennzeichnet, dass der erste und der zweite Signalgenerator jeweils einen Differenzverstärker (31) aufweisen.

3. Integriertes Schaltkreiselement nach Anspruch 3, weiter dadurch gekennzeichnet, dass der erste Impulsgenerator (13; 23) und/oder der zweite Impulsgenerator (14; 24) folgende Elemente aufweisen:

- einen ersten PMOS-Transistor (P3), der elektrisch in Serie zwischen ein erstes Referenzpotential (Vcc) und einen intermediären Ausgangsknoten (PRES) eingeschleift ist,
- ein Paar von NMOS-Transistoren (N3, N4), die

elektrisch in Reihe zwischen den intermediären Ausgangsknoten (PRES) und ein zweites Referenzpotential ( $V_{ss}$ ) eingeschleift sind, und

– eine Rückkopplungsverzögerungsschaltung (**45**), die elektrisch mit einem Eingang an den intermediären Ausgangsknoten (PRES) und mit einem Ausgang an eine Gate-Elektrode des ersten PMOS-Transistors (P3) angeschlossen ist.

4. Integriertes Schaltkreisbauelement nach Anspruch 3, weiter dadurch gekennzeichnet, dass ein erster des Paares von NMOS-Transistoren (N3, N4), mit einer Gate-Elektrode elektrisch an den Ausgang des ersten Signalgenerators (**11**; **21**) bzw. des zweiten Signalgenerators (**11**, **12**; **22**) angeschlossen ist, während der andere der beiden NMOS-Transistoren mit einer Gate-Elektrode elektrisch an den Ausgang des Rückkopplungsverzögerungsschaltkreises (**45**) angeschlossen ist.

5. Integriertes Schaltkreisbauelement nach Anspruch 3 oder 4, weiter gekennzeichnet durch:

– einen zweiten PMOS-Transistor (P4), der elektrisch in Reihe zwischen das erste Referenzpotential ( $V_{cc}$ ) und den intermediären Ausgangsknoten (PRES) eingeschleift ist, und

– einen Inverter (**43a**), dessen Eingang elektrisch an den intermediären Ausgangsknoten (PRES) und dessen Ausgang an eine Gate-Elektrode des zweiten PMOS-Transistors (P4) angeschlossen ist.

Es folgen 3 Blatt Zeichnungen

FIG. 1

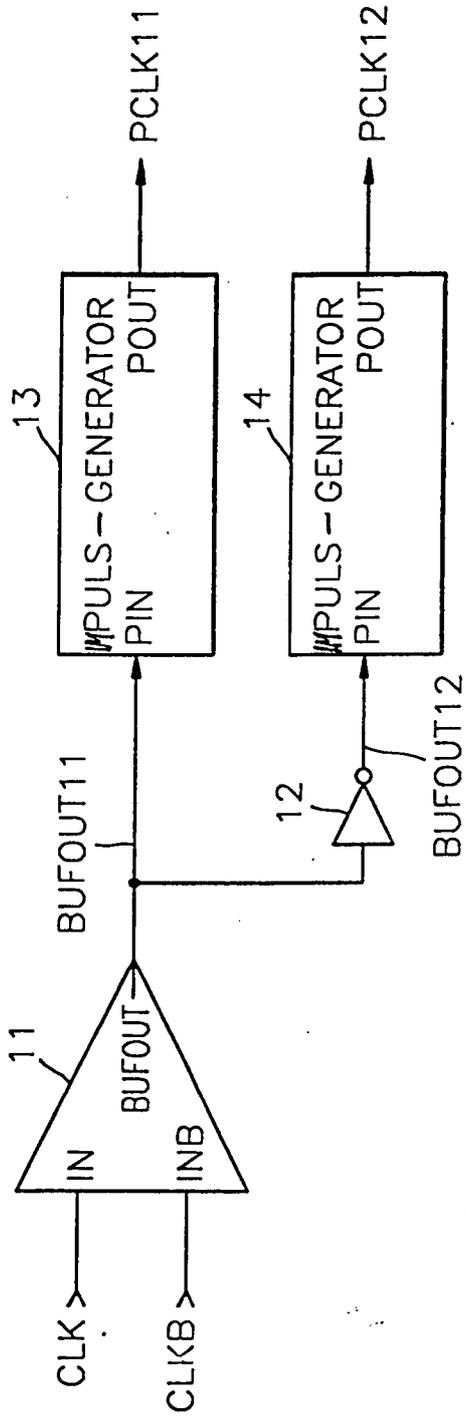


FIG. 2

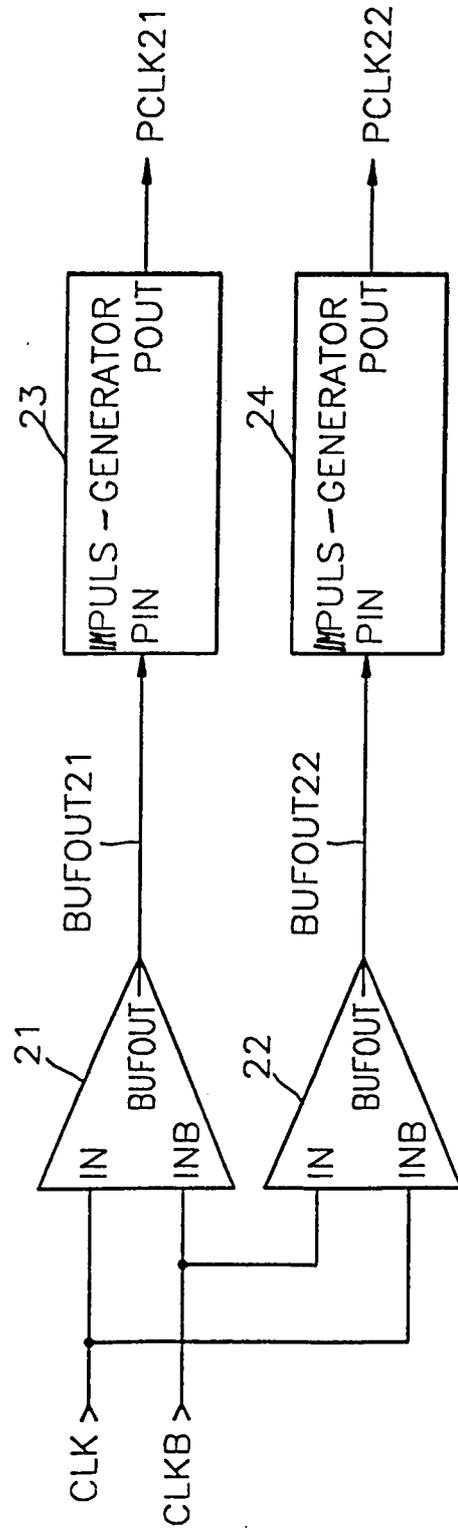


FIG. 3

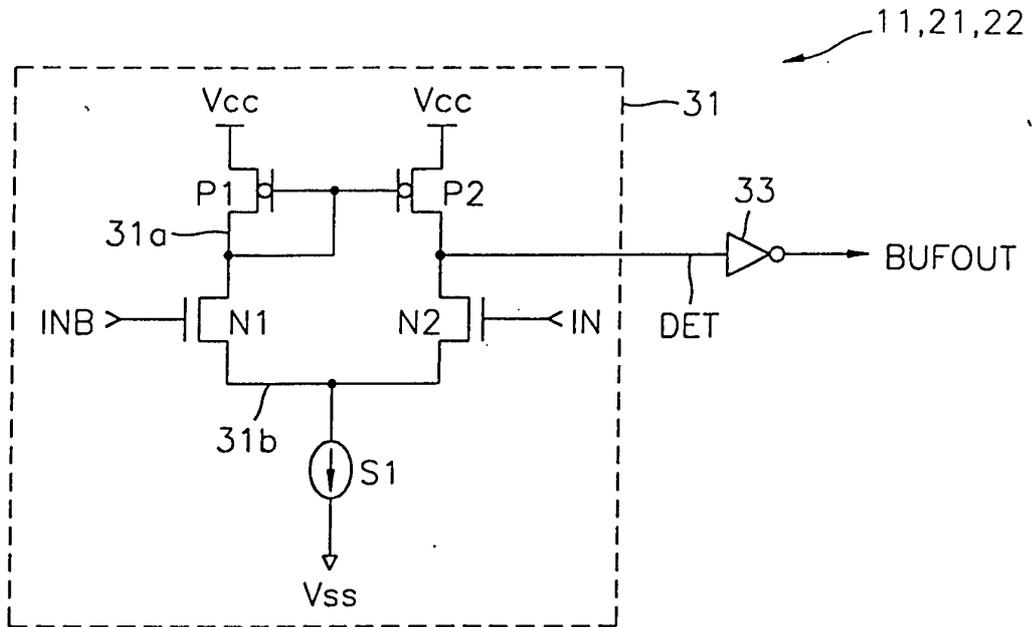


FIG. 4

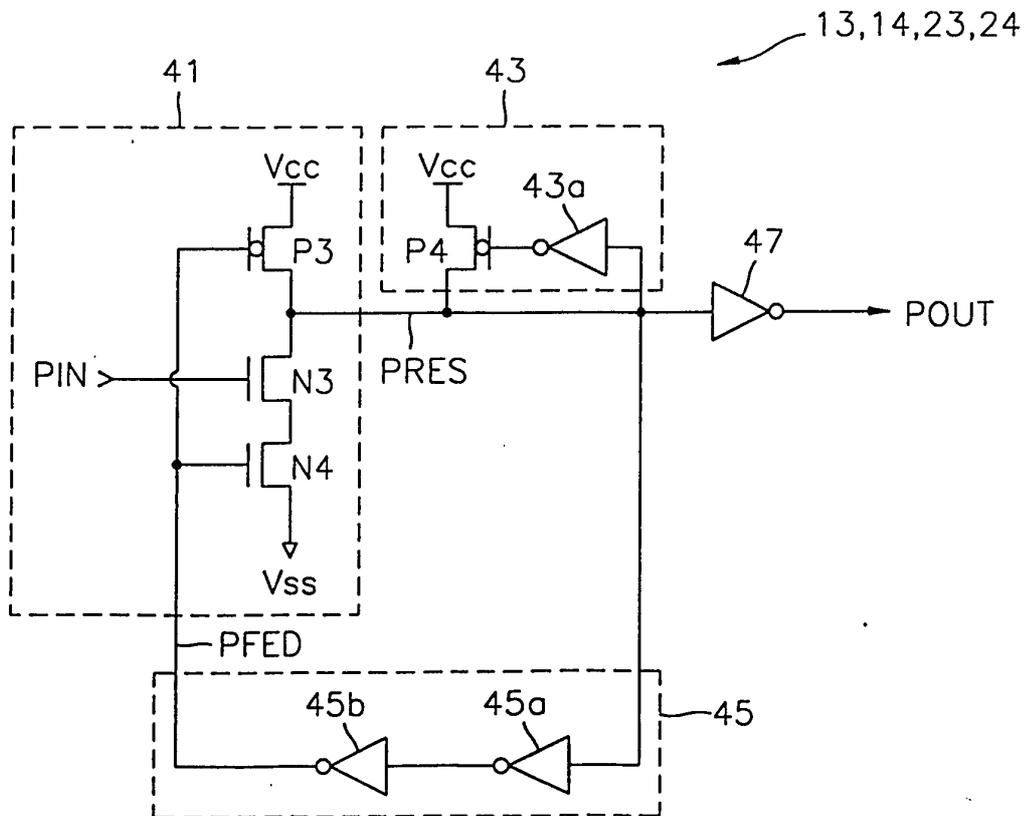


FIG. 5

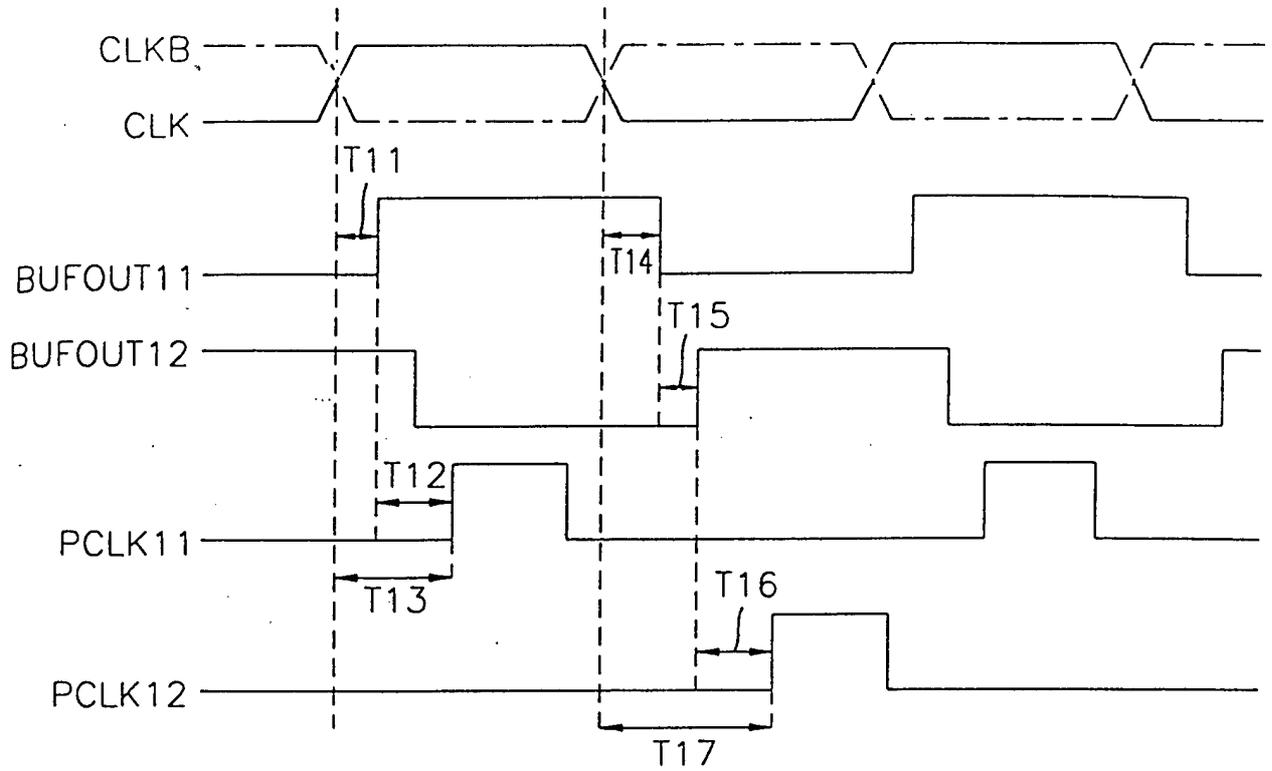


FIG. 6

