

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月7日(07.09.2018)



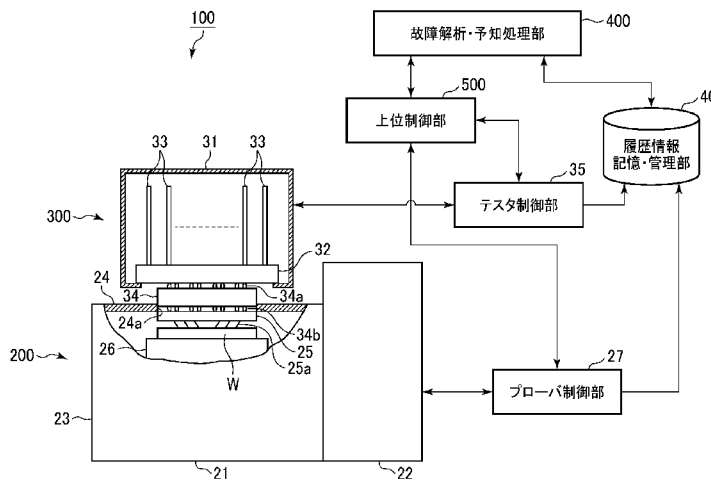
(10) 国際公開番号

WO 2018/159190 A1

- (51) 国際特許分類:
H01L 21/66 (2006.01) *G01R 31/28* (2006.01) — 1 東京エレクトロン テクノロジーソリュー
ションズ株式会社内 Yamanashi (JP).
- (21) 国際出願番号: PCT/JP2018/002934 (74) 代理人: 高山 宏志 (TAKAYAMA Hiroshi);
〒2240003 神奈川県横浜市都筑区中川中
央 1 - 2 1 - 1 パルコ・プレチオー
ゾ 2 0 2 Kanagawa (JP).
- (22) 国際出願日: 2018年1月30日(30.01.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-039458 2017年3月2日(02.03.2017) JP
- (71) 出願人: 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目3番1号 Tokyo (JP).
- (72) 発明者: 加賀美 徹也 (KAGAMI Tetsuya);
〒4078511 山梨県韮崎市藤井町北下条2381
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: INSPECTION SYSTEM AND MALFUNCTION ANALYSIS/PREDICTION METHOD FOR INSPECTION SYSTEM

(54) 発明の名称: 検査システム、および検査システムの故障解析・予知方法



- 27 Probe control unit
35 Tester control unit
40 History information storage and management unit
400 Malfunction analysis/prediction unit
500 Host control unit

(57) Abstract: An inspection device (100) having: a probe (200) that has a stage (26) holding a substrate (W) having a plurality of devices formed thereupon, a transport unit (22) that transports the substrate (W) to the stage (26), and a probe card (25) that causes a plurality of probes 25a to come in contact with electrodes in the plurality of devices upon the substrate (W); a tester (300) that applies an electric signal to the plurality of devices upon the substrate (W) via the probe card (25) and inspects the electrical characteristics of the devices; and a malfunction analysis/prediction unit (400) that, when a malfunction has occurred during inspection or a sign indicates a stage prior to a malfunction, analyzes history information for the probe (200) and tester (300) related to that malfunction and ascertains or predicts the location of the malfunction.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 検査装置(100)は、複数のデバイスが形成された基板Wを保持するステージ(26)と、基板(W)をステージ(26)に搬送する搬送部(22)と、複数のプローブ25aを基板(W)上の複数のデバイスの電極に接触させるプローブカード(25)とを有するプローバ(200)と、プローブカード(25)を介して基板(W)上の複数のデバイスに電氣的信号を与え、デバイスの電氣特性を検査するテスト(300)と、検査の際に故障が発生したとき、または故障の前段階の兆候が発生したときに、その故障に関連するプローバ(200)とテスト(300)の履歴情報を解析して故障の箇所を把握または予知する故障解析・予知処理部(400)とを有する。

明 細 書

発明の名称：

検査システム、および検査システムの故障解析・予知方法

技術分野

[0001] 本発明は、被検査体の検査を行う検査システム、および検査システムの故障解析・予知方法に関する。

背景技術

[0002] 半導体デバイスの製造プロセスにおいては、半導体ウエハ（以下単にウエハと記す）における全てのプロセスが終了した段階で、ウエハに形成されている複数のデバイス（ＩＣチップ）の電氣的検査が行われる。このような電氣的検査を行う検査システムは、一般的に、ウエハステージとウエハ搬送系を有するとともに、ウエハに形成されたデバイスに接触するプローブを有するプローブカードが装着されるプローバと、デバイスに電氣的信号を与え、デバイスの種々の電気特性を検査するためのテストとを有している。

[0003] このような検査システムにおいて、故障が発生したとき、その故障要因を迅速に特定して対処することが求められている。また、故障を事前に予知して故障を回避することも求められている。

[0004] 特許文献１には、プローバのコントローラに自己診断実行機能を持たせて、プローバにおける故障要因を特定する技術が記載されている。

先行技術文献

特許文献

[0005] 特許文献１：特開２００７－２３５０３１号公報

発明の概要

[0006] ところで、テストとプローバは、それぞれ別のメーカーにより製造され、顧客納入後にこれらを一体化することが多く、診断機能を持たせる場合にも、テストとプローバに別個に診断機能を設けることになる。

[0007] しかし、テストおよびプローバのそれぞれの診断機能を用いて故障解析を

行う場合、テスト起因でプローバの診断がF A I L (N G) の場合や、その逆の場合があり、そのような場合にはテストおよびプローバが診断機能を有していても、故障箇所を把握することが困難である。また、故障予知を行おうとしても、同様に、テスト起因でプローバの診断がF A I L (N G) の場合およびその逆の場合には十分な予知が行えない。

[0008] したがって、本発明の目的は、テストおよびプローバにまたがる要因の故障またはその前段階の兆候が生じた場合でもその箇所を迅速に把握することまたは予知することができる技術を提供することにある。

[0009] 本発明の第1の観点によれば、複数のデバイスが形成された基板を保持するステージと、基板を前記ステージに搬送する搬送部と、複数のプローブを基板上的複数のデバイスの電極に接触させるプローブカードとを有するプローバと、前記プローブカードを介して前記基板上的複数のデバイスに電気的信号を与え、前記デバイスの電気特性を検査するテストと、検査の際に故障が発生したとき、または前記故障の前段階の兆候が発生したときに、その故障に関連する前記プローバと前記テストの履歴情報を解析して故障の箇所を特定もしくは推定、または予知する故障解析・予知処理部とを有することを特徴とする検査システムが提供される。

[0010] 本発明の第2の観点によれば、複数のデバイスが形成された基板を保持するステージと、基板を前記ステージに搬送する搬送部と、複数のプローブを基板上的複数のデバイスの電極に接触させるプローブカードとを有するプローバと、前記プローブカードを介して前記基板上的複数のデバイスに電気的信号を与え、前記デバイスの電気特性を検査するテストとを有する検査システムにおいて、故障の箇所を特定もしくは推定または予知する故障解析・予知方法であって、検査の際に故障が発生したとき、または前記故障の前段階の兆候が発生したときに、その故障に関連する前記プローバと前記テストの履歴情報を解析して故障の箇所を特定もしくは推定、または予知することを特徴とする検査システムの故障解析・予知方法が提供される。

[0011] 上記第1の観点および第2の観点において、前記履歴情報と知見者の知見

に基づいて故障の箇所を把握または予知することが好ましい。前記故障の要因が複数想定される場合、前記知見者の知見に基づいて、前記故障の要因を特定し、それにより故障の箇所を特定もしくは推定または予知することができる。

[0012] 前記テストは、マザーボードと、前記マザーボードに装着された複数の検査回路ボードとを有し、前記プローバに装着されたプローブカードと前記マザーボードとの間に、これらを接続するコンタクト部材が配置され、前記検査回路ボード、前記マザーボード、前記コンタクト部材、前記プローブカードのいずれかに生じた故障の箇所を特定もしくは推定または予知することができる。

[0013] 基板に形成された複数のデバイスの検査において、接触不良または前記テストから被検査体までの伝送経路の抵抗大となる故障が生じたとき、それに関するプローバ側の要因およびテスト側の要因を含む複数の要因を把握し、それらの中で正常であることが分かっている要因、または所定の診断を行った結果正常な結果が得られたことにより正常であることがわかる要因を除外し、残った要因から故障箇所を特定もしくは推定または予知することができる。

[0014] 検査の際に P A S S になった検査項目について出力結果を複数段階にレベル分けし、複数の測定結果によるレベルの変化から故障の兆候を把握し、故障を予知することができる。この場合に、基板に形成された複数のデバイスを表示するマップにおいて、検査の際に P A S S になった項目について出力結果を複数段階にレベル分けし、P A S S と判断されたデバイスのレベルの分布図から故障箇所を予知することができる。また、前記マップの前記レベルの分布図と、前記プローバの被検査体のステージの高さの分布を関連付けることにより故障箇所を予知することができる。

[0015] 本発明によれば、故障が発生した場合に、プローバおよびテストの両方の履歴情報に基づいて異常の要因を特定するので、迅速に故障箇所の特定もしくは推定を行うことができる。また、故障の前段階の兆候が発生した場合に

、故障する前に故障箇所を予知することができるので、事前に対象部品の交換や修理が可能となる。このため、検査システムの稼働率を向上させることができる。

図面の簡単な説明

[0016] [図1]本発明の一実施形態に係る検査システムの概略構成を模式的に示す図である。

[図2]図1の検査システムの故障解析・予知処理部を説明するための図である。

[図3]テストの検査回路ボードからウエハまでの構成を説明するための図である。

[図4]故障解析・予知プログラムのフローチャートである。

[図5]プローブカード25の設置が正常でない場合の状態を示す図である。

[図6]診断用プローブカードで診断を行っている状態を示す図である。

[図7]検査項目に対してOK (PASS) のレベルを複数段階に設定した例を示す図である。

[図8]ウエハマップを用いた解析結果表示例を説明する図であり、ウエハマップに線状に色が濃い (FAIL またはレベルが高い) 部分が生じる場合を示す図である。

[図9]ウエハマップを用いた解析結果表示例を説明する図であり、ウエハマップの一部にスポット的に色が濃い (FAIL またはレベルが高い) 部分が生じる場合を示す図である。

[図10]ウエハマップを用いた解析結果表示例を説明する図であり、ウエハマップの右側に全体的に色が濃い (FAIL またはレベルが高い) 部分が生じる場合を示す図である。

[図11]ステージ (ウエハチャックトップ) の高さ位置のバラツキを表示した例を示す図である。

[図12]ステージ (ウエハチャックトップ) の高さ位置がばらついた状態の例を示す図である。

発明を実施するための形態

[0017] 以下、添付図面を参照して本発明の実施の形態について詳細に説明する。

<検査システム>

図1は、本発明の一実施形態に係る検査システムの概略構成を模式的に示す図である。検査システムは、ウエハにおける全てのプロセスが終了した段階で、ウエハに形成されている複数のデバイス（ICチップ；以下DUT（Device Under Test）ともいう）の電氣的検査を行うものである。

[0018] 図1に示すように、検査システム100は、ウエハ上のデバイスに対してプローブカードのプローブを接触させるプローバ200と、デバイスに電気信号を与えて電氣的な検査を行うテスト300と、故障解析・予知処理部400と、上位制御部500とを有している。

[0019] プローバ200は、本体部21と、搬送部22と、プローバ制御部27とを有している。

[0020] 本体部21は、筐体23と、筐体23の天面を構成し、中央に円形の孔24aが形成されたヘッドプレート24と、ヘッドプレート24の孔24aに対応する位置に取り付けられ、複数のプローブ（接触子）25aを有するプローブカード25と、プローブカード25の下方位置でウエハWを載置し、吸着するステージ（ウエハチャックトップ）26とを有する。ステージ26は、X-Yテーブル機構、Z方向移動機構および θ 方向移動機構（いずれも図示せず）によりX、Y、Z、 θ 方向に移動可能となっており、ウエハWを所定の検査位置へ位置決めするようになっている。そして、ウエハWを上昇させることにより、プローブカード25のプローブ25aが複数のデバイスの電極に接触するようになっている。

[0021] 搬送部22は搬送装置（図示せず）を有するとともに、ウエハキャリアおよびプローブカードストッカ（いずれも図示せず）が装着されており、搬送装置により、ウエハキャリアからウエハWをステージ26上に搬送するとともに、プローブカードストッカからプローブカード25をヘッドプレート24の下方に搬送する。

- [0022] プローバ制御部 27 は、プローバ 200 の各構成部を制御する、CPU を有する主制御部と、キーボードやマウス、リモコン等の入力部と、プリンター等の出力部と、ディスプレイ等の表示部と、制御に必要な情報を記憶する記憶部とを有している。主制御部は、検査に際して、記憶部に処理レシピが記憶された記憶媒体をセットすることにより、記憶媒体から呼び出された処理レシピに基づいてプローバ 200 に所定の処理動作を実行させる。
- [0023] テスタ 300 は、筐体 31 と、筐体 31 内の底部に水平に設けられたマザーボード 32 と、マザーボード 32 のスロットに立設状態で装着された複数の検査回路ボード 33 と、マザーボード 32 とプローブカード 25 とを接続するためのコンタクトブロック 34 と、テスト制御部 35 とを有している。
- [0024] マザーボード 32 は、コンタクトブロック 34 を介してプローブカード 25 に接続される。コンタクトブロック 34 は、マザーボード 32 との間の接続およびプローブカード 25 との間の接続を、それぞれ複数のコンタクトピン 34 a および 34 b を介して行う。コンタクトピン 34 a および 34 b はポゴピンで構成されている。検査回路ボード 33 は、種々のテスト項目に応じてウエハ W のデバイスに電氣的信号を与えるものである。
- [0025] テスタ制御部 35 は、テスト 300 の各構成部を制御する、CPU を有する主制御部と、キーボードやマウス、リモコン等の入力部と、プリンター等の出力部と、ディスプレイ等の表示部と、制御に必要な情報を記憶する記憶部とを有している。主制御部は、検査に際して、記憶部にテスト項目等が記憶された記憶媒体をセットすることにより、記憶媒体から呼び出されたテスト項目に基づいてテスト 300 に所定の動作を実行させる。
- [0026] プローバ制御部 27 およびテスト制御部 35 は、それぞれ、何等かの故障が発生した場合に、その原因の解明や対処を目的として、システムの動作履歴や操作者の操作履歴、診断履歴等の履歴情報（ログデータ）を取得する履歴情報取得部（図示せず）を有し、履歴情報取得部が取得した履歴情報は、履歴情報記憶・管理部 40 に記憶されるようになっている。
- [0027] 故障解析・予知処理部 400 は、人工知能（AI）を有しており、故障（

F A I L) または故障の兆候が発生したときに、プローバ200またはテスト300からの情報で要因解析を行い、それで故障箇所がわからない場合に、履歴情報記憶・管理部40から、その故障に関連するテストおよびプローバの履歴情報を取得し、その情報とサービス・開発者等の知見者の知見に基づいて故障の箇所を把握(特定または推定)または予知する。

[0028] 図2に示すように、故障解析・予知処理部400は、履歴情報記憶・管理部40から、プローバ情報として、ステージ座標情報、コンタクト加重情報、プローブ位置・傾き情報、ステージ温度を取得することができ、テスト情報として、ピンリーク情報、ピン接触抵抗、ピン電源電圧・電流情報を取得することができる。

[0029] 上位制御部500は、CPUを有する主制御部と、キーボードやマウス、リモコン等の入力部と、プリンター等の出力部と、ディスプレイ等の表示部と、制御に必要な情報を記憶する記憶部とを有している。上位制御部500は、プローバ制御部27およびテスト制御部35の上位の制御部であり、プローバ制御部27およびテスト制御部35に対する情報の授受を行うとともに、故障情報を故障解析・予知処理部400に送り、故障解析・予知処理部400から故障(またはその兆候)の要因に関する情報を受け取り、その情報を表示部に表示する。

[0030] <検査方法>

このように構成された検査システム100においては、プローバ200の搬送部22によりプローブカード25を装着し、次いで搬送部22によりキャリア内のウエハWをステージ26上に搬送し、ウエハWをステージ26上に真空吸着した状態で、ウエハWに対してテスト300により、電氣的検査を行う。このとき、プローブカード25はコンタクトブロック34を介してマザーボード32に電氣的に接続されている。

[0031] 検査に際しては、ステージ26を上昇させてプローブカード25のプローブ25aをウエハWの各デバイス(DUT)に接触させる。そして、図3に示すように、検査回路ボード33からの電気信号が、マザーボード32、コ

ンタクトブロック 34、プローブカード 25 を経てウエハ W の各デバイスに至り、さらにデバイスからプローブカード 25、コンタクトブロック 34、マザーボード 32 を経て検査回路ボード 33 に戻る。これにより各デバイスの電気的特性が検査される。

[0032] 具体的には、テスト 300 からウエハ上のデバイスに対して、電圧、電流、ロジック波形等を出し、デバイスからの電圧、電流、ロジック波形を測定し、デバイスの P A S S および N G を判断する。

[0033] テスタ 300 の検査回路ボード 33 からウエハまでは図 3 のような構成となっているため、テスト測定精度、コンタクト部の位置、ウエハ W とプローブ 25 a の接触、ステージ 26（ウエハチャックトップ）の位置等の複数の要因が含まれてウエハ W 上のデバイスの測定に至っている。

[0034] そのため、上記の構成上のどこかに不具合があった場合、ウエハの測定不良（故障）が発生するが、従来は、その要因がどこにあるのかが容易に特定できないことがあった。その理由の一つとして、従来、テストの情報とプローバの情報を別個に管理していたため、テストおよびプローバの一方が他方の要因で不良（故障）を起こした場合は、その要因を特定できないことが挙げられる。また、故障を予知して事前に対応することが求められるが、このようにテストの情報とプローバの情報を別個に管理する場合は、故障の予知も困難である。

[0035] そこで、本実施形態では、検査のときに不良（F A I L）となった際、すなわち何らかの故障が生じた場合に、または F A I L ではないが故障の前段階の兆候が生じた場合、故障解析・予知処理部 400 のプログラムが起動されるようにし、このような問題に対処する。なお、故障の前段階の兆候とは、後述するように、P A S S のレベルを何段階かに分け、P A S S であっても近い将来に故障となると判断される場合をいい、故障予知に資するものである。

[0036] <故障解析・予知プログラム>

このときの故障解析・予知プログラムのフローチャートを図 4 に示す。

まず、故障または故障の前段階の兆候が発生したことが通知される（ステップ1）。なお、ここで「故障」とは、測定が「F A I L」になったことをいい、装置構成部の本来の故障のみならず、装置は故障していないがゴミ等により「F A I L」になったことも含む。

[0037] 次に、テスト内またはプローバ内の情報を取得しその情報で要因解析を行う（ステップ2）。要因の特定ができたか否かを判断し（ステップ3）、要因が特定できた場合は終了する。

[0038] 要因の特定ができない場合は、履歴情報記憶・管理部40のテストまたはプローバの過去の履歴を検索する（ステップ4）。次に、その故障（もしくは兆候）の情報またはその故障（もしくは兆候）に近い情報があるか否かを判断する（ステップ5）。近い情報がない場合、他方の情報（最初に解析したのがプローバの場合はテストの情報であり、最初に解析したのがテストの情報の場合はプローバの情報）で、過去の履歴の中でその故障（もしくは兆候）の情報または故障（もしくは兆候）に近い情報を解析する（ステップ6）。次に、故障（もしくは兆候）箇所と解析位置とが関連するかを判断し（ステップ7）、関連する場合は、故障箇所を特定もしくは推定または故障箇所を予知し（ステップ8）、履歴として登録する（ステップ9）。そして、その結果は、例えば表示部に表示される。故障を予知した場合には、実際に故障は生じていない段階で対処することができる。

[0039] 一方、上記ステップ5で近い情報がある場合、故障箇所を特定もしくは推定または故障箇所を予知し（ステップ8）、履歴として登録する（ステップ9）。また、ステップ7で、故障（もしくは兆候）箇所と解析位置とが関連しない場合は、別の情報を検索して、ステップ6の過去の履歴の解析を行う。

[0040] <故障解析・予知の実例>

次に、故障解析・予知の実例について説明する。

例えば、図5に示すように、プローブカード25の設置が正常でない場合、ウエハ検査において、接触不良（オープン）、または、テストからウエハ

までの伝送経路の抵抗大により、検査結果不良が発生する。

[0041] 接触不良または伝送経路の抵抗大のときの発生要因としては、以下の(1)～(5)の複数の要因が考えられる。

(1)コンタクトブロック34のテスト側のコンタクト

(2)コンタクトブロック34のプロブカード側のコンタクト

(3)プロブ25aとウエハWのコンタクト

(4)ステージ26（チャックトップ）の水平不良→ステージの高さ情報から判断

(5)テスト出力および測定不良等→テスト診断結果から判断

[0042] 既にこの時点で、テスト診断結果およびステージ26の高さの情報で、これらが正常であることがわかっていれば、コンタクトブロック34およびプロブカード周辺での不良（故障）が推測される。

[0043] さらに、図6に示すように、診断用プロブカード250で診断を行った結果、正常な結果が得られていれば、上記(1)および(2)が正常であることがわかり、要因は(3)のプロブカードによる接触不良と推測（特定）することができ、故障箇所を把握することができる。また、後述するようにPASSのレベルを複数レベルに設定しておけば、これらにより故障箇所の予知を行うことができる。

[0044] このように、テスト300およびプローバ200からの情報と、サービス・開発者等の装置知見者による要因解析プロセスに関する知見に基づいて、故障箇所の把握・予知が可能となる。

[0045] <故障予知>

次に、故障予知について詳細に説明する。

テスト300によるウエハW上のデバイス（DUT）の検査においては、デバイスごとに検査結果が得られ、OK（PASS）であっても、全く問題のないレベルからFAILに近いレベルまで存在する。

[0046] 複数の検査項目に対して、OK（PASS）内のレベルを例えば図7に示すように、6段階に設定する。図7のレベル0は、故障の可能性がほとんど

ないレベルであり、レベル１～５とレベルが高くなるに従ってＦＡＩＬに近づいて行く。

[0047] 例えばある検査項目（機能）について、複数日または複数回の測定結果を使用する。複数の測定結果が全てレベル０であれば、この検査項目（機能）は高い水準で正常であり、現時点では故障の可能性は低いと判断できる。しかし、時間経過に従って、測定結果がレベル１、２、３と上昇していけば、将来的に故障（ＦＡＩＬ）に至る可能性が高く、上昇の時間間隔が所定の値になったときに、故障の前段階の兆候ありとする。これにより、故障時期を予測することができる。その結果、事前に当該部品の交換、修理が可能となる。また、同じように、別項目もレベル分けを行い、上述のように比較、参照することで、故障の要因箇所の特定も可能となる。

[0048] 例えば、ユーザーが検査システムを用いてウエハの検査を行った際、歩留まりが以前と比較して悪くなったとする。例えば最終的に図３の構造において接触抵抗が大の箇所があるとされる場合、従来はその箇所の特定が困難であり、故障予知ができなかった。その理由は、従来、各診断項目についてウエハの全てのデバイスの検査を行っているものの、その結果はＰＡＳＳとＦＡＩＬでしかなく、段階的な評価ができなかったからである。

[0049] これに対し、上述のようにＰＡＳＳのレベルを複数段階に分けることにより、故障の前段階の兆候を把握することができ、かつ複数項目を合わせてその箇所も特定できるので、それに基づいて、故障解析・予知処理部４００により、特定部分（例えば、プローブカード、検査回路ボード）の故障の予知を行うことができる。

[0050] ＜ウエハマップを用いた解析結果表示＞

このようにＰＡＳＳのレベルを複数段階に分ける手法をウエハマップに用い、ウエハマップを表示して解析結果を確認することができる。故障解析は基本的にデバイス（ＤＵＴ）単位で行うため、複数のＤＵＴがＰＡＳＳではあるがレベルが高く故障の前段階と判断された場合、これがどの影響で発生しているかをウエハ上の複数のＤＵＴを表示したウエハマップで確認するこ

とができる。ウエハマップの表示は、直近の結果のみの表示と、過去の結果を重ね合せた表示の選択が可能である。

[0051] レベル表示可能なウエハマップを用いて複数のDUTがFAIL、またはPASSではあるがレベルが高く故障の前段階と判断された場合の故障解析・予知の例を図8～図10に示す。これらの図において、色が濃いほど図7のレベルが高いことを示す。

[0052] 図8は、ウエハマップに線状に色が濃い（レベルが高い）部分が生じる場合である。複数の検査回路ボード33は、それぞれ、ウエハ上の複数のDUTのうち異なる線状領域に対応しているため、このように線状に色が濃い場合は、検査回路ボード33の一枚が故障しているか、故障の前段階であることが要因であると考えられる。

[0053] 図9は、ウエハマップの一部にスポット的に色が濃い（レベルが高い）部分が生じる場合である。これは、コンタクトピンの先端に異物が挟まり、その影響で周りのコンタクトピンの接触が悪くなったことが要因と考えられる。

[0054] 図10は、ウエハマップの右側に全体的に色が濃い（レベルが高い）部分が生じる場合である。これは、ウエハカードまたはプローブの接触が均一になっていないことが要因と考えられる。例えば、図5のような状態である。

[0055] <ステージ（ウエハチャックトップ）の高さ>

ステージの高さは、ステージの4点において、4点の高さ平均に対するバラツキを例えば図7の6段階（レベル0～5）およびFAILで判定し表示する。その例を図11に示す。図11においても、色が濃いほど図7のレベルが高いことを示す。例えば、図12のような状態である。ステージの高さにバラツキがあった場合、視覚的に確認することができる。上記図10の結果も合わせれば、ステージ26の高さバラツキに起因して、コンタクトブロックからテストまでの間に影響を与えることも考えられる。

[0056] 以上のように、本実施形態によれば、故障が発生した場合に、プローバおよびテストの両方の履歴情報に基づいて異常の要因を特定するので、迅速に

故障箇所の特定もしくは推定を行うことができる。また、故障の前段階の兆候が発生した場合に、故障する前に故障箇所を予知することができるので、事前に対象部品の交換や修理が可能となる。このため、検査システムの稼働率を向上させることができる。

[0057] <他の適用>

なお、本発明は上記実施形態に限定されることなく、本発明の思想の範囲内において種々変形可能である。例えば、上記実施形態において、図4のフローチャートは例示に過ぎず、プローバおよびテストの両方の情報から故障解析および故障予知ができればこれに限定されない。また、検査システムの構成も上記実施形態に限定されず、また、検査システムが複数のプローバおよび複数のテストを含んでいてもよい。さらに、基板として半導体ウエハを用いた例を示したが、基板は半導体ウエハに限るものではない。

符号の説明

[0058] 21 ; 本体部、22 ; 搬送部、23 ; 筐体、24 ; ヘッドプレート、25 ; プローブカード、25a ; プローブ、26 ; ステージ（ウエハチャックトップ）、27 ; プローバ制御部、31 ; 筐体、32 ; マザーボード、33 ; 検査回路ボード、34 ; コンタクトブロック、35 ; テスタ制御部、40 ; 履歴情報記憶・管理部、100 ; 検査システム、200 ; プローバ、300 ; テスタ、400 ; 故障解析・予知処理部、500 ; 上位制御部

請求の範囲

- [請求項1] 複数のデバイスが形成された基板を保持するステージと、基板を前記ステージに搬送する搬送部と、複数のプローブを基板上の複数のデバイスの電極に接触させるプローブカードとを有するプローバと、
- 前記プローブカードを介して前記基板上の複数のデバイスに電氣的信号を与え、前記デバイスの電気特性を検査するテストと、
- 検査の際に故障が発生したとき、または前記故障の前段階の兆候が発生したときに、その故障に関連する前記プローバと前記テストの履歴情報を解析して故障の箇所を特定もしくは推定、または予知する故障解析・予知処理部と、
- を有することを特徴とする検査システム。
- [請求項2] 前記故障解析・予知処理部は、前記履歴情報と知見者の知見に基づいて故障の箇所を特定もしくは推定、または予知することを特徴とする請求項1に記載の検査システム。
- [請求項3] 前記故障の要因が複数想定される場合、前記知見者の知見に基づいて、前記故障の要因を特定し、それにより故障の箇所を特定もしくは推定、または予知することを特徴とする請求項2に記載の検査システム。
- [請求項4] 前記テストは、マザーボードと、前記マザーボードに装着された複数の検査回路ボードとを有し、前記プローバに装着されたプローブカードと前記マザーボードとの間に、これらを接続するコンタクト部材が配置され、前記検査回路ボード、前記マザーボード、前記コンタクト部材、前記プローブカードのいずれかに生じた故障の箇所を特定または推定または予知することを特徴とする請求項1から請求項3のいずれか1項に記載の検査システム。
- [請求項5] 基板に形成された複数のデバイスの検査において、接触不良または前記テストから被検査体までの伝送経路の抵抗が大となる故障が生じたとき、

それに関するプローバ側の要因およびテスト側の要因を含む複数の要因を把握し、それらの中で正常であることが分かっている要因、または所定の診断を行った結果正常な結果が得られたことにより正常であることがわかる要因を除外し、残った要因から故障箇所を特定もしくは推定または予知することを特徴とする請求項4に記載の検査システム。

[請求項6] 検査の際にP A S Sになった検査項目について出力結果を複数段階にレベル分けし、複数の測定結果によるレベルの変化から故障の兆候を把握し、故障を予知することを特徴とする請求項1から請求項5のいずれか1項に記載の検査システム。

[請求項7] 基板に形成された複数のデバイスを表示するマップにおいて、検査の際にP A S Sになった項目について出力結果を複数段階にレベル分けし、P A S Sと判断されたデバイスのレベルの分布図から故障箇所を予知することを特徴とする請求項6に記載の検査システム。

[請求項8] 前記マップの前記レベルの分布図と、前記プローバの被検査体のステージの高さの分布を関連付けることにより故障箇所を予知することを特徴とする請求項7に記載の検査システム。

[請求項9] 複数のデバイスが形成された基板を保持するステージと、基板を前記ステージに搬送する搬送部と、複数のプローブを基板上の複数のデバイスの電極に接触させるプローブカードとを有するプローバと、前記プローブカードを介して前記基板上の複数のデバイスに電氣的信号を与え、前記デバイスの電気特性を検査するテストとを有する検査システムにおいて、故障の箇所を把握または予知する故障解析・予知方法であって、

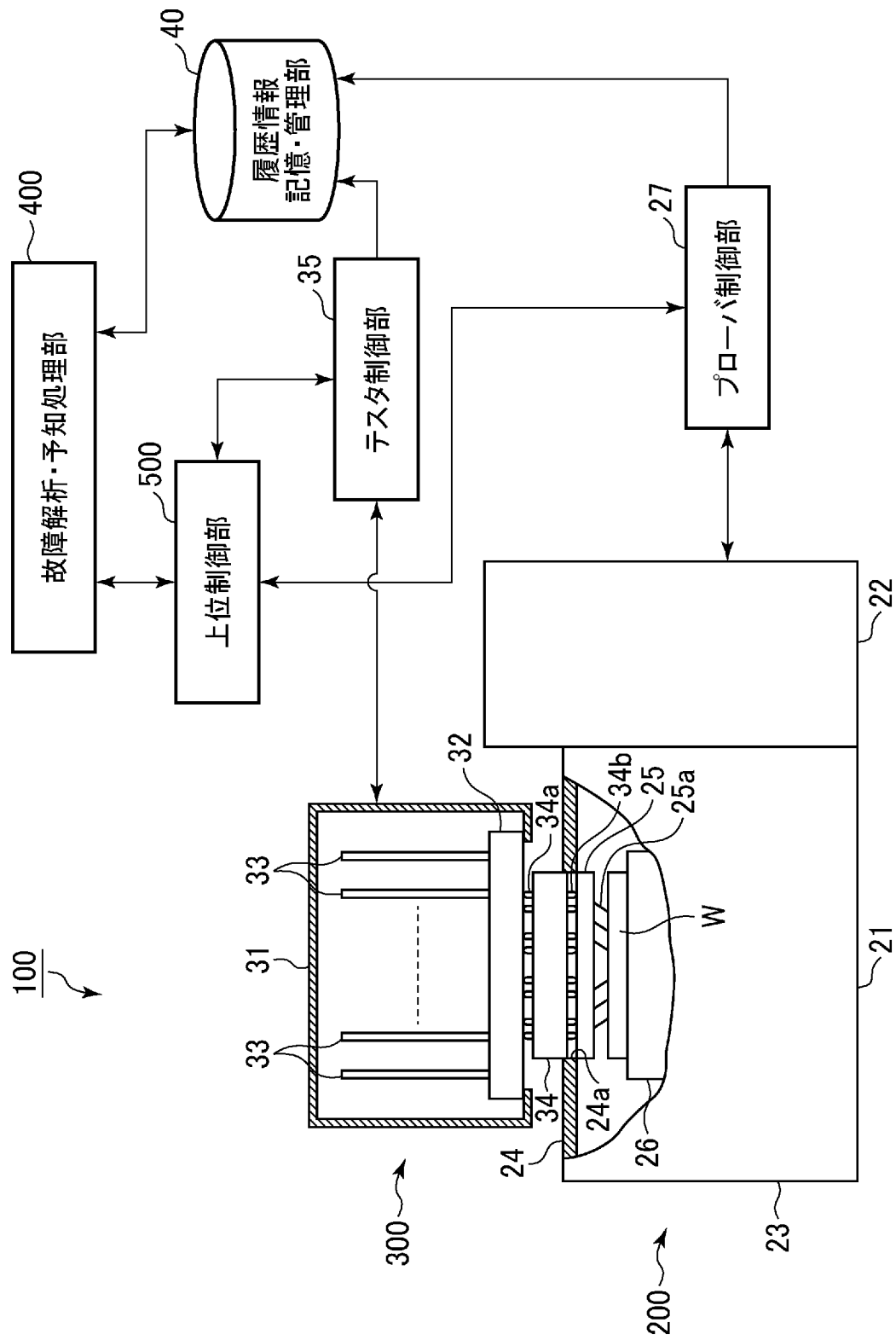
検査の際に故障が発生したとき、または前記故障の前段階の兆候が発生したときに、その故障に関連する前記プローバと前記テストの履歴情報を解析して故障の箇所を特定もしくは推定、または予知することを特徴とする検査システムの故障解析・予知方法。

- [請求項10] 前記履歴情報と知見者の知見に基づいて故障の箇所を特定もしくは推定または予知することを特徴とする請求項9に記載の検査システムの故障解析・予知方法。
- [請求項11] 前記故障の要因が複数想定される場合、前記知見者の知見に基づいて、前記故障の要因を特定し、それにより故障の箇所を特定もしくは推定または予知することを特徴とする請求項10に記載の検査システムの故障解析・予知方法。
- [請求項12] 前記テストは、マザーボードと、前記マザーボードに装着された複数の検査回路ボードとを有し、前記プローバに装着されたプローブカードと前記マザーボードとの間に、これらを接続するコンタクト部材が配置され、前記検査回路ボード、前記マザーボード、前記コンタクト部材、前記プローブカードのいずれかに生じた故障の箇所を特定もしくは推定、または予知することを特徴とする請求項9から請求項11のいずれか1項に記載の検査システムの故障解析・予知方法。
- [請求項13] 基板に形成された複数のデバイスの検査において、接触不良または前記テストから被検査体までの伝送経路の抵抗が大となる故障が生じたとき、
- それに関するプローバ側の要因およびテスト側の要因を含む複数の要因を把握し、それらの中で正常であることが分かっている要因、または所定の診断を行った結果正常な結果が得られたことにより正常であることがわかる要因を除外し、残った要因から故障箇所を特定もしくは推定または予知することを特徴とする請求項12に記載の検査システムの故障解析・予知方法。
- [請求項14] 検査の際にPASSになった検査項目について出力結果を複数段階にレベル分けし、複数の測定結果によるレベルの変化から故障の兆候を把握し、故障を予知することを特徴とする請求項9から請求項13のいずれか1項に記載の検査システムの故障解析・予知方法。
- [請求項15] 基板に形成された複数のデバイスを表示するマップにおいて、検査

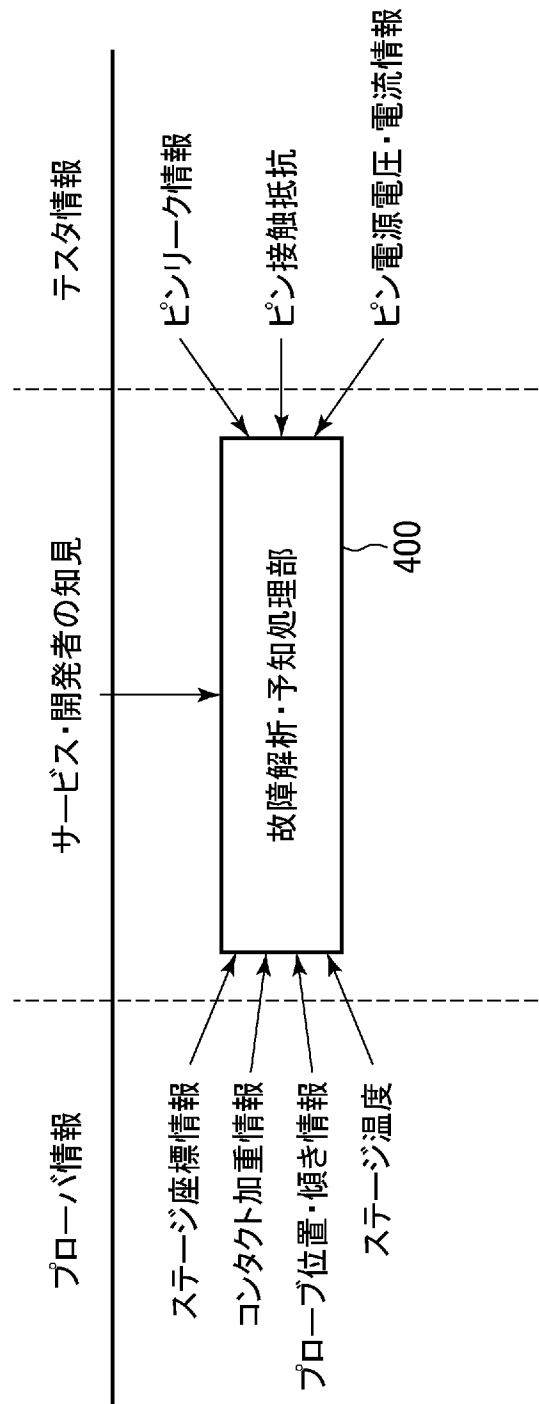
の際に P A S S になった項目について出力結果を複数段階にレベル分けし、P A S S と判断されたデバイスのレベルの分布図から故障箇所を予知することを特徴とする請求項 1 4 に記載の検査システムの故障解析・予知方法。

[請求項16] 前記マップの前記レベルの分布図と、前記プローバの被検査体のステージの高さの分布を関連付けることにより故障箇所を予知することを特徴とする請求項 1 5 に記載の検査システムの故障解析・予知方法。

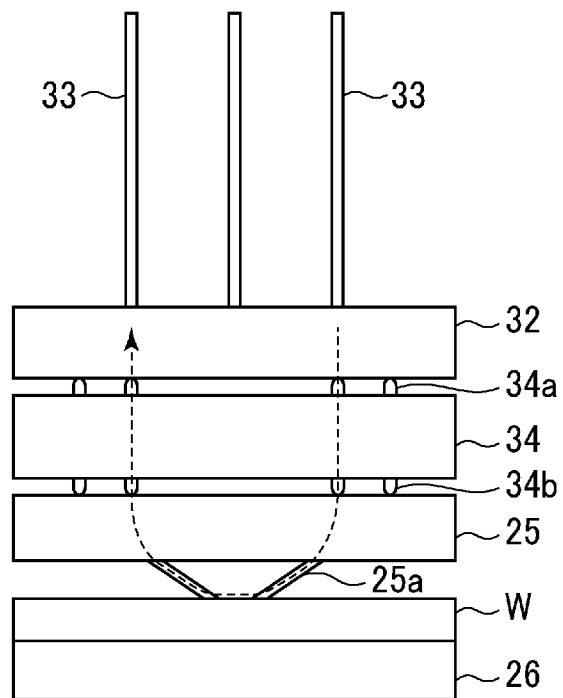
[図1]



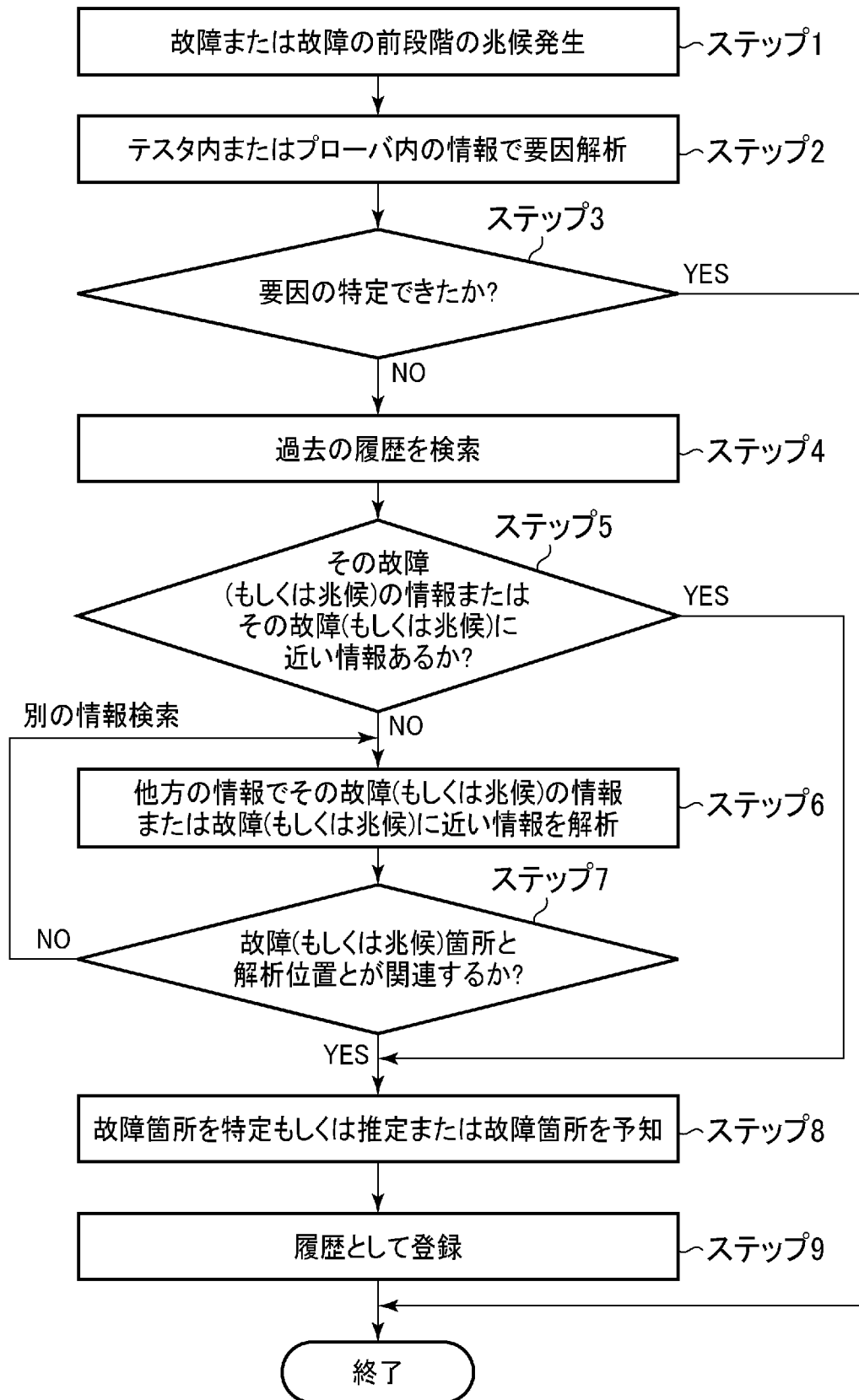
[図2]



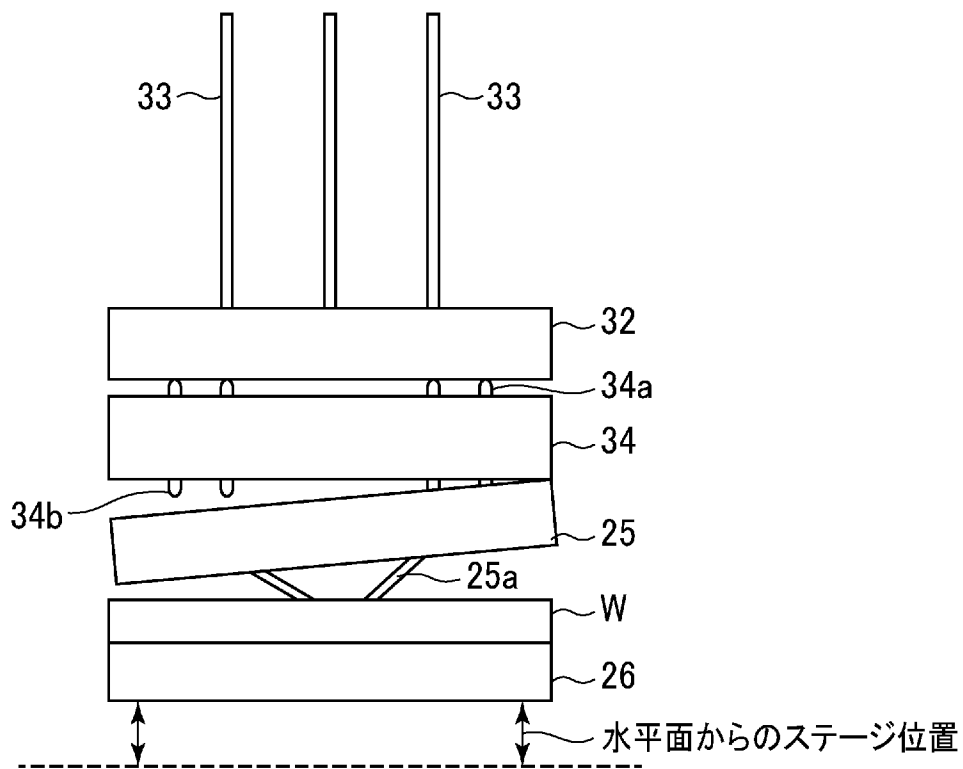
[図3]



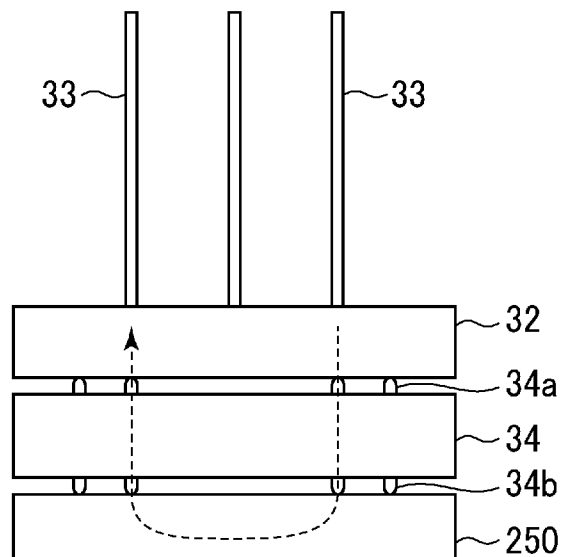
[図4]



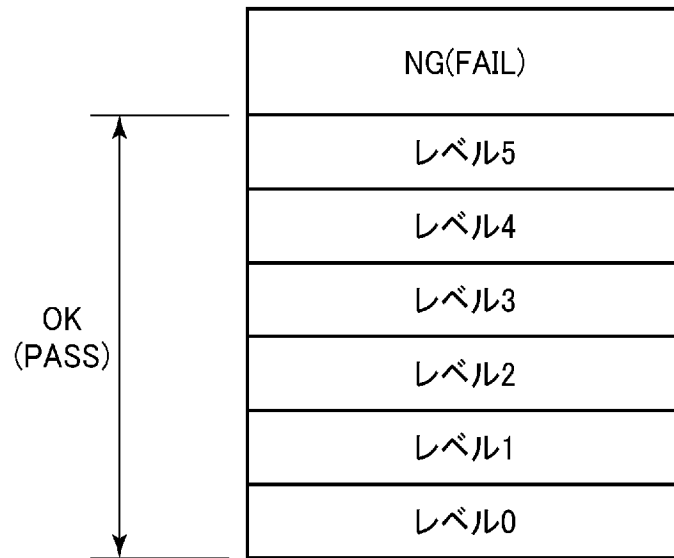
[図5]



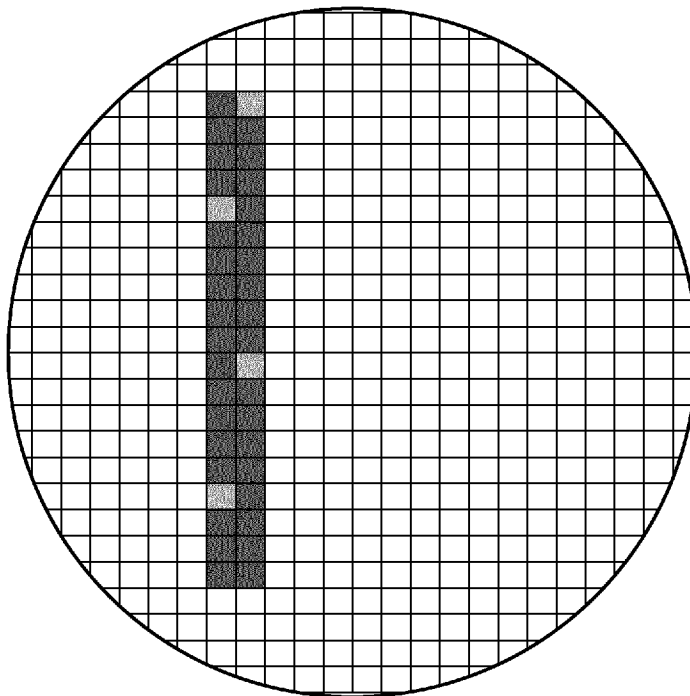
[図6]



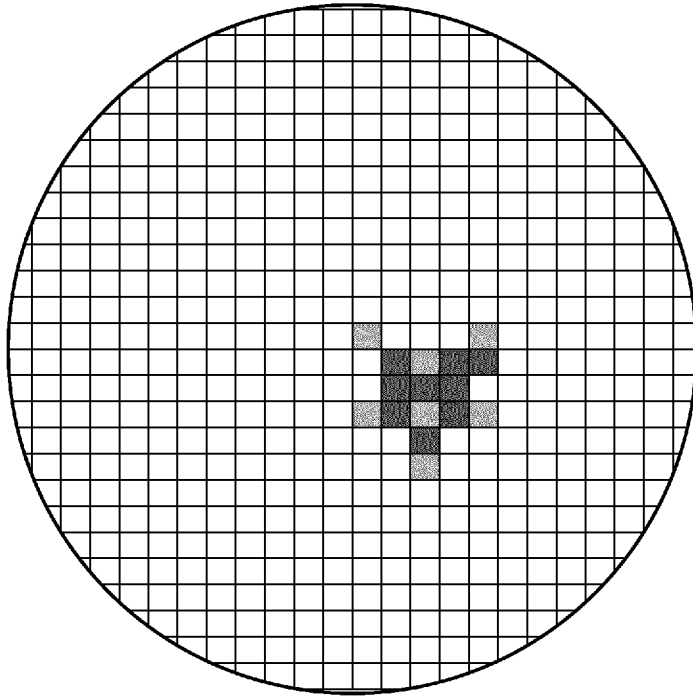
[図7]



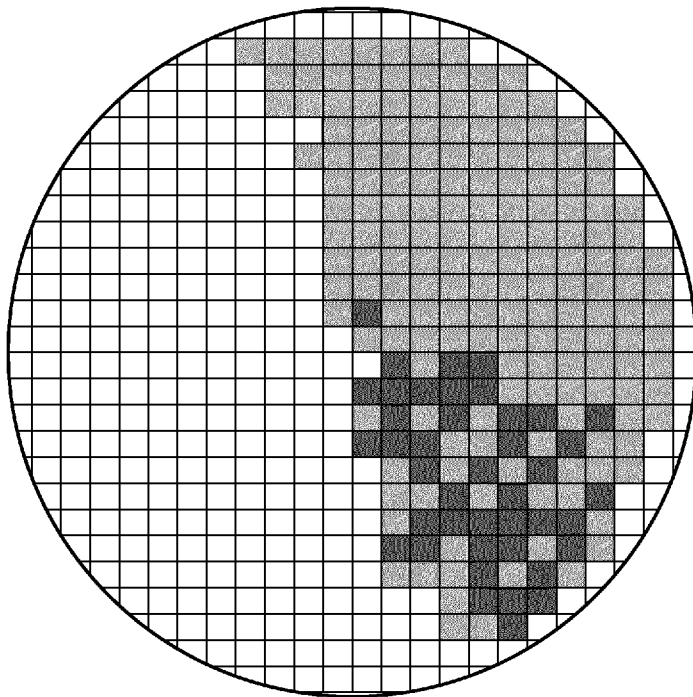
[図8]



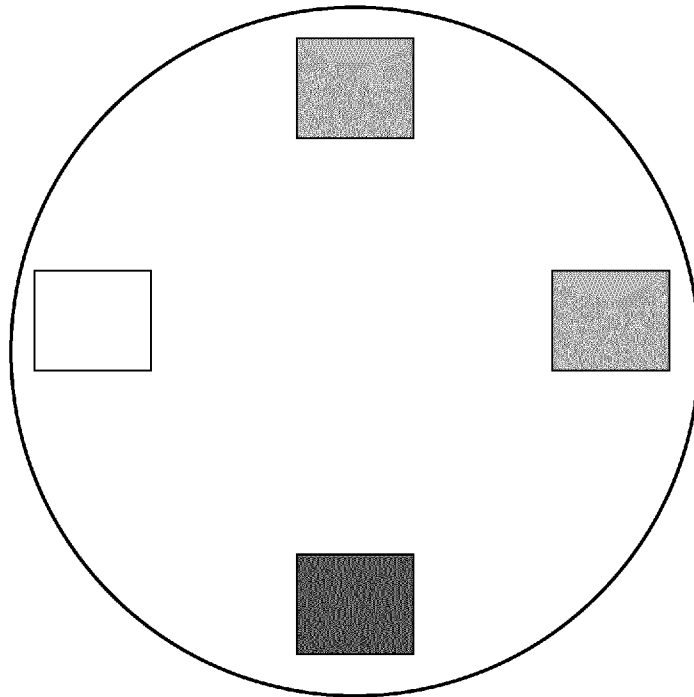
[図9]



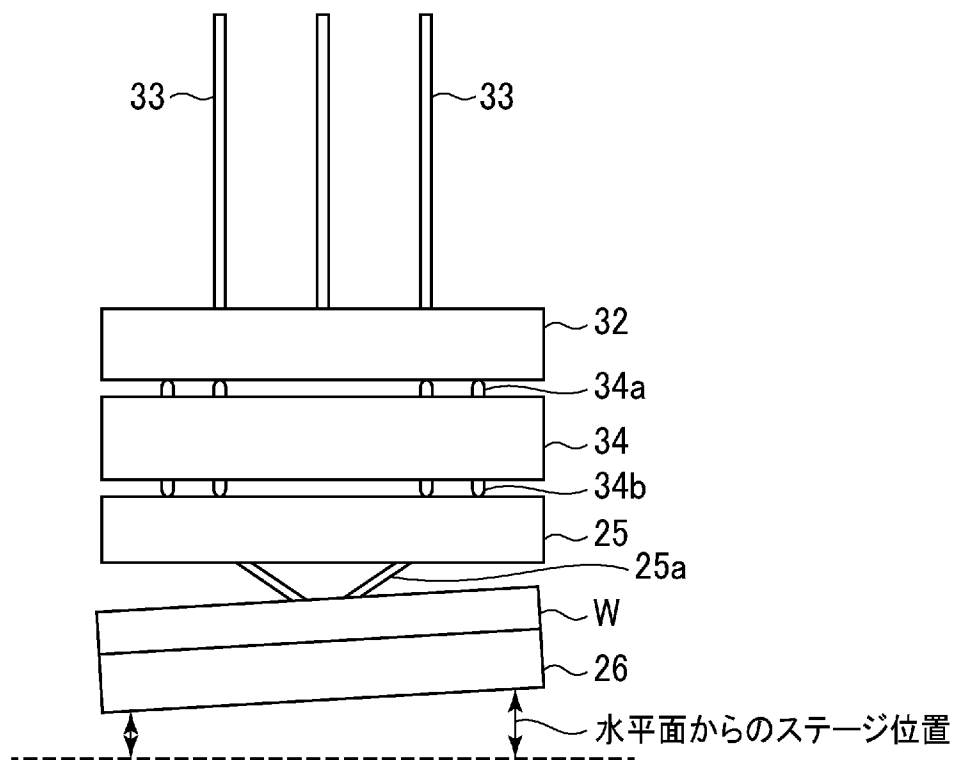
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002934

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L21/66 (2006.01) i, G01R31/28 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L21/66, G01R31/26-28 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-216596 A (YOKOGAWA ELECTRIC CORP.) 24 September 2009, entire text, fig. 1-8 (Family: none)	1-6, 9-14 7-8, 15-16
Y A	JP 2009-63477 A (YOKOGAWA ELECTRIC CORP.) 26 March 2009, entire text, fig. 1-9 (Family: none)	1-6, 9-14 7-8, 15-16
Y A	JP 2003-258044 A (SEIKO EPSON CORP.) 12 September 2003, paragraphs [0030]-[0044], fig. 1 (Family: none)	1-6, 9-14 7-8, 15-16
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 March 2018 (20.03.2018)		Date of mailing of the international search report 03 April 2018 (03.04.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002934

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-162574 A (SHIN-ETSU HANDOTAI CO., LTD.) 07 September 2015, paragraph [0053] & WO 2015/129157 A1 & TW 201545200 A	2-6, 10-14 7-8, 15-16
Y A	JP 2007-108078 A (FUJITSU TEN LTD.) 26 April 2007, paragraphs [0005]-[0009] (Family: none)	6, 14 7-8, 15-16
Y A	JP 10-78464 A (FUJITSU LTD.) 24 March 1998, paragraphs [0012]-[0037], fig. 1-3 (Family: none)	6, 14 7-8, 15-16
A	JP 2000-243794 A (TOSHIBA CORP.) 08 September 2000 (Family: none)	7-8, 15-16
A	JP 2007-115945 A (RENESAS TECHNOLOGY CORP.) 10 May 2007 (Family: none)	7-8, 15-16
A	JP 2007-108117 A (SHARP CORP.) 26 April 2007 (Family: none)	7-8, 15-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/66(2006.01)i, G01R31/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/66, G01R31/26-28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-216596 A（横河電機株式会社）2009.09.24, 全文及び図1-8（ファミリーなし）	1-6, 9-14 7-8, 15-16
Y A	JP 2009-63477 A（横河電機株式会社）2009.03.26, 全文及び図1-9（ファミリーなし）	1-6, 9-14 7-8, 15-16
Y A	JP 2003-258044 A（セイコーエプソン株式会社）2003.09.12, 段落[0030]-[0044]及び図1（ファミリーなし）	1-6, 9-14 7-8, 15-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.03.2018

国際調査報告の発送日

03.04.2018

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安田 雅彦

電話番号 03-3581-1101 内線 3559

50

9447

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-162574 A (信越半導体株式会社) 2015. 09. 07, 段落[0053] & WO 2015/129157 A1 & TW 201545200 A	2-6, 10-14 7-8, 15-16
Y A	JP 2007-108078 A (富士通テン株式会社) 2007. 04. 26, 段落[0005]－[0009] (ファミリーなし)	6, 14 7-8, 15-16
Y A	JP 10-78464 A (富士通株式会社) 1998. 03. 24, 段落[0012]－[0037]及び図1－3 (ファミリーなし)	6, 14 7-8, 15-16
A	JP 2000-243794 A (株式会社東芝) 2000. 09. 08 (ファミリーなし)	7-8, 15-16
A	JP 2007-115945 A (株式会社ルネサステクノロジ) 2007. 05. 10 (ファミリーなし)	7-8, 15-16
A	JP 2007-108117 A (シャープ株式会社) 2007. 04. 26 (ファミリーなし)	7-8, 15-16